



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월16일
(11) 등록번호 10-1969552
(24) 등록일자 2019년04월10일

(51) 국제특허분류(Int. Cl.)
H01G 4/252 (2006.01) H01G 4/012 (2006.01)
H01G 4/232 (2006.01) H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 4/252 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2017-0068329
(22) 출원일자 2017년06월01일
심사청구일자 2017년06월01일
(65) 공개번호 10-2017-0138049
(43) 공개일자 2017년12월14일
(30) 우선권주장
JP-P-2016-112718 2016년06월06일 일본(JP)
(56) 선행기술조사문헌
KR1020130025595 A*
(뒷면에 계속)

(73) 특허권자
가부시킴가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
카야타니 타카유키
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시킴가이샤 무라타 세이사쿠쇼 내
사와다 타카시
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시킴가이샤 무라타 세이사쿠쇼 내
후지이 야스오
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시킴가이샤 무라타 세이사쿠쇼 내
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 10 항

심사관 : 황승희

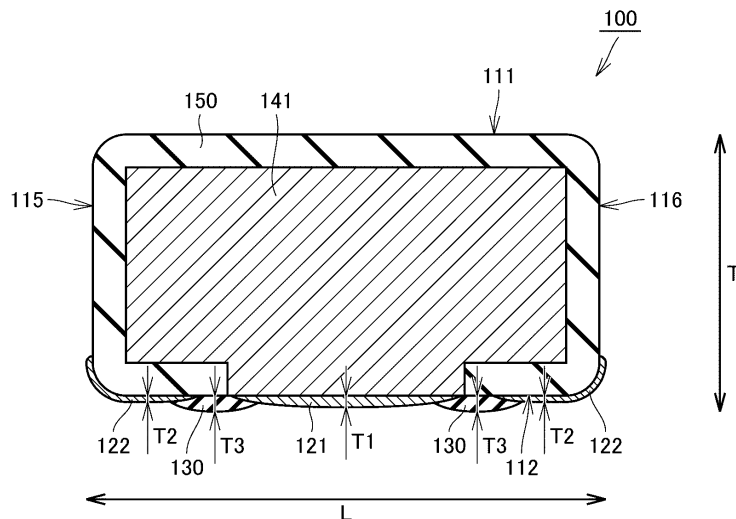
(54) 발명의 명칭 적층 세라믹 전자 부품

(57) 요약

적층 세라믹 전자 부품을 기관에 대략 평행으로 실장한다.

적층체와 제1 외부전극(121)과 한 쌍의 제2 외부전극(122)과 한 쌍의 절연 피복부(130)를 포함한다. 한 쌍의 절연 피복부(130)는, 제2 주면의 한 쌍의 제2 외부전극(122)의 각각과 제1 외부전극(121) 사이에서 적층방향으로 연장되고, 제2 주면으로부터 제1 측면(113) 및 제2 측면의 각각의 일부에 걸쳐 마련되어 있다. 제2 주면 상의 제1 외부전극(121)의 최대 두께(T1)는, 제2 주면 상의 한 쌍의 제2 외부전극(122)의 각각의 최대 두께(T2)보다 두껍다. 제2 주면 상의 한 쌍의 절연 피복부(130)의 각각의 최대 두께(T3)가, 제2 주면 상의 제1 외부전극(121)의 최대 두께(T1)보다 두껍다.

대표도 - 도6



(52) CPC특허분류

H01G 4/232 (2013.01)

H01G 4/30 (2013.01)

(56) 선행기술조사문헌

KR101548774 B1*

JP2015019079 A*

KR101452058 B1*

KR1020130107799 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

적층된 복수의 유전체층과 복수의 내부전극층을 포함하고, 적층방향에서 마주 보는 제1 측면 및 제2 측면과, 상기 적층방향에 직교하는 높이방향에서 마주 보는 제1 주면(主面) 및 제2 주면과, 상기 적층방향 및 상기 높이방향의 양쪽에 직교하는 길이방향에서 마주 보는 제1 단면(端面) 및 제2 단면을 포함하는 적층체와,

상기 제2 주면의 상기 길이방향의 중앙부에서 상기 적층방향으로 연장되고, 상기 제2 주면으로부터 상기 제1 측면 및 상기 제2 측면의 각각의 일부에 걸쳐 마련된 제1 외부전극과,

상기 제2 주면의 상기 길이방향의 한쪽의 단부에서 상기 적층방향으로 연장되는 하나의 제2 외부전극, 및 상기 제2 주면의 상기 길이방향의 다른 쪽의 단부에서 상기 적층방향으로 연장되는 다른 제2 외부전극으로 이루어지는, 한 쌍의 제2 외부전극과,

상기 제2 주면의 상기 하나의 제2 외부전극과 상기 제1 외부전극 사이에서 상기 적층방향으로 연장되는 하나의 절연 피복부, 및 상기 제2 주면의 상기 다른 제2 외부전극과 상기 제1 외부전극 사이에서 상기 적층방향으로 연장되는 다른 절연 피복부로 이루어지는, 한 쌍의 절연 피복부를 포함하며,

상기 복수의 내부전극층은, 상기 제1 외부전극에 접속된 복수의 제1 내부전극층과, 상기 한 쌍의 제2 외부전극의 각각에 접속된 복수의 제2 내부전극층을 포함하고,

상기 하나의 제2 외부전극은, 상기 제2 주면으로부터, 상기 제1 측면 및 상기 제2 측면의 적어도 한쪽의 일부, 그리고 상기 제1 단면의 일부에 걸쳐 마련되어 있으며,

상기 다른 제2 외부전극은, 상기 제2 주면으로부터, 상기 제1 측면 및 상기 제2 측면의 적어도 한쪽의 일부, 그리고 상기 제2 단면의 일부에 걸쳐 마련되어 있고,

상기 한 쌍의 절연 피복부의 각각은, 상기 제2 주면으로부터 상기 제1 측면 및 상기 제2 측면의 적어도 상기 한 쪽의 일부에 걸쳐 마련되어 있으며,

상기 제2 주면 상의 상기 제1 외부전극의 최대 두께는, 상기 제2 주면 상의 상기 한 쌍의 제2 외부전극의 각각의 최대 두께보다 두껍고,

상기 제2 주면 상의 상기 한 쌍의 절연 피복부의 각각의 최대 두께가, 상기 제2 주면 상의 상기 제1 외부전극의 최대 두께보다 두꺼운 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 2

제1항에 있어서,

상기 제2 주면 상의 상기 한 쌍의 절연 피복부의 각각의 최대 두께가, 상기 제2 주면 상의 상기 제1 외부전극의 최대 두께보다 2 μ m 이상 두꺼운 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 3

제1항 또는 제2항에 있어서,

상기 적층방향의 적어도 한쪽에서 보아, 상기 한 쌍의 절연 피복부에서 가장 상기 제1 주면 근처에 위치하는 단부는, 상기 제1 외부전극 및 상기 한 쌍의 제2 외부전극에서 가장 상기 제1 주면 근처에 위치하는 단부보다, 상기 제1 주면에 가까운 위치에 위치하고 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 4

제1항 또는 제2항에 있어서,

상기 적층방향의 적어도 한쪽에서 보아, 상기 제1 외부전극 및 상기 한 쌍의 제2 외부전극에서 가장 상기 제1 주면 근처에 위치하는 단부는, 상기 한 쌍의 절연 피복부에서 가장 상기 제1 주면 근처에 위치하는 단부보다,

상기 제1 주면에 가까운 위치에 위치하고 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 5

제1항 또는 제2항에 있어서,

상기 한 쌍의 절연 피복부는, 상기 제1 외부전극 및 상기 한 쌍의 제2 외부전극의 각각의 일부와 상기 높이방향에서 겹쳐 있는 부분을 포함하고,

상기 한 쌍의 절연 피복부의 상기 겹쳐 있는 부분은, 상기 제1 외부전극 및 상기 한 쌍의 제2 외부전극의 각각의 상기 일부를 덮고 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 6

제1항 또는 제2항에 있어서,

상기 한 쌍의 절연 피복부는, 상기 제1 외부전극 및 상기 한 쌍의 제2 외부전극의 각각의 일부와 상기 높이방향에서 겹쳐 있는 부분을 포함하고,

상기 한 쌍의 절연 피복부의 상기 겹쳐 있는 부분은, 상기 제1 외부전극 및 상기 한 쌍의 제2 외부전극의 각각의 상기 일부로 덮여 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 7

제1항 또는 제2항에 있어서,

상기 한 쌍의 절연 피복부는, 유전체 세라믹스, 수지 또는 유리를 포함하는 재료로 구성되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 8

제7항에 있어서,

상기 한 쌍의 절연 피복부는, 상기 유전체 세라믹스를 포함하는 재료로 구성되어 있고,

상기 유전체 세라믹스는, BaTiO₃, CaTiO₃, SrTiO₃ 또는 CaZrO₃을 포함하는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 9

제7항에 있어서,

상기 한 쌍의 절연 피복부는, 상기 수지를 포함하는 재료로 구성되어 있고,

상기 수지는, 에폭시계 수지 또는 폴리이미드계 수지를 포함하는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 10

제7항에 있어서,

상기 한 쌍의 절연 피복부는, 상기 유리를 포함하는 재료로 구성되어 있고,

상기 유리는, Ba 또는 Sr을 포함하는 것을 특징으로 하는 적층 세라믹 전자 부품.

발명의 설명

기술 분야

[0001] 본 발명은, 적층 세라믹 전자 부품에 관한 것이다.

배경 기술

[0002] 3단자 수직 적층형의 적층 세라믹 콘덴서를 개시한 선행문헌으로서, 일본 공개특허공보 2013-55320호(특허문헌 1)가 있다. 특허문헌 1에 기재된 적층 세라믹 콘덴서는, 세라믹 소체와 세라믹 소체의 내부에 형성되는 내부전

극과 세라믹 소체의 1면에 형성되는 절연층과 외부전극을 포함한다. 내부전극으로서, 제1 내부전극과 제2 내부전극을 포함한다. 외부전극으로서, 제1 외부전극과 제2 외부전극과 제3 외부전극을 포함한다.

[0003] 세라믹 소체는, 마주 보는 제1 면 및 제2 면과, 제1 면과 제2 면을 연결하는 제3 면, 제4 면, 제5 면 및 제6 면을 가진다. 제3 면과 제4 면이 마주 보고, 제5 면과 제6 면이 마주 보고 있다.

[0004] 제1 외부전극 및 제3 외부전극의 각각은, 세라믹 소체의 제1 면으로부터 연장되어, 제1 면과 연결된 제3 면 또는 제4 면에 걸쳐 형성되어 있다. 세라믹 소체의 제1 면에서, 제2 외부전극은 제1 외부전극과 제3 외부전극 사이에 위치하고 있다. 제1 외부전극 및 제3 외부전극의 각각은, 제1 내부전극과 연결되어 있다. 제2 외부전극은, 제2 내부전극과 연결되어 있다.

[0005] 절연층은, 세라믹 소체의 제1 면, 제3 면 및 제4 면의 각각에 형성되어 있다. 절연층으로서 제1 절연층과 제2 절연층을 포함한다. 제1 절연층은 세라믹 소체의 제1 면에서, 제1 외부전극과 제2 외부전극 사이에 위치하고 있다. 제2 절연층은 세라믹 소체의 제1 면에서, 제2 외부전극과 제3 외부전극 사이에 위치하고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 2013-55320호

발명의 내용

해결하려는 과제

[0007] 3단자 수직 적층형의 적층 세라믹 콘덴서 등의 적층 세라믹 전자 부품에서는, 3단자가 되는 외부전극의 두께의 차이에 의해, 적층 세라믹 전자 부품을 기판에 실장했을 때에 기울어진 상태로 실장되는 경우가 있다.

[0008] 본 발명은 상기의 문제점에 비추어 이루어진 것으로서, 기판에 대략 평행으로 실장할 수 있는 적층 세라믹 전자 부품을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 본 발명에 기초하는 적층 세라믹 전자 부품은, 적층체와 제1 외부전극과 한 쌍의 제2 외부전극과 한 쌍의 절연 피복부를 포함한다. 적층체는, 적층된 복수의 유전체층과 복수의 내부전극층을 포함한다. 적층체는, 적층방향에서 마주 보는 제1 측면 및 제2 측면과, 상기 적층방향에 직교하는 높이방향에서 마주 보는 제1 주면(主面) 및 제2 주면과, 상기 적층방향 및 상기 높이방향의 양쪽에 직교하는 길이방향에서 마주 보는 제1 단면(端面) 및 제2 단면을 포함한다. 제1 외부전극은, 제2 주면의 상기 길이방향의 중앙부에서 상기 적층방향으로 연장되고, 상기 제2 주면으로부터 상기 제1 측면 및 상기 제2 측면의 각각의 일부에 걸쳐 마련되어 있다. 한 쌍의 제2 외부전극은, 제2 주면의 상기 길이방향의 한쪽의 단부에서 상기 적층방향으로 연장되는 하나의 제2 외부전극, 및 제2 주면의 상기 길이방향의 다른 쪽의 단부에서 상기 적층방향으로 연장되는 다른 제2 외부전극으로 이루어진다. 한 쌍의 절연 피복부는, 제2 주면의 하나의 제2 외부전극과 제1 외부전극 사이에서 상기 적층방향으로 연장되는 하나의 절연 피복부, 및 제2 주면의 다른 제2 외부전극과 제1 외부전극 사이에서 상기 적층방향으로 연장되는 다른 절연 피복부로 이루어진다. 복수의 내부전극층은, 제1 외부전극에 접속된 복수의 제1 내부전극층과, 한 쌍의 제2 외부전극의 각각에 접속된 복수의 제2 내부전극층을 포함한다. 하나의 제2 외부전극은, 제2 주면으로부터, 제1 측면 및 제2 측면의 적어도 한쪽의 일부, 그리고 제1 단면의 일부에 걸쳐 마련되어 있다. 다른 제2 외부전극은, 제2 주면으로부터, 제1 측면 및 제2 측면의 적어도 한쪽의 일부, 그리고 제2 단면의 일부에 걸쳐 마련되어 있다. 한 쌍의 절연 피복부의 각각은, 제2 주면으로부터 제1 측면 및 제2 측면의 각각의 적어도 상기 한쪽의 일부에 걸쳐 마련되어 있다. 제2 주면 상의 제1 외부전극의 최대 두께는, 제2 주면 상의 한 쌍의 제2 외부전극의 각각의 최대 두께보다 두껍다. 제2 주면 상의 한 쌍의 절연 피복부의 각각의 최대 두께가, 제2 주면 상의 제1 외부전극의 최대 두께보다 두껍다.

[0010] 본 발명의 한 실시형태에서는, 제2 주면 상의 한 쌍의 절연 피복부의 각각의 최대 두께가, 제2 주면 상의 제1 외부전극의 최대 두께보다 2 μ m 이상 두껍다.

[0011] 본 발명의 한 실시형태에서는, 상기 적층방향의 적어도 한쪽에서 보아, 한 쌍의 절연 피복부에서 가장 제1 주면

근처에 위치하는 단부는, 제1 외부전극 및 한 쌍의 제2 외부전극에서 가장 제1 주면 근처에 위치하는 단부보다, 제1 주면에 가까운 위치에 위치하고 있다.

- [0012] 본 발명의 한 실시형태에서는, 상기 적층방향의 적어도 한쪽에서 보아, 제1 외부전극 및 한 쌍의 제2 외부전극에서 가장 제1 주면 근처에 위치하는 단부는, 한 쌍의 절연 피복부에서 가장 제1 주면 근처에 위치하는 단부보다, 제1 주면에 가까운 위치에 위치하고 있다.
- [0013] 본 발명의 한 실시형태에서는, 한 쌍의 절연 피복부는, 제1 외부전극 및 한 쌍의 제2 외부전극의 각각의 일부와 상기 높이방향에서 겹쳐 있는 부분을 포함한다. 한 쌍의 절연 피복부의 상기 겹쳐 있는 부분은, 제1 외부전극 및 한 쌍의 제2 외부전극의 각각의 상기 일부를 덮고 있다.
- [0014] 본 발명의 한 실시형태에서는, 한 쌍의 절연 피복부는, 제1 외부전극 및 한 쌍의 제2 외부전극의 각각의 일부와 상기 높이방향에서 겹쳐 있는 부분을 포함한다. 한 쌍의 절연 피복부의 상기 겹쳐 있는 부분은, 제1 외부전극 및 한 쌍의 제2 외부전극의 각각의 상기 일부로 덮여 있다.
- [0015] 본 발명의 한 실시형태에서는, 한 쌍의 절연 피복부는 유전체 세라믹스, 수지 또는 유리를 포함하는 재료로 구성되어 있다.
- [0016] 본 발명의 한 실시형태에서는, 한 쌍의 절연 피복부는 유전체 세라믹스를 포함하는 재료로 구성되어 있다. 유전체 세라믹스는 BaTiO₃, CaTiO₃, SrTiO₃ 또는 CaZrO₃을 포함한다.
- [0017] 본 발명의 한 실시형태에서는, 한 쌍의 절연 피복부는 수지를 포함하는 재료로 구성되어 있다. 수지는 에폭시계 수지 또는 폴리이미드계 수지를 포함한다.
- [0018] 본 발명의 한 실시형태에서는, 한 쌍의 절연 피복부는 유리를 포함하는 재료로 구성되어 있다. 유리는 Ba 또는 Sr을 포함한다.

발명의 효과

- [0019] 본 발명에 의하면, 적층 세라믹 전자 부품을 기판에 대략 평행으로 실장할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 외관을 나타내는 사시도이다.
- 도 2는 도 1의 적층 세라믹 전자 부품을 화살표 II방향에서 본 측면도이다.
- 도 3은 도 1의 적층 세라믹 전자 부품을 화살표 III방향에서 본 저면도이다.
- 도 4는 도 1의 적층 세라믹 전자 부품을 IV-IV선 화살표방향에서 본 단면도이다.
- 도 5는 도 1의 적층 세라믹 전자 부품을 V-V선 화살표방향에서 본 단면도이다.
- 도 6은 도 4의 적층 세라믹 전자 부품을 VI-VI선 화살표방향에서 본 단면도이다.
- 도 7은 도 4의 적층 세라믹 전자 부품을 VII-VII선 화살표방향에서 본 단면도이다.
- 도 8은 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 제조 방법을 나타내는 플로도이다.
- 도 9는 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 도전성 페이스트를 도포하는 도포 장치의 구성을 나타내는 단면도이다.
- 도 10은 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 도전성 페이스트를 도포하는 도포 장치의 제1 전사 롤러(transfer roller)와 제1 스크레이퍼(scraper)가 접촉하고 있는 상태를 나타내는 단면도이다.
- 도 11은 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 도전성 페이스트를 도포하는 도포 장치의 제1 전사 롤러와 적층체가 접촉하고 있는 상태를 나타내는 단면도이다.
- 도 12는 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 세라믹 유전체 슬러리를 도포하는 도포 장치의 구성을 나타내는 단면도이다.
- 도 13은 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 세라믹 유전체 슬러리를 도포하는 도

포 장치의 제1 전사 롤러와 제1 스크레이퍼가 접촉하고 있는 상태를 나타내는 단면도이다.

도 14는 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 세라믹 유전체 슬러리를 도포하는 도포 장치의 제1 전사 롤러와 적층체가 접촉하고 있는 상태를 나타내는 단면도이다.

도 15는 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품을 기판에 실장한 상태를 도 2와 동일한 방향에서 보고 나타내는 측면도이다.

도 16은 제2 주면 상의 한 쌍의 절연 피복부의 각각의 최대 두께가, 제2 주면 상의 한 쌍의 제2 외부전극의 각각의 최대 두께보다 얇은, 비교예에 따른 적층 세라믹 전자 부품을 기판에 실장한 상태를 도 2와 동일한 방향에서 보고 나타내는 측면도이다.

도 17은 본 발명의 실시형태 2에 따른 적층 세라믹 전자 부품을 도 2와 동일한 방향에서 보고 나타내는 측면도이다.

도 18은 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품을 도 6과 동일한 절단면에서 보고 나타내는 단면도이다.

도 19는 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품을 도 7과 동일한 절단면에서 보고 나타내는 단면도이다.

도 20은 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품을 도 5와 동일한 절단면에서 보고 나타내는 단면도이다.

도 21은 본 발명의 실시형태 4에 따른 적층 세라믹 전자 부품을 도 2와 동일한 방향에서 보고 나타내는 측면도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 각 실시형태에 따른 적층 세라믹 전자 부품에 대해 도면을 참조하여 설명한다. 이하의 실시형태의 설명에서는, 도면 중의 동일 또는 상당 부분에는 동일 부호를 붙이고, 그 설명은 반복하지 않는다. 본 발명의 각 실시형태에서는, 적층 세라믹 전자 부품으로서, 적층 세라믹 콘덴서에 대해 설명하지만, 적층 세라믹 전자 부품은, 적층 세라믹 콘덴서에 한정되지 않고, 적층 세라믹 인덕터, 또는 적층 세라믹 서미스터 등이어도 된다.

[0022] (실시형태 1)

[0023] 도 1은 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 외관을 나타내는 사시도이다. 도 2는 도 1의 적층 세라믹 전자 부품을 화살표 II방향에서 본 측면도이다. 도 3은 도 1의 적층 세라믹 전자 부품을 화살표 III방향에서 본 저면도이다. 도 4는 도 1의 적층 세라믹 전자 부품을 IV-IV선 화살표방향에서 본 단면도이다. 도 5는 도 1의 적층 세라믹 전자 부품을 V-V선 화살표방향에서 본 단면도이다. 도 6은 도 4의 적층 세라믹 전자 부품을 VI-VI선 화살표방향에서 본 단면도이다. 도 7은 도 4의 적층 세라믹 전자 부품을 VII-VII선 화살표방향에서 본 단면도이다. 도 1~7에서는, 후술하는 적층체의 길이방향을 L, 적층체의 높이방향을 T, 적층체의 적층방향을 W로 나타내고 있다.

[0024] 도 1~7에 나타내는 바와 같이, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품(100)은, 적층체(110)와, 제1 외부전극(121)과, 한 쌍의 제2 외부전극(122)과, 한 쌍의 절연 피복부(130)를 포함한다.

[0025] 적층체(110)는, 대략 직방체상의 외형을 가지고 있다. 적층체(110)는, 적층된 복수의 유전체층(150)과 복수의 내부전극층(140)을 포함한다. 적층체(110)는, 적층방향(W)에서 마주 보는 제1 측면(113) 및 제2 측면(114)과, 적층방향(W)에 직교하는 높이방향(T)에서 마주 보는 제1 주면(111) 및 제2 주면(112)과, 적층방향(W) 및 높이방향(T)의 양쪽에 직교하는 길이방향(L)에서 마주 보는 제1 단면(115) 및 제2 단면(116)을 포함한다.

[0026] 상기한 바와 같이, 적층체(110)는 대략 직방체상의 외형을 가지고 있지만, 모서리부 및 능선부가 둥그스름한 것이 바람직하다. 모서리부는 적층체(110)의 3면이 교차하는 부분이며, 능선부는 적층체(110)의 2면이 교차하는 부분이다. 제1 주면(111), 제2 주면(112), 제1 측면(113), 제2 측면(114), 제1 단면(115) 및 제2 단면(116)의 적어도 어느 하나의 면에 요철이 형성되어 있어도 된다.

[0027] 적층 세라믹 전자 부품(100)의 외형 크기는, 예를 들면 길이방향(L)의 치수가 2.0mm 이상 2.3mm 이하이고, 적층방향(W)의 치수가 1.2mm 이상 1.55mm 이하이며, 높이방향(T)의 치수가 0.5mm 이상 1.0mm 이하이다. 적층 세라믹

전자 부품(100)의 외형 크기는, 마이크로미터에 의해 측정할 수 있다.

- [0028] 적층체(110)는, 적층방향(W)에서, 한 쌍의 외층부와 내층부로 구분된다. 한 쌍의 외층부 중 한쪽은, 적층체(110)의 제1 측면(113)을 포함하는 부분이며, 제1 측면(113)과 제1 측면(113)에 가장 가까운, 후술하는 제1 내부전극층(141) 사이에 위치하는 유전체층(150)으로 구성되어 있다. 한 쌍의 외층부 중 다른 쪽은, 적층체(110)의 제2 측면(114)을 포함하는 부분이며, 제2 측면(114)과 제2 측면(114)에 가장 가까운, 후술하는 제2 내부전극층(142) 사이에 위치하는 유전체층(150)으로 구성되어 있다.
- [0029] 내층부는 한 쌍의 외층부에 끼인 영역이다. 즉, 내층부는, 외층부를 구성하지 않는 복수의 유전체층(150)과 모든 내부전극층(140)으로 구성되어 있다.
- [0030] 복수의 유전체층(150)의 적층 매수는, 20매 이상 1100매 이하인 것이 바람직하다. 한 쌍의 외층부의 각각의 두께는, 10 μ m 이상 80 μ m 이하인 것이 바람직하다. 내층부에 포함되는 복수의 유전체층(150)의 각각의 두께는, 0.4 μ m 이상 3 μ m 이하인 것이 바람직하다.
- [0031] 유전체층(150)은, Ba 또는 Ti를 포함하는 페로브스카이트형 화합물로 구성되어 있다. 유전체층(150)을 구성하는 재료로는, BaTiO₃, CaTiO₃, SrTiO₃ 또는 CaZrO₃ 등을 주성분으로 하는 유전체 세라믹스를 이용할 수 있다. 또한 이들 주성분에, 부성분으로서 Mn 화합물, Mg 화합물, Si 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물, Al 화합물, V 화합물 또는 희토류 화합물 등이 첨가된 재료를 이용해도 된다.
- [0032] 복수의 내부전극층(140)은, 제1 외부전극(121)에 접속된 복수의 제1 내부전극층(141)과, 제2 외부전극(122)에 접속된 복수의 제2 내부전극층(142)을 포함한다.
- [0033] 복수의 내부전극층(140)의 적층 매수는, 10매 이상 1100매 이하인 것이 바람직하다. 복수의 내부전극층(140)의 각각의 두께는, 0.3 μ m 이상 1.0 μ m 이하인 것이 바람직하다. 복수의 내부전극층(140)의 각각이 유전체층(150)을 틈 없이 덮고 있는 피복률은, 50% 이상 95% 이하인 것이 바람직하다.
- [0034] 내부전극층(140)을 구성하는 재료로는, Ni, Cu, Ag, Pd 및 Au로 이루어지는 군으로부터 선택되는 1종의 금속, 또는 이 금속을 포함하는 합금으로 구성되어 있고, 예를 들면 Ag와 Pd의 합금 등을 사용할 수 있다. 내부전극층(140)은, 유전체층(150)에 포함되는 유전체 세라믹스와 동일 조성계의 유전체의 입자를 포함하고 있어도 된다.
- [0035] 제1 내부전극층(141) 및 제2 내부전극층(142)의 각각은, 적층체(110)의 적층방향(W)에서 보아, 대략 직사각형상이다. 제1 내부전극층(141)과 제2 내부전극층(142)은, 적층체(110)의 적층방향(W)으로, 등간격으로 교대로 배치되어 있다. 또한 제1 내부전극층(141)과 제2 내부전극층(142)은, 유전체층(150)을 사이에 끼고 서로 대향하도록 배치되어 있다.
- [0036] 제1 내부전극층(141)은, 제2 내부전극층(142)에 대향하고 있는 대향전극부와, 대향전극부로부터 적층체(110)의 제2 주면(112) 측으로 인출되어 있는 인출전극부로 구성되어 있다. 제1 내부전극층(141)의 인출전극부는, 제2 주면(112)의 적층체(110)의 길이방향(L)의 중앙부로 인출되어 있다.
- [0037] 제2 내부전극층(142)은, 제1 내부전극층(141)에 대향하고 있는 대향전극부와, 대향전극부로부터 적층체(110)의 제2 주면(112) 측으로 인출되어 있는 인출전극부로 구성되어 있다. 제2 내부전극층(142)의 인출전극부는, 제2 주면(112)의 적층체(110)의 길이방향(L)의 양단부로 인출되어 있다.
- [0038] 제1 내부전극층(141)의 대향전극부와 제2 내부전극층(142)의 대향전극부 사이에 유전체층(150)이 위치함으로써, 정전 용량이 형성되어 있다. 이에 따라, 콘덴서의 기능이 발생한다.
- [0039] 적층체(110)에서는, 적층체(110)의 적층방향(W)에서 보아, 대향전극부와 제1 주면(111) 사이의 위치가 제1 사이드 마진(side margin), 대향전극부와 제2 주면(112) 사이의 위치가 제2 사이드 마진, 대향전극부와 제1 단면(115) 사이의 위치가 제1 엔드 마진(end margin), 대향전극부와 제2 단면(116) 사이의 위치가 제2 엔드 마진이다.
- [0040] 제1 사이드 마진 및 제2 사이드 마진의 각각의 적층체(110)의 높이방향(T)의 두께는, 5 μ m 이상 80 μ m 이하인 것이 바람직하다. 제1 엔드 마진 및 제2 엔드 마진의 각각의 적층체(110)의 길이방향(L)의 두께는, 5 μ m 이상 80 μ m 이하인 것이 바람직하다.
- [0041] 제2 사이드 마진은, 복수의 제1 내부전극층(141)의 각각의 인출전극부, 복수의 제2 내부전극층(142)의 각각의 인출전극부, 및 이들 인출전극부의 각각에 인접하고 있는 복수의 유전체층(150)에 의해 구성되어 있다.

- [0042] 제1 외부전극(121)은, 제2 주면(112)의 길이방향(L)의 중앙부에서 적층방향(W)으로 연장되고, 제2 주면(112)으로부터 제1 측면(113) 및 제2 측면(114)의 각각의 일부에 걸쳐 마련되어 있다. 한 쌍의 제2 외부전극(122)은, 제2 주면(112)의 길이방향(L)의 한쪽의 단부에서 적층방향(W)으로 연장되는 하나의 제2 외부전극(122), 및 제2 주면(112)의 길이방향(L)의 다른 쪽의 단부에서 적층방향(W)으로 연장되는 다른 제2 외부전극(122)으로 이루어진다. 하나의 제2 외부전극(122)은, 제2 주면(112)으로부터, 제1 측면(113) 및 제2 측면(114)의 적어도 한쪽의 일부, 그리고 제1 단면(115)의 일부에 걸쳐 마련되어 있다. 다른 제2 외부전극(122)은, 제2 주면(112)으로부터, 제1 측면(113) 및 제2 측면(114)의 적어도 한쪽의 일부, 그리고 제2 단면(116)의 일부에 걸쳐 마련되어 있다.
- [0043] 본 실시형태에서는, 하나의 제2 외부전극(122)은, 제2 주면(112)의 길이방향(L)의 한쪽의 단부에서 적층방향(W)으로 연장되고, 제2 주면(112)으로부터 제1 측면(113), 제2 측면(114) 및 제1 단면(115)의 각각의 일부에 걸쳐 마련되어 있다. 다른 제2 외부전극(122)은, 제2 주면(112)의 길이방향(L)의 다른 쪽의 단부에서 적층방향(W)으로 연장되고, 제2 주면(112)으로부터 제1 측면(113), 제2 측면(114) 및 제2 단면(116)의 각각의 일부에 걸쳐 마련되어 있다.
- [0044] 본 실시형태에서는, 도 6에 나타내는 바와 같이, 제2 주면(112)으로 인출되어 있는 제1 내부전극층(141)의 인출전극부의 일부는, 제1 외부전극(121)에 의해 덮여 있지 않다. 도 7에 나타내는 바와 같이, 제2 주면(112)으로 인출되어 있는 제2 내부전극층(142)의 인출전극부의 일부는, 한 쌍의 제2 외부전극(122)에 의해 덮여 있지 않다.
- [0045] 제1 외부전극(121) 및 제2 외부전극(122)의 각각은, 하지전극층과, 하지전극층 상에 배치된 도금층을 포함한다. 하지전극층은, 베이킹층 및 박막층의 적어도 하나를 포함한다. 하지전극층의 두께는, 10 μ m 이상 100 μ m 이하인 것이 바람직하다.
- [0046] 베이킹층은 유리와 금속을 포함한다. 베이킹층을 구성하는 재료로는 Ni, Cu, Ag, Pd 및 Au로 이루어지는 군으로부터 선택되는 1종의 금속, 또는 이 금속을 포함하는 합금으로 구성되어 있고, 예를 들면 Ag와 Pd의 합금 등을 사용할 수 있다. 베이킹층은, 적층된 복수의 층으로 구성되어 있어도 된다. 베이킹층으로는, 적층체(110)에 도전성 페이스트가 도포되어 베이킹된 층, 또는 내부전극층(140)과 동시에 소성된 층이어도 된다.
- [0047] 박막층은, 스퍼터링법(sputtering method) 또는 증착법 등의 박막 형성법에 의해 형성된다. 박막층은 금속 입자가 퇴적한 1 μ m 이하의 층이다.
- [0048] 도금층을 구성하는 재료로는 Ni, Cu, Ag, Pd, Au로 이루어지는 군으로부터 선택되는 1종의 금속, 또는 이 금속을 포함하는 합금으로 구성되어 있고, 예를 들면 Ag와 Pd의 합금 등을 사용할 수 있다.
- [0049] 도금층은, 적층된 복수의 층으로 구성되어 있어도 된다. 이 경우, 도금층으로는, Ni 도금층 위에 Sn 도금층이 형성된 2층 구조인 것이 바람직하다. Ni 도금층은, 하지전극층이 세라믹 전자 부품을 실장할 때의 솔더에 의해 침식되는 것을 방지하는 기능을 가진다. Sn 도금층은, 세라믹 전자 부품을 실장할 때의 솔더와의 습윤성을 향상시켜, 세라믹 전자 부품의 실장을 용이하게 하는 기능을 가진다. 도금층의 1층당 두께는, 1.0 μ m 이상 10.0 μ m 이하인 것이 바람직하다.
- [0050] 한 쌍의 절연 피복부(130)는, 제2 주면(112)의 하나의 제2 외부전극(122)과 제1 외부전극(121) 사이에서 적층방향(W)으로 연장되는 하나의 절연 피복부(130), 및 제2 주면(112)의 다른 제2 외부전극(122)과 제1 외부전극(121) 사이에서 적층방향(W)으로 연장되는 다른 절연 피복부(130)로 이루어진다. 한 쌍의 절연 피복부(130)의 각각은, 제2 주면(112)으로부터 제1 측면(113) 및 제2 측면(114)의 적어도 한쪽의 일부에 걸쳐 마련되어 있다.
- [0051] 본 실시형태에서는, 한 쌍의 절연 피복부(130)의 각각은, 제2 주면(112)으로부터 제1 측면(113) 및 제2 측면(114)의 각각의 일부에 걸쳐 마련되어 있다. 한 쌍의 절연 피복부(130)의 각각이, 제2 주면(112)으로부터 제1 측면(113) 및 제2 측면(114)의 한쪽의 일부에 걸쳐 마련되어 있는 경우는, 한 쌍의 제2 외부전극의 각각이 마련되어 있는 쪽의 제1 측면(113) 또는 제2 측면(114)에 한 쌍의 절연 피복부(130)의 각각이 마련되어 있다.
- [0052] 절연 피복부(130)의 두께는, 10 μ m 이상 150 μ m 이하인 것이 바람직하다. 절연 피복부(130)를 구성하는 재료로는, 유전체 세라믹스, 수지 또는 유리를 이용할 수 있다. 절연 피복부(130)를 구성하는 재료로서 유전체 세라믹스를 이용하는 경우는, BaTiO₃, CaTiO₃, SrTiO₃ 또는 CaZrO₃ 등을 주성분으로 할 수 있다. 또한 이들 주성분에, 부성분으로서 Mn 화합물, Mg 화합물, Si 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물, Al 화합물, V 화합물 또는 희토류 화합물 등이 첨가되어 있어도 된다. 절연 피복부(130)는, 적층체(110)에 세라믹 유전체 슬러리가 도포되어 소성됨으로써 마련되어도 되고, 후술하는 적층칩과 동시에 소성되어 마련되어도 된다.

- [0053] 절연 피복부(130)를 구성하는 재료로서 수지를 이용하는 경우는, 에폭시계 수지 또는 폴리이미드계 수지를 포함하는 수지가 이용된다. 이 경우, 절연 피복부(130)는, 적층체(110)에 수지 페이스트가 도포되어 열경화시킴으로써 마련된다.
- [0054] 절연 피복부(130)를 구성하는 재료로서 유리를 이용하는 경우는, Ba 또는 Sr을 포함하는 유리가 이용된다. 이 경우, 절연 피복부(130)는, 적층체(110)에 유리 페이스트가 도포되어 베이킹됨으로써 마련된다.
- [0055] 도 2에 나타내는 바와 같이, 적층방향(W)의 적어도 한쪽에서 보아, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다. 또한 하나의 절연 피복부(130) 및 다른 절연 피복부(130)의 적어도 한쪽에서 가장 제1 주면(111) 근처에 위치하는 단부가, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있으면 된다.
- [0056] 본 실시형태에서는, 적층방향(W)의 적어도 한쪽에서 보아, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부와, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부의, 높이방향(T)에서의 거리(T13)는 20 μ m 이상이다. 또한 하나의 절연 피복부(130) 및 다른 절연 피복부(130)의 적어도 한쪽에서 가장 제1 주면(111) 근처에 위치하는 단부와, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부의, 높이방향(T)에서의 거리(T13)가 20 μ m 이상이면 된다.
- [0057] 본 실시형태에서는, 적층방향(W)에서 보아, 제1 외부전극(121)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다. 적층방향(W)에서 보아, 제1 외부전극(121)에서 가장 제1 주면(111) 근처에 위치하는 단부와, 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부의, 높이방향(T)에서의 거리(T12)는 3 μ m 이상이다.
- [0058] 본 실시형태에서는, 도 6, 7에 나타내는 바와 같이, 제2 주면(112) 상의 제1 외부전극(121)의 최대 두께(T1)는, 제2 주면(112) 상의 한 쌍의 제2 외부전극(122)의 각각의 최대 두께(T2)보다 두껍다. 제2 주면(112) 상의 한 쌍의 절연 피복부(130)의 각각의 최대 두께(T3)는, 제2 주면(112) 상의 제1 외부전극(121)의 최대 두께(T1)보다 두껍다.
- [0059] 본 실시형태에서는, 한 쌍의 절연 피복부(130)는, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각의 일부와 높이방향(T)에서 겹쳐 있는 부분을 포함한다. 한 쌍의 절연 피복부(130)의 상기 겹쳐 있는 부분은, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각의 상기 일부를 덮고 있다. 즉, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)이 미리 마련된 적층체(110)에, 한 쌍의 절연 피복부(130)가 마련되어 있다.
- [0060] 한 쌍의 절연 피복부(130)는, 제2 주면(112)에서, 제1 외부전극(121)에 의해 덮여 있지 않은 제1 내부전극층(141)의 인출전극부의 일부, 및 한 쌍의 제2 외부전극(122)에 의해 덮여 있지 않은 제2 내부전극층(142)의 인출전극부의 일부를 덮고 있다.
- [0061] 내층부에 포함되는 유전체층(150) 및 내부전극층(140)의 각각의 두께는, 하기와 같이 측정된다. 먼저, 적층 세라믹 전자 부품(100)을 연마하고, 길이방향(L)에 직교하는 절단면을 노출시킨다. 노출시킨 절단면을 주사형 전자현미경으로 관찰한다. 다음으로, 노출시킨 절단면의 중심을 통과하는 적층방향(W)을 따른 중심선, 및 이 중심선으로부터 양측에 등간격으로 2개씩 그은 선의 합계 5개의 선상에서의 유전체층(150) 및 내부전극층(140)의 각각의 두께를 측정한다. 유전체층(150)의 5개의 측정치의 평균치를, 유전체층(150)의 두께로 한다. 내부전극층(140)의 5개의 측정치의 평균치를, 내부전극층(140)의 두께로 한다.
- [0062] 또한 노출시킨 절단면의 적층방향(W)의 중앙부 및 양단부의 각각에서, 상기 5개의 선상에서의 유전체층(150) 및 내부전극층(140)의 각각의 두께를 측정하며, 유전체층(150)의 측정치의 평균치를 유전체층(150)의 두께로 하고, 내부전극층(140)의 측정치의 평균치를 내부전극층(140)의 두께로 해도 된다.
- [0063] 제1 사이드 마진, 제2 사이드 마진, 제1 엔드 마진 및 제2 엔드 마진의 각각의 두께는, 이하와 같이 측정된다. 먼저, 적층 세라믹 전자 부품(100)을 연마하여, 적층방향(W)에 직교하는 절단면을 노출시킨다. 노출시킨 절단면을 마이크로스코프로 관찰하여 측정한다. 측정 위치는, 제1 사이드 마진 및 제2 사이드 마진의 각각에 대해서는 길이방향(L)의 중앙부, 제1 엔드 마진 및 제2 엔드 마진의 각각에 대해서는 높이방향(T)의 중앙부로 한다.

- [0064] 제1 외부전극(121)의 최대 두께(T1), 한 쌍의 제2 외부전극(122)의 각각의 최대 두께(T2), 및 한 쌍의 절연 피복부(130)의 각각의 최대 두께(T3)의 각각은, 이하와 같이 측정된다. 먼저, 적층 세라믹 전자 부품(100)을 적층 방향(W)의 중앙의 위치까지 연마하여, 적층방향(W)에 직교하는 절단면을 노출시킨다. 노출시킨 절단면을 마이크로스코프로 관찰하여 측정한다.
- [0065] 상기의 거리(T12) 및 거리(T13)의 각각은, 적층 세라믹 전자 부품(100)의 측면을 마이크로스코프로 관찰하여 측정한다.
- [0066] 이하, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품(100)의 제조 방법에 대해 도면을 참조하여 설명한다. 도 8은, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 제조 방법을 나타내는 플로도이다.
- [0067] 도 8에 나타내는 바와 같이, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품(100)의 제조 시에, 먼저 세라믹 유전체 슬러리가 조제된다(공정 S1). 구체적으로는, 세라믹 유전체 분말, 첨가 분말, 바인더 수지 및 용해액 등이 분산 혼합되고, 이에 따라 세라믹 유전체 슬러리가 조제된다. 세라믹 유전체 슬러리는, 용제계 또는 수계의 어느 쪽이든 된다. 세라믹 유전체 슬러리를 수계 도료로 하는 경우, 수용성의 바인더 및 분산제 등과, 물에 용해시킨 유전체 원료를 혼합함으로써 세라믹 유전체 슬러리를 조제한다.
- [0068] 다음으로, 세라믹 유전체 시트가 형성된다(공정 S2). 구체적으로는, 세라믹 유전체 슬러리가 캐리어 필름 상에서 다이 코터, 그라비어 코터 또는 마이크로 그라비어 코터 등을 이용하여 시트상으로 성형되어 건조됨으로써 세라믹 유전체 시트가 형성된다. 세라믹 유전체 시트의 두께는, 적층 세라믹 전자 부품(100)의 소형화 및 고용량화의 관점에서, 3 μ m 이하인 것이 바람직하다.
- [0069] 다음으로, 머더 시트(mother sheet)가 형성된다(공정 S3). 구체적으로는, 세라믹 유전체 시트에 도전성 페이스트가 소정 패턴을 가지도록 도포됨으로써, 세라믹 유전체 시트 상에 소정 내부전극 패턴이 마련된 머더 시트가 형성된다. 도전성 페이스트의 도포 방법으로는, 스크린 인쇄법, 잉크젯법 또는 그라비어 인쇄법 등을 이용할 수 있다. 내부전극 패턴의 두께는, 적층 세라믹 전자 부품(100)의 소형화 및 고용량화의 관점에서, 1.5 μ m 이하인 것이 바람직하다. 또한 머더 시트로는, 내부전극 패턴을 가지는 머더 시트 외에, 상기 공정 S3을 거치지 않은 세라믹 유전체 시트도 준비된다.
- [0070] 다음으로, 복수의 머더 시트가 적층된다(공정 S4). 구체적으로는, 내부전극 패턴이 형성되어 있지 않고, 세라믹 유전체 시트만으로 이루어지는 머더 시트가, 소정 매수 적층된다. 그 위에, 내부전극 패턴이 마련된 머더 시트가 소정 매수 적층된다. 또한 그 위에, 내부전극 패턴이 형성되어 있지 않고, 세라믹 유전체 시트만으로 이루어지는 머더 시트가 소정 매수 적층된다. 이에 따라, 머더 시트군이 구성된다.
- [0071] 다음으로, 머더 시트군이 압됨으로써 적층 블록이 형성된다(공정 S5). 구체적으로는, 정수압 프레스 또는 강제 프레스에 의해 머더 시트군이 적층방향으로 가압되어 압착됨으로써 적층 블록이 형성된다.
- [0072] 다음으로, 적층 블록이 분단되어 적층칩이 형성된다(공정 S6). 구체적으로는, 푸싱하여 커팅, 다이싱 또는 레이저 커팅에 의해 적층 블록이 매트릭스상으로 분단되어, 복수의 적층칩으로 개편(個片)화된다.
- [0073] 다음으로, 적층칩의 배럴 연마가 실시된다(공정 S7). 구체적으로는, 적층칩이, 배럴이라고 불리는 작은 상자 내에 유전체 재료보다 경도가 높은 미디어 볼과 함께 봉입되고, 해당 배럴을 회전시킴으로써 적층칩의 연마가 실시된다. 이에 따라, 적층칩의 모서리부 및 능선부가 둥그스름해진다.
- [0074] 다음으로, 적층칩의 소성이 실시된다(공정 S8). 구체적으로는, 적층칩이 가열되고, 이에 따라 적층칩에 포함되는 유전체 재료 및 도전성 재료가 소성되어 적층체(110)가 형성된다. 소성 온도는, 유전체 재료 및 도전성 재료에 따라 적절히 설정되어, 900 $^{\circ}$ C 이상 1300 $^{\circ}$ C 이하인 것이 바람직하다.
- [0075] 다음으로, 적층체(110)의 표면에 도전성 페이스트가 도포된다. 본 실시형태에서는, 롤러 전사법에 의해, 적층체(110)의 표면에 도전성 페이스트가 도포된다. 단, 도전성 페이스트의 도포 방법은, 롤러 전사법에 한정되지 않고, 스프레이 도포법 또는 딥(dip)법 등이어도 된다.
- [0076] 도 9는, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 도전성 페이스트를 도포하는 도포 장치의 구성을 나타내는 단면도이다. 도 10은, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 도전성 페이스트를 도포하는 도포 장치의 제1 전사 롤러와 제1 스크레이퍼가 접촉하고 있는 상태를 나타내는 단면도이다.
- [0077] 도 9, 10에 나타내는 바와 같이, 도포 장치(1)는, 서로 간격을 두고 위치하는 제1 도포 기구(1a)와 제2 도포 기

구(1b)를 포함하고 있다. 제1 도포 기구(1a)는, 도전성 페이스트(10)를 축적하는 제1 용기(2a)와, 제1 용기(2a) 내에 일부가 위치하는 제1 공급 롤러(3a)와, 제1 공급 롤러(3a)의 외주면(外周面)과 굴러 접촉하는 제1 전사 롤러(4a)와, 제1 전사 롤러(4a)의 외주면과 미끄럼 접촉하는 제1 스크레이퍼(5a)를 포함하고 있다.

- [0078] 마찬가지로, 제2 도포 기구(1b)는, 제2 용기(2b)와, 제2 용기(2b) 내에 일부가 위치하는 제2 공급 롤러(3b)와, 제2 공급 롤러(3b)의 외주면과 굴러 접촉하는 제2 전사 롤러(4b)와, 제2 전사 롤러(4b)의 외주면과 미끄럼 접촉하는 제2 스크레이퍼(5b)를 포함하고 있다. 제2 용기(2b) 내에는, 도전성 페이스트(10)는 충전되어 있지 않다.
- [0079] 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각은, 원주상의 몸체부와, 몸체부의 외주를 덮는 탄성체부를 포함하고 있다. 몸체부는, 철로 구성되어 있지만, 몸체부의 재료는 철에 한정되지 않고, 다른 금속, 또는 CFRP(Carbon Fiber Reinforced Plastics) 등의 복합 재료 등이어도 된다. 탄성체부는, 실리콘 고무로 구성되어 있지만, 탄성체부의 재료는 실리콘 고무에 한정되지 않고, 적절한 변형 저항을 가지는 다른 고무여도 된다.
- [0080] 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각은, 회전축(ax)을 중심으로 하여 회전한다. 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각의 외주면에는, 환상(環狀)으로 연속한, 제1 홈부(h1) 및 한 쌍의 제2 홈부(h2)가 마련되어 있다. 제1 홈부(h1)는, 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각의 외주면에서, 회전축(ax)방향의 중앙부에 마련되어 있다. 한 쌍의 제2 홈부(h2)는, 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각의 외주면에서, 회전축(ax)방향의 양단부에 마련되어 있다.
- [0081] 본 실시형태에서는, 제1 홈부(h1)의 폭은, 한 쌍의 제2 홈부(h2)의 각각의 폭보다 넓다. 본 실시형태에서는, 제1 홈부(h1) 및 한 쌍의 제2 홈부(h2)의 각각의 내측의 영역의 절단면형상은 직사각형상이지만, 직사각형상에 한정되지 않고, 반원상 또는 반타원상 등이어도 된다.
- [0082] 이하, 적층 세라믹 전자 부품(100)의 적층체(110)에 도전성 페이스트(10)를 도포할 때의 도포 장치(1)의 동작에 대해 설명한다. 먼저, 제1 공급 롤러(3a) 및 제2 공급 롤러(3b)의 각각을 화살표(8)로 나타내는 바와 같이 서로 반대방향으로 회전시킨다. 이에 따라, 제1 공급 롤러(3a)의 외주면에, 제1 용기(2a) 내의 도전성 페이스트(10)가 부착된다.
- [0083] 또한 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각은, 화살표 9로 나타내는 바와 같이 서로 반대방향으로 회전한다. 제1 전사 롤러(4a)는, 제1 공급 롤러(3a)와 굴러 접촉한다. 제2 전사 롤러(4b)는, 제2 공급 롤러(3b)와 굴러 접촉한다. 이에 따라, 제1 공급 롤러(3a)의 외주면에 부착되어 있었던 도전성 페이스트(10)가, 제1 전사 롤러(4a)의 외주면으로 위치를 옮긴다.
- [0084] 도 10에 나타내는 바와 같이, 제1 전사 롤러(4a)의 외주면으로 위치를 옮긴 도전성 페이스트(10)는, 제1 전사 롤러(4a)의 외주면과 미끄럼 접촉하는 제1 스크레이퍼(5a)에 의해, 제1 홈부(h1) 및 한 쌍의 제2 홈부(h2)의 내측에 충전됨과 함께 잉여분이 긁혀 나온다.
- [0085] 다음으로, 제1 전사 롤러(4a)와 제2 전사 롤러(4b) 사이를, 제1 단면(115) 및 제2 단면(116)의 각각에 캐리어 테이프(6)가 붙어 지지되어 있는 복수의 적층체(110)가, 순차적으로 제1 전사 롤러(4a)와 제2 전사 롤러(4b)에 끼이면서 화살표(7)로 나타내는 반송방향으로 통과한다. 이때, 적층체(110)의 길이방향(L)과 회전축(ax)방향이 평행으로 되어 있고, 적층체(110)의 적층방향(W)과 적층체(110)의 반송방향이 평행으로 되어 있다. 적층체(110)의 반송 속도와, 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각의 외주의 회전 속도는, 대략 동등하다.
- [0086] 도 11은, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 도전성 페이스트를 도포하는 도포 장치의 제1 전사 롤러와 적층체가 접촉하고 있는 상태를 나타내는 단면도이다.
- [0087] 도 9, 11에 나타내는 바와 같이, 제1 전사 롤러(4a)의 제1 홈부(h1)의 내측에 충전되어 있었던 도전성 페이스트(10)의 일부가, 적층체(110)의 제2 주면(112)으로부터 제1 측면(113) 및 제2 측면(114)의 각각의 일부에 걸쳐 전사되어 제1 외부전극 패턴(121a)이 형성된다. 제1 전사 롤러(4a)의 한 쌍의 제2 홈부(h2)의 내측에 충전되어 있었던 도전성 페이스트(10)의 일부가, 적층체(110)의 제2 주면(112)으로부터 제1 측면(113), 제2 측면(114), 제1 단면(115) 및 제2 단면(116)의 각각의 일부에 걸쳐 전사되어, 한 쌍의 제2 외부전극 패턴(122a)이 형성된다.
- [0088] 제1 홈부(h1)의 폭이, 한 쌍의 제2 홈부(h2)의 각각의 폭보다 넓기 때문에, 제2 주면(112) 상의 제1 외부전극 패턴(121a)의 최대 두께가, 제2 주면(112) 상의 한 쌍의 제2 외부전극 패턴(122a)의 각각의 최대 두께보다 두꺼워진다.
- [0089] 또한 한 쌍의 제2 홈부(h2)의 내측에 충전되어 있었던 도전성 페이스트(10)의 일부는, 제1 홈부(h1)의 내측에

충전되어 있었던 도전성 페이스트(10)의 일부와는 다르게, 제2 주면(112)으로부터 제1 단면(115) 및 제2 단면(116)으로도 돌아 들어가기 때문에, 적층방향(W)에서 보아, 한 쌍의 제2 외부전극 패턴(122a)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 제1 외부전극 패턴(121a)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)으로부터 먼 위치에 위치하고 있다.

- [0090] 다음으로, 적층체(110)에 형성된 제1 외부전극 패턴(121a) 및 한 쌍의 제2 외부전극 패턴(122a)이 베이킹된다. 이에 따라, 하지전극층이 되는 베이킹층이 형성된다(공정 S9). 베이킹 온도는, 예를 들면 840℃이다.
- [0091] 다음으로, 적층체(110)의 표면에 세라믹 유전체 슬러리가 도포된다. 본 실시형태에서는, 롤러 전사법에 의해, 적층체(110)의 표면에 세라믹 유전체 슬러리가 도포된다. 단, 세라믹 유전체 슬러리의 도포 방법은, 롤러 전사법에 한정되지 않고, 스프레이 도포법 또는 딥법 등이어도 된다.
- [0092] 도 12는, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 세라믹 유전체 슬러리를 도포하는 도포 장치의 구성을 나타내는 단면도이다. 도 13은, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 세라믹 유전체 슬러리를 도포하는 도포 장치의 제1 전사 롤러와 제1 스크레이퍼가 접촉하고 있는 상태를 나타내는 단면도이다.
- [0093] 도 12, 13에 나타내는 바와 같이, 도포 장치(1)는, 서로 간격을 두고 위치하는 제1 도포 기구(1a)와 제2 도포 기구(1b)를 포함하고 있다. 제1 도포 기구(1a)는, 세라믹 유전체 슬러리(20)를 축적하는 제1 용기(2a)와, 제1 용기(2a) 내에 일부가 위치하는 제1 공급 롤러(3a)와, 제1 공급 롤러(3a)의 외주면과 굴러 접촉하는 제1 전사 롤러(4c)와, 제1 전사 롤러(4c)의 외주면과 미끄럼 접촉하는 제1 스크레이퍼(5a)를 포함하고 있다.
- [0094] 마찬가지로, 제2 도포 기구(1b)는, 제2 용기(2b)와, 제2 용기(2b) 내에 일부가 위치하는 제2 공급 롤러(3b)와, 제2 공급 롤러(3b)의 외주면과 굴러 접촉하는 제2 전사 롤러(4d)와, 제2 전사 롤러(4d)의 외주면과 미끄럼 접촉하는 제2 스크레이퍼(5b)를 포함하고 있다. 제2 용기(2b) 내에는, 세라믹 유전체 슬러리(20)는 충전되어 있지 않다.
- [0095] 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각은, 원주상의 몸체부와, 몸체부의 외주를 덮는 탄성체부를 포함하고 있다. 몸체부는 철로 구성되어 있지만, 몸체부의 재료는 철에 한정되지 않고, 다른 금속, 또는 CFRP(Carbon Fiber Reinforced Plastics) 등의 복합 재료 등이어도 된다. 탄성체부는, 실리콘 고무로 구성되어 있지만, 탄성체부의 재료는 실리콘 고무에 한정되지 않고, 적절한 변형 저항을 가지는 다른 고무여도 된다.
- [0096] 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각은, 회전축(ax)을 중심으로 하여 회전한다. 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각의 외주면에는, 환상으로 연속한, 한 쌍의 제3 홈부(h3)가 마련되어 있다. 한 쌍의 제3 홈부(h3)는, 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각의 외주면에서, 회전축(ax)방향으로 서로 간격을 두고 마련되어 있다. 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각의 한 쌍의 제3 홈부(h3)는, 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각의, 한 쌍의 제2 홈부(h2)의 각각과 제1 홈부(h1) 사이의 위치에 대응하는 위치에 마련되어 있다.
- [0097] 본 실시형태에서는, 한 쌍의 제3 홈부(h3)의 각각의 폭은, 제1 홈부(h1)의 폭보다 넓다. 본 실시형태에서는, 한 쌍의 제3 홈부(h3)의 각각의 내측의 영역의 절단면형상은 직사각형상이지만, 직사각형상에 한정되지 않고, 반원상 또는 반타원상 등이어도 된다.
- [0098] 이하, 적층 세라믹 전자 부품(100)의 적층체(110)에 세라믹 유전체 슬러리(20)를 도포할 때의 도포 장치(1)의 동작에 대해 설명한다. 먼저, 제1 공급 롤러(3a) 및 제2 공급 롤러(3b)의 각각을 화살표(8)로 나타내는 바와 같이 서로 반대방향으로 회전시킨다. 이에 따라, 제1 공급 롤러(3a)의 외주면에, 제1 용기(2a) 내의 세라믹 유전체 슬러리(20)가 부착된다.
- [0099] 또한 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각은, 화살표 9로 나타내는 바와 같이 서로 반대방향으로 회전한다. 제1 전사 롤러(4c)는, 제1 공급 롤러(3a)와 굴러 접촉한다. 제2 전사 롤러(4d)는, 제2 공급 롤러(3b)와 굴러 접촉한다. 이에 따라, 제1 공급 롤러(3a)의 외주면에 부착되어 있었던 세라믹 유전체 슬러리(20)가, 제1 전사 롤러(4c)의 외주면으로 위치를 옮긴다.
- [0100] 도 13에 나타내는 바와 같이, 제1 전사 롤러(4c)의 외주면으로 위치를 옮긴 세라믹 유전체 슬러리(20)는, 제1 전사 롤러(4c)의 외주면과 미끄럼 접촉하는 제1 스크레이퍼(5a)에 의해, 한 쌍의 제3 홈부(h3)의 내측에 충전됨과 함께 잉여분이 긁혀 나온다.
- [0101] 다음으로, 제1 전사 롤러(4c)와 제2 전사 롤러(4d) 사이를, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)이

형성되고, 제1 단면(115) 및 제2 단면(116)의 각각에 캐리어 테이프(6)가 붙어 지지된 복수의 적층체(110)가, 순차적으로 제1 전사 롤러(4c)와 제2 전사 롤러(4d)에 끼이면서 화살표(7)로 나타내는 반송방향으로 통과한다. 이때, 적층체(110)의 길이방향(L)과 회전축(ax)방향이 평행으로 되어 있고, 적층체(110)의 적층방향(W)과 적층체(110)의 반송방향이 평행으로 되어 있다. 적층체(110)의 반송 속도와, 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각의 외주의 회전 속도는, 대략 동등하다.

- [0102] 본 실시형태에서는, 제1 전사 롤러(4c)와 제2 전사 롤러(4d)가 적층체(110)를 끼는 압력은, 제1 전사 롤러(4a)와 제2 전사 롤러(4b)가 적층체(110)를 끼는 압력보다 높다.
- [0103] 도 14는, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품의 적층체에 세라믹 유전체 슬러리를 도포하는 도포 장치의 제1 전사 롤러와 적층체가 접촉하고 있는 상태를 나타내는 단면도이다.
- [0104] 도 12, 14에 나타내는 바와 같이, 제1 전사 롤러(4c)의 한 쌍의 제3 홈부(h3)의 내측에 충전되어 있었던 세라믹 유전체 슬러리(20)의 일부가, 적층체(110)의 제2 주면(112)으로부터 제1 측면(113) 및 제2 측면(114)의 각각의 일부에 걸쳐 전사되어, 한 쌍의 절연 피복 패턴(130a)이 형성된다.
- [0105] 한 쌍의 제3 홈부(h3)의 각각의 폭이, 제1 홈부(h1)의 폭보다 넓기 때문에, 제2 주면(112) 상의 한 쌍의 절연 피복 패턴(130a)의 각각의 최대 두께가, 제2 주면(112) 상의 제1 외부전극 패턴(121a)의 최대 두께보다 두꺼워진다.
- [0106] 제1 전사 롤러(4c)와 제2 전사 롤러(4d)가 적층체(110)를 끼는 압력이, 제1 전사 롤러(4a)와 제2 전사 롤러(4b)가 적층체(110)를 끼는 압력보다 높기 때문에, 적층방향(W)에서 보아, 한 쌍의 절연 피복 패턴(130a)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 제1 외부전극 패턴(121a) 및 한 쌍의 제2 외부전극 패턴(122a)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다.
- [0107] 또한 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각의 탄성체부를, 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각의 탄성체부보다 부드러운 재료로 구성해도 된다. 이 경우, 제1 전사 롤러(4c)와 제2 전사 롤러(4d)가 적층체(110)를 끼는 압력과, 제1 전사 롤러(4a)와 제2 전사 롤러(4b)가 적층체(110)를 끼는 압력이 동등해도, 적층방향(W)에서 보아, 한 쌍의 절연 피복 패턴(130a)에서 가장 제1 주면(111) 근처에 위치하는 단부를, 제1 외부전극 패턴(121a) 및 한 쌍의 제2 외부전극 패턴(122a)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치시킬 수 있다.
- [0108] 다음으로, 적층체(110)에 형성된 한 쌍의 절연 피복 패턴(130a)이 베이킹된다. 이에 따라, 적층체(110)의 외표면 상에, 한 쌍의 절연 피복부(130)가 형성된다(공정 S10). 베이킹 온도는, 적층체의 소성 온도보다 낮은 온도로 설정된다. 절연 피복부(130)를 구성하는 재료가 유전체 세라믹스인 경우 인화 온도는, 예를 들면 900℃이다. 절연 피복부(130)를 구성하는 재료가 수지인 경우 인화 온도는, 예를 들면 300℃이다. 절연 피복부(130)를 구성하는 재료가 유리인 경우 인화 온도는, 예를 들면 600℃ 이상 750℃ 이하이다.
- [0109] 다음으로, 하지전극층 및 절연 피복부가 형성된 적층체(110)의 도금 처리가 실시된다. 하지전극층에 Ni 도금 및 Sn 도금이 이 순서대로 실시되어 Ni 도금층 및 Sn 도금층이 형성됨으로써, 적층체(110)의 외표면 상에 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)이 형성된다(공정 S11).
- [0110] 상술한 일련의 공정을 거침으로써, 적층 세라믹 전자 부품(100)을 제조할 수 있다.
- [0111] 도 15는, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품을 기관에 실장한 상태를 도 2와 동일한 방향에서 보고 나타내는 측면도이다. 도 16은, 제2 주면 상의 한 쌍의 절연 피복부의 각각의 최대 두께가, 제2 주면 상의 한 쌍의 제2 외부전극의 각각의 최대 두께보다 얇은, 비교예에 따른 적층 세라믹 전자 부품을 기관에 실장한 상태를 도 2와 동일한 방향에서 보고 나타내는 측면도이다.
- [0112] 도 16에 나타내는 바와 같이, 비교예에 따른 적층 세라믹 전자 부품(900)에서는, 제2 주면 상의 제1 외부전극(921)의 최대 두께는, 제2 주면 상의 한 쌍의 제2 외부전극(922)의 각각의 최대 두께보다 두껍다. 제2 주면 상의 한 쌍의 절연 피복부(930)의 각각의 최대 두께는, 제2 주면 상의 한 쌍의 제2 외부전극(922)의 각각의 최대 두께보다 얇다. 그 때문에, 비교예에 따른 적층 세라믹 전자 부품(900)을 기관(90)에 실장했을 때, 제1 외부전극(921)과 기관(90)이 접한다.
- [0113] 적층 세라믹 전자 부품(900)의 중심선이, 도 16의 점선(C1)으로 나타내는 바와 같이 기관(90)과 평행할 때, 한 쌍의 제2 외부전극(922)의 각각과 기관(90) 사이에 높이(T92)의 틈이 형성된다. 이 틈에는, 기관(90)의 랜드와

제2 외부전극(922)을 접합하는 솔더가 위치한다. 높이(T92)는, 예를 들면 25 μm 이다.

- [0114] 한 쌍의 제2 외부전극(922) 중 한쪽과 기판(90)이 접한 상태로 적층 세라믹 전자 부품(100)이 기판(90)에 실장된 경우, 적층 세라믹 전자 부품(900)의 중심선이, 도 16의 점선(C2)으로 나타내는 바와 같이 기울어진 상태가 된다. 한 쌍의 제2 외부전극(922) 중 다른 쪽과 기판(90)이 접한 상태로 적층 세라믹 전자 부품(100)이 기판(90)에 실장된 경우, 적층 세라믹 전자 부품(900)의 중심선이, 도 16의 점선(C3)으로 나타내는 바와 같이 기울어진 상태가 된다.
- [0115] 또한 적층 세라믹 전자 부품(900)을 기판(90)에 실장한 후, 적층 세라믹 전자 부품(900)을 수지로 밀봉하여 더 리플로(reflow)한 경우에, 기판(90)과 제1 외부전극(121) 사이의 틈(A90)에 솔더로 메워져 있지 않은 부분이 발생하고, 그 부분으로 흘러 들어간 수지 중에 보이드가 잔류하는 경우가 있다. 그 결과, 리플로 시에 용융한 솔더가 보이드의 팽창에 의해 날리는, 솔더 파열(solder burst)이라고 불리는 현상이 일어날 가능성이 있다.
- [0116] 본 실시형태에 따른 적층 세라믹 전자 부품(100)에서는, 도 6, 7에 나타내는 바와 같이, 제2 주면(112) 상의 한 쌍의 절연 피복부(130)의 각각의 최대 두께(T3)가, 제2 주면(112) 상의 제1 외부전극(121)의 최대 두께(T1)보다 두껍다. 그 때문에, 도 15에 나타내는 바와 같이, 적층 세라믹 전자 부품(100)을 기판(90)에 실장했을 때, 한 쌍의 절연 피복부(130)와 기판(90)이 접한다. 이에 따라, 적층 세라믹 전자 부품(100)을 기판(90)에 대략 평행으로 실장할 수 있다.
- [0117] 또한 본 실시형태에 따른 적층 세라믹 전자 부품(100)에서는, 기판(90)과 제1 외부전극(121) 사이에 틈(A10)이 형성된다. 이 틈(A10)을 메우도록 실장용 솔더가 습윤 확산되기 때문에, 충분한 두께의 솔더층을 형성할 수 있다. 그 결과, 적층 세라믹 전자 부품(100)을 충분한 고착 강도로 기판(90)에 실장할 수 있다.
- [0118] 또한 적층 세라믹 전자 부품(100)을 기판(90)에 실장한 후, 적층 세라믹 전자 부품(100)을 수지로 밀봉하여 더 리플로한 경우에, 기판(90)과 제1 외부전극(121) 사이의 틈(A10)이 솔더로 메워져 보이드가 잔류하고 있지 않기 때문에, 리플로 시에 용융한 솔더가 보이드의 팽창에 의해 날리는, 솔더 파열이라고 불리는 현상이 일어나는 것을 억제할 수 있다.
- [0119] 또한 제2 주면(112) 상의 절연 피복부(130)의 외표면을 따른, 한 쌍의 제2 외부전극(122)의 각각과 제1 외부전극(121) 사이의 거리가, 절연 피복부(130)에 의해 연장됨으로써, 제2 주면(112) 상의 절연 피복부(130)의 외표면을 따른 마이그레이션에 의한 단락의 발생을 억제할 수 있다.
- [0120] 본 실시형태에 따른 적층 세라믹 전자 부품(100)에서는, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)이 미리 마련된 적층체(110)에, 한 쌍의 절연 피복부(130)가 마련되어 있고, 한 쌍의 절연 피복부(130)가, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각의 일부를 덮고 있다. 그 결과, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각이, 적층체(110)로부터 박리되는 것을 억제할 수 있다.
- [0121] 본 실시형태에 따른 적층 세라믹 전자 부품(100)에서는, 적층방향(W)에서 보아, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다. 그 결과, 적층체(110)의 제1 측면(113) 및 제2 측면(114)의 각각을 따른, 한 쌍의 제2 외부전극(122)의 각각과 제1 외부전극(121) 사이의 거리가 절연 피복부(130)에 의해 연장됨으로써, 적층체(110)의 측면에 따른 마이그레이션에 의한 단락의 발생을 억제할 수 있다.
- [0122] 여기서, 상기의 최대 두께(T3)와 최대 두께(T1)의 차(T3-T1)와, 실장 시의 적층 세라믹 전자 부품의 기울기의 유무 및 솔더 파열의 발생율과의 관련성을 검증한 실험예에 대해 설명한다. 실험 조건으로는, 적층 세라믹 전자 부품을 기판에 실장한 후, 적층 세라믹 전자 부품을 수지로 밀봉하여 더 리플로 하고, 실장 시의 적층 세라믹 전자 부품의 기울기의 유무 및 솔더 파열의 발생의 유무를 확인했다.
- [0123] 본 실험예에서는, 실시예 1~실시예 9, 및 비교예 1~비교예 9의 18종류의 적층 세라믹 전자 부품을 각각 20개 제작했다. (T3-T1)에 대해서는, 실시예 1이 2 μm , 실시예 2가 4 μm , 실시예 3이 6 μm , 실시예 4가 8 μm , 실시예 5가 10 μm , 실시예 6이 12 μm , 실시예 7이 18 μm , 실시예 8이 24 μm , 실시예 9가 30 μm , 비교예 1이 0 μm , 비교예 2가 -2 μm , 비교예 3이 -5 μm , 비교예 4가 -6 μm , 비교예 5가 -8 μm , 비교예 6이 -9 μm , 비교예 7이 -15 μm , 비교예 8이 -24 μm , 비교예 9가 -30 μm 가 되도록 했다.

표 1

	(T3 - T1) (μm)	실장 시의 기울기의 유무	솔더 파열의 발생 비율
실시예 1	2	무	0 / 1000
실시예 2	4	무	1 / 1000
실시예 3	6	무	1 / 1000
실시예 4	8	무	2 / 1000
실시예 5	10	무	2 / 1000
실시예 6	12	무	3 / 1000
실시예 7	18	무	4 / 1000
실시예 8	24	무	5 / 1000
실시예 9	30	무	6 / 1000
비교예 1	0	무	15 / 1000
비교예 2	-2	유	21 / 1000
비교예 3	-5	유	18 / 1000
비교예 4	-6	유	19 / 1000
비교예 5	-8	유	17 / 1000
비교예 6	-9	유	18 / 1000
비교예 7	-15	유	12 / 1000
비교예 8	-24	유	27 / 1000
비교예 9	-30	유	45 / 1000

[0124]

[0125]

표 1은, 본 실험예의 실험 결과를 정리한 것이다. 표 1에 나타내는 바와 같이, (T3-T1)이 양의 값인 실시예 1~ 실시예 9에서는, 실장 시의 적층 세라믹 전자 부품의 기울기의 발생은 인정받지 못했다. 실시예 1~실시예 9에서는, 실장 시의 적층 세라믹 전자 부품의 솔더 파열의 발생 비율은 1% 이하였다. 한편, (T3-T1)이 음의 값인 비교예 2~비교예 9에서는, 실장 시의 적층 세라믹 전자 부품의 기울기가 발생한 적층 세라믹 전자 부품이 존재했다. 비교예 1~비교예 9에서는, 실장 시의 적층 세라믹 전자 부품의 솔더 파열의 발생 비율은 1% 이상이었다.

[0126]

본 실험예에 의해, 제2 주면(112) 상의 한 쌍의 절연 피복부(130)의 각각의 최대 두께(T3)가, 제2 주면(112) 상의 제1 외부전극(121)의 최대 두께(T1)보다 두꺼움으로써, 솔더 파열의 발생을 억제하면서 적층 세라믹 전자 부품을 기판에 대략 평행으로 실장할 수 있는 것을 확인할 수 있었다.

[0127]

(실시형태 2)

[0128]

이하, 본 발명의 실시형태 2에 따른 적층 세라믹 전자 부품에 대해 설명한다. 또한 본 발명의 실시형태 2에 따른 적층 세라믹 전자 부품은, 적층방향(W)에서 보아, 제1 외부전극 및 한 쌍의 제2 외부전극에서 가장 제1 주면 근처에 위치하는 단부가, 한 쌍의 절연 피복부에서 가장 제1 주면 근처에 위치하는 단부보다, 제1 주면에 가까운 위치에 위치하고 있는 점만, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품(100)과 다르기 때문에, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품(100)과 동일한 구성에 대해서는 설명을 반복하지 않는다.

[0129]

도 17은, 본 발명의 실시형태 2에 따른 적층 세라믹 전자 부품을 도 2와 동일한 방향에서 보고 나타내는 측면도이다. 도 17에 나타내는 바와 같이, 본 발명의 실시형태 2에 따른 적층 세라믹 전자 부품(200)에서는, 적층방향(W)의 적어도 한쪽에서 보아, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다. 또한 제1 외부전극(121), 하나의 제2 외부전극(122) 및 다른 제2 외부전극(122)의 적어도 하나에서 가장 제1 주면(111) 근처에 위치하는 단부가, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있으면 된다.

[0130]

본 실시형태에서는, 적층방향(W)의 적어도 한쪽에서 보아, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부와, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부의, 높이방향(T)에서의 거리(T13)는 20μm 이상이다. 또한 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부와, 제1 외부전극(121), 하나의 제2 외부전극(122) 및 다른 제2 외부전극(122)의 적어도 하나에서 가장 제1 주면(111) 근처에 위치하는 단부의, 높이방향(T)에서의 거리(T13)가 20μm 이상이

면 된다.

- [0131] 본 실시형태에서는, 적층체(110)에 세라믹 유전체 슬러리(20)를 도포할 때 제1 전사 롤러(4c)와 제2 전사 롤러(4d)가 적층체(110)를 끼는 압력은, 적층체(110)에 도전성 페이스트(10)를 도포할 때 제1 전사 롤러(4a)와 제2 전사 롤러(4b)가 적층체(110)를 끼는 압력보다 낮다. 그 때문에, 적층방향(W)에서 보아, 제1 외부전극 패턴(121a) 및 한 쌍의 제2 외부전극 패턴(122a)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 한 쌍의 절연 피복 패턴(130a)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다.
- [0132] 또한 제1 전사 롤러(4a) 및 제2 전사 롤러(4b)의 각각의 탄성체부를, 제1 전사 롤러(4c) 및 제2 전사 롤러(4d)의 각각의 탄성체부보다 부드러운 재료로 구성해도 된다. 이 경우, 제1 전사 롤러(4a)와 제2 전사 롤러(4b)가 적층체(110)를 끼는 압력과, 제1 전사 롤러(4c)와 제2 전사 롤러(4d)가 적층체(110)를 끼는 압력이 동등해도, 적층방향(W)에서 보아, 제1 외부전극 패턴(121a) 및 한 쌍의 제2 외부전극 패턴(122a)에서 가장 제1 주면(111) 근처에 위치하는 단부를, 한 쌍의 절연 피복 패턴(130a)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치시킬 수 있다.
- [0133] 본 실시형태에 따른 적층 세라믹 전자 부품(200)은, 적층방향(W)에서 보아, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다. 그 때문에, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각에서, 한 쌍의 절연 피복부(130)에 의해 덮이지 않고 솔더와 접촉하는 부분의 표면적을 충분히 확보하여, 적층 세라믹 전자 부품(200)을 기판에 실장했을 때의 솔더의 고착 강도를 높게 할 수 있다.
- [0134] (실시형태 3)
- [0135] 이하, 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품에 대해 설명한다. 또한 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품은, 한 쌍의 절연 피복부의 상기 겹쳐 있는 부분이, 제1 외부전극 및 한 쌍의 제2 외부전극의 각각의 일부로 덮여 있는 점이 주로, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품(100)과 다르기 때문에, 본 발명의 실시형태 1에 따른 적층 세라믹 전자 부품(100)과 동일한 구성에 대해서는 설명을 반복하지 않는다.
- [0136] 도 18은, 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품을 도 6과 동일한 절단면에서 보고 나타내는 단면도이다. 도 19는, 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품을 도 7과 동일한 절단면에서 보고 나타내는 단면도이다. 도 20은, 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품을 도 5와 동일한 절단면에서 보고 나타내는 단면도이다.
- [0137] 도 18, 19에 나타내는 바와 같이, 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품(300)은, 실시형태 1에 따른 적층 세라믹 전자 부품(100)과 비교하여, 제1 내부전극층(141)의 인출전극부 및 제2 내부전극층(142)의 인출전극부의 각각의, 적층체(110)의 길이방향(L)의 길이가 길다.
- [0138] 그 결과, 도 20에 나타내는 바와 같이, 제1 내부전극층(141)의 인출전극부의 일부와 제2 내부전극층(142)의 인출전극부의 일부가, 유전체층(150)을 사이에 끼고 서로 대향하고 있다. 따라서 본 실시형태에 따른 적층 세라믹 전자 부품(300)에서는, 제1 내부전극층(141)의 인출전극부와 제2 내부전극층(142)의 인출전극부에 의해서도 정전 용량이 형성되어 있어, 고용량화되어 있다.
- [0139] 본 실시형태에서는, 한 쌍의 절연 피복부(130)는, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각의 일부와 높이방향(T)에서 겹쳐 있는 부분을 포함한다. 한 쌍의 절연 피복부(130)의 상기 겹쳐 있는 부분은, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각의 상기 일부로 덮여 있다. 즉, 한 쌍의 절연 피복부(130)가 미리 마련된 적층체(110)에, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)이 마련되어 있다. 따라서 본 실시형태에 따른 적층 세라믹 전자 부품(300)을 제조할 때에는, 상기 공정 S10이 상기 공정 S9보다 먼저 실시된다.
- [0140] 한 쌍의 절연 피복부(130)는, 제2 주면(112)에서, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 서로 대향하고 있는 부분을 덮고 있기 때문에, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)을 형성했을 때에, 제1 내부전극층(141)과 제2 내부전극층(142)이 단락되는 것을 억제할 수 있다.
- [0141] (실시형태 4)

- [0142] 이하, 본 발명의 실시형태 4에 따른 적층 세라믹 전자 부품에 대해 설명한다. 또한 본 발명의 실시형태 4에 따른 적층 세라믹 전자 부품은, 적층방향(W)에서 보아, 제1 외부전극 및 한 쌍의 제2 외부전극에서 가장 제1 주면 근처에 위치하는 단부가, 한 쌍의 절연 피복부에서 가장 제1 주면 근처에 위치하는 단부보다, 제1 주면에 가까운 위치에 위치하고 있는 점만, 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품(300)과 다르기 때문에, 본 발명의 실시형태 3에 따른 적층 세라믹 전자 부품(300)과 동일한 구성에 대해서는 설명을 반복하지 않는다.
- [0143] 도 21은, 본 발명의 실시형태 4에 따른 적층 세라믹 전자 부품을 도 2와 동일한 방향에서 보고 나타내는 측면도이다. 도 21에 나타내는 바와 같이, 본 발명의 실시형태 2에 따른 적층 세라믹 전자 부품(200)에서는, 적층방향(W)의 적어도 한쪽에서 보아, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부는, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있다. 또한 제1 외부전극(121), 하나의 제2 외부전극(122) 및 다른 제2 외부전극(122)의 적어도 하나에서 가장 제1 주면(111) 근처에 위치하는 단부가, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부보다, 제1 주면(111)에 가까운 위치에 위치하고 있으면 된다.
- [0144] 본 실시형태에서는, 적층방향(W)의 적어도 한쪽에서 보아, 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부와, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)에서 가장 제1 주면(111) 근처에 위치하는 단부의, 높이방향(T)에서의 거리(T13)는 20 μ m 이상이다. 또한 한 쌍의 절연 피복부(130)에서 가장 제1 주면(111) 근처에 위치하는 단부와, 제1 외부전극(121), 하나의 제2 외부전극(122) 및 다른 제2 외부전극(122)의 적어도 하나에서 가장 제1 주면(111) 근처에 위치하는 단부의, 높이방향(T)에서의 거리(T13)가 20 μ m 이상이면 된다.
- [0145] 본 실시형태에서는, 제1 외부전극(121) 및 한 쌍의 제2 외부전극(122)의 각각에서, 한 쌍의 절연 피복부(130)에 의해 덮이지 않고 솔더와 접촉하는 부분의 표면적을 충분히 확보하여, 적층 세라믹 전자 부품(200)을 기판에 실장했을 때의 솔더의 고착 강도를 높게 할 수 있다.
- [0146] 상술한 실시형태의 설명에서, 조합 가능한 구성을 서로 조합해도 된다.
- [0147] 이번에 개시된 실시형태는 모든 점에서 예시로서 제한적인 것이 아니라고 생각되어야 한다. 본 발명의 범위는 상기한 설명이 아니라 특허청구범위에 의해 나타나고, 특허청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

부호의 설명

- [0148] 1: 도포 장치
- 1a: 제1 도포 기구
- 1b: 제2 도포 기구
- 2a: 제1 용기
- 2b: 제2 용기
- 3a: 제1 공급 롤러
- 3b: 제2 공급 롤러
- 4a, 4c: 제1 전사 롤러
- 4b, 4d: 제2 전사 롤러
- 5a: 제1 스크레이퍼
- 5b: 제2 스크레이퍼
- 6: 캐리어 테이프
- 10: 도전성 페이스트
- 20: 세라믹 유전체 슬러리
- 90: 기판

100, 200, 300, 900: 적층 세라믹 전자 부품

110: 적층체

111: 제1 주면

112: 제2 주면

113: 제1 측면

114: 제2 측면

115: 제1 단면

116: 제2 단면

121, 921: 제1 외부전극

121a: 제1 외부전극 패턴

122, 922: 제2 외부전극

122a: 제2 외부전극 패턴

130, 930: 절연 피복부

130a: 절연 피복 패턴

140: 내부전극층

141: 제1 내부전극층

142: 제2 내부전극층

150: 유전체층

A10, A90: 틈

L: 길이방향

T: 높이방향

T92: 높이

W: 적층방향

ax: 회전축

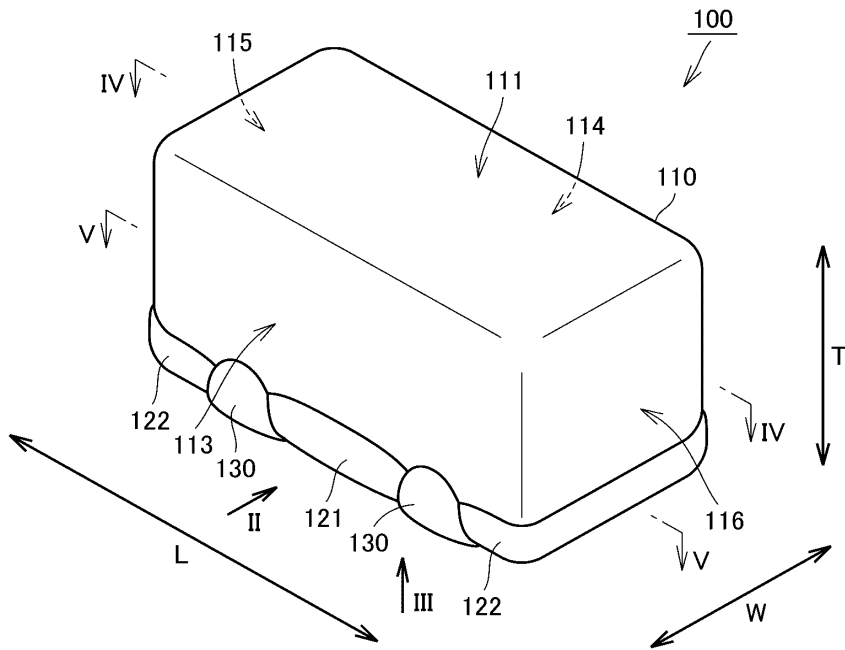
h1: 제1 홈부

h2: 제2 홈부

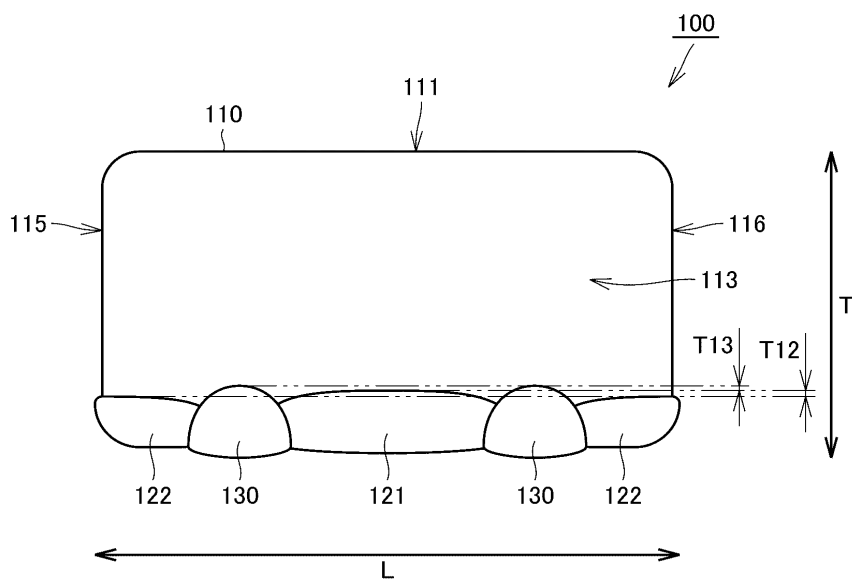
h3: 제3 홈부

도면

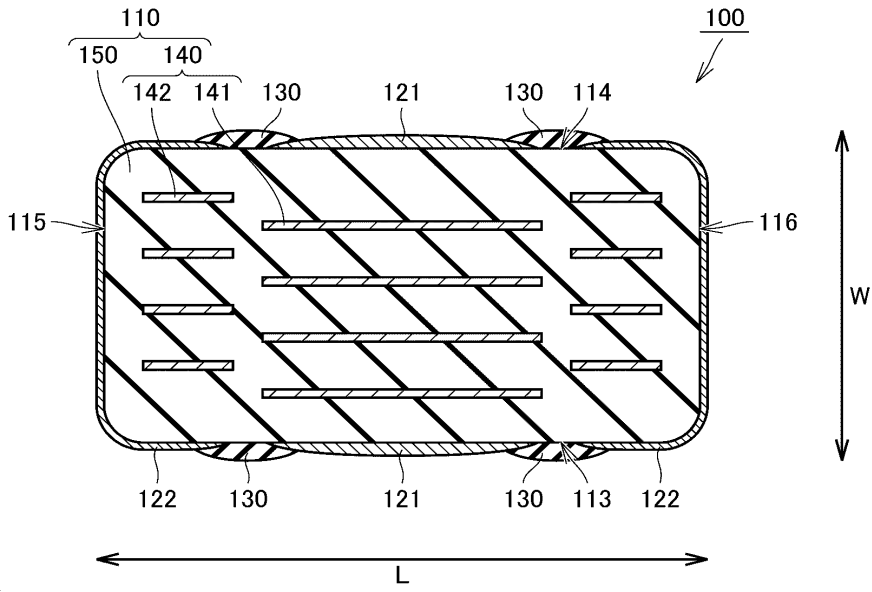
도면1



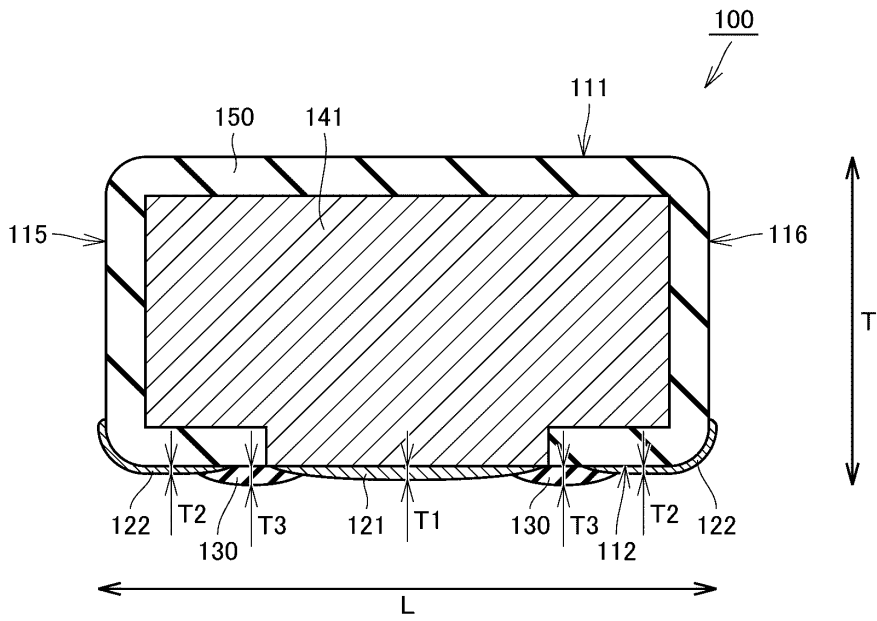
도면2



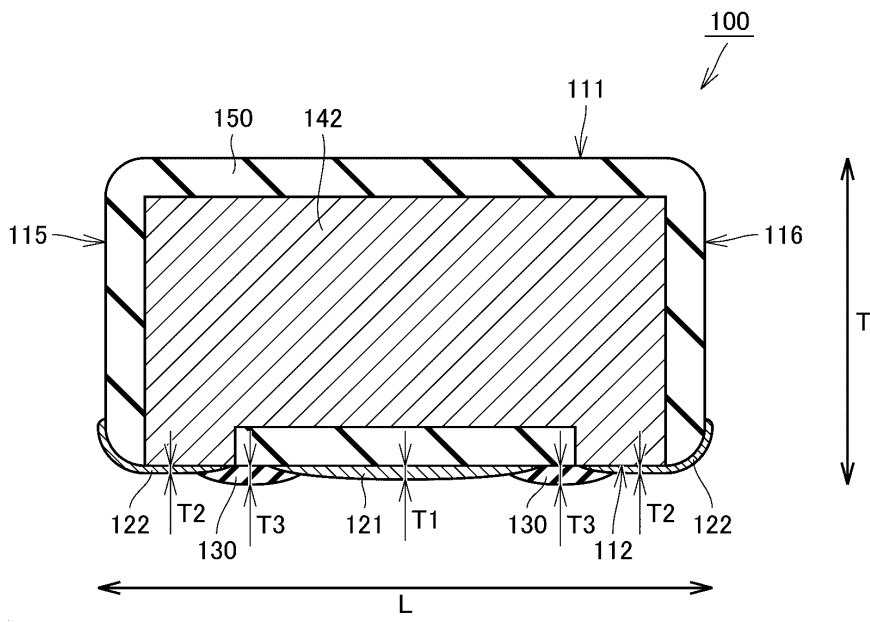
도면5



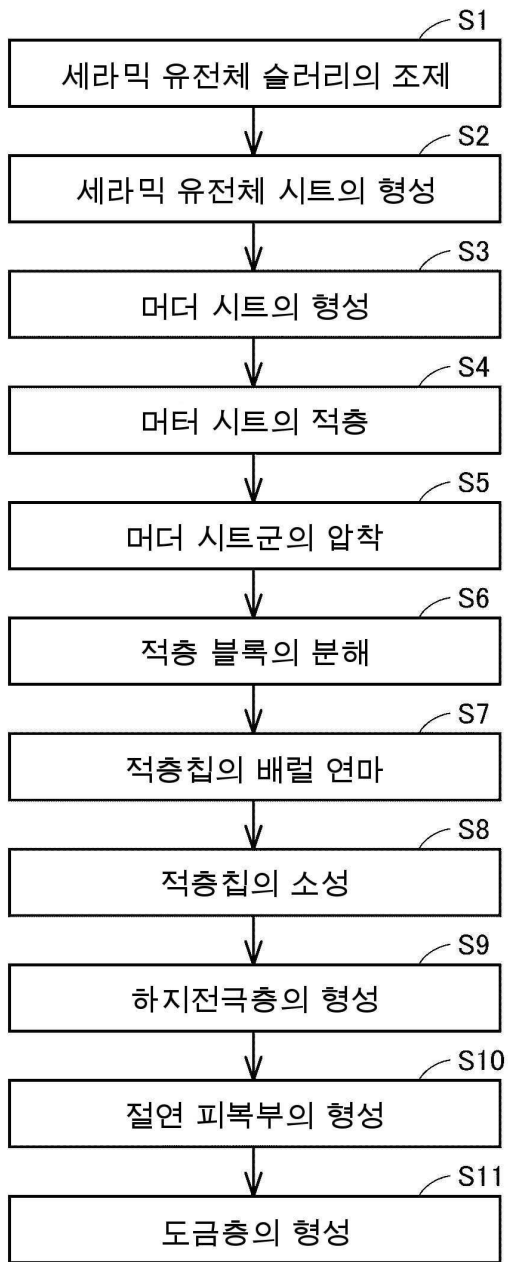
도면6



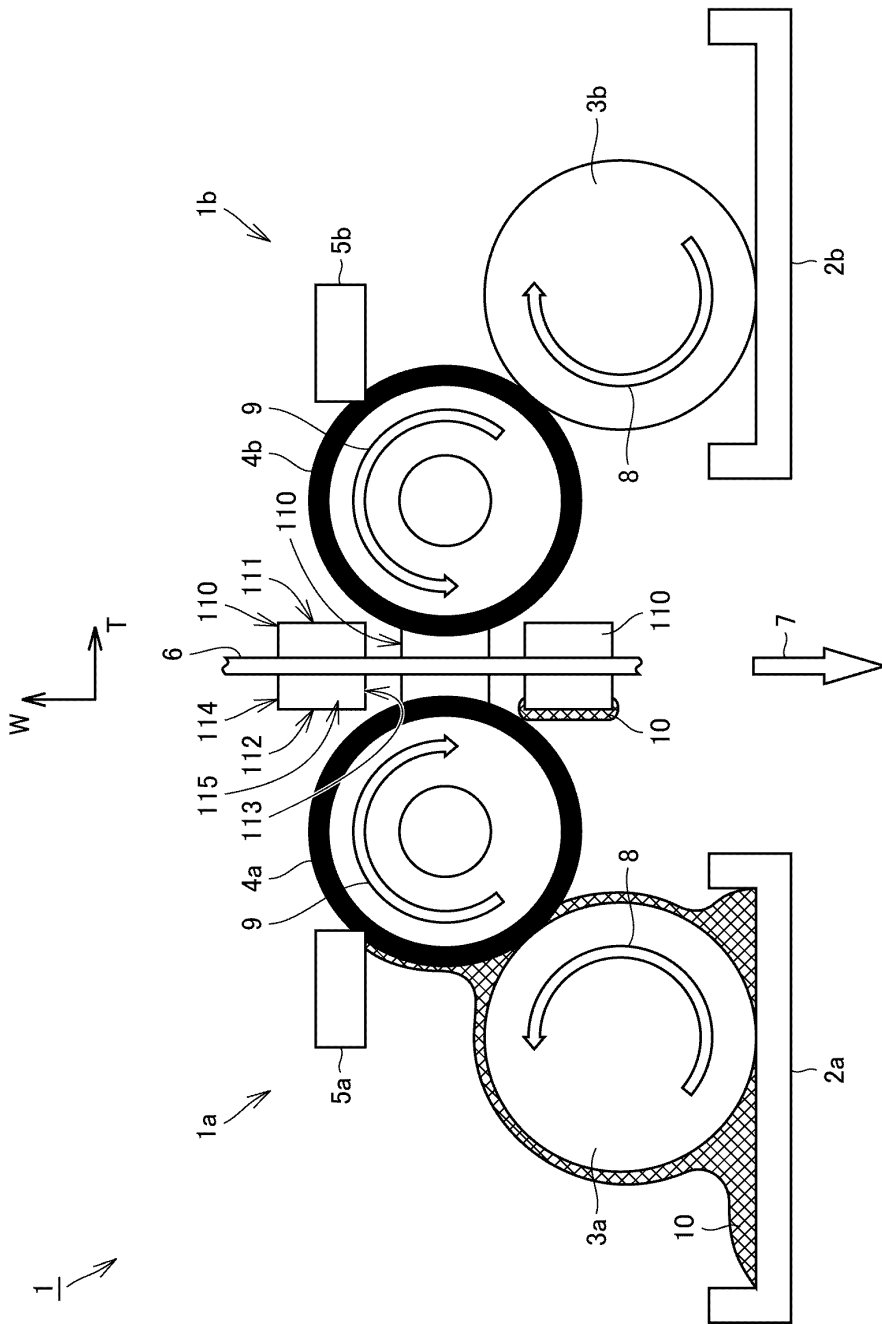
도면7



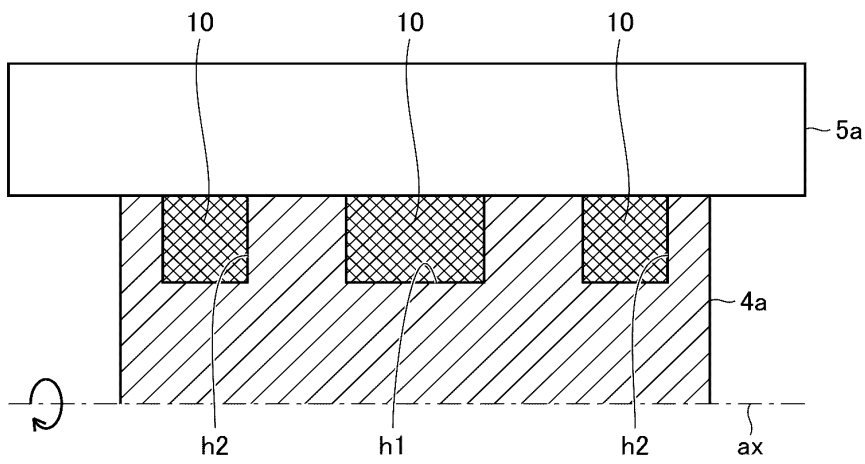
도면8



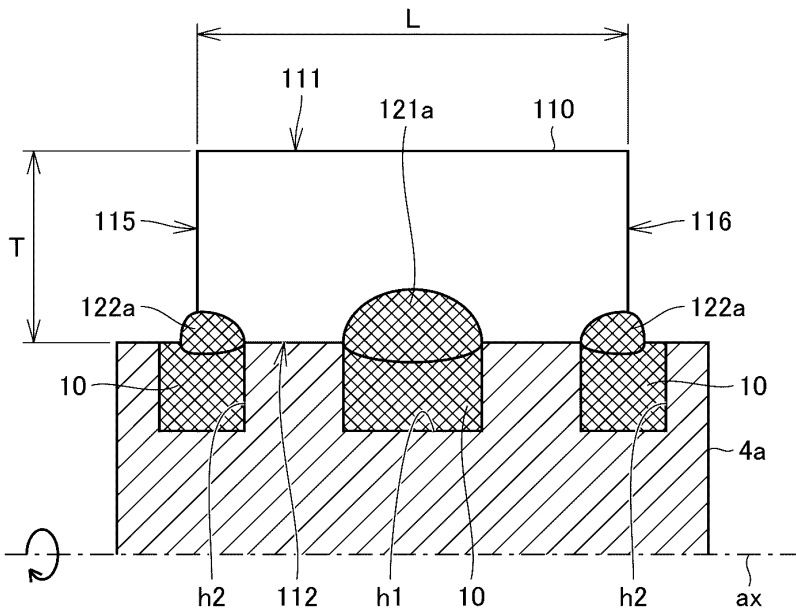
도면9



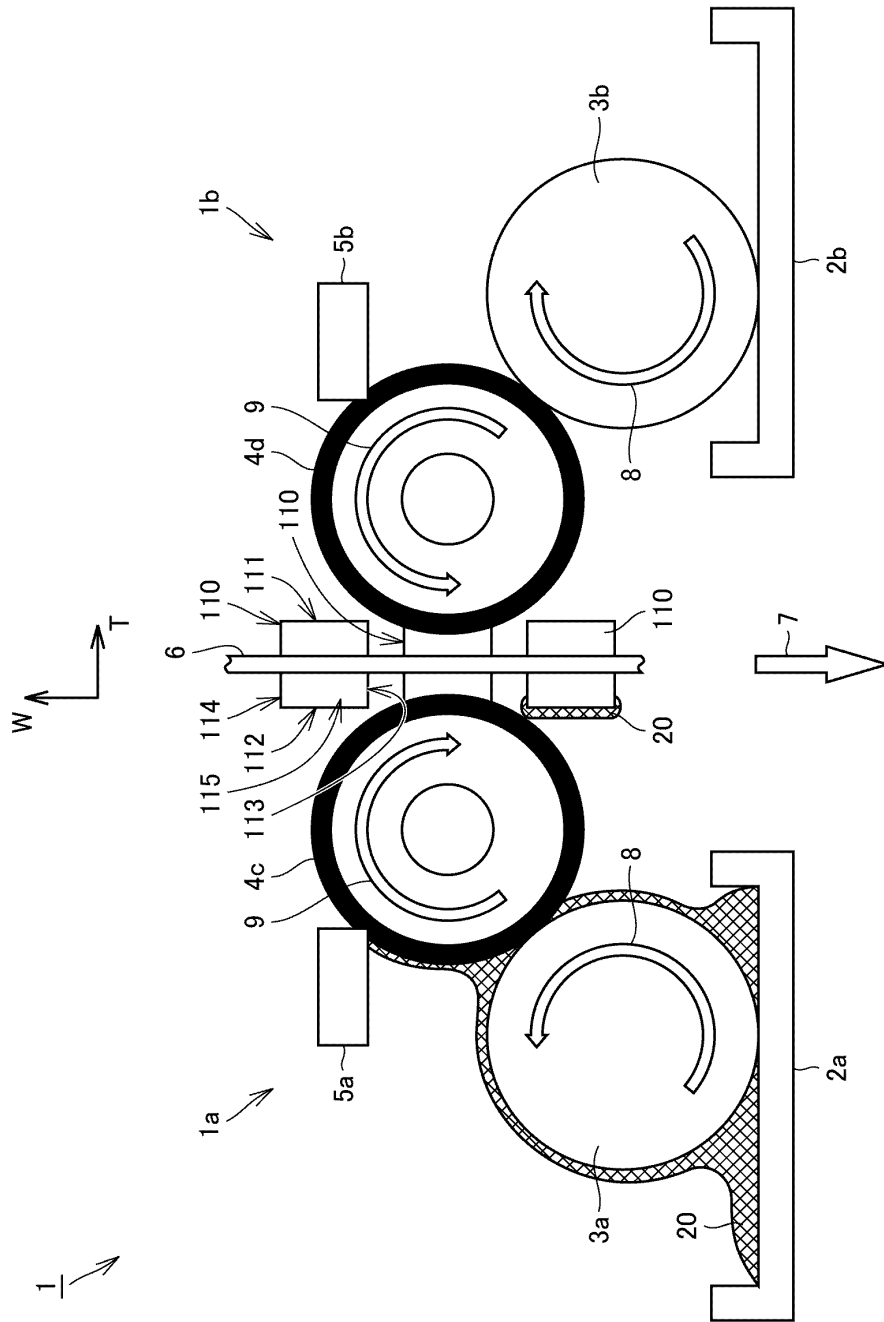
도면10



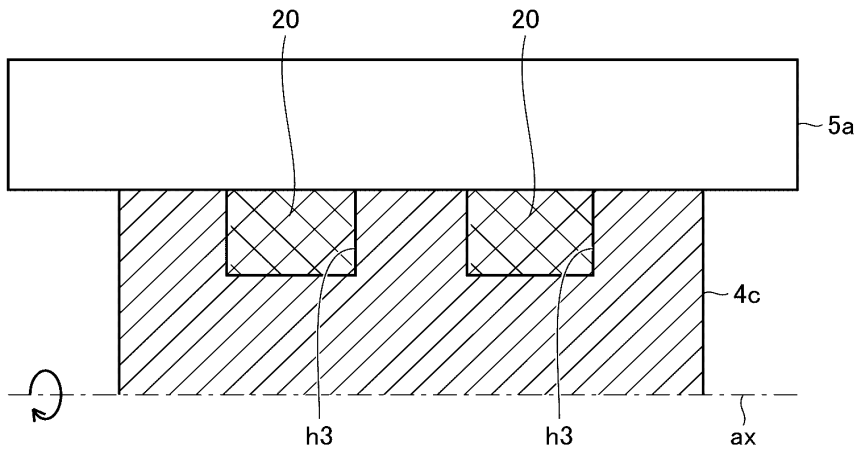
도면11



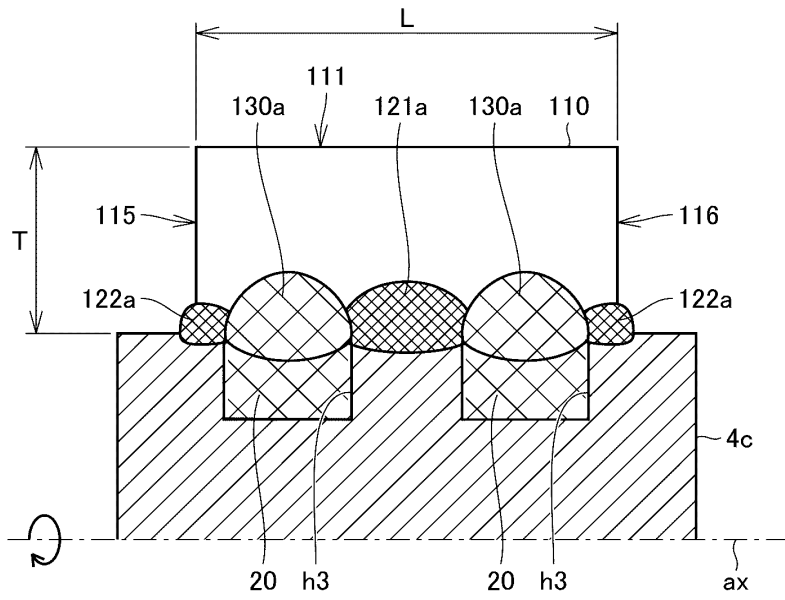
도면12



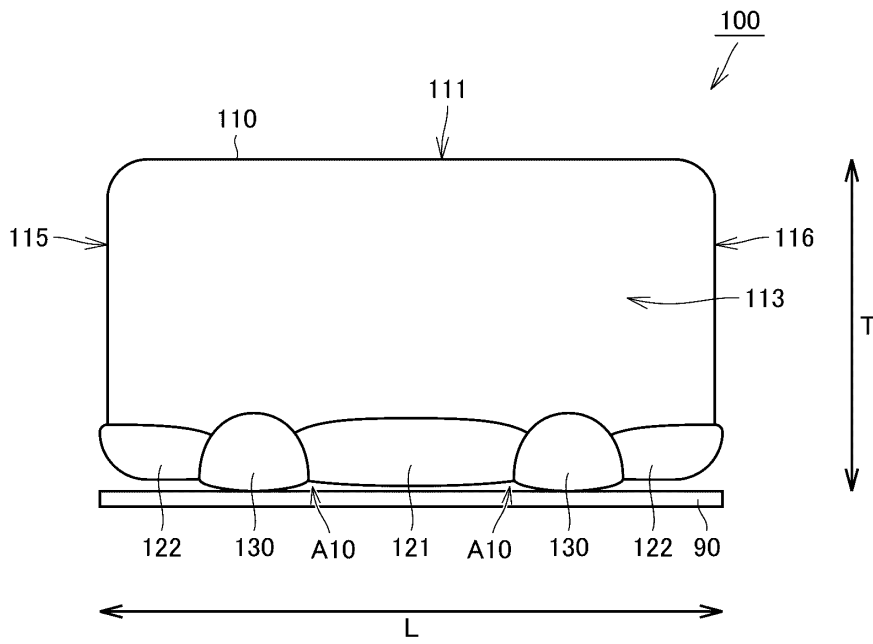
도면13



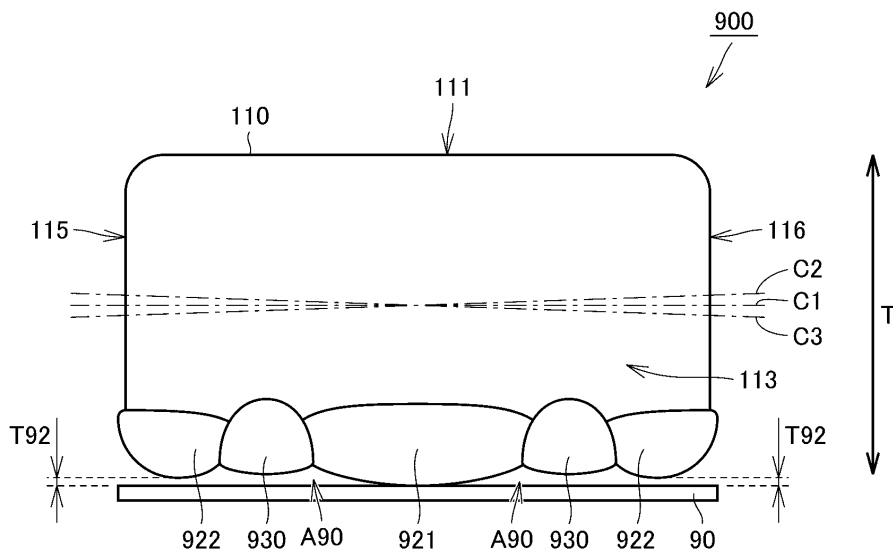
도면14



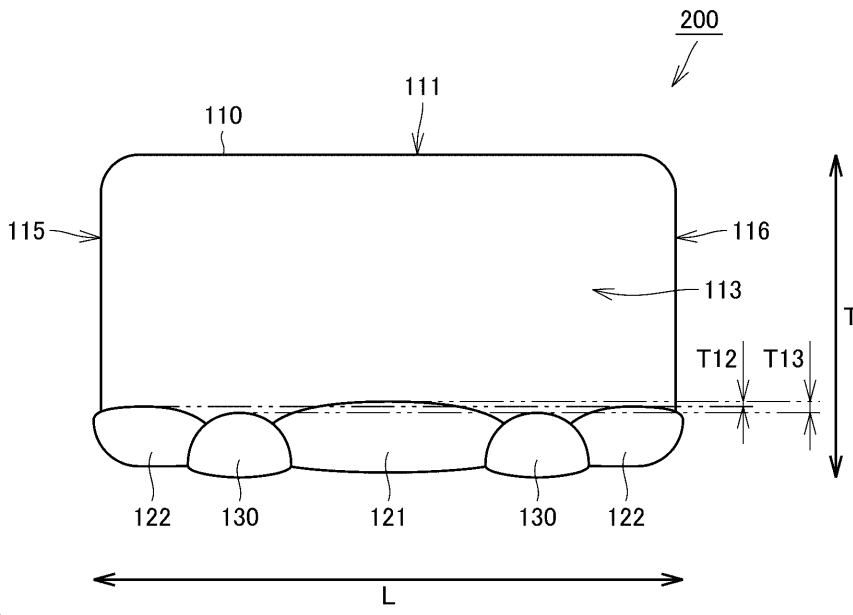
도면15



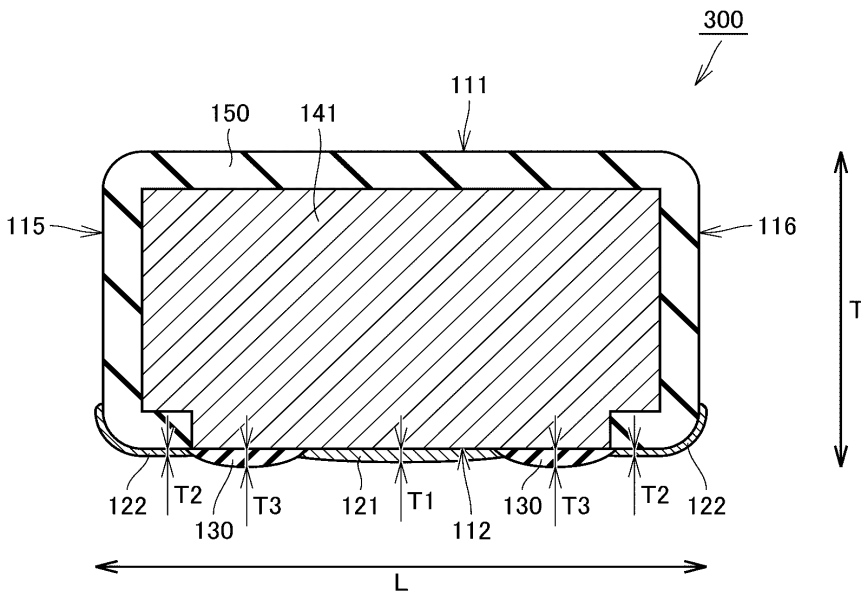
도면16



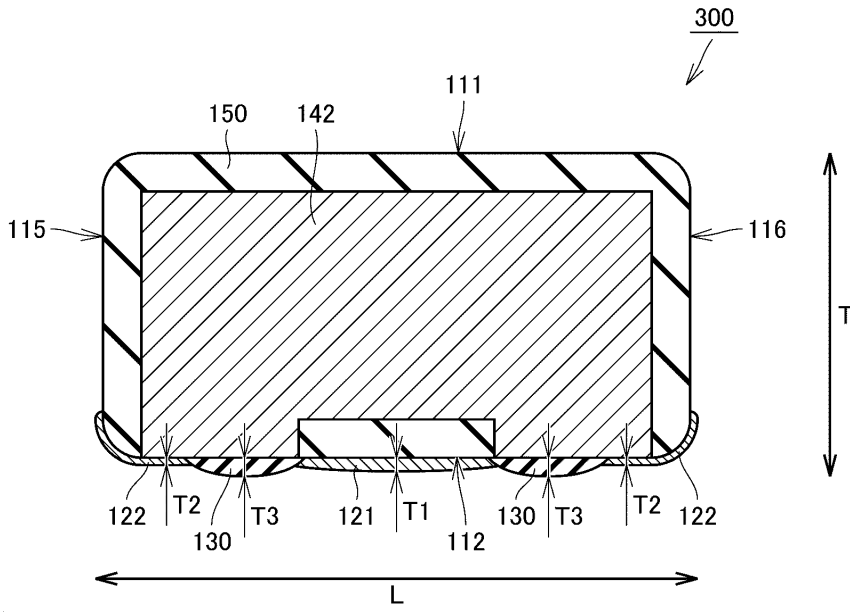
도면17



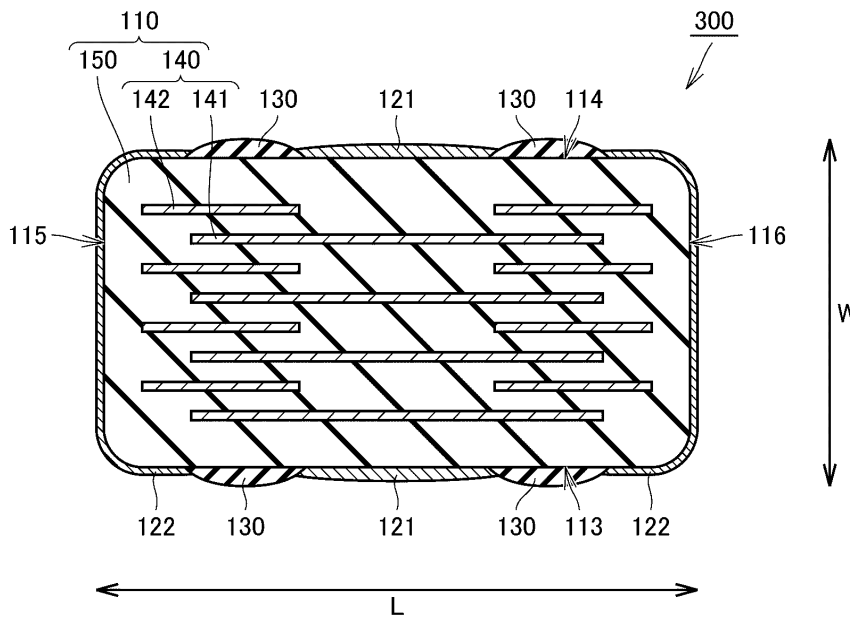
도면18



도면19



도면20



도면21

