

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4277339号  
(P4277339)

(45) 発行日 平成21年6月10日(2009.6.10)

(24) 登録日 平成21年3月19日(2009.3.19)

(51) Int.Cl.		F I		
HO 4 N	5/335	(2006.01)	HO 4 N	5/335 Z
HO 1 L	27/146	(2006.01)	HO 4 N	5/335 P
			HO 1 L	27/14 A

請求項の数 8 (全 13 頁)

<p>(21) 出願番号 特願平11-16418                  (22) 出願日 平成11年1月26日(1999.1.26)                  (65) 公開番号 特開平11-275471                  (43) 公開日 平成11年10月8日(1999.10.8)                  審査請求日 平成17年10月25日(2005.10.25)                  (31) 優先権主張番号 018022                  (32) 優先日 平成10年2月2日(1998.2.2)                  (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 595168543                  マイクロン テクノロジー, インク.                  アメリカ合衆国, アイダホ州 83716                  -9632, ボイズ, サウス フェデ                  ラル ウェイ 8000                  (74) 代理人 100106851                  弁理士 野村 泰久                  (74) 代理人 100074099                  弁理士 大菅 義之                  (74) 代理人 100075513                  弁理士 後藤 政喜                  (72) 発明者 エリック・ワイ・チョウ                  アメリカ合衆国94538カリフォルニア                  州フレモント、レスリー・ストリート 3                  9639、ナンバー 189                  最終頁に続く</p>
--	--

(54) 【発明の名称】 アクティブ画素センサの読み出しチャンネル

(57) 【特許請求の範囲】

【請求項1】

アクティブ画素センサの読み出しチャンネルであって、

受け取った光の強度に比例した振幅を持つ信号電圧になるよう出力を駆動するアクティブ画素であって、光を受け取っていない時には、基準電圧に該出力を駆動する、アクティブ画素と、

前記アクティブ画素の出力を受け取り、前記信号電圧をサンプリングして格納すると共に、前記基準電圧をサンプリングして格納する、サンプルアンドホールド回路であって、前記格納された信号電圧の出力と前記格納された基準電圧の出力とを等しくして、等化された出力電圧を提供する等化器回路を含む、サンプルアンドホールド回路と、

前記サンプリングして格納された信号電圧および前記サンプリングして格納された基準電圧の間の差から第1の差電圧を生成する緩衝増幅器であって、該緩衝増幅器の各入力力で前記等化された出力電圧から第2の差電圧を生成する、緩衝増幅器と、

複数のバス相互接続線であって、前記緩衝増幅器のオフセットエラーを補正するために、第1のバス相互接続線が前記第1の差電圧を受け取り、かつ、第2のバス相互接続線が前記第2の差電圧を受け取るよう、前記緩衝増幅器の出力に選択的に接続される、複数のバス相互接続線と、

を備える、アクティブ画素センサの読み出しチャンネル。

【請求項2】

前記緩衝増幅器は、

10

20

前記サンプリングされて格納された信号電圧および前記サンプリングされて格納された基準電圧を受け取り、該サンプリングされて格納された信号電圧および該サンプリングされて格納された基準電圧の間の差に比例した電位を持つ1つの出力電圧を生成する差動入力シングルエンド増幅段と、

前記1つの出力電圧を受け取り、該1つの出力電圧の電位に比例する振幅を持つ緩衝器電流を生成する緩衝段と、

前記緩衝器電流を受け取り、前記1つの出力電圧を生成すると共に、前記緩衝器電流の振幅より大きい振幅を持つよう予め調整された前記出力電流を生成する利得段と、

を備える、請求項1に記載のアクティブ画素センサの読み出しチャンネル。

【請求項3】

前記緩衝段はソースホロワーを備える、

請求項2に記載のアクティブ画素センサの読み出しチャンネル。

【請求項4】

前記利得段は利得段出力を有し、該利得段出力は、第1の制御信号が前記利得段出力と前記第1のバス相互接続線との接続を制御し、かつ、第2の制御信号が前記利得段出力と前記第2のバス相互接続線との接続を制御するよう、前記第1または第2のバス相互接続線に選択的に接続される、請求項2に記載のアクティブ画素センサの読み出しチャンネル。

【請求項5】

前記サンプルアンドホールド回路は、

信号コンデンサと、

前記アクティブ画素の出力を前記信号コンデンサに接続して、該信号コンデンサが前記信号電圧を格納することができるようにした、信号電圧スイッチと、

基準コンデンサと、

前記アクティブ画素の出力を前記基準コンデンサに接続して、該基準コンデンサが前記基準電圧を格納することができるようにした、基準電圧スイッチと、

を有する、請求項1に記載のアクティブ画素センサ読み出しチャンネル。

【請求項6】

前記等化器回路は、前記基準コンデンサにより格納される電圧に等しくなるよう、前記信号コンデンサにより格納される電圧を設定する手段を有する、請求項5に記載のアクティブ画素センサの読み出しチャンネル。

【請求項7】

前記信号コンデンサおよび前記基準コンデンサを放電する手段をさらに備える、請求項5に記載のアクティブ画素センサの読み出しチャンネル。

【請求項8】

前記緩衝増幅器は、1より大きい利得を持つ、請求項1に記載のアクティブ画素センサの読み出しチャンネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、一般にアナログのアクティブ画素センサの読み出しチャンネルに関し、より具体的には、電流モード利得補助のアクティブ画素センサのための差動入力シングルエンドのアナログ読み出しチャンネルに関する。

【0002】

【従来の技術】

電子カメラは、一般に光学画像を一組の電子信号に変換する。電子信号は、カメラで受け取られた光の色の強度を表すことができる。通常、電子カメラは、画像センサまたは光検出器の配列を備え、カメラで受け取られた光の強度を検出する。典型的に、画像センサは電子信号を生成し、この電子信号は、センサによって受け取られた光の強度に比例する振幅を持つ。電子信号は、画像処理ができるよう、調整およびサンプリングされることができる。

10

20

30

40

50

## 【0003】

信号処理回路をもつ画像センサの集積化が、撮像システムの小形化および改良を可能にするので、より重要になってきている。アナログおよびデジタル信号処理回路と画像センサの集積化により、電子カメラ・システムは、低コストかつコンパクトであり、低電力であることが可能になる。

## 【0004】

歴史的に、画像センサは、主として電荷結合素子(CCD)である。CCDは比較的小さく、高いフィルファクター(fill factor)を提供することができる。しかし、CCDは、デジタルおよびアナログ回路と集積化するのが非常に難しい。さらに、CCDは、大量の電力を消費し、画像のスメアー(smear)という問題に苦しんでいる。

10

## 【0005】

歴史的に、CCDは、ソリッドステート(solid-state; 固体)可視光撮像デバイスの用途で典型的に使用される光電性の画素セルである。しかし、光電性の画素セル内に信号増幅回路を持つフォトゲートまたはフォトダイオードを備えるCMOSのアクティブ画素センサは、CCDに対するいくつかの利点を提供する。CMOSのアクティブ画素センサ(active pixel sensor)は、より少ない電力を消費し、よりコストがかからないで製造することができ、より低い電源電圧を必要とし、大規模集積回路に集積するのがCCDよりも簡単である。さらに、CMOSのアクティブ画素センサを、低コストで大量の特定用途向けIC(ASIC)プロセスで製造することができる。したがって、ASIC製造業者は、光電性の画素セルを開発することができる。CMOS技術が進むにつれ、ASICの製造業者は、さらに製造コストを低減させることができ、さらなる性能の利益を提供することができる。

20

## 【0006】

図1は、従来技術の光電性の画素セル2および対応する読み出しチャンネル4を示す。読み出しチャンネル4は、光画像信号の出力VSおよび基準出力VRを含む。

## 【0007】

画素セル2は、画素セル2によって受け取られる光の強度に比例した振幅を持つ出力信号を生成する。しかし、出力信号は、雑音の固定パターンをも含む。雑音の固定パターンは、画素セルによって受け取られる光の強度および出力信号の結果としての振幅の間の対応関係を減少させる。さらに、プロセス、温度およびバイアスの多様性のために、雑音の固定パターンは、異なる画素セル間で変化する。

30

## 【0008】

画素セル2は、フォトダイオードD1、リセット・トランジスタQ1および出力トランジスタQ2、Q3を備える。一般に、画素セル2の固定パターン雑音は、フォトダイオードD1の暗電流雑音および散弾雑音、リセット・トランジスタQ1のリセットおよびクロック雑音、および出力トランジスタQ2の利得の変動から成る。前に言及したように、プロセス、温度および画素セル間におけるバイアス状況の違いのため、雑音固定パターンは、異なる画素セル間で変化する。

## 【0009】

光電性の画素セルの配列の光電性の画素セルのそれぞれにより蓄積される電荷をサンプリングすることにより、電子画像が取り込まれる。それぞれの光電性の画素セルによって蓄積された電荷の量は、光電性の画素セルの光電部分によって受け取られる光の強度に比例する。光電性の画素セルの固定雑音パターンは、光電性の画素セルによって伝導された電荷のサンプリングされた値、および光電性の画素セルにより受け取られた光の強度の間の相関関係を減少させる。

40

## 【0010】

画素セル2が光に全くさらされない間に、画素セル2の応答をサンプリングすることによって、画素セル2の固定パターン雑音の基準応答を判断することができる。取り込まれた画像から基準応答を減算することにより、画素セル2の配列の固定パターン雑音のために取り込まれた電子画像におけるエラーを除去することができる。このプロセス(相関ダ

50

ブル・サンプリング(correlated double sampling)と呼ばれる)は、従来技術の光電性の画素セル2および対応する読み出しチャンネル4により、信号応答を生成する光画像信号出力V Sをサンプリングし、かつ、基準応答を生成する基準出力V Rをサンプリングすることで、達成される。したがって、画素セルの配列のそれぞれの画素セル2について、サンプリングされた電子画像内の固定パターン雑音の影響を除去するのに、2つのサンプルが必要とされる。大きい配列では、多数の電子サンプルが、画像を構成するのに必要とされる。

#### 【0011】

読み出しチャンネル4は、信号増幅回路6および基準増幅回路8を備える。信号増幅回路6および基準増幅回路8は、オフセット・エラーを含む。オフセット・エラーは、画素セル2の応答およびサンプリングされた電子画像の間の対応関係を減少させる。信号増幅回路および基準増幅回路への入力を、あらかじめ決められた電位に駆動することによって、および信号出力V Sの電位およびサンプリングされたオフセット電圧を生成する基準出力V Rをサンプリングすることにより、オフセット・エラーを見積もることができる。信号応答および基準応答から、サンプリングされたオフセット電圧を減ずることによって、取り込まれた画像からオフセット・エラーを除去することができる。しかし、これは、電子応答を取り込むのに、画素の配列内のそれぞれの画素について4つのサンプルを必要とする。

#### 【0012】

画素セルの配列内のそれぞれの画素セル2は、光画像信号の出力V Sおよび基準出力V Rを持つ読み出しチャンネル4を備える。多くの読み出しチャンネルの信号出力V Sおよび基準出力V Rは、典型的に、「ビット線(bitline)」と呼ばれる導電線に接続される。一般に、多くの出力が1つのビット線に接続される。ビット線は、信号出力V Sおよび基準出力V Rにとって容量性の負荷になる。信号出力V Sおよび基準出力V Rが画素セル2の信号電圧または基準電圧を表す電位にビット線を駆動するのに必要なセトリング時間(セトリングタイム)が、容量性負荷によって増える。また、修正時間は、読み出しチャンネルの電流駆動の能力に依存する。図1に示される読み出しチャンネル4は、限られた電流駆動を提供する。したがって、ビット線に関連する容量が充電されるにつれ、従来技術の読み出しチャンネル4の出力をサンプリングするのに、過大な修正時間を必要とすることがある。

#### 【0013】

図1で示される読み出しチャンネル4は、画素セル2の出力信号および信号出力V Sの間に、約0.5から0.9の利得係数を提供する。したがって、画素セル2の出力信号は、読み出しチャンネル4の出力でサンプリングされる前に、大いに減衰される。この減衰は、画素セル2の出力信号のS N比を減少させる。

#### 【0014】

##### 【発明が解決しようとする課題】

C M O Sの画素セルの配列の応答をサンプリングすることにより作られる電子的にサンプリングされた画像に関連する固定パターン雑音を除去するアクティブ画素センサを持つことが望ましい。理想的には、アクティブ画素センサの読み出しチャンネルは、電子的にサンプリングされた画像を取り込むのに必要なサンプル数を最小にする。さらに、標準C M O Sプロセスを使用して製造された光画素セルの配列を用いて、アクティブ画素センサの読み出しチャンネルを動作させることができる。現在の読み出しチャンネルより大きい電流駆動を提供するアクティブ画素センサの読み出しチャンネルを持ち、容量性ビット線に接続されるチャンネル出力のセトリング時間を改善することが望ましい。さらに、1より大きいアクティブ画素センサの利得係数を持つことが望ましい。

#### 【0015】

##### 【課題を解決するための手段】

本発明は、C M O Sの製造プロセスと互換性のあるアクティブ画素センサの読み出しチャンネルを提供する。アクティブ画素センサは、単一差動出力、拡大されたダイナミックレ

10

20

30

40

50

レンジ、改善された電流利得、改善された電流駆動およびアクティブ画素センサの読み出しチャンネルに接続されたバス相互接続線の低減された容量性負荷を提供する。単一差動出力は、電子画像を構成するのに使用されるべきアクティブ画素センサの読み出しチャンネルの配列に必要なサンプル数を減らす。改善された電流駆動は、アクティブ画素センサの読み出しチャンネルの出力で生成される電位のセトリング時間を減らす。

【0016】

本発明の第1の実施形態は、アクティブ画素センサの読み出しチャンネルを備える。アクティブ画素センサの読み出しチャンネルは、アクティブ画素を備える。アクティブ画素は、アクティブ画素により受け取られた光の強度に比例した振幅を持つ信号電圧に、アクティブ画素の出力を駆動する。アクティブ画素は、アクティブ画素が光を受け取っていない時には、アクティブ画素の出力を基準電圧に駆動する。さらに、アクティブ画素センサの読み出しチャンネルは、サンプルアンドホールド(sample and hold)回路を備え、アクティブ画素の出力を受け取る。サンプルアンドホールド回路は、信号電圧をサンプリングして格納し、基準電圧をサンプリングして格納する。サンプルアンドホールド回路は、格納された信号電圧の出力と、格納された基準電圧の出力とを等しく(等化)して、等化された出力電圧を提供する等化器回路を含む。さらに、アクティブ画素センサの読み出しチャンネルは、サンプリングされて格納された信号電圧およびサンプリングされて格納された基準電圧の間の差から第1の差電圧を生成し、また、等化された出力電圧から第2の差電圧を生成する緩衝増幅器を備える。さらに、複数のバス相互接続線も備えており、緩衝増幅器のオフセットエラーを補正するために、第1のバス相互接続線が第1の差電圧を受け取り、かつ、第2のバス相互接続線が第2の差電圧を受け取るよう、緩衝増幅器の出力に選択的に接続される。

【0017】

本発明の第2の実施形態は、第1の実施形態に類似している。第2の実施形態の緩衝増幅器は、サンプリングして格納された信号電圧およびサンプリングして格納された基準電圧を受け取る差動入力シングルエンド増幅段を備える。差動入力シングルエンド増幅段は、サンプリングして格納された信号電圧およびサンプリングして格納された基準電圧の間の差に比例した電位を含む1つの出力電圧を生成する。さらに緩衝増幅器は、この1つの出力電圧を受け取り、1つの出力電圧の電位に比例した振幅を持つ緩衝器電流を生成する緩衝段を備える。さらに緩衝増幅器は利得段を備え、これは、緩衝器電流を受け取り、差電圧を生成し、および緩衝器電流の振幅より大きい振幅を持つよう予め調整された出力電流を生成する。

【0018】

本発明の第3の実施形態は、第1の実施形態に類似する。第3の実施形態のサンプルアンドホールド回路は、信号コンデンサおよび信号電圧スイッチを備え、アクティブ画素の出力を信号コンデンサに接続し、信号コンデンサが信号電圧を格納できるようにする。サンプルアンドホールド回路はさらに、基準コンデンサおよび基準電圧スイッチを備え、アクティブ画素の出力を基準コンデンサに接続し、基準コンデンサが基準電圧を格納できるようにする。

【0019】

本発明の第4の実施形態は、第3の実施形態に類似する。第4の実施形態は、信号コンデンサおよび基準コンデンサを放電する回路を備える。

【0020】

本発明の他の側面および利点は、本発明の原理の例として示し、図と共に得られる以下の詳細な記述により明らかになるであろう。

【0021】

【発明の実施の形態】

明瞭にするため図に示されるように、本発明は、アクティブ画素センサの読み出しチャンネルに具体化される。アクティブ画素センサの読み出しチャンネルは、単一差動出力、拡大されたダイナミックレンジ、改善された電流利得、改善された電流駆動およびアクティブ

10

20

30

40

50

画素センサの読み出しチャンネルに接続されるバス相互接続線の低減された容量性負荷を備える。単一差動出力は、電子画像を構成するのに使用されるべきアクティブ画素センサの読み出しチャンネルの配列に必要なサンプル数を減らす。改善された電流駆動は、アクティブ画素センサの読み出しチャンネルの出力で生成される電位のセトリング時間を減らす。

【 0 0 2 2 】

図 2 は、本発明の第 1 の実施形態を示し、この実施形態は、アクティブ画素センサの読み出しチャンネルを備える。アクティブ画素センサの読み出しチャンネルは、アクティブ画素 2、サンプルアンドホールド回路 10 および緩衝増幅器 20 を備える。アクティブ画素 2 は、アクティブ画素出力において電圧 (VAP) を生成し、これは、アクティブ画素 2 により受け取られる光の強度に比例した振幅を持つ。サンプルアンドホールド回路 10 は、アクティブ画素 2 の出力に接続される。サンプルアンドホールド回路 10 は、アクティブ画素 2 により受け取られた光の強度に比例した振幅を持つ信号電圧をサンプリングして格納する。さらに、サンプルアンドホールド回路 10 は、アクティブ画素 2 により生成された固定雑音パターンに比例した振幅を持つ基準電圧をサンプリングして格納する。緩衝増幅器 20 は、サンプリングして格納された信号電圧およびサンプリングして格納された基準電圧の間の差電圧を生成する。緩衝増幅器のこの差電圧は、アクティブ画素 2 の固定雑音パターンが、アクティブ画素 2 の信号電圧から内部的に減算された 1 つの出力電圧である。従来技術と異なり、固定雑音パターンは、アクティブ画素の出力電圧がサンプリングされる前に、信号電圧から減算される。したがって、本発明は、従来技術に比べ、電子画像を生成するのに半分の数のサンプル数を必要とする。

【 0 0 2 3 】

図 2 は、1 つのアクティブ画素 2 を示す。しかし、典型的には、光画像を電子的にサンプリングする目的で、多くのアクティブ画素 2 が配列に組み合わせられ、その配列により光画像が検出される。

【 0 0 2 4 】

図 3 は、本発明の他の実施形態を示す。この実施形態は、より詳細なサンプルアンドホールド回路 10 を備える。サンプルアンドホールド回路 10 は、信号コンデンサ CS、基準コンデンサ CR、信号スイッチトランジスタ Q2、基準スイッチトランジスタ Q3 および対の等化器トランジスタ Q4、Q5 を備える。

【 0 0 2 5 】

信号スイッチトランジスタ Q2 は、アクティブ画素 2 が光にさらされている時に「オン」にされる。アクティブ画素が光にさらされている時のアクティブ画素 2 により生成される信号電圧は、信号コンデンサ CS に格納される。基準スイッチトランジスタ Q3 は、アクティブ画素 2 が光にさらされていない時に「オン」にされる。アクティブ画素 2 が光にさらされていない時のアクティブ画素 2 により生成される基準電圧は、基準コンデンサ CR に格納される。信号コンデンサ CS に格納される信号電圧 VS は、緩衝増幅器 20 への第 1 の入力である。基準コンデンサ CR に格納される基準電圧 VR は、緩衝増幅器 20 への第 2 の入力である。

【 0 0 2 6 】

緩衝増幅器 20 は、信号電圧 VS の電位および基準電圧 VR の電位の間の差に比例した差電圧を生成する。しかし、緩衝増幅器 20 は、合計して緩衝増幅器 20 の出力になる内部のオフセット電圧に悩まされる。緩衝増幅器の第 1 の入力および第 2 の入力を予め決められた電圧に駆動し、対応する緩衝器 (バッファ) のオフセット電圧をサンプリングすることにより、オフセット電圧を判断することができる。第 1 および第 2 の入力は、信号コンデンサ CS および基準コンデンサ CR を共通の電圧に充電することにより、予め決められた電圧に駆動される。EQ 制御線は、等化器 (イコライザ) トランジスタ Q4、Q5 を「オン」にし、これらのトランジスタは、信号コンデンサ CS および基準コンデンサ CR を、電位 VBASE にまで充電する。信号コンデンサ CS および基準コンデンサ CR が共通の電位 VBASE にまで充電される時に、緩衝器のオフセット電圧がサンプリングされる。緩衝器のオフセット電圧のサンプルは、次の信号サンプルから減算され、緩衝増幅器 2

0に関連するオフセット電圧エラーを除去する。

【0027】

出力トランジスタQ11、Q13は、アクティブ画素センサの読み出しチャネルの2つの別々の出力OUT1、OUT2を提供する。第1の制御線SHD1の電位が正にパルスされて、第1の出力トランジスタQ11をオンにし、このトランジスタは、緩衝増幅器20の差電圧を、第1の出力OUT1につなげる。第1の制御線は、緩衝増幅器20の差電圧がサンプリングされるべき時に、正にパルスされる。第2の制御線SHD2の電位が正にパルスされて、第2の出力トランジスタQ13をオンにし、このトランジスタは、緩衝増幅器20の緩衝器オフセット電圧を、第2の出力OUT2につなげる。第2の制御線は、緩衝増幅器20の緩衝器オフセット電圧がサンプリングされるべき時に、正にパルスされる。

10

【0028】

図3は、放電トランジスタQ1を示す。放電トランジスタQ1は、信号スイッチトランジスタQ2または基準スイッチトランジスタQ3が導通している間の、PRE\_DSCH制御線が高電位にパルスする時に、信号コンデンサCSまたは基準コンデンサCRのどちらかについて放電の経路を与える。一般に、信号コンデンサCSおよび基準コンデンサCRは、信号電圧または基準電圧がサンプリングされて格納される前に、放電される。信号コンデンサCSおよび基準コンデンサCRを放電することにより、信号コンデンサCSおよび基準コンデンサCRに格納された電位をリセットする。これは、信号電圧および基準電圧が、より正確に格納されることを可能にする。さらに、信号コンデンサCSおよび基準コンデンサCRを放電することは、信号電圧および基準電圧のセトリング時間を減らす。

20

【0029】

バイアストランジスタQ10は、アクティブ画素2の出力についてバイアス電圧を与える。典型的に、アクティブ画素2は、アクティブ画素2の出力が固定電圧にバイアスされる時に、より良く機能するソースホロワー回路を備える。

【0030】

緩衝増幅器20は、差電圧および出力電流を生成し、ここで差電圧の振幅および出力電流の振幅は、信号電圧VSおよび基準電圧VRの間の電位差に比例する。従来技術の緩衝器は、1より小さい利得(典型的には0.9)を含む。本発明の緩衝増幅器20の利得は、1より大きい利得(典型的には約1.5)を含む。1より大きい、アクティブ画素センサの緩衝増幅器20の利得の増加は、1より小さい利得を含む従来技術の緩衝増幅器に比べ、より良い信号の健全性を提供する。アクティブ画素センサの緩衝増幅器20の利得は、差動入力電圧の信号および雑音のレベルを増加させる。アクティブ画素センサの緩衝増幅器20の出力に結びつく雑音源の影響は、それほど大きくない。したがって、出力信号の全体のSN比が改善される。

30

【0031】

緩衝増幅器20は、3段備える。差動入力シングルエンド(DTS)変換段22、緩衝またはソースホロワー段24および電流モード利得段26である。

【0032】

図4は、本発明の他の実施形態を示す。この実施形態は、より詳細な緩衝増幅器20内の回路を備える。

40

【0033】

DTS変換段22は、信号電圧VSおよび基準電圧VRを受け取り、単一のDTS差動電圧V<sub>DTS</sub>を生成する。この単一のDTS差動電圧V<sub>DTS</sub>は、信号電圧VSの電位および基準電圧VRの電位の間の差に比例した振幅を持つ。DTS変換段22は、入力トランジスタMP1、MP2および出力トランジスタMP3、MP4を備える。

【0034】

緩衝またはソースホロワー段24は、単一のDTS差動電圧V<sub>DTS</sub>の電圧振幅に比例した出力電流を生成する。ソースホロワー段24は、緩衝(buffering)および電圧から電流への変換を提供する。ソースホロワー段24は、入力トランジスタMN1およびソース

50

ホロワー・トランジスタMN2を備える。ソースホロワー・トランジスタMN2は、ダイオード接続される。すなわち、ソースホロワー・トランジスタMN2のソースは、ソースホロワー・トランジスタMN2のベースに電氣的に接続される。ソースホロワー・トランジスタMN2がダイオード接続されるので、電圧から電流への変換が生じる。

【0035】

電流モード利得段26は、さらなる電流利得を提供する。利得段26の機能を駆動させる付加電流は、アクティブ画素センサの読み出しチャンネルのセトリング時間を減らす。電流モード利得段26は、入力トランジスタMN3および出力トランジスタMN5を備える。ソースホロワー段24のソースホロワートランジスタMN2に類似して、電流モード利得段26の出力トランジスタMN5は、ダイオード接続される。入力トランジスタMN3は、NMOSTランジスタである。NMOSTランジスタの相互コンダクタンスは、NMOSTランジスタおよびPMOSTランジスタが、同様のプロセスで形成される時、PMOSTランジスタの相互コンダクタンスより通常大きい。入力トランジスタMN3の相互コンダクタンスの増加が、電流モード利得段26の電流駆動能力を増加させ、これが、差電圧および緩衝器オフセット電圧のセトリング時間を減らす。さらに、利得段26の構造は、利得段の出力が、ゲート制御されるNMOSTランジスタを介して、バス相互接続線に接続されることを可能にする。ゲート制御されるNMOSTランジスタは、非常に小さくできる。したがって、バス相互接続線の容量性負荷を最小にすることができ、これにより、差電圧および緩衝器オフセット電圧のセトリング時間を減らす。

【0036】

ソースホロワー段24のソースホロワートランジスタMN2のサイズおよび電流モード利得段26の出力トランジスタMP5のサイズを、緩衝増幅器20の電流駆動能力に適合するよう操作することができる。したがって、ソースホロワー段24のソースホロワー・トランジスタMN2のサイズおよび電流モード利得段26の出力トランジスタMP5のサイズを調整することにより、緩衝増幅器20の出力の電位のセトリング時間を調整することができる。

【0037】

典型的に、アクティブ画素センサの読み出しチャンネルの配列内で、多くのセンサ読み出しチャンネルの出力が、1つのビット線に接続される。1つのビット線に接続されるセンサの読み出しチャンネルの数が大きければ大きいほど、多くの容量性負荷がビット線に接続される。前に述べたように、読み出しチャンネルの出力に接続される容量は、読み出しチャンネルの出力における信号電圧のセトリング時間を遅くさせる。したがって、読み出しチャンネルの配列内におけるそれぞれの読み出しチャンネルのセトリング時間は、読み出しチャンネルの配列内のそれぞれのビット線に接続される読み出しチャンネルの数を最小にすることにより、最適化されることことができる。

【0038】

図5は、画像をサンプリングするときの、本発明の実施形態の制御信号を示すタイミングを示す図である。第1の事象51は、信号スイッチトランジスタQ2をパルスするSHS制御線を含む。PRE\_DSCH制御線は、放電トランジスタQ1をパルスし、このトランジスタは、信号コンデンサCSを放電させる。信号コンデンサCSが画素セル2の信号電圧VSの電位に充電するとき、信号スイッチトランジスタQ2は、オンのままである。

【0039】

第2の事象53は、基準スイッチトランジスタQ3をパルスするSHR制御線を含む。PRE\_DSCH制御線は、放電トランジスタQ1をパルスし、このトランジスタは、基準コンデンサCRを放電させる。基準コンデンサCRが、画素セル2の基準電圧VRの電位に充電されるとき、基準スイッチトランジスタQ3は、オンのままである。

【0040】

第3の事象55は、第1の出力トランジスタQ11をオンにするSHD1制御線を含み、このトランジスタは、緩衝増幅器20の差電圧が、サンプリングされて格納されることを可能にさせる。差電圧は、画素セル2で受け取られている光の強度を表す。緩衝増幅器2

10

20

30

40

50

0 は、内部的に固定パターン雑音を減算する。

【0041】

第4の事象57は、等化器トランジスタQ4、Q5をオンにするEQ制御線を含み、これらのトランジスタは、信号コンデンサおよび基準コンデンサを電位VBASEにまで充電することにより、緩衝増幅器20の第1の入力および第2の入力をVBASEに駆動する。緩衝増幅器20の出力は、緩衝器のオフセット電圧に駆動される。

【0042】

第5の事象59は、第2のトランジスタQ13をオンにするSHD2制御線を含み、このトランジスタは、緩衝増幅器20の緩衝器オフセット電圧が、サンプリングされて格納されることを可能にする。

10

【0043】

図5のDTS線は、前に記述した事象が起こるときの緩衝増幅器20の出力における電位を示す。

【0044】

本発明の具体的な実施形態を記述し、示してきたけれども、本発明は、このように記述し示された部分の固有の形に限られるものではない。本発明は、特許請求の範囲によってのみ、範囲を規定される。

【0045】

本発明は例として次の実施態様を含む。

(1) 受け取った光の強度に比例した振幅を持つ信号電圧に出力を駆動するアクティブ画素であって、該アクティブ画素が光を受け取っていない時には、基準電圧に該出力を駆動するアクティブ画素(2)と、

20

前記アクティブ画素の出力を受け取り、前記信号電圧をサンプリングして格納し、前記基準電圧をサンプリングして格納するサンプルアンドホールド回路(10)と、

前記サンプリングして格納された信号電圧および前記サンプリングして格納された基準電圧の間の差電圧を生成する緩衝増幅器(20)とを備えるアクティブ画素センサの読み出しチャンネル。

【0046】

(2) 前記緩衝増幅器(20)が、

前記サンプリングされて格納された信号電圧および前記サンプリングされて格納された基準電圧を受け取り、前記サンプリングされて格納された信号電圧および前記サンプリングされて格納された基準電圧の間の差に比例した電位を持つ1つの出力電圧を生成する差動入力シングルエンド増幅段(22)と、

30

前記1つの出力電圧を受け取り、前記1つの出力電圧の電位に比例する振幅を持つ緩衝器電流を生成する緩衝段(24)と、

前記緩衝器電流を受け取り、前記電圧を生成し、および前記緩衝器電流の振幅より大きい振幅を持つよう予め調整された出力電流を生成する利得段(26)とを備える上記(1)に記載のアクティブ画素センサ読み出しチャンネル。

【0047】

(3) 前記サンプルアンドホールド回路が、

40

信号格納要素と、

前記アクティブ画素の出力を前記信号格納要素に接続し、前記信号格納要素が前記信号電圧を格納できるようにした信号電圧スイッチと、

基準格納要素と、

前記アクティブ画素の出力を前記基準格納要素に接続し、前記基準格納要素が前記基準電圧を格納できるようにした基準電圧スイッチとを備える上記(1)に記載のアクティブ画素センサ読み出しチャンネル。

【0048】

(4) 前記アクティブ画素センサ読み出しチャンネルが、前記緩衝増幅器への入力を等化(イコライズ)して、前記緩衝増幅器内のオフセットエラーを判断することができるように

50

した手段を備える上記(1)に記載のアクティブ画素センサの読み出しチャンネル。

(5) 前記サンプルアンドホールド回路が、前記基準格納要素により格納された電圧に等しくなるよう、前記信号格納要素により格納された電圧を設定する手段を備える上記(3)に記載のアクティブ画素センサの読み出しチャンネル。

【0049】

(6) 前記信号格納要素および前記基準格納要素を放電する手段を備える上記(3)に記載のアクティブ画素センサの読み出しチャンネル。

(7) 前記緩衝増幅器が、ソースホロワーを備える上記(2)に記載のアクティブ画素センサの読み出しチャンネル。

(8) 前記緩衝増幅器が、1より大きい利得を持つ上記(1)に記載のアクティブ画素センサの読み出しチャンネル。

(9) 前記信号格納要素が信号コンデンサ(CS)であり、前記基準格納要素が基準コンデンサ(CR)である上記(3)に記載のアクティブ画素センサの読み出しチャンネル。

【0050】

(10) 前記利得段(26)が、ビット線の配列内の多重ビット線に接続される利得段出力を備える上記(2)に記載のアクティブ画素センサの読み出しチャンネル。

【0051】

【発明の効果】

この発明によると、電子的にサンプリングされた画像に関連する固定パターン雑音を除去するアクティブ画素センサを実現することができる。このアクティブ画素センサはの読み出しチャンネルは、電子的にサンプリングされた画像を取り込むのにサンプル数を最小にすることができ、チャンネル出力の修正時間を改善することができる。

【図面の簡単な説明】

【図1】従来技術のアクティブ画素センサの緩衝増幅器を示す図。

【図2】本発明の実施形態を示す図。

【図3】本発明の実施形態によるサンプルアンドホールド回路の詳細を示す図。

【図4】本発明の実施形態による緩衝増幅器の詳細を示す図。

【図5】本発明の実施形態による制御信号を示すタイミング図。

【符号の説明】

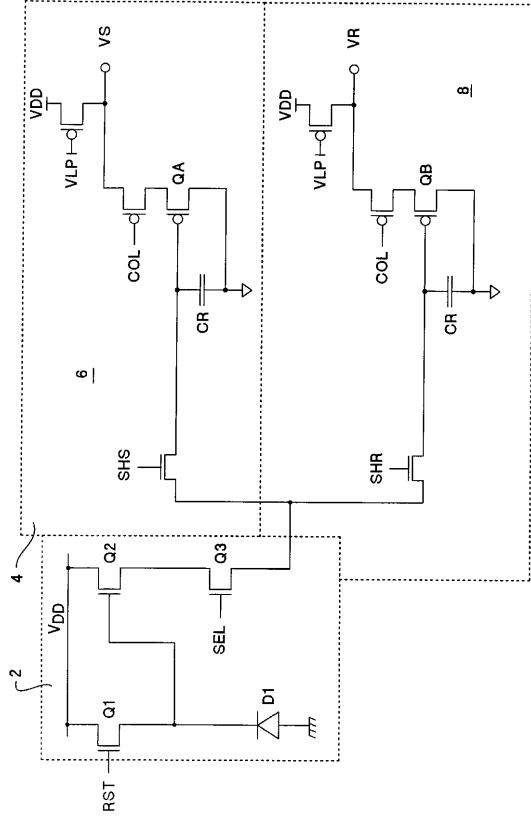
- 2 アクティブ画素
- 10 サンプルアンドホールド回路
- 20 緩衝増幅器
- 22 差動入力シングルエンド段
- 24 ソースホロワー段
- 26 利得段

10

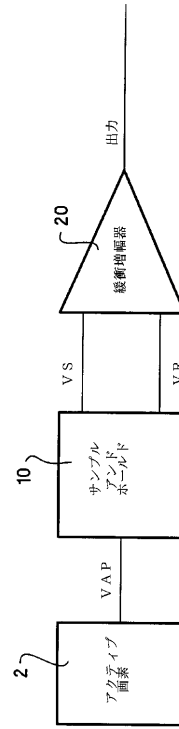
20

30

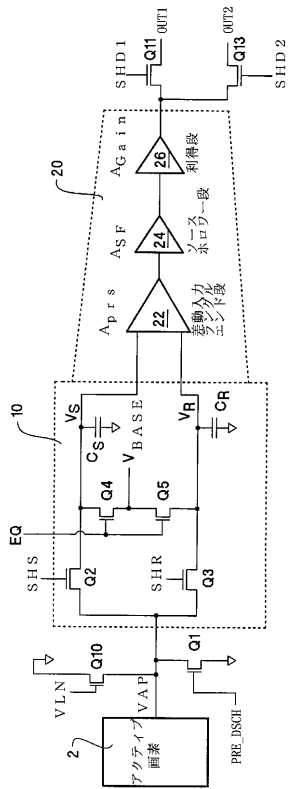
【図 1】



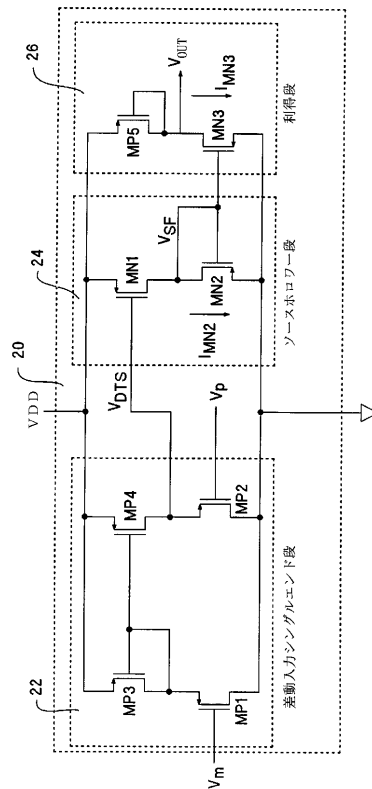
【図 2】



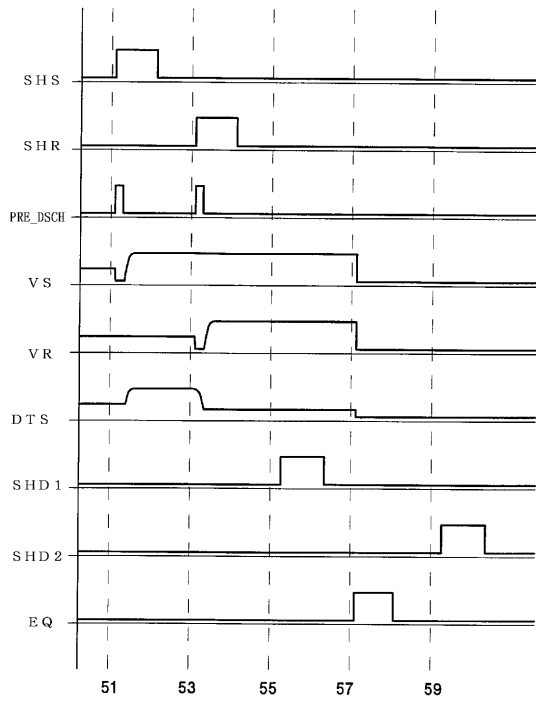
【図 3】



【図 4】



【 図 5 】



---

フロントページの続き

審査官 徳田 賢二

- (56)参考文献 特開平09-046596(JP,A)  
特開平10-004352(JP,A)  
特開平09-045887(JP,A)  
特開昭63-318875(JP,A)  
特開平06-217205(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335

H01L 27/146