

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0057535

(43) 공개일자 2021년05월21일

(51) 국제특허분류(Int. Cl.)

H01L 21/265 (2006.01) H01L 21/02 (2006.01)

H01L 21/225 (2006.01) H01L 21/3115 (2006.01)

H01L 21/3215 (2006.01)

(52) CPC특허분류

H01L 21/2656 (2013.01)

H01L 21/0257 (2013.01)

(21) 출원번호 10-2019-0144399

(22) 출원일자 2019년11월12일

심사청구일자 2019년11월12일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김태근

경기도 성남시 분당구 양현로 88, 503동 1403호(이매동, 이매촌동부코오롱아파트)

손경락

서울특별시 노원구 석계로 49, 110동 301호(월계동, 현대아파트)

(74) 대리인

백두진, 김정연, 유광철, 강일신

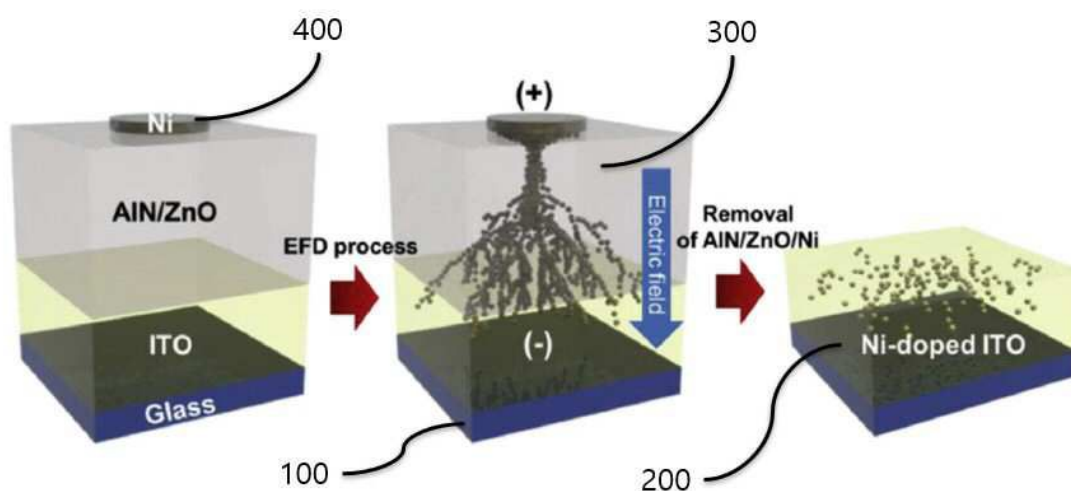
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 전기장을 이용한 도핑 방법

(57) 요약

본 발명의 일 실시예에 전기장을 이용한 도핑 방법은 피도핑층을 제공하는 피도핑층 제공 단계; 상기 피도핑층 상에 희생층을 적층하는 희생층 적층 단계; 상기 희생층 상에 도핑에 사용되는 물질인 도핑물질을 배치하는 도핑 물질 배치 단계; 상기 도핑물질 및 상기 피도핑층에 전극을 배치하는 전극 배치 단계; 상기 도핑물질의 산화, 확산 및 환원 과정을 통해 상기 피도핑층을 도핑하는 도핑 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/2253 (2021.01)

H01L 21/31155 (2013.01)

H01L 21/3215 (2013.01)

명세서

청구범위

청구항 1

피도핑층 상에 희생층을 적층하는 단계;

상기 희생층 상에 도핑물질을 배치하는 단계;

상기 도핑물질 및 상기 피도핑층 상에 전극을 배치하는 단계; 및

전기장에 의한 상기 도핑물질의 산화, 확산 및 환원 과정을 통해 상기 도핑물질을 상기 피도핑층에 도핑하는 단계를 포함하는

전기장을 이용한 도핑 방법.

청구항 2

제 1 항에 있어서,

상기 도핑물질을 상기 피도핑층에 도핑하는 단계는:

상기 도핑물질이 산화하여 이온화되는 단계;

상기 이온화된 도핑물질이 정전기적 인력에 의해 상기 희생층을 통과하여 상기 피도핑층으로 확산되는 단계; 및

상기 확산된 도핑물질이 상기 피도핑층에서 환원되는 단계를 포함하는

전기장을 이용한 도핑 방법.

청구항 3

제 1 항에 있어서,

상기 도핑물질을 상기 피도핑층에 도핑하는 단계 이후에, 상기 희생층을 제거하는 단계를 더 포함하는

전기장을 이용한 도핑 방법.

청구항 4

제 1 항에 있어서,

상기 피도핑층은 ITO, 금속산화막, 그래핀, 탄소나노튜브, 메탈메시 및 메탈나노와이어 중 적어도 어느 하나를 포함하는

전기장을 이용한 도핑 방법.

청구항 5

제 1 항에 있어서,

상기 희생층은 유전체로 제공되는

전기장을 이용한 도핑 방법.

청구항 6

제 5 항에 있어서,

상기 유전체는 질화알루미늄(AlN) 및 산화아연(ZnO) 중 적어도 어느 하나를 포함하는 전기장을 이용한 도핑 방법.

청구항 7

제 1 항에 있어서,

상기 희생층은 10 나노미터 내지 20 나노미터인 전기장을 이용한 도핑 방법.

청구항 8

제 1 항에 있어서,

상기 도핑물질 및 상기 피도핑층 상에 전극을 배치하는 단계는:

상기 도핑물질에 제 1 전극을 배치하는 단계; 및

상기 피도핑층에 제 2 전극을 배치하는 단계를 포함하는

전기장을 이용한 도핑 방법

청구항 9

제 8 항에 있어서,

상기 제 1 전극은 양의 전극이고, 상기 제 2 전극은 음의 전극인

전기장을 이용한 도핑 방법.

청구항 10

피도핑층; 및

상기 피도핑층에 도핑된 도핑물질을 포함하고,

상기 도핑물질은:

상기 피도핑층 상에 희생층을 적층하고 상기 희생층 상에 도핑물질을 배치한 후 상기 도핑물질 및 상기 피도핑층 각각에 상이한 극성의 전압을 인가하면, 전기장에 의해 상기 도핑물질이 산화되어 상기 희생층을 통과하여 상기 피도핑층으로 확산된 후 상기 피도핑층에서 환원되어 상기 피도핑층에 도핑되는

도핑물질이 도핑된 박막.

청구항 11

제 10 항에 있어서,

상기 희생층은, 상기 도핑물질이 상기 피도핑층에 도핑된 후 제거되는

도핑물질이 도핑된 박막.

발명의 설명

기술 분야

[0001] 본 발명은 전기장을 이용한 도핑 방법에 관한 것이다.

배경 기술

[0002] 반도체 도핑이란 반도체 결정 중에 필요한 불순물을 희망하는 양만큼 첨가하는 것을 말하며, 불순물 첨가라고도 한다. 반도체의 전기 전도가 불순물의 영향을 받게 되므로 반도체 공학에서는 함유 불순물을 조절할 필요가 있다.

[0003] 도핑을 위한 방법들로는 Ion implantation, Thermal diffusion, Metal-organic chemical vapor deposition (MOCVD), Co-deposition이 있다.

[0004] Ion implantation 방식은 도핑하고자 하는 원소를 이온화시킨 후 이 이온들이 박막 혹은 반도체 표면에 충분히 뚫고 들어갈 수 있는 만큼의 큰 에너지를 가질 수 있도록 전기장으로 가속하여 박막 혹은 반도체 내부로 넣어주는 방법을 말한다. 도핑되는 양을 정밀하게 조절하고자 할 때 사용되지만 비교적 좁은 영역에만 적용하고 있으며, 이 과정은 강제로 이온들을 박막 혹은 반도체 표면에 주입하기 때문에 박막 및 반도체가 물리적으로 손상될 수 있어 이후 단계로 가열을 통한 회복과정이 필수적으로 요구된다.

[0005] Thermal diffusion 방식은 산화 (Oxidation) 공정과 비슷하게 가스 형태로 도핑 입자를 공급한 후 높은 온도로 가열해 박막 혹은 반도체 내부로 도핑 입자가 확산해 들어가는 도핑 방법을 말한다. 상대적으로 비용이 저렴하며 쉽게 도핑을 할 수 있지만 단순 확산 현상에 의해 불순물이 도핑되기 때문에 정밀한 농도 제어가 어렵고 공정 온도가 매우 높다.

[0006] MOCVD 방식은 고온의 기판 위에 원료 가스를 유출해주고, 그 표면상에서 분해반응을 일으켜 박막을 형성하는 화학 증착법을 말한다. 도핑하고자 하는 박막 혹은 반도체를 장비에 넣고 도핑하고자 하는 원소를 기화시켜 반도체와의 반응을 유도한다. 원료가스 중에서 트리메틸갈륨 등의 유기금속 원료가스를 주로 사용하며, 주로 GaN, GaAs 계열의 반도체 박막을 성장시키는데 사용된다. 이 방법은 넓은 영역을 고르게 도핑할 수 있으나 매우 높은 공정 온도가 요구된다.

[0007] Co-deposition 방식은 도핑하고자 하는 박막을 스퍼터링 (Sputtering), 증발 (Evaporation) 등의 증착 방법을 통하여 증착할 때, 도핑하고자 하는 원소의 소스 또한 같은 방식을 이용해 동시에 증착하여 도핑된 박막을 만드는 방식이다. 넓은 영역에 도핑할 수 있지만 두 개 이상의 파워 공급원을 요구한다.

[0008] 이러한 기존의 방식들은 대부분 도핑 입자들을 물리적 혹은 화학적인 방식을 이용하여, 도핑하고자 하는 박막 혹은 반도체 표면 및 내부에 위치시키고자 고온 공정을 수반한 high power source를 사용해 왔다.

[0009] 또한, 높은 순도의 도핑 박막을 얻기 위하여 고진공 환경 내에서 도핑 공정이 진행된다는 점에서 공정과정이 매우 복잡하며 큰 비용이 요구된다.

발명의 내용

해결하려는 과제

[0010] 본 발명의 실시예는 실온 및 대기압 분위기에서도 수행이 가능한 전기장을 이용한 도핑 방법을 제공하는 것을 목적으로 한다.

[0011] 한편, 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 전기장을 이용한 도핑 방법은 피도핑층을 제공하는 피도핑층 제공 단계; 상기 피도핑층 상에 희생층을 적층하는 희생층 적층 단계; 상기 희생층 상에 도핑에 사용되는 물질인 도핑물질을 배치하는 도핑물질 배치 단계; 상기 도핑물질 및 상기 피도핑층에 전극을 배치하는 전극 배치 단계; 상기 도핑물질의 산화,

확산 및 환원 과정을 통해 상기 도핑물질을 상기 피도핑층에 도핑하는 도핑 단계를 포함한다.

- [0013] 상기 도핑 단계는: 상기 도핑물질이 이온화 되는 산화 단계; 상기 이온화된 도핑물질이 정전기적 인력에 의해 상기 희생층을 통과하여 상기 피도핑층으로 확산되는 확산 단계; 상기 피도핑층에 도달한 상기 이온화된 도핑물질이 환원되는 환원 단계를 포함할 수 있다.
- [0014] 상기 도핑 단계 이후에 상기 희생층을 제거하는 희생층 제거 단계를 더 포함할 수 있다.
- [0015] 상기 피도핑층은 ITO, 금속산화막, 그래핀, 탄소나노튜브, 메탈메시 및 메탈나노와이어 중 적어도 어느 하나를 포함할 수 있다.
- [0016] 상기 희생층은 유전체로 제공될 수 있다.
- [0017] 상기 유전체는 질화알루미늄(AIN) 및 산화아연(ZnO) 중 적어도 어느 하나를 포함할 수 있다.
- [0018] 상기 희생층은 10 나노미터 내지 20 나노미터일 수 있다.
- [0019] 상기 전극 배치 단계는: 상기 도핑물질에 제 1 전극을 배치하는 제 1 전극 배치 단계; 및 상기 피도핑층에 제 2 전극을 배치하는 제 2 전극 배치 단계를 포함할 수 있다.
- [0020] 상기 제 1 전극은 양의 전극이고, 상기 제 2 전극은 음의 전극일 수 있다.

발명의 효과

- [0021] 본 발명의 실시예에 따른 전기장을 이용한 도핑 방법은 실온 및 대기압 분위기에서도 수행이 가능하다.
- [0022] 한편, 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 전기장을 이용한 도핑 과정을 개략적으로 나타낸 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 전기장을 이용한 도핑 방법에서 도핑물질이 희생층을 통해 확산되는 모습을 원자 단위로 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 전기장을 이용한 도핑 방법을 나타낸 블록도이다.
- 도 4는 도 3의 S100 내지 S300 단계를 개략적으로 나타낸 도면이다.
- 도 5는 도 3의 S400 및 S500 단계를 개략적으로 나타낸 도면이다.
- 도 6은 도 3의 S600 단계를 나타낸 개략적으로 도면이다.
- 도 7은 도핑에 따른 각 원자의 분포 변화를 나타낸 표이다.
- 도 8은 도핑에 따른 면저항, RMS roughness 및 면전류의 변화를 나타낸 그래프이다.
- 도 9는 도핑에 따른 면저항의 변화를 나타낸 그래프이다.
- 도 10은 도핑에 따른 RMS 거칠기의 변화를 나타낸 사진이다.
- 도 11은 도핑에 따른 면전류의 변화를 나타낸 사진이다.
- 도 12는 도핑에 따른 투과도의 변화를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0025] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 가진다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다.
- [0026] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 '및/또는'이라는 용어는 나열된 구성들 각각 또는 이들의 다양한 조합을 가리킨다.
- [0027] 한편, 본 명세서 전체에서 사용되는 '~부', '~기', '~블록', '~모듈' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미할 수 있다. 예를 들어 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미할 수 있다. 그렇지만 '~부', '~기', '~블록', '~모듈' 등이 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부', '~기', '~블록', '~모듈'은 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다.
- [0028] 따라서, 일 예로서 '~부', '~기', '~블록', '~모듈'은 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성 요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다. 구성요소들과 '~부', '~기', '~블록', '~모듈'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부', '~기', '~블록', '~모듈'들로 결합되거나 추가적인 구성
- [0029] 요소들과 '~부', '~기', '~블록', '~모듈'들로 더 분리될 수 있다.
- [0030] 이하, 본 명세서의 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.
- [0031] 본 발명의 일 실시예에 따른 전기장을 이용한 도핑 방법은 도핑하고자 하는 대상인 피도핑층(200) 상에 유전체 박막인 희생층(300)을 적층한다.
- [0032] 희생층(300) 상에는 피도핑층(200)에 도핑하고자 하는 물질인 도핑물질(400)을 배치한다.
- [0033] 이후, 도핑물질(400)에는 양극을, 피도핑층(200)에는 음극을 배치하고 전압을 가하면 양 전극 사이에 제공된 희생층(300)에 전기장이 형성된다.
- [0034] 이때 형성된 전기장은 도핑물질(400)을 이온화 시키게 되고 이온화된 도핑물질(410)은 희생층(300)을 통과하여 피도핑층(200)으로 이동한다.
- [0035] 피도핑층(200)으로 이동한 이온화된 도핑물질(410)은 피도핑층(200)에서 전자와 만나 환원되고 이 과정에서 피도핑층(200)을 도핑하게 된다.
- [0036] 이하에서는 해당 도핑 방법에 대해 보다 상세하게 설명한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 전기장을 이용한 도핑 과정을 개략적으로 나타낸 도면도이다.
- [0038] 도 1을 참조하면, 기판(100) 상에 도핑이 요구되는 층인 피도핑층(200)이 적층된다. 피도핑층(200) 상에는 유전체 층인 희생층(300)이 적층되고, 희생층(300) 상에는 도핑하고자 하는 물질인 도핑물질(400)이 배치된다.
- [0039] 이후, 도핑물질(400)에는 (+)전압을, 피도핑층(200)에는 (-)전압을 인가한다.
- [0040] 이때 인가된 전압은 희생층(300)에 전기장을 발생시키고, 이 전기장은 도핑물질(400)을 산화시켜 이온화 되도록 한다. 이온화 된 도핑물질(410)은 희생층(300)으로 확산된 후 피도핑층(200)에 도달하여 피도핑층(200)에 쌓여 있는 전자와 만나 환원된다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 전기장을 이용한 도핑 방법에서 도핑물질(400)이 희생층(300)을 통해 확산되는 모습을 원자 단위로 나타낸 도면이다.

- [0042] 도 2를 참조하면, 피도핑층(200)은 ITO 전극으로 제공될 수 있다.
- [0043] ITO 전극은 도전성을 가진 산화인듐에 10% 내외의 주석을 첨가하여 도전성을 더욱 높인 것을 말한다. 따라서, 인듐(In), 주석(Sn) 및 산소(O)를 포함한다.
- [0044] ITO 전극은 보통 진공 용기 속에 글래스(Glass)판을 넣은 후 진공 방전을 통해 글래스(Glass)판 표면에 주석이 첨가된 산화인듐막을 형성함으로써 제작된다.
- [0045] 희생층(300)은 수십 나노미터 두께의 얇은 유전체 층으로 제공된다.
- [0046] 예를 들어, 희생층(300)은 질화알루미늄(AlN) 및 산화아연(ZnO) 중 적어도 어느 하나를 포함할 수 있다.
- [0047] 도핑물질(400)은 전도성을 갖으며 이온화 될 수 있는 물질로 제공될 수 있다.
- [0048] 예를 들어, 도핑물질(400)은 니켈(Ni)금속으로 제공될 수 있다.
- [0049] 도 1에서 언급한 바와 같이 도핑물질(400)에 (+)전극을, 피도핑층(200)에 (-)전극을 인가하게 되면, 유전체 층인 희생층(300)에서는 하방으로 전기장이 형성된다.
- [0050] 이때, 희생층(300)은 수십 나노미터의 얇은 박막으로 제공되므로 낮은 전압이 인가되더라도 희생층(300)에는 큰 전기장이 형성될 수 있다.
- [0051] 예를 들어, 희생층이 수십 나노미터로 제공되고 전압이 10볼트 내외로 제공되는 경우, 희생층(300)에는 MV/cm단위의 큰 전기장이 형성될 수 있다.
- [0052] 희생층(300)에 형성된 큰 전기장은 도핑물질(400)을 산화시키게 되고, 산화된 도핑물질(400)은 이온 상태로 전환된다.
- [0053] 예를 들어, 도핑물질(400)이 니켈(Ni)로 제공되는 경우 니켈은 니켈 양이온으로 산화될 수 있다.
- [0054] 니켈 양이온은 피도핑층(200)에 배치된 (-)전압에 끌려 희생층(300) 내부로 확산되고, 희생층(300)을 통과하여 피도핑층(200)에 도달한다.
- [0055] 피도핑층(200)에 도달한 니켈 양이온은 피도핑층(200)에 쌓여 있는 전자와 만나 환원되게 된다. 이 때, 일부 니켈 양이온은 피도핑층(200)의 표면뿐만 아니라 피도핑층(200)의 내부에도 일부 삽입되어 피도핑층(200) 내부에서 환원된다.
- [0056] 즉, 피도핑층(200)의 표면 및 피도핑층(200) 상부의 일부 영역에서 환원된 니켈 양이온에 의해 피도핑층(200)이 도핑된다.
- [0057] 도 3은 본 발명의 일 실시예에 따른 전기장을 이용한 도핑 방법을 나타낸 블록도이다.
- [0058] 도 3을 참조하면, 전기장을 이용한 도핑 방법은 피도핑층을 제공하는 피도핑층 제공 단계(S100), 피도핑층 상에 희생층을 적층하는 희생층 적층 단계(S200), 희생층 상에 도핑에 사용되는 물질인 도핑물질을 배치하는 도핑물질 배치 단계(S300), 도핑물질 및 피도핑층에 전극을 배치하는 전극 배치 단계(S400), 도핑물질의 산화, 확산 및 환원 과정을 통해 도핑물질을 피도핑층에 도핑하는 도핑 단계(S500) 및 희생층을 제거하는 희생층 제거 단계(S600)를 포함한다.
- [0059] 도 4는 도 3의 S100내지 S300단계를 나타낸 도면이다.
- [0060] 도 4를 참조하면, 기판(100) 상에는 피도핑층(200)이 적층된다. 피도핑층(200) 상에는 희생층(300)이 적층되고, 희생층(300) 상에는 도핑물질(400)이 배치된다.
- [0061] 비록 도 4에는 기판(100)이 도시되어 있으나, 실시예에 따라 기판(100)은 생략될 수 있다.
- [0062] 예를 들어, 피도핑층(200)은 인듐주석산화물(ITO), 금속산화막, 그래핀, 탄소나노튜브, 메탈메시 및 메탈나노와이어로 제공될 수 있다. 또한, Silicon, GaN을 포함한 반도체 물질로 제공될 수 있다.
- [0063] 하지만 이에 한정되지 않으며 전기전도도를 갖는 물질은 제한 없이 적용 가능하다.
- [0064] 피도핑층(200) 상에는 희생층(300)이 적층된다.
- [0065] 희생층(300)은 수십 나노미터 두께의 유전체 층으로 제공될 수 있으며, 10나노미터 내지 20나노미터 두께로 제공될 수 있다.

- [0066] 예를 들어, 희생층(300)은 질화알루미늄(AlN) 또는 산화아연(ZnO)로 제공될 수 있다.
- [0067] 희생층(300)은 물리 증착법(Physical Vapor Deposition, PVD), 화학 증착법(Chemical Vapor Deposition, CVD) 또는 원자층 증착법(Atomic layer deposition, ALD)을 통해 적층될 수 있다.
- [0068] 물리 증착법은 진공 중에 금속을 기화시켜 기화된 금속 원자가 산화하지 않은 채 방해물 없이 피도금물에 도금되는 방식을 말하며, 진공 증착법, 스퍼터링법 및 이온 플레이팅법으로 분류된다.
- [0069] 알루미늄, 티탄이나 고융점 재료의 도금이 가능하고, 진공 중에 금속과 비금속 원자를 이온화하여 반응시키면, 탄화 티탄, 질화 티탄, 알루미늄, 질화 알루미늄, 탄화 규소 등의 내마모성, 내열성, 그 외 기능성이 있는 화합물 피막을 도금할 수 있는 특징을 갖는다.
- [0070] 화학 증착법은 피복하는 기판상에 원료가스를 흘리고 외부 에너지를 부여함으로써 원료가스를 분해하여 기상반응으로 박막을 형성하는 방식을 말한다.
- [0071] 원자층 증착법은 반도체 제조 공정 중 화학적으로 달라붙는 단위자층의 현상을 이용한 나노 박막 증착 기술을 말한다.
- [0072] 웨이퍼 표면에서 분자의 흡착과 치환을 번갈아 진행함으로 원자층 두께의 초미세 층간(layer-by-layer) 증착이 가능하고, 산화물과 금속 박막을 최대한 얇게 쌓을 수 있으며, 가스의 화학반응으로 형성된 입자들을 웨이퍼 표면에 증착시키는 화학 기상 증착(CVD)보다 낮은 온도(500도 이하)에서 막질을 형성할 수 있어 시스템온칩(SoC) 제조에 적합한 특징을 갖는다.
- [0073] 하지만 희생층(300)을 적층하는 방법은 이에 한정되지 않으며 수십 나노미터 두께의 박막을 형성할 수 있는 방법이라면 제한 없이 적용 가능하다.
- [0074] 희생층(300) 상에는 피도핑층에 도핑하고자 하는 물질인 도핑물질(400)이 제공된다.
- [0075] 도핑물질(400)은 희생층(300) 상의 일부 영역에 제공될 수 있으며, 이와 달리 희생층(300)의 상면을 덮는 층 형상으로 제공될 수도 있다.
- [0076] 앞에서 언급한 바와 같이, 도핑물질(400)은 니켈을 포함한 전도성을 갖으며 이온화가 가능한 물질로 제공될 수 있다.
- [0077] 도 5는 도 3의 S400 및 S500 단계를 나타낸 도면이다.
- [0078] 도 5를 참조하면, 도핑물질(400)의 산화, 확산 및 환원 과정을 통해 도핑물질(400)을 피도핑층(200)에 도핑하는 도핑 단계(S500)는 도핑물질(400)이 이온화 되는 산화 단계(S510), 이온화된 도핑물질(410)이 희생층(300)을 통과하여 피도핑층(200)으로 확산되는 확산 단계(S520) 및 피도핑층(200)에 도달한 이온화된 도핑물질(410)이 환원되는 환원 단계(S530)를 포함한다.
- [0079] 도핑물질(400) 및 피도핑층(200)에는 전극(500)이 배치된다.
- [0080] 일 예에 따르면, 도핑물질(400)에는 제 1 전극(510)이 제공되고, 피도핑층(200)에는 제 2 전극(520)이 제공될 수 있다.
- [0081] 이때, 제 1 전극(510)은 양극으로, 제 2 전극(520)은 음극으로 제공될 수 있다.
- [0082] 두 전극 사이에 유전체가 배치되는 경우, 유전체에는 전기장이 형성된다.
- [0083] 본 발명의 일 예에서, 제 1 전극(510)을 양극으로, 제 2 전극(520)을 음극으로 제공하였으므로, 전기장의 방향은 희생층(300)의 하방을 향하게 된다.
- [0084] 전기장은 아래와 같이 정의된다.
- [0085]
$$\vec{E} = \frac{\vec{V}}{d}$$
- [0086] 이때, $\vec{E}$ 는 전기장 세기, $\vec{V}$ 는 전기신호의 세기, d는 유전체의 두께에 해당한다.
- [0087] 희생층(300)은 나노미터 두께의 얇은 박막으로 제공된다.
- [0088] 예를 들어, 희생층(300)의 두께는 10 나노미터(nm) 내지 20 나노미터로 제공될 수 있다. 하지만 이에 한정되지

않으며 수 마이크로미터 내지 수십 마이크로미터의 얇은 박막으로 제공될 수 있다.

- [0089] 제 1 전극(510)과 제 2 전극(520) 사이에는 수 볼트의 전압이 인가된다.
- [0090] 예를 들어, 제 1 전극(510)과 제 2 전극(520) 사이에는 3볼트(V) 내지 10볼트의 직류전압 또는 펄스전압이 인가될 수 있다. 하지만, 전압의 크기는 이에 한정되지 않으며 수 볼트(V) 내지 수십 볼트의 전압이 인가될 수 있다.
- [0091] 즉, 수십 마이크로미터 두께의 희생층(300)에 수 볼트의 전압이 인가되는 경우 희생층(300)에는 MV/cm단위의 큰 전기장이 형성된다.
- [0092] 희생층(300)에 형성된 전기장은 희생층(300) 상면에 배치된 도핑물질(400)을 산화시켜 이온화된 도핑물질(410)을 형성한다.
- [0093] 예를 들어, 도핑물질(400)이 니켈 금속으로 제공되는 경우 니켈 금속을 니켈 양이온으로 산화시킨다.
- [0094] 이온화된 도핑물질(410)은 피도핑층(200)에 인가된 음전하와의 정전기적 인력에 의해 희생층(300)을 통과하여 피도핑층(200) 방향으로 확산된다.
- [0095] 피도핑층(200)에 도달한 이온화된 도핑물질(410)은 피도핑층(200)에 인가된 음전극을 통해 공급된 전자와 결합된다.
- [0096] 이온화된 도핑물질(410)은 전자와의 결합으로 인해 환원되고 이 과정에서 피도핑층(200) 표면에 도핑물질(400)이 도핑된다.
- [0097] 이때, 이온화된 도핑물질(410)은 피도핑층(200)의 표면뿐만 아니라 피도핑층(200) 상부의 일부 영역에 침투한 후 도핑물질(400)로 환원될 수 있다.
- [0098] 도 6은 도 3의 S600 단계를 나타낸 도면이다.
- [0099] 도 6을 참조하면, 부식액을 이용하여 희생층(300)을 제거할 수 있다. 이 과정에서 희생층(300)과 함께 희생층(300) 상에 배치된 도핑물질(400)도 함께 제거된다.
- [0100] 예를 들어, 부식액은 염화철(Ferric Chloride), 황산암모니아(Ammonium Persulfate) 또는 크롬산(Chromic Acid)을 포함한다.
- [0101] 이러한 부식액이 화학적 에칭으로 인해 희생층(300)을 제거하게 되면 그 과정에서 자연스럽게 희생층(300)의 상면에 배치된 도핑물질(400)도 함께 제거될 수 있다.
- [0102] 도 7은 도핑에 따른 각 원자의 분포 변화를 나타낸 표이다.
- [0103] 도 7을 참조하면, 도면의 상단부는 도핑이 진행되기 전의 모습이며 도면의 하단부는 도핑이 진행된 후의 모습을 나타낸다.
- [0104] 도핑물질(400)은 니켈(Ni)로, 희생층(300)은 산화아연(ZnO) 및 질화알루미늄(AlN)으로, 피도핑층(200)은 ITO로 제공되었다.
- [0105] 도면의 상단부 및 하단부를 비교해 보면, 도핑물질(400)로 제공된 니켈은 초기에 도핑물질(400)이 제공되어 있던 영역을 벗어나 피도핑층(200) 영역까지 확산된 것을 알 수 있다.
- [0106] 즉, 본 발명의 일 실시예에 따른 도핑 방법을 통해 도핑물질(400)이 희생층(300)을 통과하여 피도핑층(200)에 성공적으로 도달하여 피도핑층(200)에 도핑된 것을 확인할 수 있다.
- [0107] 도 8은 니켈(Ni) 도핑에 따른 면저항, RMS 거칠기 및 면전류의 변화를 나타낸 그래프이다.
- [0108] 도 8을 참조하면, 니켈(Ni) 도핑 후 면저항은 감소하고, RMS 거칠기는 거의 변화하지 않았으며 면전류는 증가한 것을 확인할 수 있다.
- [0109] 도 9는 니켈(Ni) 도핑에 따른 면저항의 변화를 나타낸 그래프이다.
- [0110] 도 9를 참조하면, 피도핑층(200)의 두께가 30nm일 경우 261Ω/sq였던 초기 면저항은 61Ω/sq으로 감소하였다. 또한, 피도핑층(200)의 두께가 50nm일 경우 131Ω/sq였던 초기 면저항은 34Ω/sq으로 감소하였다.
- [0111] 즉, 니켈(Ni) 도핑으로 인해 피도핑층(20)의 면저항이 전체적으로 감소한 것을 확인할 수 있다.

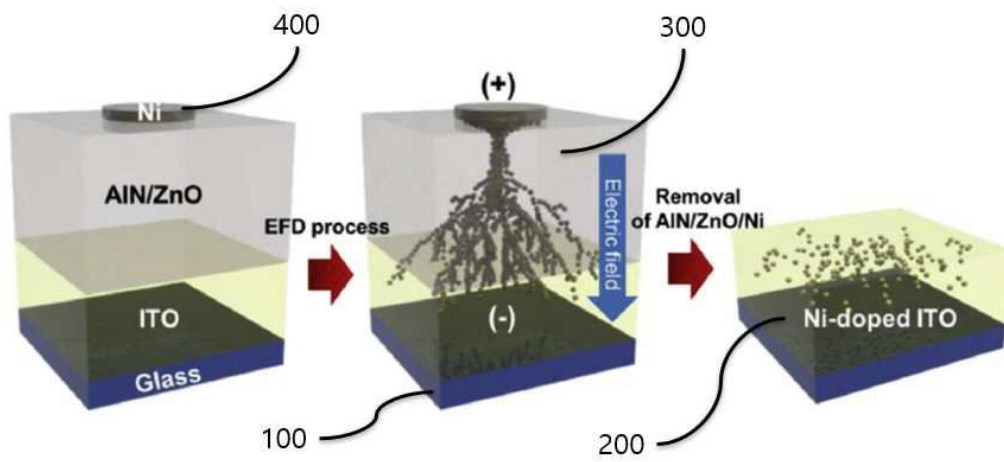
- [0112] 도 10은 도핑에 따른 RMS 거칠기의 변화를 나타낸 그래프이다.
- [0113] 도 10을 참조하면, 니켈(Ni) 도핑 후에도 거칠기에는 큰 변화가 없는 것을 확인할 수 있으며, 도 8의 RMS 거칠기 그래프의 변화를 함께 참고하더라도 거칠기는 큰 변화를 보이지 않은 것을 확인할 수 있다.
- [0114] 도 11은 도핑에 따른 면전류의 변화를 나타낸 도면이다.
- [0115] 도 11을 참조하면, 니켈(Ni) 도핑 후 면전류가 증가한 것을 확인할 수 있으며, 도 8의 면전류 그래프의 변화를 함께 참고하더라도 면전류가 증가한 것을 확인할 수 있다.
- [0116] 도 12는 도핑에 따른 투과도의 변화를 나타낸 그래프이다.
- [0117] 도 12를 참조하면, 니켈(Ni) 도핑 후 피도핑층(200)의 두께가 30nm일 때 1.6%, 피도핑층(200)의 두께가 50nm일 때 2.2%의 투과도 값의 변화가 발생하였다.
- [0118] 즉, 피도핑층(200)에 니켈(Ni)이 도핑 되더라도 투과도 값은 거의 변화하지 않은 것을 확인할 수 있다.
- [0119] 본 발명의 실시예에 따른 전기장을 이용한 도핑 방법은 피도핑층(200), 희생층(300) 및 도핑물질(400)을 차례로 적층한 후 피도핑층(200) 및 도핑물질(400)에 배치된 전극을 통해 희생층(300)에 전기장을 발생시킨다. 이때 발생된 전기장은 도핑물질(400)의 산화, 확산 및 환원 반응을 일으킴으로써 실온 및 대기압 분위기에서 피도핑층(200)에 도핑물질(400)을 도핑할 수 있다.
- [0120] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 전술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

부호의 설명

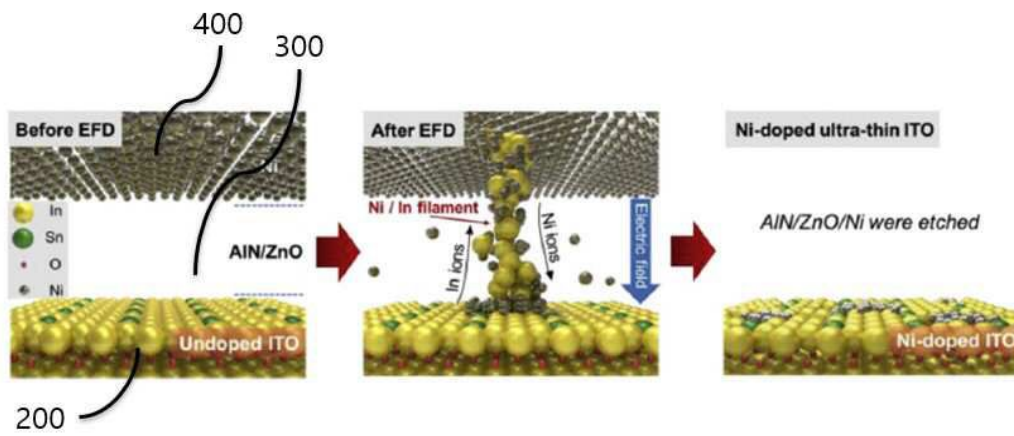
- [0121] 100: 기판
- 200: 피도핑층
- 300: 희생층
- 400: 도핑물질
- 410: 이온화된 도핑물질
- 500: 전극
- 510: 제 1 전극
- 520: 제 2 전극

도면

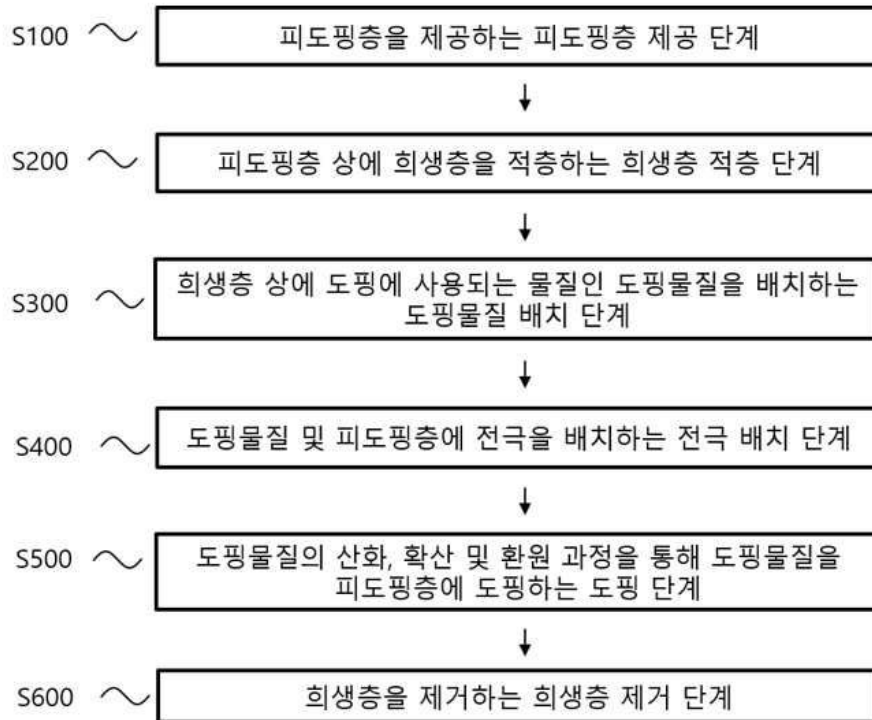
도면1



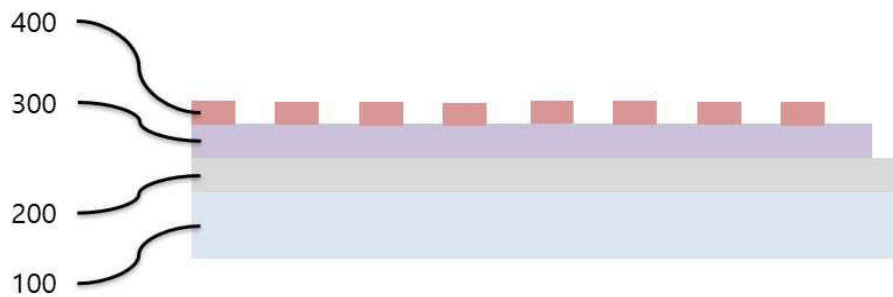
도면2



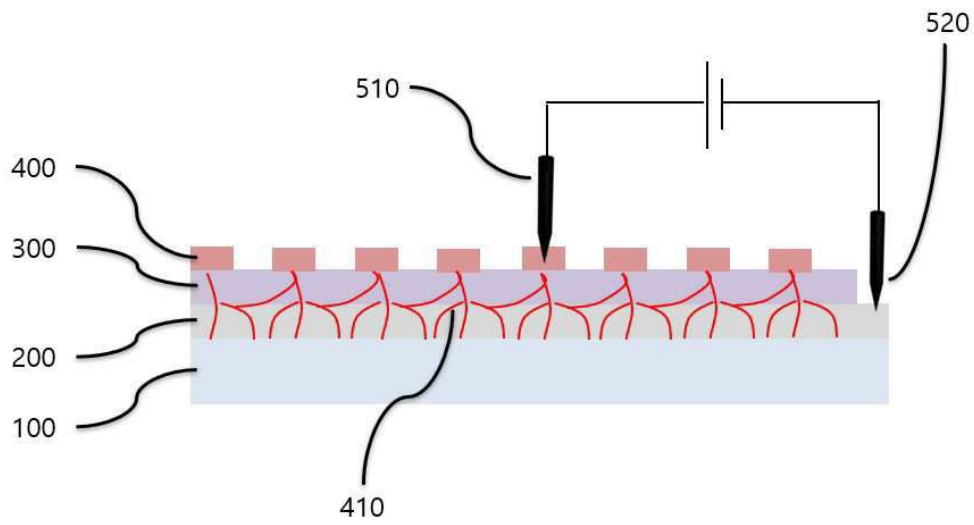
도면3



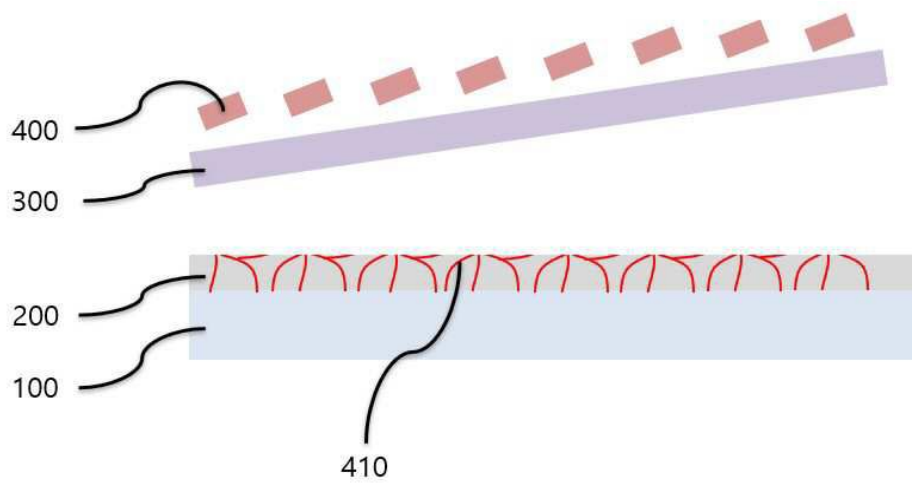
도면4



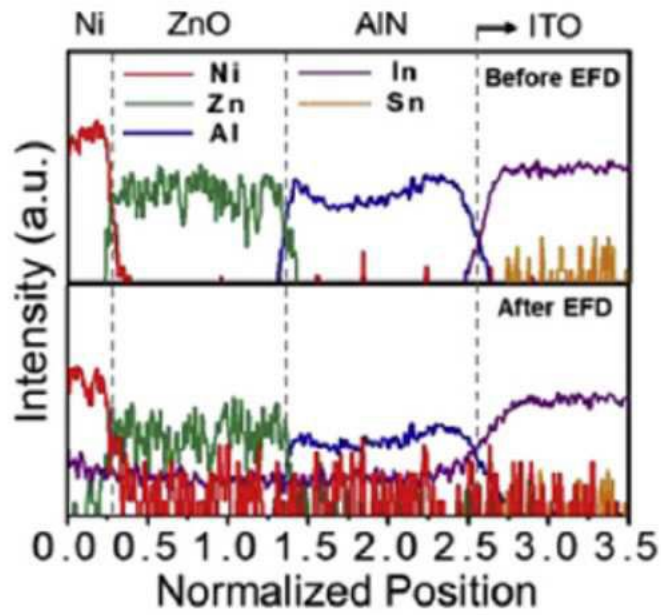
도면5



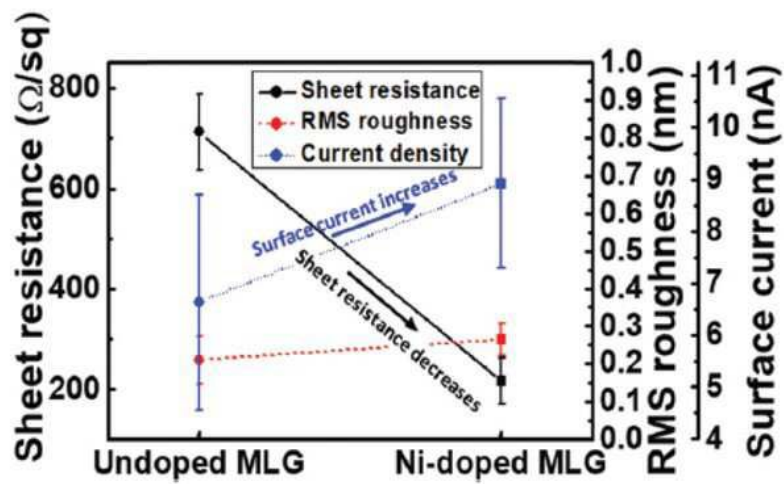
도면6



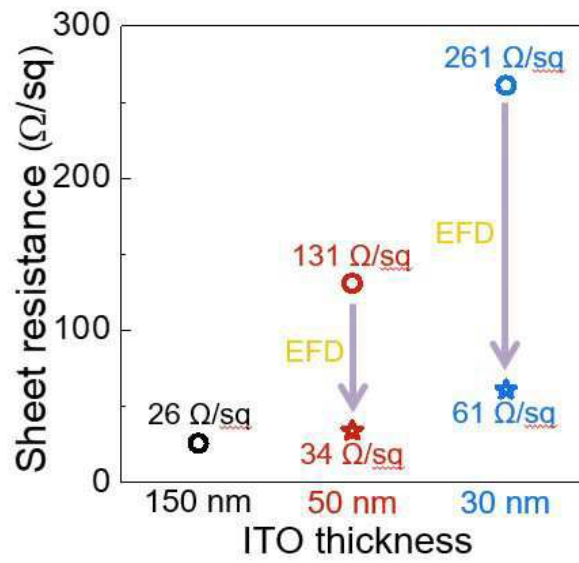
도면7



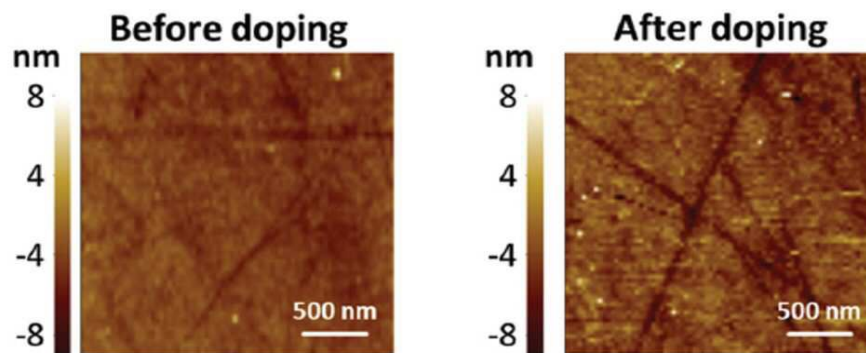
도면8



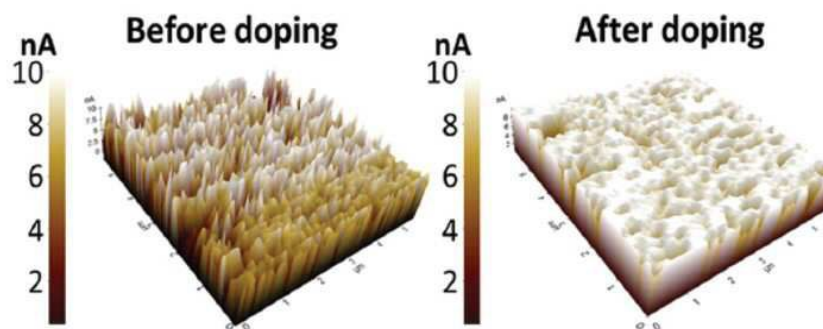
도면9



도면10



도면11



도면12

