

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月28日(28.12.2023)



(10) 国際公開番号

WO 2023/248367 A1

- (51) 国際特許分類:
H01L 31/107 (2006.01)
- (21) 国際出願番号: PCT/JP2022/024800
- (22) 国際出願日: 2022年6月22日(22.06.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 山口 晴央(YAMAGUCHI Harunaka); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 石村 栄太郎(ISHIMURA Eitaro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 丹羽 顕嗣(NIWA Akitsugu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

竹村 亮太(TAKEMURA Ryota); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

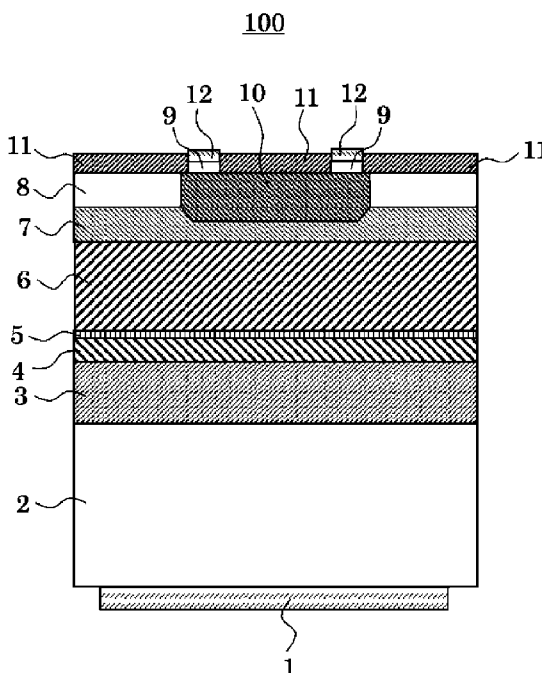
(74) 代理人: 弁理士法人ぱるも特許事務所(PALMO PATENT FIRM, P.C.); 〒6610033 兵庫県尼崎市南武庫之荘3丁目3番8号 Hyogo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR LIGHT-RECEIVING ELEMENT AND METHOD FOR MANUFACTURING SEMICONDUCTOR LIGHT-RECEIVING ELEMENT

(54) 発明の名称: 半導体受光素子及び半導体受光素子の製造方法

図1



(57) Abstract: A semiconductor light-receiving element (100) according to the present disclosure comprises: a semiconductor substrate (2); a multiplication layer (4) that is formed on the semiconductor substrate (2), that comprises a digital alloy structure in which a first semiconductor layer (4a) having a layer thickness N times that of a monoatomic layer ($1 \leq N \leq 20$) and a second semiconductor layer (4b) having a layer thickness M times that of a monoatomic layer ($1 \leq M \leq 20$) and having a smaller band gap energy than the first semiconductor layer (4a) are alternately layered a plurality of times, and that amplifies photocarriers; a light absorption layer (6) that is formed on the multiplication layer (4), and that absorbs incident light and generates photocarriers; and an electric field relaxation layer (5) that is formed between the multiplication layer (4) and the light absorption layer (6).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の半導体受光素子 (100) は、半導体基板 (2) と、半導体基板 (2) 上に形成され、単原子層の N 倍 ($1 \leq N \leq 20$) の層厚からなる第1半導体層 (4a)、及び単原子層の M 倍 ($1 \leq M \leq 20$) の層厚からなり第1半導体層 (4a) よりもバンドギャップエネルギーが小さい第2半導体層 (4b) が交互に複数回積層されたデジタルアロイ構造からなり、フォトキャリアを増幅させる増倍層 (4) と、増倍層 (4) 上に形成され、入射光を吸収してフォトキャリアを生成する光吸収層 (6) と、増倍層 (4) と光吸収層 (6) との間に形成された電界緩和層 (5) と、を備える。

明 細 書

発明の名称：半導体受光素子及び半導体受光素子の製造方法

技術分野

[0001] 本開示は、半導体受光素子及び半導体受光素子の製造方法に関する。

背景技術

[0002] 近年、情報社会の発展とともにそのバックボーンである光通信ネットワークの成長が著しい。特に大量のデータを扱うデータセンタの躍進、あるいは第5世代移動通信システムの展開により短距離及び長距離通信の双方に使用されている光通信は高速化及び大容量化が目覚ましい。光通信において、通信データの受信側では性能に優れるアバランシェフォトダイオード（APD：Avalanche Photodiode）が使用される。

[0003] APDはデータ通信時に受信した光信号から電子とホール対からなるキャリアを生成し、キャリア自体を増幅する作用を有するため、長距離伝送の受信側で主に使用される。また、APDの使用により通信機器の内部に、通常の受光素子を使用した場合では必要であった受信側の外部キャリア増幅器が不要となる。このため、例え短距離通信であっても受光素子としてAPDが使用される。

[0004] APDの動作原理にはいくつかの種類がある。その中でも、信号光を受光してキャリアを生成する層（キャリア生成層）と、発生したキャリアを増倍させる層（増倍層）が分離されたSACM型APD構造（Separate Absorption, Charge and Multiplication Avalanche Photodiode）が性能的に優れている。

[0005] 光通信では主にInP基板上に信号光を受光する層（光吸収層）をInGaAs、発生したキャリアを増倍させる増倍層をAlInAsでそれぞれ形成し、電界緩和層（AlInAsなど）と呼ばれる層をAlInAs増倍層とInGaAs光吸収層との間に挿入して両者にかかる電界強度を緩和する

ことにより、APDとしての動作を実現する。このような構成で作製したAPDに光が入射した場合、InGaAs光吸収層内で電子とホールからなるフォトキャリアが生成され、そのうち電子は逆バイアス化によってAlInAs増倍層内に伝導する。フォトキャリアである電子は、AlInAs増倍層内でアバランシェ増幅効果によって増倍されるため、受光した光信号を増幅させることが可能になる。

[0006] APDの性能は主にキャリア増倍時の雑音によって決定され、増倍層の構成材料に依存する。例えば、非特許文献1に開示されたSi-APDでは、シリコン(Si)基板上にゲルマニウム(Ge)光吸収層及びSi増倍層を用い、増倍層の構成材料として使用される化合物半導体であるAlInAsよりもAPDの低雑音化を可能としている。

[0007] また、非特許文献2には、化合物半導体からなるAlInAs増倍層を構成する2元化合物半導体(AlAs、InAs)、あるいは3元化合物半導体($\text{Al}_x\text{In}_{1-x}\text{As}$)に対して、原子層レベルで層厚を制御するデジタルアロイ(Digital Alloy)と呼ばれる技術を適用することにより、従来のAlInAsを用いたAPDよりも低雑音化が可能になることが開示されている。

[0008] 非特許文献2に開示されたデジタルアロイ技術によって原子層レベルで層厚を制御した層を繰り返すことにより形成された増倍層は、特許文献1に開示されるような超格子構造からなる増倍層が奏する量子効果とは異なり、半導体材料の電子軌道自体を制御することで、従来の材料とは異なる新たな物性値を有する。特に、InP基板上に格子整合した従来のAlInAsに比べて、AlAsとInAsを原子層レベルで積層したデジタルアロイ構造からなるAlInAs増倍層は、アバランシェ増倍動作時に、非常に低雑音であることがすでに報告されている。

先行技術文献

特許文献

[0009] 特許文献1：特許第2671569号公報

特許文献2：米国特許第6 3 2 6 6 5 0号明細書

非特許文献

[0010] 非特許文献1：M. Huang, et. al., "Germanium on Silicon Avalanche Photodiode." IEEE Journal of Selected Topics in Quantum Electronics, Vol. 24, No. 2, 3800911, 2018.

非特許文献2：J. Zheng, et. al., "Digital Alloy InAlAs Avalanche Photodopdes," IEEE Journal of Lightwave Technology, Vol. 36, No. 17, pp. 3580–3585, 2018.

非特許文献3：D. C. Houghton, et. al., "Comparison of chemical beam epitaxy and metalorganic chemical vapour deposition for highly strained multiple quantum well InGaAsP/InP 1.5 μ m lasers." J. Crystal Growth Vol. 136, pp. 56–63, 1994.

発明の概要

発明が解決しようとする課題

[0011] 特許文献2にはAPDの増倍層にデジタルアロイ型の増倍層を適用することが開示されている。しかしながら、特許文献2に記載のAPDは、フォトキャリアが発生する吸収層と、キャリアが増倍される増倍層が分離されていないため、雑音が大きくなり、かかる素子構造では受信感度は低下してしまう。

[0012] また、非特許文献1に開示されたSi-APDは、Si基板上に光吸収層としてGeを1 μ m程度、結晶成長する必要がある。しかしながら、GeはSi基板とは格子不整合であるため、結晶欠陥が発生しやすいので、層厚を

厚く結晶成長することが困難である。また、結晶欠陥の影響で暗電流が大きくなる傾向があり、APDとして安定した素子特性を得ることは困難である。

[0013] APDを構成する半導体材料としてInPを使用した化合物半導体を基本に、APDの性能を向上させるためには、非特許文献1に開示されたデジタルアロイ技術を用いて、デジタルアロイ構造からなるAlInAs増倍層をSACM型APDに適用することが望ましい。しかしながら、デジタルアロイ構造からなる増倍層を構成するAlAsとInAsが、いずれも基板であるInPとは格子不整合であるため、増倍層の上面側に成長する電界緩和層及び光吸収層の結晶品質が著しく低下する恐れがあり、上述したSi-APDと同様、結晶欠陥に起因する暗電流の増加などによるAPDとしての素子特性の低下が懸念される。

[0014] さらに、デジタルアロイ構造からなるAlInAs増倍層は、増倍層の上面側、または下面側の層との間にバンドギャップ差が発生するため、光入射時に発生したフォトキャリアがデジタルアロイ構造からなる増倍層の基板面に対して上下方向に伝導する場合に、増倍層と上下各層の界面におけるバンドギャップ差が、APDとして的高速動作を阻害する可能性がある。

[0015] すなわち、APDの増倍層として、デジタルアロイ構造からなるAlInAs増倍層を単に適用するだけでは、APDとしての優れた特性、例えばキャリア応答性などが十分に発揮できるわけではなかった。

[0016] 本開示は上記のような問題点を解消するためになされたもので、低雑音であって、かつ受信感度の高い半導体受光素子及びこの半導体受光素子の製造方法を得ることを目的とする。

課題を解決するための手段

[0017] 本開示に係る半導体受光素子は、
半導体基板と、

前記半導体基板上に形成され、単原子層のN倍（ $1 \leq N \leq 20$ ）の層厚からなる第1半導体層、及び単原子層のM倍（ $1 \leq M \leq 20$ ）の層厚からなり

前記第1半導体層よりもバンドギャップエネルギーが小さい第2半導体層が交互に複数回積層されたデジタルアロイ構造からなり、フォトキャリアを増幅させる増倍層と、

前記増倍層上に形成され、入射光を吸収して前記フォトキャリアを生成する光吸収層と、

前記増倍層と前記光吸収層との間に形成された電界緩和層と、を備える。

[0018] 本開示に係る半導体受光素子の製造方法は、

n型InP基板上に、n型AlInAsバッファ層と、単原子層のN倍 ($1 \leq N \leq 20$) の層厚からなるAlAs層、及び単原子層のM倍 ($1 \leq M \leq 20$) の層厚からなるInAs層が交互に複数回積層されたデジタルアロイ構造からなるAlInAs増倍層と、p型AlInAs電界緩和層と、n型InGaAs光吸収層と、i型AlInAs窓層と、n型InP窓層と、p型InGaAsコンタクト層と、を順次エピタキシャル結晶成長する工程と、

前記n型InP窓層及びi型AlInAs窓層の一部にZn選択拡散領域を形成する工程と、を備える。

発明の効果

[0019] 本開示に係る半導体受光素子及び半導体受光素子の製造方法によれば、低雑音であって、かつ受信感度の高い半導体受光素子が得られるという効果及びこの半導体受光素子を容易に製造することができるという効果を奏する。

図面の簡単な説明

[0020] [図1]実施の形態1に係る半導体受光素子の素子構造を表す断面図である。

[図2]実施の形態2に係る半導体受光素子の素子構造を表す断面図である。

[図3]実施の形態2に係る半導体受光素子における歪緩和層の有無によるデジタルアロイ構造の実効的ストレスを説明する図である。

[図4]実施の形態3に係る半導体受光素子の素子構造を表す断面図である。

[図5]実施の形態3に係る半導体受光素子のバンドギャップエネルギーの関係を説明する図であり、図5Aは、第1遷移層が無い場合、図5Bは第1遷移

層が有る場合の図である。

[図6]実施の形態4に係る半導体受光素子の素子構造を表す断面図である。

[図7]実施の形態4に係る半導体受光素子のバンドギャップエネルギーの関係を説明する図であり、図7Aは、第2遷移層が無い場合、図7Bは第2遷移層が有る場合の図である。

[図8]実施の形態5に係る半導体受光素子の素子構造を表す断面図である。

[図9]基板に垂直方向における電界強度分布を表す図である。

[図10]デジタルアロイ構造からなるI型AlInAs増倍層の最表面層をAlAs層とした場合と、InAs層とした場合の最大電界強度 E_{MAX} を比較する図である。

発明を実施するための形態

[0021] 実施の形態1.

＜実施の形態1に係る半導体受光素子100の素子構造＞

図1は、実施の形態1に係る半導体受光素子100の素子構造を表す断面図である。実施の形態1に係る半導体受光素子100の一例として、SACM型APDを挙げている。

[0022] 実施の形態1に係る半導体受光素子100は、n型InP基板2上に順次形成されたキャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ であるn型AlInAsバッファ層3と、層厚が $0.05 \sim 0.2 \mu\text{m}$ でありi型AlAs層（一例として層厚2ML）とi型InAs層（一例として層厚2ML）とを交互に複数回積層したデジタルアロイ構造からなるi型AlInAs増倍層4と、キャリア濃度が $0.5 \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.05 \sim 0.15 \mu\text{m}$ であるp型AlInAs電界緩和層5と、キャリア濃度が $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $1 \sim 1.5 \mu\text{m}$ であるn型InGaAs光吸収層6と、層厚が $0.05 \sim 1 \mu\text{m}$ であるi型AlInAs窓層7と、キャリア濃度が $0.1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $0.5 \sim 1 \mu\text{m}$ であるn型InP窓層8と、キャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ である円環状を呈するp型InGaA

sコンタクト層9と、で構成される。

[0023] 実施の形態1に係る半導体受光素子100は、さらに、n型InP窓層8及びi型AlInAs窓層7の一部に設けられたZn選択拡散領域10と、Zn選択拡散領域10の表面を含むn型InP窓層8の表面に設けられたSiNx表面保護膜11と、n型InP基板2の裏面側に設けられたn型電極1と、円環状を呈するp型InGaAsコンタクト層9の表面に設けられたp型電極12と、を備える。

[0024] 実施の形態1に係る半導体受光素子100は、増倍層をデジタルアロイ構造からなるi型AlInAs増倍層4とした点、及びi型AlInAs増倍層4とn型InGaAs光吸収層6との間にp型AlInAs電界緩和層5を設けた点に特徴がある。なお、各実施の形態の説明において、増倍層4を構成するAlInAsを除いて、各層を構成するAlInAsとInGaAsについては組成比を明示していないが、両者ともn型InP基板2と格子整合する組成比を有することが望ましい。

[0025] 上述の説明では、SACM型APDの増倍層として、層厚が単原子層(ML)の2層分、つまり層厚が2MLであるi型AlAs層及び層厚が2MLであるi型InAs層が交互に複数回積層されたデジタルアロイ構造からなるi型AlInAs増倍層4を一例として挙げた。i型AlAs層の層厚は、単原子層のN倍($1 \leq N \leq 20$)の範囲内であればよく、i型InAs層の層厚は、単原子層のM倍($1 \leq M \leq 20$)の範囲内であればよい。i型AlAs層の層厚が単原子層のN倍($1 \leq N \leq 5$)の範囲内、i型InAs層の層厚が単原子層のM倍($1 \leq M \leq 5$)の範囲内であれば、さらに好適である。デジタルアロイ構造からなるi型AlInAs増倍層4について、i型AlAs層とi型InAs層とを交互に複数回積層する場合の積層回数は、5回以上300回以下の範囲が好適である。

[0026] 以下の説明では、デジタルアロイ構造からなるAlInAs増倍層を構成する半導体材料がそれぞれ異なる2層について、第1半導体層4a及び第2半導体層4bと呼ぶ場合がある。第1半導体層4aのバンドギャップエネルギー

ギー E_{g1} は、第2半導体層4bのバンドギャップエネルギー E_{g2} よりも大きい、つまり、 $E_{g1} > E_{g2}$ 、の関係が成立するとする。上述の一例では、バンドギャップエネルギーが2.12 eVであるAlAs層が第1半導体層4a、バンドギャップエネルギーが0.36 eVであるInAs層が第2半導体層4bとなる。

[0027] <実施の形態1に係る半導体受光素子100の製造方法>

まず、実施の形態1に係る半導体受光素子100の一例であるSACM型APDの製造方法を、以下に説明する。

[0028] n型InP基板2の表面に、n型AlInAsバッファ層3と、i型AlAs（層厚2ML）とi型InAs（層厚2ML）を交互に複数回積層したデジタルアロイ構造からなるi型AlInAs増倍層4と、p型AlInAs電界緩和層5と、n型InGaAs光吸収層6と、i型AlInAs窓層7と、n型InP窓層8と、p型InGaAsコンタクト層9とを、有機金属気相成長法（MOVPE: Metal Organic Vapor Phase Epitaxy）、あるいは、分子線エピタキシャル成長法（MBE: Molecular Beam Epitaxy）などのエピタキシャル結晶成長方法によって順次結晶成長する。

[0029] エピタキシャル結晶成長方法として、MOVPE法を用いる場合は、結晶成長温度は550℃程度が好適であるが、500℃以上600℃以下の温度範囲内でもよい。

[0030] 上述のエピタキシャル結晶成長後のウエハプロセスにおいて、反応性イオンエッチング、CVD（CVD: Chemical Vapor Deposition）、蒸着などによる素子領域の加工と成膜、電極形成を実施し、SACM型APDとして機能するために必要な素子構造を形成する。

[0031] エピタキシャル結晶成長後のウエハ表面に、CVD法などによってSiO_x膜を成膜する。SiO_x膜は絶縁膜であり、拡散マスクとして機能する。

[0032] フォトリソグラフィ技術及びエッチング技術を用いて、直径40 μmの円形パターンマスクを使用してパターニングして、SiO_x膜に円形の開口部

を設ける。SiO_x膜を拡散マスクとして、開口部から半導体層の内部に、亜鉛（Zn）を拡散させるなどの方法によって、n型InP窓層8及びi型AlInAs窓層7の一部にZn選択拡散領域10を形成する。Zn選択拡散領域10の半導体層内部の先端部分は、i型AlInAs窓層7中に位置する。Zn選択拡散領域10は、p型導電領域として機能する。Zn選択拡散領域10の形成後、SiO_x膜はウエットエッチングあるいはドライエッチングによって除去する。

[0033] 次に、フォトリソグラフィ技術及びエッチング技術を用いて、Zn選択拡散領域10上でp型InGaAsコンタクト層9が幅3.0～5.0μm程度の円環状に残るように、反応性イオンエッチングなどを用いて加工する。

[0034] その後、CVD法などによって、ウエハ表面にSiN_x表面保護膜11を成膜する。続いて、フォトリソグラフィ技術及びエッチング技術を用いて、p型InGaAsコンタクト層9の表面のSiN_x表面保護膜11のみを除去する。なお、SiN_x表面保護膜11は、反射防止膜としての機能も有する。

[0035] p型InGaAsコンタクト層9の表面に、Ti/Auなどの金属材料を蒸着などにより成膜して、p型電極12を形成する。

[0036] 最後に、n型InP基板2の裏面側を研削し、その後、AuGeNiなどの金属材料を蒸着などにより成膜して、n型電極1を形成する。

以上が、実施の形態1に係る半導体受光素子100の一例であるSACM型APDの製造方法である。

[0037] <実施の形態1に係る半導体受光素子100の動作>

上述の製造方法によって作製された実施の形態1に係る半導体受光素子100の一例であるSACM型APDの動作を、以下に説明する。

[0038] まず、SACM型APDのn型InP基板2の裏面側に設けられたn型電極1がプラス、表面側に設けられたp型電極12がマイナスとなるように、逆バイアス電圧を外部から印加した状態で保持する。なお、逆バイアス電圧は、アバランシェ増幅が十分に発生する電圧値に設定する。

[0039] 逆バイアス電圧が印加されたSACM型APDに、p型電極12側からp型導電領域であるZn選択拡散領域10に光通信で使用する波長帯である波長1.3 μm あるいは1.55 μm の光を入射させると、n型InGaAs光吸収層6において光が吸収されフォトキャリア（電子－ホール対）が発生し、逆バイアス電圧が印加された状態では、電子はn型電極1側に、ホールはp型電極12側にそれぞれ移動する。

[0040] 逆バイアス電圧が印加されたSACM型APDでは、デジタルアロイ構造からなるi型AlInAs増倍層4内に電子が伝導した際にアバランシェ増幅が発生するように、p型AlInAs電界緩和層5によって、電界強度が制御されている。デジタルアロイ構造からなるi型AlInAs増倍層4内において、電子はイオン化して新たな電子－ホール対を生成し、さらに新たに生成された電子及びホールが共にイオン化を引き起こすことによって、電子及びホールが雪崩的に増幅、つまりアバランシェ増幅される。すなわち、フォトキャリアである電子は、i型AlInAs増倍層4内でアバランシェ増幅効果によって増倍されるため、受光した光信号を増幅させることが可能になる。

[0041] <実施の形態1に係る半導体受光素子の作用>

電子増倍型であるSACM型APD（半導体受光素子）では、n型InGaAs光吸収層内で生成されたフォトキャリアが増倍層内で増倍される際に、電子だけでなくホールも増倍されてAPD動作時の雑音要因となる。雑音の振幅を i_{Ns} 、電子の素電荷を q 、アバランシェ領域を流れる平均電流値を I 、帯域を B 、アバランシェ増倍率を M 、過剰雑音係数を F とした場合、受信感度の性能を低下させる雑音成分は、以下の式（1）で表される。

[0042] [数1]

$$\text{数1} \quad i_{Ns}^2 = 2qIBM^2F \quad (1)$$

過剰雑音係数 F は、ホールと電子の増倍率比を示すイオン化率比 k を用いて、以下の式（2）で表される。

[0043] [数2]

$$\text{数2} \quad F = M \left[1 - (1 - k) \left(\frac{M - 1}{M} \right)^2 \right] \quad (2)$$

[0044] イオン化率比 k は材料固有の値を取る。イオン化率比 k が小さくなる場合は電子が増倍される比率が大きいため、過剰雑音係数 F が小さくなることにより、雑音の振幅 i_{Ns} も小さくなる。したがって、APD動作時の S/N 比において分母となる雑音成分 N が小さくなるため、APDは高感度な特性を得ることができる。

[0045] イオン化率比 k は材料固有の値であるため、通常は、基板との格子整合を維持しつつ必要とする層厚が得られるまで結晶成長可能で、かつイオン化率比 k がなるべく小さい半導体材料が、APDを構成する半導体材料として選択される。

[0046] 増倍層を構成する半導体材料として、非特許文献1に開示されるような2元化合物半導体 ($AlAs$ 、 $InAs$)、あるいは3元化合物半導体 ($Al_xIn_{1-x}As$) を用いて、原子層レベルで結晶成長することにより形成された多層構造のような場合は、通常の半導体材料よりも電子の増倍率を向上させる、あるいはホールの増倍を抑制することができるため、イオン化率比 k の値をさらに小さくすることが可能となる。

[0047] 以上より、デジタルアロイ構造からなる増倍層、例えば $AlAs$ と $InAs$ などの2元化合物半導体材料を原子層レベルの層厚で積層した $AlInAs$ をAPDの増倍層を構成する半導体材料として適用し、電界緩和層によって光吸収層にかかる電界よりも増倍層にかかる電界強度を大きくなるように制御したSACM型とすることで、低雑音で、かつ受信感度の高いSACM型APDを実現することができる。

[0048] 実施の形態1では、SACM型APDの増倍層を構成する半導体材料の一例として $AlInAs$ を用いた場合を説明した。増倍層を構成する半導体材料としては、例えば、 $InGaAsP$ 、 $AlGaInAs$ 、 $AlAsSb$ 、

AlGaAsSb、AlInAsSb、AlGaInAsSbなどのIII族材料とV族材料とを組み合わせることで結晶成長可能な半導体材料を、それぞれの中で構成されている2元、3元ないし4元の化合物半導体材料(InP、AlAs、InGaAs、AlInAs、GaAsSb、AlGaInAs、AlGaAsSbなど)を原子層レベルで積層した場合でも、SACM型APDの素子特性として同様な改善効果が得られる。

[0049] 上述の一例では、デジタルアロイ構造を構成する各層の層厚として、2ML単位の積層構造を例示した。しかしながら、下地であるn型InP基板2に対して結晶欠陥を発生させることなく結晶成長可能な臨界膜厚、例えば5nmまでの層厚で必要な増倍層を構成する積層構造を結晶成長することが可能であれば、一例の組み合わせに限らず、どのような半導体材料の組み合わせでもよい。また、上述のi型AlInAs増倍層4はアンドープであるが、増倍層はアンドープに限定されるわけではない。すなわち、増倍層としてのデジタルアロイ構造自体にn型またはp型の不純物をドーピングしてもよい。

[0050] 上述の説明では、Zn拡散によってp型導電領域を形成した場合を一例とした。しかしながら、n型InP窓層8及びi型AlInAs窓層7に対してp型の導電性を付与する原子であれば、Zn以外でもp型不純物となりうる、例えば、カドミウム(Cd)、ベリリウム(Be)などをp型ドーパントとして用いてもよい。Zn拡散方法は、酸化亜鉛(ZnO)を用いた固相拡散法、または結晶成長炉を使用したZn気相拡散法でもよく、あるいは、結晶成長によりp型コンタクト層を結晶成長してもよい。

[0051] 上述の説明では、SACM型APDとして、p型電極12側からp型導電領域であるZn選択拡散領域10に検出しようとする光を入射させる表面入射型構造を一例として挙げた。しかしながら、本開示は表面入射型構造に限定されるわけではなく、逆にn型電極1を円形パターンで開口させ、n型InP基板2の裏面側から光を入射させる裏面入射型構造、あるいはn型光吸収層6の端面から光を入射させる端面入射型構造でも、SACM型APDと

して同様の効果が期待できる。

[0052] <実施の形態 1 の効果>

以上、実施の形態 1 に係る半導体受光素子及び半導体受光素子の製造方法によれば、増倍層をデジタルアロイ構造とし、かつ増倍層と光吸収層との間に電界緩和層を設けたので、低雑音であり、かつ受信感度の高い半導体受光素子が安定に得られるという効果を奏する。

[0053] 実施の形態 2.

<実施の形態 2 に係る半導体受光素子 110 の素子構造>

図 2 は、実施の形態 2 に係る半導体受光素子 110 の素子構造を表す断面図である。実施の形態 2 に係る半導体受光素子 110 の一例として、SACM 型 APD を挙げている。

[0054] 実施の形態 2 に係る半導体受光素子 100 は、 n 型 InP 基板 2 上に順次形成されたキャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ である n 型 AlInAs バッファ層 3 と、層厚が $0.05 \sim 0.2 \mu\text{m}$ であり i 型 AlAs 層（一例として層厚 2 ML）と i 型 InAs 層（一例として層厚 2 ML）とを交互に複数回積層したデジタルアロイ構造からなる i 型 AlInAs 増倍層 4 と、層厚が $10 \sim 100 \text{ nm}$ である i 型 AlInAs 歪緩和層 21 と、キャリア濃度が $0.5 \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.05 \sim 0.15 \mu\text{m}$ である p 型 AlInAs 電界緩和層 5 と、キャリア濃度が $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $1 \sim 1.5 \mu\text{m}$ である n 型 InGaAs 光吸収層 6 と、層厚が $0.05 \sim 1 \mu\text{m}$ である i 型 AlInAs 窓層 7 と、キャリア濃度が $0.1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $0.5 \sim 1 \mu\text{m}$ である n 型 InP 窓層 8 と、キャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ である円環状を呈する p 型 InGaAs コンタクト層 9 と、で構成される。

[0055] 実施の形態 2 に係る半導体受光素子 100 は、さらに、 n 型 InP 窓層 8 及び i 型 AlInAs 窓層 7 の一部に設けられた Zn 選択拡散領域 10 と、 Zn 選択拡散領域 10 の表面を含む n 型 InP 窓層 8 の表面に設けられた S

i N x 表面保護膜 11 と、n 型 I n P 基板 2 の裏面側に設けられた n 型電極 1 と、円環状を呈する p 型 I n G a A s コンタクト層 9 の表面に設けられた p 型電極 12 と、を備える。

[0056] 実施の形態 2 に係る半導体受光素子 110 は、増倍層をデジタルアロイ構造からなる i 型 A l l n A s 増倍層 4 とした点、及び i 型 A l l n A s 増倍層 4 と p 型 A l l n A s 電界緩和層 5 との間に i 型 A l l n A s 歪緩和層 21 を設けた点に特徴がある。

[0057] 実施の形態 2 に係る半導体受光素子 110 の製造方法は、エピタキシャル結晶成長の際に、i 型 A l l n A s 増倍層 4 と p 型 A l l n A s 電界緩和層 5 との間にさらに i 型 A l l n A s 歪緩和層 21 を結晶成長する点のみが実施の形態 1 と異なるので、製造方法の詳細な説明は省略する。

[0058] <実施の形態 2 に係る半導体受光素子 110 の作用>

A P D の素子構造では増倍層の上面側に電界緩和層から半導体層としての最表面に位置する p 型コンタクト層まで、層厚として $2\mu\text{m}$ 程度の積層構造を結晶成長する必要がある。特に、A P D としての動作時に、活性層部分に相当する増倍層及び光吸収層は、結晶品質が悪化すると暗電流が増加し、暗電流に起因する雑音も増加する。したがって、A P D の受信感度特性が悪化するほか、信頼性への懸念点ともなる。よって、増倍層の近傍での結晶欠陥の発生を防止するため、積層構造自体のストレス、つまり歪みを可能な限り低減することが、高性能かつ高信頼性の A P D を実現するに当たって重要となる。

[0059] デジタルアロイ構造からなる増倍層は、基板と格子定数が一致しない格子不整合である 2 元ないし 3 元化合物半導体材料を積層するため、圧縮歪と引張歪とを交互に繰り返しつつ積層していくことになる。このような場合、前述の非特許文献 3 に開示されている力学的平衡モデルによって、転位が発生する際の実効的ストレス σ を計算することができる。すなわち、非特許文献 3 の図 2 に開示されるように、実効的ストレス σ がゼロ以下になるように積層構造を構成し、デジタルアロイ構造を含む素子構造を結晶成長する際の材

料、層厚、順序を制御すれば、転位が発生しない、つまり結晶欠陥が発生しない高品質な結晶成長が実現できるため、素子特性に優れたAPDを得ることが可能となる。

[0060] 多重量子井戸構造のように、圧縮歪と引張歪とを交互に繰り返し積層する構造における実効的ストレス τ は、非特許文献3によると、以下の式(3)及び各パラメータによって表される。

[0061] [数3]

$$\text{数3} \quad \tau = A \left\{ \mu \frac{Nhx + (N-1)Hy}{L} - \frac{B}{L} \left[\ln \left(\frac{\beta}{b} \right) (L+z) + \ln \left(\frac{\beta}{b} \right) z + 2 \ln \left(\frac{L}{L+z} \right) \right] \right\} \quad (3)$$

$$A = 2 \cos \psi \cos \lambda \frac{1+\nu}{1-\nu}, \quad B = \frac{\mu_x \mu_y}{\mu_x + \mu_y} \frac{b(1-\nu \cos^2 \theta)}{4\pi(1+\nu) \cos \lambda}$$

[0062] Ψ : 界面とスリップ面のなす角度
 λ : 転位線とバーガースペクトルのなす角
 ν : ポアソン比
 μ_x : 圧縮歪層のせん断係数
 μ_y : 引張歪層のせん断係数
 μ_{xy} : 繰り返し積層部分の平均せん断係数
 b : バーガースペクトル
 $\cos \theta$: 転位線とバーガースペクトルのなす角
 β : コア係数 (core parameter)
 x : 圧縮歪層の歪量
 h : 圧縮歪層の層厚
 y : 引張歪層の歪量
 H : 引張歪層の層厚
 Z : 歪緩和層の層厚
 N : 圧縮歪層の層数
 L : $Nh + (N-1)H$ の計算値

[0063] InP基板上に圧縮歪層がInAs層、引張歪層がAlAs層で構成され

た層厚 50 nm のデジタルアロイ構造からなる AlInAs 増倍層の上面側に位置する層厚 50 nm の歪緩和層の有無の両方の場合について、実効的ストレス値を式 (3) に基づき計算した結果を図 3 に示す。なお、計算パラメータは非特許文献 3 を参照した。実施の形態 2 のデジタルアロイ構造を構成する InAs 層は圧縮歪層、AlAs 層は引張歪層として、それぞれの化合物半導体材料の物性値を用いた。

[0064] デジタルアロイ構造からなる AlInAs 増倍層を結晶成長する際の実効的ストレス τ は、InAs 層が高圧縮歪であるため、素子構造全体にかかる実効的ストレス τ が一気に上昇する。一方、InAs 層の直後に結晶成長される AlAs 層が圧縮歪とは反対方向に作用する引張歪となるため、実効的ストレス τ を緩和する方向に作用する。しかしながら、素子構造全体にかかる実効的ストレス τ は InAs 層及び AlAs 層を交互に積層するにつれて徐々に上昇する。

[0065] SACM 型 APD の活性層部分に相当する電界緩和層及び光吸収層部分を結晶成長する際には、デジタルアロイ構造からなる AlInAs 増倍層の形成において蓄積されたストレスをそのまま引き継ぐことになる。歪緩和層を適用しない場合は、2 μ m 程度の層厚を必要とする素子構造の結晶成長を行う際に、実効的ストレス τ がゼロを超えているため、転位が発生して結晶品質が悪くなりやすいことが計算結果よりわかる。

[0066] 一方、実施の形態 2 に係る半導体受光素子 110 の一例である SACM 型 APD のように、i 型 AlInAs 増倍層 4 と p 型 AlInAs 電界緩和層 5 との間に i 型 AlInAs 歪緩和層 21 のような歪緩和層を挿入した場合は、歪緩和層と光吸収層の結晶成長の際に歪緩和層による歪緩和の効果によって、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4 の結晶成長の際に上昇した実効的ストレス τ を低減することが可能となる。つまり、歪緩和層の挿入によって、素子構造全体を結晶成長する際に、転位の発生が無い高品質な半導体結晶成長層からなる SACM 型 APD を作製することが可能となる。

[0067] 実施の形態2では、歪緩和層の一例としてi型AlInAs層を用いた。しかしながら、使用する基板に格子整合する半導体材料であれば、半導体材料はAlInAsに限定されるわけでない。また、歪緩和層は上述のようなアンドープではなく、例えばp型またはn型の導電型となるように、不純物をドーピングしていてもよい。

[0068] 素子構造全体として実効的ストレス ϵ がゼロを越えないように制御できれば、歪緩和層自体に歪がかかっている問題も無い。また、歪緩和層自体に歪がかかっている、デジタルアロイ構造の平均歪みと逆になるように素子構造全体の歪を制御すれば、さらに優れた効果を奏する。

[0069] <実施の形態2の効果>

以上、実施の形態2に係る半導体受光素子によれば、AlInAs増倍層とAlInAs電界緩和層との間にAlInAs歪緩和層を設けたので、デジタルアロイ構造からなるi型AlInAs増倍層の形成によって発生するストレスを緩和できるので、高性能でかつ信頼性の高い半導体受光素子が得られるという効果を奏する。

[0070] 実施の形態3.

<実施の形態3に係る半導体受光素子120の素子構造>

図4は、実施の形態3に係る半導体受光素子120の素子構造を表す断面図である。実施の形態3に係る半導体受光素子120の一例として、SACM型APDを挙げている。

[0071] 実施の形態3に係る半導体受光素子120は、n型InP基板2上に順次形成されたキャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ であるn型AlInAsバッファ層3と、層厚が $0.05 \sim 0.2 \mu\text{m}$ でありi型AlAs層（一例として層厚2ML）とi型InAs層（一例として層厚2ML）とを交互に複数回積層したデジタルアロイ構造からなるi型AlInAs増倍層4と、層厚15nmのi型 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{As}$ （ $x=0.25$, $y=0.218$ ）第1遷移層22と、キャリア濃度が $0.5 \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.05 \sim 0.15 \mu\text{m}$ であるp型A

ⅠⅠnAs電界緩和層5と、キャリア濃度が $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $1 \sim 1.5 \mu\text{m}$ であるn型ⅠnGaAs光吸収層6と、層厚が $0.05 \sim 1 \mu\text{m}$ であるi型AⅠⅠnAs窓層7と、キャリア濃度が $0.1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $0.5 \sim 1 \mu\text{m}$ であるn型ⅠnP窓層8と、キャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ である円環状を呈するp型ⅠnGaAsコンタクト層9と、で構成される。

[0072] 実施の形態3に係る半導体受光素子120は、さらに、n型ⅠnP窓層8及びi型AⅠⅠnAs窓層7の一部に設けられたZn選択拡散領域10と、Zn選択拡散領域10の表面を含むn型ⅠnP窓層8の表面に設けられたSiNx表面保護膜11と、n型ⅠnP基板2の裏面側に設けられたn型電極1と、円環状を呈するp型ⅠnGaAsコンタクト層9の表面に設けられたp型電極12と、を備える。

[0073] 実施の形態3に係る半導体受光素子120は、増倍層をデジタルアロイ構造からなるi型AⅠⅠnAs増倍層4とした点、及びi型AⅠⅠnAs増倍層4とp型AⅠⅠnAs電界緩和層5との間に、層厚15nmのi型 $\text{A}_{1-x-y}\text{Ga}_y\text{In}_{1-x-y}\text{As}$ 第1遷移層22を設けた点に特徴がある。

[0074] 実施の形態3に係る半導体受光素子120の製造方法は、エピタキシャル結晶成長の際に、デジタルアロイ構造からなるi型AⅠⅠnAs増倍層4とp型AⅠⅠnAs電界緩和層5との間にさらにi型 $\text{A}_{1-x-y}\text{Ga}_y\text{In}_{1-x-y}\text{As}$ 第1遷移層22を結晶成長する点のみが実施の形態1と異なるので、製造方法の詳細な説明は省略する。

[0075] <実施の形態3に係る半導体受光素子120の作用>

APDに光が入射して発生したフォトキャリア、つまり電子及びホールは、逆バイアスに印加された光吸収層内でそれぞれの極性とは逆の方向に移動する。光吸収層内で発生した電子は増倍層内に向けて伝導し、電界緩和層を通過した後に増倍層に到達して、増倍層内でアバランシェ増幅作用が発生する。デジタルアロイ構造からなる増倍層4を適用する場合、デジタルアロイ構造を構成する第1半導体層4a及び第2半導体層4bとして組み合わせる

半導体材料によっては、増倍層自体のバンド構造が変化して、電界緩和層5よりも伝導帯の位置が高くなるため、電子がデジタルアロイ構造からなる増倍層4へと伝導する際の電子障壁 ΔE_c となる場合がある。

[0076] このような状態では電子がデジタルアロイ構造からなる増倍層4に到達するためには、この電子障壁 ΔE_c を越えるためのエネルギーが必要となる。特に、低駆動電圧下での高速応答の際には、電子障壁 ΔE_c は電子の移動に対する障害となる可能性がある。したがって、図4に示すように、デジタルアロイ構造からなる増倍層4と電界緩和層5との間に、例えばデジタルアロイ構造からなる増倍層4のバンドギャップエネルギー E_g と電界緩和層5のバンドギャップエネルギー E_{g_b} との間のバンドギャップエネルギー E_{g_m} を有する化合物半導体材料である、層厚15nmのi型 $Al_xGa_yIn_{1-x-y}As$ ($x=0.25$, $y=0.218$) 第1遷移層22を挿入することによって、電子がデジタルアロイ構造からなる増倍層4へと伝導する際の電子障壁 ΔE_c を小さくすることが可能となるため、高速応答が可能なSACM型APDを得ることができる。

[0077] 図5は実施の形態3に係る半導体受光素子120の各層のバンドギャップエネルギーの関係を説明する図であり、図5Aは第1遷移層22が無い場合、図5Bは第1遷移層22が有る場合をそれぞれ表す図である。図5Aに示すように、電界緩和層5とデジタルアロイ構造からなる増倍層4が接している場合は、電界緩和層5からデジタルアロイ構造からなる増倍層4へと電子が移動するには、電子障壁 ΔE_c を越える必要があった。

[0078] 一方、図5Bに示すように、電界緩和層5とデジタルアロイ構造からなる増倍層4の間に第1遷移層22を設けた場合は、電界緩和層5から第1遷移層22へと電子が移動するには電子障壁 ΔE_c より小さい電子障壁 ΔE_{c1} を越えればよく、また、第1遷移層22からデジタルアロイ構造からなる増倍層4へと電子が移動するには電子障壁 ΔE_c より小さい電子障壁 ΔE_{c2} を越えればよい。以上のように、電界緩和層5とデジタルアロイ構造からなる増倍層4の間に第1遷移層22を設けることにより、実効的な電子障壁は

低減することが分かる。

[0079] すなわち、実施の形態3に係る半導体受光素子120は、デジタルアロイ構造からなる増倍層4と電界緩和層5との間に形成され、デジタルアロイ構造からなる増倍層4のバンドギャップエネルギー E_g と電界緩和層5のバンドギャップエネルギー E_{g_b} の間のバンドギャップエネルギー E_{g_m} を有し、デジタルアロイ構造からなる増倍層4の歪を緩和する第1遷移層22を備える。

[0080] 実施の形態3に係る半導体受光素子120では、第1遷移層22の一例としてi型 $Al_xGa_yIn_{1-x-y}As$ 層を用いた。しかしながら、デジタルアロイ構造からなる増倍層4のバンドギャップエネルギー E_g と電界緩和層5のバンドギャップエネルギー E_{g_b} の間のバンドギャップエネルギー値を持つ半導体材料であれば、上述の一例で示した $Al_xGa_yIn_{1-x-y}As$ 層に限定されるわけではなく、他の半導体材料でもよい。また、第1遷移層22が、デジタルアロイ構造を構成する層と同一の組成の半導体層を組み合わせると構成されていると制御が容易となる。つまり、上述の一例のように、デジタルアロイ構造が Al 、 In 、及び As で構成されている場合は、第1遷移層22も同じく、 Al 、 In 、及び As で構成すれば、結晶成長時の制御が容易となる。なお、第1遷移層22がアンドープでなく、例えばp型またはn型の導電型になるように、不純物がドーピングされていてもよい。

[0081] <実施の形態3の効果>

以上、実施の形態3に係る半導体受光素子によれば、デジタルアロイ構造からなるi型 $AlInAs$ 増倍層とp型 $AlInAs$ 電界緩和層との間にi型 $Al_xGa_yIn_{1-x-y}As$ 第1遷移層を設けたので、デジタルアロイ構造からなるi型 $AlInAs$ 増倍層と電界緩和層との間に発生する電子障壁が実効的に減少するので、キャリア伝導性が改善するため、高速動作が可能な半導体受光素子が得られるという効果を奏する。

[0082] 実施の形態4.

<実施の形態4に係る半導体受光素子130の素子構造>

図6は、実施の形態4に係る半導体受光素子130の素子構造を表す断面図である。実施の形態4に係る半導体受光素子130の一例として、SACM型APDを挙げている。

[0083] 実施の形態4に係る半導体受光素子130は、 n 型 InP 基板2上に順次形成されたキャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ である n 型 AlInAs バッファ層3と、層厚 15 nm の i 型 $\text{Al}_x\text{Ga}_{1-x-y}\text{In}_y\text{As}$ ($x=0.25$, $y=0.218$) 第2遷移層23と、層厚が $0.05 \sim 0.2 \mu\text{m}$ であり i 型 AlAs 層（一例として層厚 2 ML ）と i 型 InAs 層（一例として層厚 2 ML ）とを交互に複数回積層したデジタルアロイ構造からなる i 型 AlInAs 増倍層4と、キャリア濃度が $0.5 \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.05 \sim 0.15 \mu\text{m}$ である p 型 AlInAs 電界緩和層5と、キャリア濃度が $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $1 \sim 1.5 \mu\text{m}$ である n 型 InGaAs 光吸収層6と、層厚が $0.05 \sim 1 \mu\text{m}$ である i 型 AlInAs 窓層7と、キャリア濃度が $0.1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり層厚が $0.5 \sim 1 \mu\text{m}$ である n 型 InP 窓層8と、キャリア濃度が $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり層厚が $0.1 \sim 0.5 \mu\text{m}$ である円環状を呈する p 型 InGaAs コンタクト層9と、で構成される。

[0084] 実施の形態4に係る半導体受光素子130は、さらに、 n 型 InP 窓層8及び i 型 AlInAs 窓層7の一部に設けられた Zn 選択拡散領域10と、 Zn 選択拡散領域10の表面を含む n 型 InP 窓層8の表面に設けられた SiNx 表面保護膜11と、 n 型 InP 基板2の裏面側に設けられた n 型電極1と、円環状を呈する p 型 InGaAs コンタクト層9の表面に設けられた p 型電極12と、を備える。

[0085] 実施の形態4に係る半導体受光素子130は、増倍層をデジタルアロイ構造からなる i 型 AlInAs 増倍層4とした点、及び n 型 AlInAs バッファ層3と i 型 AlInAs 増倍層4との間に、層厚 15 nm の i 型 $\text{Al}_x\text{Ga}_{1-x-y}\text{In}_y\text{As}$ 第2遷移層23を設けた点に特徴がある。

[0086] 実施の形態4に係る半導体受光素子130の製造方法は、エピタキシャル

結晶成長の際に、 n 型 AlInAs バッファ層3と i 型 AlInAs 増倍層4との間にさらに i 型 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{As}$ 第2遷移層23を結晶成長する点のみが実施の形態1と異なるので、製造方法の詳細な説明は省略する。

[0087] <実施の形態4に係る半導体受光素子130の作用>

実施の形態3に係る半導体受光素子120では、光がAPDに入射し、光吸収層で発生したフォトキャリアの電子が電界緩和層を通過して増倍層に到達する際の電子障壁 ΔE_c についての改善効果を示した。しかしながら、デジタルアロイ構造からなる i 型 AlInAs 増倍層4自体のバンド構造では、基板側の n 型 AlInAs バッファ層3、あるいは電界緩和層5よりも伝導帯の位置が低く、電子にとって障壁となる場合がある。

[0088] このような状態ではデジタルアロイ構造からなる i 型 AlInAs 増倍層4内で増幅された電子が p 型 InGaAs コンタクト層9にキャリアとして伝導するまでに、 n 型 AlInAs バッファ層3及び n 型 InP 基板2との間に存在する電子障壁を越えるためのエネルギーが必要となり、特に、低電圧下でのSACM型APDの高速動作に対する障害となる可能性がある。

[0089] 実施の形態4に係る半導体受光素子130の一例であるSACM型APDは、図6に示すように、デジタルアロイ構造からなる i 型 AlInAs 増倍層4と n 型 AlInAs バッファ層3との間に、例えば i 型 AlInAs 増倍層4のバンドギャップエネルギー E_g と n 型 AlInAs バッファ層3のバンドギャップエネルギー E_{g_s} との間のバンドギャップエネルギー E_{g_n} 、つまり、 $E_g > E_{g_n} > E_{g_s}$ の関係となる半導体材料である $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{As}$ ($x=0.25$ 、 $y=0.218$) からなり層厚15nm程度の第2遷移層23として挿入することで、 i 型 AlInAs 増倍層4を通過した電子が p 型 InGaAs コンタクト層9へ伝導する際の電子障壁 ΔE_c を小さくすることができるため、高速動作が可能になるという効果を奏する。

[0090] 図7は実施の形態4に係る半導体受光素子における各層のバンドギャップエネルギーの関係を説明する図であり、図7Aは、第2遷移層23が無い場

合、図 7 B は第 2 遷移層 23 が有る場合をそれぞれ表す図である。図 7 A に示すように、デジタルアロイ構造からなる増倍層 4 とバッファ層 3 が接している場合は、デジタルアロイ構造からなる増倍層 4 からバッファ層 3 へと電子が移動するには電子障壁 $\Delta E_c'$ を越える必要がある。

[0091] 一方、図 7 B に示すように、デジタルアロイ構造からなる増倍層 4 とバッファ層 3 の間に第 2 遷移層 23 を設けた場合は、デジタルアロイ構造からなる増倍層 4 から第 2 遷移層 23 へと電子が移動するには電子障壁 $\Delta E_c'$ より小さい電子障壁 ΔE_{c3} を越えればよく、また、第 2 遷移層 23 からバッファ層 3 へと電子が移動するには電子障壁 $\Delta E_c'$ より小さい電子障壁 ΔE_{c4} を越えればよい。以上のように、デジタルアロイ構造からなる増倍層 4 とバッファ層 3 との間に第 2 遷移層 23 を設けることにより、実効的な電子障壁は低減することが分かる。

[0092] さらに、上述の i 型 $Al_xGa_yIn_{1-x-y}As$ 第 2 遷移層 23 の挿入によって、デジタルアロイ構造からなる i 型 $AlInAs$ 増倍層 4 で蓄積されたストレスが低減するという効果も同様に奏する。

[0093] 実施の形態 4 では、第 2 遷移層 23 を構成する半導体材料の一例として i 型 $Al_xGa_yIn_{1-x-y}As$ 層を適用したが、第 2 遷移層 23 のバンドギャップエネルギー E_{g_n} 、 i 型 $AlInAs$ 増倍層 4 のバンドギャップエネルギー E_g 、及び n 型 $AlInAs$ バッファ層 3 のバンドギャップエネルギー E_{g_s} との間で、 $E_g > E_{g_n} > E_{g_s}$ の関係が成立する半導体材料であれば同様に適用可能である。また、第 2 遷移層 23 が、デジタルアロイ構造を構成する層と同じ組成の層を組み合わせで構成されていると制御が容易となる。さらに、第 2 遷移層 23 が一例のようなアンドープでなく、例えば p 型または n 型の導電型となるように、不純物をドーピングしていてもよい。

[0094] <実施の形態 4 の効果>

以上、実施の形態 4 に係る半導体受光素子によれば、デジタルアロイ構造からなる増倍層と n 型バッファ層との間に第 2 遷移層を設けたので、デジタルアロイ構造からなる増倍層と n 型バッファ層との間に発生する電子障壁が

減少する結果、キャリア伝導性が改善するため、高速動作が可能な半導体受光素子が得られるという効果を奏する。

[0095] 実施の形態5.

＜実施の形態5に係る半導体受光素子140の素子構造＞

図8は、実施の形態5に係る半導体受光素子140の素子構造を表す断面図である。実施の形態1に係る半導体受光素子140の一例として、SACM型APDを挙げている。

[0096] 実施の形態5に係る半導体受光素子140の各層の構成は、実施の形態1に係る半導体受光素子100の各層の構成と基本的には同一であるが、デジタルアロイ構造からなるi型AlInAs増倍層4dの細部の構成が異なる。したがって、以下では、デジタルアロイ構造からなるi型AlInAs増倍層4dの構成のみを説明する。

[0097] デジタルアロイ構造からなるi型AlInAs増倍層4dは、層厚が0.05～0.2 μ mであり、i型AlAs層（一例として層厚2ML）とi型InAs層（一例として層厚2ML）とを交互に複数回積層したものであるが、図8に示すように、デジタルアロイ構造からなるi型AlInAs増倍層4dとして最後に積層した層、つまり最表面側の層がi型AlAs層となる。かかる構成を適用するのは、デジタルアロイ構造からなるi型AlInAs増倍層4dを構成する2つの層であるi型AlAs層及びi型InAs層について、両者の中でバンドギャップエネルギーがより大きい方であるi型AlAs層を最表面側の層とするためである。

[0098] 以下に、より一般的に説明する。

デジタルアロイ構造からなるi型AlInAs増倍層4dを構成する、半導体材料がそれぞれ異なる2層が、第1半導体層4a及び第2半導体層4bであるとする。ここで、第1半導体層4aのバンドギャップエネルギー E_{g1} は、第2半導体層4bのバンドギャップエネルギー E_{g2} よりも大きい、つまり、 $E_{g1} > E_{g2}$ 、とする。なお、上述の一例では、バンドギャップエネルギー E_{g1} が2.12eVであるAlAs層が第1半導体層4a、バンドギャ

ップエネルギー E_{g2} が 0.36 eV である InAs 層が第2半導体層 4b となる。

[0099] デジタルアロイ構造からなる i 型 AlInAs 増倍層 4d は、層厚が $0.05 \sim 0.2\text{ }\mu\text{m}$ であり、第1半導体層 4a と第2半導体層 4b とを交互に複数回積層したものであるが、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4d として最後に積層した層、つまり最表面側の層が第1半導体層 4a となる。すなわち、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4d において p 型 AlInAs 電界緩和層 5 に対向する層は、第1半導体層 4a となる。

[0100] 実施の形態 5 に係る半導体受光素子 140 の製造方法は、実施の形態 1 に係る半導体受光素子 100 の製造方法とほぼ同一なので、製造方法の詳細な説明は省略する。

[0101] <実施の形態 5 の作用>

n 型 InP 基板 2 に垂直方向の電界強度分布を図 9 に示す。SACM 型 APD ではキャリアがアバランシェ増倍されるように、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4d にかかる電界強度を大きくする。一方、 n 型 InGaAs 光吸収層 6 においてはキャリアが増倍しないようにするため、 n 型 InGaAs 光吸収層 6 の電界強度を低減させるために、 p 型 AlInAs 電界緩和層 5 を用いて電界強度を制御する。この場合、 i 型 AlInAs 増倍層 4d の最大電界強度 E_{max} は、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4d のバンドギャップエネルギー E_g と、以下の式 (4) に表される関係にある。

[0102] [数4]

$$\text{数4} \quad E_{\text{max}} \propto (E_g/1.1)^{\frac{3}{2}} \quad (4)$$

[0103] 式 (4) から、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4d のバンドギャップエネルギー E_g が大きいほど最大電界強度 E_{max} も大きくなるので、SACM 型 APD として制御できる電圧を大きく取れることが分か

る。例えば、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4 d を、 InAs 層と AlAs 層の 2 元化合物半導体材料で構成する場合、バンドギャップエネルギーがより大きい AlAs 層をデジタルアロイ構造の最表面層とすることで、素子全体における最大電界強度 E_{max} を大きくすることができる。

[0104] 図 10 は、デジタルアロイ構造からなる i 型 AlInAs 増倍層 4 d の最表面層を AlAs 層とした場合と、 InAs 層とした場合の最大電界強度 E_{max} を比較したものである。図 10 から、最表面層を AlAs 層とした場合の最大電界強度 E_{max} は $4.4 \times 10^5 \text{ kV/cm}$ であるのに対して、最表面層を InAs 層とした場合の最大電界強度 E_{max} は $3.8 \times 10^5 \text{ kV/cm}$ であり、最表面層を AlAs 層とする方が、より大きい最大電界強度 E_{max} が得られることが分かる。

[0105] また、バンドギャップエネルギーがより大きい半導体材料が増倍層の最表面に存在することで、局所的な電界が電界緩和層と増倍層との界面で発生した場合でも、電界に対する耐性が強くなり、さらに、キャリア伝導を阻害する電子障壁 ΔE_c も小さくすることが可能となる。

[0106] 実施の形態 5 では、一例としてデジタルアロイ構造からなる i 型 AlInAs 増倍層 4 d における AlAs 層を最表面層とする構成について説明した。しかしながら、デジタルアロイ構造からなる増倍層を構成する 2 種類の半導体層の中で、バンドギャップエネルギーがより大きい方の半導体層を最表面層にすれば同様の効果を奏する。また、半導体材料は限定しなくても、バンドギャップエネルギーの大小関係を満たせば、同様の効果を奏する。

[0107] デジタルアロイ構造からなる増倍層を構成する 2 種類の半導体層は、上述の一例で示したような 2 元化合物半導体材料に限定されるものではなく、例えば、 $\text{Al}_x\text{In}_{1-x}\text{As}$ のような 3 元化合物半導体材料、あるいは $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{As}$ のような 4 元化合物半導体材料でもよい。さらに、増倍層は一例に示したようなアンドープでなく、例えば p 型または n 型の導電型となるように不純物をドーピングしてもよい。

[0108] <実施の形態5の効果>

以上、実施の形態5に係る半導体受光素子によれば、デジタルアロイ構造からなる増倍層を構成する2種類の半導体層の中で、バンドギャップエネルギーが大きい方の半導体層を最表面層としたので、デジタルアロイ構造からなる増倍層内における最大電界強度が大きくなり、動作可能な電圧の制御幅を広げることができるため、高速動作が可能な半導体受光素子が得られるという効果を奏する。

[0109] 本開示は、様々な例示的な実施の形態及び実施例が記載されているが、1つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

[0110] 従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

符号の説明

[0111] 1 n型電極、2 n型InP基板、3 n型AlInAsバッファ層、4 i型AlInAs増倍層、4a 第1半導体層、4b 第2半導体層、5 p型AlInAs電界緩和層、6 n型InGaAs光吸収層、7 i型AlInAs窓層、8 n型InP窓層、9 p型InGaAsコンタクト層、10 Zn選択拡散領域、11 SiNx表面保護膜、12 p型電極、21 i型AlInAs歪緩和層、22 i型 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{As}$ 第1遷移層、23 i型 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{As}$ 第2遷移層、100、110、120、130、140 半導体受光素子

請求の範囲

- [請求項1] 半導体基板と、
- 前記半導体基板上に形成され、単原子層の N 倍（ $1 \leq N \leq 20$ ）の層厚からなる第1半導体層、及び単原子層の M 倍（ $1 \leq M \leq 20$ ）の層厚からなり前記第1半導体層よりもバンドギャップエネルギーが小さい第2半導体層が交互に複数回積層されたデジタルアロイ構造からなり、フォトキャリアを増幅させる増倍層と、
- 前記増倍層上に形成され、入射光を吸収して前記フォトキャリアを生成する光吸収層と、
- 前記増倍層と前記光吸収層との間に形成された電界緩和層と、
- を備える半導体受光素子。
- [請求項2] 前記第1半導体層の層厚が単原子層の N 倍（ $1 \leq N \leq 5$ ）であり、前記第2半導体層の層厚が単原子層の M 倍（ $1 \leq M \leq 5$ ）の層厚であることを特徴とする請求項1に記載の半導体受光素子。
- [請求項3] 前記第1半導体層と前記第2半導体層とを交互に積層する積層回数が5回以上300回以下であることを特徴とする請求項1または2に記載の半導体受光素子。
- [請求項4] 前記第1半導体層及び前記第2半導体層は、それぞれ A | A_s 層及び InA_s 層であることを特徴とする請求項1から3のいずれか1項に記載の半導体受光素子。
- [請求項5] 前記光吸収層は、 $InGaAs$ によって構成されることを特徴とする請求項1から4のいずれか1項に記載の半導体受光素子。
- [請求項6] 前記増倍層と前記電界緩和層との間に形成され、前記増倍層の歪を緩和する歪緩和層をさらに備えることを特徴とする請求項1から5のいずれか1項に記載の半導体受光素子。
- [請求項7] 前記歪緩和層は、前記増倍層を構成する半導体材料と同一の組成の半導体材料からなることを特徴とする請求項6に記載の半導体受光素子。

- [請求項8] 前記歪緩和層は、 AlInAs によって構成されることを特徴とする請求項6または7に記載の半導体受光素子。
- [請求項9] 前記増倍層と前記電界緩和層との間に形成され、前記増倍層のバンドギャップエネルギーと前記電界緩和層のバンドギャップエネルギーの間のバンドギャップエネルギー値を有し、前記増倍層の歪を緩和する第1遷移層をさらに備えることを特徴とする請求項1から5のいずれか1項に記載の半導体受光素子。
- [請求項10] 前記第1遷移層は、 AlGaInAs によって構成されることを特徴とする請求項9に記載の半導体受光素子。
- [請求項11] 前記半導体基板と前記増倍層との間に形成されたバッファ層と、
前記増倍層と前記バッファ層との間に、前記増倍層のバンドギャップエネルギーと前記バッファ層のバンドギャップエネルギーの間のバンドギャップエネルギー値を有し、前記増倍層の歪を緩和する第2遷移層と、をさらに備えることを特徴とする請求項1から5のいずれか1項に記載の半導体受光素子。
- [請求項12] 前記第2遷移層は、 AlGaInAs によって構成されることを特徴とする請求項11に記載の半導体受光素子。
- [請求項13] 前記増倍層において前記電界緩和層に対向する層は、前記第1半導体層であることを特徴とする請求項1から5のいずれか1項に記載の半導体受光素子。
- [請求項14] n 型 InP 基板上に、 n 型 AlInAs バッファ層と、単原子層の N 倍 ($1 \leq N \leq 20$) の層厚からなる AlAs 層、及び単原子層の M 倍 ($1 \leq M \leq 20$) の層厚からなる InAs 層が交互に複数回積層されたデジタルアロイ構造からなる AlInAs 増倍層と、 p 型 AlInAs 電界緩和層と、 n 型 InGaAs 光吸収層と、 i 型 AlInAs 窓層と、 n 型 InP 窓層と、 p 型 InGaAs コンタクト層と、を順次エピタキシャル結晶成長する工程と、
前記 n 型 InP 窓層及び i 型 AlInAs 窓層の一部に Zn 選択拡

散領域を形成する工程と、
を備える半導体受光素子の製造方法。

[請求項15] 前記エピタキシャル結晶成長はMOVPE法またはMBE法によって行われることを特徴とする請求項14に記載の半導体受光素子の製造方法。

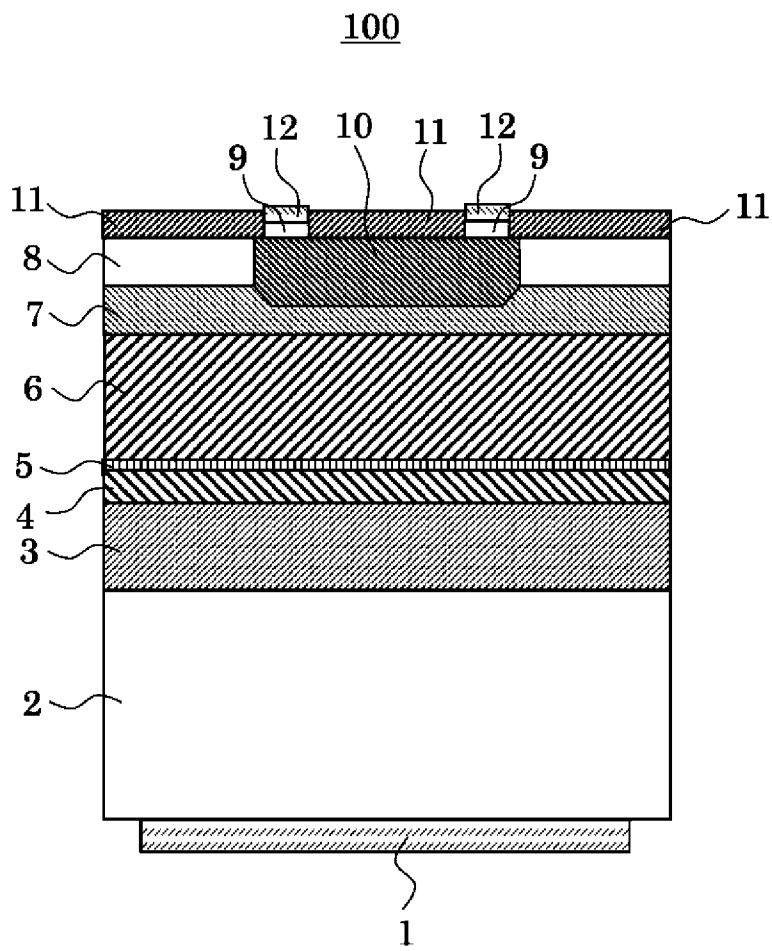
[請求項16] 前記エピタキシャル結晶成長はMOVPE法によって行われ、結晶成長温度は500℃以上600℃以下の範囲内であることを特徴とする請求項14に記載の半導体受光素子の製造方法。

[請求項17] 前記AlAs層の層厚が単原子層のN倍（ $1 \leq N \leq 5$ ）であり、前記InAs層の層厚が単原子層のM倍（ $1 \leq M \leq 5$ ）の層厚であることを特徴とする請求項14から16のいずれか1項に記載の半導体受光素子の製造方法。

[請求項18] 前記AlAs層と前記InAs層とを交互に積層する積層回数が5回以上300回以下であることを特徴とする請求項14から17のいずれか1項に記載の半導体受光素子の製造方法。

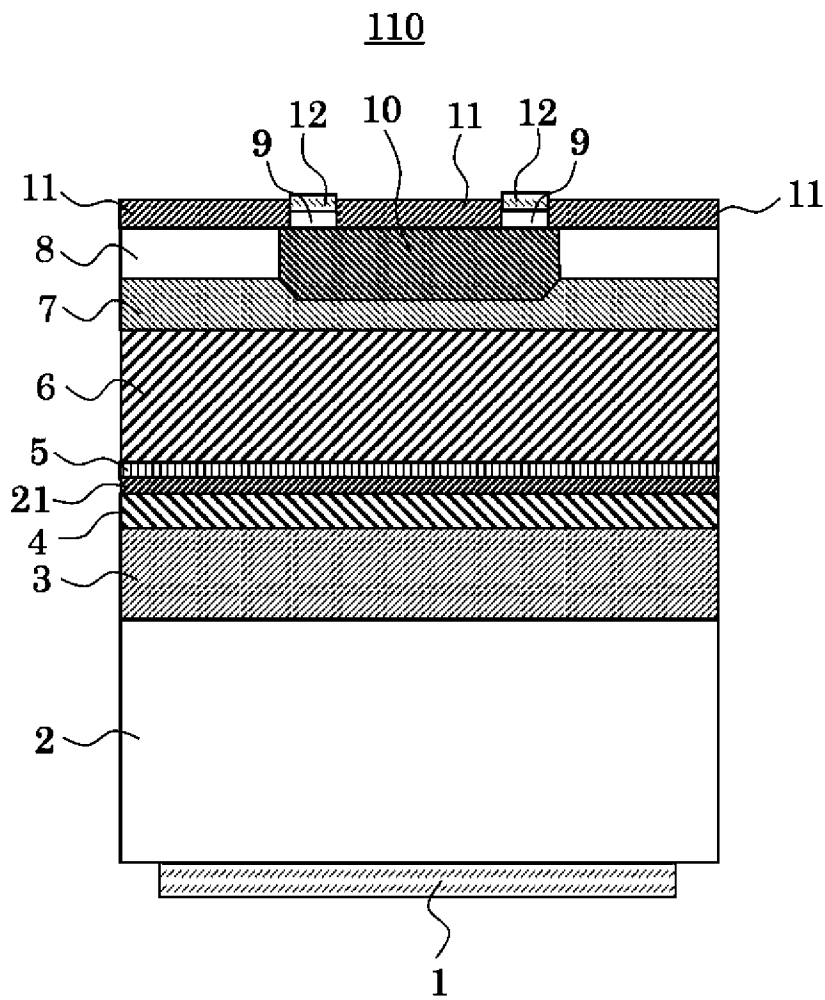
[図1]

図1



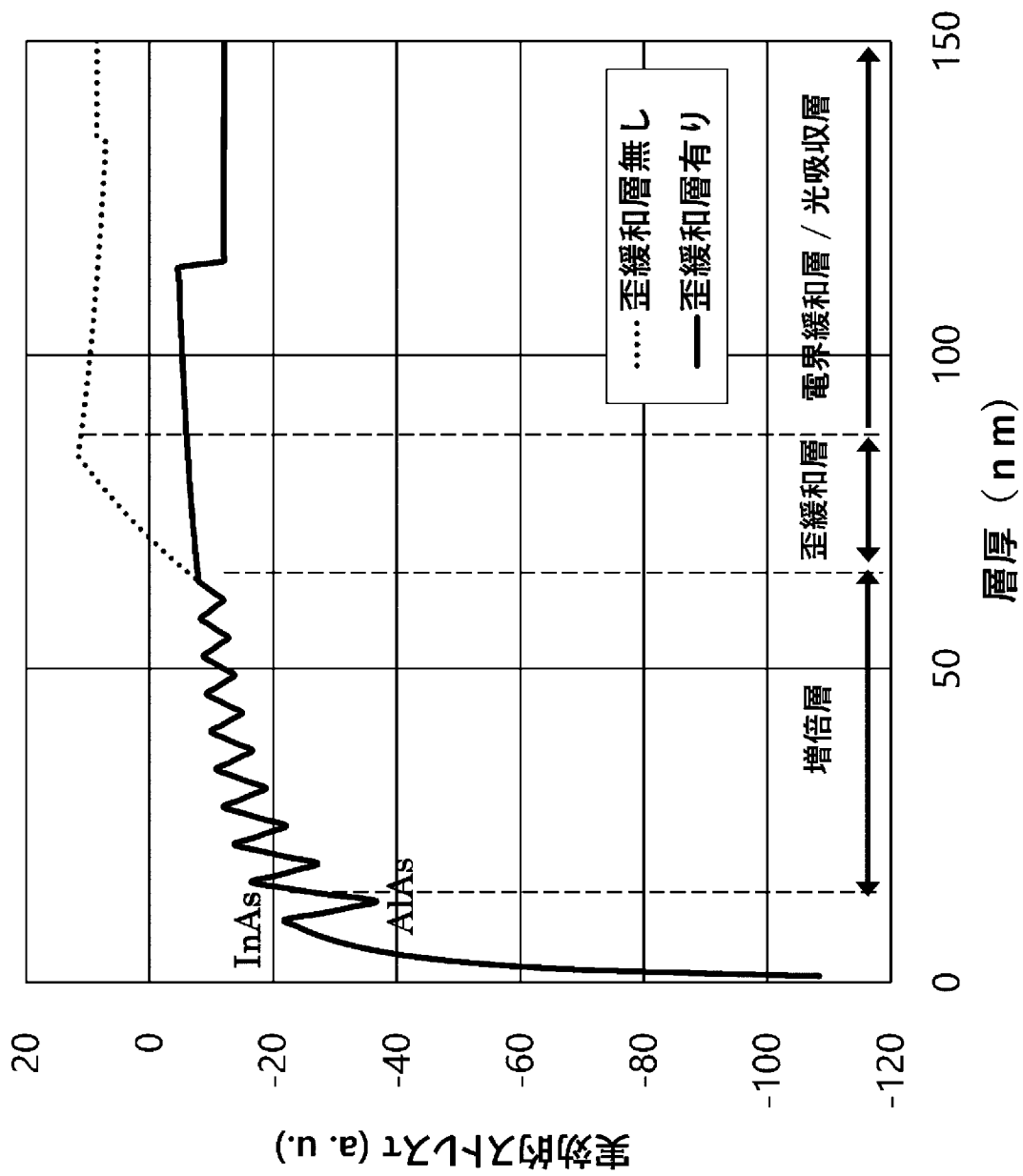
[図2]

図2



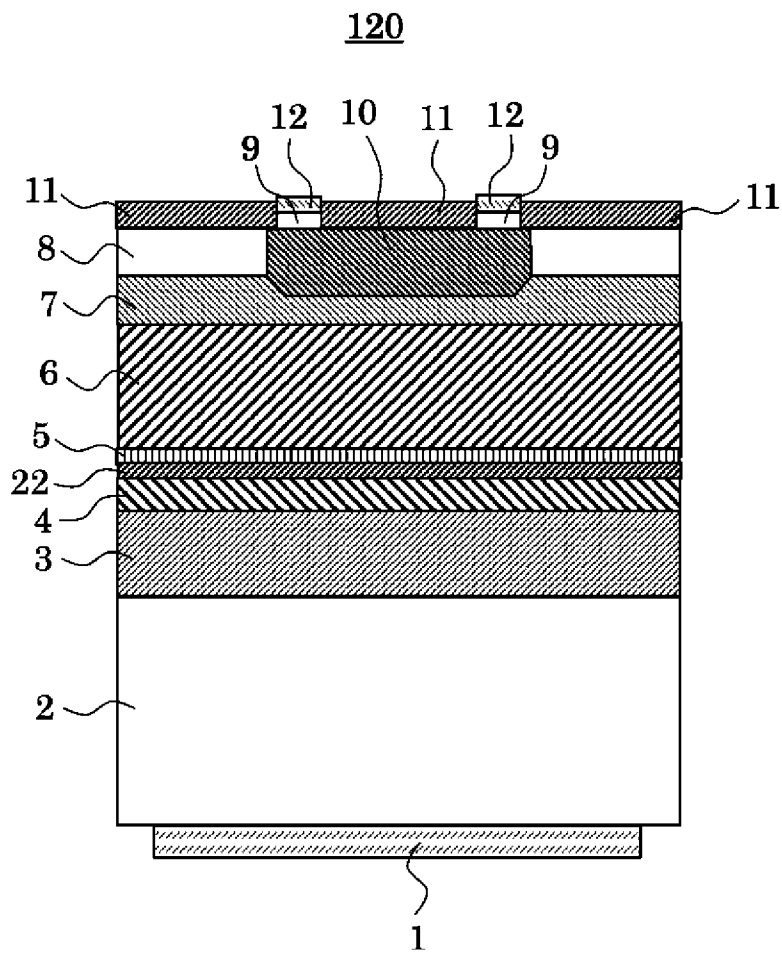
[図3]

図3



[図4]

図4



[図5]

図5

図 5 A

第 1 遷移層無し

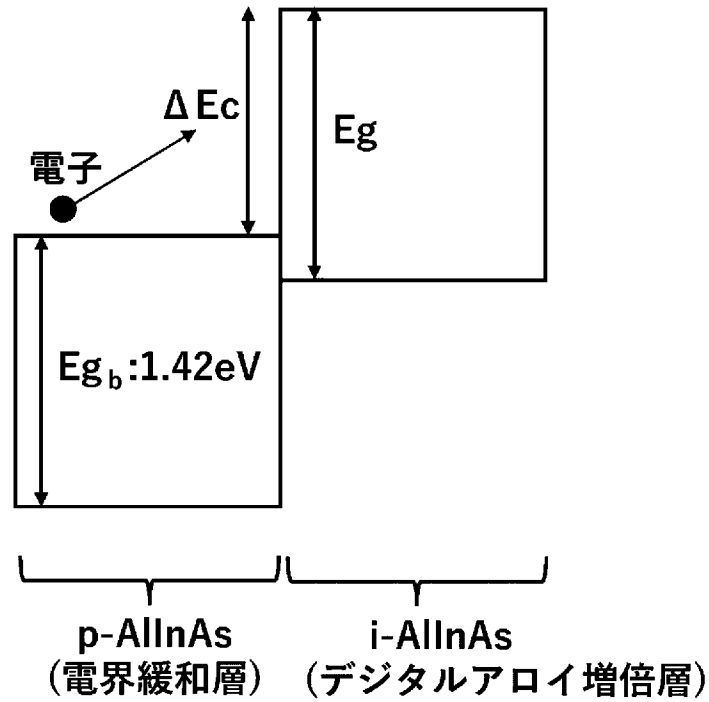
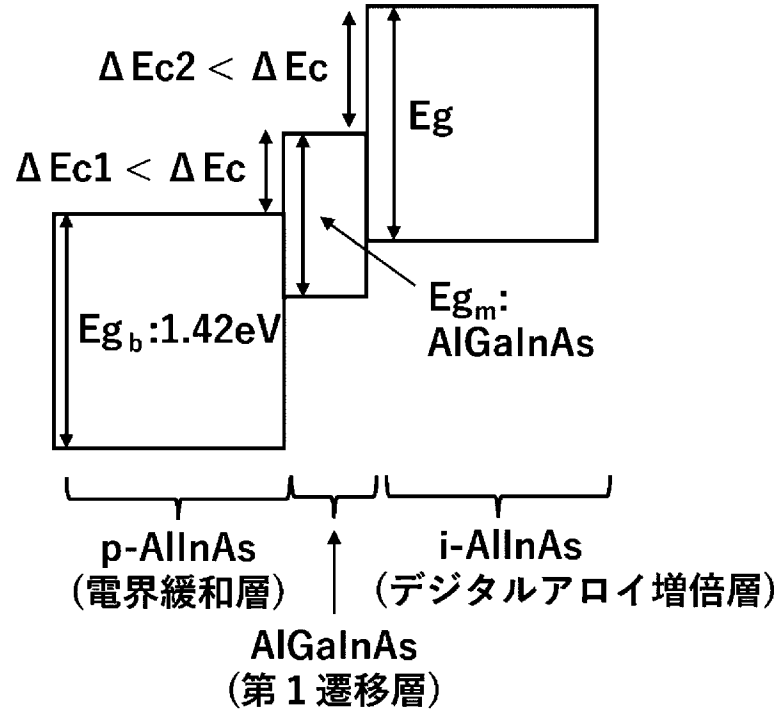


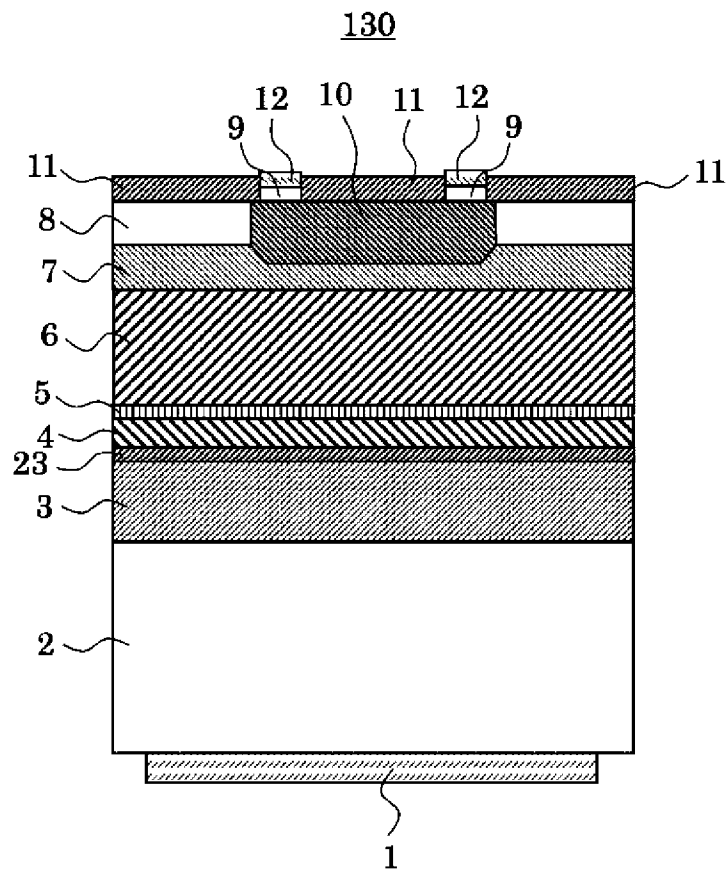
図 5 B

第 1 遷移層有り



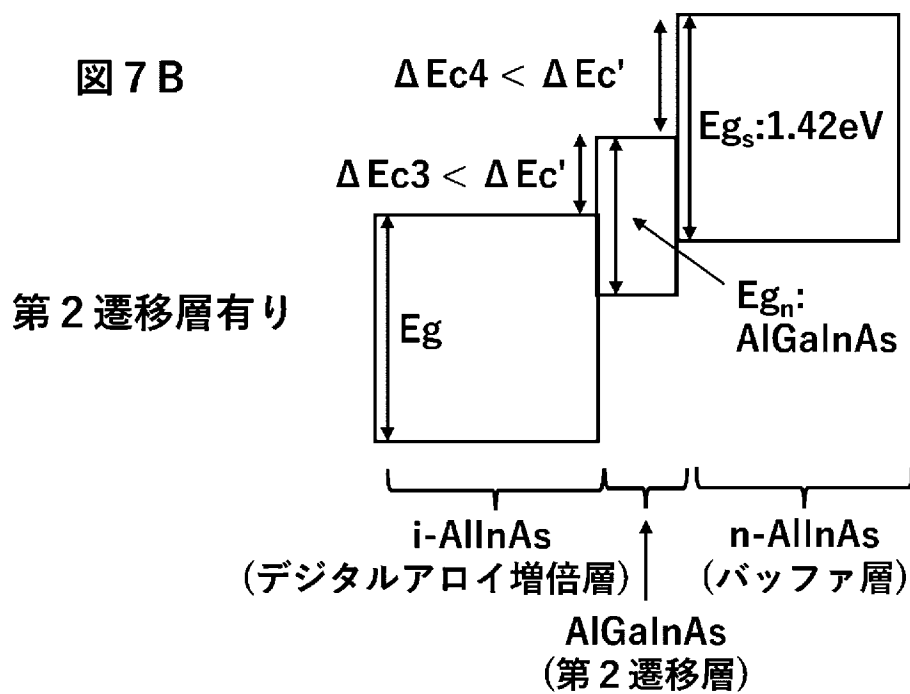
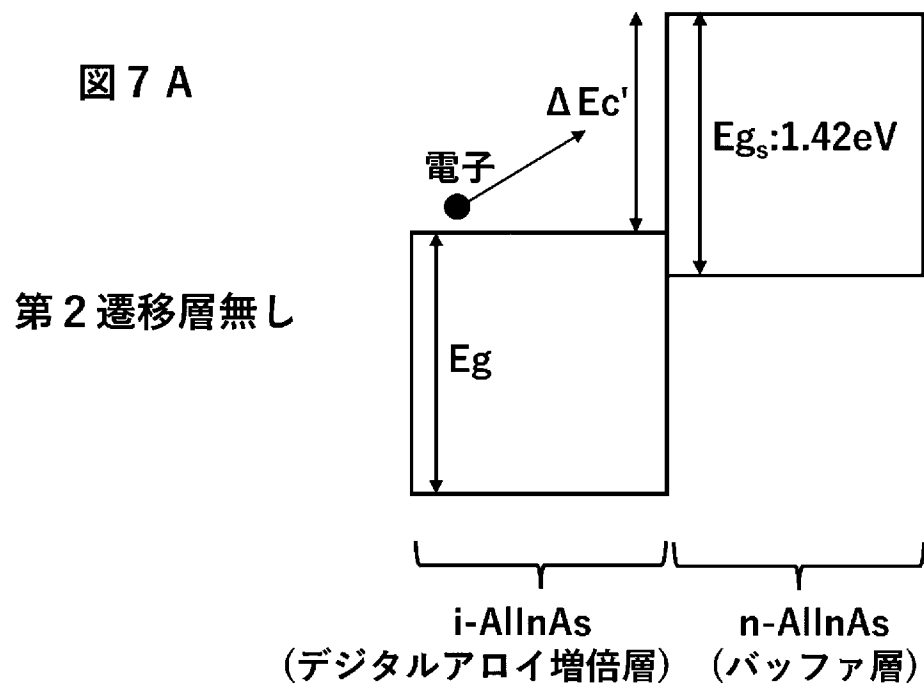
[図6]

図6



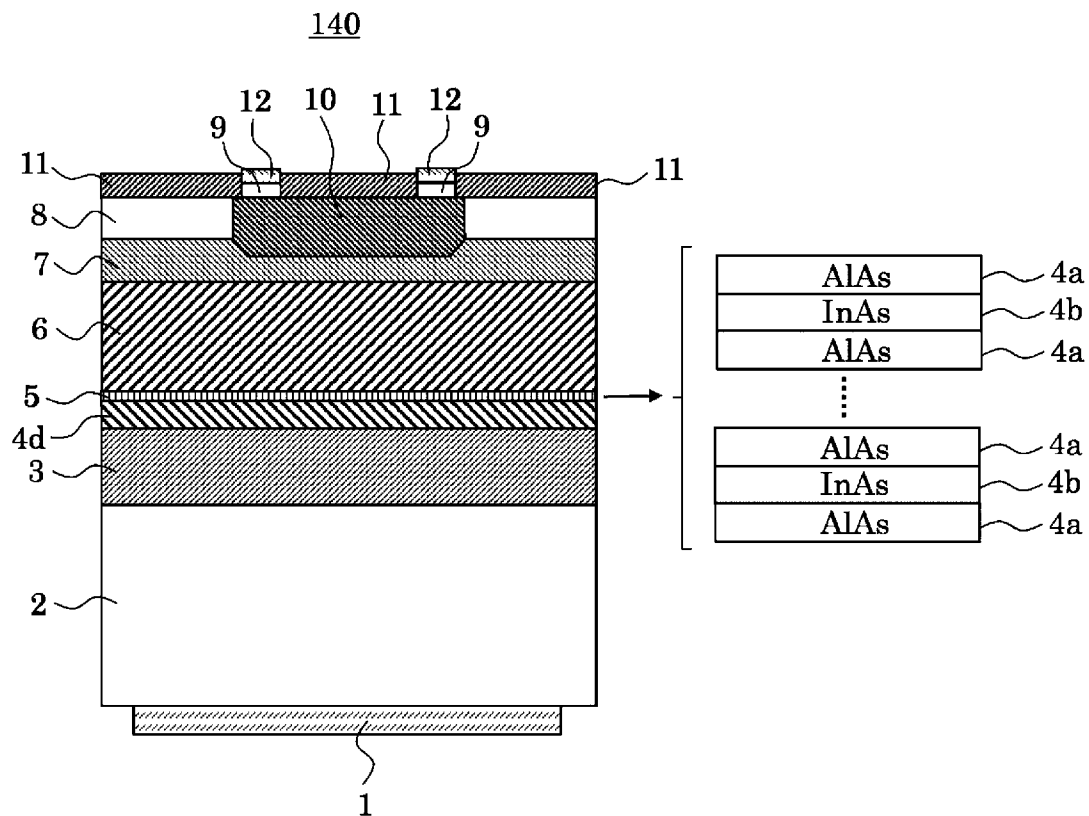
[図7]

図7



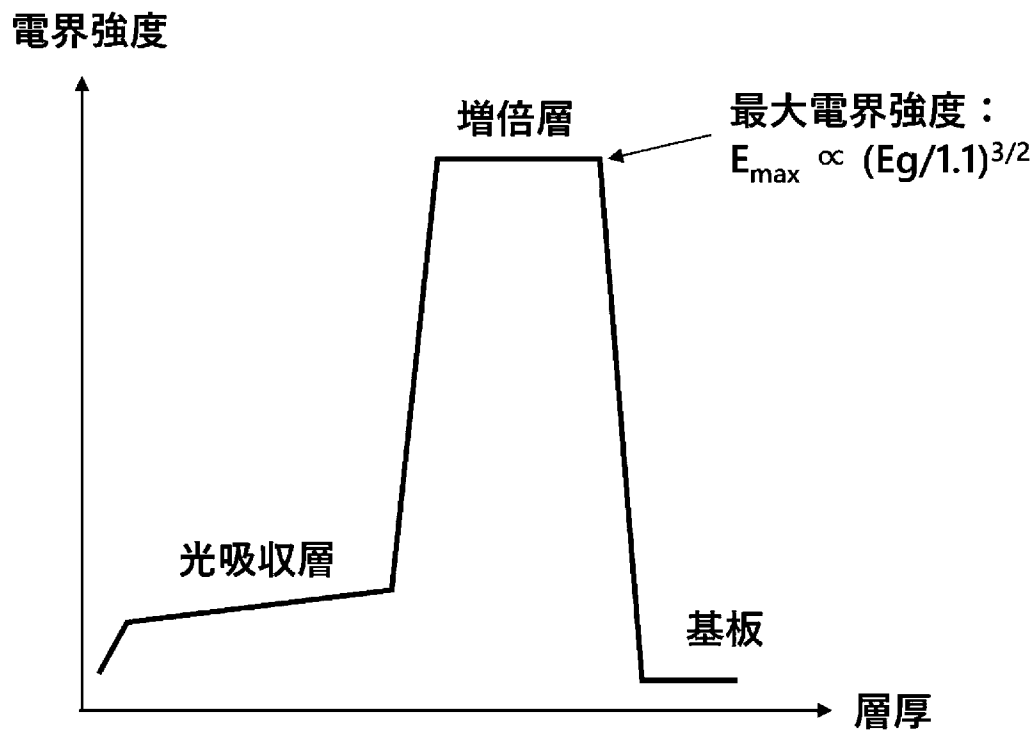
[図8]

図8



[図9]

図9



[図10]

図10

デジタルアロイ構造 (AlInAs) の最表面層	AlAs層	InAs層
バンドギャップエネルギー [eV]	2.12	0.36
最大電界強度 : $E_{\max}$ [kV/cm]	4.4×10^5	3.8×10^5

最大電界強度はSACM型APDで計算した例

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/024800

A. CLASSIFICATION OF SUBJECT MATTER**H01L 31/107**(2006.01)i

FI: H01L31/10 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/00-31/0392; H01L31/08-31/119; H01L31/18-31/20; H01L51/42-51/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-99467 A (MITSUBISHI ELECTRIC CORP) 29 May 2014 (2014-05-29)	1-5, 13-18
A	paragraphs [0010]-[0017], [0022]-[0032], fig. 1, 6	6-12
Y	US 2017/0244002 A1 (UNIVERSITY OF VIRGINIA PATENT FOUNDATION) 24 August 2017 (2017-08-24)	1-5, 13-18
A	paragraphs [0009], [0035], [0062], [0073], fig. 1	6-12
Y	ZHENG, Jiyuan et al. Digital Alloy InAlAs Avalanche Photodiodes. JOURNAL OF LIGHTWAVE TECHNOLOGY. 12 July 2018, vol. 36, no. 17, 01 September, pp. 3580-3585, DOI:10.1109/JLT.2018.2844114	1-5, 13-18
A	p. 3581, left column, lines 13-19, fig. 1(a)	6-12
Y	WO 2006/123410 A1 (MITSUBISHI ELECTRIC CORP) 23 November 2006 (2006-11-23)	14-18
	paragraphs [0029]-[0030], [0037], fig. 1	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 August 2022

Date of mailing of the international search report

30 August 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/024800**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7024918 B1 (MITSUBISHI ELECTRIC CORP) 24 February 2022 (2022-02-24) paragraphs [0011], [0040], fig. 1	14-18
A	JP 2018-152369 A (MITSUBISHI ELECTRIC CORP) 27 September 2018 (2018-09-27) entire text, all drawings	1-18
A	JP 7-335934 A (MITSUBISHI ELECTRIC CORP) 22 December 1995 (1995-12-22) entire text, all drawings	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/024800

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-99467	A	29 May 2014	US 2014/0131827 A1 paragraphs [0015]-[0024], [0030]-[0049], fig. 1, 6 CN 103811586 A	
US	2017/0244002	A1	24 August 2017	(Family: none)	
WO	2006/123410	A1	23 November 2006	US 2008/0191240 A1 paragraphs [0048]-[0050], [0059], fig. 1 CN 101180740 A	
JP	7024918	B1	24 February 2022	(Family: none)	
JP	2018-152369	A	27 September 2018	US 2018/0259387 A1 entire text, all drawings	
JP	7-335934	A	22 December 1995	DE 19520223 A1 entire text, all drawings FR 2721439 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/107(2006.01)i FI: H01L31/10 B														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L31/00-31/0392; H01L31/08-31/119; H01L31/18-31/20; H01L51/42-51/48 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 2014-99467 A（三菱電機株式会社）29.05.2014（2014-05-29） 段落 [0010] - [0017]、[0022] - [0032] 及び図1、6	1-5, 13-18 6-12												
Y A	US 2017/0244002 A1（UNIVERSITY OF VIRGINIA PATENT FOUNDATION）24.08.2017 （2017-08-24） 段落 [0009]、[0035]、[0062]、[0073] 及び図1	1-5, 13-18 6-12												
Y A	ZHENG, Jiyuan et al., Digital Alloy InAlAs Avalanche Photodiodes, JOURNAL OF LIGHTWAVE TECHNOLOGY, 2018.07.12, VOL. 36, NO. 17, SEPTEMBER 1, pp.3580-3585, DOI:10.1109/JLT.2018.2844114 第3581頁左欄13-19行及び図1（a）	1-5, 13-18 6-12												
Y	WO 2006/123410 A1（三菱電機株式会社）23.11.2006（2006-11-23） 段落 [0029] - [0030]、[0037] 及び図1	14-18												
Y	JP 7024918 B1（三菱電機株式会社）24.02.2022（2022-02-24） 段落 [0011]、[0040] 及び図1	14-18												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 参考文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 参考文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 参考文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 02.08.2022		国際調査報告の発送日 30.08.2022												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 桂城 厚 2K 1764 電話番号 03-3581-1101 内線 3255												

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-152369 A (三菱電機株式会社) 27.09.2018 (2018 - 09 - 27) 全文、全図	1-18
A	JP 7-335934 A (三菱電機株式会社) 22.12.1995 (1995 - 12 - 22) 全文、全図	1-18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/024800

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-99467	A	29.05.2014	US 2014/0131827 A1 段落 [0015] - [0024]、[0030] - [0049] 及び図 1、6 CN 103811586 A	
US	2017/0244002	A1	24.08.2017	(ファミリーなし)	
WO	2006/123410	A1	23.11.2006	US 2008/0191240 A1 段落 [0048] - [0050]、[0059] 及び図 1 CN 101180740 A	
JP	7024918	B1	24.02.2022	(ファミリーなし)	
JP	2018-152369	A	27.09.2018	US 2018/0259387 A1 全文、全図	
JP	7-335934	A	22.12.1995	DE 19520223 A1 全文、全図 FR 2721439 A1	