



(12) 发明专利

(10) 授权公告号 CN 109585475 B

(45) 授权公告日 2023. 06. 06

(21) 申请号 201811143651.0

(22) 申请日 2018.09.29

(65) 同一申请的已公布的文献号
申请公布号 CN 109585475 A

(43) 申请公布日 2019.04.05

(30) 优先权数据
2017-192050 2017.09.29 JP

(73) 专利权人 佳能株式会社
地址 日本东京

(72) 发明人 樱井克仁 高田佳明 白井誉浩
小林秀央 中村恒一 吉田大介
乾文洋

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038
专利代理师 张劲松

(51) Int.Cl.

H01L 27/146 (2006.01)

H01L 25/16 (2023.01)

(56) 对比文件

US 2013215290 A1, 2013.08.22

JP 2014519703 A, 2014.08.14

CN 101848344 A, 2010.09.29

CN 103730455 A, 2014.04.16

审查员 孙宁宁

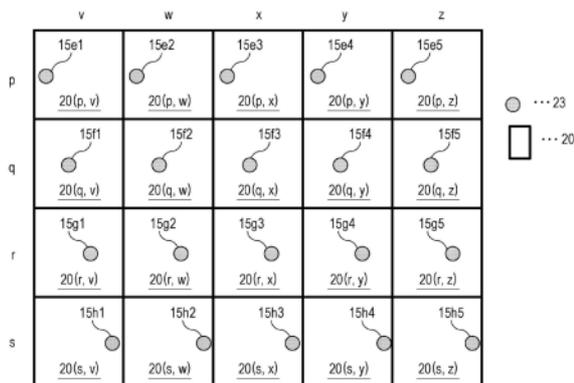
权利要求书4页 说明书19页 附图33页

(54) 发明名称

半导体装置和器械

(57) 摘要

本发明公开了半导体装置和器械。半导体装置包括第一芯片和第二芯片的堆叠,第一芯片和第二芯片各自具有以矩阵形式布置的多个像素电路。第a行第e1列的像素电路连接到第p行第v列的电路。第a行第f1列的像素电路连接到第q行第v列的电路。第a行第g1列的像素电路连接到第r行第v列的电路。第a行第h1列的像素电路连接到第s行第v列的电路。



1. 一种半导体装置,所述半导体装置包括第一芯片和第二芯片的堆叠,所述第一芯片具有以J行K列的矩阵形式布置的多个像素电路,所述第二芯片具有以T行U列的矩阵形式布置的多个电路,

其中所述多个电路中的每一个电路具有第一部分和第二部分,并且所述第一部分连接到所述多个像素电路中的至少两个像素电路和所述第二部分,并且所述第一部分被配置为从所述两个像素电路顺次地选择像素电路以连接到所述第二部分,

其中所述多个像素电路中的第a1行第e1列的像素电路连接到所述多个电路中的第p行第v列的电路,

其中所述多个像素电路中的第a2行第f1列的像素电路连接到所述多个电路中的第q行第v列的电路,

其中所述多个像素电路中的第a3行第g1列的像素电路连接到所述多个电路中的第r行第v列的电路,

其中所述多个像素电路中的第a4行第h1列的像素电路连接到所述多个电路中的第s行第v列的电路,并且

$T < J$ 且 $U < K$, $a1 < a2 < a3 < a4$, $f1$ 和 $g1$ 是 $e1$ 与 $h1$ 之间的整数,并且 q 和 r 是 p 与 s 之间的整数。

2. 根据权利要求1所述的半导体装置,

其中所述多个像素电路中的第b1行第e1列的像素电路连接到所述第p行第v列的电路,

其中所述多个像素电路中的第b2行第f1列的像素电路连接到所述第q行第v列的电路,

其中所述多个像素电路中的第b3行第g1列的像素电路连接到所述第r行第v列的电路,

其中所述多个像素电路中的第b4行第h1列的像素电路连接到所述第s行第v列的电路,

并且

其中 $a4 < b1 < b2 < b3 < b4$ 。

3. 根据权利要求1所述的半导体装置,

其中所述多个像素电路中的第b1行第e2列的像素电路连接到所述多个电路中的第p行第w列的电路,

其中所述多个像素电路中的第b2行第f2列的像素电路连接到所述多个电路中的第q行第w列的电路,

其中所述多个像素电路中的第b3行第g2列的像素电路连接到所述多个电路中的第r行第w列的电路,

其中所述多个像素电路中的第b4行第h2列的像素电路连接到所述多个电路中的第s行第w列的电路,

其中 $a4 < b1 < b2 < b3 < b4$, 并且

其中 $f2$ 和 $g2$ 是 $e2$ 与 $h2$ 之间的整数。

4. 根据权利要求3所述的半导体装置,

其中所述多个像素电路中的第a1行第e2列的像素电路连接到所述第p行第w列的电路,

其中所述多个像素电路中的第a2行第f2列的像素电路连接到所述第q行第w列的电路,

其中所述多个像素电路中的第a3行第g2列的像素电路连接到所述第r行第w列的电路,

并且

其中所述多个像素电路中的第a4行第h2列的像素电路连接到所述第s行第w列的电路。

5. 根据权利要求1所述的半导体装置,所述半导体装置还包括:
形成于所述第一芯片中的绝缘膜的凹部中多个第一导电部分,和
形成于所述第二芯片中的绝缘膜的凹部中多个第二导电部分,
其中所述多个第一导电部分中的每一个与所述多个第二导电部分中的相应一个接触。
6. 根据权利要求1所述的半导体装置,其中 $e1 < f1 < g1 < h1$ 且 $p < q < r < s$ 。
7. 根据权利要求1所述的半导体装置,
其中所述多个像素电路中的第c1行第e1列的像素电路连接到所述多个电路中的第p2
行第v列的电路,
其中所述多个像素电路中的第c2行第f1列的像素电路连接到所述多个电路中的第q2
行第v列,
其中所述多个像素电路中的第c3行第g1列的像素电路连接到所述多个电路中的第r2
行第v列的电路,
其中所述多个像素电路中的第c4行第h1列的像素电路连接到所述多个电路中的第s2
行第v列的电路,
其中 $c1 < c2 < c3 < c4$,并且
其中q2和r2是p2与s2之间的整数。
8. 根据权利要求1所述的半导体装置,其中 $J \leq T \times U < J \times K / 2$ 。
9. 根据权利要求3所述的半导体装置,其中依次执行第一输出、第二输出、以及第三输出,所述第一输出用于从所述多个电路中的一个电路输出基于由第a1行第e1列的像素电路生成的信号的信号,所述第二输出用于从所述多个电路中的一个电路输出基于由第a1行第e2列的像素电路生成的信号的信号,所述第三输出用于从所述多个电路中的一个电路输出基于由第a2行第e1列的像素电路生成的信号的信号。
10. 根据权利要求9所述的半导体装置,其中,与所述第一输出并行地,从所述多个电路中的一个电路基于由第a1行第f1列的像素电路生成的信号的信号。
11. 根据权利要求1所述的半导体装置,
其中,在所述多个电路的行对准的方向上,第一读出电路被放置在所述多个电路与所述第二芯片的第一侧之间并且接收从所述多个电路中的两个或更多个电路输出的信号,并且
其中,在所述多个电路的行对准的方向上,第二读出电路被放置在所述多个电路与所述第二芯片的第二侧之间并且接收从所述多个电路中的另外两个或更多个电路输出的信号。
12. 根据权利要求1所述的半导体装置,
其中所述第二芯片在所述多个电路的列对准的方向上具有大于33mm的宽度,并且所述第二芯片具有接口电路,并且
其中U是偶数,并且所述接口电路不被放置在所述多个电路中的第U/2列的电路与所述第一芯片的外边缘之间,或者
U是奇数,并且所述接口电路不被放置在所述多个电路中的第(U+1)/2列的电路与所述第二芯片的外边缘之间。
13. 根据权利要求1所述的半导体装置,其中所述多个电路中的每一个电路的所述第二

部分包括模数转换器。

14. 根据权利要求13所述的半导体装置, 其中所述模数转换器是逐次逼近寄存器模数转换器。

15. 根据权利要求2所述的半导体装置,

其中第a1行第e1列的像素电路是第一像素电路,

其中第b1行第e1列的像素电路是第二像素电路,

其中第a2行第e1列的像素电路是第三像素电路,

其中第b2行第e1列的像素电路是第四像素电路,

其中所述第一像素电路和第二像素电路通过第一信号线能够连接到所述第p行第v列的电路, 并且

其中所述第三像素电路和第四像素电路通过不同于所述第一信号线的第二信号线能够连接到所述第p行第v列的电路。

16. 根据权利要求15所述的半导体装置, 其中所述第p行第v列的电路的所述第一部分被配置为能够在所述第一信号线与所述第p行第v列的电路的所述第一部分之间的连接和所述第二信号线与所述第p行第v列的电路的所述第一部分之间的连接之间进行切换。

17. 根据权利要求16所述的半导体装置, 其中所述多个电路中的每一个电路具有放大晶体管 and 选择晶体管,

其中所述第一像素电路的放大晶体管通过所述第一像素电路的选择晶体管能够连接到所述第一信号线, 并且

其中所述第二像素电路的放大晶体管通过所述第二像素电路的选择晶体管能够连接到所述第一信号线。

18. 根据权利要求1所述的半导体装置, 其中在所述多个电路中的每一个电路中, 所述第一部分包括多路复用器。

19. 根据权利要求18所述的半导体装置, 其中所述多个电路中的每一个电路具有连接到所述第一部分的第三部分, 并且其中所述第三部分包括感测放大器。

20. 一种半导体装置, 所述半导体装置包括:

第一芯片和第二芯片的堆叠, 所述第一芯片具有以J行K列的矩阵形式布置的多个像素电路, 所述第二芯片具有以T行U列的矩阵形式布置的多个电路,

其中所述多个电路中的每一个电路处理由所述多个像素电路生成的信号,

其中所述多个像素电路中的第a行第e1列的像素电路连接到所述多个电路中的第p行第v列的电路,

其中所述多个像素电路中的第a行第f1列的像素电路连接到所述多个电路中的第q行第v列的电路,

其中所述多个像素电路中的第a行第g1列的像素电路连接到所述多个电路中的第r行第v列的电路,

其中所述多个像素电路中的第a行第h1列的像素电路连接到所述多个电路中的第s行第v列的电路,

其中所述多个像素电路中的第a行第e2列的像素电路连接到所述多个电路中的第s行第w列的电路,

其中所述多个像素电路中的第a行第f2列的像素电路连接到所述多个电路中的第r行第w列的电路,并且

其中 $T < J$ 且 $U < K$, $v < w$, $f1$ 和 $g1$ 是 $e1$ 与 $h1$ 之间的整数, q 和 r 是 p 与 s 之间的整数, 并且 $g1 < h1 < e2 < f2$ 。

21. 根据权利要求20所述的半导体装置, 所述半导体装置还包括:

形成于所述第一芯片中的绝缘膜的凹部中多个第一导电部分, 和

形成于所述第二芯片中的绝缘膜的凹部中多个第二导电部分,

其中所述多个第一导电部分中的每一个与所述多个第二导电部分中的相应一个接触。

22. 根据权利要求20所述的半导体装置,

其中所述多个像素电路中的第b行第e1列的像素电路连接到所述第p行第v列的电路,

其中所述多个像素电路中的第b行第f1列的像素电路连接到所述第q行第v列的电路,

其中所述多个像素电路中的第b行第g1列的像素电路连接到所述第r行第v列的电路,

并且

其中所述多个像素电路中的第b行第h1列的像素电路连接到所述第s行第v列的电路。

23. 根据权利要求20所述的半导体装置,

其中所述多个像素电路中的第a行第h2列的像素电路连接到所述多个电路中的第p行第w列的电路,

其中所述多个像素电路中的第a行第e3列的像素电路连接到所述多个电路中的第p行第x列的电路,

其中所述多个像素电路中的第a行第f3列的像素电路连接到所述多个电路中的第q行第x列的电路, 并且

其中 $f2 < h2 < e3 < f3$ 且 $w < x$ 。

24. 根据权利要求20所述的半导体装置, 其中 $e2 = h1 + 1$ 。

25. 根据权利要求20所述的半导体装置, 其中 $T = e2 - e1$ 。

26. 一种包括根据权利要求1至25中任一项所述的半导体装置的器械, 所述器械还包括以下中的至少一些:

被配置为被聚焦在所述半导体装置上的光学系统、被配置为控制所述半导体装置的控制装置、被配置为处理从所述半导体装置输出的信号的处理装置、被配置为基于由所述半导体装置获得的信息而被控制的机械装置、被配置为显示由所述半导体装置获得的信息的显示装置、以及被配置为存储由所述半导体装置获得的信息的存储器装置。

半导体装置和器械

技术领域

[0001] 实施例的一个公开方面涉及具有多个芯片的堆叠的半导体装置。

背景技术

[0002] 具有包括像素电路的芯片和包括被配置为处理来自像素电路的信号电路的芯片的堆叠的成像装置可以用于大大改善成像装置的价值。日本专利公开No.2012-104684和日本专利公开No.2013-51674公开了堆叠其上具有多个列电路的基板和其上具有像素单元的基板。

[0003] 被配置为处理信号的电路根据该电路的位置可以具有变化的特性。根据电路与像素电路之间的对应关系,由于该电路的这样的变化的特性,所得到的图像可能具有不均匀性(阴影)。

发明内容

[0004] 一种半导体装置,所述半导体装置包括第一芯片和第二芯片的堆叠,所述第一芯片具有以J行K列的矩阵形式布置的多个像素电路(pixel circuit),所述第二芯片具有以T行U列的矩阵形式布置的多个电路(electric circuit)。所述多个电路中的每一个电路具有第一部分和第二部分。所述第一部分连接到所述多个像素电路中的至少两个像素电路和所述第二部分。所述第一部分被配置为从所述两个像素电路顺次地选择像素电路以连接到所述第二部分。所述多个像素电路中的第a行第e1列像素电路连接到所述多个电路中的第p行第v列的电路。所述多个像素电路中的第a行第f1列像素电路连接到所述多个电路中的第q行第v列的电路。所述多个像素电路中的第a行第g1列的像素电路连接到所述多个电路中的第r行第v列的电路。所述多个像素电路中的第a行第h1列的像素电路连接到所述多个电路中的第s行第v列的电路。 $T < J$ 且 $U < K$,f1和g1是e1与h1之间的整数,并且q和r是p与s之间的整数。

[0005] 从参考附图的示例性实施例的以下描述,本公开的进一步特征将变得清楚。

附图说明

[0006] 图1A和1B是示出半导体装置的实施例的示意图。

[0007] 图2A和2B是示出半导体装置的实施例的示意图。

[0008] 图3A和3B是示出半导体装置的实施例的示意图。

[0009] 图4A和4B是示出半导体装置的实施例的示意图。

[0010] 图5A和5B是示出半导体装置的实施例的示意图。

[0011] 图6A和6B是示出半导体装置的实施例的示意图。

[0012] 图7是示出半导体装置的实施例的示意图。

[0013] 图8是示出半导体装置的实施例的示意图。

[0014] 图9是示出半导体装置的实施例的示意图。

- [0015] 图10A和10B是示出半导体装置的实施例的示意图。
- [0016] 图11A和11B是示出半导体装置的实施例的示意图。
- [0017] 图12A和12B是示出半导体装置的实施例的示意图。
- [0018] 图13A和13B是示出半导体装置的实施例的示意图。
- [0019] 图14A和14B是示出半导体装置的实施例的示意图。
- [0020] 图15是示出半导体装置的实施例的示意图。
- [0021] 图16是示出半导体装置的实施例的示意图。
- [0022] 图17是示出半导体装置的实施例的示意图。
- [0023] 图18是示出半导体装置的实施例的示意图。
- [0024] 图19A和19B是示出半导体装置的实施例的示意图。
- [0025] 图20A至20D是示出半导体装置的实施例的示意图。
- [0026] 图21A至21C是示出半导体装置的实施例的示意图。

具体实施方式

[0027] 下面将参考附图描述用于体现本公开的模式。贯穿以下描述和多个附图,同样的编号指同样的部分。将相互参考多个附图来描述共同的配置,并且将省略对由同样的编号所指的同样的部分的任何重复描述。

[0028] 图1A示出了半导体装置APR。半导体装置APR的全部或一部分是作为芯片1和芯片2的层叠构件的半导体装置IC。根据这个实施例的半导体装置APR是可以用作例如图像传感器、AF(自动聚焦)传感器、测光传感器或测距传感器的光电转换装置。半导体装置APR包括芯片1和芯片2的堆叠。芯片1具有矩阵形式的多个像素电路10。芯片2具有矩阵形式的多个电路20。可以在关于芯片2的芯片1的相对侧提供不同芯片的另一个堆叠。另一个芯片可以具有DRAM单元格(cell)阵列。DRAM单元格阵列可以存储由多个电路20处理的信号。

[0029] 芯片1包括半导体层11和布线结构12。半导体层11具有包括在多个像素电路10中的多个半导体元件(未示出)。布线结构12包括M个布线层(未示出),这M个布线层包括在多个像素电路10中。芯片2包括半导体层21和布线结构22。半导体层21包括多个半导体元件(未示出),这多个半导体元件包括在多个电路20中。布线结构22包括N个布线层(未示出),这N个布线层包括多个电路20。

[0030] 布线结构12设置在半导体层11和半导体层21之间。布线结构22设置在布线结构12和半导体层21之间。

[0031] 像素电路10包括光电转换元件,其细节将在下面描述,并且通常还包括放大元件。电路20是具有用于处理来自像素电路10的信号的功能的电路。电路20还可以包括除用于信号处理的功能以外的功能。

[0032] 图1B示出了包括半导体装置APR的器械(equipment)EQP。半导体装置IC具有像素区域PX,像素区域PX具有像素CCT,像素CCT包括矩阵形式的像素电路10。像素CCT可以包括光电转换元件、放大元件、微透镜和滤色器。半导体装置IC可以具有围绕像素区域PX的周边区域PR。周边区域PR可以具有不包括像素电路10的电路。除了半导体装置IC之外,半导体装置APR还可以包括容纳半导体装置IC的封装PKG。器械EQP可以包括光学系统OPT、控制设备CTRL、处理设备PRCS、显示装置DSPL、存储设备MMRY和机械装置MCHN中的至少一个。将详细

描述器械EQP。

[0033] 第一实施例

[0034] 参考图2A和2B,将描述第一实施例。图2A示出了在芯片1中以J行K列的矩阵形式的多个像素电路10的布置。实际地, $J \geq 100, K \geq 100$,并且更优选地, $J \geq 1000, K \geq 1000$ 。像素电路10具有J行,其依次包括第a1行至第a4行、第b1行至第b4行、第c1行至第c4行、第d1行至第d4行。第a1行至第a4行依次包括第a1行、第a2行、第a3行和第a4行,它们被统称为第a行。第b1行至第b4行被统称为第b行,第c1行至第c4行被统称为第c行,并且第d1行至第d4行被统称为第d行。a、b、c、d是正整数,其中 $a < b < c < d$ 。a1、a2、a3和a4是正整数,其中 $a1 < a2 < a3 < a4$ 。例如,当图2A中所示的多个像素电路10全部是像素电路10时, $a1 = 1, a2 = 2, a3 = 3, a4 = 4, b1 = 5, b4 = 8, c1 = 9, c4 = 12, d1 = 13$,并且 $d4J = 16$ 。以下描述假设第a1行至第d4行是邻接的行。当行彼此邻接时, $a2 = 1 + a1, a3 = 1 + a2, a4 = 1 + a3$,并且 $b1 = 1 + a4, c1 = 1 + b4, d1 = 1 + c4$ 。但是,这并不否定两行之间存在未示出的行。

[0035] 像素电路10具有K列,其依次包括第e1列、第f1列、第g1列、第h1列、第e2列、第f2列、第g2列和第h2列。换句话说,e1、f1、g1、h1、e2、f2、g2和h2是正整数,其中 $e1 < f1 < g1 < h1 < e2 < f2 < g2 < h2$ 。而且 $h2 < e3 < f3 < g3 < h3 < e4 < f4 < g4 < h4$ 。例如,在图2A中所示的多个像素电路10全部是像素电路10的情况下, $e1 = 1, f1 = 2, g1 = 3, h1 = 4, e2 = 5, f2 = 6, g2 = 7, h2 = 8, h5 = K = 20$ 。为了便于描述,第e1至第h5行彼此相邻。在列彼此相邻的情况下, $f1 = 1 + e1, g1 = 1 + f1, h1 = 1 + g1, e2 = 1 + h4, e3 = 1 + h2, e4 = 1 + h3, e5 = 1 + h4$ 。但是,这并不否定两列之间存在未示出的列。

[0036] 在以下描述中,第a行第b列的像素电路10由像素电路10(a,b)表示。由像素电路10的行和列形成的角度不限于90度,而是可以在60到120度的范围内,并且行和列可以以平行四边形矩阵布置。

[0037] 同一列的两个或更多个像素电路10共同连接到信号线14。信号线14沿着同一列的像素电路10对准的方向延伸。例如,第e1列的像素电路10(a1,e1)、10(b1,e1)、10(c1,e1)和10(d1,e1)连接到共同的信号线14。虽然同一列的所有像素电路10可以共同连接到一条信号线14,但是同一列的像素电路10中的两个或更多个像素电路10可以共同连接到多条信号线14。例如,第e1列的像素电路10(a2,e1)、10(b2,e1)、10(c2,e1)和10(d2,e1)可以共同连接到与像素电路10(a1,e1)连接到的信号线14不同的信号线14。连接到多条信号线14的多个像素电路10从像素电路10顺次地选择以被读取到信号线14并且被读出。来自同一列的像素电路10的信号被并行地读出到多条信号线14,以提高信号读取的速度。

[0038] 图2B示出了在芯片2中以T行U列的矩阵形式布置的多个电路20。这里, $T < J$,并且 $U < K$ 。更实际地, $T \geq 10$ 且 $U \geq 10$,并且更优选地, $T \leq 1000$ 且 $U \leq 1000$ 。电路20的第T行依次包括第p行、第q行、第r行和第s行。换句话说,p、q、r、s是正整数,其中 $p < q < r < s$ 。例如,图2B中所示的多个电路20全部是电路20, $p = 1, q = 2, r = 3, s = T = 4$ 。以下描述假设第p行至第s行彼此邻接。当行邻接时, $q = 1 + p, r = 1 + q, s = 1 + r$ 。但是,这并不否定两行之间存在未示出的行。

[0039] 电路20的U列依次包括第v列、第w列、第x列、第y列和第z列。换句话说,v、w、x、y和z是正整数,其中 $v < w < x < y < z$ 。例如,当图2B中所示的多个电路20全部是电路20时, $v = 1, w = 2, x = 3, y = 4, z = U = 5$ 。以下描述假设第v列至第z列彼此邻接。当列彼此邻接时, $w = 1 + v, x = 1 + w, y = 1 + x, z = 1 + y$ 。但是,这并不否定两列之间存在未示出的列。

[0040] 在以下描述中,第 γ 行第 δ 列的电路20由电路20(γ, δ)表示。由电路20的行和列形成的角度不限于90度,而是可以在60到120度的范围内,并且行和列可以以平行四边形矩阵布置。

[0041] 第 v 列的电路20包括第 p 行电路20(p, v)、第 q 行电路20(q, v)、第 r 行电路20(r, v)和第 s 行电路20(s, v)。第 w 列的电路20包括第 p 行电路20(p, w)、第 q 行电路20(q, w)、第 r 行电路20(r, w)和第 s 行电路20(s, w)。

[0042] 多个像素电路10中的每一个连接到多个电路20中的一个。布线结构12具有多个导电体13,如图2A中所示,布线结构22具有多个导电体23,如图2B中所示。导电体13和导电体23接合,使得多个像素电路10中的每一个可以通过导电体13和导电体23电连接到多个电路20。

[0043] 连接到同一电路20的一组像素电路10被称为像素组15。根据这个示例,像素组15包括 J 个像素电路10。在一个像素组15中,属于该一个像素组15的所有像素电路10连接到同一电路20。不包括在除该像素组15以外的像素组15中的像素电路10不连接到该同一电路20。根据这个实施例,同一列的像素电路10中的多个像素电路10包括在像素组15中。根据这个实施例,同一列的所有像素电路10属于一个像素组15。例如,第 e_1 列的所有像素电路10属于像素组15 e_1 。参考图2A,包括在第 β 列的像素电路10中的像素组15由像素组15 β (其中 β 是 e_1, f_1, e_2 等)表示。

[0044] 图2B示出了电路20中的每一个通过与电路20对应的导电体23连接到多个像素组15中的哪个像素组15。例如,电路20(p, v)连接到像素组15 e_1 ,并且电路20(q, v)连接到像素组15 f_1 。电路20(r, v)连接到像素组15 f_1 ,并且电路20(s, v)连接到像素组15 g_1 。例如,电路20(p, w)连接到像素组15 e_2 ,电路20(q, w)连接到像素组15 f_2 。电路20(r, w)连接到像素组15 g_2 ,并且电路20(s, w)连接到像素组15 h_2 。例如,电路20(p, x)连接到像素组15 e_3 ,并且电路20(q, x)连接到像素组15 f_3 。电路20(r, x)连接到像素组15 g_3 ,并且电路20(s, x)连接到像素组15 h_3 。

[0045] 在图2A和2B中所示的示例中,同一列的所有像素电路10属于同一像素组15。因此,第 e_1 列的所有像素电路10连接到电路20(p, v),并且第 f_1 列的所有像素电路10连接到电路20(q, v)。第 g_1 列的所有像素电路10连接到电路20(r, v),并且第 h_1 列的所有像素电路10连接到电路20(s, v)。第 e_2 列的所有像素电路10连接到电路20(p, w),并且第 f_2 列的所有像素电路10连接到电路20(q, w)。第 g_2 列的所有像素电路10连接到电路20(r, w),并且第 h_2 列的所有像素电路10连接到电路20(s, w)。第 e_3 列的所有像素电路10连接到电路20(p, x),第 f_3 列的所有像素电路10连接到电路20(q, x)。第 g_3 列的所有像素电路10连接到电路20(r, x),并且第 h_3 列的所有像素电路10连接到电路20(s, x)。

[0046] 在这个实施例中,因为 $e_1 < f_1 < g_1 < h_1, p < q < r < s$,所以对于具有同一列编号的电路20,随着像素电路10的列编号增加,要连接的电路20的行编号增加。

[0047] 将描述多个像素电路10与多个电路20之间的连接关系。在图2A和图2B中所示的示例中,第 a 列的所有像素电路10连接到电路20(i, j),第 b 列的所有像素电路10连接到电路20(k, j),并且第 c 列的所有像素电路10连接到电路20(s, j)。第 d 列的所有像素电路10连接到电路20(i, r),第 e 列的所有像素电路10连接到电路20(k, r),并且第 f 列中的所有像素电路10连接到电路20(s, r)。第 g 列的所有像素电路10连接到电路20(i, t),第 h 列的所有像素电

路10连接到电路20 (k, t), 第q列的所有像素电路10连接到电路20 (s, t)。

[0048] 根据这个实施例, 因为 $e_1 < f_1 < g_1 < h_1$, 所以对于具有同一列编号的电路20, 随着像素电路10的列编号增加, 要连接的电路20的行编号增加。

[0049] 因为 $h_1 < e_2$, 所以随着像素电路10的列编号增加 (从第 h_1 列到第 e_2 列), 要连接的电路20的列编号改变 (从第 v 列到第 w 列)。分配到同一列电路20的像素电路10的列数是 $e_2 - e_1$, 其等于包括在同一列中的电路20的行数 $T (T = e_2 - e_1)$ 。换句话说, 对于等于 T 的像素电路10的每个列数, 要连接的电路20的列改变。

[0050] 根据这个实施例, 用于 $T-1$ 列的像素电路10存在于连接到同一行 (诸如第 p 行) 且邻接列 (诸如第 v 列和第 w 列) 的电路20的两个像素电路10 (诸如第 e_1 列和第 e_2 列) 之间。

[0051] K 列的像素电路10被分配到每列的电路20中的一个。因此, $T \times U = K$ 。为了增加信号处理的并行度, $J \leq K$ 是有利的。因此, $J \leq T \times U$ 。因为 $T < J, U < K$, 所以 $T \times U < J \times K$ 。因此, 满足 $T \times U - K < J \times K - T \times U$ 。对此进行变形, $T \times U < (J+1) \times K/2$ 。因此, 因为 $J+1 \approx J$, 所以 $T \times U < J \times K/2$ 。因此, 当采用根据这个实施例的连接方法时, 满足 $J \leq T \times U < J \times K/2$ 是有利的。

[0052] 第一实施例的构思是减小邻接列 (诸如第 e_1 列和第 f_1 列) 的像素电路10连接到的两个电路20之间的距离。换句话说, 接近的像素电路10中的每一个连接到接近的电路20。更具体地, 这将通过聚焦于同一行 (诸如第 a 行) 的4列 (诸如第 e_1 列至第 h_1 列) 的像素电路10和连接到四列的像素电路10的同一列 (诸如第 v 列) 的四行 (诸如第 p 行至第 s 行) 的电路20进行描述。4列的像素电路10中的中间列 (第 f_1 列、第 g_1 列) 的像素电路10比用于4列的像素电路10中的列 (第 e_1 列、第 h_1 列) 的像素电路10接近两端的列 (第 e_1 列、第 h_1 列) 的像素电路10。用于4行的电路20中的中间行 (第 q 行、第 r 行) 的电路20比用于4行的电路20中的行 (第 p 行、第 s 行) 的电路20更接近两端的行 (第 p 行、第 s 行) 的电路20。然后, 用于4列的像素电路10中的中间列 (第 f_1 列、第 g_1 列) 的像素电路10连接到用于4行的电路20中的中间列 (第 q 列、第 r 列) 的电路20。因此, 用于4列的像素电路10的次序与连接到用于4列的像素电路10的用于4行的电路20的次序相似或匹配。这可以导致对由电路20执行的信号处理的特性的差异的较小影响。关于用于四行的电路20, 中间行的电路20与一端的行的电路20之间的特性差异以及中间行的电路20与另一端的电路20之间的特性差异被称为第一特性差异。一端的行的电路20与另一端的行的电路20之间的特性差异被称为第二特性差异。特性差异可以由布线长度造成, 并且电路20的两个特性差异与距离成比例。因此, 第一特性差异小于第二特性差异。关于用于4列的像素电路10, 中间列的像素电路10与一端的列的像素电路10之间的输出差异以及中间列的像素电路10与另一端的列的像素电路10之间的输出差异与第一特性差异对应。因此, 为了减小与两个像素电路10对应的信号输出差异, 随着两个像素电路10之间的距离减小, 可以减小对应的两个电路20之间的距离。作为结果, 可以获取具有较小阴影的高质量图像。

[0053] 这与 f_1 和 g_1 是 e_1 和 h_1 之间的整数并且 q 和 r 是 p 和 s 之间的整数的事实对应。特别地, g_1 可以是 f_1 和 h_1 之间的整数, 并且 r 可以是 q 和 s 之间的整数。 f_1 可以是 e_1 和 g_1 之间的整数, 并且 q 可以是 p 和 r 之间的整数。已经示例性地描述了第 a 行的像素电路10与第 v 列的电路20之间的关系, 在第 b 行、第 c 行、第 d 行中同样成立, 并且在第 w 列、第 x 列、第 y 列、第 z 列中同样成立。

[0054] 第二实施例

[0055] 参考图3A和3B,将描述第二实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。图3A示出了像素电路10的布置,像图2A一样,图3B示出了电路20的布置,像图2B一样。根据第二实施例,第w列和第y列的电路20之间的连接关系与第一实施例的连接关系不同。

[0056] 同一列的所有像素电路10属于同一像素组15。因此,第g1列的所有像素电路10连接到电路20(r,v),并且第h1列的所有像素电路10连接到电路20(s,v)。第e2列的所有像素电路10连接到电路20(s,w),并且第f2列的所有像素电路10连接到电路20(r,w)。第g2列的所有像素电路10连接到电路20(q,w),并且第h2列的所有像素电路10连接到电路20(p,w)。第e3列的所有像素电路10连接到电路20(p,x),并且第f3列的所有像素电路10连接到电路20(q,x)。第g3列的所有像素电路10连接到电路20(r,x),并且第h3列的所有像素电路10连接到电路20(s,x)。

[0057] 关于第e1列至第h1列的像素电路10,随着像素电路10的列编号增加,对应电路20的行编号从第p行增加到第s行。但是,关于第e2列至第h2列的像素电路10,随着像素电路10的列编号增加,对应电路20的行编号从第s行减小到第p行。关于第e3列至第h3列的像素电路10,随着像素电路10的列编号增加,对应电路20的行编号从第p行增加到s行。关于第e4列至第h4列的像素电路10,随着像素电路10的列编号增加,对应电路20的行编号相应地从第s行增加到第p行。以这种方式,根据像素电路10的列编号的增加,对应电路20的行编号周期性地重复增加或减小。

[0058] 第二实施例的构思是比第一实施例更多地减小邻接列(诸如第h1列和第e2列)的像素电路10连接到的两个电路20之间的距离。例如,像素组15h1连接到电路20(s,v),并且与像素组15h1邻接的像素组15e2连接到与电路20(s,v)邻接的电路20(s,w)。像素组15f2连接到电路20(r,w),像素组15g2连接到电路20(q,w),并且像素组15h2连接到电路20(p,w)。电路20是像素电路10和第e2列的像素电路10连接的电路。第h1列和第e2列彼此邻接。根据这个示例,第h1列和第e2列彼此相邻($e2=h1+1$)。但是,第h1列和第e2列的组比至少第g1列和第f2列的组更邻接。连接到第h1列的像素组15h1的电路20(s,v)和连接到第e2列的像素组15e2的电路20(s,w)是同一行(第s行)。电路20(s,v)和电路20(s,w)是相邻的列(第v列和第w列)。因此,可以说电路20(s,v)和电路20(s,w)彼此邻接。因此,与邻接的像素电路10对应的信号可以由具有小的特性差异的邻接电路20处理。因此,可以减小与邻接像素电路10对应的信号之间的输出差异。作为结果,可以获取具有小阴影的高质量图像。

[0059] 第三实施例

[0060] 参考图4A和4B将描述第三实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。图4A示出了像素电路10的布置,像图2A一样,并且图4B示出了电路20的布置,像图2B一样。根据第三实施例,电路20布置在第p1行至第s1行和第p2行至第s2行中。在这种情况下, $p1 < q1 < r1 < s1 < p2 < q2 < r2 < s2$ 。根据第三实施例,像素电路10的第a1行至第b4行被分配到像素组15e11至15h51,并且像素电路10的第c1行至第d4行被分配到像素组15e12至15h52。像素组15e11至15h51连接到第p1行至第s1行且第v列至第z列的电路20。例如,第c行第e1列的像素电路10(c,e1)连接到第p2行第v列的电路20(p2,v)。像素组15e12至15h52连接到第p2行至第s2行且第v列至第z列的电路20。第c行第f1列的像素电路10(c,f1)连接到第q2行第v列的电路20(q2,v)。第c行第g1列的像素电路10(c,g1)连接到第r2行第v列的

电路20 ($r2, v$)。根据第三实施例,同一列的像素电路10可以在第 $p1$ 行至第 $s1$ 行的电路20和第 $p2$ 行至第 $s2$ 行的电路20上并行地执行信号处理,这可以提高信号处理的速度。

[0061] 第四实施例

[0062] 参考图5A和5B,将描述第四实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。图5A示出了像素电路10的布置,像图2A一样,并且图5B示出了电路20的布置,像图2B一样。根据第四实施例,根据第三实施例的包括像素电路10的彼此邻接的列的像素组连接到的电路20被布置为彼此邻接,像第二实施例一样。换句话说,彼此邻接的像素组15h11和像素组15e21连接到同一行(第 $s1$ 行)的电路20 ($s1, v$) 和电路20 ($s1, w$)。而且,彼此邻接的像素组15h12和像素组15e22连接到同一行(第 $s1$ 行)的电路20 ($s2, v$) 和电路20 ($s2, w$)。

[0063] 第五实施例

[0064] 参考图6A和6B,将描述第五实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。图6A示出了像素电路10的布置,像图2A一样,并且图6B示出了电路20的布置,像图2B一样。根据第五实施例,根据第四实施例的具有彼此邻接并连接的像素组的电路20被布置为彼此邻接。换句话说,同一列(诸如第 $h1$ 列)的像素电路10被布置,并且彼此邻接的像素组15h11和像素组15h12彼此邻接。像素组15h11和像素组15h12分别连接到同一列(第 v 列)的邻接行(第 $s1$ 行和第 $p2$ 行)的电路20 ($s1, v$) 和电路20 ($p2, v$)。以相同的方式,彼此邻接的像素组15e21和像素组15e22分别连接到同一列(第 w 列)的邻接行(第 $s1$ 行和第 $p2$ 行)的电路20 ($s1, w$) 和电路20 ($p2, w$)。

[0065] 第六实施例

[0066] 第六实施例具有与第一至第五实施例的配置共同的配置。图7示出了图1A和1B中所示的半导体装置的等效电路。图7示出了图2A和2B中所示的像素电路10中的八行(诸如第 $a1$ 行至第 $b4$ 行)三列(诸如第 $e1$ 列至第 $g1$ 列)的像素电路10。图7还示出了图2A和2B中所示的电路20中的三行(诸如第 p 行至第 r 行)一列(诸如第 v 列)的电路20。

[0067] 芯片1的像素电路10具有用于一列的像素电路10的四(λ)条信号线14a、14b、14c、14d。信号线14a、14b、14c和14d将被统称为信号线14。第 a 行的第一行(第 $a1$ 行)的像素电路10连接到信号线14a。第 a 行的第二行、第三行和第四行(第 $a2$ 行、第 $a3$ 行、第 $a4$ 行)的像素电路10依次连接到信号线14b、14c和14d。关于第 $\lambda+1$ 行和后续行的像素电路10,第($\rho \times \lambda + 1$)像素电路10(其中 ρ 是自然数)连接到信号线14a。第($\rho \times \lambda + 2$)行、第($\rho \times \lambda + 3$)行和第($\rho \times \lambda + 4$)行的像素电路10依次连接到信号线14b、14c、14d。在一列具有 J 个像素的情况下, J/λ 个像素电路10共同连接到一条信号线14a。在像素电路10的另一列中,像素电路10和信号线14之间的相同连接关系也成立。

[0068] 连接到同一电路20的一组像素电路10将被称为像素组15。连接到相互不同的 λ 条信号线的一组 λ 个连续布置的像素电路10将被称为像素集16。在这个示例中,像素组15可以包括 J 行(J 个)像素和 J/λ 个像素集16。对于一个像素组15,属于该一个像素组15的所有像素电路10连接到同一电路20。对于该同一电路20,不连接包括在不包括该像素组15的像素组15中的像素电路10。

[0069] 电流源120连接到信号线14的信号线14a至14d。电流源120被配置为经由连接单元300向信号线14的信号线供给电流。虽然电流源120在芯片2中提供,但是它可以在芯片1中

提供。

[0070] 信号线14中的每一条经由连接单元300连接到电路20。在图7中的示例中,像素电路10的列连接到不同的电路20-1、20-2和20-3。

[0071] 电路20具有输入单元210、主单元220和输出单元230。输入单元210至少具有 λ 个输入端子。包括在信号线14中的 λ 条信号线14a、14b、14c和14d连接到输入单元210的 λ 个输入端子。主单元220被配置为例如处理来自像素电路10的信号。因此,主单元220可以被称为信号处理单元。输入单元210被配置为顺次地选择信号线14的信号线14a、14b、14c和14d,并且主单元220被配置为顺次地处理信号线14a、14b、14c和14d的信号。输出单元230被配置为从电路20输出信号。

[0072] 图7示出了关于多个像素电路10要处理的信号的序号01至08。首先,由未示出的扫描电路选择第一像素集16。例如,第 $(\rho \times \lambda + 1)$ 行的像素电路10的信号、第 $(\rho \times \lambda + 2)$ 行的像素电路10的信号、第 $(\rho \times \lambda + 3)$ 行的像素电路10的信号、第 $(\rho \times \lambda + 4)$ 行的像素电路10的信号被顺次地处理(序号01至04)。接着,由未示出的扫描电路选择下一个像素集16。换句话说,第 $(\rho + 1) \times \lambda + 1$ 行的像素电路10的信号、第 $(\rho + 1) \times \lambda + 2$ 行的像素电路10的信号、第 $(\rho + 1) \times \lambda + 3$ 行的像素电路10的信号、第 $(\rho + 1) \times \lambda + 4$ 行的像素电路10的信号被读出到信号线14。然后,输入单元210和主单元220顺次地处理第 $(\rho + 1) \times \lambda + 2$ 行的像素电路10的信号、第 $(\rho + 1) \times \lambda + 3$ 行的像素电路10的信号、第 $(\rho + 1) \times \lambda + 4$ 行的像素电路10的信号(序号05至08)。

[0073] 来自同一行的像素电路10的信号由与列的像素电路10对应的多个电路20并行地处理。例如,来自第 $(\rho \times \lambda + 1)$ 行至第 $(\rho \times \lambda + 4)$ 行的像素电路10的信号可以在电路20-1、电路20-2和电路20-3之间被并行地处理。而且,第 $(\rho + 1) \times \lambda + 1$ 行至第 $(\rho + 1) \times \lambda + 4$ 行的像素电路10的信号可以在电路20-1、电路20-2和电路20-3之间被并行地处理。对来自第 $(\rho \times \lambda + 1)$ 行至第 $(\rho \times \lambda + 4)$ 行的像素电路10的信号的处理是在与对来自第 $(\rho + 1) \times \lambda + 1$ 行至第 $(\rho + 1) \times \lambda + 4$ 行的像素电路10的信号的处理不同的时间执行的。

[0074] 图8示出了像素电路10的等效电路的示例。像素电路10中的每一个具有作为光电二极管的光电转换元件601a和601b。光电转换元件601a和601b接收透过一个微透镜(未示出)和滤色器的光。换句话说,入射在光电转换元件601a上的光具有与入射在光电转换元件601b上的光的波长基本不同的波长。光电转换元件601a通过传送晶体管603a连接到电荷检测单元605。电荷检测单元605具有浮置扩散结构。传送晶体管603a具有通过控制线650连接到扫描电路(未示出)的栅极。光电转换元件601b通过传送晶体管603b连接到电荷检测单元605。传送晶体管603b具有通过控制线655连接到扫描电路(未示出)的栅极。

[0075] 电荷检测单元605连接到复位晶体管606以及放大晶体管607的栅极。复位晶体管606和放大晶体管607接收电源电压Vdd。复位晶体管606具有通过控制线660连接到扫描电路(未示出)的栅极。

[0076] 放大晶体管607连接到选择晶体管608。选择晶体管608具有通过控制线665连接到垂直扫描电路(未示出)的栅极。选择晶体管608连接到信号线14中的任何一条信号线。根据这个实施例的要连接到导体13的半导体元件是选择晶体管608或者,如果省略选择晶体管608,那么它是放大晶体管607。

[0077] 图9示出了电路20的等效电路的示例。在输入单元210中提供的选择电路240可以

是例如多路复用器。根据这个实施例,连接到导电体23的半导体元件可以有可能是多路复用器的输入晶体管。这个示例中的电路20可以包括作为主单元220的逐次逼近寄存器(SAR)模数转换器。由选择电路240选择的像素信号PIX通过在输入单元210中提供的辅助电路250被输入到主单元220中的比较器电路260的反相输入端子(-)。辅助电路250可以是采样/保持电路和/或放大电路。参考信号REF被输入到比较器电路260的非反相输入端子(+)。参考信号REF被从信号生成电路290供给。信号生成电路290可以包括数模转换器(DAC)。信号生成电路290的一部分可以包括在以矩阵形式布置的电路20中,并且剩余部分可以布置在周边区域PR(参见图1A和1B)中。比较器电路260输出指示比较结果的比较信号CMP,该比较结果是像素信号PIX与参考信号REF之间的大小关系。比较信号CMP由存储电路270存储。存储电路270可以是数字存储器。比较器电路260和存储电路270与来自信号生成电路290的同步信号CLK同步。信号生成电路290可以根据存储在存储电路270中的信号操作。存储电路270保持数字信号DIG。输出单元230包括要由扫描电路(未示出)选择的选择晶体管,并且当由扫描电路选择的选择晶体管接通时,可以从读出电路(未示出)读出来自期望的电路20的数据。从输出单元230中提供的输出电路280输出数字信号(数据)。输出电路280可以包括例如感测放大器。输出电路280可以包括并串转换器和被配置为传递低电压差分信令(LVDS)的接口电路。但是,这些接口电路可以在电路20的外部提供。

[0078] 输入具有第一信号电平的参考信号REF1,并且将指示比较结果的第一比较信号CMP1作为高阶位存储在存储器中。接着,输入基于第一比较信号CMP1的具有与第一信号电平不同的第二信号电平的参考信号REF2,并且将指示比较结果的第二比较信号CMP2作为中间阶位存储在存储器中。接着,输入基于第二比较信号CMP2的具有与第二信号电平不同的第三信号电平的参考信号REF3,并且将指示比较结果的第三比较信号CMP3作为低阶位存储在存储器中。以这种方式,重复多个比较,使得可以获取具有多个位的数字信号DIG。

[0079] 应当注意的是,电路20可以执行倾斜模数转换。在这种情况下,信号生成电路290生成作为参考信号REF的斜坡信号以及计数信号(未示出)。比较器电路260被配置为当参考信号REF与像素信号PIX之间的比较结果改变时反转比较信号CMP的输出。当比较信号CMP被反转时,存储电路270获得计数信号,使得可以获得与计数信号的计数值对应的数字信号DIG。

[0080] 第七实施例

[0081] 将根据第七实施例描述要由根据第六实施例的半导体装置执行的操作的示例。图10A和10B中所示的操作包括要被并行地执行的多个操作:

[0082] (1) 与第一行的像素电路10对应的N信号的读取和与第二行的像素电路10对应的N信号的读取的并行操作;

[0083] (2) 与第一行的像素电路10对应的N信号的AD转换和与第二行的像素电路10对应的N信号的读取的并行操作;

[0084] (3) 对与第四行的像素电路10对应的N信号的AD转换和与第一行的像素电路10对应的A+B信号的读取的并行操作;

[0085] (4) 与第一行的像素电路10对应的A+B信号的读取和与第二行的像素电路10对应的A+B信号的读取的并行操作;以及

[0086] (5) 对与第一行的像素电路10对应的A+B信号的AD转换和与第二行的像素电路10

对应的A+B信号的读取的并行操作。

[0087] 这些并行操作可以减少从主单元220执行一次AD转换的时间到主单元220执行下一次AD转换的时间的等待时间。这可以减少要由所有像素电路10输出的信号的AD转换的时段。还可以推进半导体装置APR的帧速率的提高。

[0088] 将描述其中焦点检测模式和图像捕获模式都作为成像装置的操作被执行的情况。

[0089] 图11A和11B示出了输出用于由半导体装置APR进行焦点检测的信号和输出用于图像捕获的信号的操作。下面将主要描述与图10A和10B中所示的操作的不同之处。

[0090] 用于从行的像素电路10读取N信号的操作是与图10A和10B中所示的相同的操作。用于对来自行的像素电路10的N信号的AD转换的操作是与图10A和10B中所示的相同的操作。

[0091] 将描述用于读出与每行的像素电路10对应的A信号的操作。在时间t₉,垂直扫描电路将要被输出到第一行的像素电路10的信号PTXA改变为高电平。因此,蓄积在光电转换元件601a中的电荷通过传送晶体管603a被传送到电荷检测单元605。因此,电荷检测单元605可以具有与光电转换元件601a中的电荷对应的电位。每列的信号线14a接收第一行的像素电路10的A信号。A信号是基于多个光电转换元件中的一部分光电转换元件的信号的第一信号。该第一信号可以被用于焦点检测的信号。

[0092] 在时间t₁₀,垂直扫描电路将要被输出到第二行的像素电路10的信号PTXA改变为高电平。因此,每列的信号线14b接收第二行的像素电路10的A信号。

[0093] 在时间t₁₁,垂直扫描电路将要被输出到第三行的像素电路10的信号PTXA改变为高电平。因此,每列的信号线14c接收第三行的像素电路10的A信号。

[0094] 在时间t₁₂,垂直扫描电路将要被输出到第四行的像素电路10的信号PTXA改变为高电平。因此,每列的信号线14d接收第四行的像素电路10的A信号。

[0095] 将描述用于要对与每行的像素电路10对应的A信号执行的AD转换的操作。

[0096] 在时间t₁₇,输入单元210将信号线14a的信号(即,第一行的像素电路10的A信号)输出到主单元220。主单元220a将来自第一行的像素电路10的A信号转换成数字信号。

[0097] 在时间t₁₈,输入单元210将信号线14b的信号(即,第二行的像素电路10的A信号)输出到主单元220。主单元220将第二行的像素电路10的A信号转换成数字信号。

[0098] 在时间t₁₉,输入单元210将信号线14c的信号(即,第三行的像素电路10的A信号)输出到主单元220。主单元220将第三行的像素电路10的A信号转换成数字信号。

[0099] 在时间t₂₀,输入单元210a将信号线14d的信号(即,第四行的像素电路10的A信号)输出到主单元220。主单元220将第四行的像素电路10的A信号转换成数字信号。

[0100] 将描述用于读取每行的像素电路10的A+B信号的操作。

[0101] 在时间t₁₈,垂直扫描电路将要被输出到第一行的像素电路10的信号PTXA、PTXB改变为高电平。因此,蓄积在光电转换元件601a、601b中的电荷通过传送晶体管603a、603b被传送到电荷检测单元605。因此,信号线14a接收第一行的像素电路10的A+B信号。

[0102] 在时间t₁₉,垂直扫描电路将要被输出到第二行的像素电路10的信号PTXA、PTXB改变为高电平。因此,蓄积在光电转换元件601a、601b中的电荷通过传送晶体管603a、603b被传送到电荷检测单元605。因此,信号线14b接收第二行的像素电路10的A+B信号。

[0103] 在时间t₂₀,垂直扫描电路将要被输出到第三行的像素电路10的信号PTXA、PTXB改

变为高电平。因此，蓄积在光电转换元件601a、601b中的电荷通过传送晶体管603a、603b被传送到电荷检测单元605。因此，信号线14c接收第三行的像素电路10的A+B信号。

[0104] 在时间t21,垂直扫描电路将要被输出到第四行的像素电路10的信号PTXA、PTXB改变为高电平。因此，蓄积在光电转换元件601a、601b中的电荷通过传送晶体管603a、603b被传送到电荷检测单元605。因此，信号线14d接收第四行的像素电路10的A+B信号。

[0105] 将描述用于对每行的像素电路10中的A+B信号的AD转换的操作。

[0106] 在时间t26,输入单元210将信号线14a的信号(即,第一行的像素电路10的A+B信号)输出到主单元220。主单元220将第一行的像素电路10的A+B信号转换成数字信号。

[0107] 在时间t27,输入单元210a将信号线14b的信号(即,第二行的像素电路10的A+B信号)输出到主单元220。主单元220将第二行的像素电路10的A+B信号转换成数字信号。

[0108] 在时间t28,输入单元210a将信号线14c的信号(即,第三行的像素电路10的A+B信号)输出到主单元220。主单元220将第三行的像素电路10的A+B信号转换成数字信号。

[0109] 在时间t29,输入单元210a将信号线14d的信号(即,第四行的像素电路10的A+B信号)输出到主单元220。主单元220将第四行的像素电路10的A+B信号转换成数字信号。

[0110] 此后,垂直扫描电路将第五行的像素电路10的信号PSEL(5)改变为高电平。随后,重复相同的操作。

[0111] 以这种方式,根据这个实施例的成像装置可以获取基于像素的N信号的数字信号、基于像素的A信号的数字信号和基于像素的A+B信号的数字信号。

[0112] 由于由半导体装置APR执行的包括图11A和11B中所示的操作的并行操作,这个实施例可以实现提高的速度。图11A和11B中所示的操作包括要被并行地执行的多个操作。

[0113] (1)与第一行的像素电路10对应的N信号的读取和与第二行的像素电路10对应的N信号的读取的并行操作;

[0114] (2)与第一行的像素电路10对应的N信号的AD转换和与第二行的像素电路10对应的N信号的读取的并行操作;

[0115] (3)对与第四行的像素电路10对应的N信号的AD转换和与第一行的像素电路10对应的A信号的读取的并行操作;

[0116] (4)与第一行的像素电路10对应的A信号的读取和与第二行的像素电路10对应的A信号的读取的并行操作;

[0117] (5)与第一行的像素电路10对应的A信号的AD转换和与第二行的像素电路10对应的A信号的读取的并行操作;

[0118] (6)对与第四行的像素电路10对应的A信号的AD转换和与第一行的像素电路10对应的A+B信号的读取的并行操作;

[0119] (7)与第一行的像素电路10对应的A+B信号的读取和与第二行的像素电路10对应的A+B信号的读取的并行操作;以及

[0120] (8)对与第一行的像素电路10对应的A+B信号的AD转换和与第二行的像素电路10对应的A信号的读取的并行操作。

[0121] 这些并行操作可以减少从主单元220执行一次AD转换的时间到主单元220执行下一次AD转换的时间的等待时间。这可以减少要由所有像素电路10输出的信号的AD转换的时段。还可以推进成像装置的帧速率的提高。

[0122] 这个实施例不限于这个示例。例如,它可以被配置为使得,在一个帧时段期间,可以连接具有用于第一颜色的滤色器的像素,并且不能连接具有用于第二颜色的滤色器的像素。通过聚焦于具有R和G滤色器的一列的像素进行描述,输入单元210将连接到具有用于作为第一颜色的R的滤色器的像素的信号线14a、14c连接到主单元220。另一方面,在一个帧时段期间,输入单元210可以不将连接到具有用于作为第二颜色的G的滤色器的像素的信号线14b、14d连接到主单元220。在这种配置中,要被输入到主单元220的像素的信号可以作为仅与一种颜色对应的信号被处理。这有利地可以简化由主单元220执行的AD转换的校正并且简化AD转换之后的校正。

[0123] 已经描述了根据这个实施例向一系列的像素电路10对应地提供一个电路20,本公开的实施例不限于这个示例。可以对一系列的像素电路10提供多个电路20。例如,连接到信号线14a、14b的电路20与连接到信号线14c、14d的其它电路20分开提供。多个像素列可以共享一个电路20。

[0124] 第八实施例

[0125] 参考图12A和12B,将描述第八实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。第八实施例具有与第一至第七实施例的配置共同的配置。第八实施例涉及在电路20对信号执行处理之后从电路20输出的信号。图12A示出了像素电路10和电路20之间的连接关系,并且图10B示出了从电路20的输出。

[0126] 图12A示出了第a1行至第a4行、第e1列至第h4列的像素电路10。图12A还示出了第p行至第s行且第v行和第w列的电路20。参考图12A,诸如信号R11、Gr11的引用被给予由像素电路10生成的信号。引用R、B、Gr、Gb与由信号表示的颜色对应,并且R是红色、B是蓝色、以及Gr和G是绿色,但由信号表示的颜色不限于此。像素电路10和电路20之间的连接关系与第一至第七实施例的连接关系相同。

[0127] 虽然信号在多个电路20中被并行地处理,但是通过顺次地选择要输出信号的电路20,信号从多个电路20被读出。

[0128] 图12B示出了电路20中的信号处理和从电路20的信号输出的定时。在时间t1至t2,来自第a1行的像素电路10的信号R11、Gr11、R12、G12、R13、Gr13、R14、Gr14在电路20中并行地处理。接着,在时间t2至t3,顺次地选择要输出信号的电路20。根据这个实施例,从第a1行的像素电路10以列编号的递增次序从第e1列开始读出第f1列和第g1列。换句话说,依次读出信号R11、Gr11、R12、G12、R13、Gr13、R14、Gr14。接着,在时间t3至t4,在电路20中并行地处理第a2行的像素电路10的信号Gb11、B11、Gb12、B12、Gb13、B13、Gb14、B14。接着,在时间t4至t5,顺次地选择要输出信号的电路20。根据这个实施例,从第a2行的像素电路10以列编号的递增次序读出第f1列和第g1列。换句话说,依次读出信号Gb11、B11、Gb12、B12、Gb13、B13、Gb14、B14。以相同的方式,在时间t5至t6并行地处理第a3行的像素电路10的信号,并且在时间t6至t7以列编号的递增次序从第e1列开始顺次地输出第a3行的像素电路10的信号。在时间t7至t8,并行地处理第a4行的像素电路10的信号。在时间t8至t9,以列编号的递增次序顺次地从第e1列开始输出第a4行的像素电路10的信号。

[0129] 以这种方式,在以像素电路10的列的次序读出与同一行的像素电路10对应的信号的情况下,可以并行地处理与同一行的像素电路10对应的信号。在这种情况下,如主要根据第一实施例描述的那样,因为像素电路10的四列和对应的电路20的四行以相同的次序对

准,所以使得电路20的特性差异的影响可以减小。

[0130] 根据第八实施例,为了读出与多个像素电路10对应的数据,从多个列(诸如第v列和第w列)的电路20读出同一行(诸如第a1行)的像素电路10的数据。此后,读出另一行(诸如第a2行)的像素电路10的数据。因此,因为像素电路10的数据可以逐行从像素电路10输出,所以可以高速且高效地执行数据通信和图像处理。

[0131] 在应用像第二实施例一样的连接配置的情况下,可以从连接到像素电路10的适当的电路20输出数据,使得同一行(诸如第a1行)的像素电路10的数据可以以像素电路10的列次序输出。

[0132] 第九实施例

[0133] 参考图13A和13B,将描述第九实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。第九实施例是第八实施例的变型示例。图13A示出了像素电路10和电路20之间的连接关系,像图12A一样,并且图13B示出了从电路20的输出,像图12B一样。

[0134] 第九实施例与第八实施例的不同之处在于电路20中的每一个具有两个输出的序列,如图13A中所示。来自第p行和第q行的电路20的信号被输出到与第r行和第s行的电路20不同的目的地。同一行且第v列和第w列的电路20可以将信号输出到同一输出目的地或不同输出目的地,但在这个示例中它们被输出到同一输出目的地。

[0135] 图13B示出了电路20中的信号处理和从电路20的信号输出的定时。在时间t1至t2以及在时间t3至t4的信号处理与第八实施例的信号处理相同。在时间t2至t3,从第v列的电路20中的第p行的电路20和第r行的电路20的信号输出被并行地执行。接着,从第q行的电路20的信号输出和从第s行的电路20的信号输出被并行地执行。在时间t2至t3的后半部分,在第w列的电路20中,从第q行的电路20的信号输出和从第s行的电路20的信号输出被并行地执行。接着,从第q行的电路20的信号输出和从第s行的电路20的信号输出被并行地执行。与第八实施例相比,这可以减少用于输出像素电路10的一行的信号的时间t2至t3的时间段。作为结果,使得能够进行高速信号输出,并且可以执行以更高帧速率的成像。

[0136] 第十实施例

[0137] 参考图14A和14B,将描述第十实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。第十实施例是第九实施例的变型示例。图14A示出了像素电路10和电路20之间的连接关系,像图13A一样,图14B示出了从电路20的输出,像图13B一样。

[0138] 从第p行的电路20的输出目的地与从第q行的电路20的输出目的地不同。从第r行的电路20的输出目的地与从第s行的电路20的输出目的地不同。从第p行和第r行的电路20的输出目的地相同,并且从第q行和第s行的电路20的输出目的地相同。同一行且第v列和第w列的电路20可以将信号输出到同一输出目的地或不同输出目的地,但在这个示例中它们被输出到同一输出目的地。

[0139] 图14B示出了电路20中的信号处理和从电路20的信号输出的定时。在时间t1至t2以及在时间t3至t4的信号处理与第九实施例的信号处理相同。在时间t2至t3,从第v列的电路20中的第p行的电路20和第q行的电路20的信号输出被并行地执行。接着,从第r行的电路20的信号输出和从第s行的电路20的信号输出被并行地执行。在时间t2至t3的后半部分,在第w列的电路20中,从第p行的电路20的信号输出和从第q行的电路20的信号输出被并行地执行。接着,从第r行的电路20的信号输出和从第s行的电路20的信号输出被并行地执行。作

为结果,使得能够进行高速信号输出,并且可以执行以更高帧速率的成像,像第九实施例一样。

[0140] 根据第九实施例,任何相邻两列的像素电路10的信号在不同时间被输出。聚焦于信号R11和信号Gr11的组,它们在不同时间被输出。聚焦于信号Gr11和信号R12的组,它们在不同时间被输出。另一方面,根据第十实施例,存在同时输出相邻列的像素电路10的信号(诸如信号R11和信号Gr11)的情况和在不同时间输出相邻列的像素电路10的信号(诸如信号Gr11和信号R12)的情况的混合。因而,像素电路10可以有可能包括具有较大输出差异的相邻列的组和具有较小差异的列的组。当存在使输出围绕时间轴波动的相对大的原因(诸如抖动)时,可以如第九实施例中那样执行信号输出,以减小相邻列之间的输出定时的变化。

[0141] 根据第十实施例,聚焦于从同一输出序列连续输出的两个信号,与任何两个信号对应的像素电路10之间的间隔是均匀的。例如,信号R11、R12、R13和R14全部来自像素电路10的每隔一行。另一方面,根据第九实施例,聚焦于从同一输出序列连续输出的两个信号,用于两个对应信号的像素电路10之间的间隔是不同的。例如,信号R11和信号Gr11是相邻列的像素电路10的信号,而信号Gr11和信号R13是两个分开的列的像素电路10的信号。于是,当输出序列具有不同的输出特性时,在像素电路10的相邻列之间产生不同的输出差异。在输出序列具有相对大的特性差异的情况下,可以如第十实施例中那样输出信号,以减小相邻列之间的输出差异的变化。在从半导体装置APR输出的数据要被处理的情况下,可以通过使用相邻像素数据进行处理来优化其算法。因此,邻接像素的数据(诸如信号Gr11和诸如信号Gr12)根据第十实施例可以连续地被输出,而不是根据第九实施例连续地输出分开的像素的数据(诸如信号Gr11和信号R13)。

[0142] 第十一实施例

[0143] 第十一实施例对第一至第十实施例是共同的,但是,其中,对于第九实施例或第十实施例是优选的。

[0144] 图15示出了芯片2的布局。图15示出了第p1行、第q1行、第r1行、第s1行、第p2行、第q2行和第s2行的电路20。电路20布置在第v列、第w列和第x列中。这里, $s1 < q1 < r1 < s1 < p2 < q2 < s2$ 。电路20中的每一个分别连接到示意性地示出的多个像素组15中的一个。根据第十一实施例,对应电路20的列编号随着像素组15的列编号增加而增加,像第一实施例一样。

[0145] 根据第十一实施例,在电路20的对准方向上,多个读出电路441和442之间提供有电路20的多个行。读出电路441和442从电路20接收输出信号。读出到读出电路441和442的信号被传送到接口电路451和452,由接口电路451和452转换成预定的数据格式,并且从半导体装置输出。接口电路451和452可以包括诸如并串转换器或低电压差分信令(LVDS)的接口电路。

[0146] 第p1行、第r1行、第p2行和第s2行的电路20连接到上部读出电路441。第q1行、第s1行和第q2行的电路20连接到下部读出电路442。因此,来自电路20的多个行的信号可以被并行地输出。例如,从第p1行的电路20的信号输出和从第q1行的电路20的信号输出可以被并行地执行。

[0147] 第十二实施例

[0148] 参考图16将描述第十二实施例。同样的编号始终指同样的部分,并且将省略任何

重复的描述。第十二实施例是第十一实施例的变型示例。根据第十二实施例，第p1行、第q1行、第r1行、第s1行的电路20连接到奇数列像素组15，并且第p2行、第q2行和第s2行的电路20连接到偶数列像素组15。对于第p1行、第q1行、第r1行、第s1行，随着像素组15的列编号（奇数列）增加，对应电路20的列编号增加。对于第p2行、第q2行和第s2行，随着像素组15的列编号（偶数列）增加，对应电路20的列编号增加。根据这个实施例，第p1行至第s1行的电路20连接到上侧读出电路441，并且第p2行至第s2行的电路20连接到下侧读出电路442。根据第十一实施例，连接到电路20和读出电路441的输出线与连接到电路20和读出电路442的输出线相交。另一方面，根据第十二实施例，连接到电路20和读出电路441的输出线与连接到电路20和读出电路442的输出线相交。这可以简化具有输出线的布线结构22，可以降低成本，并且可以减小对数据通信的不期望的影响，诸如串扰。

[0149] 第十三实施例

[0150] 参考图17，将描述第十三实施例。同样的编号始终指同样的部分，并且将省略任何重复的描述。第十三实施例可以与第一至第十二实施例组合，并且特别是与第十一实施例或第十二实施例组合。图17示出了芯片2的布局。在电路20的行对准的方向上，在多个扫描电路461和462之间提供多个电路20。在电路20的列对准的方向上，在电路20的多个列和芯片2的外边缘之间提供扫描电路463。在这个示例中，读出电路441被放置在扫描电路461和芯片的外边缘之间。但是，扫描电路461可以被放置在读出电路441和芯片2的外边缘之间。已经描述了读出电路442被放置在扫描电路462和芯片2的外边缘之间，扫描电路462可以被放置在读出电路442和芯片2的外边缘之间。

[0151] 扫描电路461和462连接到电路20并且被配置为进行扫描以选择具有电路20的列，以从多个电路20输出信号。扫描电路463连接到电路20并且被配置为选择具有电路20的行，以从多个电路20输出信号。信号从由扫描电路461和462以及扫描电路463选择的电路20被读出到读出电路441和442。扫描电路461和462、463可以是解码器或移位寄存器。在电路20的列对准的方向上，在电路20的多个列和芯片2的外边缘之间提供驱动电路47。驱动电路47被配置为向多个电路20中的每一个供给电力以驱动电路20。

[0152] 信号生成电路48可以是例如图9中所示的信号生成电路290的一部分，并且被配置为生成同步信号CLK和参考信号REF以及将它们供给到电路20。信号生成电路48可以生成要被供给到电路20中除比较器电路260以外的电路的同步信号和参考信号，并且可以将它们供给到电路20。

[0153] 第十四实施例

[0154] 在芯片2具有例如大于33mm的尺寸的情况下，可以通过在分割成要作为芯片2的多个曝光区域的区域上以光刻执行曝光（分割曝光）来制造芯片2。这里的术语“尺寸”可以指电路20的列对准的方向上的宽度。特别地，在通过使用ArF曝光设备（或可能浸入）曝光芯片2的情况下，可以使用分割曝光。当执行分割曝光时，可以在多个电路20之间的位置设定多个曝光区域的边界，以防止一个电路20被分割。通常，曝光区域的边界可以在芯片2的中央附近定义。根据第十一至第十三实施例描述的被配置为连接电路20、读出电路441和442、扫描电路461和462、463、驱动电路47以及信号生成电路48的布线是芯片2中较长的全局布线。为了在分割曝光中连接全局布线的光致抗蚀剂图案，可以执行拼接（stitching）曝光。因为全局布线以低阻抗被驱动，因此执行拼接曝光对输出特性具有小的影响。因为接口电路451

和452以比全局布线高的频率操作,所以全局布线可以不通过拼接曝光连接到接口电路451和452。因而,如图15至17中所示,接口电路451和452可以有利地与具有曝光区域的边界的中央分开。例如,接口电路451和452可以不被放置在U列的电路20中的U/2列的电路20与芯片2的外边缘之间电路20的列对准的方向上,其中U是偶数。在电路20的列对准的方向上的接口电路451和452可以不被放置在 $(U+1)/2$ 列的电路20与芯片2的外边缘之间,其中U是奇数。在图15和16中的示例中,U是3。在电路20的列对准的方向上,与第二列对应的第w列和芯片2的外边缘不具有接口电路451和452。接口电路451和452被放置在第v列或第x列与芯片2的外边缘之间。

[0155] 第十五实施例

[0156] 参考图18,将描述第十三实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。图18示出了芯片2的电路的布局,像图15和16一样。

[0157] 根据第十五实施例,读出电路443和444被放置在以矩阵形式布置的电路20的一部分和以矩阵形式布置的电路20的一部分之间。因此,可以同时输出更多量的数据。例如,可以从读出电路441读出第一颜色的像素的数据,可以从读出电路442读出第二颜色的像素的数据,可以从443和444读出第四颜色的像素的数据。替代地,可以从读出电路441和读出电路442读出第一颜色的像素的数据,可以从读出电路443读出第二颜色的像素的数据,可以从444读出第三颜色的像素的数据。

[0158] 第十六实施例

[0159] 参考图19A和19B,将描述第十六实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。图19A示出了芯片1的平面布局,每行的多个像素电路10连接到共同的扫描线50。扫描线50中的每一条向同一行的多个像素电路10共同供给传递信号TX(诸如根据第七实施例的信号PTX)、选择信号SEL(诸如信号PSEL)、复位信号RES(诸如信号PRES)。传递信号TX、选择信号SEL和复位信号RES将被统称为扫描信号。

[0160] 图19B是芯片2的平面布局。芯片2具有扫描电路401、402和403。扫描电路401在电路20的列对准的方向上被放置在多个电路20之间。扫描电路402和403在电路20的列对准的方向上被放置在多个电路20和芯片2的外边缘之间。扫描电路401、402和403中的至少一个可以在芯片2中提供。应当注意的是,扫描电路401、402和403中的一个可以在芯片1而不是芯片2中提供。

[0161] 扫描电路401、402和403连接到导体23,并且扫描线50连接到导体13。扫描电路401、402、403经由导体23、13连接到扫描线50并且将扫描信号供给到扫描线50。

[0162] 第e1列至第e5列的像素电路10连接到扫描线50。扫描线50中的每一条具有中央部分51、一个端部分52和另一个端部分53。多个像素电路10跨中央部分51连接。例如,部分51位于第e2列的像素电路10连接到扫描线50的部分与第e4列的像素电路10连接到扫描线50的部分之间。替代地,部分51位于第e1列的像素电路10连接到扫描线50的部分与第e5列的像素电路10连接到扫描线50的部分之间。同一行的所有像素电路10连接到扫描线50的一个端部分52与另一个端部分53之间的部分。换句话说,像素电路10不连接到关于扫描线50的部分52的部分53的相对侧,并且像素电路10不连接到关于扫描线50的部分53的部分52的相对侧。

[0163] 来自扫描电路401的布线(包括导体13和23)连接到中央部分51。在扫描线50内,

扫描电路401连接到像素电路10的两列之间的部分51。因此,从部分51,扫描信号被供给到位于部分51的一侧的第e1列和第e2列的像素电路10以及位于部分51的另一侧的第e4列、第e5列的像素电路10。与扫描信号仅供给到扫描线50的一个端部分52和另一个端部分53中的一个的情况相比,这可以减小从接收扫描线50的扫描信号的部分到最远的像素电路10的距离。因此,可以减小最远的像素电路10中的扫描信号的延迟,并且可以从像素电路10高速读出扫描信号。因而,可以减小在多个电路20中并行地选择、处理和输出信号的延迟,以改善电路20的性能。

[0164] 根据这个实施例,扫描电路402经由导体13和23连接到部分52,使得与扫描电路401同步的扫描信号可以从扫描电路402被供给到扫描线50。扫描电路403经由导体13和23连接到部分53,使得与扫描电路401同步的扫描信号也可以从扫描电路403被供给到扫描线50。在这种情况下,可以对像素电路10执行更快的读取操作。应当注意的是,通过省略扫描电路401,可以从扫描电路402和扫描电路403向部分52和53供给扫描信号。替代地,通过省略扫描电路401,可以从扫描电路402和/或扫描电路403向部分51供给扫描信号。但是,扫描电路401可以连接到部分51,以针对扫描信号的延迟进行改善。

[0165] 第十七实施例

[0166] 参考图20A至20D,将描述第十七实施例。第十七实施例包括第十六实施例的示例和变型示例。将省略关于这个实施例和其它实施例(特别是第十六实施例)的任何重复描述。

[0167] 图20A示出了与第十七实施例的透视图对应的第一示例。

[0168] 图20B示出了第二示例,其中通过省略扫描电路402和403扫描电路401被连接到扫描线50的中央部分(与部分51对应)。

[0169] 图20C示出了在芯片1中具有扫描电路402、403的第三示例。在像素电路10的列对准的方向上,多个像素电路10位于扫描电路402与扫描电路403之间。换句话说,在像素电路10的列对准的方向上,扫描电路402、403位于多个像素电路10与芯片1的外边缘之间。这可以减小扫描电路402、403与芯片1中的扫描线50之间的距离,并且因此可以增加用于驱动像素电路10的速度。

[0170] 图20D示出了第四示例,其中扫描线50被放置在芯片2而不是芯片1中。换句话说,扫描线50是具有包括在芯片2的布线结构22中的布线层的全局布线。在芯片2中提供的扫描线50的中央部分(与部分51对应)经由导体13和23(未示出)连接到多个像素电路10。这种配置可能需要导体13和14,其数量等于像素电路10的数量的若干倍(取决于扫描信号的数量)。这会有可能导致半导体装置APR的复杂性并且会有可能增加其成本。因此,扫描线50可以有利地在芯片1的布线结构12中提供。

[0171] 第十八实施例

[0172] 参考图21A至21C,将描述第十八实施例。同样的编号始终指同样的部分,并且将省略任何重复的描述。第十八实施例具有与第一至第十七实施例的配置共同的配置。第十八实施例涉及导体13和导体23之间的连接。

[0173] 图21A示出了半导体装置IC的截面图。在芯片1的半导体层11和芯片2的半导体层21之间,定位芯片1的布线结构12和芯片2的布线结构22。布线结构12具有M个布线层121、122。布线层121、122可以是Cu布线层。在这个示例中,布线层122包括导体13。导体13嵌

入在层间绝缘膜的凹部中并且具有镶嵌结构(或者在这个实施例中为双镶嵌结构)。布线结构22具有N个布线层221、222。布线结构22的布线层的数量(N)可以高于布线结构12的布线层的数量(M) ($M > N$)。因此,可以提高像素电路10和电路20的性能,并且同时可以降低半导体装置APR的成本。布线层221和222可以是Cu布线层。在这个示例中,布线层222包括导电体23。导电体23嵌入在层间绝缘膜的凹部中并且具有镶嵌结构(或者在这个实施例中为双镶嵌结构)。导电体13和导电体23接合。具有其中嵌入有导电体13的凹部的层间绝缘膜也与具有其中嵌入有导电体23的凹部的层间绝缘膜接合(或接触)。由于导电体13和导电体23的位移或尺寸的差异,导电体13可以面向具有其中嵌入有导电体23的凹部的层间绝缘膜。导电体23面向具有其中嵌入有导电体13的凹部的层间绝缘膜。接合表面30是导电体13和23与层间绝缘膜之间的接触表面。根据这个示例,具有较小尺寸的导电体13和23可以增加用于像素电路10和电路20的连接单元的数量,使得更多的像素电路10可以由多个电路20并行地处理。

[0174] 在半导体层11中,通过传送晶体管603提供光电转换元件601和电荷检测单元605。芯片1具有背侧照射光接收结构。导电体13经由布线层121连接到像素电路10的半导体元件。导电体13要被连接到的像素电路10的半导体元件可以是例如晶体管,但可以是二极管、电阻器或电容器。在这个实施例中,导电体13连接到选择晶体管608。在半导体层11中,通过传送晶体管603提供光电转换元件601和电荷检测单元605。导电体23通过布线层221连接到电路20中的半导体元件。导电体23要被连接到的电路20的半导体元件可以是例如晶体管,但可以是二极管、电阻器或电容器。在这个实施例中,导电体23连接到选择电路240。包含在电路20中的晶体管可以具有例如硅化钴或硅化镍的硅化物层。可以提供诸如金属栅极的栅电极,并且可以提供诸如高k绝缘膜的栅极绝缘膜。要在电路20中被使用的晶体管可以是平面型MOSFET或Fin-FET。在半导体层21中提供的晶体管的栅极绝缘膜可以具有多种类型的厚度。具有厚栅极绝缘膜的晶体管可以被用在期望具有高耐压的电路(诸如电源系统或模拟系统)中。具有厚栅极绝缘膜的晶体管可以用在期望具有高速特点的电路(诸如数字系统)中。半导体层11可以是大约1至10 μm 厚,并且半导体层21可以等于半导体层11的厚度或者可以比半导体层11厚。半导体层11可以是例如50至800 μm 厚。

[0175] 图21B示出了半导体装置APR的截面图。图21B中所示的示例与图21A中的示例的不同之处在于导电体13和导电体23不接触。导电体13和具有其中嵌入有导电体23的凹部的层间绝缘膜。具有其中嵌入有导电体13的凹部的层间绝缘膜与具有其中嵌入有导电体23的凹部的层间绝缘膜分开。凸块33在导电体13与导电体23之间提供。凸块33可能需要大约几或几十 μm 的大小。但是,根据第一至第十八实施例,因为电路20的数量可以低于像素电路10的数量,所以即使使用凸块33也可以实现预定水平的性能。

[0176] 图21C示出了半导体装置(APR)的截面图。图21B中所示的示例与图21A中的示例的不同之处在于导电体13和导电体23不接触。粘合层34在布线结构12与布线结构22之间提供,并且被配置为粘合布线结构12和布线结构22的层间绝缘膜。粘合层34具有接合表面30,该接合表面30是布线结构12的粘合层与布线结构22的粘合层之间的接触表面。导电体13和导电体23通过穿透电极35连接,该穿透电极35被配置为穿透半导体层21。在这个示例中,穿透电极在半导体层21而不是半导体层11中提供。因此,穿透电极35没有阻碍像素电路10的集成,并且可以抑制对半导体层11的损坏。但是,因为穿透电极35会有可能阻碍电路20的集

成,所以期望应用图21A中的示例。

[0177] 第十九实施例

[0178] 根据第十九实施例,将详细描述图1A中所示的器械(EQP)。半导体装置APR可以包括被配置为收容半导体装置IC的封装(PKG)以及作为芯片1和2的层叠构件的半导体装置IC。封装PKG可以包括其上固定有半导体装置或集成电路(IC)的基体构件、面向半导体装置IC的玻璃盖体、以及被配置为连接在基体构件上提供的端子和在半导体装置IC中提供的端子的连接构件(诸如接合线或凸块)。

[0179] 器械EQP还可以包括光学系统(OPT)、控制装置(CTRL)、处理装置(PRCs)、显示装置(DSPL)和存储器装置(MMRy)中的至少一个。光学系统OPT被配置为被聚焦在作为光电转换装置的半导体装置APR上,诸如透镜、快门和反射镜。控制装置CTRL被配置为控制半导体装置APR,诸如诸如专用集成电路(ASIC)的半导体装置。处理装置PRCS被配置为处理从半导体装置APR输出的信号,并且可以是用于配置模拟前端(AFE)或数字前端(DFE)的诸如中央处理单元(CPU)或ASIC的半导体装置。显示装置DSPL被配置为显示由半导体装置APR获取的信息(图像),并且是电致发光(EL)显示装置或液晶显示装置。存储器装置MMRy是被配置为存储由半导体装置APR获取的信息(图像)的磁装置或半导体装置。存储器装置MMRy可以是易失性存储器(诸如静态随机存取存储器(SRAM)或动态随机存取存储器(DRAM))或非易失性存储器(诸如闪存或硬盘驱动器)。机械装置(MCHN)具有可移动部分或驱动部分(诸如马达或引擎)。在器械EQP中,从半导体装置APR输出的信号可以显示在显示装置DSPL上,或者可以通过器械EQP中包括的通信装置(未示出)向外部传输。因而,除了包括在半导体装置APR中的存储控制单元和运算操作控制单元之外,器械EQP还可以包括存储器装置MMRy和处理装置PRCS。

[0180] 图1A中所示的器械EQP可以是电子器械,诸如具有成像功能的信息终端(诸如智能电话和可穿戴终端)、照相机(诸如透镜更换照相机、紧凑型照相机、视频照相机和监视照相机)。具有照相机的机械装置MCHN可以驱动光学系统OPT部分以进行变焦、聚焦和快门操作。器械EQP可以是诸如车辆、船舶或飞机的运送装置(移动体)。运送装置中的机械装置MCHN可以被用作移动装置。作为运送装置的器械EQP可以被配置为运送半导体装置APR通过成像功能辅助和/或自动化驱动(操纵)。被配置为辅助和/或自动化驱动(操纵)的处理装置PRCS可以基于由半导体装置APR获取的信息执行用于操作作为移动装置的机械装置MCHN的处理。

[0181] 根据前述实施例的半导体装置APR可以对设计者、制造者、销售者、购买者和/或用户提供高价值。在器械EQP中安装半导体装置APR可以改善器械EQP的价值。因此,在制造或销售器械EQP中根据这个实施例的器械EQP中的半导体装置APR的安装的确定可以有利地增加器械EQP的价值。

[0182] 在不脱离本公开的精神和范围的情况下,可以根据需要改变、更改或修改前述实施例。实施例的公开可以不仅包括本文指定的细节,而且还包括从说明书和附图掌握的所有事项。具有相同名称但具有不同引用的部件可以被区分为第一部件、第二部件、第三部件等。

[0183] 虽然已经参考示例性实施例描述了本公开,但是要理解的是,本公开不限于所公开的示例性实施例。以下权利要求的范围要被赋予最广泛的解释,以便涵盖所有这样的修改以及等效的结构和功能。

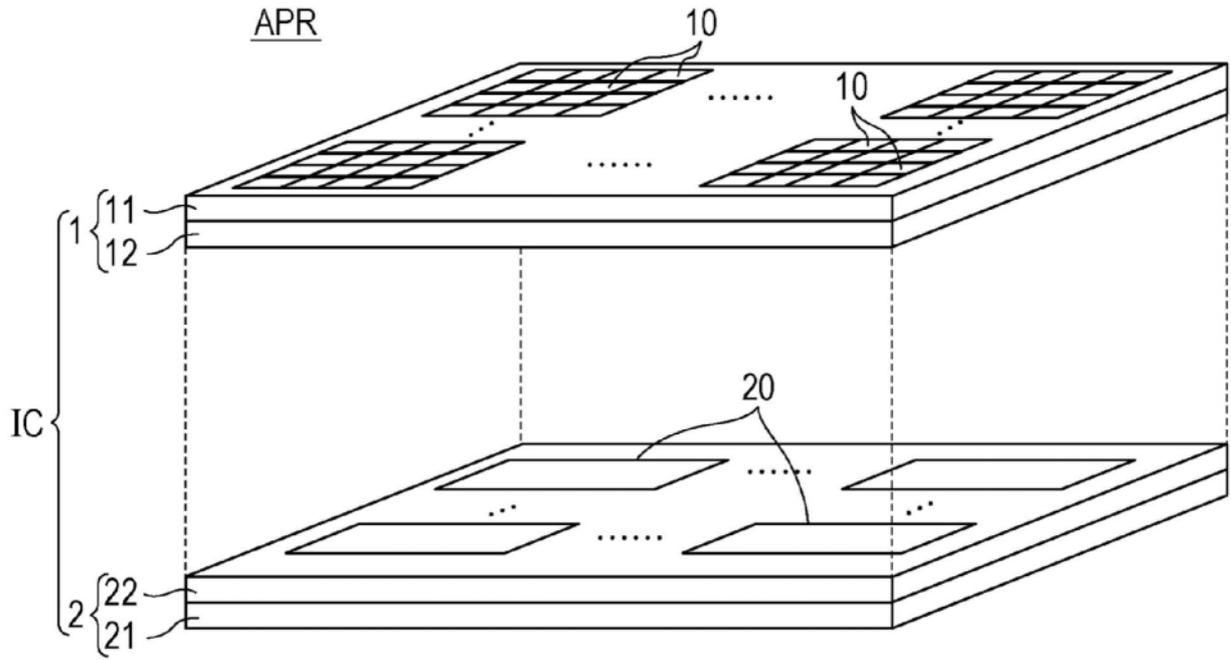


图1A

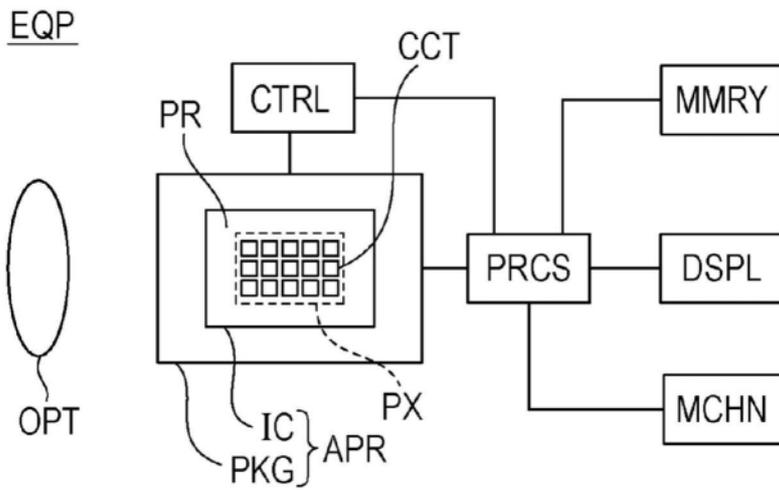


图1B

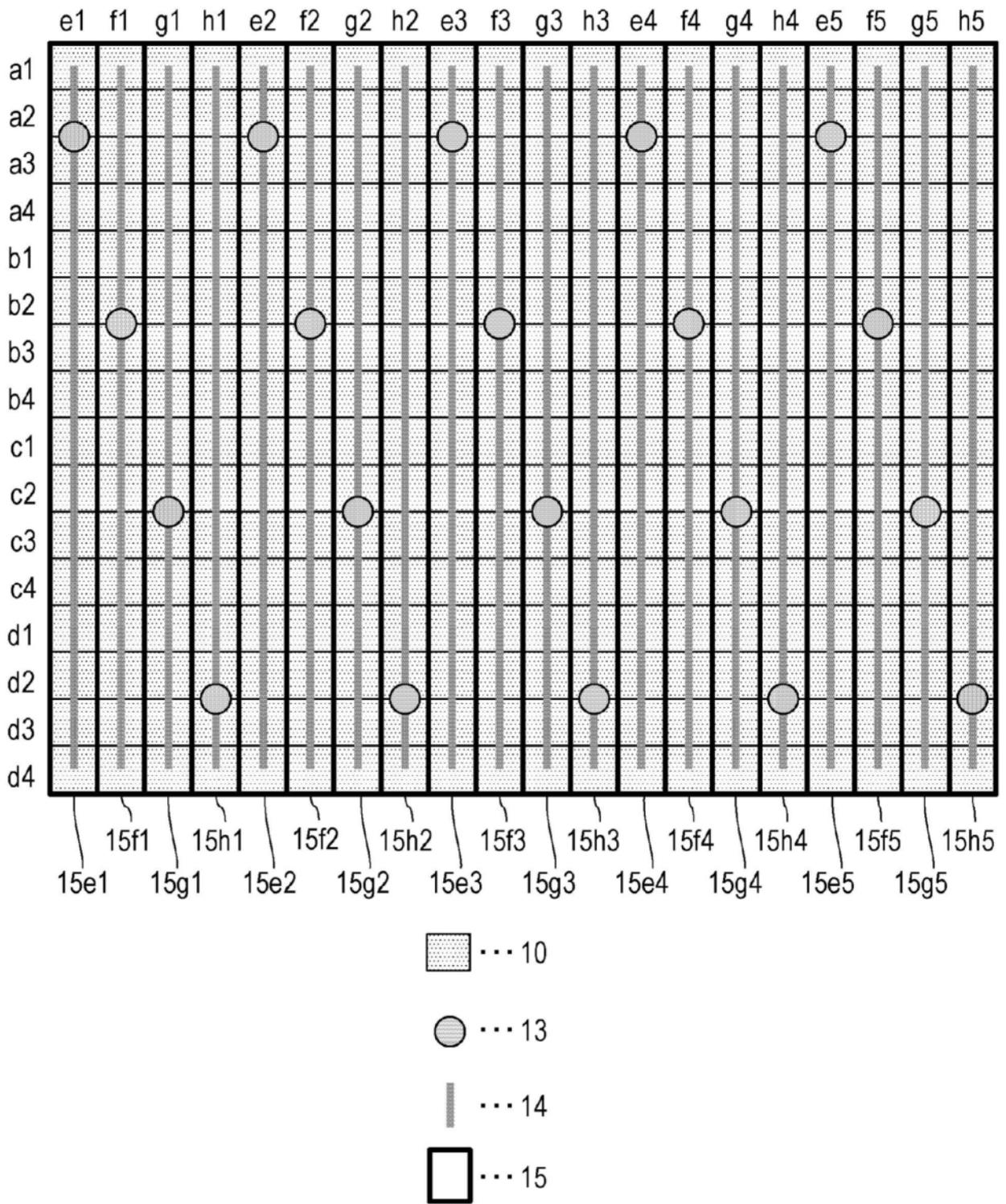


图2A

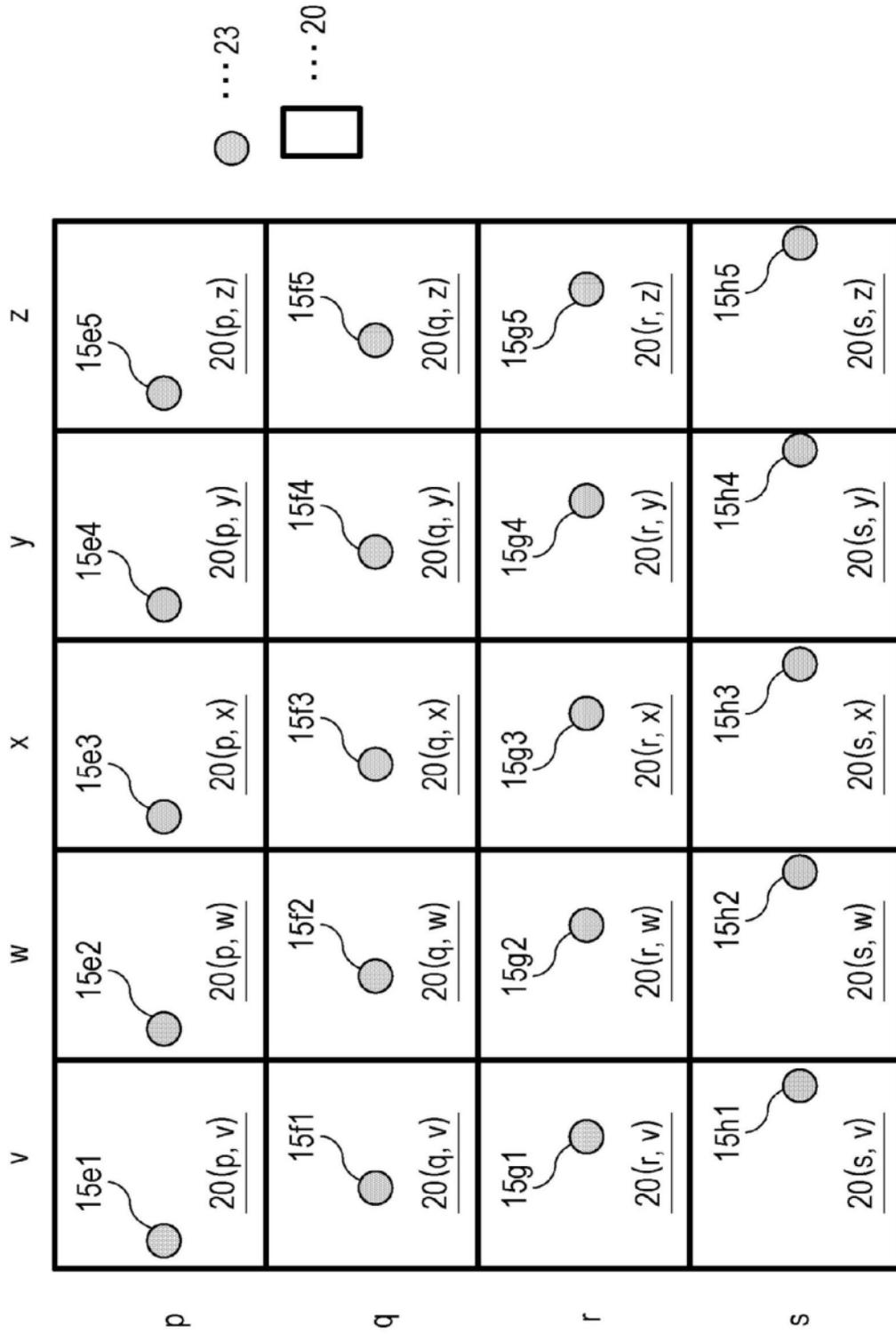


图2B

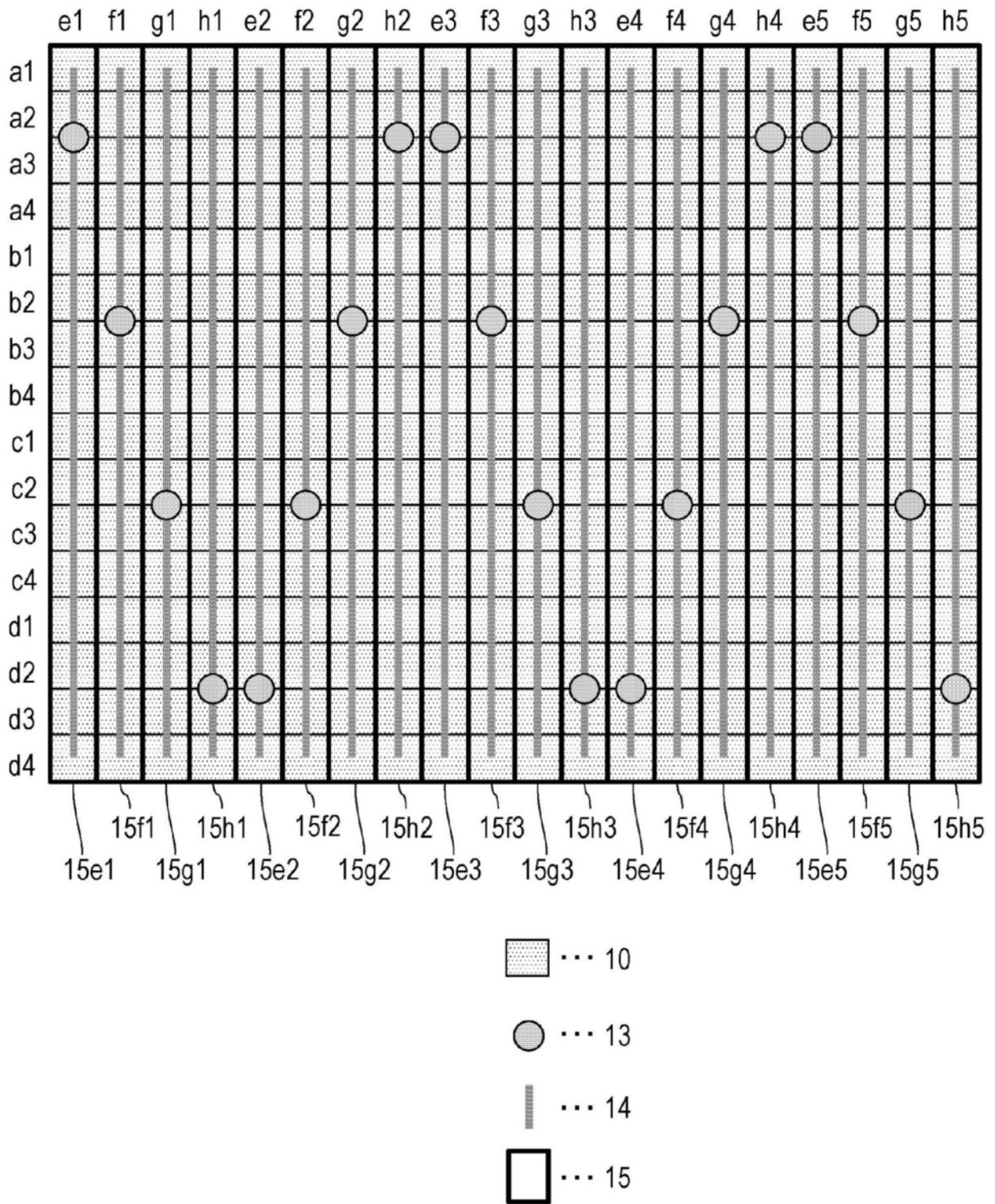


图3A

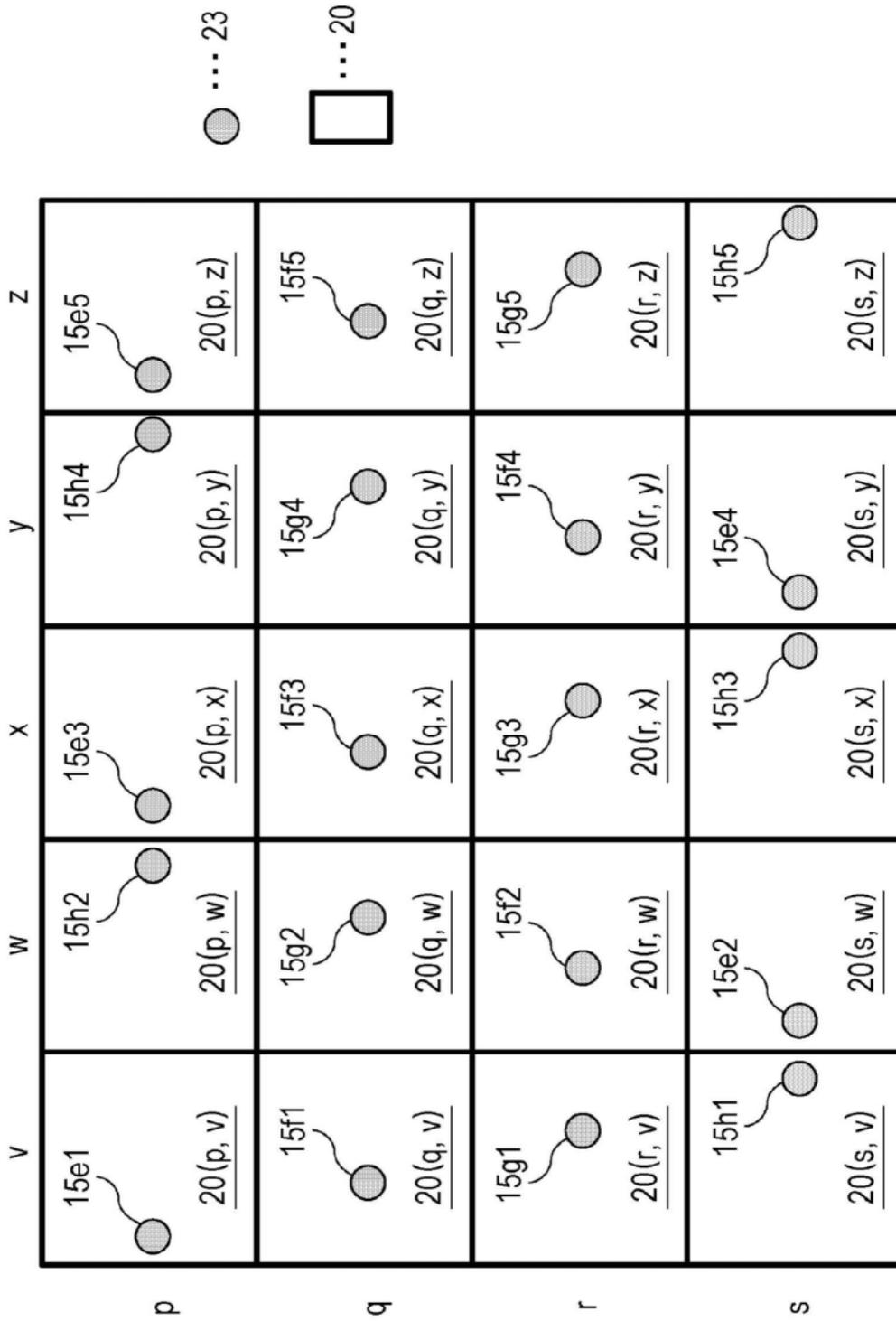


图3B

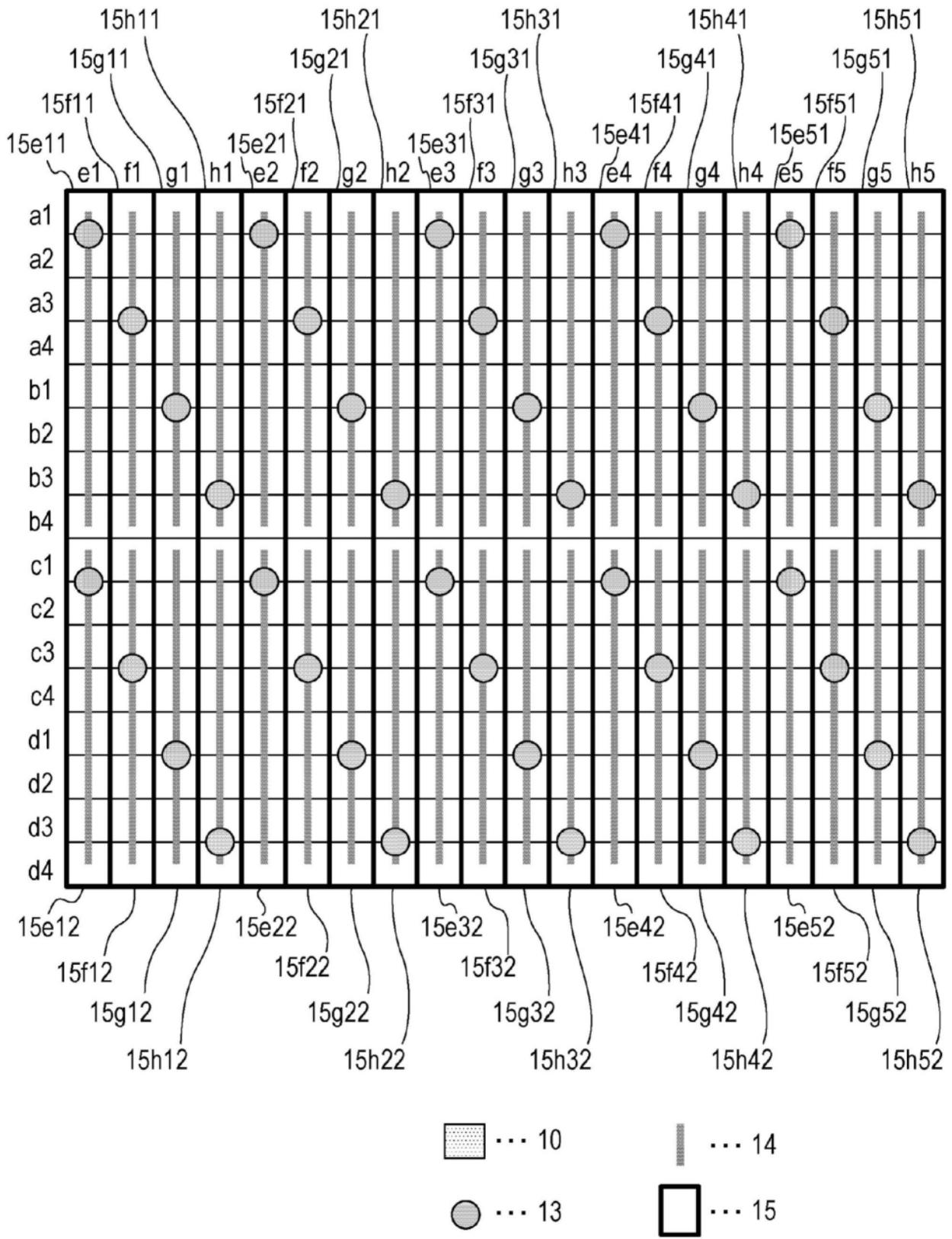


图4A

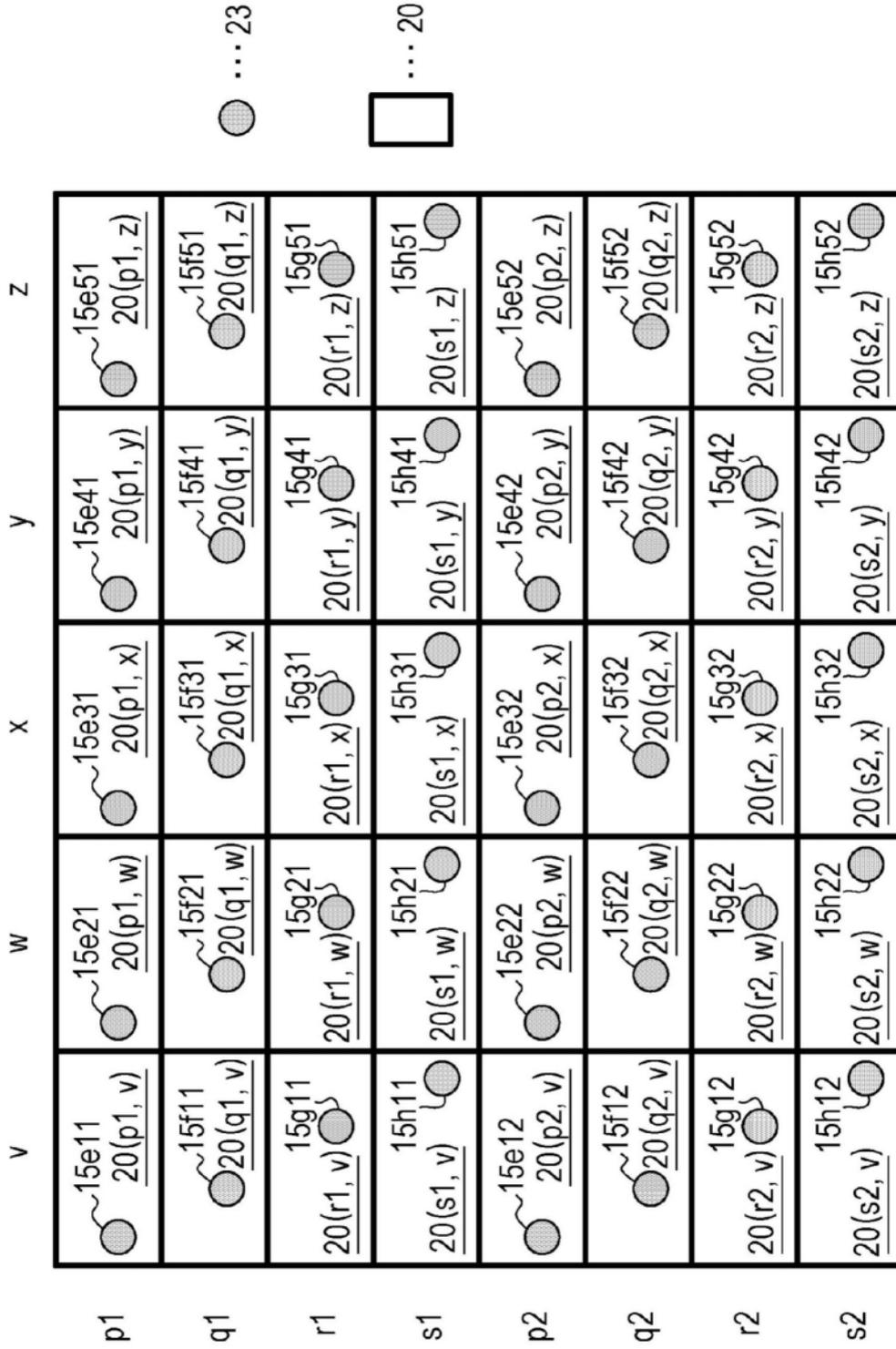


图4B

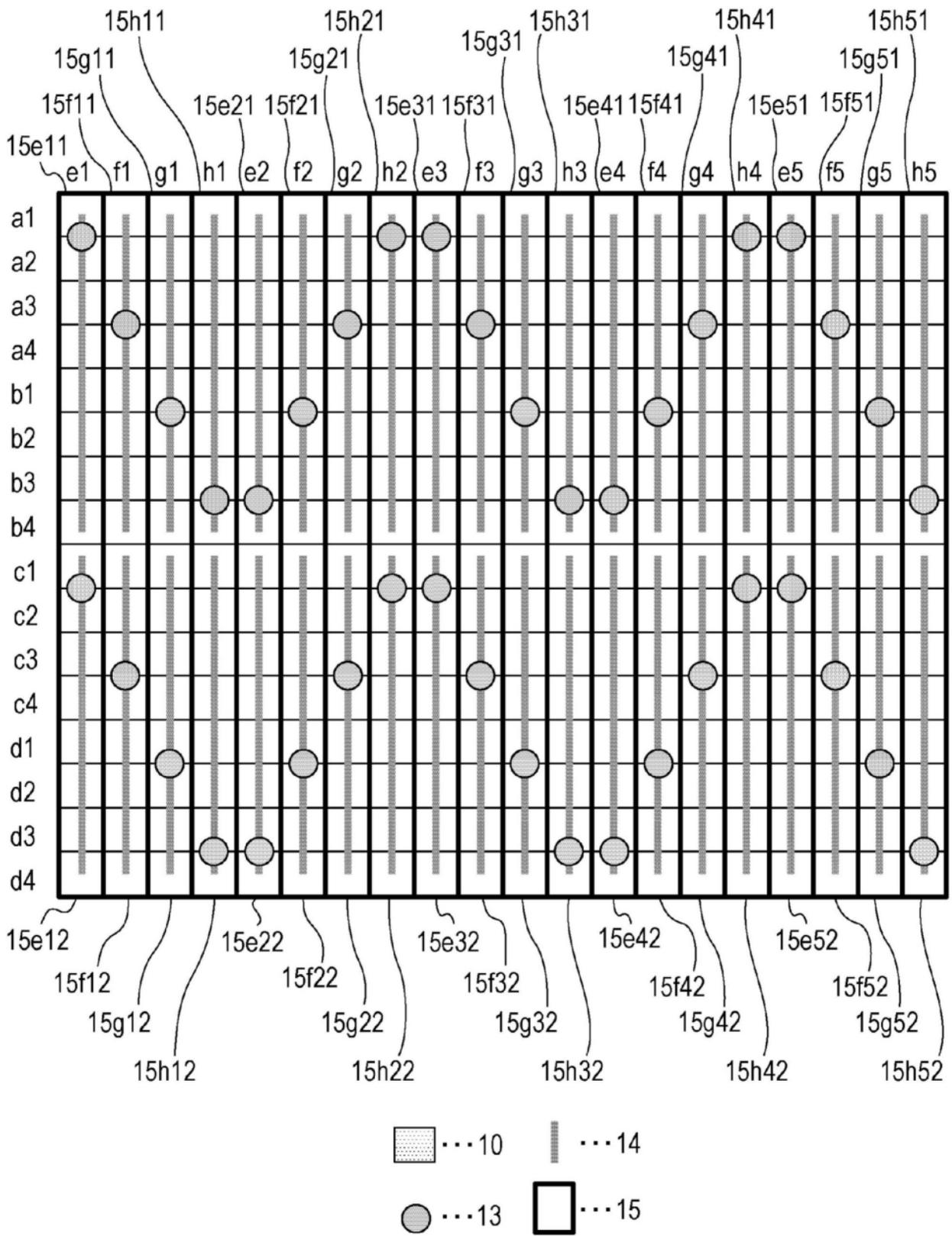


图5A

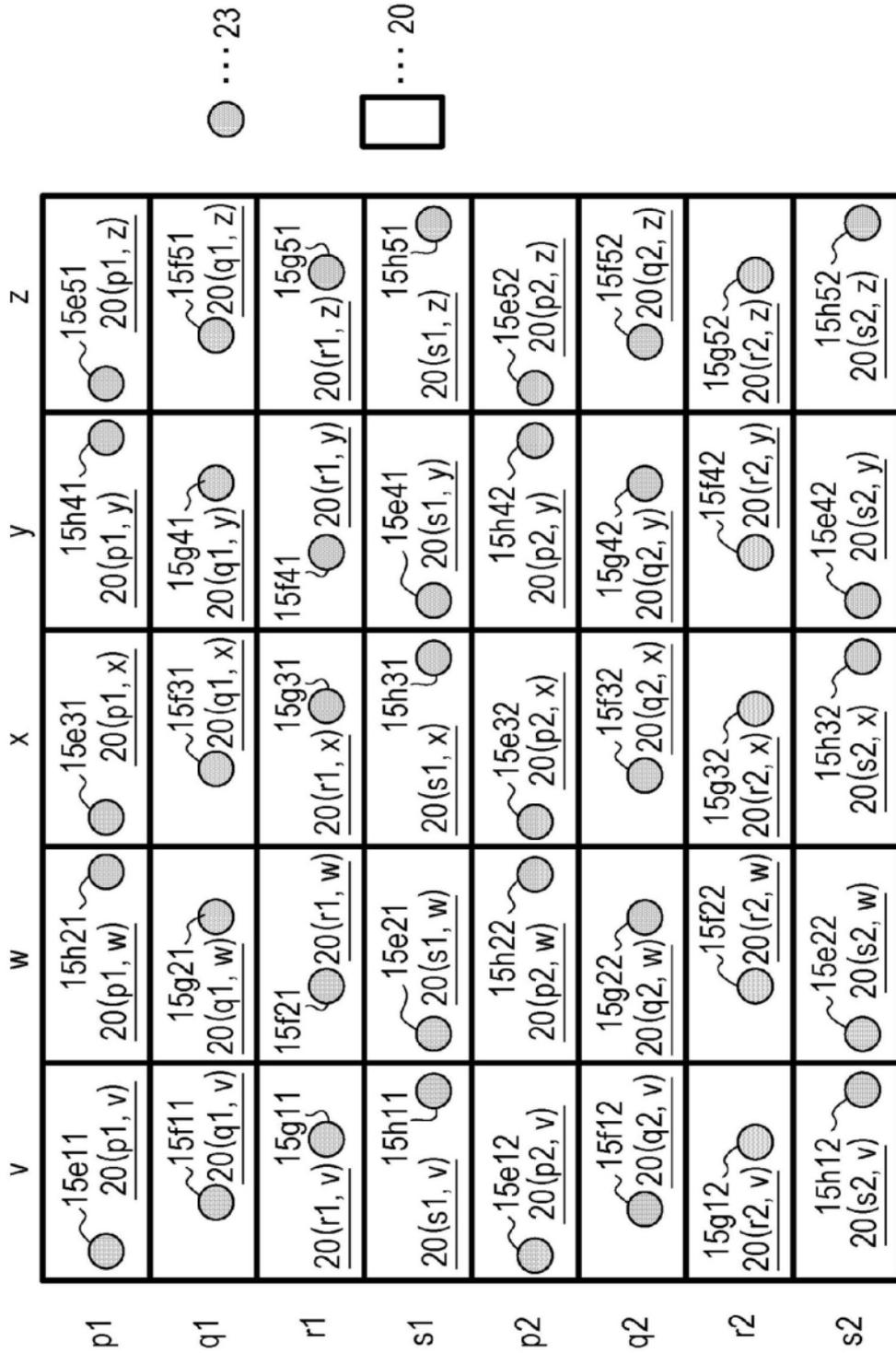


图5B

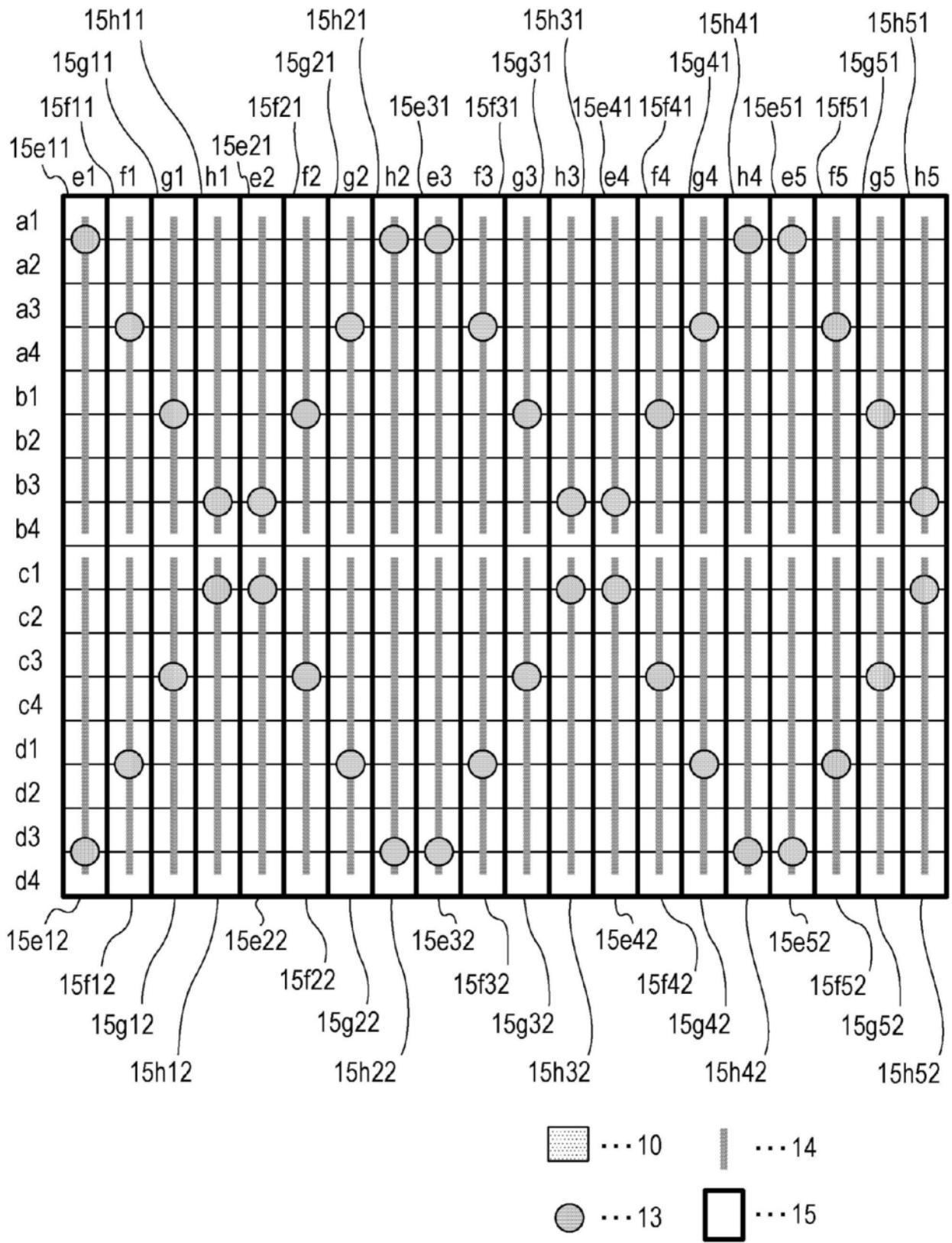


图6A

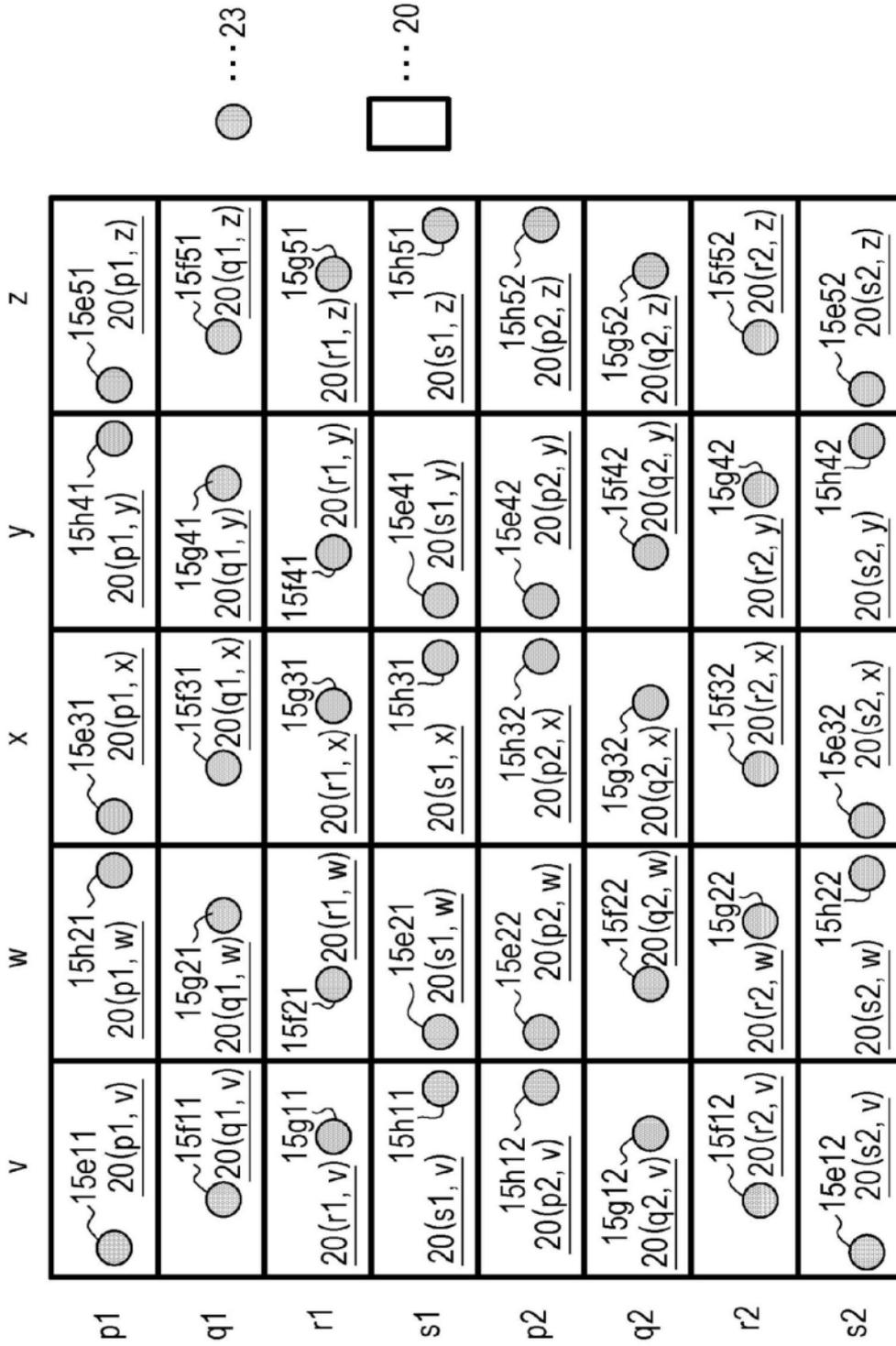


图6B

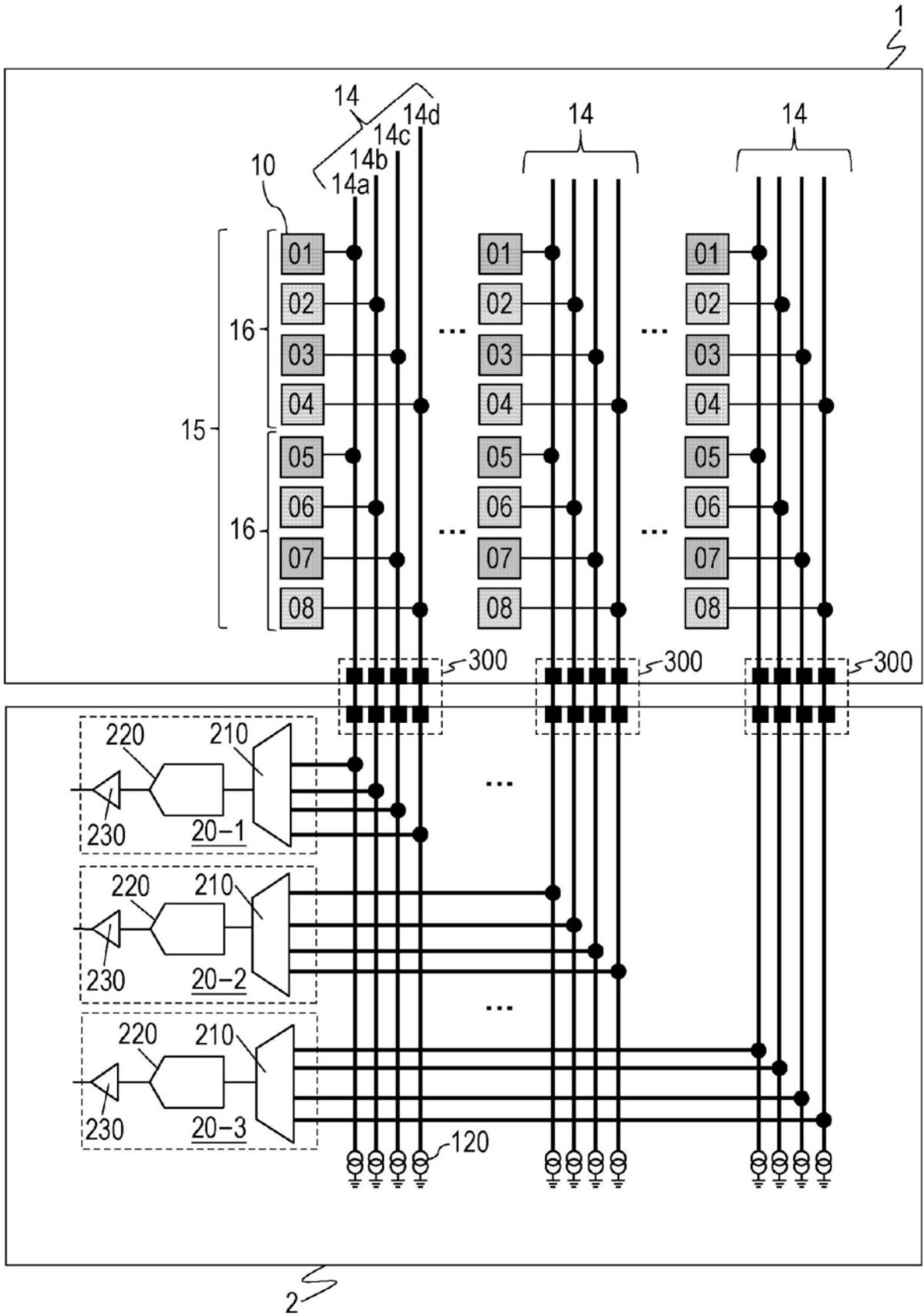


图7

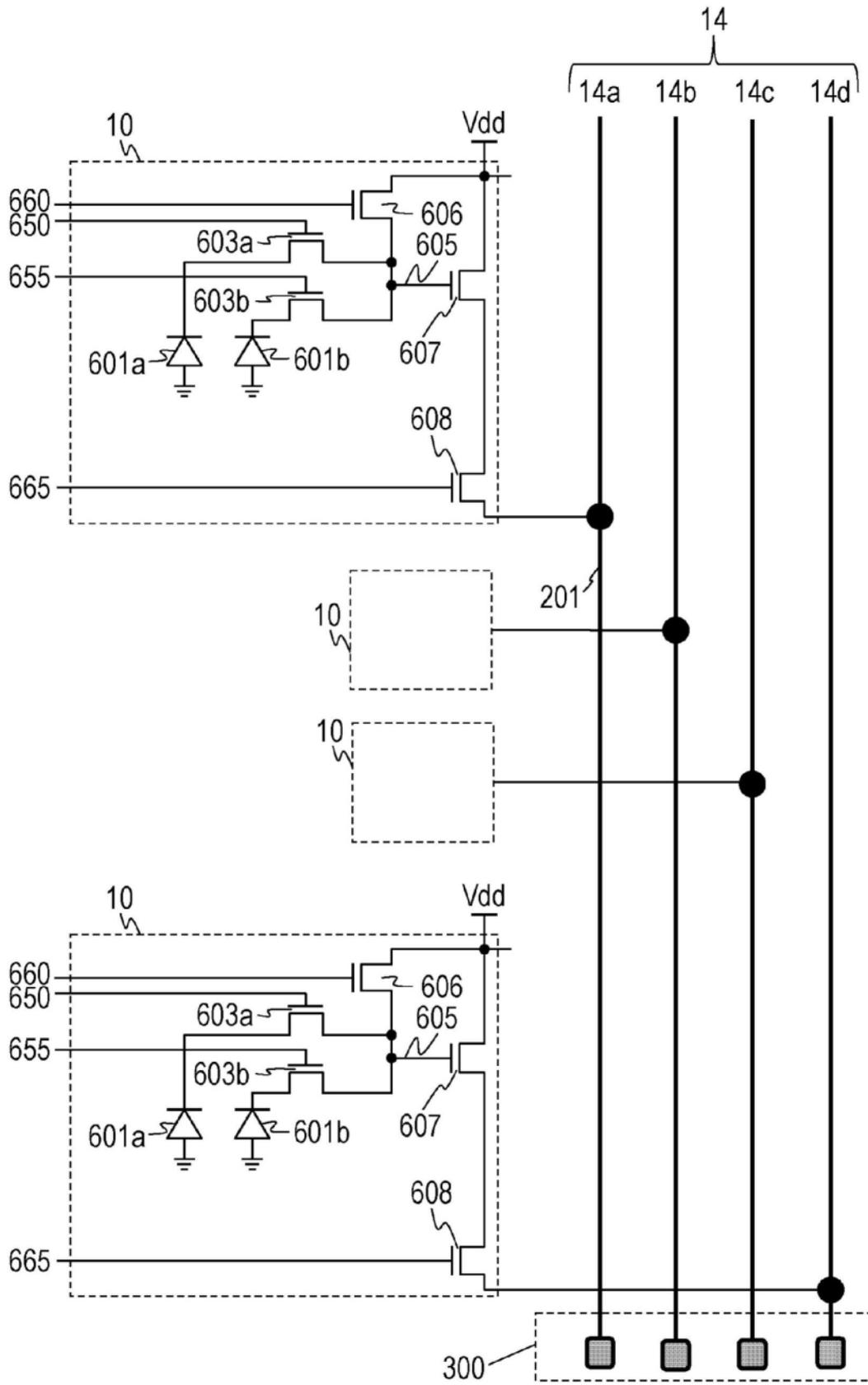


图8

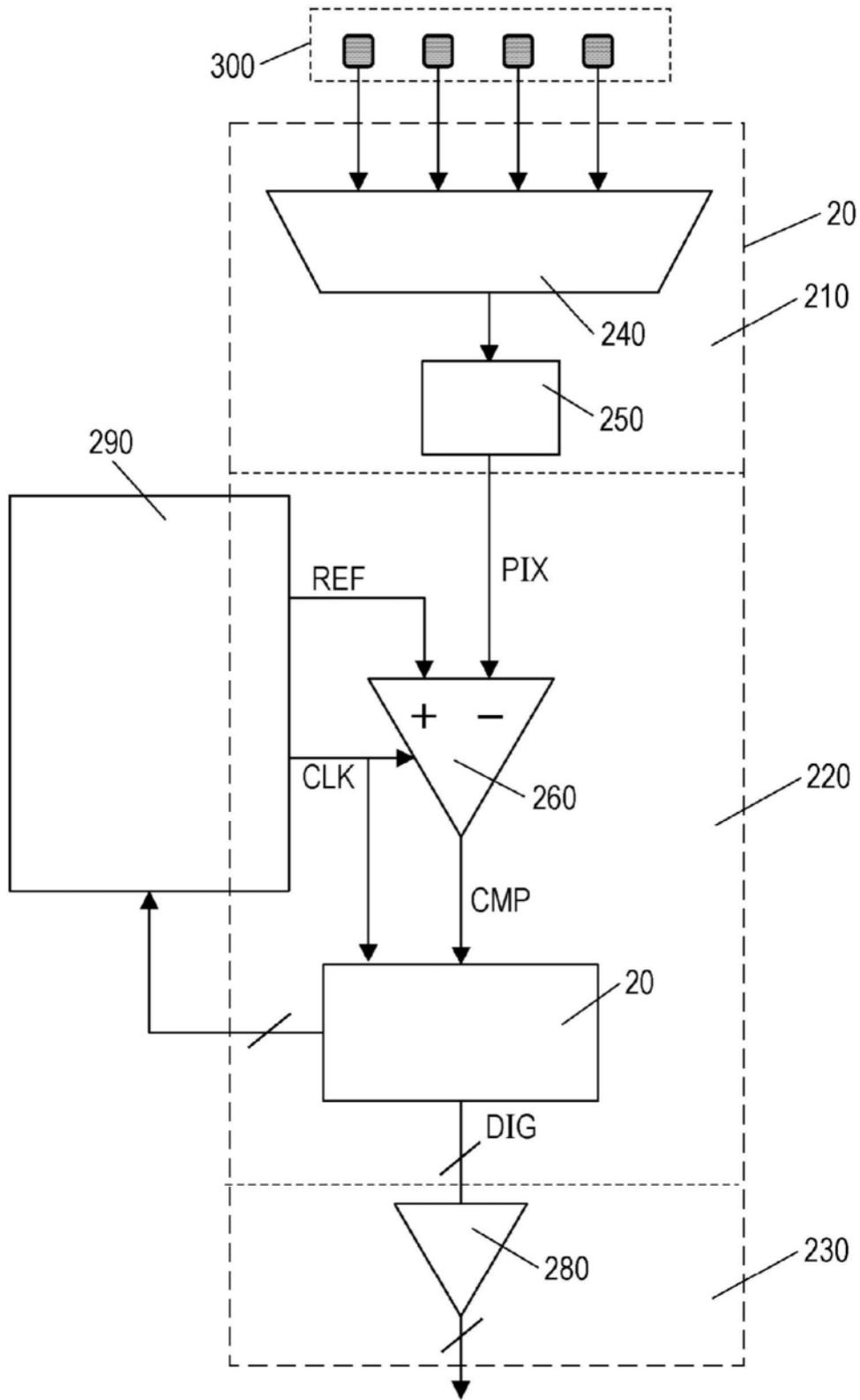


图9

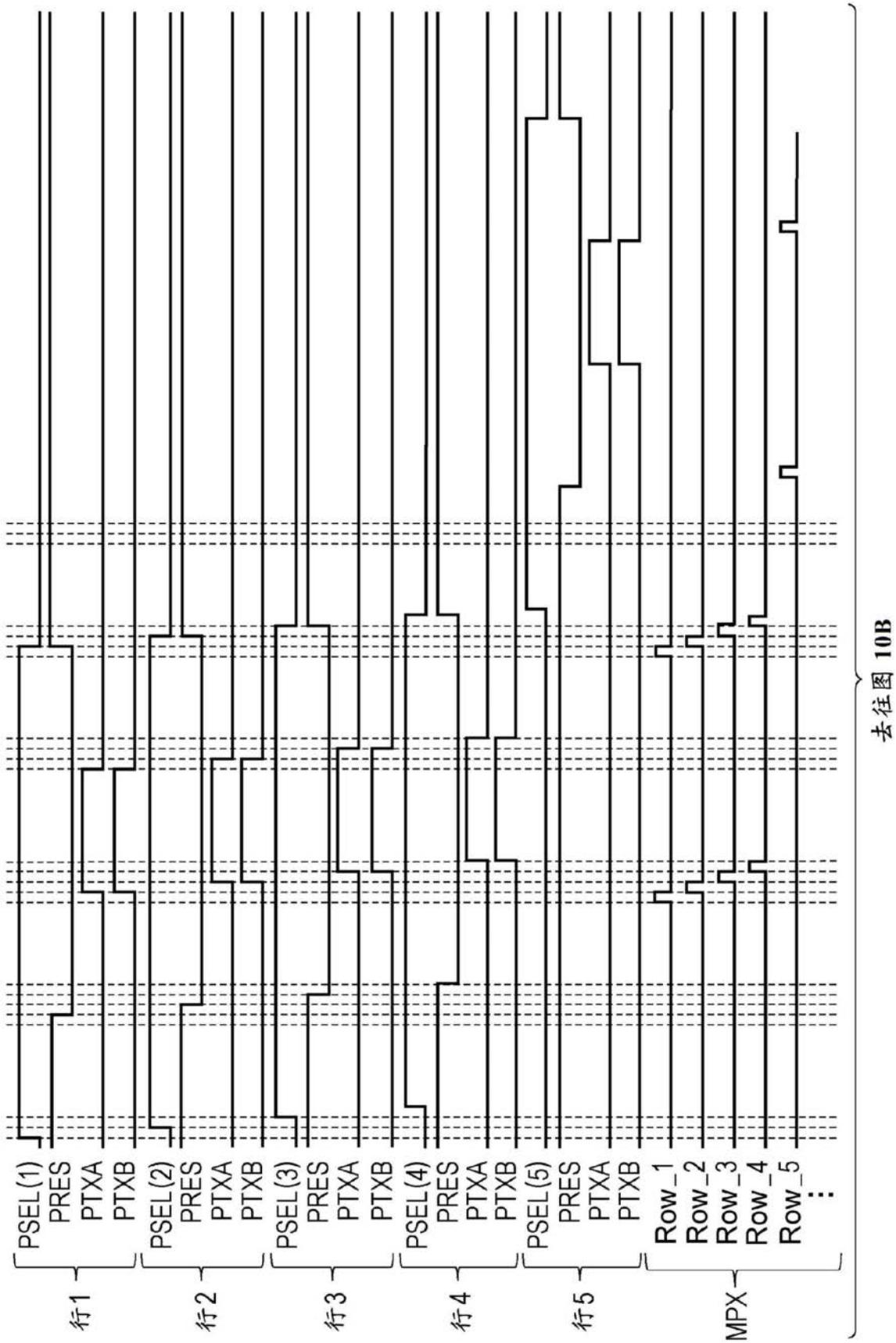


图10A

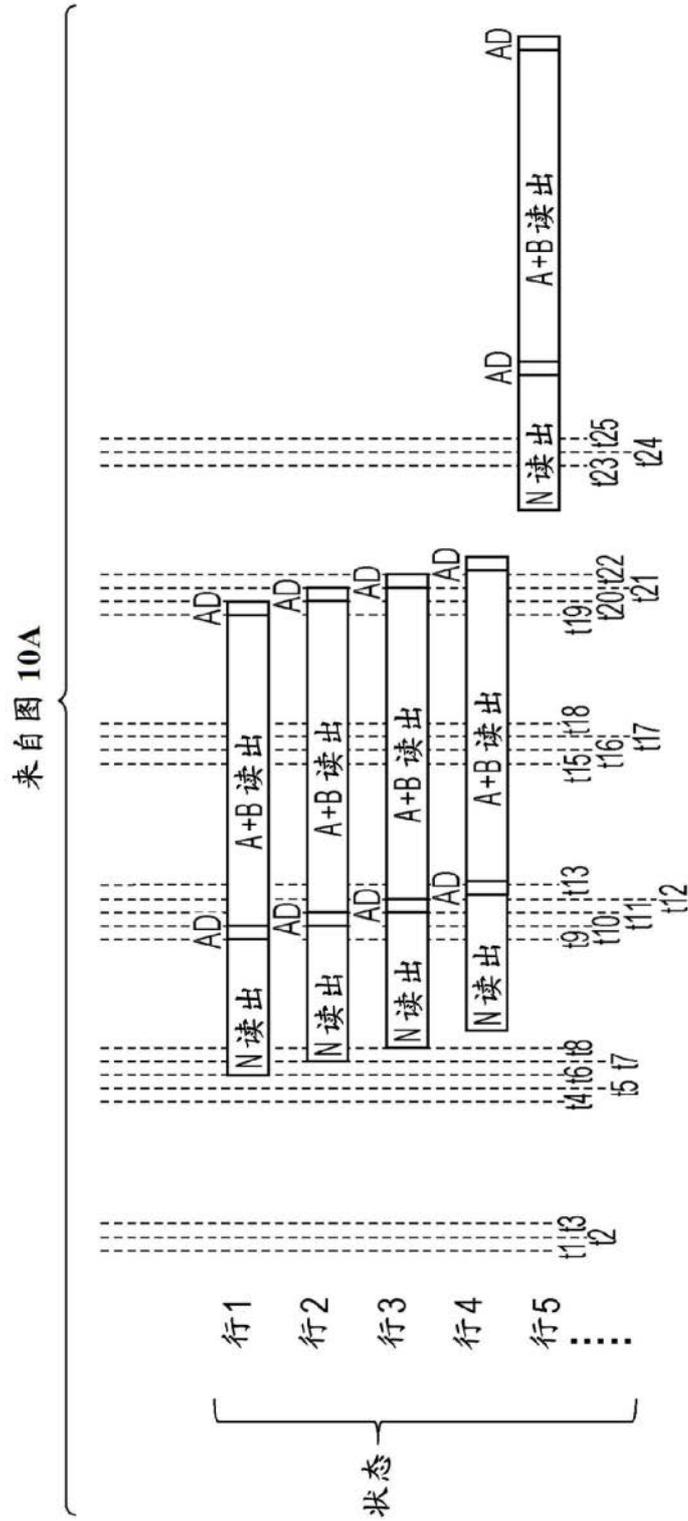


图10B

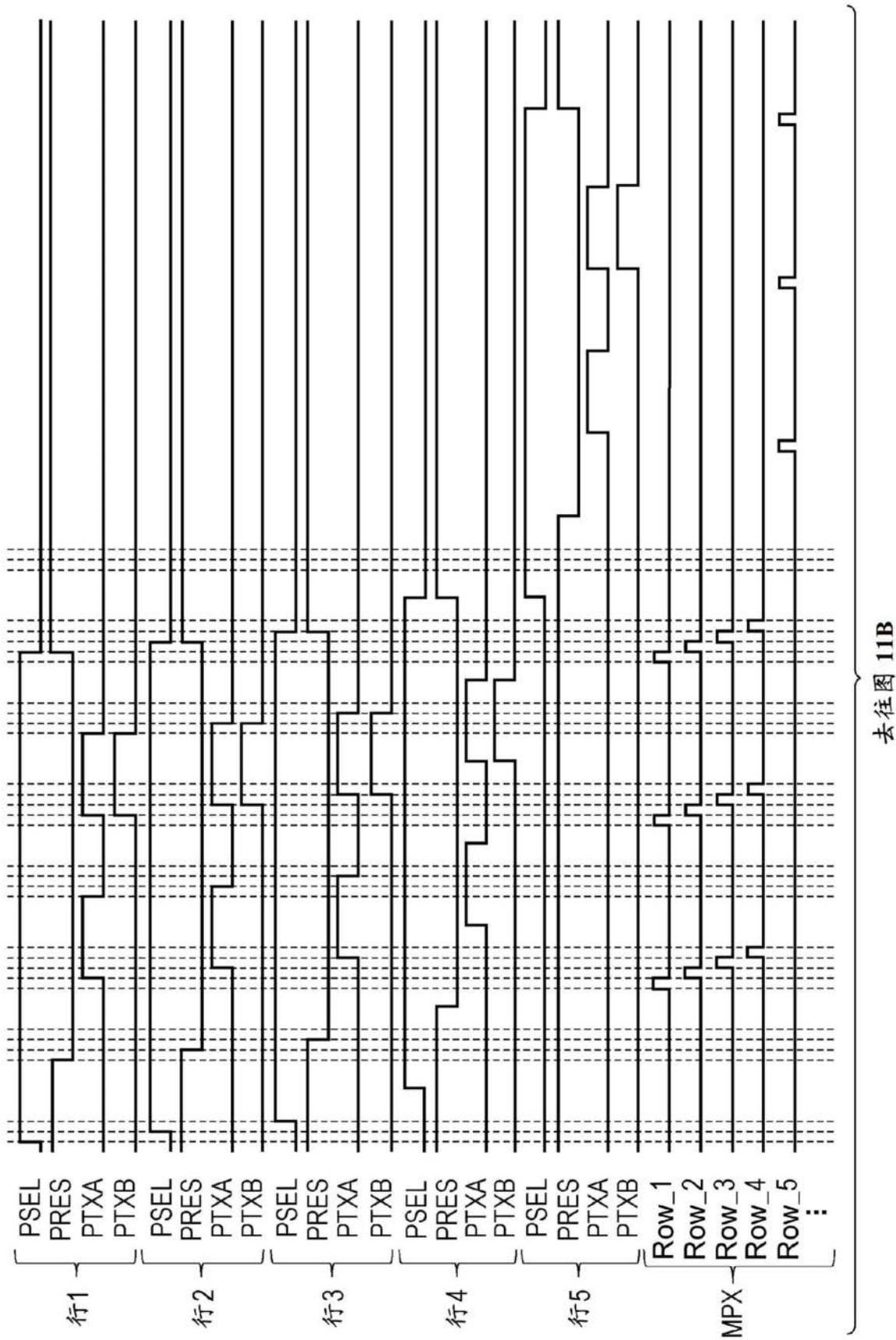


图11A

来自图 11A

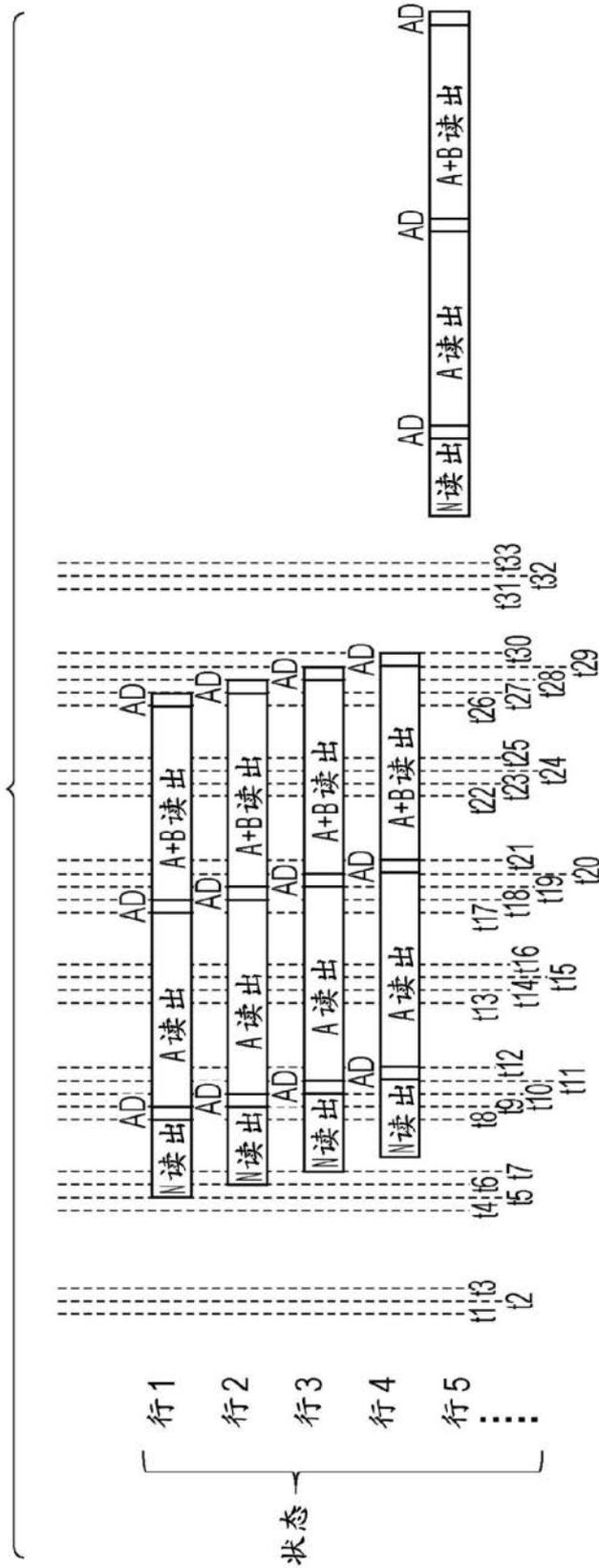


图11B

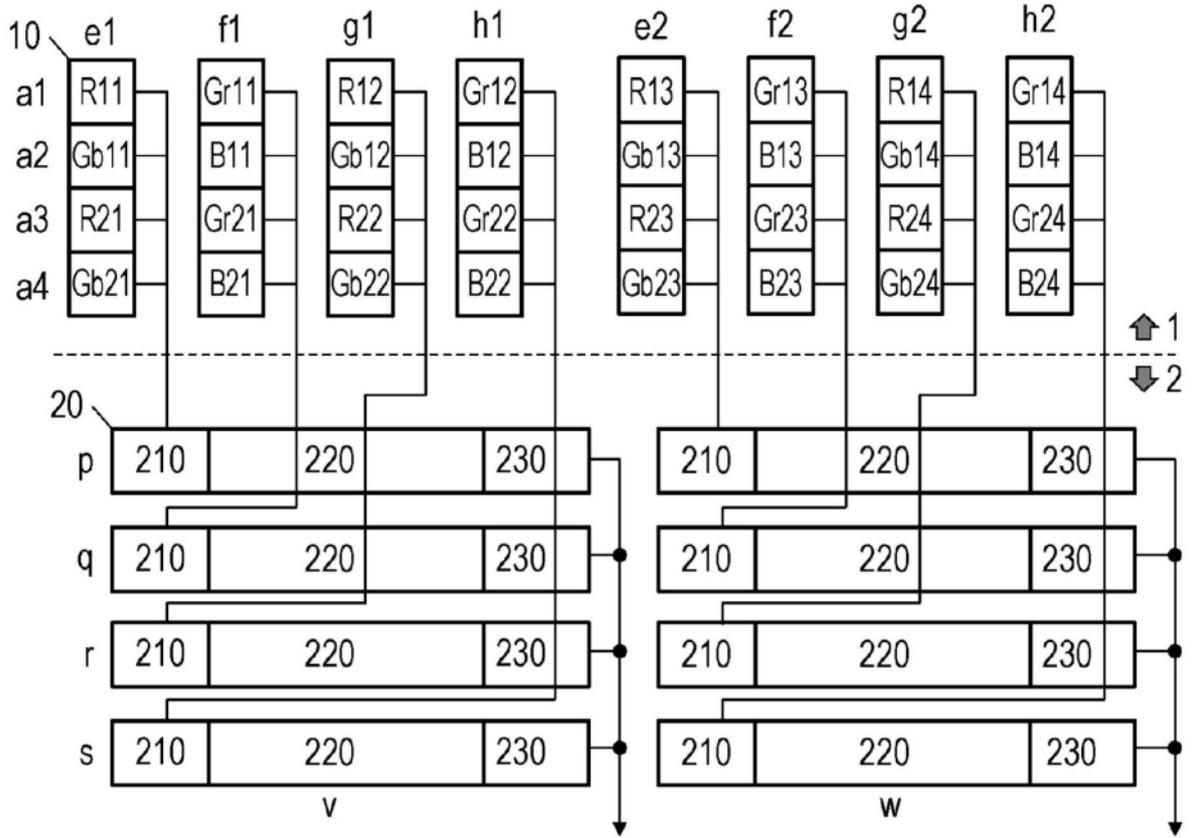


图12A

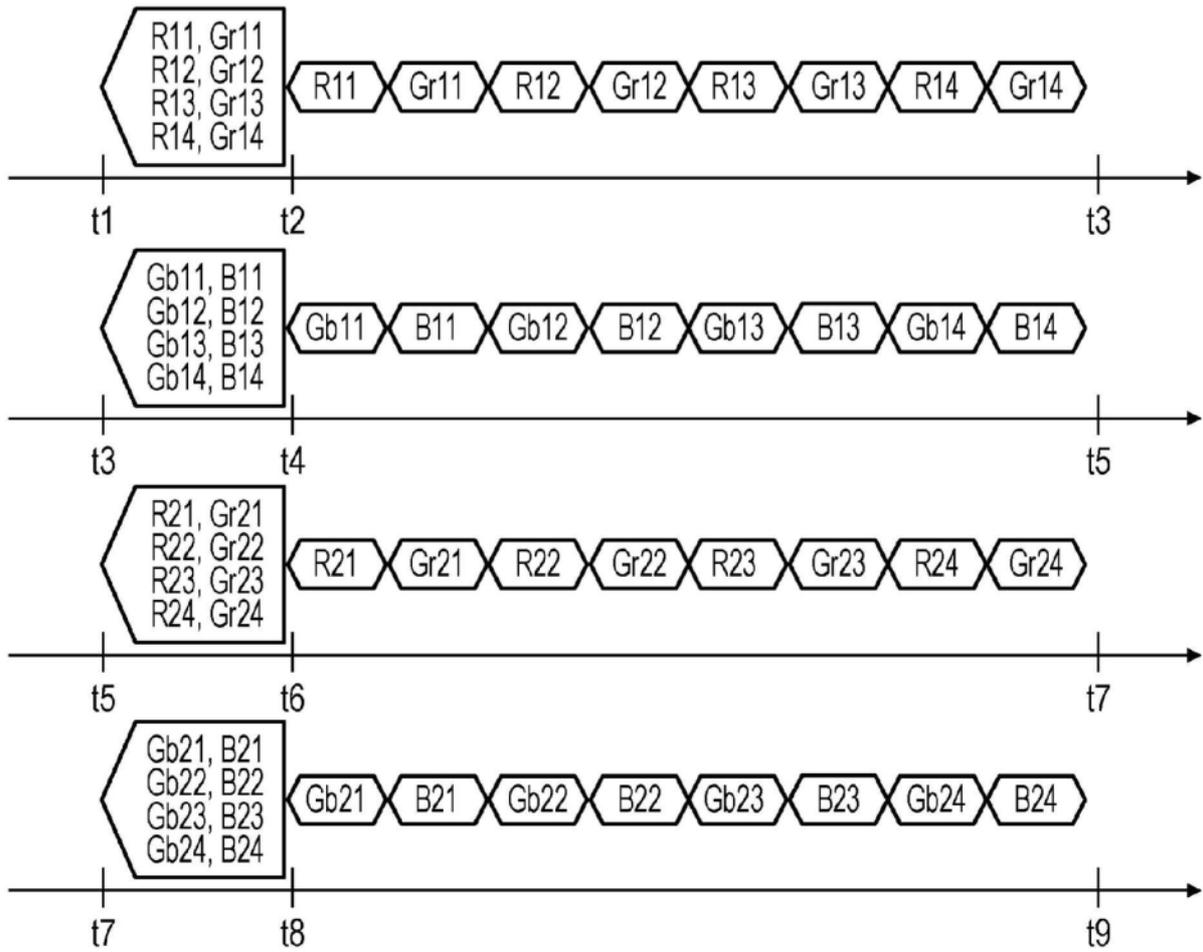


图12B

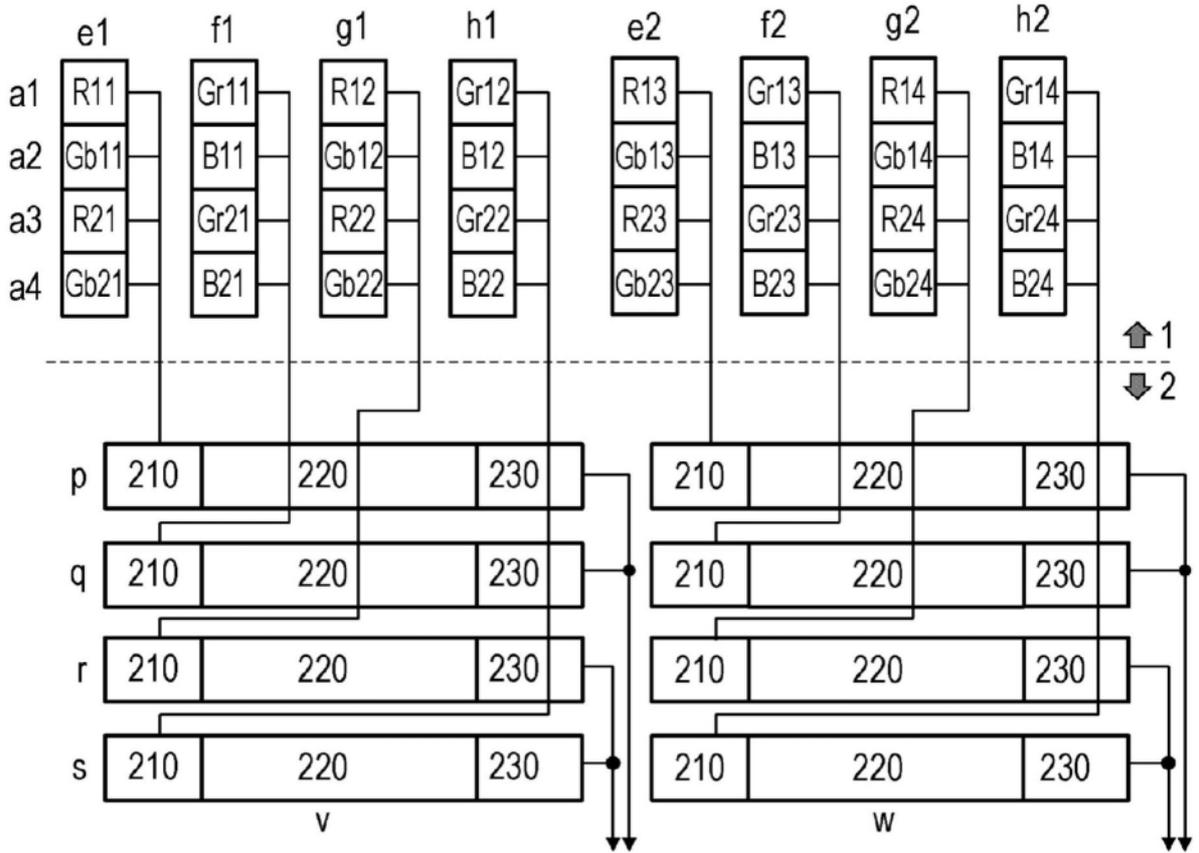


图13A

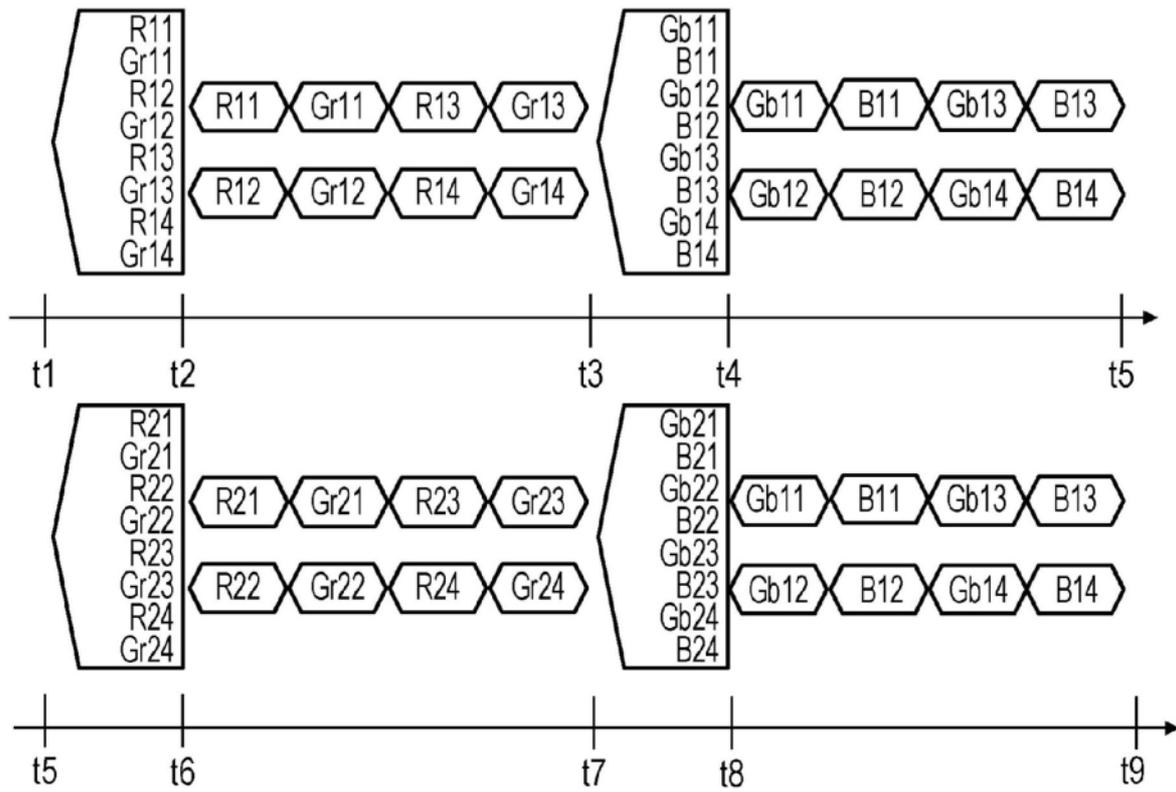


图13B

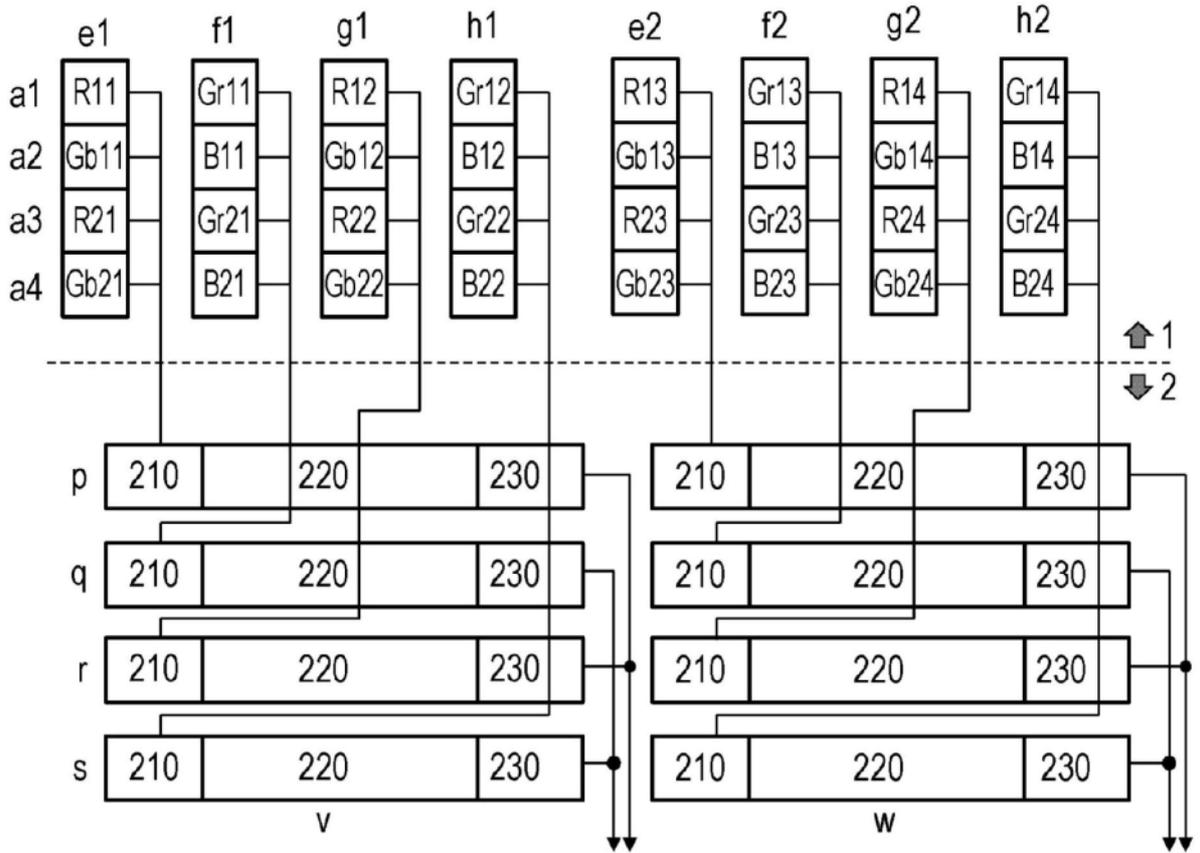


图14A

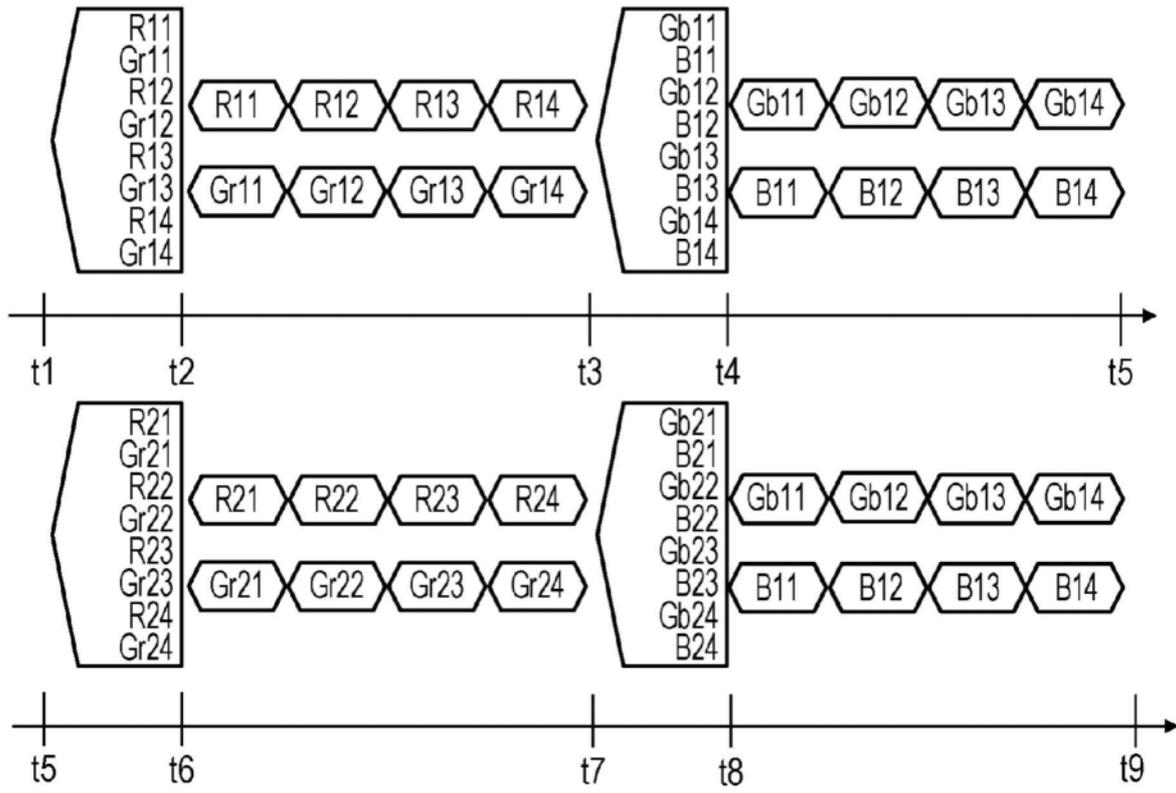


图14B

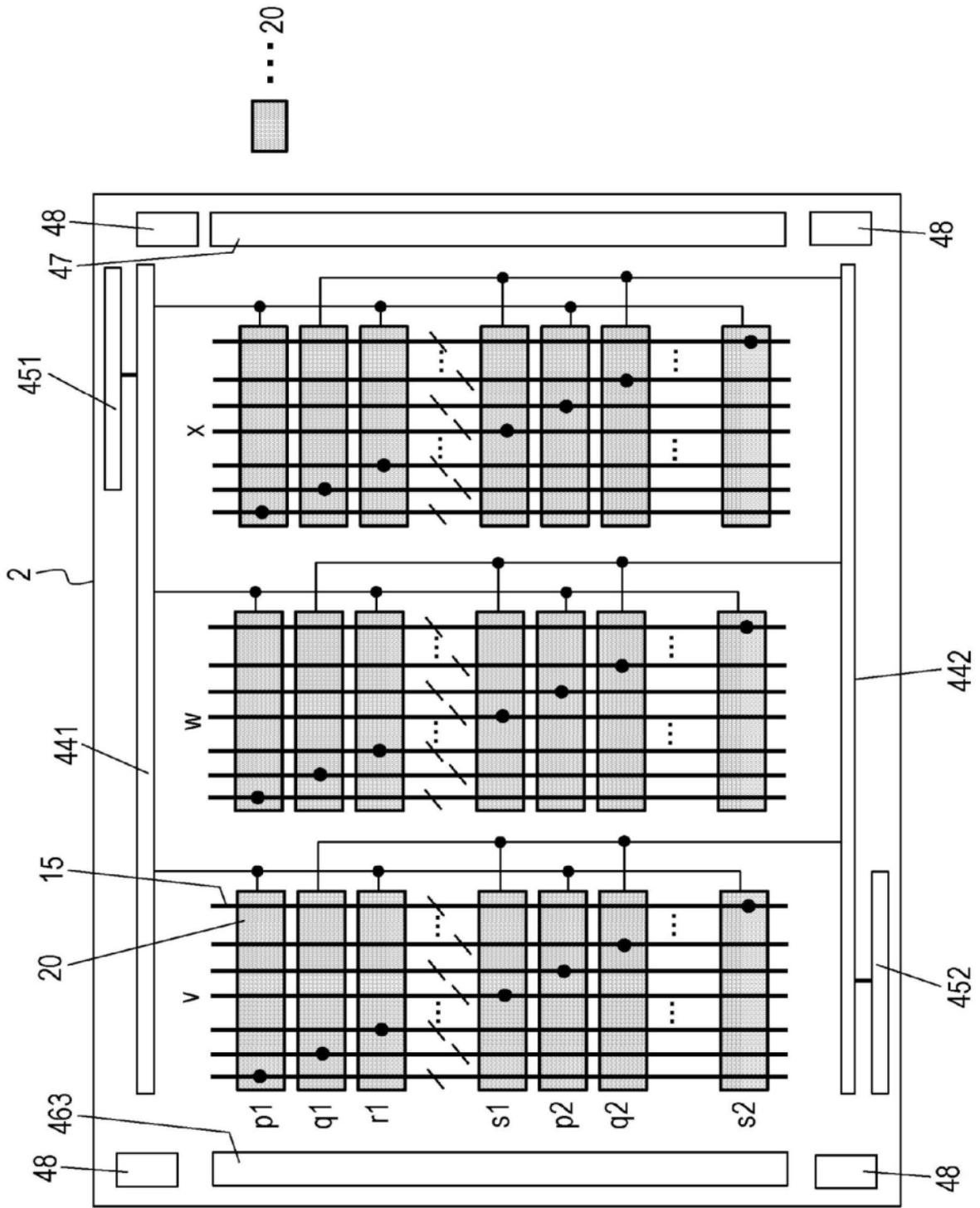


图15

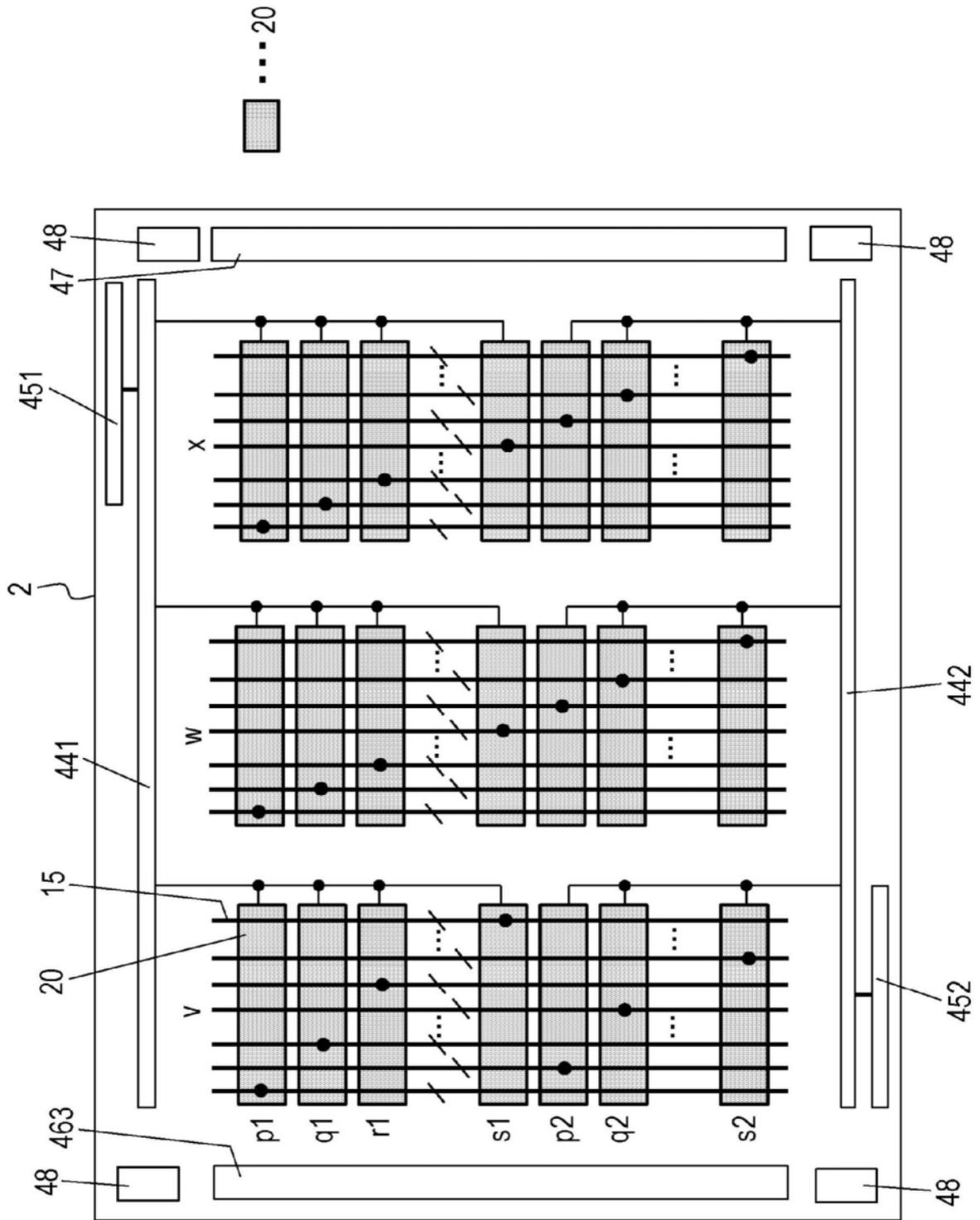


图16

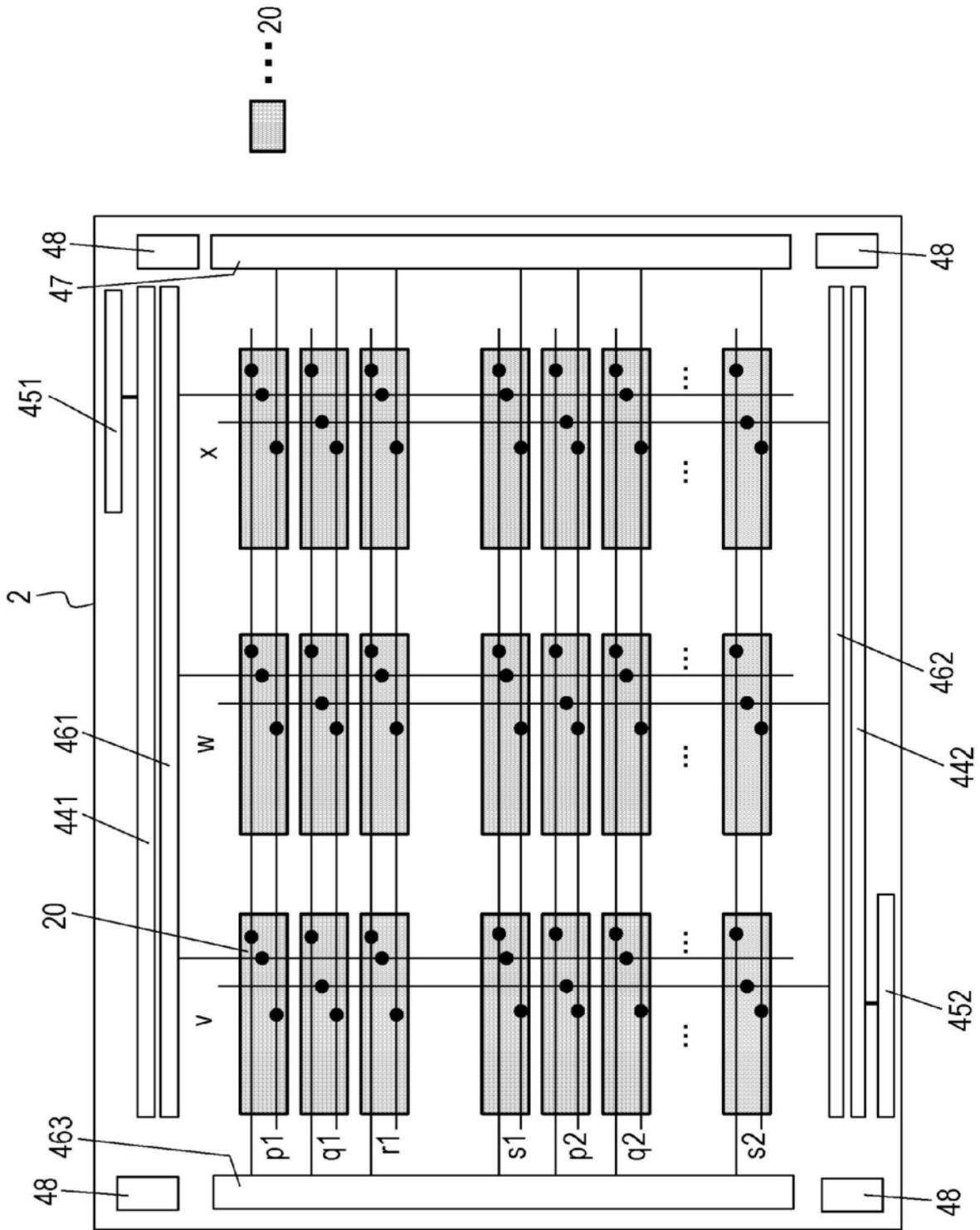


图17

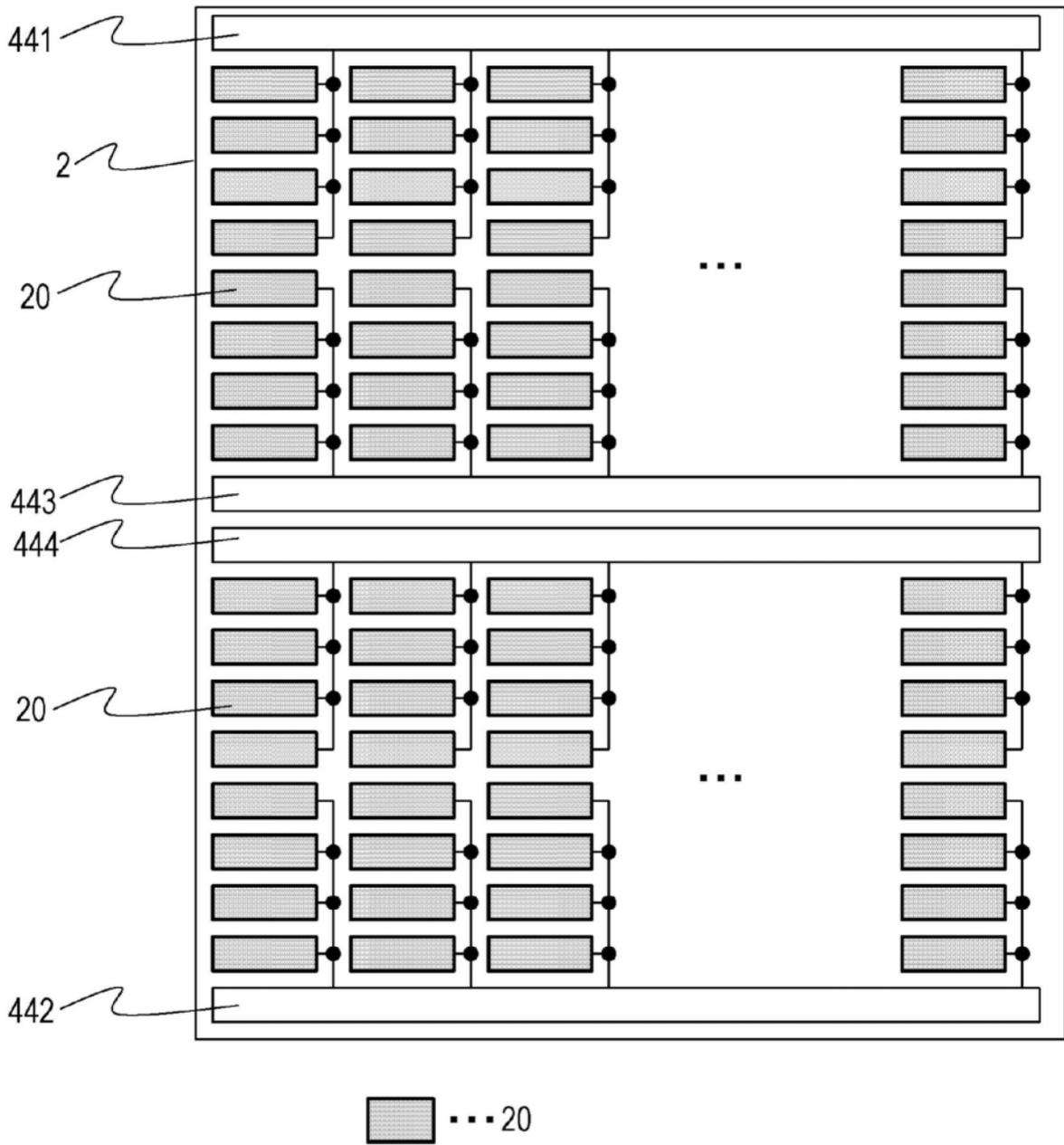


图18

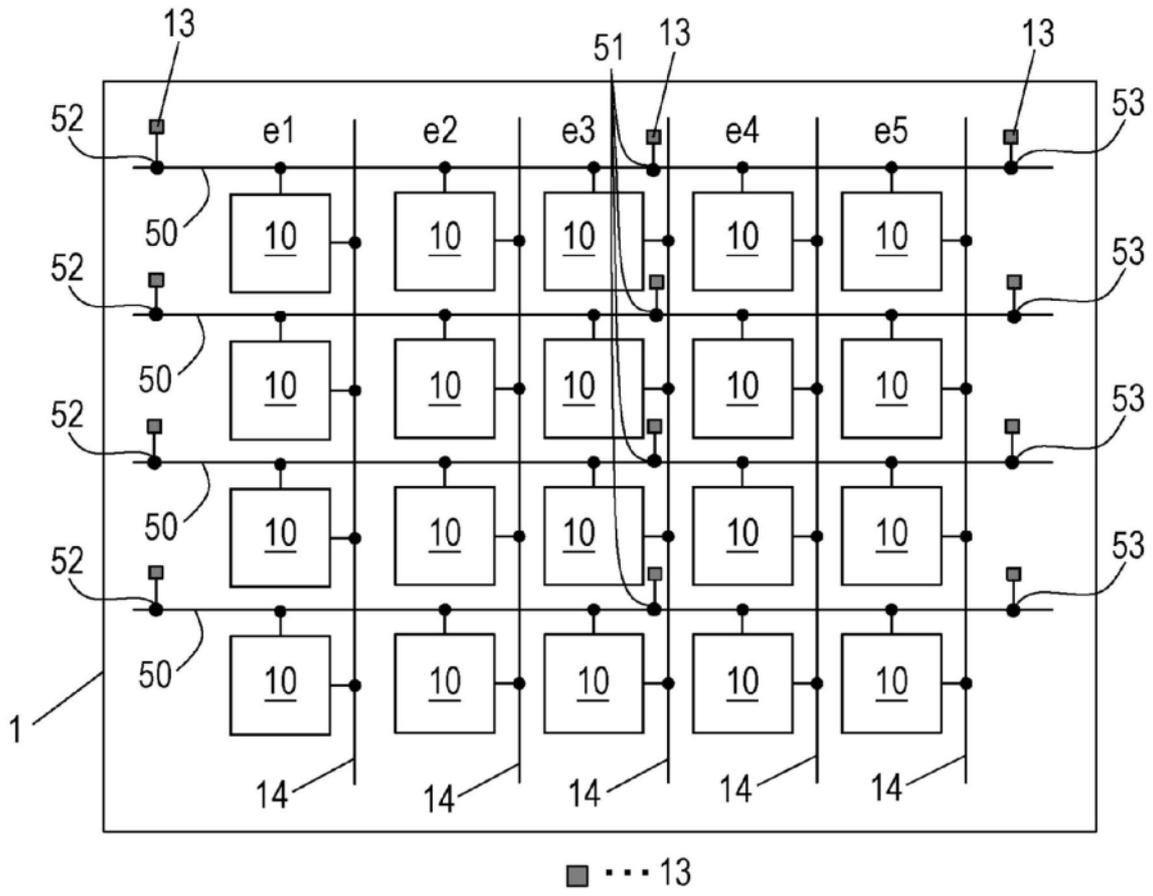


图19A

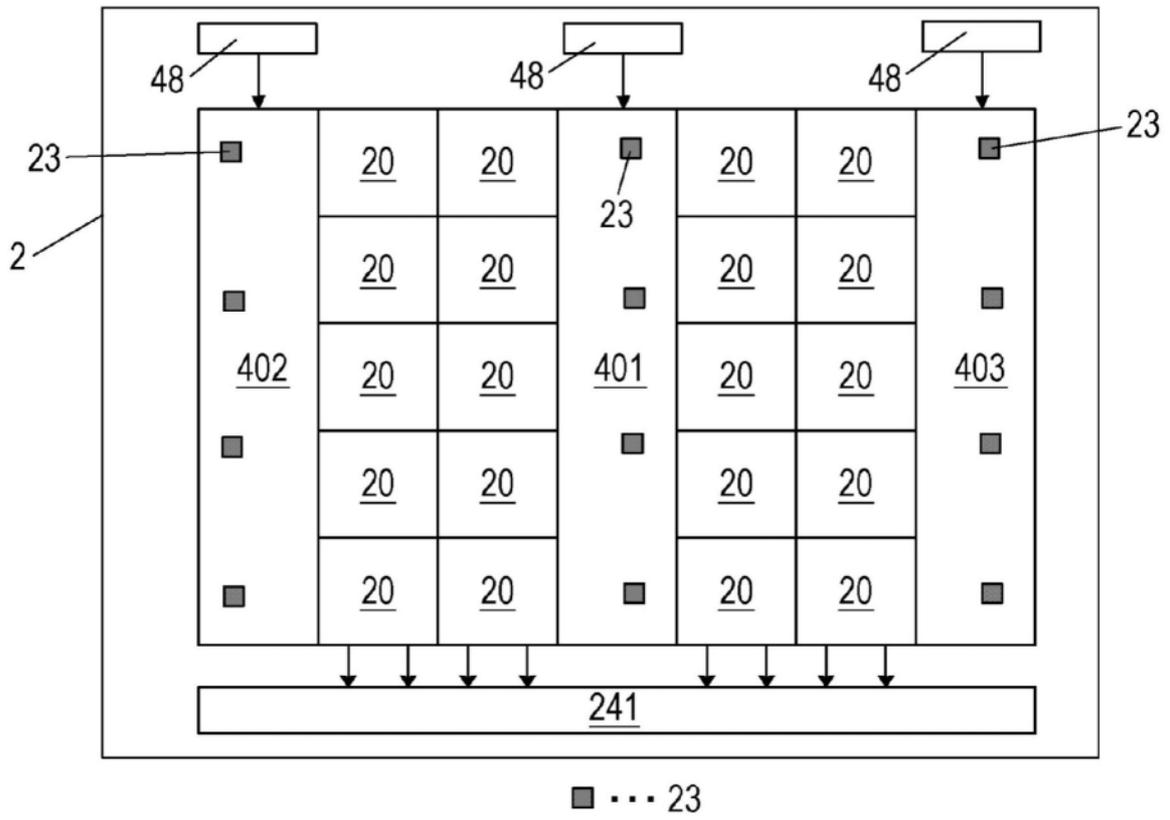


图19B

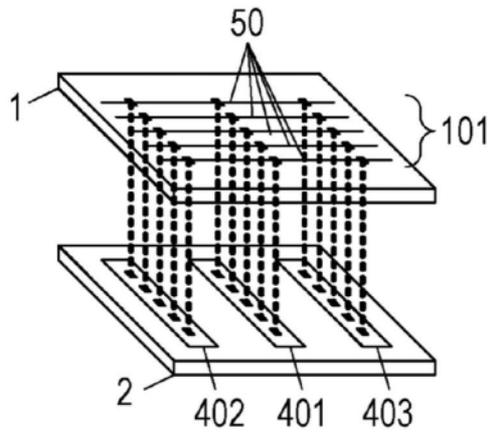


图20A

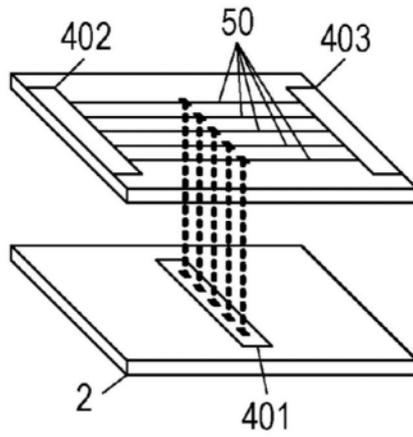


图20B

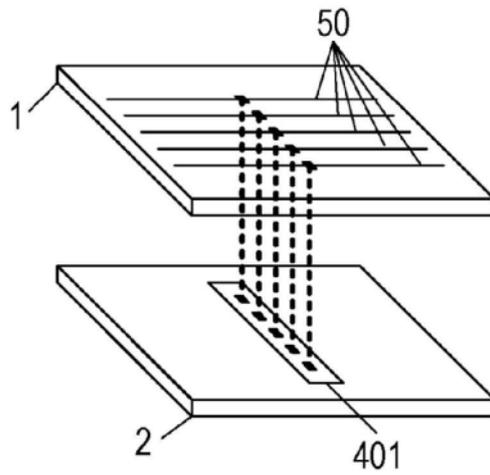


图20C

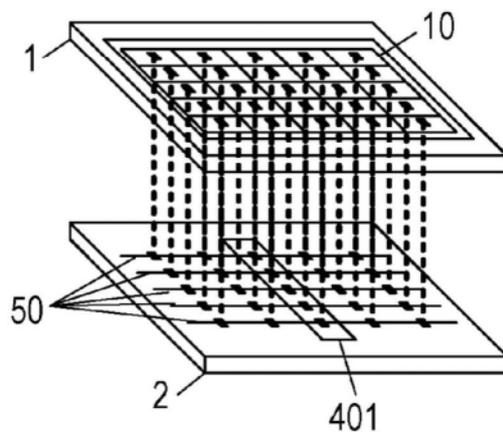


图20D

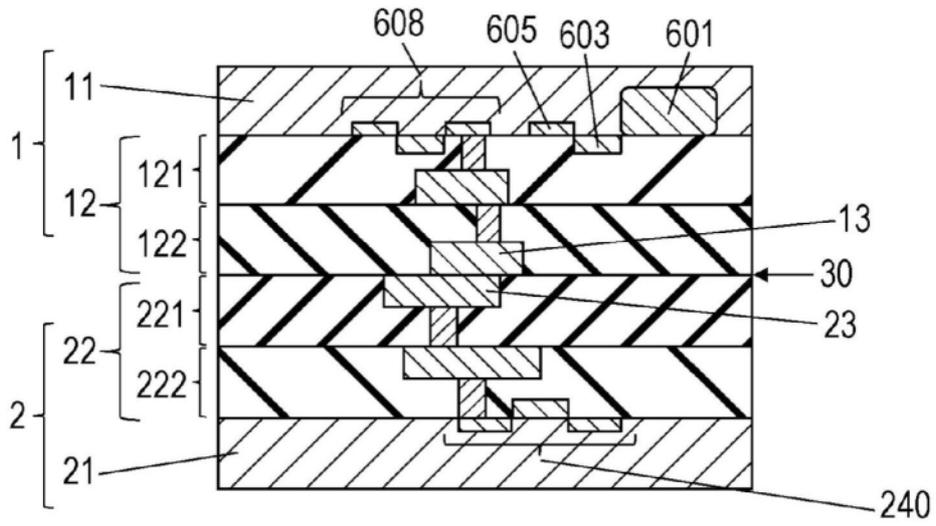


图21A

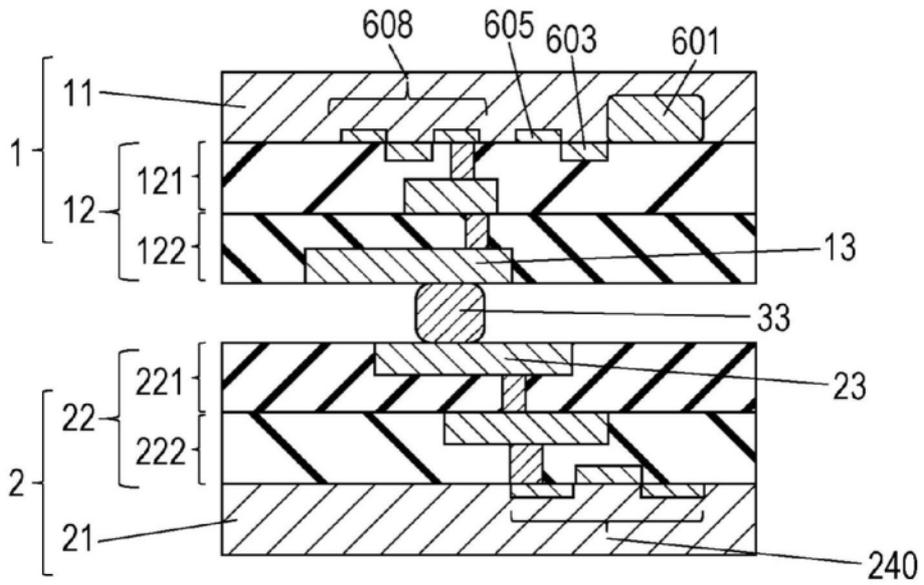


图21B

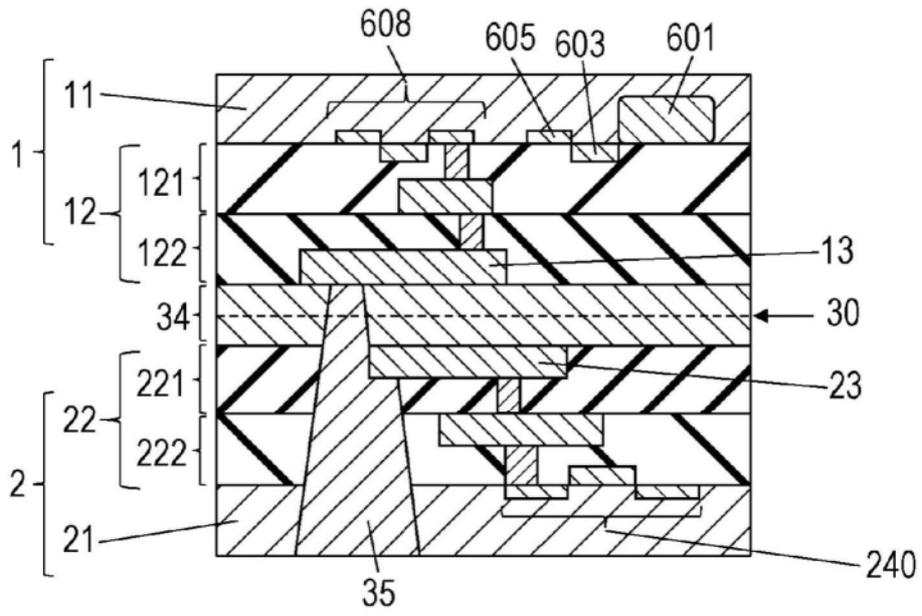


图21C