

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 27 日 (27.07.2017)



(10) 国际公布号
WO 2017/124721 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) *G11C 19/28* (2006.01)
- (21) 国际申请号: PCT/CN2016/091723
- (22) 国际申请日: 2016 年 7 月 26 日 (26.07.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610034449.9 2016 年 1 月 19 日 (19.01.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园, Anhui 230011 (CN)。
- (72) 发明人: 王飞 (WANG, Fei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SHIFT REGISTER, GATE DRIVE CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器、栅极驱动电路及显示装置

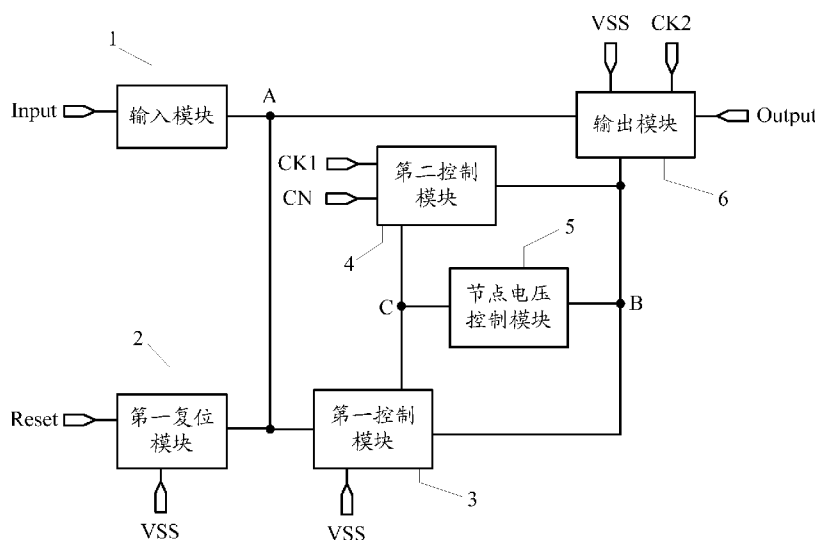


图 1

- 1 INPUT MODULE
2 FIRST RESET MODULE
3 FIRST CONTROL MODULE
4 SECOND CONTROL MODULE
5 NODE VOLTAGE CONTROL MODULE
6 OUTPUT MODULE

(57) Abstract: A shift register, gate drive circuit, and display device. The shift register comprises: an input module (1), a first reset module (2), a first control module (3), a second control module (4), a node voltage control module (5), and an output module (6). By coordinating the six modules, and configuring the node voltage control module (5) to form a bootstrap circuit with the second control module (4), the voltage of a second node (B) is the same as the voltage of an effective pulse signal of a first clock signal end (CK1), such that the first control module (3) can timely and effectively operate under the control of the second node (B). In this way, a drive signal output end of the shift register can timely output a signal having a potential in reverse to an effective pulse signal at an input signal end upon completion of an output operation, thus improving output stability of the shift register, reducing noise of a scan signal outputted at the drive signal output end, and accordingly improving stability of the scan signal.

(57) 摘要:

[见续页]



一种移位寄存器、栅极驱动电路及显示装置，包括：输入模块(1)、第一复位模块(2)、第一控制模块(3)、第二控制模块(4)、节点电压控制模块(5)、输出模块(6)；通过上述六个模块的相互配合，以及通过设置节点电压控制模块(5)，并使其与第二控制模块(4)形成自举电路，使第二节点(B)的电压与第一时钟信号端(CK1)的有效脉冲信号的电压相同，从而使第一控制模块(3)在第二节点(B)控制下可以及时有效地工作，使移位寄存器的驱动信号输出端在输出完成后，可以及时输出与输入信号端的有效脉冲信号的电位相反的信号，提高了移位寄存器的输出稳定性，降低了驱动信号输出端输出的扫描信号的噪声，使扫描信号的输出更加稳定。

移位寄存器、栅极驱动电路及显示装置

技术领域

本公开涉及显示技术领域，特别涉及一种移位寄存器、栅极驱动电路及显示装置。

5

背景技术

随着显示技术的飞速发展，显示面板越来越向着高集成度和低成本的方向发展。其中，阵列基板行驱动（Gate Driver on Array, GOA）技术将薄膜晶体管（Thin Film Transistor, TFT）栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动，从而可以省去栅极集成电路（Integrated Circuit, IC）的绑定（Bonding）区域以及扇出（Fan-out）区域的布线空间，
10 不仅可以在材料成本和制备工艺两方面降低产品成本，而且可以使显示面板做到两边对称和窄边框的美观设计；并且，这种集成工艺还可以省去栅极扫描线方向的绑定工艺，从而提高了产能和良率。

15 一般的栅极驱动电路均是由多个级联的移位寄存器组成，各级移位寄存器的驱动信号输出端分别对应连接一条栅线，通过各级移位寄存器实现依次向显示面板上的各行栅线输入扫描信号。现有的移位寄存器中，当扫描信号输出完成后，一般通过开关晶体管将时钟信号端的信号提供给下拉节点，为下拉节点充电，下拉节点再控制开关晶体管为上拉节点放电。然而，在移位
20 寄存器实际工作中，由于与下拉节点相连的其他开关晶体管的漏电流的作用，导致下拉节点的电压通常会降低，导致为上拉节点放电的开关晶体管的放电能力偏弱，从而造成输出的扫描信号噪声较大。

发明内容

25 本公开实施例提供了一种移位寄存器、栅极驱动电路及显示装置，通过改善第二节点的电位的电平值可以降低输出的扫描信号的噪声。

因此，本公开实施例提供了一种移位寄存器，包括：输入模块、第一复位模块、第一控制模块、第二控制模块、节点电压控制模块、输出模块；其中，

30 所述输入模块的第一端与输入信号端相连，第二端与第一节点相连；所

述输入模块用于在所述输入信号端的控制下将所述输入信号端的信号提供给所述第一节点;

所述第一复位模块的第一端与复位信号端相连, 第二端与参考信号端相连, 第三端与所述第一节点相连; 所述第一复位模块用于在所述复位信号端的控制下将所述参考信号端的信号提供给所述第一节点;

所述第一控制模块的第一端与所述第一节点相连, 第二端与第二节点相连, 第三端与第三节点相连, 第四端与所述参考信号端相连; 所述第一控制模块用于在所述第一节点的控制下将所述参考信号端的信号分别提供给所述第二节点和所述第三节点, 在所述第二节点的控制下将所述参考信号端的信号提供给所述第一节点;

所述第二控制模块的第一端与第一时钟信号端相连, 第二端与控制信号端相连, 第三端与所述第二节点相连, 第四端与所述第三节点相连; 所述第二控制模块用于在所述第一时钟信号端的控制下将所述第一时钟信号端的信号提供给所述第三节点, 在所述第三节点的控制下将所述控制信号端的信号提供给所述第二节点;

所述节点电压控制模块的第一端与所述第二节点相连, 第二端与所述第三节点相连; 所述节点电压控制模块用于与所述第二控制模块形成自举电路, 以在所述第三节点的控制下使所述第二节点的电压与所述第一时钟信号端的有效脉冲信号的电压相同;

所述输出模块的第一端与第二时钟信号端相连, 第二端与所述参考信号端相连, 第三端与所述第一节点相连, 第四端与所述第二节点相连, 第五端与所述移位寄存器的驱动信号输出端相连; 所述输出模块用于在所述第一节点的控制下将所述第二时钟信号端的信号提供给所述驱动信号输出端, 在所述第二节点的控制下将所述参考信号端的信号提供给所述驱动信号输出端, 以及在所述第一节点处于浮接状态时, 保持所述第一节点与所述驱动信号输出端之间的电压差稳定。

在一种可能的实施方式中, 在本公开实施例提供的上述移位寄存器中, 所述节点电压控制模块具体包括: 第一电容; 其中,

所述第一电容的一端与所述第二节点相连, 另一端与所述第三节点相连。

在一种可能的实施方式中, 在本公开实施例提供的上述移位寄存器中, 所述输入模块具体包括: 第一开关晶体管; 其中,

所述第一开关晶体管的栅极与源极均与所述输入信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，所述第一复位模块具体包括：第二开关晶体管；其中，

- 5 所述第二开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，所述第一控制模块具体包括：第三开关晶体管、第四开关晶体管和第五开关晶体管；其中，

- 10 所述第三开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连，漏极与所述第二节点相连；

所述第四开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连，漏极与所述第三节点相连；

- 15 所述第五开关晶体管的栅极与所述第二节点相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，所述第二控制模块具体包括：第六开关晶体管和第七开关晶体管；其中，

所述第六开关晶体管的栅极与源极均与所述第一时钟信号端相连，漏极与所述第三节点相连；

- 20 所述第七开关晶体管的栅极与所述第三节点相连，源极与所述控制信号端相连，漏极与所述第二节点相连。

在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，所述输出模块具体包括：第八开关晶体管、第九开关晶体管和第三电容；其中，

- 25 所述第八开关晶体管的栅极与所述第一节点相连，源极与所述第二时钟信号端相连，漏极与所述驱动信号输出端相连；

所述第九开关晶体管的栅极与所述第二节点相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连；

- 30 所述第三电容的一端与所述第一节点相连，另一端与所述驱动信号输出端相连。

在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，

还包括：第二复位模块；其中，

所述第二复位模块的第一端与所述复位信号端相连，第二端与所述参考信号端相连，第三端与所述驱动信号输出端相连；所述第二复位模块用于在所述复位信号端的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，所述第二复位模块具体包括：第十开关晶体管；其中，

所述第十开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

10 在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，还包括：节点稳定模块；其中，

所述节点稳定模块的第一端与所述输入信号端相连，第二端与所述第一时钟信号端相连，第三端与所述第一节点相连；所述节点稳定模块用于在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点。

15 在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，所述节点稳定模块具体包括：第十一开关晶体管；其中，

所述第十一开关晶体管的栅极与所述第一时钟信号端相连，源极与所述输入信号端相连，漏极与所述第一节点相连。

在一种可能的实施方式中，在本公开实施例提供的上述移位寄存器中，
20 所述控制信号端的电位与所述参考信号端的电位相反；

或，所述控制信号端与所述第一时钟信号端为同一信号端。

相应地，本公开实施例还提供了一种栅极驱动电路，包括级联的多个本公开实施例提供的上述任一种移位寄存器；其中，

第一级移位寄存器的输入信号端与帧触发信号端相连；

25 除第一级移位寄存器之外，其余各级移位寄存器的输入信号端分别与上一级移位寄存器的驱动信号输出端相连；

除最后一级移位寄存器之外，其余各级移位寄存器的复位信号端分别与下一级移位寄存器单元的驱动信号输出端相连。

相应地，本公开实施例还提供了一种显示装置，包括本公开提供的上述
30 栅极驱动电路。

本公开实施例提供的移位寄存器、栅极驱动电路及显示装置，包括：输

入模块、第一复位模块、第一控制模块、第二控制模块、节点电压控制模块、输出模块；其中，输入模块用于在输入信号端的控制下将输入信号端的信号提供给第一节点；第一复位模块用于在复位信号端的控制下将参考信号端的信号提供给第一节点；第一控制模块用于在第一节点的控制下将参考信号端的信号分别提供给第二节点和第三节点，在第二节点的控制下将参考信号端的信号提供给第一节点；第二控制模块用于在第一时钟信号端的控制下将第一时钟信号端的信号提供给第三节点，在第三节点的控制下将控制信号端的信号提供给第二节点；节点电压控制模块用于与第二控制模块形成自举电路，以在第三节点的控制下使第二节点的电压与第一时钟信号端的有效脉冲信号的电压相同；输出模块用于在第一节点的控制下将第二时钟信号端的信号提供给驱动信号输出端，在第二节点的控制下将参考信号端的信号提供给驱动信号输出端，以及在第一节点处于浮接状态时，保持第一节点与驱动信号输出端之间的电压差稳定。该移位寄存器通过上述六个模块的相互配合，以及通过设置节点电压控制模块，并使其与第二控制模块形成自举电路，使第二节点的电压与第一时钟信号端的有效脉冲信号的电压相同，从而使第一控制模块在第二节点控制下可以及时有效地工作，使移位寄存器的驱动信号输出端在输出完成后，可以及时输出与输入信号端的有效脉冲信号的电位相反的信号，从而提高了移位寄存器的输出稳定性，进而降低了驱动信号输出端输出的扫描信号的噪声，使扫描信号的输出更加稳定。

20

附图说明

图 1 为本公开实施例提供的移位寄存器的结构示意图之一；
图 2 为本公开实施例提供的移位寄存器的结构示意图之二；
图 3a 为图 1 所示的移位寄存器的具体结构示意图之一；
图 3b 为图 2 所示的移位寄存器的具体结构示意图之一；
图 4a 为图 1 所示的移位寄存器的具体结构示意图之二；
图 4b 为图 2 所示的移位寄存器的具体结构示意图之二；
图 5a 为图 1 所示的移位寄存器的具体结构示意图之三；
图 5b 为图 2 所示的移位寄存器的具体结构示意图之三；
图 6a 为图 1 所示的移位寄存器的具体结构示意图之四；
图 6b 为图 2 所示的移位寄存器的具体结构示意图之四；

30

图 7a 为图 5b 所示的移位寄存器的电路时序图；

图 7b 为图 6b 所示的移位寄存器的电路时序图；

图 8 为本公开实施例提供的栅极驱动电路的结构示意图。

5 具体实施方式

下面结合附图，对本公开实施例提供的移位寄存器、栅极驱动电路及显示装置的具体实施方式进行详细的说明。

本实施例提供的一种移位寄存器，如图 1 所示，包括：输入模块 1、第一复位模块 2、第一控制模块 3、第二控制模块 4、节点电压控制模块 5、输出模块 6；其中，

输入模块 1 的第一端与输入信号端 Input 相连，第二端与第一节点 A 相连；输入模块 1 用于在输入信号端 Input 的控制下将输入信号端 Input 的信号提供给第一节点 A；

第一复位模块 2 的第一端与复位信号端 Reset 相连，第二端与参考信号端 VSS 相连，第三端与第一节点 A 相连；第一复位模块 2 用于在复位信号端 Reset 的控制下将参考信号端 Reset 的信号提供给第一节点 A；

第一控制模块 3 的第一端与第一节点 A 相连，第二端与第二节点 B 相连，第三端与第三节点 C 相连，第四端与参考信号端 VSS 相连；第一控制模块 3 用于在第一节点 A 的控制下将参考信号端 VSS 的信号分别提供给第二节点 B 和第三节点 C，在第二节点 B 的控制下将参考信号端 VSS 的信号提供给第一节点 A；

第二控制模块 4 的第一端与第一时钟信号端 CK1 相连，第二端与控制信号端 CN 相连，第三端与第二节点 B 相连，第四端与第三节点 C 相连；第二控制模块 4 用于在第一时钟信号端 CK1 的控制下将第一时钟信号端 CK1 的信号提供给第三节点 C，在第三节点 C 的控制下将控制信号端 CN 的信号提供给第二节点 B；

节点电压控制模块 5 的第一端与第二节点 B 相连，第二端与第三节点 C 相连；节点电压控制模块 5 用于与第二控制模块 4 形成自举电路，以在第三节点 C 的控制下使第二节点 B 的电压与第一时钟信号端 CK1 的有效脉冲信号的电压相同；

输出模块 6 的第一端与第二时钟信号端 CK2 相连，第二端与参考信号端

VSS 相连, 第三端与第一节点 A 相连, 第四端与第二节点 B 相连, 第五端与移位寄存器的驱动信号输出端 Output 相连; 输出模块 6 用于在第一节点 A 的控制下将第二时钟信号端 CK2 的信号提供给驱动信号输出端 Output, 在第二节点 B 的控制下将参考信号端 VSS 的信号提供给驱动信号输出端 Output, 以及

5 在第一节点 A 处于浮接状态时, 保持第一节点 A 与驱动信号输出端 Output 之间的电压差稳定。

本公开实施例提供的上述移位寄存器, 包括: 输入模块、第一复位模块、第一控制模块、第二控制模块、节点电压控制模块、输出模块; 其中, 输入模块用于在输入信号端的控制下将输入信号端的信号提供给第一节点; 第一

10 复位模块用于在复位信号端的控制下将参考信号端的信号提供给第一节点; 第一控制模块用于在第一节点的控制下将参考信号端的信号分别提供给第二节点和第三节点, 在第二节点的控制下将参考信号端的信号提供给第一节点; 第二控制模块用于在第一时钟信号端的控制下将第一时钟信号端的信号提供给第三节点, 在第三节点的控制下将控制信号端的信号提供给第二节点; 节

15 点电压控制模块用于与第二控制模块形成自举电路, 以在第三节点的控制下使第二节点的电压与第一时钟信号端的有效脉冲信号的电压相同; 输出模块用于在第一节点的控制下将第二时钟信号端的信号提供给驱动信号输出端, 在第二节点的控制下将参考信号端的信号提供给驱动信号输出端, 以及在第一节点处于浮接状态时, 保持第一节点与驱动信号输出端之间的电压差稳定。

20 该移位寄存器通过上述六个模块的相互配合, 以及通过设置节点电压控制模块, 并使其与第二控制模块形成自举电路, 使第二节点的电压与第一时钟信号端的有效脉冲信号的电压相同, 从而使第一控制模块在第二节点控制下可以及时有效的工作, 使移位寄存器的驱动信号输出端在输出完成后, 可以及时输出与输入信号端的有效脉冲信号的电位相反的扫描信号, 从而提高了移位寄存器的输出稳定性, 进而降低了驱动信号输出端输出的扫描信号的噪声, 使扫描信号的输出更加稳定。

25

需要说明的是, 在本公开实施例提供的上述移位寄存器中, 当输入信号端的有效脉冲信号为高电位时, 参考信号端为低电位; 或者, 当输入信号端的有效脉冲信号为低电位时, 参考信号端为高电位。

30 在具体实施时, 在本公开实施例提供的上述移位寄存器中, 如图 3a 至图 4b 所示, 控制信号端 CN 和第一时钟信号端 CK1 可以为不同的端子, 在这种

情况下，控制信号端 CN 的信号可以与第一时钟信号端 CK1 的信号周期相同且相位相同。可选地，在具体实施时，为了减少信号线的数量，在本公开实施例提供的上述移位寄存器中，如图 5a 至图 6b 所示，控制信号端可以与第一时钟信号端 CK1 为同一信号端。

- 5 在具体实施时，由于第一时钟信号端在下一级移位寄存器中与输出模块相连，导致第一时钟信号端带载较大，并且存在频繁的高低电位转换，当将第一时钟信号端的有效脉冲信号提供给第二节点时可能会对第二节点电位的电平值产生干扰，因此可选地，在本公开实施例提供的上述移位寄存器中，控制信号端的电位与参考信号端的电位相反。具体地，当输入信号端的有效
- 10 脉冲信号为高电位时，控制信号端为高电位；或者，当输入信号端的有效脉冲信号为低电位时，控制信号端为低电位。这样将控制信号端的恒压信号输入第二节点，可以避免由于时钟信号高低电位的转换，对第二节点电位的干扰，从而可以提高第二节点电位的稳定性。

- 下面结合具体实施例，对本公开进行详细说明。需要说明的是，本实施
- 15 例中是为了更好的解释本公开，但不限制本公开。

 具体地，在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3a 至图 6b 所示，输入模块 1 具体可以包括：第一开关晶体管 M1；其中，第一开关晶体管 M1 的栅极与源极均与输入信号端 Input 相连，漏极与第一节点 A 相连。

- 20 在具体实施时，在本公开实施例提供的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3a、图 3b、图 5a 和图 5b 所示，第一开关晶体管 M1 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 4a、图 4b、图 6a 和图 6b 所示，第一开关晶体管 M1 也可以为 P 型开关晶体管，在此不作限定。

- 25 在具体实施时，在本公开实施例提供的上述移位寄存器中，当第一开关晶体管在输入信号端的控制下处于导通状态时，将输入信号端的信号提供给第一节点。

- 以上仅是举例说明移位寄存器中输入模块的具体结构，在具体实施时，输入模块的具体结构不限于本公开实施例提供的上述结构，还可以是本领域
- 30 技术人员可知的其他结构，在此不作限定。

 由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极

是可以互换的。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。若选取源极作为信号输入端、则漏极作为信号输出端，反之亦然。

具体地，在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3a 至图 6b 所示，第一复位模块 2 具体可以包括：第二开关晶体管 M2；其中，

第二开关晶体管 M2 的栅极与复位信号端 Reset 相连，源极与参考信号端 VSS 相连，漏极与第一节点 A 相连。

在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3a 至图 6b 所示，第二开关晶体管 M2 可以为 N 型开关晶体管，也可以为 P 型开关晶体管，在此不作限定。如图 3a、图 3b、图 5a 和图 5b 所示，当第二开关晶体管 M2 为 N 型开关晶体管时，复位信号端 Reset 为高电位时，第二开关晶体管 M2 处于导通状态，并将参考信号端 VSS 的信号提供给第一节点 A；如图 4a、图 4b、图 6a 和图 6b 所示，当第二开关晶体管 M2 为 P 型开关晶体管时，复位信号端 Reset 为低电位时，第二开关晶体管 M2 处于导通状态，并将参考信号端 VSS 的信号提供给第一节点 A。

以上仅是举例说明移位寄存器中第一复位模块的具体结构，在具体实施时，第一复位模块的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3a 至图 6b 所示，第一控制模块 3 具体可以包括：第三开关晶体管 M3、第四开关晶体管 M4 和第五开关晶体管 M5；其中，

第三开关晶体管 M3 的栅极与第一节点 A 相连，源极与参考信号端 VSS 相连，漏极与第二节点 B 相连；

第四开关晶体管 M4 的栅极与第一节点 A 相连，源极与参考信号端 VSS 相连，漏极与第三节点 C 相连；

第五开关晶体管 M5 的栅极与第二节点 B 相连，源极与参考信号端 VSS 相连，漏极与第一节点 A 相连。

在具体实施时，在本公开实施例提供的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3a、图 3b、图 5a 和图 5b 所示，第三开关晶体管 M3、第四开关晶体管 M4 和第五开关晶体管 M5 可以为 N 型

开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 4a、图 4b、图 6a 和图 6b 所示，第三开关晶体管 M3、第四开关晶体管 M4 和第五开关晶体管 M5 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在本公开实施例提供的上述移位寄存器中，第三开关晶体管在第一节点的控制下处于导通状态时，将参考信号端的信号提供给第二节点；第四开关晶体管在第一节点的控制下处于导通状态时，将参考信号端的信号提供给第三节点；第五开关晶体管在第二节点的控制下处于导通状态时，将参考信号端的信号提供给第一节点。

以上仅是举例说明移位寄存器中第一控制模块的具体结构，在具体实施时，第一控制模块的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

具体地，在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3a 至图 6b 所示，第二控制模块 4 具体可以包括：第六开关晶体管 M6 和第七开关晶体管 M7；其中，

第六开关晶体管 M6 的栅极与源极均与第一时钟信号端 CK1 相连，漏极与第三节点 C 相连；

第七开关晶体管 M7 的栅极与第三节点 C 相连，源极与控制信号端 CN 相连，漏极与第二节点 B 相连。

在具体实施时，在本公开实施例提供的上述移位寄存器中，当第一时钟信号端 CK1 的有效脉冲信号为高电位时如图 3a、图 3b、图 5a 和图 5b 所示，第六开关晶体管 M6 和第七开关晶体管 M7 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 4a、图 4b、图 6a 和图 6b 所示，第六开关晶体管 M6 和第七开关晶体管 M7 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在本公开实施例提供的上述移位寄存器中，第六开关晶体管在第一时钟信号端的控制下处于导通状态时，将第一时钟信号端的信号提供给第三节点；第七开关晶体管在第三节点的控制下处于导通状态时，将控制信号端的信号提供给第二节点。

以上仅是举例说明移位寄存器中第二控制模块的具体结构，在具体实施时，第二控制模块的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

在具体实施时，在本公开实施例提供的上述移位寄存器中，一般在工艺制备时第四开关晶体管的尺寸设置的比第六开关晶体管的尺寸大，这样设置使得当输入信号端为有效脉冲信号时，第四开关晶体管在第一节点的控制下将参考信号端的信号提供给第三节点的速率大于第六开关晶体管在第一时钟信号端的控制下将第一时钟信号提供给第三节点的速率，从而保证第七开关晶体管处于截止状态，进而保证导致第二节点的电位处于无效电位状态。

具体地，在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3a 至图 6b 所示，输出模块 6 具体可以包括：第八开关晶体管 M8、第九开关晶体管 M9 和第二电容 C2；其中，

10 第八开关晶体管 M8 的栅极与第一节点 A 相连，源极与第二时钟信号端 CK2 相连，漏极与驱动信号输出端 Output 相连；

第九开关晶体管 M9 的栅极与第二节点 B 相连，源极与参考信号端 VSS 相连，漏极与驱动信号输出端 Output 相连。

15 第二电容 C2 的一端与第一节点 A 相连，另一端与驱动信号输出端 Output 相连。

在具体实施时，在本公开实施例提供的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3a、图 3b、图 5a 和图 5b 所示，第八开关晶体管 M8 和第九开关晶体管 M9 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 4a、图 4b、图 6a 和图 20 6b 所示，第八开关晶体管 M8 和第九开关晶体管 M9 也可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在本公开实施例提供的上述移位寄存器中，当第八开关晶体管在第一节点的控制下处于导通状态时，将第二时钟信号端的信号提供给驱动信号输出端；当第九开关晶体管在第二节点的控制下处于导通状态时，25 将参考信号端的信号提供给驱动信号输出端；以及在第一节点处于浮接状态时，由于第二电容的自举作用可以保持第二电容两端的电压差稳定，即保持第一节点与驱动信号输出端之间的电压差稳定。

以上仅是举例说明移位寄存器中输出模块的具体结构，在具体实施时，输出模块的具体结构不限于本公开实施例提供的上述结构，还可以是本领域 30 技术人员可知的其他结构，在此不作限定。

具体地，在具体实施时，在本公开实施例提供的上述移位寄存器中，如

图 3a 至图 6b 所示, 节点电压控制模块 5 具体可以包括: 第一电容 C1; 其中, 第一电容 C1 的一端与第二节点 B 相连, 另一端与第三节点 C 相连。

一般现有的移位寄存器在扫描信号输出完成后, 当第六开关晶体管在第一时钟信号端的控制下导通并将第一时钟信号端的信号的电压提供给第三节点, 第七开关晶体管在第三节点的控制下导通并将控制信号端的信号提供给第二节点, 然后第二节点控制第五开关晶体管导通才能将参考信号端的信号提供给第一节点, 以保证在第一节点的控制下使第三开关晶体管和第四开关晶体管截止, 但是实际上在扫描信号输出完成时, 第一节点在第二电容的作用下可以使第三开关晶体管导通并将参考信号端的信号提供给第二节点, 以及使第四开关晶体管导通并将参考信号端的信号提供给第三节点, 进而当第六开关晶体管在第一时钟信号端的控制下导通并将第一时钟信号端的信号提供给第三节点时, 使第三节点的电压比真实值低, 当第七开关晶体管在不完全充电的第三节点的控制下导通并将控制信号端的信号提供给第二节点时, 也会导致第二节点的电压比真实值低, 从而当第五开关晶体管在不完全充电的第二节点的控制下将参考信号端的信号提供给第一节点时, 不能及时地为第一节点放电, 进而不能及时地控制第三开关晶体管和第四开关晶体管截止。

例如, 在具体实施时, 当输入信号端的有效脉冲信号的电位为高电位时, 第一时钟信号端的信号处于高电位时的电压一般为 22V, 当将该信号提供给第二节点时, 这时第二节点虽然也处于高电位状态, 但实际电压只能为 14V, 这样会导致第五开关晶体管对第一节点的放电较弱以及导致第九开关晶体管对驱动信号输出端放电较弱, 当一定时间后, 第二节点处于高电位状态时的电压才能达到 22V, 这时移位寄存器才能正常的工作。

而在本公开实施例提供的上述移位寄存器中, 由于节点电压控制模块中的第一电容可以与第二控制模块中的第六开关晶体管和第七开关晶体管组成自举电路, 当第六开关晶体管在第一时钟信号端的控制下导通并将第一时钟信号端的信号提供给第三节点, 第七开关晶体管在第三节点的控制下导通并将控制信号端的信号提供给第二节点, 假设此时第二节点的电压为第一电压, 由于第一电容的作用, 可以将第三节点的电压写入到第二节点, 从而使第二节点的电压为第三节点的电压与第一电压的叠加, 进而使第二节点的电压与第一时钟信号端的有效脉冲信号的电压相同。因此, 可以使第五开关晶体管在完全充电的第二节点控制下及时导通并将参考信号端的电压提供给第一节

点,从而可以使第一节点的电压及时地处于无效状态,进而可以使第三开关晶体管和第四开关晶体管能够及时地截止。例如,当将处于高电位时的电压为 22V 的第一时钟信号端的信号提供给第三节点时,由于第一电容与第六开关晶体管以及第七开关晶体管可以组成自举电路,可以使第二节点处于高电位时的电压立刻转变为 22V,相比现有的第二节点处于高电位时的电压一开始只有 14V 并且等一定时间后才能上升到 22V,可以更加快速使第二节点处于高电位时的电压达到 22V,使移位寄存器在扫描信号输出完成后放电能力更强。

以上仅是举例说明移位寄存器中节点电压控制模块的具体结构,在具体实施时,节点电压控制模块的具体结构不限于本公开实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

进一步地,在具体实施时,当驱动信号输出端 Output 输出完成后,为了进一步保证驱动信号输出端 Output 的电位能够及时地输出与输入信号端 Input 的有效脉冲信号电位相反的扫描信号,在本公开实施例提供的上述移位寄存器中,如图 2 所示,还可以包括:第二复位模块 7;其中,

第二复位模块 7 的第一端与复位信号端 Reset 相连,第二端与参考信号端 VSS 相连,第三端与驱动信号输出端 Output 相连;第二复位模块 7 用于在复位信号端 Reset 的控制下将参考信号端 VSS 的信号提供给驱动信号输出端 Output。

具体地,在具体实施时,在本公开实施例提供的上述移位寄存器中,如图 3b、图 4b、5b 和图 6b 所示,第二复位模块 7 具体可以包括:第十开关晶体管 M10;其中,

第十开关晶体管 M10 的栅极与复位信号端 Reset 相连,源极与参考信号端 VSS 相连,漏极与驱动信号输出端 Output 相连。

在具体实施时,在本公开实施例提供的上述移位寄存器中,如图 3b、图 4b、5b 和图 6b 所示,第十开关晶体管 M10 可以为 N 型开关晶体管,也可以为 P 型开关晶体管,在此不作限定。如图 3b 和图 5b 所示,当第十开关晶体管 M10 为 N 型开关晶体管时,复位信号端 Reset 为高电位时,第十开关晶体管 M10 处于导通状态,并将参考信号端 VSS 的信号提供给驱动信号输出端 Output;如图 4b 和 6b 所示,当第十开关晶体管 M10 为 P 型开关晶体管时,复位信号端 Reset 为低电位时,第十开关晶体管 M10 处于导通状态,并将参

考信号端 VSS 的信号提供给驱动信号输出端 Output。

以上仅是举例说明移位寄存器中第二复位模块的具体结构，在具体实施时，第二复位模块的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

5 进一步地，在具体实施时，为了使第一节点 A 的电位处于稳定状态，在本公开实施例提供的上述移位寄存器中，如图 2 所示，还可以包括：节点稳定模块 8；其中，

节点稳定模块 8 的第一端与输入信号端 Input 相连，第二端与第一时钟信号端 CK1 相连，第三端与第一节点 A 相连；节点稳定模块 8 用于在第一时钟
10 信号端 CK1 的控制下将输入信号端 Input 的信号提供给第一节点 A。

具体地，在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3b、图 4b、5b 和图 6b 所示，节点稳定模块具体可以包括：第十一开关晶体管 M11；其中，

第十一开关晶体管 M11 的栅极与第一时钟信号端 CK1 相连，源极与输入信号端 Input 相连，漏极与第一节点 A 相连。
15

在具体实施时，在本公开实施例提供的上述移位寄存器中，当输入信号端 Input 的有效脉冲信号为高电位时，如图 3b 和图 5b 所示，第十一开关晶体管 M11 可以为 N 型开关晶体管；或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 4b 和图 6b 所示，第十一开关晶体管 M11 可以为 P 型开关
20 晶体管，在此不作限定。

在具体实施时，在本公开实施例提供的上述移位寄存器中，第十一开关晶体管在第一时钟信号端的控制下处于导通状态时，将输入信号端的信号提供给第一节点。

以上仅是举例说明移位寄存器中节点稳定模块的具体结构，在具体实施
25 时，节点稳定模块的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

可选地，为了降低制备工艺，在具体实施时，在本公开实施例提供的上述移位寄存器中，如图 3a、图 3b、图 5a 和图 5b 所示，所有开关晶体管均可以为 N 型开关晶体管；或者，如图 4a、图 4b、图 6a 和图 6b 所示，所有开关
30 晶体管均可以为 P 型开关晶体管，在此不作限定。

进一步的，在具体实施时，在本公开实施例提供的上述移位寄存器中，

N型开关晶体管在高电位作用下导通，在低电位作用下截止；P型开关晶体管在高电位作用下截止，在低电位作用下导通。

需要说明的是，本公开上述实施例中提到的开关晶体管可以是薄膜晶体管(TFT, Thin Film Transistor)，也可以是金属氧化物半导体场效应管(MOS, Metal Oxide Scmiconductor)，在此不作限定。在具体实施中，这些晶体管的源极和漏极根据晶体管类型以及输入信号的不同，其功能可以互换，在此不做具体区分。

下面结合电路时序图对本公开实施例提供的上述移位寄存器的工作过程作以描述。下述描述中以1表示高电位信号，0表示低电位信号，其中，1和0代表其逻辑电位，仅是为了更好的解释本公开实施例提供的上述移位寄存器的工作过程，而不是在具体实施时施加在各开关晶体管的栅极上的电位。以下均是以控制信号端与第一时钟信号端为同一信号端为例进行说明。

实施例一、

以图5b所示的移位寄存器的结构为例对其工作过程作以描述，其中，在图5b所示的移位寄存器中，所有开关晶体管均为N型开关晶体管，各N型开关晶体管在高电位作用下导通，在低电位作用下截止；参考信号端VSS的电位为低电位，对应的输入输出时序图如图7a所示，具体地，选取如图7a所示的输入输出时序图中的第一阶段T1、第二阶段T2、第三阶段T3、第四阶段T4和第五阶段T5五个阶段。

在第一阶段T1，Input=1，Reset=0，CK1=1，CK2=0。

由于Reset=0，因此第二开关晶体管M2和第十开关晶体管M10均截止；由于Input=1，因此第一开关晶体管M1导通；由于第一开关晶体管M1导通并将输入信号端Input的高电位的信号提供给第一节点A，因此第一节点A的电位为高电位，第二电容C2开始充电；由于CK1=1，因此第十一开关晶体管M11导通；由于第十一开关晶体管M11导通并将第一时钟信号端CK1的高电位的信号提供给第一节点A，因此进一步使第一节点A的保持高电位的稳定状态；由于第一节点A为高电位，因此第三开关晶体管M3、第四开关晶体管M4和第八开关晶体管M8均导通；由于第四开关晶体管M4导通并将参考信号端VSS的低电位的信号提供给第三节点C，因此第三节点C的电位为低电位；由于第三节点C的电位为低电位，因此第七开关晶体管M7截止；由于第三开关晶体管M3导通并将参考信号端VSS的低电位的信号提供

给第二节点 B，因此第二节点 B 的电位为低电位；由于第二节点 B 的电位为低电位，因此第五开关晶体管 M5 和第九开关晶体管 M9 均截止；由于第八开关晶体管 M8 导通并将第二时钟信号端 CK2 的低电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出低电位信号。

5 在第二阶段 T2，Input=0，Reset=0，CK1=0，CK2=1。

由于 Input=0，因此第一开关晶体管 M1 截止；由于 Reset=0，因此第二开关晶体管 M2 和第十开关晶体管 M10 均截止；由于 CK1=0，因此第六开关晶体管 M6 和第十一开关晶体管 M11 均截止，因此第一节点 A 处于浮接状态；第八开关晶体管 M8 继续导通并将第二时钟信号端 CK2 的高电位信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位的扫描信号；由于第二电容 C2 连接于第一节点 A 和驱动信号输出端 Output 之间，由于第二电容 C2 的自举作用，为了保持第二电容 C2 两端电压差的稳定，因此第一节点 A 的电位被进一步拉高，第三开关晶体管 M3 和第四开关晶体管 M4 完全导通；由于第四开关晶体管 M4 完全导通并将参考信号端 VSS 的低电位的信号提供给第三节点 C，因此第三节点 C 的电位为低电位；由于第三节点 C 的电位为低电位因此第七开关晶体管 M7 截止；由于第三开关晶体管 M3 完全导通并将参考信号端 VSS 的低电位的信号提供给第二节点 B，因此第二节点 B 的电位为低电位；由于第二节点 B 的电位为低电位，因此第五开关晶体管 M5 和第九开关晶体管 M9 均截止；

20 在第三阶段 T3，Input=0，Reset=1，CK1=1，CK2=0。

由于 Input=0，因此第一开关晶体管 M1 截止；由于 Reset=1，因此第二开关晶体管 M2 和第十开关晶体管 M10 均导通；由于第二开关晶体管 M2 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A，因此第一节点 A 的电位为低电位，由于 CK1=1，因此第六开关晶体管 M6 导通；由于第六开关晶体管 M6 导通并将第一时钟信号端 CK1 的高电位的信号提供给第三节点 C，因此第三节点 C 的电位为高电位；由于第三节点 C 的电位为高电位，因此第七开关晶体管 M7 导通并将第一时钟信号端 CK1 的高电位的信号提供给第二节点 B，因此第二节点 B 的电位为高电位，假设此时第二节点 B 的高电位的电压为第一电压；由于第一电容 C1 与第六开关晶体管 M6 以及第七开关晶体管 M7 可以实现自举电路的功能，因此由于第一电容 C1 的作用可以使第二节点 B 处于高电位的电压为第一电压和第三节点 C 为高电位时的电压的叠

加,使此时第二节点的高电位的电压与第一时钟信号端 CK1 的有效脉冲信号的高电位的电压相同,以保证第五开关晶体管 M5 和第九开关晶体管 M9 可以及时地完全导通;由于第五开关晶体管 M5 完全导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A,因此第一节点 A 的电位进一步保持为低电位,使第三开关晶体管 M3 和第四开关晶体管 M4 均完全截止,以保证第三开关晶体管 M3 和第四开关晶体管 M4 不影响第二节点 B 和第三节点 C 的电位的电平值;由于第九开关晶体管 M9 和第十开关晶体管 M10 均导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output,因此驱动信号输出端 Output 输出低电位信号。

10 在第四阶段 T4, Input=0, Reset=0, CK1=0, CK2=1。

由于 Input=0,因此第一开关晶体管 M1 截止;由于 Reset=0,因此第二开关晶体管 M2 和第十开关晶体管 M10 均截止;由于 CK1=0,因此第六开关晶体管 M6 和第十一开关晶体管 M11 均截止,因此第二节点 B 的电位均保持为高电位;由于第二节点 B 的电位为高电位,因此第五开关晶体管 M5 和第九开关晶体管 M9 均导通;由于第五开关晶体管 M5 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A,因此第一节点 A 的电位为低电位;由于第一节点 A 的电位为低电位,因此第三开关晶体管 M3、第四开关晶体管 M4 和第八开关晶体管 M8 均截止;由于第九开关晶体管 M9 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output,因此驱动信号输出端 Output 输出低电位信号。

20 在第五阶段 T5, Input=0, Reset=0, CK1=1, CK2=0。

由于 Input=0,因此第一开关晶体管 M1 截止;由于 Reset=0,因此第二开关晶体管 M2 和第十开关晶体管 M10 均截止;由于 CK1=1,因此第六开关晶体管 M6 导通;由于第六开关晶体管 M6 导通并将第一时钟信号端 CK1 的高电位的信号提供给第三节点 C,因此第三节点 C 的电位为高电位;由于第三节点 C 的电位为高电位,因此第七开关晶体管 M7 导通;由于第七开关晶体管 M7 导通并将第一时钟信号端 CK1 的高电位的信号提供给第二节点 B,因此第二节点 B 的电位为高电位;由于第五开关晶体管 M5 和第九开关晶体管 M9 均导通;由于第五开关晶体管 M5 导通并将参考信号端 VSS 的低电位的信号提供给第一节点 A,因此第一节点 A 的电位为低电位;由于第一节点 A 的电位为低电位,因此第三开关晶体管 M3、第四开关晶体管 M4 和第八开

关晶体管 M8 均截止；由于第九开关晶体管 M9 导通并将参考信号端 VSS 的低电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出低电位信号。

5 在本公开实施例提供的上述移位寄存器中，在第五阶段之后，一直重复执行第四阶段和第五阶段的工作过程，直至下一帧开始。

在本公开实施例提供的上述移位寄存器中，在扫描信号输出完成后，由于第一电容和第六开关晶体管以及第七开关晶体管可以形成自举电路，可以及时使第二节点的电压升高到与第一时钟信号端的信号的电压相同，因此可以通过降低第一时钟信号端的高电位的电平值来提高移位寄存器的可靠性，
10 从而将该移位寄存器应用于显示装置时，可以提高该显示装置的寿命和可靠性。

实施例二、

以图 6b 所示的移位寄存器的结构为例对其工作过程作以描述，其中，在图 6b 所示的移位寄存器中，所有开关晶体管均为 P 型开关晶体管，各 P 型开关晶体管在低电位作用下导通，在高电位作用下截止；参考信号端 VSS 的电
15 位为高电位，对应的输入输出时序图如图 7b 所示，具体地，选取如图 7b 所示的输入输出时序图中的第一阶段 T1、第二阶段 T2、第三阶段 T3、第四阶段 T4 和第五阶段 T5 五个阶段。

在第一阶段 T1，Input=0，Reset=1，CK1=0，CK2=1。

20 由于 Reset=1，因此第二开关晶体管 M2 和第十开关晶体管 M10 均截止；由于 Input=0，因此第一开关晶体管 M1 导通；由于第一开关晶体管 M1 导通并将输入信号端 Input 的低电位的信号提供给第一节点 A，因此第一节点 A 的电位为低电位，第二电容 C2 开始放电；由于 CK1=0，因此第十一开关晶体管 M11 导通；由于第十一开关晶体管 M11 导通并将第一时钟信号端 CK1
25 的低电位的信号提供给第一节点 A，因此进一步使第一节点 A 的保持低电位的稳定状态；由于第一节点 A 为低电位，因此第三开关晶体管 M3、第四开关晶体管 M4 和第八开关晶体管 M8 均导通；由于第四开关晶体管 M4 导通并将参考信号端 VSS 的高电位的信号提供给第三节点 C，因此第三节点 C 的电位为高电位；由于第三节点 C 的电位为高电位，因此第七开关晶体管 M7 截
30 止；由于第三开关晶体管 M3 导通并将参考信号端 VSS 的高电位的信号提供给第二节点 B，因此第二节点 B 的电位为高电位；由于第二节点 B 的电位为

高电位, 因此第五开关晶体管 M5 和第九开关晶体管 M9 均截止; 由于第八开关晶体管 M8 导通并将第二时钟信号端 CK2 的高电位的信号提供给驱动信号输出端 Output, 因此驱动信号输出端 Output 输出高电位信号。

在第二阶段 T2, Input=1, Reset=1, CK1=1, CK2=0。

- 5 由于 Input=1, 因此第一开关晶体管 M1 截止; 由于 Reset=1, 因此第二开关晶体管 M2 和第十开关晶体管 M10 均截止; 由于 CK1=1, 因此第六开关晶体管 M6 和第十一开关晶体管 M11 均截止, 因此第一节点 A 处于浮接状态; 第八开关晶体管 M8 继续导通并将第二时钟信号端 CK2 的低电位信号提供给驱动信号输出端 Output, 因此驱动信号输出端 Output 输出低电位的扫描信号;
- 10 由于第二电容 C2 连接于第一节点 A 和驱动信号输出端 Output 之间, 由于第二电容 C2 的自举作用, 为了保持第二电容 C2 两端电压差的稳定, 因此第一节点 A 的电位被进一步拉低, 因此第三开关晶体管 M3 和第四开关晶体管 M4 完全导通; 由于第四开关晶体管 M4 完全导通并将参考信号端 VSS 的高电位的信号提供给第三节点 C, 因此第三节点 C 的电位为高电位; 由于第三
- 15 节点 C 的电位为高电位因此第七开关晶体管 M7 截止; 由于第三开关晶体管 M3 完全导通并将参考信号端 VSS 的高电位的信号提供给第二节点 B, 因此第二节点 B 的电位为高电位; 由于第二节点 B 的电位为高电位, 因此第五开关晶体管 M5 和第九开关晶体管 M9 均截止;

在第三阶段 T3, Input=1, Reset=0, CK1=0, CK2=1。

- 20 由于 Input=1, 因此第一开关晶体管 M1 截止; 由于 Reset=0, 因此第二开关晶体管 M2 和第十开关晶体管 M10 均导通; 由于第二开关晶体管 M2 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A, 因此第一节点 A 的电位为高电位, 由于 CK1=0, 因此第六开关晶体管 M6 导通; 由于第六开关晶体管 M6 导通并将第一时钟信号端 CK1 的低电位的信号提供给第三节点
- 25 C, 因此第三节点 C 的电位为低电位; 由于第三节点 C 的电位为低电位, 因此第七开关晶体管 M7 导通并将第一时钟信号端 CK1 的低电位的信号提供给第二节点 B, 因此第二节点 B 的电位为低电位, 假设此时第二节点 B 的低电位的电压为第一电压; 由于第一电容 C1 与第六开关晶体管 M6 以及第七开关晶体管 M7 可以实现自举电路的功能, 因此由于第一电容 C1 的作用可以使第
- 30 二节点 B 处于低电位的电压为第一电压和第三节点 C 为低电位时的电压的叠加, 使此时第二节点的低电位的电压与第一时钟信号端 CK1 的有效脉冲信号

的低电位的电压相同，以保证第五开关晶体管 M5 和第九开关晶体管 M9 可以及时地完全导通；由于第五开关晶体管 M5 完全导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，因此第一节点 A 的电位进一步保持为高电位，使第三开关晶体管 M3 和第四开关晶体管 M4 均完全截止，以保证第三开关晶体管 M3 和第四开关晶体管 M4 不影响第二节点 B 和第三节点 C 的电位的电平值；由于第九开关晶体管 M9 和第十开关晶体管 M10 均导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位的信号。

在第四阶段 T4，Input=1，Reset=1，CK1=1，CK2=0。

由于 Input=1，因此第一开关晶体管 M1 截止；由于 Reset=1，因此第二开关晶体管 M2 和第十开关晶体管 M10 均截止；由于 CK1=1，因此第六开关晶体管 M6 和第十一开关晶体管 M11 均截止，因此第二节点 B 的电位均保持为低电位；由于第二节点 B 的电位为低电位，因此第五开关晶体管 M5 和第九开关晶体管 M9 均导通；由于第五开关晶体管 M5 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，因此第一节点 A 的电位为高电位；由于第一节点 A 的电位为高电位，因此第三开关晶体管 M3、第四开关晶体管 M4 和第八开关晶体管 M8 均截止；由于第九开关晶体管 M9 导通并将参考信号端 VSS 的高电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位信号。

在第五阶段 T5，Input=1，Reset=1，CK1=0，CK2=1。

由于 Input=1，因此第一开关晶体管 M1 截止；由于 Reset=1，因此第二开关晶体管 M2 和第十开关晶体管 M10 均截止；由于 CK1=0，因此第六开关晶体管 M6 导通；由于第六开关晶体管 M6 导通并将第一时钟信号端 CK1 的低电位的信号提供给第三节点 C，因此第三节点 C 的电位为低电位；由于第三节点 C 的电位为低电位，因此第七开关晶体管 M7 导通；由于第七开关晶体管 M7 导通并将第一时钟信号端 CK1 的低电位的信号提供给第二节点 B，因此第二节点 B 的电位为低电位；由于第五开关晶体管 M5 和第九开关晶体管 M9 均导通；由于第五开关晶体管 M5 导通并将参考信号端 VSS 的高电位的信号提供给第一节点 A，因此第一节点 A 的电位为高电位；由于第一节点 A 的电位为高电位，因此第三开关晶体管 M3、第四开关晶体管 M4 和第八开关晶体管 M8 均截止；由于第九开关晶体管 M9 导通并将参考信号端 VSS 的

高电位的信号提供给驱动信号输出端 Output，因此驱动信号输出端 Output 输出高电位信号。

在本公开实施例提供的上述移位寄存器中，在第五阶段之后，一直重复执行第四阶段和第五阶段的工作过程，直至下一帧开始。

- 5 在本公开实施例提供的上述移位寄存器中，在扫描信号输出完成后，由于第一电容和第六开关晶体管以及第七开关晶体管可以形成自举电路，可以及时使第二节点的电压下降到与第一时钟信号端的信号的电压相同，因此可以通过升高第一时钟信号端的低电位的电平值来提高移位寄存器的可靠性，从而将该移位寄存器应用于显示装置时，可以提高该显示装置的寿命和可靠性。
- 10 性。

- 基于同一发明构思，本公开实施例提供了一种栅极驱动电路，如图 7 所示，包括：包括级联的多个本公开实施例提供的移位寄存器：SR(1)、SR(2)...SR(n) ...SR(N-1)、SR(N)（共 N 个移位寄存器， $1 \leq n \leq N$ ），第一级移位寄存器 SR(1)的输入信号端 Input 与帧触发信号端 STV 相连，除第一级移位寄存器 SR(1)之外，其余各级移位寄存器 SR(n)的输入信号端 Input 分别与上一级移位寄存器 SR(n-1)的驱动信号输出端 Output_{n-1} 相连；除最后一级移位寄存器 SR(N)之外，其余各级移位寄存器 SR(n)的复位信号端 Reset 分别与下一级移位寄存器 SR(n+1)的驱动信号输出端 Output_{n+1} 相连。
- 15 寄存器 SR(1)之外，其余各级移位寄存器 SR(n)的输入信号端 Input 分别与上一级移位寄存器 SR(n-1)的驱动信号输出端 Output_{n-1} 相连；除最后一级移位寄存器 SR(N)之外，其余各级移位寄存器 SR(n)的复位信号端 Reset 分别与下一级移位寄存器 SR(n+1)的驱动信号输出端 Output_{n+1} 相连。

- 具体地，上述栅极驱动电路中的每个移位寄存器的具体结构与本公开上述移位寄存器在功能和结构上均相同，重复之处不再赘述。
- 20 述移位寄存器在功能和结构上均相同，重复之处不再赘述。

- 在具体实施时，在本公开提供的上述栅极驱动电路中，每级移位寄存器均包括：输入信号端、复位信号端、控制信号端、第一时钟信号端、第二时钟信号端、参考信号端以及驱动信号输出端。可选地，在具体实施时，为了减少信号线的数量，每级移位寄存器中的控制信号端与第一时钟信号端为同一信号端。以下均以每级移位寄存器中的控制信号端与第一时钟信号端为同一信号端为例进行说明栅极驱动电路的信号输入方式。
- 25 一信号端。以下均以每级移位寄存器中的控制信号端与第一时钟信号端为同一信号端为例进行说明栅极驱动电路的信号输入方式。

- 在具体实施时，在本公开提供的上述栅极驱动电路中，如图 8 所示，第 2k-1 级移位寄存器的控制信号端 CN 与第一时钟信号端 CK1 和第 2k 级移位寄存器的第二时钟信号端 CK2 均与同一时钟即第一时钟 ck1 相连；第 2k-1 级移位寄存器的第二时钟信号端 CK2 与第 2k 级移位寄存器的控制信号端 CN 和第一时钟信号端 CK1 均与同一时钟即第二时钟 ck2 相连；其中，k 为大于
- 30 级移位寄存器的第二时钟信号端 CK2 与第 2k 级移位寄存器的控制信号端 CN 和第一时钟信号端 CK1 均与同一时钟即第二时钟 ck2 相连；其中，k 为大于

0 的正整数。

基于同一发明构思，本公开实施例提供了一种显示装置，包括本公开提供的上述栅极驱动电路，并通过该栅极驱动电路中各级移位寄存器的驱动信号输出端为显示装置中阵列基板上的各栅线提供扫描信号，其具体实施可参见上述移位寄存器的描述，相同之处不再赘述。该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

本公开实施例提供的上述移位寄存器、栅极驱动电路及显示装置，包括：输入模块、第一复位模块、第一控制模块、第二控制模块、节点电压控制模块、输出模块；其中，输入模块用于在输入信号端的控制下将输入信号端的信号提供给第一节点；第一复位模块用于在复位信号端的控制下将参考信号端的信号提供给第一节点；第一控制模块用于在第一节点的控制下将参考信号端的信号分别提供给第二节点和第三节点，在第二节点的控制下将参考信号端的信号提供给第一节点；第二控制模块用于在第一时钟信号端的控制下将第一时钟信号端的信号提供给第三节点，在第三节点的控制下将控制信号端的信号提供给第二节点；节点电压控制模块用于与第二控制模块形成自举电路，以在第三节点的控制下使第二节点的电压与第一时钟信号端的有效脉冲信号的电压相同；输出模块用于在第一节点的控制下将第二时钟信号端的信号提供给驱动信号输出端，在第二节点的控制下将参考信号端的信号提供给驱动信号输出端，以及在第一节点处于浮接状态时，保持第一节点与驱动信号输出端之间的电压差稳定。该移位寄存器通过上述六个模块的相互配合，以及通过设置节点电压控制模块，并使其与第二控制模块形成自举电路，使第二节点的电压与第一时钟信号端的有效脉冲信号的电压相同，从而使第一控制模块在第二节点控制下可以及时有效地工作，使移位寄存器的驱动信号输出端在输出完成后，可以及时输出与输入信号端的有效脉冲信号的电位相反的信号，从而提高了移位寄存器的输出稳定性，进而降低了驱动信号输出端输出的扫描信号的噪声，使扫描信号的输出更加稳定。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要

求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

本申请要求于 2016 年 1 月 19 日递交的中国专利申请第 201610034449.9 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权 利 要 求 书

1、一种移位寄存器，包括：输入模块、第一复位模块、第一控制模块、第二控制模块、节点电压控制模块、输出模块；其中，

5 所述输入模块的第一端与输入信号端相连，第二端与第一节点相连；所述输入模块用于在所述输入信号端的控制下将所述输入信号端的信号提供给所述第一节点；

 所述第一复位模块的第一端与复位信号端相连，第二端与参考信号端相连，第三端与所述第一节点相连；所述第一复位模块用于在所述复位信号端
10 的控制下将所述参考信号端的信号提供给所述第一节点；

 所述第一控制模块的第一端与所述第一节点相连，第二端与第二节点相连，第三端与第三节点相连，第四端与所述参考信号端相连；所述第一控制模块用于在所述第一节点的控制下将所述参考信号端的信号分别提供给所述第二节点和所述第三节点，在所述第二节点的控制下将所述参考信号端的信
15 号提供给所述第一节点；

 所述第二控制模块的第一端与第一时钟信号端相连，第二端与控制信号端相连，第三端与所述第二节点相连，第四端与所述第三节点相连；所述第二控制模块用于在所述第一时钟信号端的控制下将所述第一时钟信号端的信号提供给所述第三节点，在所述第三节点的控制下将所述控制信号端的信号
20 提供给所述第二节点；

 所述节点电压控制模块的第一端与所述第二节点相连，第二端与所述第三节点相连；所述节点电压控制模块用于与所述第二控制模块形成自举电路，以在所述第三节点的控制下使所述第二节点的电压与所述第一时钟信号端的有效脉冲信号的电压相同；

25 所述输出模块的第一端与第二时钟信号端相连，第二端与所述参考信号端相连，第三端与所述第一节点相连，第四端与所述第二节点相连，第五端与所述移位寄存器的驱动信号输出端相连；所述输出模块用于在所述第一节点的控制下将所述第二时钟信号端的信号提供给所述驱动信号输出端，在所述第二节点的控制下将所述参考信号端的信号提供给所述驱动信号输出端，
30 以及在所述第一节点处于浮接状态时，保持所述第一节点与所述驱动信号输

出端之间的电压差稳定。

2、如权利要求 1 所述的移位寄存器，其中，所述节点电压控制模块包括：第一电容；其中，

所述第一电容的一端与所述第二节点相连，另一端与所述第三节点相连。

5 3、如权利要求 1-2 任一项所述的移位寄存器，其中，所述输入模块包括：第一开关晶体管；其中，

所述第一开关晶体管的栅极与源极均与所述输入信号端相连，漏极与所述第一节点相连。

10 4、如权利要求 1-3 任一项所述的移位寄存器，其中，所述第一复位模块包括：第二开关晶体管；其中，

所述第二开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

5、如权利要求 1-4 任一项所述的移位寄存器，其中，所述第一控制模块包括：第三开关晶体管、第四开关晶体管和第五开关晶体管；其中，

15 所述第三开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连，漏极与所述第二节点相连；

所述第四开关晶体管的栅极与所述第一节点相连，源极与所述参考信号端相连，漏极与所述第三节点相连；

20 所述第五开关晶体管的栅极与所述第二节点相连，源极与所述参考信号端相连，漏极与所述第一节点相连。

6、如权利要求 1-5 任一项所述的移位寄存器，其中，所述第二控制模块包括：第六开关晶体管和第七开关晶体管；其中，

所述第六开关晶体管的栅极与源极均与所述第一时钟信号端相连，漏极与所述第三节点相连；

25 所述第七开关晶体管的栅极与所述第三节点相连，源极与所述控制信号端相连，漏极与所述第二节点相连。

7、如权利要求 1-6 任一项所述的移位寄存器，其中，所述输出模块包括：第八开关晶体管、第九开关晶体管和第三电容；其中，

30 所述第八开关晶体管的栅极与所述第一节点相连，源极与所述第二时钟信号端相连，漏极与所述驱动信号输出端相连；

所述第九开关晶体管的栅极与所述第二节点相连，源极与所述参考信号

端相连，漏极与所述驱动信号输出端相连；

所述第二电容的一端与所述第一节点相连，另一端与所述驱动信号输出端相连。

5 8、如权利要求 1-7 任一项所述的移位寄存器，还包括：第二复位模块；
其中，

所述第二复位模块的第一端与所述复位信号端相连，第二端与所述参考信号端相连，第三端与所述驱动信号输出端相连；所述第二复位模块用于在所述复位信号端的控制下将所述参考信号端的信号提供给所述驱动信号输出端。

10 9、如权利要求 8 所述的移位寄存器，其中，所述第二复位模块包括：第十开关晶体管；其中，

所述第十开关晶体管的栅极与所述复位信号端相连，源极与所述参考信号端相连，漏极与所述驱动信号输出端相连。

15 10、如权利要求 1-9 任一项所述的移位寄存器，还包括：节点稳定模块；
其中，

所述节点稳定模块的第一端与所述输入信号端相连，第二端与所述第一时钟信号端相连，第三端与所述第一节点相连；所述节点稳定模块用于在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点。

20 11、如权利要求 10 所述的移位寄存器，其中，所述节点稳定模块包括：第十一开关晶体管；其中，

所述第十一开关晶体管的栅极与所述第一时钟信号端相连，源极与所述输入信号端相连，漏极与所述第一节点相连。

12、如权利要求 1-11 任一项所述的移位寄存器，其中，所述控制信号端的电位与所述参考信号端的电位相反；

25 或，所述控制信号端与所述第一时钟信号端为同一信号端。

13、一种栅极驱动电路，包括级联的多个如权利要求 1-12 任一项所述的移位寄存器；其中，

第一级移位寄存器的输入信号端与帧触发信号端相连；

30 除第一级移位寄存器之外，其余各级移位寄存器的输入信号端分别与上一级移位寄存器的驱动信号输出端相连；

除最后一级移位寄存器之外，其余各级移位寄存器的复位信号端分别与

下一级移位寄存器单元的驱动信号输出端相连。

14、一种显示装置，包括如权利要求 13 所述的栅极驱动电路。

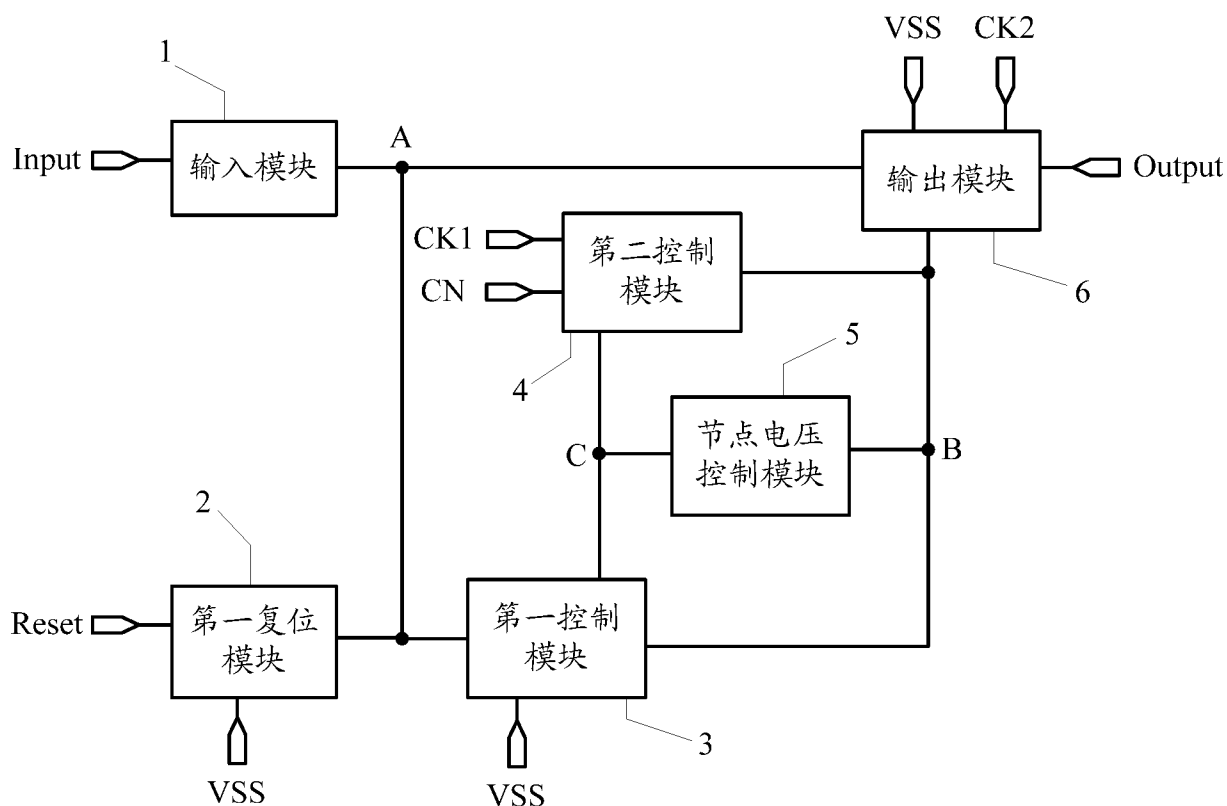


图 1

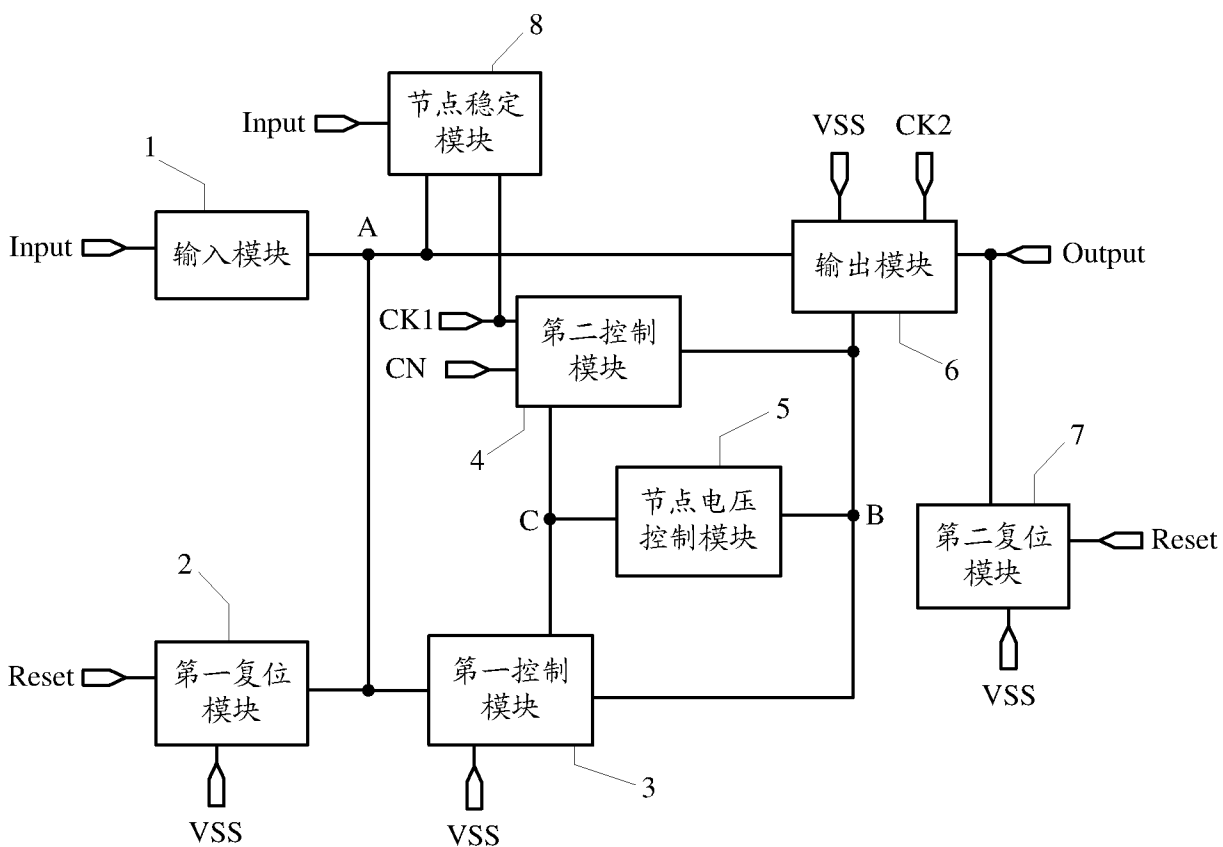


图 2

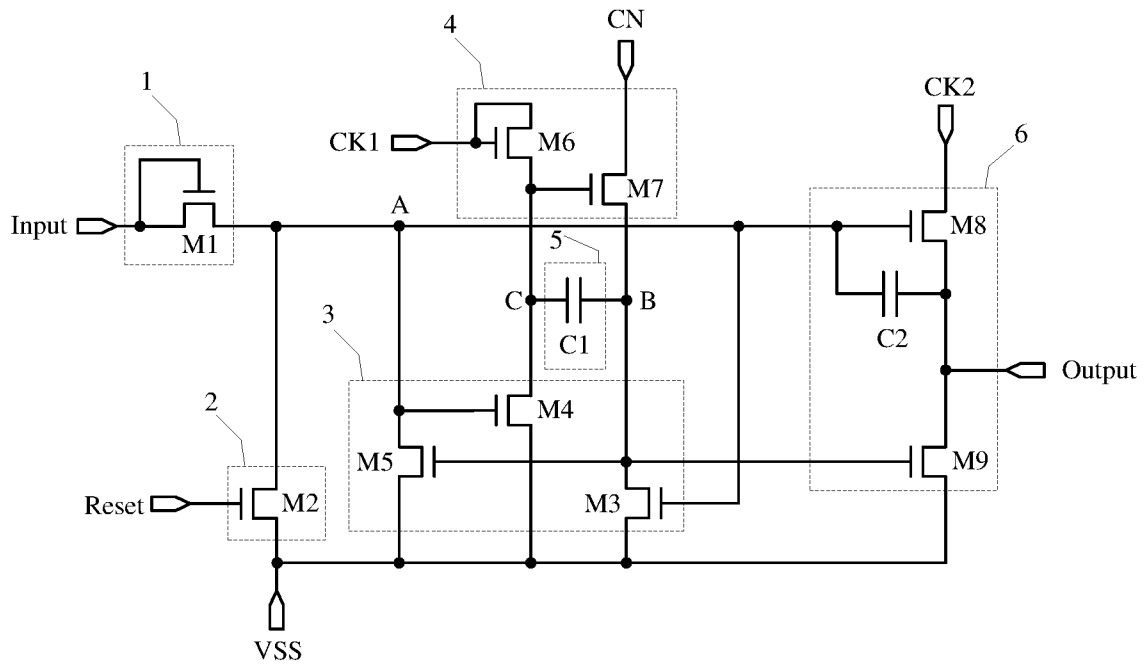


图 3a

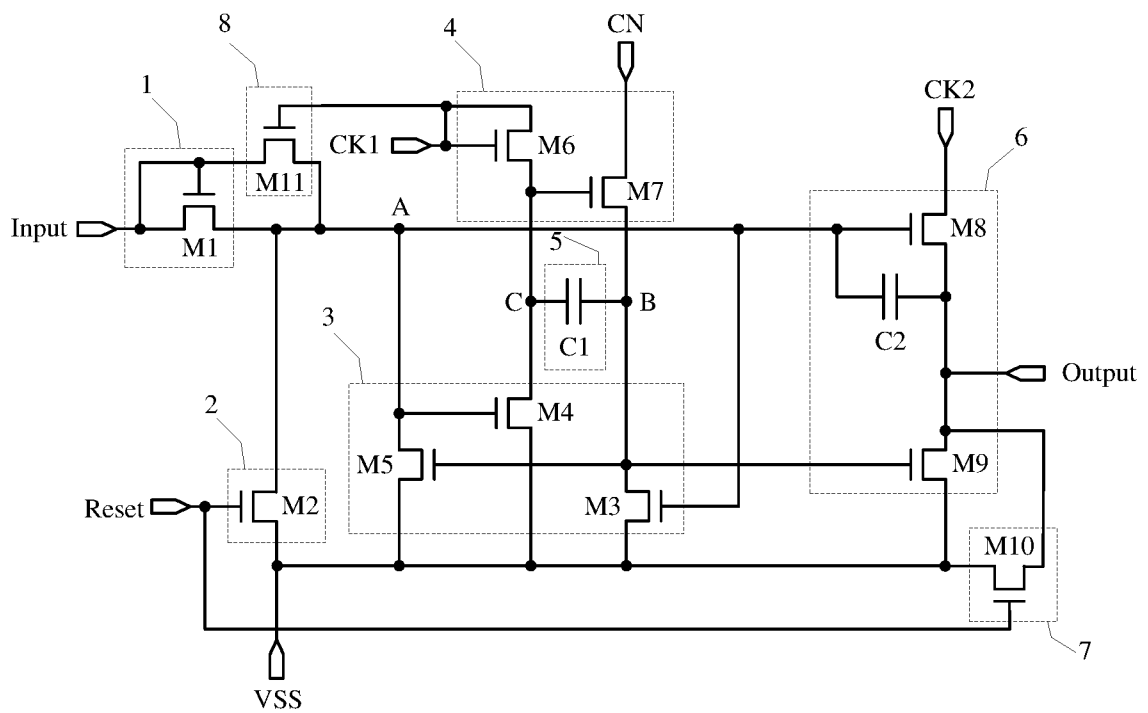


图 3b

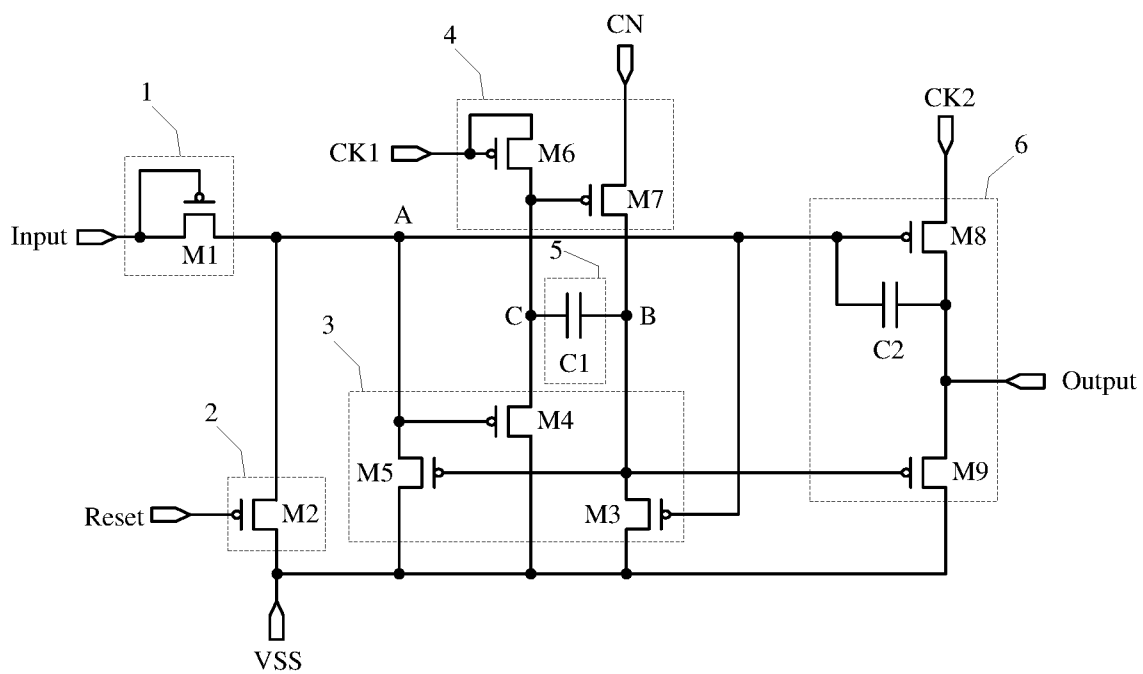


图 4a

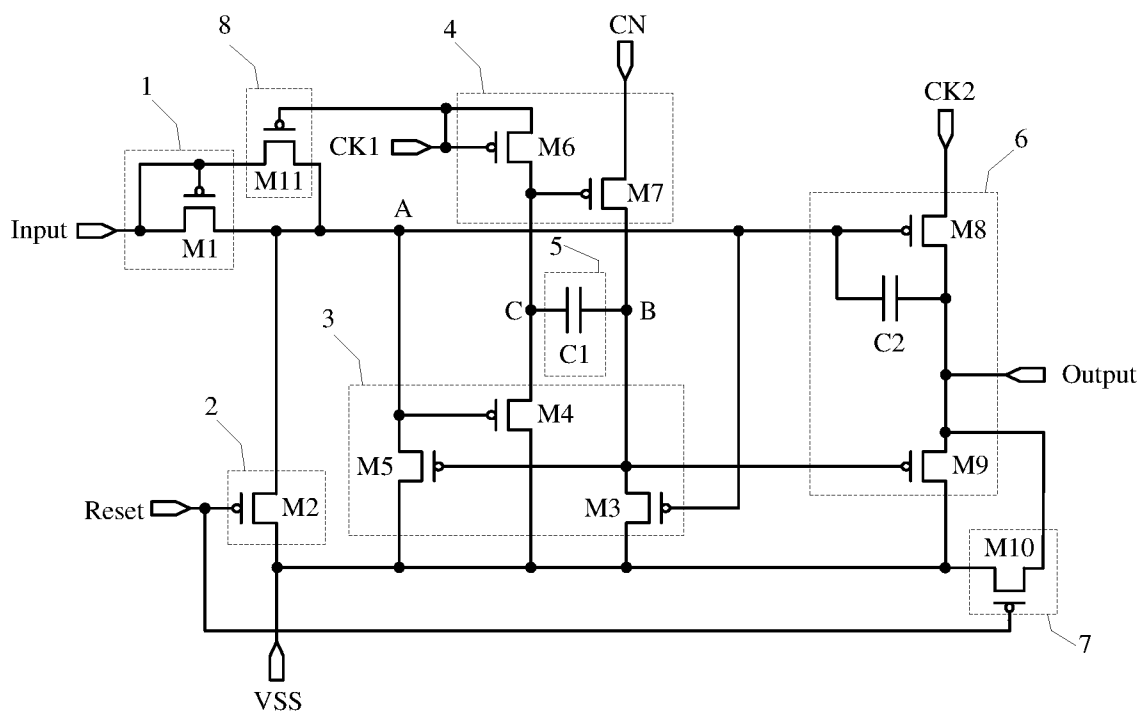


图 4b

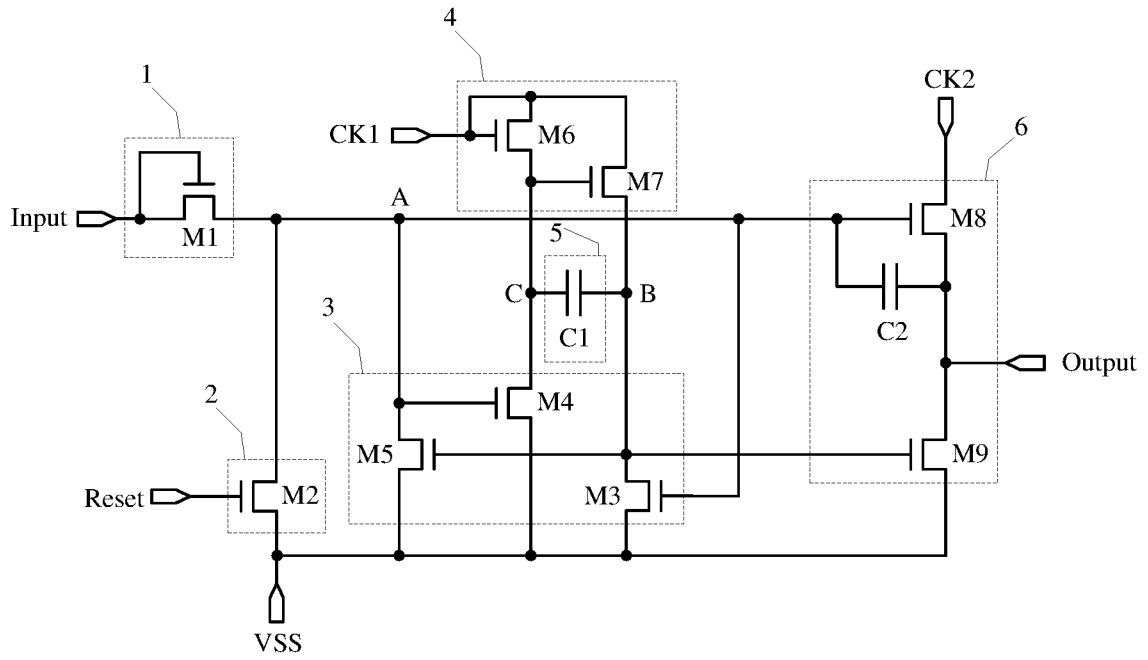


图 5a

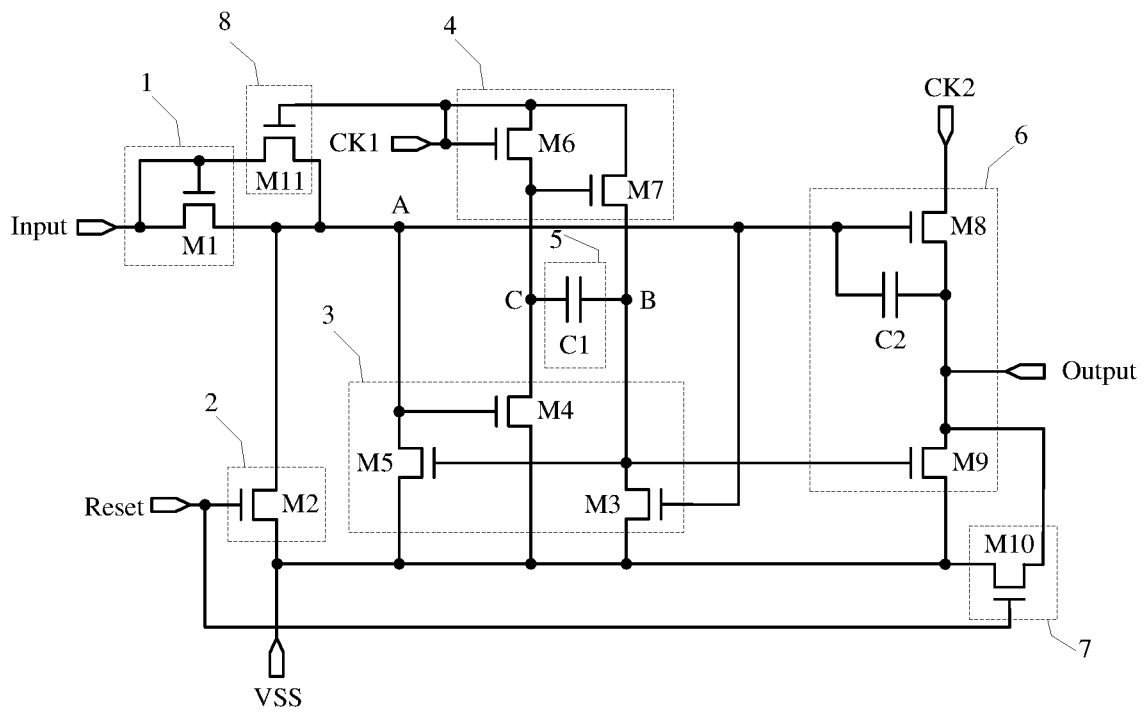


图 5b

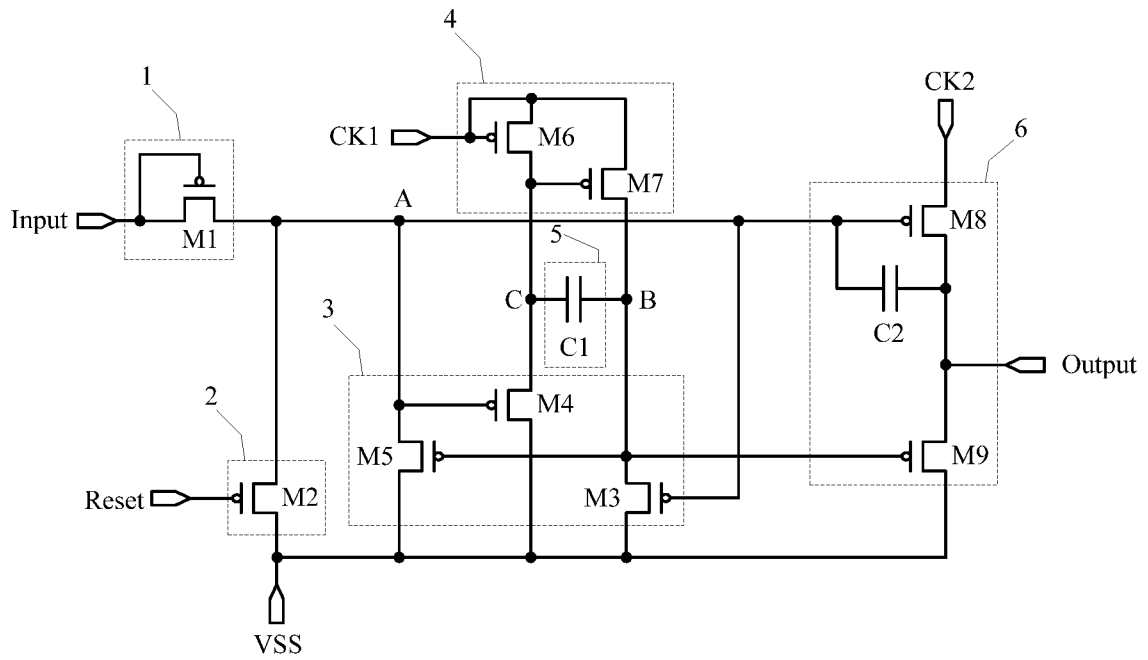


图 6a

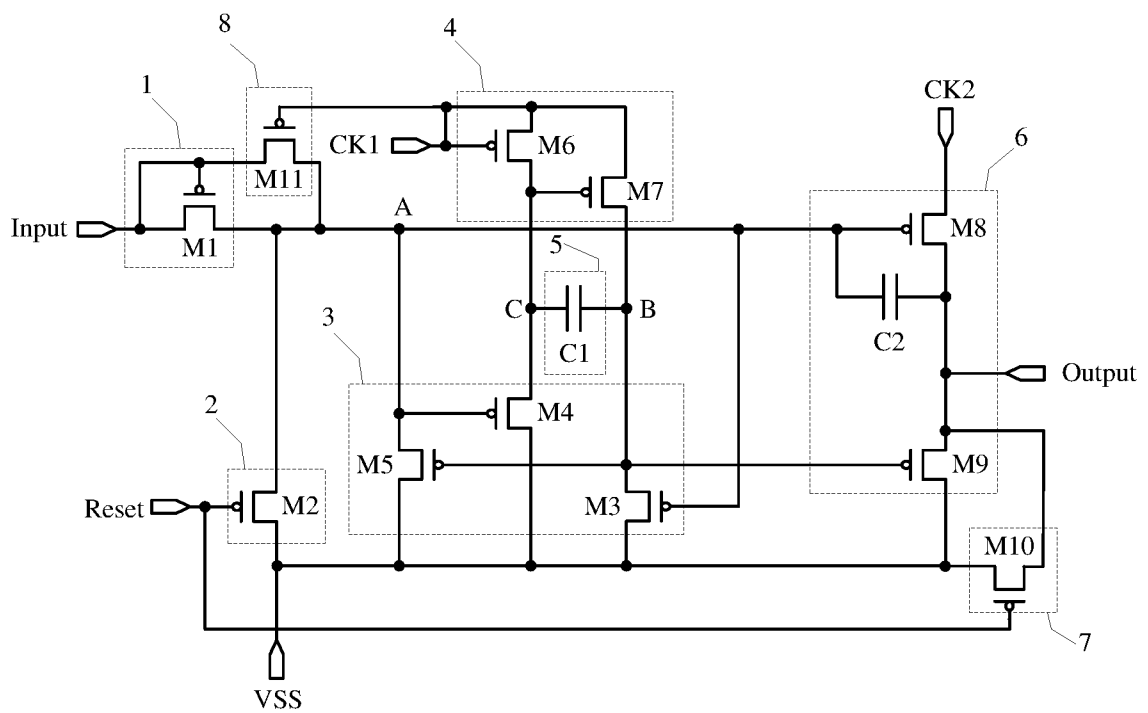


图 6b

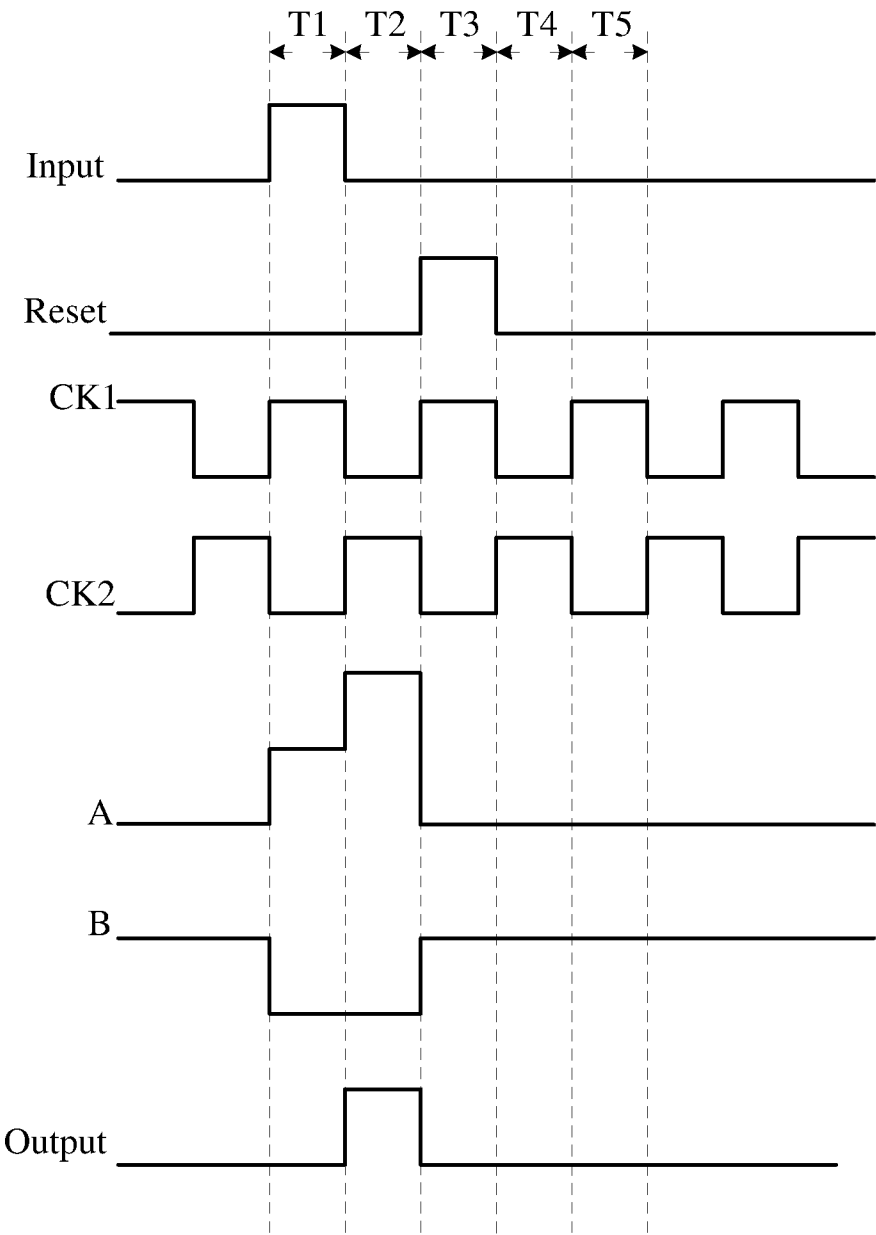


图 7a

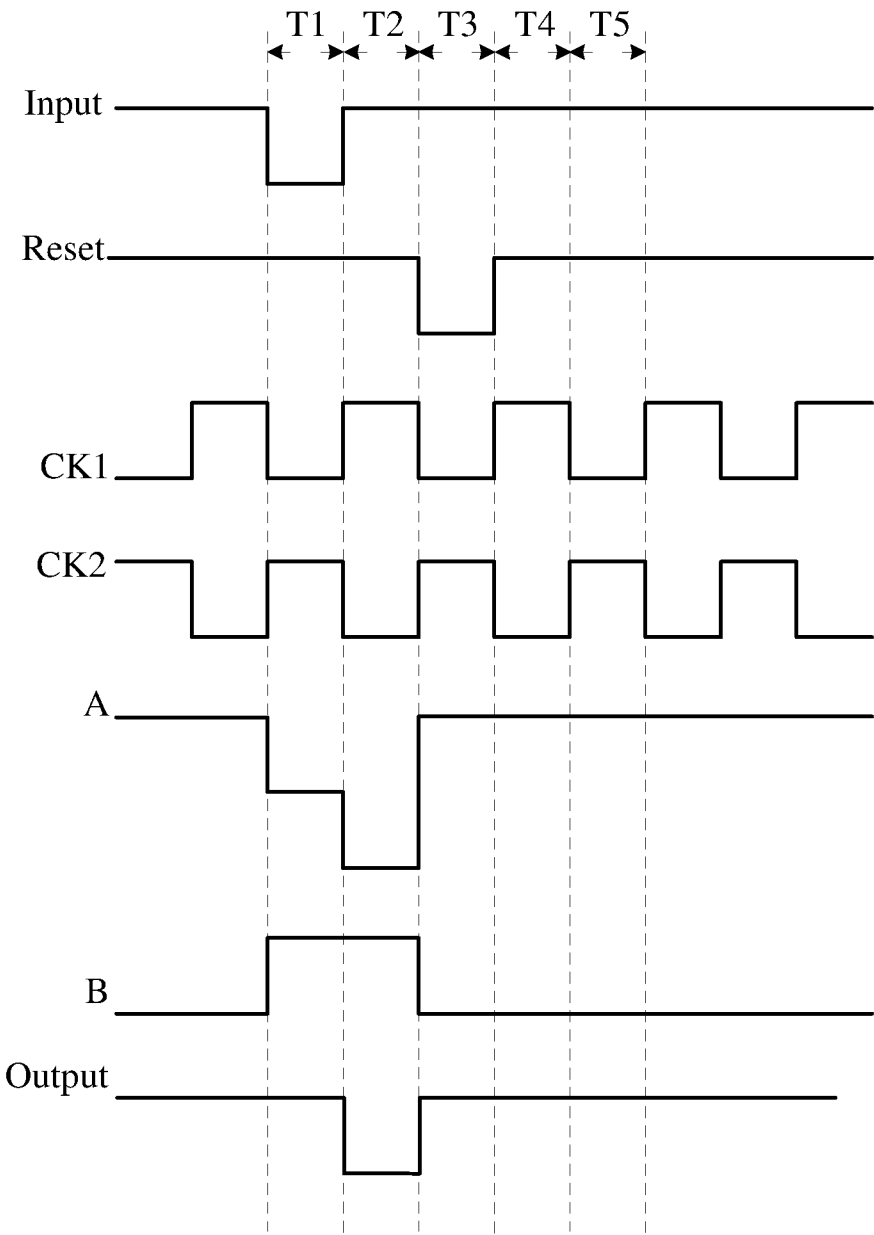


图 7b

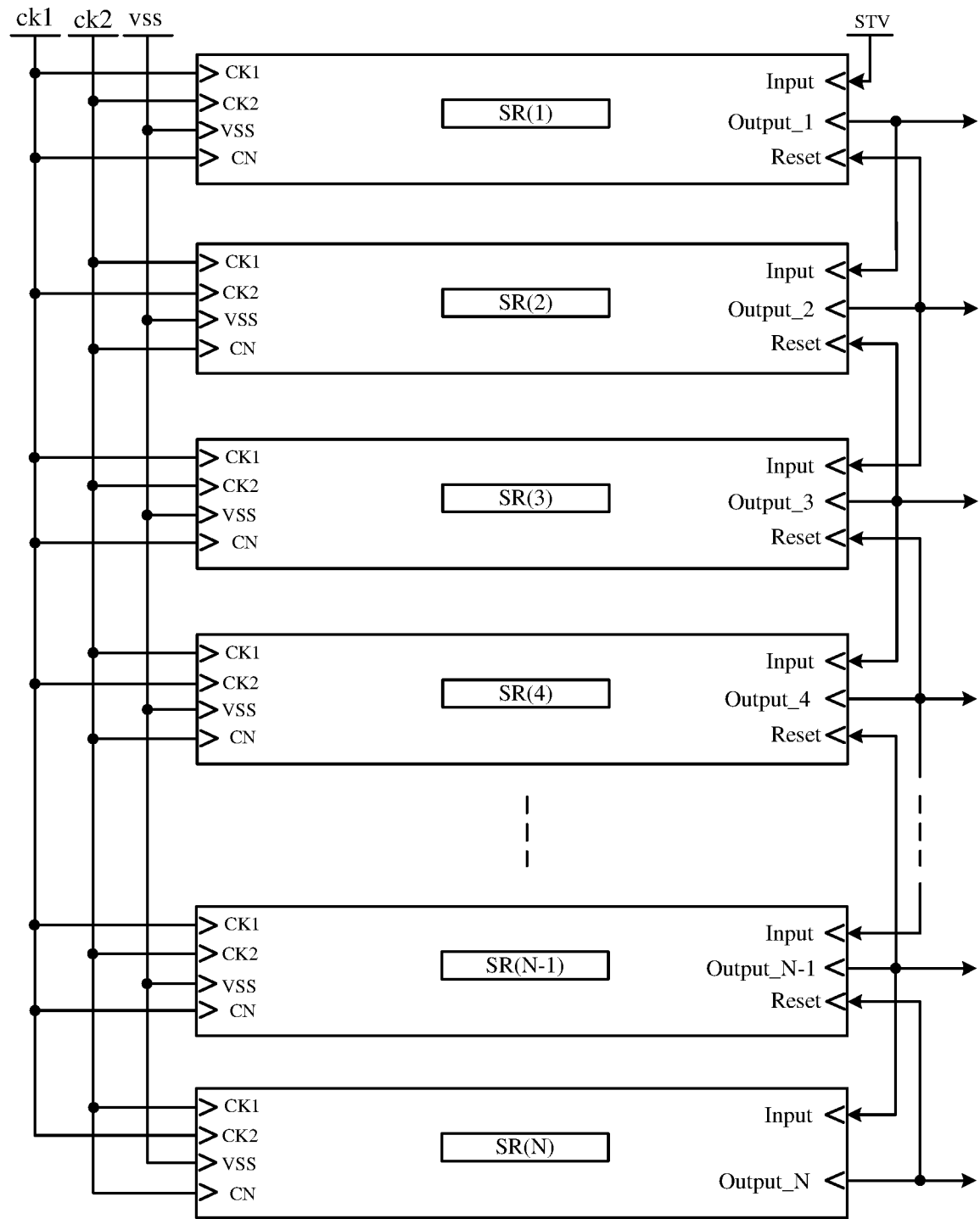


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/091723

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3, G11C 19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; YEN: shift, register, node, control, reset

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105118417 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 02 December 2015 (02.12.2015), description, paragraphs [0061]-[0123], and figures 1a-1b	1-14
A	CN 104282287 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.; BOE TECHNOLOGY GROUP CO., LTD.), 14 January 2015 (14.01.2015), the whole document	1-14
A	CN 104934071 A (BOE TECHNOLOGY GROUP CO., LTD.), 23 September 2015 (23.09.2015), the whole document	1-14
A	TW 200929131 A (CHI MEI OPTOELECTRONICS CORP.), 01 July 2009 (01.07.2009), the whole document	1-14
PX	CN 105469738 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 06 April 2016 (06.04.2016), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search	Date of mailing of the international search report 25 October 2016 (25.10.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Yuan Telephone No.: (86-10) 62085846

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/091723

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105118417 A	02 December 2015	None	
CN 104282287 A	14 January 2015	US 2016125847 A1	05 May 2016
CN 104934071 A	23 September 2015	None	
TW 200929131 A	01 July 2009	TW I383353 B	21 January 2013
		US 8237692 B2	07 August 2012
		US 2009167741 A1	02 July 2009
CN 105469738 A	06 April 2016	None	

国际检索报告

国际申请号

PCT/CN2016/091723

A. 主题的分类

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3, G11C19

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;VEN: 移位, 寄存器, 节点, 控制, 复位, shift, register, node, control, reset

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105118417 A (京东方科技集团股份有限公司等) 2015年 12月 2日 (2015 - 12 - 02) 说明书【0061】-【0123】, 附图1a-1b	1-14
A	CN 104282287 A (合肥鑫晟光电科技有限公司 京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-14
A	CN 104934071 A (京东方科技集团股份有限公司) 2015年 9月 23日 (2015 - 09 - 23) 全文	1-14
A	TW 200929131 A (CHI MEI OPTOELECTRONICS CORP) 2009年 7月 1日 (2009 - 07 - 01) 全文	1-14
PX	CN 105469738 A (BOE TECHNOLOGY GROUP CO LTD等) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

国际检索报告邮寄日期

2016年 10月 25日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

李原

传真号 (86-10)62019451

电话号码 (86-10)62085846

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/091723

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105118417	A	2015年 12月 2日	无			
CN	104282287	A	2015年 1月 14日	US	2016125847	A1	2016年 5月 5日
CN	104934071	A	2015年 9月 23日	无			
TW	200929131	A	2009年 7月 1日	TW	I383353	B	2013年 1月 21日
				US	8237692	B2	2012年 8月 7日
				US	2009167741	A1	2009年 7月 2日
CN	105469738	A	2016年 4月 6日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)