

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-141231
(P2010-141231A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5 F O 3 2
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F O 3 3
HO 1 L 23/52 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 7 頁)

(21) 出願番号 (22) 出願日	特願2008-318100 (P2008-318100) 平成20年12月15日 (2008.12.15)	(71) 出願人 302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部 1 7 5 3 番地 (74) 代理人 100110928 弁理士 速水 進治 (72) 発明者 田島 一久 熊本県熊本市八幡一丁目 1 番 1 号 NEC セミコンダクターズ九州・山口株式会社内 Fターム(参考) 5F032 AA34 AA44 AA45 AA47 AA78 BA01 BA05 BB08 DA04 DA22 DA34 DA53 5F033 HH04 MM01 MM21 MM30 PP12 QQ01 QQ07 QQ08 QQ31 QQ73 QQ76 RR04 SS25 SS27 VV05 XX01
-----------------------	--	---

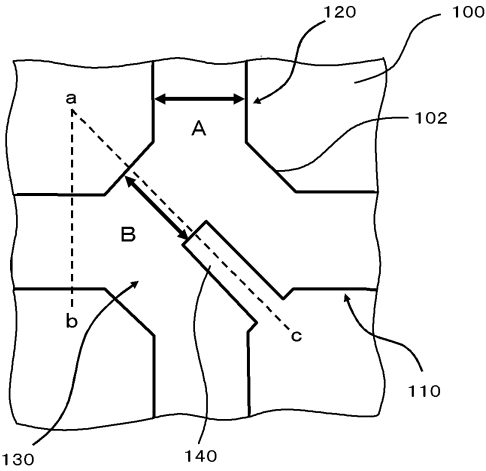
(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 溝の交差部分の中央部に窪みが形成されることを抑制でき、かつ半導体装置の歩留まりが低下することを抑制できる半導体装置の製造方法を提供する。

【解決手段】 この半導体装置の製造方法は、基板100に第1の溝110及び第1の溝110と交差する第2の溝120を形成する工程と、基板100に対して成膜処理を行うことにより、第1の溝110内及び第2の溝120内に膜200を埋め込む工程と、基板100上に位置する膜200を除去する工程とを備える。そして第1の溝110及び第2の溝120を形成する工程において、第1の溝110と第2の溝120の交差部分130に、平面視において交差部分130の角の一つから交差部分130の中央に向けて延伸する凸部140を形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板に第 1 の溝、及び前記第 1 の溝と交差する第 2 の溝を形成する工程と、
前記基板に対して成膜処理を行うことにより、前記第 1 の溝内及び前記第 2 の溝内に膜を埋め込む工程と、
前記基板上に位置する前記膜を除去する工程と、
を備え、
前記第 1 の溝及び前記第 2 の溝を形成する工程において、前記第 1 の溝と前記第 2 の溝の交差部分に、平面視において前記交差部分の角の一つから前記交差部分の中央に向けて延伸する凸部を形成する半導体装置の製造方法。

10

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、
前記第 1 の溝及び前記第 2 の溝を形成する工程において、
前記第 1 の溝及び前記第 2 の溝を直交させ、
前記凸部を前記第 1 の溝の延伸方向に対して 45° の角度で延伸させる半導体装置の製造方法。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置の製造方法において、
前記第 1 の溝及び前記第 2 の溝を形成する工程において、
前記凸部を平面視において略長方形にして、
前記交差部分の 4 つの角を、前記凸部の側面のうち対向する面と平行に面取りする半導体装置の製造方法。

20

【請求項 4】

請求項 3 に記載の半導体装置の製造方法において、
前記第 1 の溝及び前記第 2 の溝を形成する工程において、
前記第 1 の溝及び前記第 2 の溝の幅を等しくして、
前記交差部分の 4 つの角それぞれを、前記凸部のうち前記角に対向する側面までの距離が前記第 1 の溝の幅と等しくなるように面取りする半導体装置の製造方法。

【請求項 5】

請求項 1 ～ 4 のいずれかに記載の半導体装置の製造方法において、
前記基板はシリコン基板であり、
前記膜はポリシリコン膜であり、
前記第 1 の溝及び前記第 2 の溝を形成した後、前記膜を埋め込む工程の間に、前記第 1 の溝及び前記第 2 の溝に酸化シリコン膜を形成する工程を有する半導体装置の製造方法。

30

【請求項 6】

基板と、
前記基板に形成された第 1 の溝と、
前記基板に形成され、前記第 1 の溝と交差する第 2 の溝と、
前記第 1 の溝と前記第 2 の溝の交差部分に形成され、平面視において前記交差部分の角の一つから前記交差部分の中央に向けて延伸する凸部と
前記第 1 の溝内及び前記第 2 の溝内に埋め込まれた膜と、
を備える半導体装置。

40

【請求項 7】

請求項 6 に記載の半導体装置において、
前記第 1 の溝は前記第 2 の溝に直交しており、
平面視において、前記凸部は前記第 1 の溝の延伸方向に対して 45° の角度で延伸する半導体装置。

【請求項 8】

請求項 6 又は 7 に記載の半導体装置において、
前記凸部は平面視において略長方形であり、

50

前記交差部分の４つの角は、前記凸部のうち前記角に対向する側面と平行に面取りされている半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置において、

前記第 1 の溝及び前記第 2 の溝の幅は等しく、

前記交差部分の４つの角それぞれは、前記凸部のうち前記角に対向する側面までの距離が前記第 1 の溝の幅と等しくなるように面取りされている半導体装置。

【請求項 10】

請求項 6 ～ 9 のいずれか一つに記載の半導体装置において、

前記基板はシリコン基板であり、

前記膜はポリシリコン膜であり、

前記第 1 の溝及び前記第 2 の溝の側壁及び底面は酸化シリコン膜を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体装置に関する。

【背景技術】

【0002】

異なる電位の素子領域同士を電氣的に絶縁（素子分離）する方法として、基板に、側壁を絶縁層で覆った溝を形成し、この溝にポリシリコン膜等を埋め込む方法がある。溝にポリシリコン膜等を埋め込むときには、溝内及び基板上にポリシリコン膜を形成し、基板上のポリシリコン膜を、ドライエッチング等を用いて除去する。

【0003】

溝に膜を埋め込む場合、溝の開口幅の $1/2$ 以上の膜を形成する必要がある。一方、溝が交差する交差部分では、溝の開口幅が他の部分よりも広く（例えば直交する場合は約 1.4 倍）なる。このため、溝の交差部分では、膜を形成した後に中央部に深い窪みが形成されやすい。この窪みを残しておく、と、基板上に絶縁膜を形成するときに絶縁膜が窪みを埋めきれず、その結果ボイドが形成されることがある。

【0004】

上記したボイドの発生を抑制する方法として、例えば特許文献 1 に記載の方法がある。この方法は、基板に溝を形成するときに、溝の交差部分に、この交差部分より狭い面積の島パターンを形成するものである。

【特許文献 1】特開平 4 - 127148 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、半導体装置の微細化が進んだ場合、特許文献 1 に記載の方法では、島パターンの面積が小さくなる。この場合、島パターンを形成するためのレジストパターンにおいて、底面積に対する高さの比が大きくなり、レジストパターンが不安定になり、倒れやすくなってしまう。このため、半導体装置の歩留まりが低下してしまう。

【課題を解決するための手段】

【0006】

本発明によれば、基板に第 1 の溝及び前記第 1 の溝と交差する第 2 の溝を形成する工程と、

前記基板に対して成膜処理を行うことにより、前記第 1 の溝内及び前記第 2 の溝内に膜を埋め込む工程と、

前記基板上に位置する前記膜を除去する工程と、
を備え、

前記第 1 の溝及び前記第 2 の溝を形成する工程において、前記第 1 の溝と前記第 2 の溝の交差部分に、平面視において前記交差部分の角の一つから前記交差部分の中央に向けて

10

20

30

40

50

延伸する凸部を形成する半導体装置の製造方法が提供される。

【0007】

この半導体装置の製造方法によれば、平面視において凸部が、第1の溝と第2の溝の交差部分の角の一つから交差部分の中央に向けて延伸している。このため、交差部分において溝の開口幅を狭くすることができる。従って、第1の溝及び第2の溝に膜を埋め込むときに、交差部分の中央部に深い窪みが形成されることを抑制できる。また、凸部を形成するためのレジストパターンは孤立しないため、レジストパターンが不安定になって半導体装置の歩留まりが低下することを抑制できる。

【0008】

本発明によれば、基板と、
前記基板に形成された第1の溝と、
前記基板に形成され、前記第1の溝と交差する第2の溝と、
前記第1の溝と前記第2の溝の交差部分に形成され、平面視において前記交差部分の角の一つから前記交差部分の中央に向けて延伸する凸部と
前記第1の溝内及び前記第2の溝内に埋め込まれた膜と、
を備える半導体装置が提供される。

【発明の効果】

【0009】

本発明によれば、溝の交差部分の中央部に窪みが形成されることを抑制でき、かつ半導体装置の歩留まりが低下することを抑制できる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0011】

図1～図5は、実施形態に係る半導体装置の製造方法を説明するための図である。図1及び図5は平面図であり、図2、図3、及び図4は図1及び図5のc-a-b断面図である。この半導体装置の製造方法は、基板100に第1の溝110及び第1の溝110と交差する第2の溝120を形成する工程と、基板100に対して成膜処理を行うことにより、第1の溝110内及び第2の溝120内に膜200を埋め込む工程と、基板100上に位置する膜200を除去する工程とを備える。そして第1の溝110及び第2の溝120を形成する工程において、第1の溝110と第2の溝120の交差部分130に、平面視において交差部分130の角の一つから交差部分130の中央に向けて延伸する凸部140を形成する。以下、詳細に説明する。

【0012】

まず図1及び図2に示すように、シリコン基板などの半導体基板100上にレジスト膜（図示せず）を形成し、このレジスト膜を露光及び現像する。これにより、半導体基板100上にはレジストパターンが形成される。次いで、このレジストパターンをマスクとして半導体基板100をエッチングする。これにより、半導体基板100には第1の溝110、第2の溝120、及び凸部140が形成される。

【0013】

この工程において、凸部140を形成するためのレジストパターンは孤立せず、他のレジストパターンに繋がっている。このため、レジストパターンが不安定になって半導体装置の歩留まりが低下することを抑制できる。

【0014】

本図に示す例では、平面視において、第1の溝110及び第2の溝120は直交しており、かつ凸部140は、第1の溝110の延伸方向に対して45°の角度で延伸している。ただし第1の溝110及び第2の溝120が直交していない場合、凸部140が第1の溝110の延伸方向に対して成す角度は45°とは異なる角度になる。

【0015】

また凸部 140 は略長方形である。そして交差部分 130 の 4 つの角 102 は、それぞれ凸部 140 の側面のうち対向する面と平行に面取りされている。

【0016】

本実施形態において、4 つの角 102 それぞれから凸部 140 までの距離 B は全て等しくなっている。また第 1 の溝 110 の幅及び第 2 の溝 120 の幅は互いに等しいが、角 102 から凸部 140 までの距離 B は、第 1 の溝 110 及び第 2 の溝 120 の幅 A 以下、好ましくは幅 A と等しくなっている。

【0017】

なお、半導体基板 100 をエッチングして第 1 の溝 110、第 2 の溝 120、及び凸部 140 を形成する工程において、レジストパターンではなく窒化シリコン膜などのハード

10

【0018】

次に図 3 に示すように、半導体基板 100 の表面、並びに第 1 の溝 110 及び第 2 の溝 120 の底面及び側面に、絶縁層 104 を形成する。絶縁層 104 は、例えば熱酸化膜であるが、プラズマ CVD 法により形成されてもよい。半導体基板 100 がシリコン基板である場合、絶縁層 104 は酸化シリコン膜である。

【0019】

次に絶縁層 104 上に膜 200 を例えばプラズマ CVD 法を用いて成膜する。半導体基板 100 がシリコン基板である場合、膜 200 は例えばポリシリコン膜である。上記したように、交差部分 130 には凸部 140 が延伸しており、交差部分 130 における開口の幅は小さくなる。従って、第 1 の溝 110 及び第 2 の溝 120 に膜 200 を埋め込むときに、交差部分 130 の中央部に形成される窪み 204 が深くなることを抑制できる。この窪み 204 の深さは、例えば第 1 の溝 110 の中央部に形成される窪み 202 と同程度の深さである。

20

【0020】

その後、図 4 及び図 5 に示すように、半導体基板 100 上に形成された膜 200 を、例えばエッチバック法により除去する。上記したように、交差部分 130 の中央部に形成される窪み 204 が深くなることを抑制できる。このため、エッチバック後に深い窪み 204 が残ることを抑制できる。なお、膜 200 がポリシリコン膜である場合、膜 200 をグランド配線として用いることができる。

30

【0021】

次に、本実施形態の効果について説明する。上記したように、凸部 140 は交差部分 130 の角の一つから交差部分 130 の中央に向けて延伸している。このため、凸部 140 を形成するためのレジストパターンは孤立せず、他のレジストパターンに繋がっている。従って、レジストパターンが不安定になって半導体装置の歩留まりが低下することを抑制できる。

【0022】

また、交差部分 130 には凸部 140 が延伸しているため、交差部分 130 における開口の幅は小さくなる。従って、第 1 の溝 110 及び第 2 の溝 120 に膜 200 を埋め込むときに、交差部分 130 の中央部に形成される窪み 204 が深くなることを抑制できる。

40

【0023】

特に凸部 140 の平面形状が長方形であり、交差部分 130 の 4 つの角 102 は、それぞれ凸部 140 の側面のうち対向する面と平行に面取りされている場合、交差部分 130 における膜 200 の埋め込み不良が生じることを抑制でき、かつ交差部分 130 内で開口の幅が部分的に広くなることを抑制できる（例えば開口幅 B を第 1 の溝 110 の開口幅 A 以下にすることができる）ため、上記した効果が顕著になる。

【0024】

なお、凸部 140 の形状は、本実施形態に示した例に限定されない。また、交差部分 130 の角 102 は面取りされていなくても良い。また膜 200 は酸化シリコン膜であって

50

も良い。

【0025】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【図面の簡単な説明】

【0026】

【図1】実施形態に係る半導体装置の製造方法を説明するための平面図である。

【図2】実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図3】実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図4】実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図5】実施形態に係る半導体装置の製造方法を説明するための平面図である。

【符号の説明】

【0027】

100 基板

102 角

104 絶縁層

110 第1の溝

120 第2の溝

130 交差部分

140 凸部

200 膜

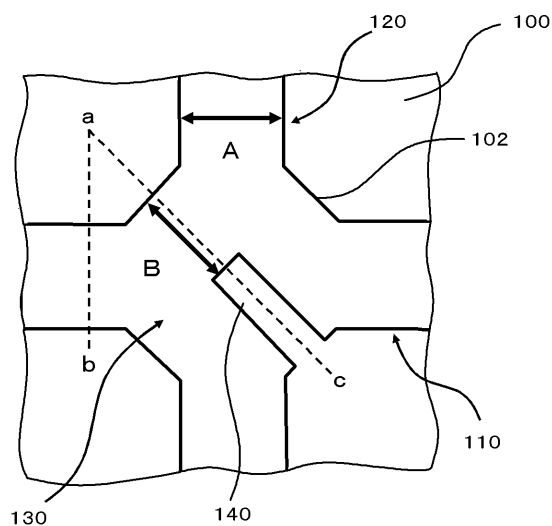
202 窪み

204 窪み

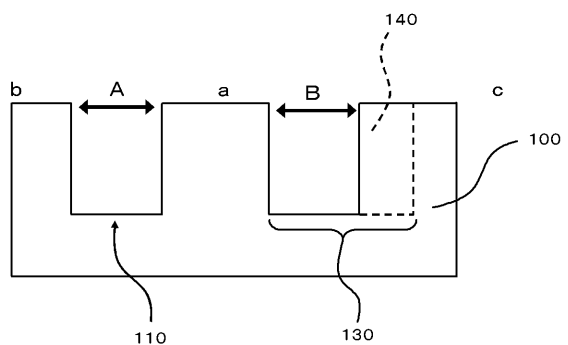
10

20

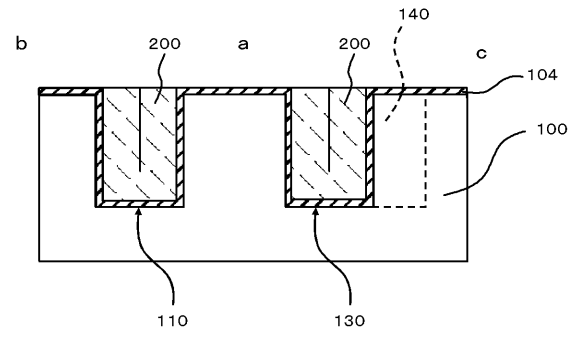
【図1】



【図2】



【図 4】



【 図 5 】

