



(12) 发明专利

(10) 授权公告号 CN 101740481 B

(45) 授权公告日 2012. 02. 29

(21) 申请号 200810227019. 4

审查员 王晓峰

(22) 申请日 2008. 11. 18

(73) 专利权人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市经济技术开发区文昌大道 18 号

(72) 发明人 聂佳相 康芸 杨瑞鹏

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 李丽

(51) Int. Cl.

H01L 21/768(2006. 01)

(56) 对比文件

US 2006/0213778 A1, 2006. 09. 28,

CN 1909206 A, 2007. 02. 07,

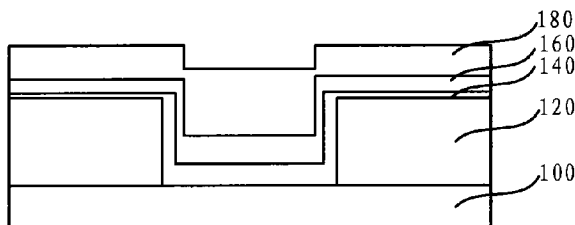
权利要求书 1 页 说明书 7 页 附图 3 页

(54) 发明名称

半导体器件中互连线形成方法

(57) 摘要

一种半导体器件中互连线形成方法,包括:在基底上形成具有互连线结构的介质层及覆盖所述互连线结构的底壁和侧壁的晶种层;采用第一电流形成覆盖所述晶种层的底电镀分层;形成覆盖所述底电镀分层并填充所述互连线结构的顶电镀分层;形成所述顶电镀分层的步骤包括:采用过渡电流形成覆盖所述底电镀分层的过渡电镀分层,所述过渡电流介于所述第一电流和第二电流之间,所述第二电流使形成后续电镀分层顶层的速率高于采用所述第一电流形成所述底电镀分层的速率;采用所述第二电流形成覆盖所述过渡电镀分层的电镀分层顶层。可减少电镀过程中孔洞的产生。



1. 一种半导体器件中互连线形成方法,包括,
在基底上形成具有互连线结构的介质层及覆盖所述互连线结构的底壁和侧壁的晶种层;

采用第一电流形成覆盖所述晶种层的底电镀分层;

形成覆盖所述底电镀分层并填充所述互连线结构的顶电镀分层;

其特征在于,形成所述顶电镀分层的步骤包括:

采用过渡电流形成覆盖所述底电镀分层的过渡电镀分层,所述过渡电流介于所述第一电流和第二电流之间,所述第二电流使形成后续电镀分层顶层的速率高于采用所述第一电流形成所述底电镀分层的速率,以及时排放反应副产物,减少电镀过程中产生的孔洞缺陷的数目;

采用所述第二电流形成覆盖所述过渡电镀分层的电镀分层顶层。

2. 根据权利要求1所述的半导体器件中互连线形成方法,其特征在于:所述第二电流至少为所述第一电流的5倍。

3. 根据权利要求1所述的半导体器件中互连线形成方法,其特征在于:在形成所述底电镀分层之前,还包括,

采用缓冲电流形成缓冲电镀分层,所述缓冲电镀分层夹于所述底电镀分层和所述晶种层之间,所述缓冲电流小于所述第一电流。

4. 根据权利要求1或3所述的半导体器件中互连线形成方法,其特征在于:所述过渡电流为所述第一电流的1.5倍至4倍。

5. 根据权利要求1或3所述的半导体器件中互连线形成方法,其特征在于:各所述电镀分层材料相同。

6. 根据权利要求1或3所述的半导体器件中互连线形成方法,其特征在于:各所述电镀分层材料为铜。

7. 根据权利要求1或3所述的半导体器件中互连线形成方法,其特征在于:在形成所述过渡电镀分层之前,所述互连线结构已被填充至其深度的1/4-1/3。

8. 根据权利要求1所述的半导体器件中互连线形成方法,其特征在于:形成所述过渡电镀分层后所述互连线结构被填满。

9. 根据权利要求1所述的半导体器件中互连线形成方法,其特征在于:至少部分所述互连线结构的顶部宽度大于1微米。

半导体器件中互连线形成方法

技术领域

[0001] 本发明涉及半导体制造技术领域,特别涉及一种半导体器件中互连线形成方法。

背景技术

[0002] 半导体制程中,通常通过金属连接线(本文件内,简称为互连线)实现器件与外部电路间的电连接。形成所述互连线的步骤包括:如图1所示,在基底10上形成具有互连线结构22的介质层20及覆盖所述互连线结构22的底壁和侧壁的晶种层(图未示);如图2所示,在所述晶种层上形成填充所述互连线结构22的电镀层30。

[0003] 形成所述电镀层30的基本原理在于:将载有所述晶种层的基底沉浸在电镀溶液中,所述基底和晶种层作为带负电荷的平板或阴极电连接到外电源。固体金属块沉浸在所述电镀溶液中并构成带正电荷的阳极。电镀过程中,溶液中的金属离子在晶种层表面被还原成金属原子,同时在阳极发生氧化反应,以平衡阴极电流。

[0004] 通常,利用传统工艺形成所述电镀层的步骤包括:如图3所示,采用第一电流形成覆盖所述晶种层的底电镀分层32;如图4所示,采用第二电流形成覆盖所述底电镀分层的顶电镀分层34,所述第二电流使形成所述顶电镀分层34的速率高于采用第一电流形成所述底电镀分层32的速率。

[0005] 实践中,尚需再对形成的电镀层执行研磨操作,方可执行后续形成金属互连的操作。然而,实际生产发现,应用上述方法执行电镀及研磨操作后,填充尺寸较大(如,对于90纳米及其以下工艺,图形区的临界尺寸大于1微米)的图形区后易形成有如图5及图6所示的孔洞42,所述孔洞42易导致金属互连效果的恶化。因此,如何减少所述孔洞的产生成为本领域技术人员致力解决的主要问题。

[0006] 2007年2月7日公布的公开号为“CN1909206A”的中国专利申请中提供了一种半导体元件中内连线结构的制造方法,通过在内连线结构中形成有一或多个应力释放层,以抵消导电材料所引起的应力并有助于防止或减少产生拉回孔洞。

[0007] 但是,应用上述专利申请中提供的方法减少所述孔洞的产生时,需在制程中引入所述应力释放层的形成步骤,需要在原有工艺中附加新技术,如,需要摸索所述应力释放层的形成工艺,以及,所述形成工艺与现行工艺的整合程度;需投入巨大的研发成本。

发明内容

[0008] 本发明提供了一种半导体器件中互连线形成方法,可减少电镀过程中孔洞的产生。

[0009] 本发明提供的一种半导体器件中互连线形成方法,包括:

[0010] 在基底上形成具有互连线结构的介质层及覆盖所述互连线结构的底壁和侧壁的晶种层;

[0011] 采用第一电流形成覆盖所述晶种层的底电镀分层;

[0012] 形成覆盖所述底电镀分层并填充所述互连线结构的顶电镀分层;

[0013] 特别地,形成所述顶电镀分层的步骤包括:

[0014] 采用过渡电流形成覆盖所述底电镀分层的过渡电镀分层,所述过渡电流介于所述第一电流和第二电流之间,所述第二电流使形成后续电镀分层顶层的速率高于采用所述第一电流形成所述底电镀分层的速率;

[0015] 采用所述第二电流形成覆盖所述过渡电镀分层的电镀分层顶层。

[0016] 与现有技术相比,上述技术方案具有以下优点:

[0017] 上述技术方案提供的半导体器件中互连线形成方法,通过在现有技术中形成所述底电镀分层和顶电镀分层的步骤之间,嵌入所述过渡电镀分层的形成步骤,以降低所述顶电镀分层的形成速度,即,以低于所述第二电流的过渡电流形成部分厚度的所述顶电镀分层(即,所述过渡电镀分层)、以所述第二电流形成剩余厚度的所述顶电镀分层(即,所述电镀分层顶层),可在填充所述图形区时,降低反应速度,以及时排放反应副产物,防止由于反应速度过快造成的反应副产物排放不及时,以及,由于反应副产物排放不及时导致的在残留所述反应副产物的电镀分层表面反应不能继续进行(将导致电镀过程中孔洞的产生)的现象的发生,即可减少电镀过程中孔洞的产生,且仅需对反应速率稍加控制,无需投入巨大的研发成本。

附图说明

[0018] 图 1- 图 2 为现有技术中互连线形成过程的结构示意图;

[0019] 图 3- 图 4 为现有技术中电镀层形成过程的结构示意图;

[0020] 图 5 为现有技术中存在孔洞的电镀层的结构示意图;

[0021] 图 6 为现有技术中存在孔洞的电镀层的检测图片;

[0022] 图 7- 图 10 为本发明第一实施例中电镀层形成过程的结构示意图;

[0023] 图 11 为本发明优选实施例中电镀层形成过程的结构示意图;

[0024] 图 12 为应用本发明优选实施例与应用现有技术获得电镀层后的晶片内孔洞缺陷检测结果对比示意图;

[0025] 图 13 为应用本发明优选实施例与应用现有技术获得电镀层后的晶片 WAT 检测结果对比示意图;

[0026] 图 14 为应用本发明优选实施例与应用现有技术获得电镀层后的晶片可靠性检测结果对比示意图;

[0027] 图 15 为应用本发明优选实施例与应用现有技术获得电镀层后的晶片恶化试验检测结果对比示意图。

具体实施方式

[0028] 尽管下面将参照附图对本发明进行更详细的描述,其中表示了本发明的优选实施例,应当理解本领域技术人员可以修改在此描述的本发明而仍然实现本发明的有利效果。因此,下列的描述应当被理解为对于本领域技术人员的广泛教导,而并不作为对本发明的限制。

[0029] 为了清楚,不描述实际实施例的全部特征。在下列描述中,不详细描述公知的功能和结构,因为它们会使本发明由于不必要的细节而混乱。应当认为在任何实际实施例的开

发中,必须做出大量实施细节以实现开发者的特定目标,例如按照有关系统或有关商业的限制,由一个实施例改变为另一个实施例。另外,应当认为这种开发工作可能是复杂和耗费时间的,但是对于本领域技术人员来说仅仅是常规工作。

[0030] 在下列段落中参照附图以举例方式更具体地描述本发明。根据下列说明和权利要求书本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比率,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0031] 作为本发明的第一实施例,形成半导体器件中互连线的步骤包括:

[0032] 首先,如图 7 所示,在基底 100 上形成具有互连线结构 122 的介质层 120 及覆盖所述互连线结构 122 的底壁和侧壁的晶种层(图未示);

[0033] 在衬底(substrate)上定义器件有源区并完成浅沟槽隔离、继而形成栅极结构及源区和漏区后,形成基底 100。此外,在衬底上定义器件有源区并完成浅沟槽隔离、继而形成栅极结构及源区和漏区后,进而沉积第一层间介质层(即金属前介质层,PMO),继续在所述第一层间介质层内形成第一层互连线后,仍可形成基底 100;可扩展地,在沉积第 N-1 层间介质层后,继续形成第 N-1 层互连线后,形成基底 100。显然,所述层间介质层的数目 N 可为任意自然数,如 1、3、5、7 或 9 等,所述层间介质层的具体数目根据产品要求确定。所述栅极结构包含栅极、环绕栅极的侧墙及栅氧化层。所述栅极结构还可包含覆盖所述栅极和侧墙的阻挡层。所述衬底包含但不限于包括元素的硅材料,例如单晶、多晶或非晶结构的硅或硅锗(SiGe),也可以是绝缘体上硅(SOI)。

[0034] 可采用 PECVD(等离子体增强化学气相沉积)、SACVD(亚常压化学气相沉积)或 LPCVD(低压化学气相沉积)等传统工艺形成所述介质层。所述介质层可为低介电常数材料,所述低介电常数材料包括但不限于黑钻石(Black Diamond, BD)或 coral 中的一种。所述介质层材料也可包含但不限于未掺杂的二氧化硅(SiO₂)、磷硅玻璃(PSG)、硼硅玻璃(BSG)、硼磷硅玻璃(BPSG)、氟硅玻璃(FSG)或具有低介电常数材料中的一种或其组合。

[0035] 所述互连线结构可为传统工艺中的单镶嵌结构或双镶嵌结构,在所述单镶嵌结构或双镶嵌结构中填充金属材料后,形成互连线。所述单镶嵌结构或双镶嵌结构即为:为在所述介质层中形成互连线而预先去除部分介质层材料后在所述介质层中形成的缺失结构。术语“镶嵌”意指:先刻蚀所述介质层以在其中形成缺失结构、再在所述缺失结构中填充金属材料的工艺。所述双镶嵌结构既包含先形成通孔(via)、再形成沟槽(trench)后获得的结构;也包含先形成沟槽、再形成通孔后获得的结构。可采用等离子刻蚀工艺形成所述互连线结构。

[0036] 在形成所述互连线结构的步骤和形成所述晶种层的步骤之间,还包括:形成覆盖所述通孔和沟槽的底部和侧壁的粘接层。所述粘接层用以增强所述晶种层与所述互连线结构的底部和侧壁的接合程度,以减小由于接合效果不良而导致的接触电阻的增加。所述粘接层可包括 TaN/Ta 或 TiN/Ti 的叠层结构。所述粘接层可利用化学气相沉积工艺获得。

[0037] 所述晶种层可利用物理气相沉积(PVD)工艺形成。填充所述互连线结构的材料为金属铜时,所述晶种层为铜。实践中,所述晶种层用以在形成电镀层时作为带负电荷的平板或阴极电连接到外电源,以承载由电镀溶液中的金属铜离子被还原而形成的金属铜原子。

[0038] 随后,在所述晶种层上形成填充所述互连线结构的电镀层。形成所述电镀层的步骤包括:

[0039] 首先,如图 8 所示,采用第一电流形成覆盖所述晶种层的底电镀分层 140。

[0040] 传统工艺中,形成所述电镀层的步骤即包括:形成所述底电镀分层的步骤和形成顶电镀分层的步骤。其中,顶电镀分层的形成速率高于所述底电镀分层的形成速率。这是因为,如果仅从提高电镀反应速度的角度考虑,可以采用较高的电镀电流形成所述电镀层;但是,由于所述电镀层需填充所述互连线结构,过快的反应速度不利于电镀反应均匀地进行,也不利于填充的所述电镀层与所述互连线结构之间实现充分地接触;因此,实践中,通常,先以较低的速率形成所述底电镀分层,所述底电镀分层将所述互连线结构填充至其深度的 1/4-1/3(其中,所述底电镀分层过厚,不利于生产效率的提高;所述底电镀分层过薄,不利于电镀效果的改善);既利于电镀反应均匀地进行及利于使填充的所述电镀层与所述互连线结构之间实现充分地接触;又可利用所述底电镀分层减小所述互连线结构的深宽比(实践中,虽然,所述底电镀分层形成于同时覆盖所述互连线结构的底壁和侧壁的所述晶种层上,但是,通过在执行电镀操作时应用的电镀溶液中增加添加剂,如,加速剂,可使覆盖所述互连线结构的底壁的所述底电镀分层的厚度高于覆盖所述互连线结构的侧壁的所述底电镀分层的厚度,即,可使形成所述底电镀分层后,所述互连线结构的深宽比减小),为后续利用较高的速率形成顶电镀分层、并改善所述顶电镀分层的电镀效果提供有利条件(可利用较高的速率形成所述顶电镀分层的原因在于:1. 相比于未形成所述底电镀分层时,形成所述底电镀分层后,需填充的所述互连线结构的深宽比降低,无需采用形成所述底电镀分层时的反应速率即可使电镀反应均匀地进行及利于使形成的所述顶电镀分层与所述底电镀分层之间实现充分地接触;2. 在填充所述互连线结构之余,所述顶电镀分层的重要作用还在于,提供后续研磨操作的牺牲层,对所述顶电镀分层的精细度的要求不需要太高,采用较高的速率仍可获得满足要求的所述顶电镀分层)。

[0041] 但是,实际生产发现,应用上述方法形成电镀层后,易在所述电镀层中形成孔洞,即在互连线中形成孔洞(且在所述互连线结构的宽度大于 1 微米时尤其严重),所述孔洞将影响金属互连的质量,继而,影响器件的电学性能。如何减少互连线中所述孔洞的产生成为本发明解决的主要问题。

[0042] 本发明的发明人分析后认为,形成所述孔洞的原因在于:实际生产中,相比于形成所述底电镀分层时的反应速率,形成所述顶电镀分层时的反应速率过高,换言之,相比于形成所述底电镀分层时采用的第一电流,形成所述顶电镀分层时采用的第二电流过高(实践中,所述第一电流为 6.75 安培时,所述第二电流通常为 40.5 安培,即,所述第二电流为所述第一电流的 6 倍),而在形成所述底电镀分层后,所述互连线结构并未被填满,即,所述顶电镀分层需在继续填充所述互连线结构之余,再作为后续研磨操作的牺牲层;而在所述顶电镀分层继续填充所述互连线结构时,由于反应速率过快,以及,需填充的所述互连线结构的宽度越来越小,使得电镀反应的副产物越来越不利于被及时排放掉,未被及时排放掉的副产物附着于已形成部分厚度的所述顶电镀分层表面,阻止了后续电镀反应的继续进行,便在所述电镀层中形成了孔洞。

[0043] 由此,本发明的发明人提出,促进所述副产物的及时排放成为改善孔洞缺陷的指导方向。调整继续填充所述互连线结构时形成所述顶电镀分层的反应速率成为改善孔洞缺陷的切入点。

[0044] 通过在传统工艺中形成所述底电镀分层和顶电镀分层的步骤之间,嵌入过渡电镀

分层的形成步骤,以降低所述顶电镀分层的形成速度,即,以低于所述第二电流的过渡电流形成部分厚度的所述顶电镀分层(即,所述过渡电镀分层)、以所述第二电流形成剩余厚度的所述顶电镀分层(即,所述电镀分层顶层),可在继续填充所述互连线结构时,降低反应速度,以及时排放反应副产物,防止由于反应速度过快造成的反应副产物排放不及时,以及,由于反应副产物排放不及时导致的在残留所述反应副产物的电镀分层表面反应不能继续进行(将导致电镀过程中孔洞的产生)的现象的发生。

[0045] 再后,如图9所示,采用过渡电流形成覆盖所述底电镀分层140的过渡电镀分层160,所述过渡电流介于所述第一电流和第二电流之间,所述第二电流使电镀分层顶层的形成速率高于所述底电镀分层140的形成速率。

[0046] 本文件中,需强调的是,若传统技术中,采用两种不同的反应速率形成所述电镀层,显然,获得相对较快的反应速率所需的电镀电流为第二电流;获得相对较慢的反应速率所需的电镀电流为第一电流。而若传统技术中,采用两种以上不同的反应速率形成所述电镀层,显然,获得相对最快的反应速率所需的电镀电流为第二电流;获得相对最慢的反应速率所需的电镀电流为第一电流,获得介于上述最快的和最慢的之间的反应速率所需的电镀电流究竟为第二电流还是第一电流,根据“就近”原则确定,即,若所述电镀电流与对应最快的反应速率所需的第二电流之间差值的绝对值小于其与对应最慢的反应速率所需的第一电流之间差值的绝对值,则所述电镀电流为第二电流;若所述电镀电流与对应最快的反应速率所需的第二电流之间差值的绝对值大于其与对应最慢的反应速率所需的第一电流之间差值的绝对值,则所述电镀电流为第一电流。

[0047] 具体地,若传统技术中,采用三种不同的反应速率形成所述电镀层,为获得三种不同的反应速率所需的电镀电流分别为4.5安培、6.75安培和40.5安培,则所述第一电流包括4.5安培和6.75安培;所述第二电流仅为40.5安培。通常,所述第二电流至少为所述第一电流的5倍。

[0048] 所述过渡电流可为介于所述第一电流和第二电流之间的任意值,作为示例,所述第一电流为6.75安培、所述第二电流为40.5安培时,所述过渡电流的取值范围为(6.75安培,40.5安培)中的任意值。嵌入应用所述过渡电流形成所述过渡电镀分层的步骤,用以降低传统技术中所述顶电镀分层的形成速度。优选地,所述过渡电流为所述第一电流的1.5倍至4倍,在上述示例中,所述过渡电流取值的优选范围为(10安培,25安培),既不至于使生产效率被过分的降低,又可有效地降低传统技术中所述顶电镀分层的形成速度,及时排放反应副产物,减少电镀过程中产生的孔洞缺陷的数目。可采用至少一种反应速率形成所述过渡电镀分层160。对应任一所述反应速率的过渡电流的取值均满足上述要求。

[0049] 实践中,不同的电镀分层间的区别仅在于形成速率不同,各所述电镀分层材料相同;作为示例,各所述电镀分层材料可为铜。

[0050] 应用上述实施例在填充较宽(如,宽度大于1微米)的所述互连线结构以获得互连线时,对上述孔洞缺陷的改善效果尤其明显。这是因为,为增强所述互连线结构的填充效果,在执行电镀操作所需的电镀溶液中,已加入适量的添加剂,如平滑剂(利于获得平坦的电镀层及防止在所述互连线结构顶角处形成电镀材料的堆积)、抑制剂(利于减缓覆盖所述介质层且位于所述互连线结构之外的牺牲电镀层的形成速率,此牺牲电镀层将在所述互连线结构填充完成后被去除,因此,减缓此牺牲电镀层的形成速率,可减小此牺牲电镀层的

厚度,可减少电镀材料损失)和加速剂(可使覆盖所述互连线结构底壁的电镀层的形成速率高于覆盖所述互连线结构侧壁的电镀层的形成速率)。

[0051] 由于上述添加剂(尤其是加速剂)的使用,使得在填充顶部较窄(如,宽度小于1微米,如宽度为4000埃)的所述互连线结构以获得互连线时,在形成所述底电镀分层后,所述互连线结构易于被填满,因此,形成所述顶电镀分层时所需的较快的反应速度通常不会对所述互连线结构的填充效果产生影响,所述顶电镀分层通常仅用以形成上述牺牲电镀层;而在填充顶部较宽(如,宽度大于1微米)的所述互连线结构以获得互连线时,在形成所述底电镀分层后,所述互连线结构不足以被填满,这就要求所述顶电镀分层在用作牺牲电镀层之余,还要填充形成所述底电镀分层后未被填满的所述互连线结构,由前述分析,此时,若反应速度过快将对所述互连线结构的填充效果产生影响。上述实施例中通过采用介于所述第一电流和第二电流之间的过渡电流形成过渡电镀分层填充形成所述底电镀分层后未被填满的所述互连线结构,以降低填充时的反应速率,减小孔洞缺陷的数目。

[0052] 需说明的是,采用过渡电镀分层填充形成所述底电镀分层后未被填满的所述互连线结构后,所述互连线结构仍可被填满或未被填满,即使采用过渡电镀分层后所述互连线结构未被填满,此时,与未形成所述过渡电镀分层时相比,需要采用较快的反应速率填满所述互连线结构所需的电镀分层顶层的厚度也将小于顶电镀分层的厚度,即,减小了采用较快的反应速率执行填充所述互连线结构的操作的时间,利于减小孔洞缺陷的数目。当然,最佳方案为,在形成所述过渡电镀分层后所述互连线结构被填满,可保证采用较慢的反应速率填充形成所述底电镀分层后未被填满的所述互连线结构,既不至于使生产效率被过分的降低,又利于及时排放反应副产物,减少电镀过程中产生的孔洞缺陷的数目。

[0053] 最后,如图10所示,采用所述第二电流形成覆盖所述过渡电镀分层160的电镀分层顶层180。

[0054] 所述电镀分层顶层180为具有部分厚度的所述顶电镀分层。即,本文件中的所述电镀分层顶层180与所述过渡电镀分层160组合后相当于传统技术中的所述顶电镀分层。

[0055] 特别地,如图11所示,在形成所述底电镀分层之前,还包括:采用缓冲电流形成缓冲电镀分层142,所述缓冲电镀分层142夹于所述底电镀分层和所述晶种层之间,所述缓冲电流小于所述第一电流。如前面列举的示例中选用的,所述第一电流为6.75安培、所述第二电流为40.5安培时,所述缓冲电流可为取值为4.5安培的电镀电流。

[0056] 通过在形成所述电镀层的初始阶段,选用较小的电镀电流形成缓冲电镀分层(通常,所述缓冲电镀分层厚度较薄,如,所述电镀层的厚度约为7000埃时,所述缓冲电镀分层的厚度约为100埃),可利用所述缓冲电镀分层作为后续较厚的电镀分层与所述互连线结构之间的粘接层,利于在二者之间形成良好的接触。

[0057] 为验证上述技术方案对所述孔洞的改善效果,本发明的发明人对应用上述优选方案与应用传统方案获得的执行电镀操作后的晶片进行了检测:

[0058] 如图12所示,可见,与应用传统方案相比,应用上述优选方案执行电镀操作后,任一晶片内,存在孔洞缺陷的数目可由10个-30个减小至5个以内,即,应用本发明提供的技术方案,对孔洞缺陷改善效果明显(需说明的是,图中所示的各缺陷点仅为利用显像设备获得的失效点的光学图像,并不能确定各所述缺陷点为孔洞缺陷,对所述孔洞缺陷的判定还需利用扫描电镜[SM]等对各失效点进行逐点观测后确定)。

[0059] 此外,本发明的发明人对应用上述优选方案与应用传统方案执行电镀操作时获得的(已检测合格)晶片进行了晶片可接受性测试(WAT),具体测试了形成的互连线的方块电阻(R_s),如图 13 所示,结果表明,与应用传统方案执行电镀操作时相比,应用上述优选方案执行电镀操作后,形成的互连线的方块电阻的变化可被忽略。

[0060] 本发明的发明人对应用上述优选方案与应用传统方案执行电镀操作时获得的(已检测合格)晶片进行了可靠性试验(试验条件为 250 摄氏度,168 小时),如图 14 所示,可见,与应用传统方案获得的器件 1 和 2 相比,应用本发明提供的技术方案获得的器件 3 和 4 的电阻变化率更小(纵坐标表示对应任一如横坐标所示的电阻变化率时存在缺陷的芯片占可比芯片总数的百分比),即性能更稳定。

[0061] 此外,如图 15 所示,由 0.55 毫安、300 摄氏度条件下的恶化试验结果(横坐标表示试验持续时间;纵坐标表示对应任一如横坐标所示的电阻变化率时存在缺陷的芯片占可比芯片总数的百分比)显示,与应用传统方案执行电镀操作后获得的器件相比,存在缺陷的芯片占可比芯片总数的百分比为 50%和 0.1%时,应用上述优选方案获得的芯片的寿命分别约为 72 小时和 10 小时,与应用传统技术获得的芯片的寿命(分别约为 70 小时和 10 小时)相当,折算后,应用上述优选方案可使获得的芯片在 3 毫安、110 摄氏度的条件下能够使芯片满足产品要求的时间超过 10 年;或者,可使获得的芯片在超过 10 年的时间内、在 110 摄氏度的条件下,可使芯片的最大输出电流超过 4 毫安,均与现有技术相当。

[0062] 综上,应用上述技术方案改善所述孔洞时,不会对晶片的电学性能和可靠性产生不良影响。

[0063] 需强调的是,未加说明的步骤均可采用传统的方法获得,且具体的工艺参数根据产品要求及工艺条件确定。

[0064] 尽管通过在此的实施例描述说明了本发明,和尽管已经足够详细地描述了实施例,申请人不希望以任何方式将权利要求书的范围限制在这种细节上。对于本领域技术人员来说另外的优势和改进是显而易见的。因此,在较宽范围的本发明不限于表示和描述的特定细节、表达的设备和方法 and 说明性例子。因此,可以偏离这些细节而不脱离申请人总的发明概念的精神和范围。

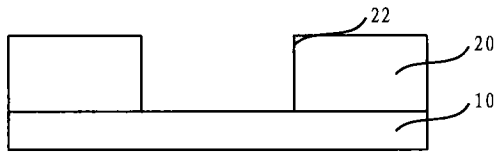


图 1

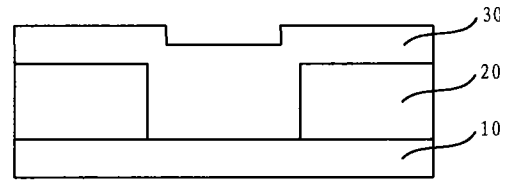


图 2

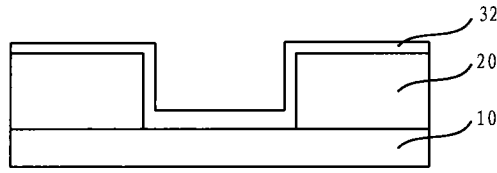


图 3

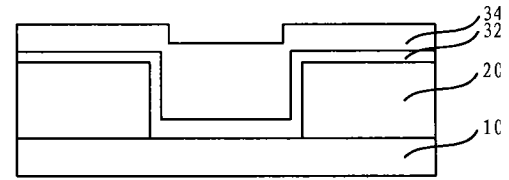


图 4

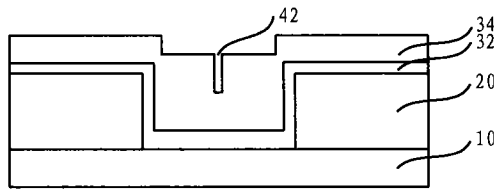


图 5

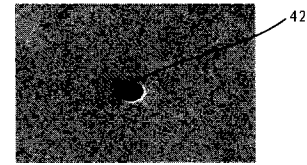


图 6

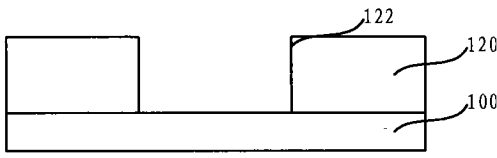


图 7

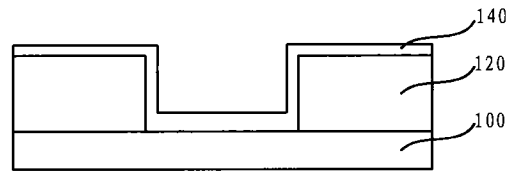


图 8

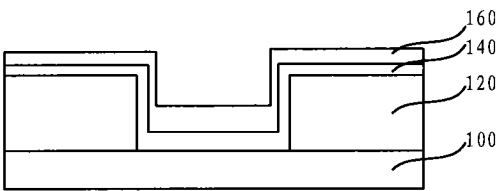


图 9

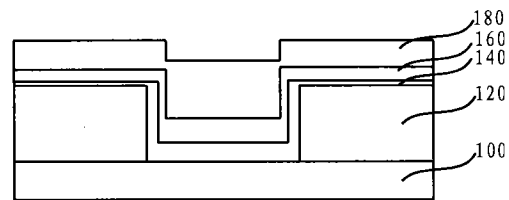


图 10

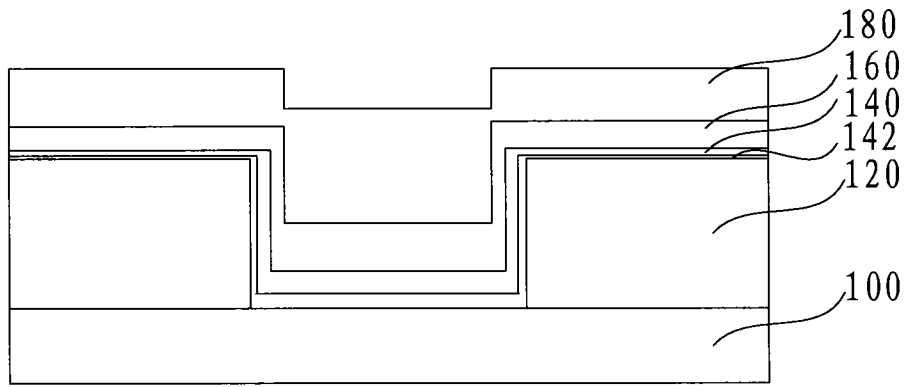


图 11

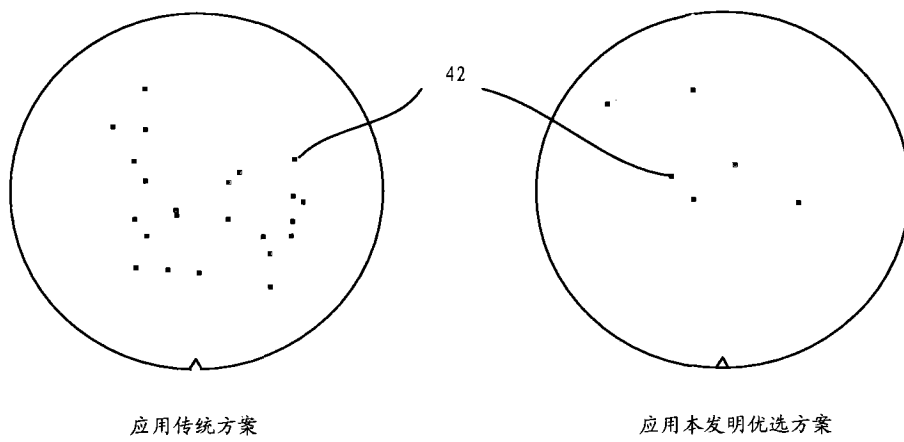


图 12

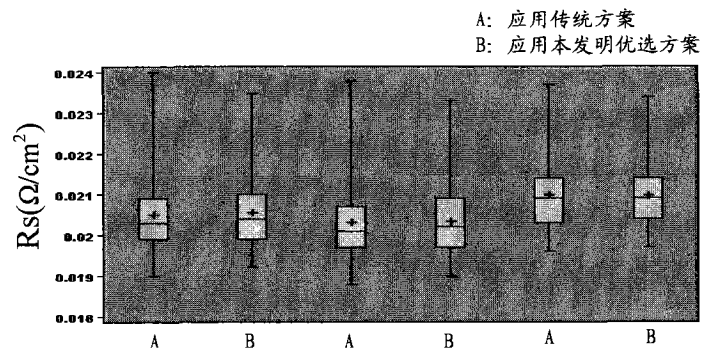


图 13

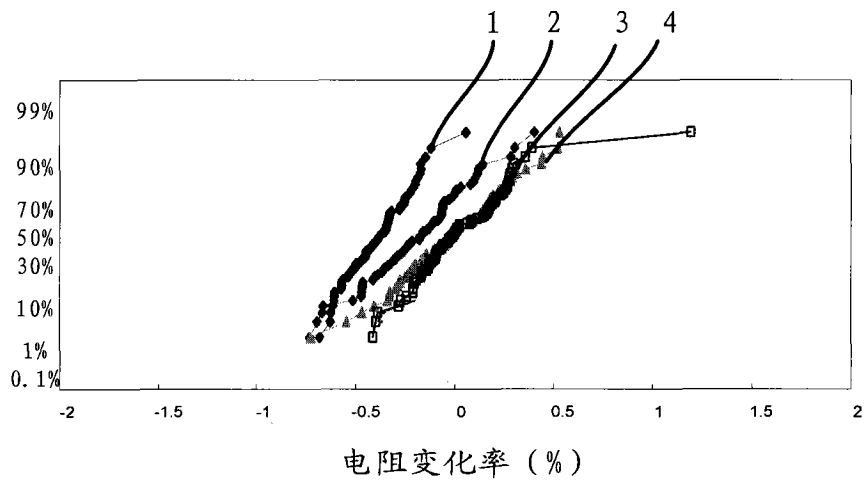


图 14

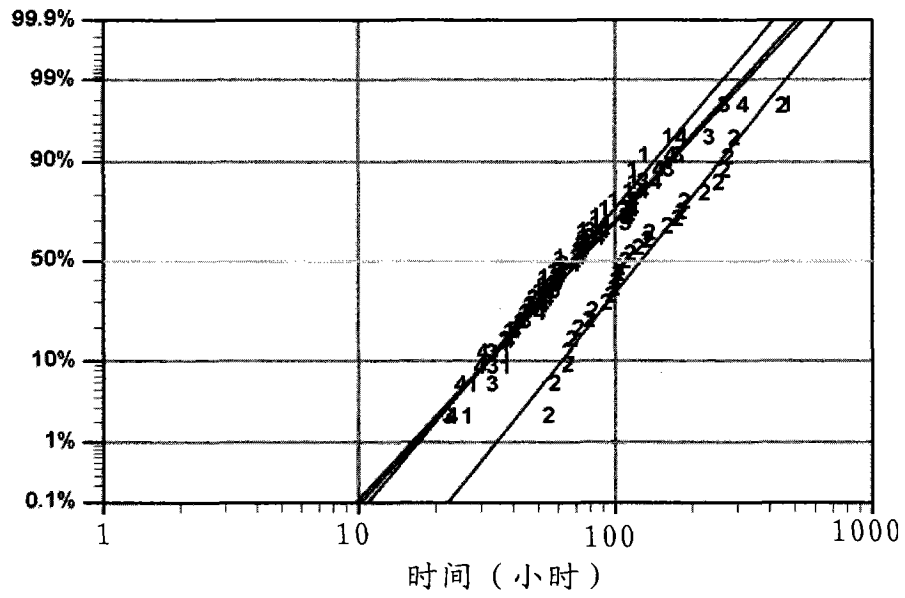


图 15