

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-117475  
(P2010-117475A)

(43) 公開日 平成22年5月27日 (2010.5.27)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 670K	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 624B	

審査請求 未請求 請求項の数 6 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-289674 (P2008-289674)  
(22) 出願日 平成20年11月12日 (2008.11.12)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100098785  
弁理士 藤島 洋一郎  
(74) 代理人 100109656  
弁理士 三反崎 泰司  
(74) 代理人 100130915  
弁理士 長谷部 政男  
(74) 代理人 100155376  
弁理士 田名網 孝昭  
(72) 発明者 豊村 直史  
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

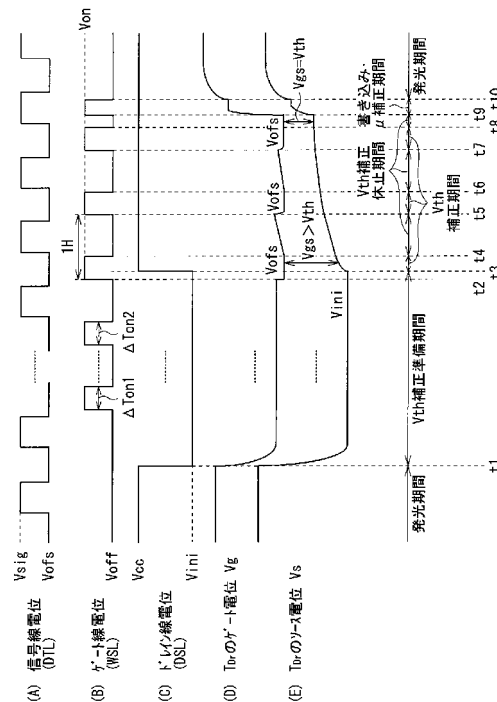
(54) 【発明の名称】 表示装置、電子機器および表示装置の駆動方法

(57) 【要約】

【課題】従来よりも信頼性を向上させることが可能な表示装置を提供する。

【解決手段】ドレイン線DSLの電圧が $V_{ini}$ となっている消光期間中において、信号線DTLの電圧が $V_{ofs}$ となっている時に、ゲート線WSLの電圧が $V_{off}$ から $V_{on}$ に上げられたのちに $V_{on}$ から $V_{off}$ に下げられるオン期間  $T_{on1}$ 、 $T_{on2}$  を設ける。これにより、トランジスタ $T_{ws}$ の閾値電圧 $V_{th}$ におけるプラスシフトが促進され、従来のトランジスタ $T_{ws}$ の閾値電圧 $V_{th}$ におけるマイナスシフトとの変動分の相殺が可能となる。したがって、トランジスタ $T_{ws}$ の $V_{th}$ 変動が抑えられ、そのような $V_{th}$ 変動に起因した書き込み時間の長時間化による経時的な発光電流値（パネル電流値）の低下促進が抑えられる。

【選択図】 図9



## 【特許請求の範囲】

## 【請求項 1】

発光素子および画素回路を画素ごとに有する表示部と、  
映像信号に基づいて前記画素回路を駆動する駆動部と  
を備え、

前記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、

前記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、制御部と、第 1 配線と、  
第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とを有し、

前記第 1 トランジスタのゲートが前記第 1 配線を介して前記第 1 駆動部に接続され、

前記第 1 トランジスタのドレインまたはソースが前記第 3 配線を介して前記第 3 駆動部  
に接続され、

前記第 1 トランジスタのドレインおよびソースのうち前記第 3 駆動部に未接続の方が前  
記第 2 トランジスタのゲートおよび前記保持容量の一端に接続され、

前記第 2 トランジスタのドレインまたはソースが前記第 2 配線を介して前記第 2 駆動部  
に接続され、

前記第 2 トランジスタのドレインおよびソースのうち前記第 2 駆動部に未接続の方が前  
記保持容量の他端および前記発光素子のアノードに接続され、

前記発光素子のカソードが前記第 4 配線に接続され、

前記第 1 駆動部は、前記第 1 トランジスタのオン電圧よりも低い第 1 電圧と、前記第 1  
トランジスタのオン電圧以上の第 2 電圧とを前記第 1 配線に出力可能であり、

前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 3 電圧  
と、前記発光素子の閾値電圧と前記参照電圧との和以上の第 4 電圧とを前記第 2 配線に出力  
可能であり、

前記第 3 駆動部は、第 5 電圧と、前記映像信号に応じた大きさの第 6 電圧とを前記第 3  
配線に出力可能であり、

前記制御部は、前記第 1 駆動部に対して、前記第 2 配線の電圧が前記第 3 電圧となっ  
ている消光期間中において前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記第 1  
配線の電圧を前記第 1 電圧から前記第 2 電圧に上げたのちに前記第 2 電圧から前記第 1 電  
圧に下げるオン期間を設けることを指示する制御信号を出力する

表示装置。

## 【請求項 2】

前記制御部は、前記第 1 駆動部、前記第 2 駆動部および前記第 3 駆動部に対して、以下  
の (A) ~ (C) の各ステップを順次実行することを指示する制御信号を出力する

請求項 1 に記載の表示装置。

(A) 前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記第 2 駆動部が前記第 2  
配線の電圧を前記第 4 電圧から前記第 3 電圧に下げる消光ステップ

(B) 前記消光期間中において前記第 3 配線の電圧が前記第 5 電圧となっている時に、前  
記第 1 駆動部によって前記オン期間を設けると共に、その後、前記第 2 配線の電圧が前記  
第 3 電圧となっており、かつ前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記  
第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げる  $V_{th}$  補正準  
備ステップ

(C) 前記第 2 配線の電圧が前記第 4 電圧となっており、かつ前記第 3 配線の電圧が前記  
第 5 電圧および前記第 6 電圧のいずれかの電圧値に規則的に変化している時に、前記第 1  
駆動部が、前記第 1 配線の電圧を前記第 1 電圧および前記第 2 電圧のいずれかの電圧値に  
規則的に変化させる  $V_{th}$  補正・発光ステップ

## 【請求項 3】

前記制御部は、前記第 1 駆動部に対して、前記オン期間が設けられる回数および前記オ  
ン期間の長さのうちの少なくとも一方を調整しつつ、前記制御信号を出力する

請求項 1 または請求項 2 に記載の表示装置。

## 【請求項 4】

10

20

30

40

50

前記発光素子が、有機EL素子である  
請求項1に記載の表示装置。

【請求項5】

表示装置を備え、  
前記表示装置は、  
発光素子および画素回路を画素ごとに有する表示部と、  
映像信号に基づいて前記画素回路を駆動する駆動部と  
を有し、  
前記画素回路は、第1トランジスタと、第2トランジスタと、保持容量とを有し、  
前記駆動部は、第1駆動部と、第2駆動部と、第3駆動部と、制御部と、第1配線と、 10  
第2配線と、第3配線と、参照電圧に設定される第4配線とを有し、  
前記第1トランジスタのゲートが前記第1配線を介して前記第1駆動部に接続され、  
前記第1トランジスタのドレインまたはソースが前記第3配線を介して前記第3駆動部  
に接続され、  
前記第1トランジスタのドレインおよびソースのうち前記第3駆動部に未接続の方が前  
記第2トランジスタのゲートおよび前記保持容量の一端に接続され、  
前記第2トランジスタのドレインまたはソースが前記第2配線を介して前記第2駆動部  
に接続され、  
前記第2トランジスタのドレインおよびソースのうち前記第2駆動部に未接続の方が前  
記保持容量の他端および前記発光素子のアノードに接続され、 20  
前記発光素子のカソードが前記第4配線に接続され、  
前記第1駆動部は、前記第1トランジスタのオン電圧よりも低い第1電圧と、前記第1  
トランジスタのオン電圧以上の第2電圧とを前記第1配線に出力可能であり、  
前記第2駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第3電圧  
と、前記発光素子の閾値電圧と前記参照電圧との和以上の第4電圧とを前記第2配線に出力  
可能であり、  
前記第3駆動部は、第5電圧と、前記映像信号に応じた大きさの第6電圧とを前記第3  
配線に出力可能であり、  
前記制御部は、前記第1駆動部に対して、前記第2配線の電圧が前記第3電圧となっ  
ている消光期間中において前記第3配線の電圧が前記第5電圧となっている時に、前記第1 30  
配線の電圧を前記第1電圧から前記第2電圧に上げたのちに前記第2電圧から前記第1電  
圧に下げるオン期間を設けることを指示する制御信号を出力する  
電子機器。

【請求項6】

発光素子および画素回路を画素ごとに有する表示部と、映像信号に基づいて前記画素回  
路を駆動する駆動部とを備え、  
前記画素回路は、第1トランジスタと、第2トランジスタと、保持容量とを有し、  
前記駆動部は、第1駆動部と、第2駆動部と、第3駆動部と、第1配線と、第2配線と  
、第3配線と、参照電圧に設定される第4配線とを有し、  
前記第1トランジスタのゲートが前記第1配線を介して前記第1駆動部に接続され、 40  
前記第1トランジスタのドレインまたはソースが前記第3配線を介して前記第3駆動部  
に接続され、  
前記第1トランジスタのドレインおよびソースのうち前記第3駆動部に未接続の方が前  
記第2トランジスタのゲートおよび前記保持容量の一端に接続され、  
前記第2トランジスタのドレインまたはソースが前記第2配線を介して前記第2駆動部  
に接続され、  
前記第2トランジスタのドレインおよびソースのうち前記第2駆動部に未接続の方が前  
記保持容量の他端および前記発光素子のアノードに接続され、  
前記発光素子のカソードが前記第4配線に接続され、  
前記第1駆動部は、前記第1トランジスタのオン電圧よりも低い第1電圧と、前記第1 50

トランジスタのオン電圧以上の第 2 電圧とを前記第 1 配線に出力可能であり、

前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 3 電圧と、前記発光素子の閾値電圧と前記参照電圧との和以上の第 4 電圧とを前記第 2 配線に出力可能であり、

前記第 3 駆動部は、第 5 電圧と、前記映像信号に応じた大きさの第 6 電圧とを前記第 3 配線に出力可能である表示装置における前記第 1 駆動部が、

前記第 2 配線の電圧が前記第 3 電圧となっている消光期間中において前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げたのちに前記第 2 電圧から前記第 1 電圧に下げることにより、オン期間を設ける表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子および画素回路を画素ごとに有する表示部を備えた表示装置およびその駆動方法、ならびにそのような表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 EL (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。

20

【0003】

有機 EL 素子は、液晶素子などと異なり自発光素子である。そのため、有機 EL 素子を用いた表示装置（有機 EL 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0004】

有機 EL 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子（一般には TFT (Thin Film Transistor; 薄膜トランジスタ)）によって制御するものである。

30

【0005】

ところで、一般的に、有機 EL 素子の電流 - 電圧 (I - V) 特性は、時間の経過に従って劣化（経時劣化）する。有機 EL 素子を電流駆動する画素回路では、有機 EL 素子の I - V 特性が経時変化すると、有機 EL 素子と、有機 EL 素子に直列に接続された駆動トランジスタとの分圧比が変化するので、駆動トランジスタのゲート - ソース間電圧  $V_{gs}$  も変化する。その結果、駆動トランジスタに流れる電流値が変化するので、有機 EL 素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【0006】

40

また、駆動トランジスタの閾値電圧  $V_{th}$  や移動度  $\mu$  が経時的に変化したり、製造プロセスのばらつきによって閾値電圧  $V_{th}$  や移動度  $\mu$  が画素回路ごとに異なったりする場合がある。このように駆動トランジスタの閾値電圧  $V_{th}$  や移動度  $\mu$  が画素回路ごとに異なる場合には、駆動トランジスタに流れる電流値が画素回路ごとにばらつくことになる。そのため、駆動トランジスタのゲートに同じ電圧を印加しても、有機 EL 素子の発光輝度がばらつき、画面の一様性（ユニフォームティ）が損なわれる。

【0007】

そこで、有機 EL 素子の I - V 特性が経時変化したり、駆動トランジスタの閾値電圧  $V_{th}$  や移動度  $\mu$  が経時変化したりしても、それらの影響を受けることなく、有機 EL 素子の発光輝度を一定に保つようにするための提案がなされている。具体的には、有機 EL 素

50

子の I - V 特性の変動に対する補償機能および駆動トランジスタの閾値電圧  $V_{th}$  や移動度  $\mu$  の変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献 1 参照）。

【0008】

【特許文献 1】特開 2008 - 33193 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記特許文献 1 では、画素回路内に、駆動トランジスタの他にサンプリング用のトランジスタが設けられている。そして、このサンプリング用のトランジスタでは、従来、上記した閾値電圧  $V_{th}$  の補正期間やデータ信号の書き込み期間以外は、オフ状態となっている。このようなオフ状態では、特に白表示の際にマイナスバイアス電圧（逆バイアス電圧）が印加されることになる。

10

【0010】

ここで、マイナスバイアスが印加されていると、トランジスタの閾値電圧  $V_{th}$  が、経時的にマイナスシフト（負電圧方向へ変動）してしまうことが分かっている。そして、サンプリング用のトランジスタの閾値電圧  $V_{th}$  がマイナスシフトすると、このトランジスタのターンオン・カットオフ点が低電圧側へシフトするため、書き込み時間が長くなる。その結果、このような書き込み時間の長時間化に起因して、経時的な発光電流値の低下が促進されてしまうという問題があった。

20

【0011】

このように従来技術では、サンプリング用のトランジスタの  $V_{th}$  変動に起因した書き込み時間の長時間化によって、経時的な発光電流値の低下が促進され、信頼性の低下が引き起こされてしまうという問題があり、改善の余地があった。

【0012】

本発明はかかる問題点を鑑みてなされたもので、その目的は、従来よりも信頼性を向上させることが可能な表示装置、電子機器および表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0013】

本発明の表示装置は、発光素子および画素回路を画素ごとに有する表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備えたものである。ここで、上記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、上記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、制御部と、第 1 配線と、第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とを有している。また、第 1 トランジスタのゲートが第 1 配線を介して第 1 駆動部に接続され、第 1 トランジスタのドレインまたはソースが第 3 配線を介して第 3 駆動部に接続され、第 1 トランジスタのドレインおよびソースのうち第 3 駆動部に未接続の方が第 2 トランジスタのゲートおよび保持容量の一端に接続され、第 2 トランジスタのドレインまたはソースが第 2 配線を介して第 2 駆動部に接続され、第 2 トランジスタのドレインおよびソースのうち第 2 駆動部に未接続の方が保持容量の他端および発光素子のアノードに接続され、発光素子のカソードが第 4 配線に接続されている。また、第 1 駆動部は、第 1 トランジスタのオン電圧よりも低い第 1 電圧と、第 1 トランジスタのオン電圧以上の第 2 電圧とを第 1 配線に出力可能となっている。また、第 2 駆動部は、発光素子の閾値電圧と参照電圧との和よりも低い第 3 電圧と、発光素子の閾値電圧と参照電圧との和以上の第 4 電圧とを第 2 配線に出力可能となっている。また、第 3 駆動部は、第 5 電圧と、映像信号に応じた大きさの第 6 電圧とを第 3 配線に出力可能となっている。また、制御部は、第 1 駆動部に対して、第 2 配線の電圧が第 3 電圧となっている消光期間中において第 3 配線の電圧が第 5 電圧となっている時に、第 1 配線の電圧を第 1 電圧から第 2 電圧に上げたのちに第 2 電圧から第 1 電圧に下げるオン期間を設けることを指示する制御信号を出力するようになっている。

30

40

50

## 【 0 0 1 4 】

本発明の電子機器は、上記表示装置を備えたものである。

## 【 0 0 1 5 】

本発明の表示装置の駆動方法は、発光素子および画素回路を画素ごとに有する表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備え、上記画素回路は、第1トランジスタと、第2トランジスタと、保持容量とを有し、上記駆動部は、第1駆動部と、第2駆動部と、第3駆動部と、第1配線と、第2配線と、第3配線と、参照電圧に設定される第4配線とを有し、第1トランジスタのゲートが第1配線を介して第1駆動部に接続され、第1トランジスタのドレインまたはソースが第3配線を介して第3駆動部に接続され、第1トランジスタのドレインおよびソースのうち第3駆動部に未接続の方が第2トランジスタのゲートおよび保持容量の一端に接続され、第2トランジスタのドレインまたはソースが第2配線を介して第2駆動部に接続され、第2トランジスタのドレインおよびソースのうち第2駆動部に未接続の方が保持容量の他端および発光素子のアノードに接続され、発光素子のカソードが第4配線に接続され、第1駆動部は、第1トランジスタのオン電圧よりも低い第1電圧と、第1トランジスタのオン電圧以上の第2電圧とを第1配線に出力可能であり、第2駆動部は、発光素子の閾値電圧と参照電圧との和よりも低い第3電圧と、発光素子の閾値電圧と参照電圧との和以上の第4電圧とを第2配線に出力可能であり、第3駆動部は、第5電圧と、映像信号に応じた大きさの第6電圧とを第3配線に出力可能である表示装置における第1駆動部が、第2配線の電圧が第3電圧となっている消光期間中において第3配線の電圧が第5電圧となっている時に、第1配線の電圧を第1電圧から第2電圧に上げたのちに第2電圧から第1電圧に下げることにより、オン期間を設けるようにしたものである。

10

20

## 【 0 0 1 6 】

本発明の表示装置、電子機器および表示装置の駆動方法では、第2配線の電圧が第3電圧となっている消光期間中において、第3配線の電圧が第5電圧となっている時に、第1配線の電圧が第1電圧から第2電圧に上げられたのちに第2電圧から第1電圧に下げられ、オン期間が設けられる。これにより、第1トランジスタの $V_{th}$ （閾値電圧）におけるプラスシフト（正電圧方向への変動）が促進され、従来の第1トランジスタの $V_{th}$ におけるマイナスシフト（負電圧方向への変動）との変動分の相殺が可能となる。したがって、第1トランジスタの $V_{th}$ 変動が抑えられ、そのような $V_{th}$ 変動に起因した書き込み時間の長時間化による経時的な発光電流値の低下促進が抑えられる。

30

## 【発明の効果】

## 【 0 0 1 7 】

本発明の表示装置、電子機器および表示装置の駆動方法によれば、第2配線の電圧が第3電圧となっている消光期間中において第3配線の電圧が第5電圧となっている時に、第1配線の電圧が第1電圧から第2電圧に上げられたのちに第2電圧から第1電圧に下げられるオン期間を設けるようにしたので、第1トランジスタの $V_{th}$ 変動が抑えられ、経時的な発光電流値の低下促進を抑えることができる。よって、従来よりも信頼性を向上させることが可能となる。

## 【発明を実施するための最良の形態】

40

## 【 0 0 1 8 】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

## 【 0 0 1 9 】

## [表示装置の全体構成例]

図1は、本発明の一実施の形態に係る表示装置1の全体構成の一例を表したものである。この表示装置1は、例えば、ガラス、シリコン(Si)ウェハあるいは樹脂などよりなる基板(図示せず)上に、表示部10と、表示部10の周辺に形成された周辺回路部20(駆動部)とを備えている。

## 【 0 0 2 0 】

表示部10は、複数の画素11を表示部10の全面に渡ってマトリクス状に配置したも

50

のであり、外部から入力された映像信号 20 a に基づく画像をアクティブマトリクス駆動により表示するものである。各画素 11 は、赤色用の画素 11 R と、緑色用の画素 11 G と、青色用の画素 11 B とを含んでいる。

【0021】

図 2 は、画素 11 R, 11 G, 11 B の内部構成の一例を表したものである。画素 11 R, 11 G, 11 B 内には、有機 EL 素子 12 R, 12 G, 12 B (発光素子) と、画素回路 13 とが設けられている。

【0022】

有機 EL 素子 12 R, 12 G, 12 B (以下、有機 EL 素子 12 R 等と称する。) は、例えば、図示しないが、陽極 (アノード)、有機層および陰極 (カソード) が基板 11 側から順に積層された構成を有している。有機層は、例えば陽極の側から順に、正孔注入効率を高める正孔注入層と、発光層への正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合による発光を生じさせる発光層と、発光層への電子輸送効率を高める電子輸送層とを積層してなる積層構造を有している。

【0023】

画素回路 13 は、サンプリング用のトランジスタ  $T_{ws}$  (第 1 トランジスタ)、保持容量  $C_s$ 、駆動用のトランジスタ  $T_{Dr}$  (第 2 トランジスタ) によって構成されたものであり、 $2T_{r1C}$  の回路構成となっている。トランジスタ  $T_{ws}$ ,  $T_{Dr}$  は、例えば、 $n$  チャンネル MOS 型の薄膜トランジスタ (TFET (Thin Film Transistor)) により形成されている。

【0024】

周辺回路部 20 は、タイミング制御回路 21 (制御部) と、水平駆動回路 22 (第 3 駆動部) と、書き込み走査回路 23 (第 1 駆動部) と、電源走査回路 24 (第 2 駆動部) とを有している。タイミング制御回路 21 は、表示信号生成回路 21 A と、表示信号保持制御回路 21 B とを含んでいる。また、周辺回路部 20 には、ゲート線  $WSL$  (第 1 配線) と、ドレイン線  $DSL$  (第 2 配線) と、信号線  $DTL$  (第 3 配線) と、グラウンド線  $GND$  (第 4 配線) とが設けられている。なお、グラウンド線は、グラウンドに接続されており、グラウンド電圧 (参照電圧) に設定される。

【0025】

表示信号生成回路 21 A は、外部から入力された映像信号 20 a に基づいて、例えば 1 画面ごと (1 フィールドの表示ごと) に表示部 10 に表示するための表示信号 21 a を生成するものである。

【0026】

表示信号保持制御回路 21 B は、表示信号生成回路 21 A から出力された表示信号 21 a を 1 画面ごと (1 フィールドの表示ごと) に、例えば SRAM (Static Random Access Memory) などから構成されたフィールドメモリに格納して保持するものである。この表示信号保持制御回路 21 B はまた、各画素 11 を駆動する水平駆動回路 22、書き込み走査回路 23 および電源走査回路 24 が連動して動作するように制御する役割も果たしている。具体的には、表示信号保持制御回路 21 B は、書き込み走査回路 23 に対しては制御信号 21 b を、電源走査回路 24 に対しては制御信号 21 c を、表示信号駆動回路 21 C に対しては制御信号 21 d をそれぞれ出力するようになっている。

【0027】

水平駆動回路 22 は、表示信号保持制御回路 21 B から出力された制御信号 21 d に応じて、2 種類の電圧 ( $V_{ofs}$  (第 5 電圧)、 $V_{sig}$  (第 6 電圧)) を出力可能となっている。具体的には、水平駆動回路 22 は、表示部 10 の各画素 11 に接続された信号線  $DTL$  を介して、書き込み走査回路 23 により選択された画素 11 へ、2 種類の電圧 ( $V_{ofs}$ 、 $V_{sig}$ ) を供給するようになっている。

【0028】

ここで、 $V_{sig}$  は、映像信号 20 a に対応する電圧値となっている。また、 $V_{sig}$  の最小電圧は  $V_{ofs}$  よりも低い電圧値となっており、 $V_{sig}$  の最大電圧は  $V_{ofs}$  より

10

20

30

40

50

りも高い電圧値となっている。

【0029】

書き込み走査回路23は、表示信号保持制御回路21Bから出力された制御信号21bに応じて、2種類の電圧( $V_{on}$ (第2電圧)、 $V_{off}$ (第1電圧))を出力可能となっている。具体的には、書き込み走査回路23は、表示部10の各画素11に接続されたゲート線WSLを介して、駆動対象の画素11へ2種類の電圧( $V_{on}$ 、 $V_{off}$ )を供給し、サンプリング用のトランジスタ $T_{ws}$ を制御するようになっている。

【0030】

ここで、 $V_{on}$ は、トランジスタ $T_{ws}$ のオン電圧以上の値となっている。 $V_{on}$ は、後述の「Vth補正準備期間」や「Vth補正期間」、「書き込み・ $\mu$ 補正期間」などに書き込み走査回路23から出力される電圧値である。 $V_{off}$ は、トランジスタ $T_{ws}$ のオン電圧よりも低い値となっており、かつ、 $V_{on}$ よりも低い値となっている。 $V_{off}$ は、後述の「Vth補正準備期間」や「Vth補正休止期間」、「発光期間」などに書き込み走査回路23から出力される電圧値である。

10

【0031】

電源走査回路24は、表示信号保持制御回路21Bから出力された制御信号21cに応じて、2種類の電圧( $V_{ini}$ (第3電圧)、 $V_{cc}$ (第4電圧))を出力可能となっている。具体的には、電源走査回路24は、表示部10の各画素11に接続されたドレイン線DSLを介して、駆動対象の画素11へ2種類の電圧( $V_{ini}$ 、 $V_{cc}$ )を供給し、有機EL素子12R等の発光および消光を制御するようになっている。

20

【0032】

ここで、 $V_{ini}$ は、有機EL素子12R等の閾値電圧 $V_{e1}$ と、有機EL素子12R等のカソードの電圧 $V_{ca}$ とを足し合わせた電圧( $V_{e1} + V_{ca}$ )よりも低い電圧値である。また、 $V_{cc}$ は、電圧( $V_{e1} + V_{ca}$ )以上の電圧値である。

【0033】

次に、図2を参照して、各構成要素の接続関係について説明する。書き込み走査回路23から引き出されたゲート線WSLは、行方向に延在して形成されており、トランジスタ $T_{ws}$ のゲートに接続されている。電源走査回路24から引き出されたドレイン線DSLも行方向に延在して形成されており、トランジスタ $T_{dr}$ のドレインに接続されている。また、水平駆動回路22から引き出された信号線DTLは列方向に延在して形成されており、トランジスタ $T_{ws}$ のソースに接続されている。トランジスタ $T_{ws}$ のドレインは駆動用のトランジスタ $T_{dr}$ のゲートと、保持容量 $C_s$ の一端とに接続されており、トランジスタ $T_{dr}$ のソースと保持容量 $C_s$ の他端とが有機EL素子12R等のアノードに接続されている。有機EL素子12R等のカソードは、グラウンド線GNDに接続されている。

30

【0034】

[表示装置の作用および効果]

次に、本実施の形態の表示装置1の作用および効果について説明する。

【0035】

この表示装置1では、図1および図2に示したように、周辺回路部20により、各画素11において、画素回路13がオンオフ制御される。これにより、各画素11の有機EL素子12R等に駆動電流が注入され、正孔と電子とが再結合して発光が起こる。この光は、陽極と陰極との間で多重反射し、陰極等を透過して外部に取り出される。その結果、表示部10において、映像信号20aに基づく画像が表示される。

40

【0036】

ここで、図3～図8を参照して、比較例に係る従来の表示装置の動作および問題点について説明する。

【0037】

図3は、比較例に係る表示装置における各種波形の一例を表したものである。図3には、ゲート線WSLに2種類の電圧( $V_{on}$ 、 $V_{off} (< V_{on})$ )が、ドレイン線DS

50

Lに2種類の電圧 ( $V_{cc}$ 、 $V_{ini} (< V_{cc})$ ) が、信号線DTLに2種類の電圧 ( $V_{sig}$ 、 $V_{ofs} (< V_{sig})$ ) が印加されている様子が示されている。さらに、図3には、ゲート線WSL、ドレイン線DSLおよび信号線DTLへの電圧印加に応じて、トランジスタ $T_{Dr}$ のゲート電圧 $V_g$ およびソース電圧 $V_s$ が時々刻々変化している様子が示されている。

#### 【0038】

( $V_{th}$ 補正準備期間)

最初に、図中のタイミング $t_{101} \sim t_{103}$ において、 $V_{th}$ 補正の準備を行う。具体的には、まず、電源走査回路24がドレイン線DSLの電圧を $V_{cc}$ から $V_{ini}$ に下げる(タイミング $t_{101}$ )。すると、ソース電圧 $V_s$ が $V_{ini}$ まで下がり、有機EL素子121等が消光する。このとき、保持容量 $C_s$ を介したカップリングによりゲート電圧 $V_g$ も下がる。次に、信号線DTLの電圧が $V_{ofs}$ となっている間に、書き込み走査回路23がゲート線WSLの電圧を $V_{off}$ から $V_{on}$ に上げる(タイミング $t_{102}$ )。すると、ゲート電圧 $V_g$ が $V_{ofs}$ まで下がる。なお、このタイミング $t_{101} \sim t_{102}$ の期間は、後述するように、トランジスタ $T_{Ws}$ に対する逆バイアス電圧印加期間となっている。

10

#### 【0039】

(最初の $V_{th}$ 補正期間)

次に、図中のタイミング $t_{103} \sim t_{104}$ において、 $V_{th}$ の補正を行う。具体的には、信号線DTLの電圧が $V_{ofs}$ となっている間に、電源走査回路24がドレイン線DSLの電圧を $V_{ini}$ から $V_{cc}$ に上げる(タイミング $t_{103}$ )。すると、トランジスタ $T_{Dr}$ のドレイン-ソース間に電流 $I_{ds}$ が流れ、ソース電圧 $V_s$ が上昇する。その後、水平駆動回路22が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える前に、書き込み走査回路23がゲート線WSLの電圧を $V_{on}$ から $V_{off}$ に下げる(タイミング $t_{104}$ )。すると、トランジスタ $T_{Dr}$ のゲートがフローティングとなり、 $V_{th}$ の補正が一旦停止する。

20

#### 【0040】

(最初の $V_{th}$ 補正休止期間)

最初の $V_{th}$ 補正が休止している期間中(タイミング $t_{104} \sim t_{105}$ )は、先の $V_{th}$ 補正を行った行(画素)とは異なる他の行(画素)において、信号線DTLの電圧のサンプリングが行われる。なお、 $V_{th}$ 補正が不十分である場合、 $V_{th}$ 補正休止期間中にも、先の $V_{th}$ 補正を行った行(画素)において、トランジスタ $T_{Dr}$ のドレイン-ソース間に電流 $I_{ds}$ が流れる。すなわち、トランジスタ $T_{Dr}$ のゲート-ソース間の電位差 $V_{gs}$ がトランジスタ $T_{Dr}$ の閾値電圧 $V_{th}$ よりも大きい場合には、 $V_{th}$ 補正休止期間中にも、先の $V_{th}$ 補正を行った行(画素)において、トランジスタ $T_{Dr}$ のドレイン-ソース間に電流 $I_{ds}$ が流れる。これにより、ソース電圧 $V_s$ が上昇し、保持容量 $C_s$ を介したカップリングによりゲート電圧 $V_g$ も上昇する。

30

#### 【0041】

(2回目の $V_{th}$ 補正期間)

最初の $V_{th}$ 補正休止期間が終了した後、図中のタイミング $t_{105} \sim t_{106}$ において、 $V_{th}$ の補正を再び行う。具体的には、信号線DTLの電圧が $V_{ofs}$ となっており、 $V_{th}$ 補正が可能となっている時に、書き込み走査回路23がゲート線WSLの電圧を $V_{off}$ から $V_{on}$ に上げ(タイミング $t_{105}$ )、トランジスタ $T_{Dr}$ のゲートを信号線DTLに接続する。このとき、ソース電圧 $V_s$ が( $V_{ofs} - V_{th}$ )よりも低い場合( $V_{th}$ 補正がまだ完了していない場合)には、トランジスタ $T_{Dr}$ がカットオフするまで(電位差 $V_{gs}$ が $V_{th}$ になるまで)、トランジスタ $T_{Dr}$ のドレイン-ソース間に電流 $I_{ds}$ が流れる。その結果、保持容量 $C_s$ が $V_{th}$ に充電され、電位差 $V_{gs}$ が $V_{th}$ となる。その後、水平駆動回路22が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える前に、書き込み走査回路23がゲート線WSLの電圧を $V_{on}$ から $V_{off}$ に下げる(タイミング $t_{106}$ )。すると、トランジスタ $T_{Dr}$ のゲートがフローティングとな

40

50

るので、電位差  $V_{gs}$  を信号線 DTL の電圧の大きさに拘わらず  $V_{th}$  のままで維持することができる。このように、電位差  $V_{gs}$  を  $V_{th}$  に設定することにより、トランジスタ  $T_{Dr}$  の閾値電圧  $V_{th}$  が画素回路 13 ごとにばらついた場合であっても、有機 EL 素子 12R 等の発光輝度がばらつくのをなくすることができる。

【0042】

(2 回目の  $V_{th}$  補正休止期間)

その後、最初の  $V_{th}$  補正期間と同様にして、図中のタイミング  $t_{106} \sim t_{107}$  において、 $V_{th}$  補正が再び休止している。

【0043】

(3 回目の  $V_{th}$  補正期間および 3 回目の  $V_{th}$  補正休止期間)

その後、1 回目(最初)および 2 回目と同様にして、タイミング  $t_{107} \sim t_{108}$  において 3 回目の  $V_{th}$  の補正を行うと共に、タイミング  $t_{108} \sim t_{109}$  において、 $V_{th}$  補正が休止している。なお、3 回目の  $V_{th}$  補正の休止期間中に、水平駆動回路 22 が信号線 DTL の電圧を  $V_{ofs}$  から  $V_{sig}$  に切り替える。

【0044】

(書き込み・ $\mu$  補正期間)

$V_{th}$  補正休止期間が終了した後、図中のタイミング  $t_{109} \sim t_{110}$  において、書き込みと  $\mu$  補正を行う。具体的には、信号線 DTL の電圧が  $V_{sig}$  となっている間に、書き込み走査回路 23 がゲート線 WSL の電圧を  $V_{off}$  から  $V_{on}$  に上げ(タイミング  $t_{109}$ )、トランジスタ  $T_{Dr}$  のゲートを信号線 DTL に接続する。すると、トランジスタ  $T_{Dr}$  のゲートの電圧が  $V_{sig}$  となる。このとき、有機 EL 素子 12R 等のアノードの電圧はこの段階ではまだ有機 EL 素子 12R 等の閾値電圧  $V_{el}$  よりも小さく、有機 EL 素子 12R 等はカットオフしている。そのため、電流  $I_{ds}$  は有機 EL 素子 12R 等の素子容量(図示せず)に流れ、素子容量が充電されるので、ソース電圧  $V_s$  が  $V$  だけ上昇し、やがて電位差  $V_{gs}$  が  $(V_{sig} + V_{th} - V)$  となる。このようにして、書き込みと同時に  $\mu$  補正が行われる。ここで、トランジスタ  $T_{Dr}$  の移動度  $\mu$  が大きい程、 $V$  も大きくなるので、電位差  $V_{gs}$  を発光前に  $V$  だけ小さくすることにより、画素ごとの移動度  $\mu$  のばらつきを取り除くことができる。

【0045】

(発光)

最後に、書き込み走査回路 23 がゲート線 WSL の電圧を  $V_{on}$  から  $V_{off}$  に下げる(タイミング  $t_{110}$ )。すると、トランジスタ  $T_{Dr}$  のゲートがフローティングとなり、トランジスタ  $T_{Dr}$  のドレイン-ソース間に電流  $I_{ds}$  が流れ、ソース電圧  $V_s$  が上昇する。その結果、有機 EL 素子 12R 等が所望の輝度で発光する。

【0046】

ここで、上記のような駆動動作において、トランジスタ  $T_{ws}$  の動作状態について注目する。すると、このトランジスタ  $T_{ws}$  は、基本的に  $V_{th}$  補正期間(タイミング  $t_{103} \sim t_{104}$ ,  $t_{105} \sim t_{106}$ ,  $t_{107} \sim t_{108}$ )および書き込み・ $\mu$  補正期間(タイミング  $t_{109} \sim t_{110}$ )以外は、オフ状態となっている。

【0047】

図 4 は、トランジスタ  $T_{ws}$  がオフ状態となっているときの動作点の一例(白表示時)を表したものである。このような白表示時には、トランジスタ  $T_{ws}$  では例えば、 $V_{gs} = (V_{off} - V_{ofs}) = -4V$ ,  $V_{ds} = (V_{el} + V_{tft}) - V_{ofs} = 19V$  となり、マイナスバイアス電圧(逆バイアス電圧)が印加されることになる。なお、ここでは、トランジスタ  $T_{ws}$  の閾値電圧  $V_{th} = 5V$  であるものとする。

【0048】

ここで、トランジスタ  $T_{ws}$  においてこのような動作点が支配的になると(マイナスバイアスが印加されていると)、例えば図 5 に示したように、トランジスタ  $T_{ws}$  の閾値電圧  $V_{th}$  が、経時的にマイナスシフト(負電圧方向へ変動)してしまう。そして、このトランジスタ  $T_{ws}$  の閾値電圧  $V_{th}$  がマイナスシフトすると(このときの閾値電圧を、 $V$

10

20

30

40

50

$t_{th}$ とする)、トランジスタ $T_{WS}$ のターンオン・カットオフ点が低電圧側へシフトするため、例えば図6に示したように、書き込み時間が長くなる。その結果、例えば図7および図8に示したように、このような書き込み時間の長時間化に起因して、経時的な発光電流値(パネル電流値)の低下が促進されてしまうことになる。

【0049】

このように、比較例に係る従来の表示装置では、トランジスタ $T_{WS}$ の $V_{th}$ 変動に起因した書き込み時間の長時間化によって、経時的な発光電流値の低下が促進され、信頼性の低下が引き起こされてしまう。

【0050】

そこで、次に図9～図11を参照して、本実施の形態の表示装置1の詳細動作について説明する。

【0051】

図9は、表示装置1における各種波形の一例を表したものである。図9には、ゲート線 $WSL$ に2種類の電圧( $V_{on}$ 、 $V_{off} (< V_{on})$ )が、ドレイン線 $DSL$ に2種類の電圧( $V_{cc}$ 、 $V_{ini} (< V_{cc})$ )が、信号線 $DTL$ に2種類の電圧( $V_{sig}$ 、 $V_{ofs} (< V_{sig})$ )が印加されている様子が示されている。さらに、図9には、ゲート線 $WSL$ 、ドレイン線 $DSL$ および信号線 $DTL$ への電圧印加に応じて、トランジスタ $T_{Dr}$ のゲート電圧 $V_g$ およびソース電圧 $V_s$ が時々刻々変化している様子が示されている。なお、図9に示したタイミング $t_1 \sim t_{10}$ は、図3に示した比較例におけるタイミング $t_{100} \sim t_{110}$ に対応している。

【0052】

本実施の形態では、図9に示したように、ドレイン線 $DSL$ の電圧が $V_{ini}$ となっている消光期間(具体的には、タイミング $t_1 \sim t_3$ の $V_{th}$ 補正準備期間)中において、信号線 $DTL$ の電圧が $V_{ofs}$ となっている時に、以下のような動作がなされる。すなわち、このような時に、ゲート線 $WSL$ の電圧が $V_{off}$ から $V_{on}$ に上げられたのちに $V_{on}$ から $V_{off}$ に下げられ、オン期間(例えば、図中のオン期間 $T_{on1}$ 、 $T_{on2}$ )が設けられる。このとき、例えば図10に示したように、トランジスタ $T_{WS}$ における消光期間中の動作点が、例えば、 $V_{gs} = (V_{on} - V_{ofs}) = 19V$ 、 $V_{ds} = V_{ofs} - V_{ofs} = 0V$ となり、プラスバイアス電圧(順バイアス電圧)が印加されることになる。

【0053】

これにより、例えば図11に示したように、トランジスタ $T_{WS}$ の閾値電圧 $V_{th}$ におけるプラスシフト(正電圧方向への変動)が促進される(変動後の閾値電圧を、 $V_{th}'$ とする)。その結果、従来のトランジスタ $T_{WS}$ の閾値電圧 $V_{th}$ におけるマイナスシフト(負電圧方向への変動)との変動分の相殺が可能となる。したがって、トランジスタ $T_{WS}$ の $V_{th}$ 変動が抑えられ、そのような $V_{th}$ 変動に起因した書き込み時間の長時間化による経時的な発光電流値(パネル電流値)の低下促進が抑えられる。

【0054】

以上のように本実施の形態では、ドレイン線 $DSL$ の電圧が $V_{ini}$ となっている消光期間中において、信号線 $DTL$ の電圧が $V_{ofs}$ となっている時に、ゲート線 $WSL$ の電圧が $V_{off}$ から $V_{on}$ に上げられたのちに $V_{on}$ から $V_{off}$ に下げられるオン期間 $T_{on1}$ 、 $T_{on2}$ を設けるようにしたので、トランジスタ $T_{WS}$ の $V_{th}$ 変動が抑えられ、経時的な発光電流値の低下促進を抑えることができる。よって、従来よりも信頼性を向上させることが可能となる。

【0055】

また、例えば、図9中に示したオン期間 $T_{on1}$ 、 $T_{on2}$ 等が設けられる回数、およびそのようなオン期間 $T_{on1}$ 、 $T_{on2}$ 等の長さのうち少なくとも一方を調整するようにした場合には、トランジスタ $T_{WS}$ の閾値電圧 $V_{th}$ におけるプラスシフト量の調整を行うことができる。よって、マイナスシフト量を完全に相殺することが可能となり、信頼性をさらに向上させることが可能となる。

10

20

30

40

50

## 【 0 0 5 6 】

## [ モジュールおよび適用例 ]

以下、上記実施の形態で説明した表示装置 1 の適用例について説明する。上記実施の形態の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、上記実施の形態の表示装置 1 は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

## 【 0 0 5 7 】

## ( モジュール )

上記実施の形態の表示装置 1 は、例えば、図 1 2 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールでは、例えば、基板 2 の一辺に、表示部 1 0 を封止する部材 ( 図示せず ) から露出した領域 2 1 0 が設けられている。そして、この露出した領域 2 1 0 には、タイミング制御回路 2 1、水平駆動回路 2 2、書き込み走査回路 2 3 および電源走査回路 2 4 の配線を延長した外部接続端子 ( 図示せず ) が形成されている。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 ( F P C ; Flexible Printed Circuit ) 2 2 0 が設けられていてもよい。

10

## 【 0 0 5 8 】

## ( 適用例 1 )

図 1 3 は、上記実施の形態の表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、上記実施の形態に係る表示装置 1 により構成されている。

20

## 【 0 0 5 9 】

## ( 適用例 2 )

図 1 4 は、上記実施の形態の表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上記実施の形態に係る表示装置 1 により構成されている。

30

## 【 0 0 6 0 】

## ( 適用例 3 )

図 1 5 は、上記実施の形態の表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記実施の形態に係る表示装置 1 により構成されている。

## 【 0 0 6 1 】

## ( 適用例 4 )

図 1 6 は、上記実施の形態の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上記実施の形態に係る表示装置 1 により構成されている。

40

## 【 0 0 6 2 】

## ( 適用例 5 )

図 1 7 は、上記実施の形態の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部 ( ヒンジ部 ) 7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサ

50

ブディスプレイ 750 は、上記実施の形態に係る表示装置 1 により構成されている。

【0063】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0064】

例えば、上記実施の形態等では、表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 13 の構成は、上記実施の形態等で説明したものに限られない。例えば、必要に応じて、容量素子やトランジスタを画素回路 13 に追加してもよい。その場合、画素回路 13 の変更に応じて、上述した水平駆動回路 22、書き込み走査回路 23、電源走査回路 24 のほかに、必要な駆動回路を追加してもよい。

10

【0065】

また、上記実施の形態等では、水平駆動回路 22、書き込み走査回路 23 および電源走査回路 24 の駆動を信号保持制御回路 21B が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、水平駆動回路 22、書き込み走査回路 23 および電源走査回路 24 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【0066】

さらに、上記実施の形態等では、発光素子の一例として有機 EL 素子 12R 等を挙げて説明したが、本発明は、例えば LED（Light Emitting Diode；発光ダイオード）等の他の発光素子にも適用することが可能である。

20

【図面の簡単な説明】

【0067】

【図 1】本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【図 2】図 1 の画素の内部構成の一例を表す構成図である。

【図 3】比較例に係る表示装置の動作の一例について説明するための波形図である。

【図 4】比較例に係る表示装置における白表示時のトランジスタの動作点の一例を表す回路図である。

【図 5】比較例に係る表示装置におけるトランジスタ特性のマイナスシフトについて説明するための特性図である。

30

【図 6】比較例に係る表示装置における信号書き込み時間について説明するための波形図である。

【図 7】比較例に係る表示装置における信号書き込み時間とパネル電流値との関係について説明するための特性図である。

【図 8】比較例に係る表示装置におけるパネル駆動時間とパネル電流値との関係について説明するための特性図である。

【図 9】実施の形態に係る表示装置の動作の一例について説明するための波形図である。

【図 10】図 1 に示した表示装置における消光期間中のトランジスタの動作点の一例を表す回路図である。

【図 11】図 1 に示した表示装置におけるトランジスタ特性のプラスシフトについて説明するための特性図である。

40

【図 12】上記各実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図 13】上記実施の形態の表示装置の適用例 1 の外観を表す斜視図である。

【図 14】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 15】適用例 3 の外観を表す斜視図である。

【図 16】適用例 4 の外観を表す斜視図である。

【図 17】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面

50

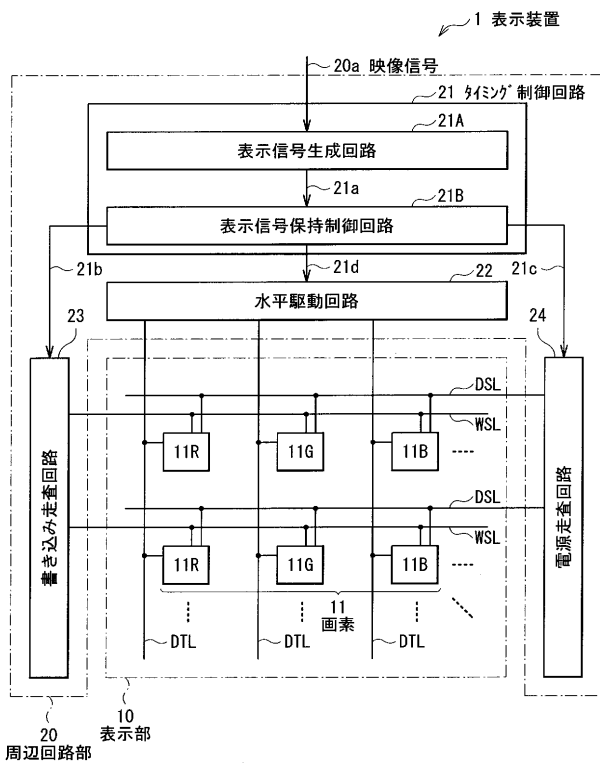
図である。

【符号の説明】

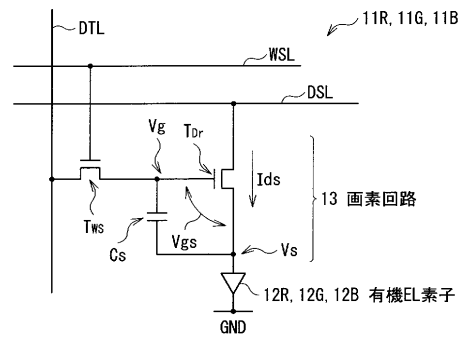
【0068】

1 ... 表示装置、10 ... 表示部、11, 11R, 11G, 11B ... 画素、12R, 12G, 12B ... 有機EL素子、13 ... 画素回路、20 ... 周辺回路部、21 ... タイミング制御回路、21A ... 表示信号生成回路、21B ... 表示信号保持制御回路、22 ... 水平駆動回路、23 ... 書き込み走査回路、24 ... 電源走査回路、 $C_s$  ... 保持容量、DSL ... ドレイン線、DTL ... 信号線、 $I_{ds}$  ... 電流、 $T_{Dr}$ ,  $T_{Ws}$  ... トランジスタ、 $V_g$  ... ゲート電圧、 $V_{gs}$  ... 電位差、 $V_s$  ... ソース電圧、 $V_{th}$  ... 閾値電圧、WSL ... ゲート線。

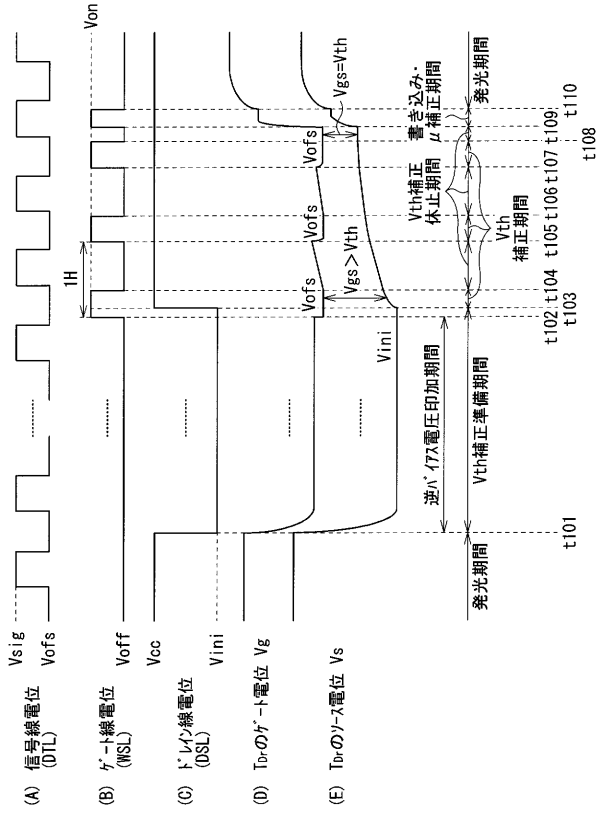
【図1】



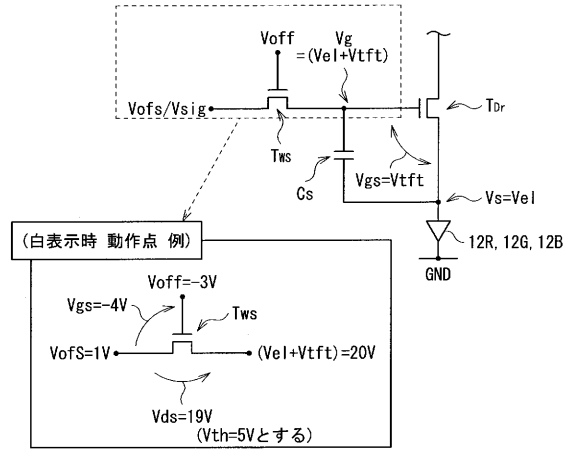
【図2】



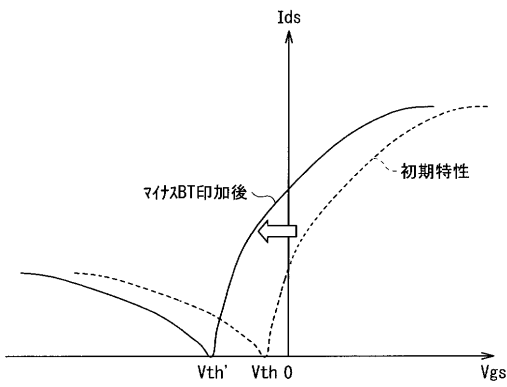
【 図 3 】



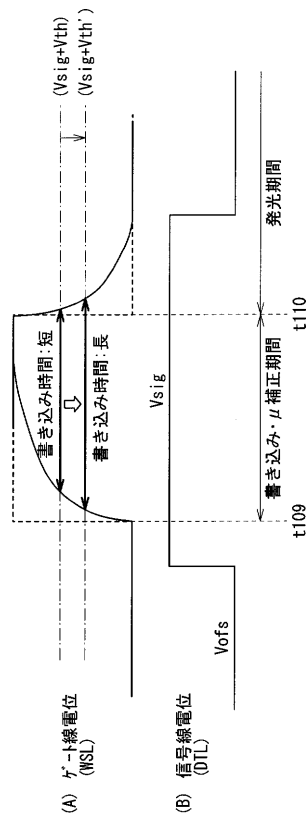
【 図 4 】



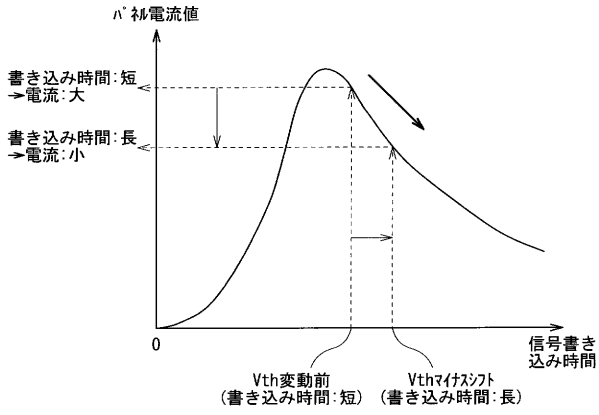
【 図 5 】



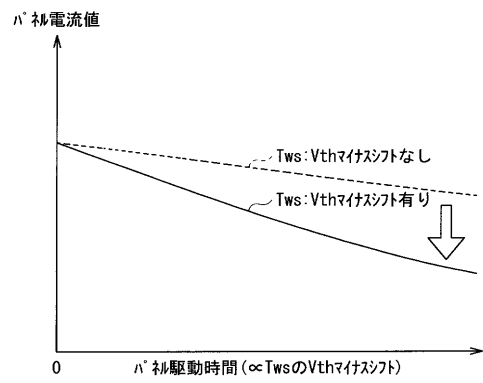
【 図 6 】



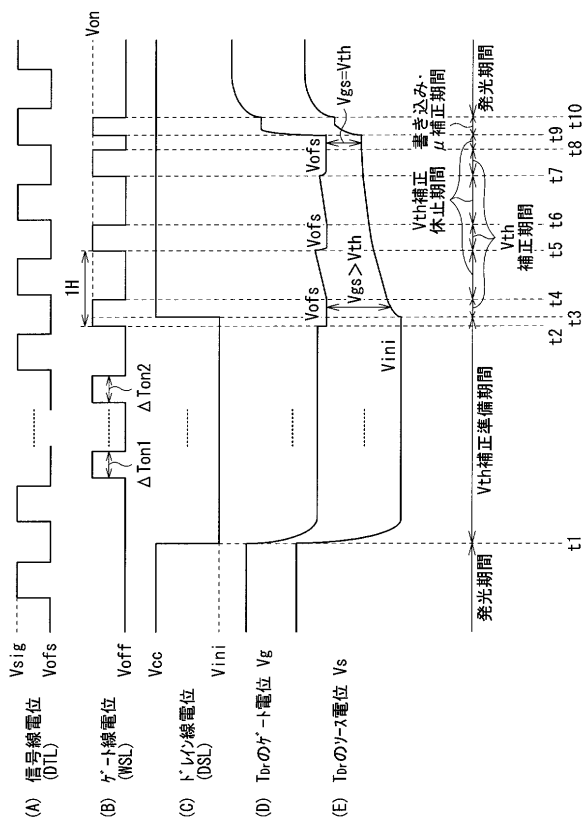
【 図 7 】



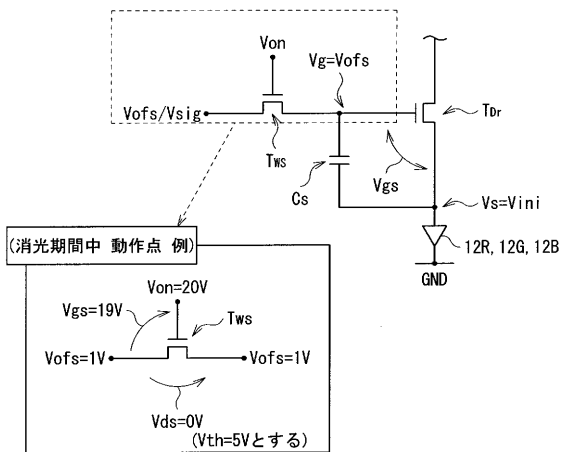
【 図 8 】



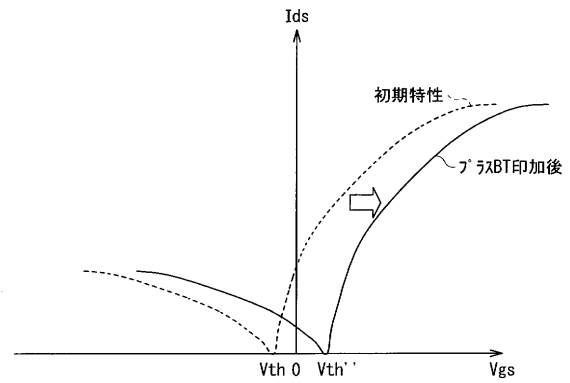
【 図 9 】



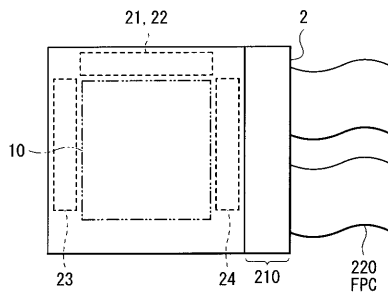
【 図 10 】



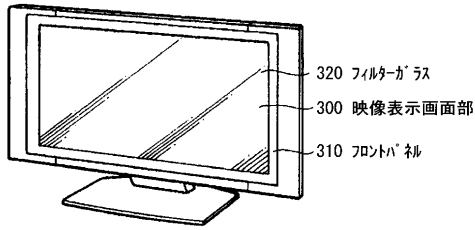
【 図 11 】



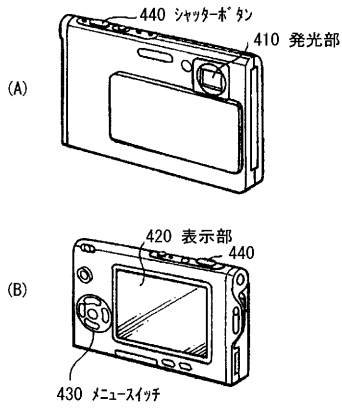
【 図 12 】



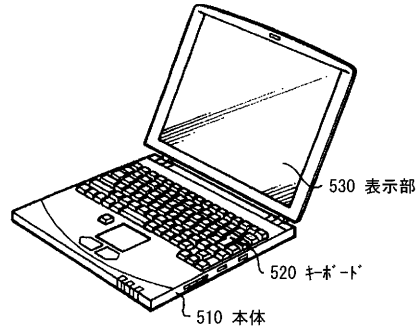
【図 13】



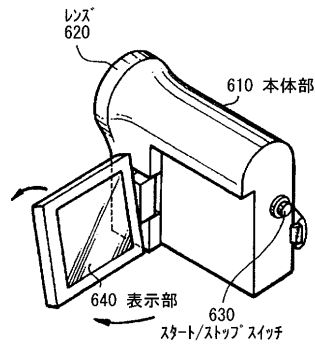
【図 14】



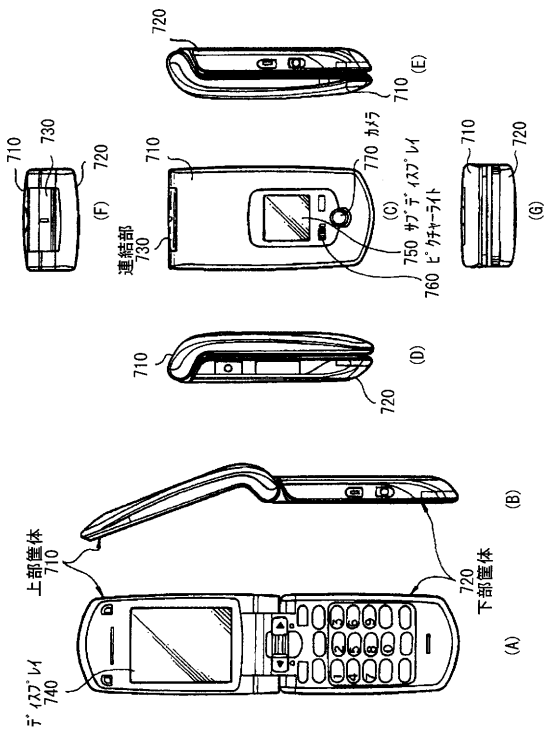
【図 15】



【図 16】



【図 17】



---

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 G
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 3 D
	H 0 5 B 33/14	A

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC02 CC11 CC21 CC33 DD39 EE04 HH05  
5C080 AA06 BB05 DD05 DD29 EE29 FF07 FF11 HH09 JJ02 JJ03  
JJ04 JJ05 JJ06 KK01 KK07 KK43 KK47