



(12) 发明专利申请

(10) 申请公布号 CN 102254824 A

(43) 申请公布日 2011. 11. 23

(21) 申请号 201010185012. 8

(22) 申请日 2010. 05. 20

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 尹海洲 骆志炯 朱慧珑

(74) 专利代理机构 北京市立方律师事务所
11330

代理人 马佑平

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

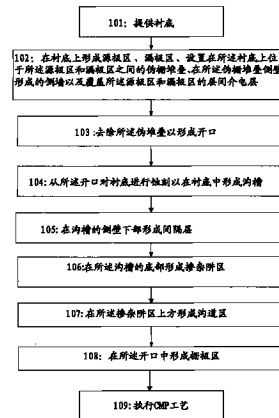
权利要求书 2 页 说明书 5 页 附图 7 页

(54) 发明名称

半导体器件及其形成方法

(57) 摘要

一种制造半导体器件的方法,所述方法采用先去除伪堆叠以形成开口;而后从所述开口对衬底进行蚀刻而形成沟槽,并在所述沟槽的侧壁下部形成间隔层;然后在所述沟槽的底部形成掺杂阱区,以及在所述掺杂阱区上方形成沟道区;最后,在开口中形成栅极区。通过本发明能够避免将掺杂剂不当引入源极区和漏极区的问题,还避免了在掺杂阱形成过程中容易出现的重掺杂内侧墙外延生长,进一步阻止了将掺杂剂不当地引入后续形成的沟道区中的问题,从而提高器件性能。



1. 一种制造半导体器件的方法,所述方法包括:
 - a) 提供衬底;
 - b) 在衬底上形成源极区、漏极区、设置在所述衬底上位于所述源极区和漏极区之间的伪栅堆叠、在所述伪栅堆叠侧壁形成的侧墙以及覆盖所述源极区和漏极区的层间介电层;
 - c) 去除所述伪栅堆叠以形成开口;
 - d) 从所述开口对衬底进行蚀刻,以在衬底中形成沟槽;
 - e) 在所述沟槽的侧壁下部形成间隔层;
 - f) 在所述沟槽的底部形成掺杂阱区;
 - g) 在所述掺杂阱区上方形成沟道区;以及
 - h) 在所述开口中形成栅极区。
2. 根据权利要求1所述的方法,其中,在步骤d中所述衬底的刻蚀深度为15-50nm。
3. 根据权利要求1所述的方法,其中,所述步骤e包括:

在氧环境中进行热生长以在所述沟槽的侧壁和底部形成内衬氧化物;以及刻蚀所述内衬氧化物以暴露所述衬底,以在所述沟槽的侧壁下部形成间隔层。
4. 根据权利要求1所述的方法,其中,所述步骤e包括:

沉积氧化物,以及对所述氧化物进行各向异性蚀刻,以所述沟槽的侧壁下部形成间隔层。
5. 根据权利要求1-4中任一项所述的方法,其中,所述步骤f包括:

利用外延生长工艺在所述沟槽的底部形成重掺杂层,以形成掺杂阱区。
6. 根据权利要求5所述的方法,其中,形成所述重掺杂层的掺杂剂量为 $1e18-1e19$ 。
7. 根据权利要求5所述的方法,其中所述重掺杂层的厚度范围为10-30nm。
8. 根据权利要求1-4中任一项所述的方法,其中,所述步骤g包括:

去除所述沟槽的侧壁下部的部分间隔层,以在开口的侧壁处暴露部分衬底。
9. 根据权利要求1-4中任一项所述的方法,其中,所述步骤g还包括:

利用外延生长工艺在所述间隔层和所述重掺杂层上形成轻掺杂层,以填充所述沟槽并形成沟道区。
10. 根据权利要求9所述的方法,其中,形成所述轻掺杂层的掺杂剂量小于 $5e17$ 。
11. 根据权利要求9所述的方法,其中所述轻掺杂层的厚度范围为5-20nm。
12. 一种半导体器件,包括:衬底、位于衬底上的源极区、漏极区、位于衬底上且在所述源极区和所述漏极区之间的栅堆叠、形成在栅堆叠下方的衬底中的掺杂阱区和形成在所述掺杂阱区侧壁的间隔层,以及形成在所述掺杂阱区上方的沟道区。
13. 根据权利要求12所述的半导体器件,其中
所述掺杂阱区包括利用外延生长工艺形成在衬底中的重掺杂硅层;以及
所述沟道区包括利用外延生长工艺在所述间隔层和所述重掺杂硅层上形成的轻掺杂硅层。
14. 根据权利要求13所述的半导体器件,其中,所述重掺杂硅层的掺杂剂量为 $1e18-1e19$ 。
15. 根据权利要求13所述的半导体器件,其中所述重掺杂硅层的厚度范围为10-30nm。
16. 根据权利要求16所述的半导体器件,其中,所述轻掺杂硅层的掺杂剂量小于 $5e17$ 。

17. 根据权利要求 16 中所述半导体器件,其中所述轻掺杂硅层的厚度范围为 5-20nm。

半导体器件及其形成方法

技术领域

[0001] 本发明通常涉及一种半导体器件及其形成方法。更具体而言,涉及一种形成具有间隔层的掺杂阱的半导体器件及其形成方法。

背景技术

[0002] 随着半导体行业的发展,具有更高性能和更强功能的集成电路要求更大的元件密度,而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小。相应地,为了提高 MOSFET(金属氧化物半导体场效应晶体管)器件的性能需要进一步减少 MOSFET 器件的栅长。然而随着栅长持续减小,减少到接近源极和漏极的耗尽层的宽度,例如小于 40nm 时,将会产生较严重的短通道效应(short channel effect 或简称为 SCE),从而不利地降低器件的性能,给大规模集成电路的生产造成困难。如何降低短通道效应以及有效地控制短通道效应,已经成为集成电路大规模生产中的一个很关键的问题。在 Thompson S 等人的文章中:“MOS Scaling:Transistor Challenges for the 21st Century”, Intel Technology Journal Q3`98,第 1-19 页,描述了倒掺杂阱能够降低短通道效应。由于在衬底中形成倒掺杂阱通常会将掺杂剂不当地引入源极区和漏极区,倒掺杂阱分布与源/漏极区的掺杂重叠,引起 MOSFET 器件中的带-带泄漏电流和源-漏结电容增加,从而导致器件性能的下降。

[0003] 因此,为了改进高性能半导体器件的制造,需要一种半导体器件及其形成方法以避免在衬底中形成离子注入区时,特别是在形成掺杂阱区时对源漏区域引入不当掺杂。

发明内容

[0004] 为了解决上述技术问题,本发明提出了一种制造半导体器件的方法,所述方法包括:a) 提供衬底;b) 在衬底上形成源极区、漏极区、设置在所述衬底上位于所述源极区和漏极区之间的伪栅堆叠、在所述伪栅堆叠侧壁形成的侧墙以及覆盖所述源极区和漏极区的层间介电层;c) 去除所述伪栅堆叠以形成开口;d) 从所述开口对衬底进行蚀刻,以在衬底中形成沟槽;e) 在所述沟槽的侧壁下部形成间隔层;f) 在所述沟槽的底部形成掺杂阱区;g) 在所述掺杂阱区上方形成沟道区;以及在所述开口中栅极区。

[0005] 根据本发明的另一个方面还提供一种半导体器件,包括:衬底、位于衬底上的源极区、漏极区、位于衬底上且在所述源极区和所述漏极区之间的栅堆叠、形成在栅堆叠下方的衬底中的掺杂阱区和形成在所述掺杂阱区侧壁的间隔层,以及形成在所述掺杂阱区上方的沟道区。

[0006] 本发明利用去除伪栅极和伪栅极介质层形成的开口,对衬底进行蚀刻得到一定深度的沟槽,并在沟槽的侧壁上形成氧化物间隔层。然后结合外延生长工艺在沟槽的底部得到掺杂阱区,并且在掺杂阱区上方形成器件的沟道区。本发明通过形成侧壁间隔层后利用外延生长方式来形成掺杂阱区,不仅避免了将掺杂剂不当引入源极区和漏极区的问题,还避免了在掺杂阱形成过程中容易出现的重掺杂内侧墙外延生长,进一步阻止了掺杂剂不当

地引入后续形成的沟道区中的问题。同时,外延生长能更好地控制掺杂剂分布的陡峭度。此外,与扩散掺杂和离子注入掺杂相比,外延生长形成掺杂阱不需要高温退火激活过程,避免了离子扩散的发生,以及离子扩散进而导致的陡峭度劣化,提高了器件的性能。

[0007] 因此,本发明所形成的半导体器件可以避免形成掺杂阱时将掺杂剂不当引入到源极区和漏极区,同时还能够避免所形成掺杂阱的陡峭度降低,从而提高器件的性能。

附图说明

[0008] 图 1 示出了根据本发明实施例的半导体器件的制造方法的流程图;

[0009] 图 2-14 示出了根据本发明实施例的半导体器件各个制造阶段的示意图。

具体实施方式

[0010] 本发明通常涉及一种半导体器件的制造方法,尤其涉及一种形成具有间隔层的掺杂阱的半导体器件及其形成方法。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和/或设置之间的关系。此外,本发明提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外,以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。

[0011] 参考图 1,图 1 示出了根据本发明的实施例的半导体器件的制造方法的流程图。在步骤 101,首先提供半导体衬底 202,参考图 2。在本实施例中,衬底 202 包括具有晶体结构的硅衬底(例如晶片)。根据现有技术公知的设计要求(例如 p 型衬底或者 n 型衬底),衬底 202 可以包括各种掺杂配置。其他例子的衬底 202 还可以包括其他基本半导体,例如锗和金刚石。或者,衬底 202 可以包括化合物半导体,例如碳化硅、砷化镓、砷化铟或者磷化铟。此外,衬底 202 可以可选地包括外延层,可以被应力改变以增强性能,以及可以包括绝缘体上硅(SOI)结构。

[0012] 在步骤 102 中,在衬底 202 上形成源极区 204、漏极区 206、设置在所述衬底上位于所述源极区 204 和所述漏极区 206 之间的栅堆叠,如图 2 所示,栅堆叠包括伪栅极介质层 212 和伪栅极 208。另外,在栅堆叠的侧壁形成有侧墙 214。

[0013] 伪栅极介质层 212 可以为氧化硅、氮化硅或其组合,和/或其他合适的材料。伪栅极 208 为牺牲层。伪栅极 208 可以例如为多晶硅。在一个实施例中,伪栅极 208 包括非晶硅。伪栅极介质层 212 和伪栅极 208 可以由 MOS 技术工艺,例如沉积、光刻、蚀刻及/或其他合适的方法形成。

[0014] 源/漏极区 204、206 可以通过根据期望的晶体管结构,注入 p 型或 n 型掺杂物或杂质到衬底 202 中而形成。源/漏极区 204、206 可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。源极和漏极 204、206 可以后于伪栅极介质层 212 形成,利用通常的半导体加工工艺和步骤,对所述器件进行热退火,以激活源极和漏极 204、206 中的掺杂,

热退火可以采用包括快速热退火、尖峰退火等本领域技术人员所知晓的工艺进行。

[0015] 侧墙 214 覆盖栅堆叠形成,侧墙 214 可以由氮化硅、氧化硅、氮氧化硅、碳化硅、氟化物掺杂硅玻璃、低 k 电介质材料或其组合,和 / 或其他合适的材料形成。侧墙 214 可以具有多层结构。侧墙 214 可以通过包括沉积合适的电介质材料的方法形成。优选地,在栅堆叠上形成有刻蚀阻挡层,刻蚀阻挡层例如可以由氮化硅形成,其可以在后面所述的化学机械抛光 (CMP) 步骤中用作刻蚀停止层,该结构可以用本领域技术人员所知晓的工艺得到。当然,栅堆叠上也可以没有刻蚀阻挡层。

[0016] 如图 3 所示,特别地,还可以在上述衬底上沉积形成层间介电层 (ILD) 216,可以是但不限于例如未掺杂的氧化硅 (SiO₂)、掺杂的氧化硅 (如硼硅玻璃、硼磷硅玻璃等) 和氮化硅 (Si₃N₄)。所述层间介电层 216 可以使用例如化学气相沉积 (CVD)、物理气相沉积 (PVD)、原子层沉积 (ALD) 及 / 或其他合适的工艺等方法形成。层间介电层 216 可以具有多层结构。在一个实施例中,层间介电层 216 的厚度范围为大约 30 到 90 纳米。

[0017] 而后,对层间介质层 216 和侧墙 214 平坦化处理以暴露伪栅极 208 的上表面。例如可以通过化学机械抛光方法来去除层间介质层 216,直至暴露侧墙 214 的上表面,如图 4 所示。接着,再对侧墙 214 进行化学机械抛光或反应离子刻蚀,从而去除侧墙 214 的上表面,从而暴露伪栅极 208,如图 5 所示。

[0018] 接着方法进行到步骤 103,在该步骤中,栅堆叠包括的伪栅极 208 和伪栅极介质层 212 被一并移除,从而形成开口 220,并对应暴露出部分的衬底 202。如图 6 所示。可以使用湿蚀刻和 / 或干蚀刻除去伪栅极 208 和伪栅极介质层 212。在一个实施例中,采用包括四甲基氢氧化铵 (TMAH)、氢氧化钾 (KOH) 或者其他合适蚀刻剂溶液的湿蚀刻工艺来除去伪栅极 208,其中,优选 TMAH 溶液;并且采用包括氢氟酸 (HF) 或者其他合适蚀刻剂溶液的蚀刻工艺来除去伪栅极介质层 212。

[0019] 然后步骤进行到 104,在该步骤中从所述开口 220 对衬底进行蚀刻,从而在衬底中形成沟槽。优选地,对衬底的蚀刻可以是湿蚀刻和 / 或干蚀刻。所形成沟槽对应的蚀刻深度 H 可以在 15-50nm 的范围内,形成的沟槽可以在后续步骤中用来形成掺杂阱。参考图 7。

[0020] 在步骤 105 中,接着在步骤 104 中在沟槽的侧壁下部形成间隔层 218。间隔层 218 可以通过在图 7 所示的结构上沉积内衬氧化物 (oxide liner),例如氧化硅形成,其中内衬氧化物的沉积厚度可以在 10-20nm 的范围内。并且,通过各向异性蚀刻内衬氧化物,并且蚀刻停止于层间介电层和侧墙 214 的上表面,从而得到侧壁间隔层 218。当然,也可以用其他方法形成间隔层 218,例如在氧环境中进行热生长以在所述沟槽的侧壁和底部形成内衬氧化物;以及刻蚀所述内衬氧化物以暴露所述衬底,以在所述沟槽的侧壁下部形成侧壁间隔层 218。侧壁间隔层 218 是为了阻止后续外延生长工艺过程中出现的不希望的侧墙外延生长,下文中将给出详细说明。

[0021] 在步骤 106 和步骤 107 中,利用外延生长工艺在形成有侧壁间隔层 218 的沟槽的底部生成掺杂阱区,以及在掺杂阱区上方形成器件的沟道区。

[0022] 在本发明实施例中,掺杂阱区 230 通过在衬底 202 对应的蚀刻沟槽中生长外延硅而获得。在本发明的实施例中,可以采用常规的外延方法来生长硅,例如化学气相沉积 (CVD)。优选地,对于 PMOS 器件,用锑、磷或及砷等 n- 型杂质作为掺杂杂质,而对于 NMOS 器件,用硼、铝、镓或铟等 p- 型杂质作为掺杂杂质。

[0023] 如图 9 所示,例如可以首先利用外延生长工艺在已形成有侧壁间隔层 218 的沟槽底部形成重掺杂硅层 230,从而形成外延掺杂阱区。重掺杂硅层 230 可以利用原位掺杂形成在沟槽的下部,其掺杂剂量范围在 $1e18-1e19$ 之间。优选地,重掺杂硅层 230 的厚度范围在 10-30nm 之间。

[0024] 接着,如图 10 所示,为了后续步骤中沟道区形成做准备,将氧化物的侧墙间隔层 218 进行蚀刻,去除所述沟槽的侧壁下部的部分间隔层,以在开口的侧壁处暴露部分衬底。例如,其中蚀刻侧壁间隔层停止于重掺杂硅层 230 上方,进而使得其高度稍微高于重掺杂硅层 230。这样,在外延生长工艺过程中,蚀刻后的侧墙间隔层 218' 仍可以有效阻止重掺杂硅层 230 不希望地沿凹槽侧壁向内外延生长而形成类似于侧壁间隔层 218 的重掺杂内侧墙,进而避免将掺杂剂不当地引入后续步骤中形成的轻掺杂沟道区中。

[0025] 参考图 11,利用外延生长工艺从侧壁间隔层 218' 和重掺杂硅层 230 向上沉积硅,执行硅外延生长来形成轻掺杂硅层 228,其中沉积的轻掺杂硅层 228 的厚度能够填充沟槽,从而形成沟道区。这里,轻掺杂硅层所用的杂质的类型与重掺杂硅层的相同,而轻掺杂硅层具体选用的杂质与重掺杂硅层的杂质可以相同也可以不同。例如,对于 PMOS 器件,用磷作为重掺杂硅层的杂质时,可以用磷、砷或其组合作为轻掺杂硅层的杂质。轻掺杂硅层 228 对应的掺杂剂量小于 $5e17$,掺杂厚度在 5-20nm 之间。

[0026] 通过上述步骤的外延生长硅工艺,如图 11 所示重掺杂硅层 230 不再形成有外延生长侧墙。

[0027] 掺杂阱区,即重掺杂硅层 230 形成在所述开口 220 正下方的衬底中,并且所形成的掺杂阱区不与源极区 204 和漏极区 206 重叠。

[0028] 在步骤 108,可以在所述开口 220 中继续形成栅极区。在一个实施例中,栅极区包括栅极介质层 224 和金属栅极 226,所述栅极介质层 224 覆盖沟道区上部和侧墙 214 的内壁。

[0029] 如图 12 所示,在层间介电层 216 的表面以及所述开口 220 中沉积栅极介质层 224,栅极介质层 224 为高介电常数(高 k)材料。在一个实施例中,高 k 材料包括二氧化铪(HfO_2)。其他例子的高 k 材料包括 $HfSiO$ 、 $HfSiON$ 、 $HfTaO$ 、 $HfTiO$ 、 $HfZrO$ 或其组合,以及 / 或者其他合适的材料。栅极介质层 224 可以包括大约 12 埃到 35 埃范围之间的厚度。栅极介质层 224 可以通过例如化学气相沉积(CVD)或者原子层沉积(ALD)的工艺来形成。栅极介质层 224 还可以具有多层结构,包括具有上述材料的一个以上的层。优选地,在形成栅极介质层 224 之后可以在其上沉积功函数金属栅层 226,如图 13 所示。

[0030] 金属栅层 226 可以包括一个或多个材料层,优选地,可以包括多层金属,例如衬层,向栅极提供合适功函数的材料,栅电极材料和 / 或其他合适材料。优选地,功函数金属栅层可以包括在大约 10 埃到大约 100 埃范围之间的厚度。用于功函数金属栅层的材料可以从包含下列物质的组中选择一种或多种: TiN 、 $TiSiN$ 、 $TiCN$ 、 $TaAlC$ 、 $TiAlN$ 、 $TaAlN$ 、 TaN 、 $TaSiN$ 、 $HfSiN$ 、 $MoSiN$ 、 $RuTa_x$ 、 $NiTa_x$ 、 TaN 、 $PtSi_x$ 、 Ni_3Si 、 Pt 、 Ru 、 Ir 、 Mo 、 $HfRu$ 、 RuO_x , 及这些材料的组合。

[0031] 最后在步骤 109 中,执行化学机械抛光(CMP)工艺,对步骤 108 中沉积的金属栅层 226 和栅极介质层 224 进行平整化,从而形成金属栅极,并去除层间介质层上方的栅极介质层,如图 14 所示。所示器件具有使用外延生长工艺形成并位于所述开口正下方的衬底中的

掺杂阱 230 以及位于所述掺杂阱侧壁的间隔层 218'。

[0032] 上面已经根据本发明的实施例描述了在移除栅极之后通过外延生长工艺在衬底中形成例如包括具有侧壁间隔层的掺杂阱区和沟道区的实施方式,避免了外延生长工艺容易引起的重掺杂内侧墙的出现,从而避免了将掺杂剂不当引入器件沟道区的问题。

[0033] 本发明的实施例利用去除伪栅极形成的开口进行衬底蚀刻,在对应蚀刻沟槽的侧壁上形成有例如内衬氧化物的间隔层,然后继续在具有侧壁间隔层的沟槽中利用外延生长工艺形成的掺杂阱位于伪栅极正下方的衬底中,使得这一形成的掺杂阱不会出现侧壁外延生长,进而防止掺杂阱进入器件沟道区而影响器件的性能。此外,与扩散掺杂和离子注入掺杂相比,外延生长形成掺杂阱不需要高温退火激活过程,避免了离子扩散的发生,以及离子扩散进而导致的陡峭度劣化,提高了器件的性能。

[0034] 虽然关于示例实施例及其优点已经详细说明,应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下,可以对这些实施例进行各种变化、替换和修改。对于其他例子,本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时,工艺步骤的次序可以变化。

[0035] 此外,本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容,作为本领域的普通技术人员将容易地理解,对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤,其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果,依照本发明可以对它们进行应用。因此,本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

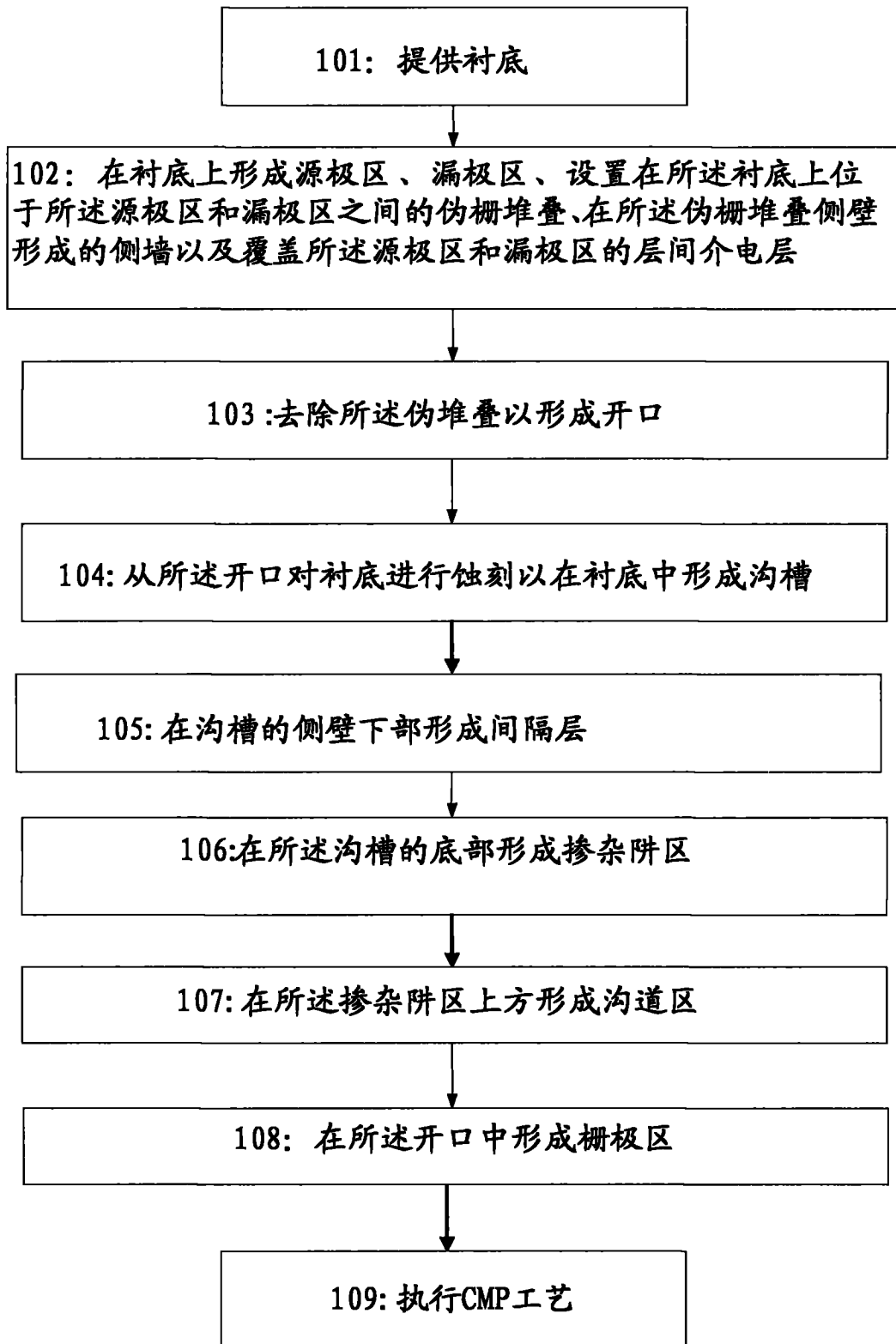


图 1

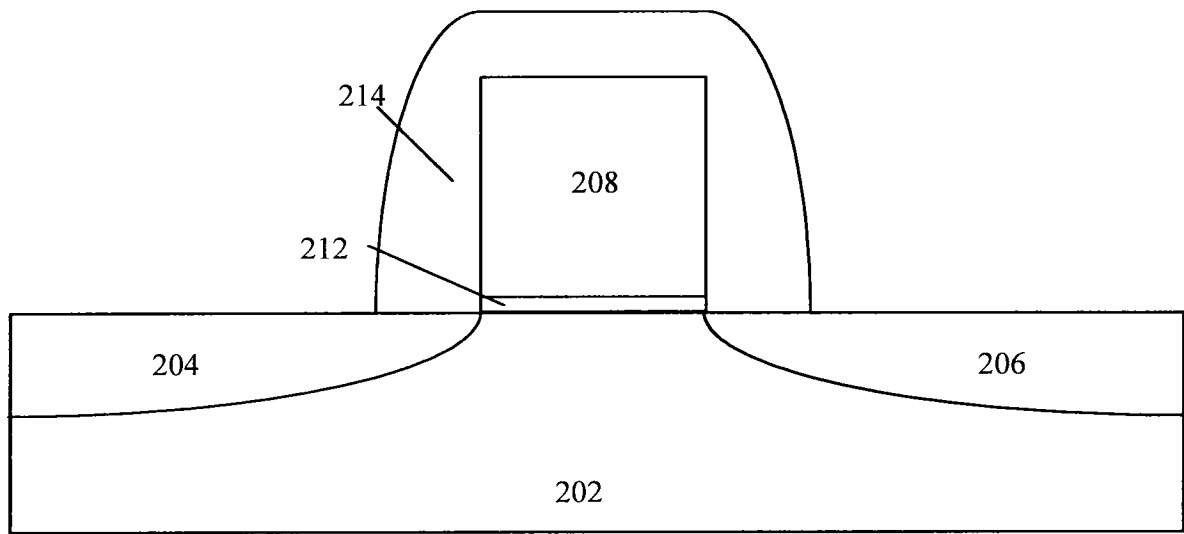


图 2

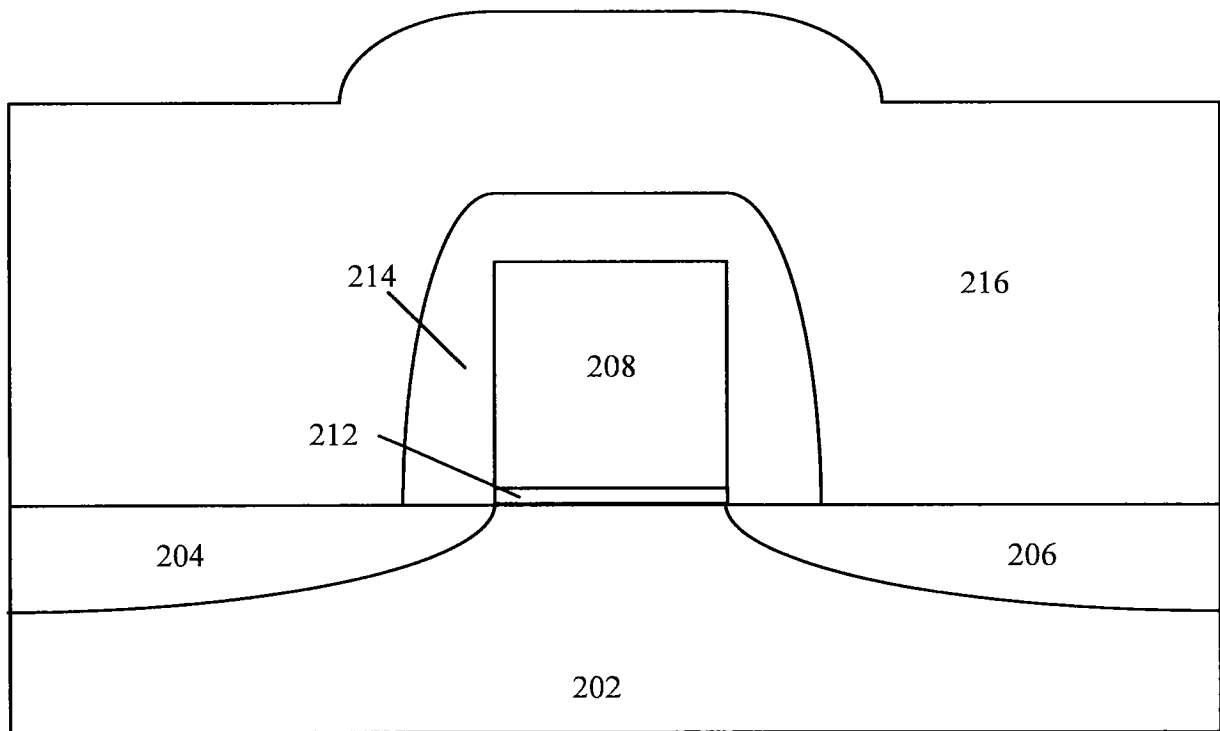


图 3

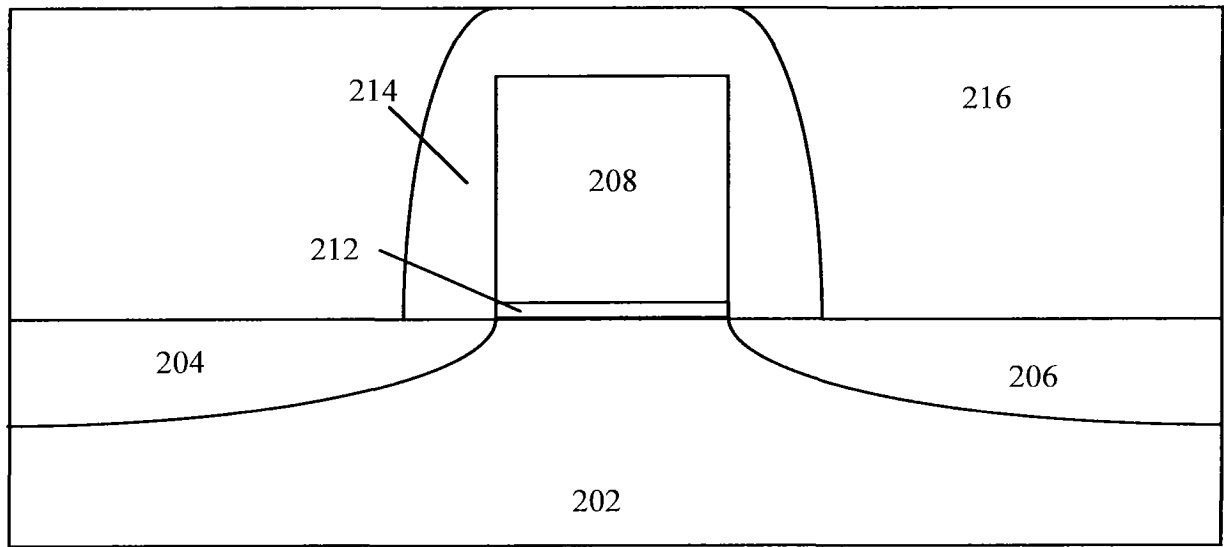


图 4

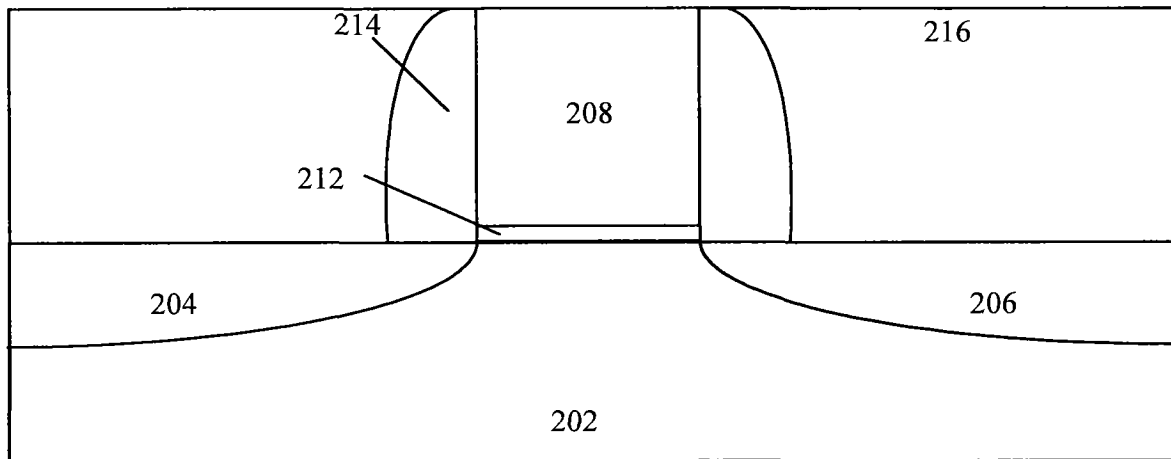


图 5

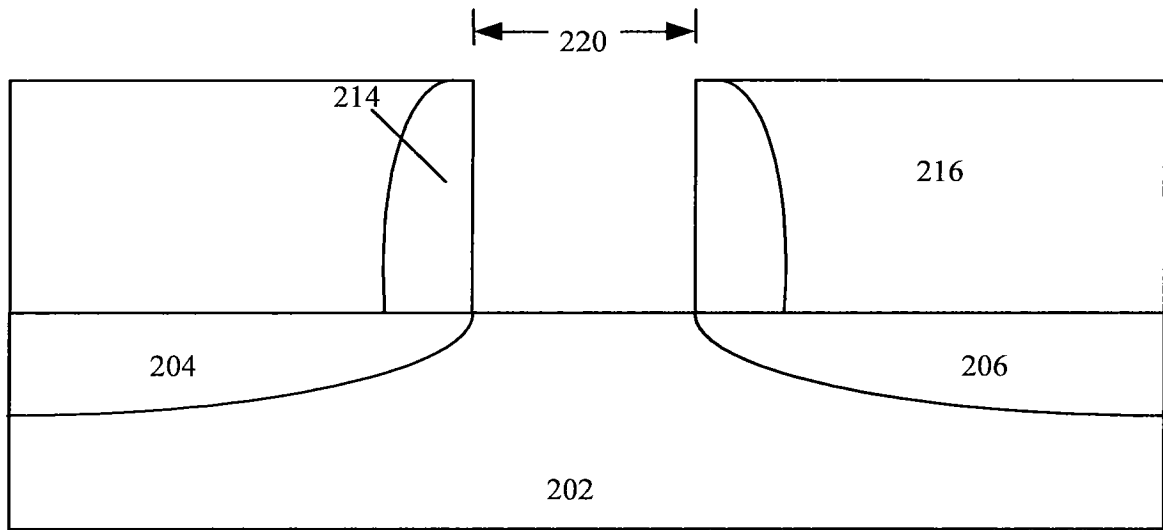


图 6

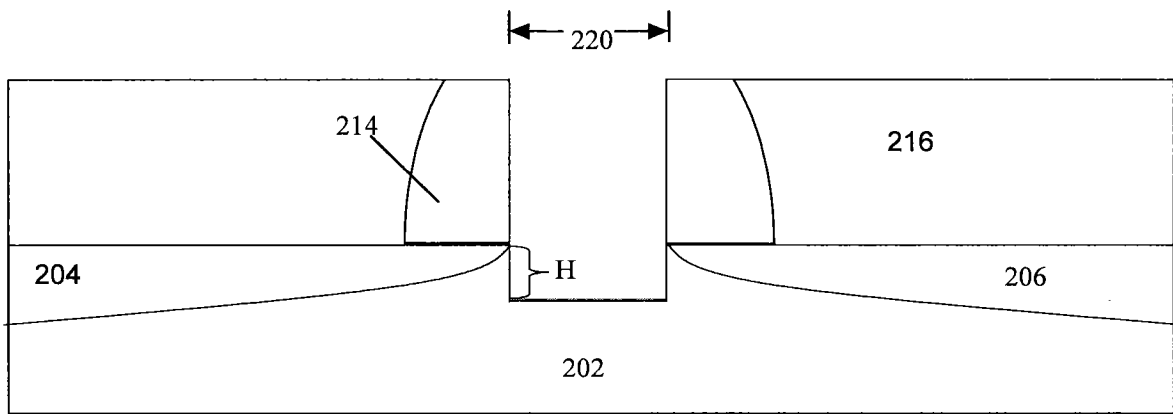


图 7

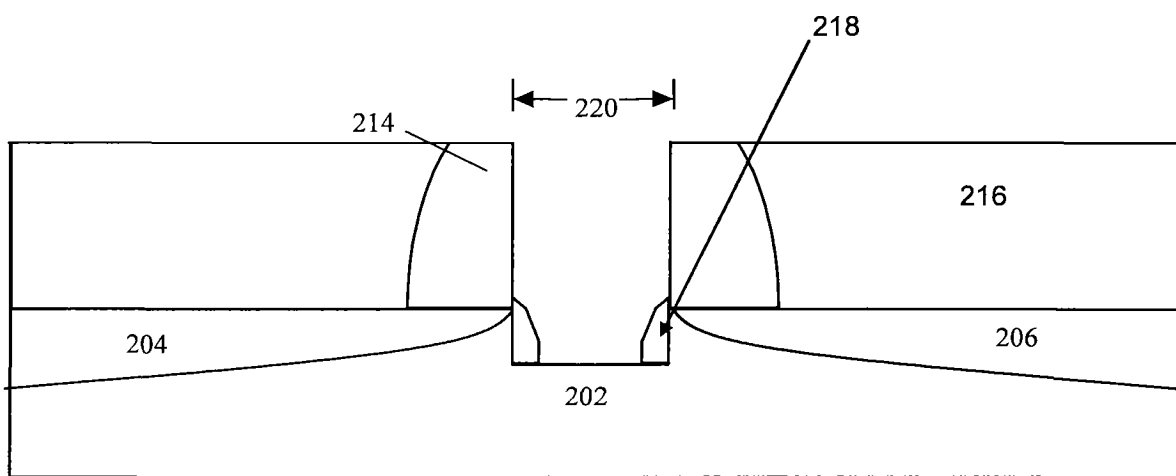


图 8

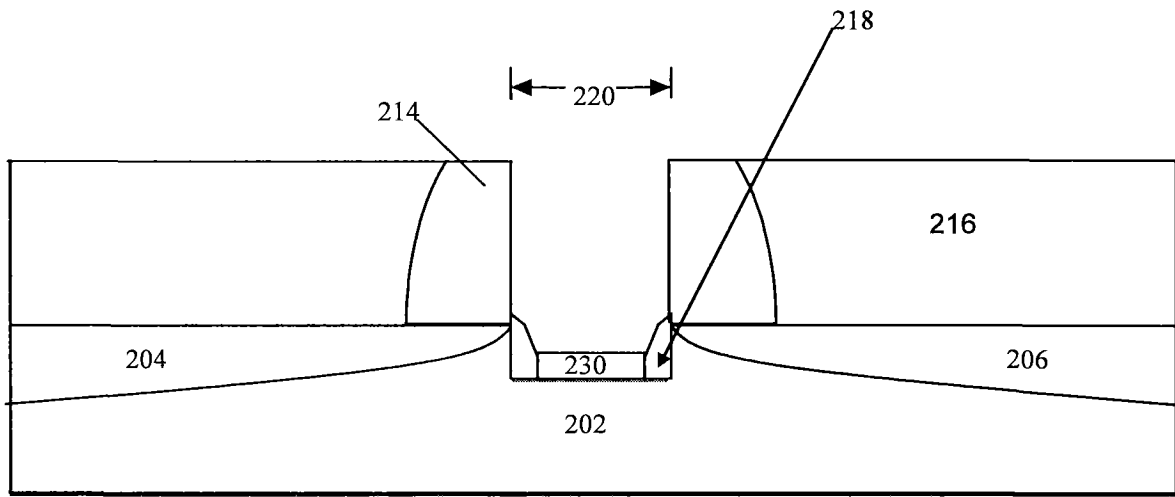


图 9

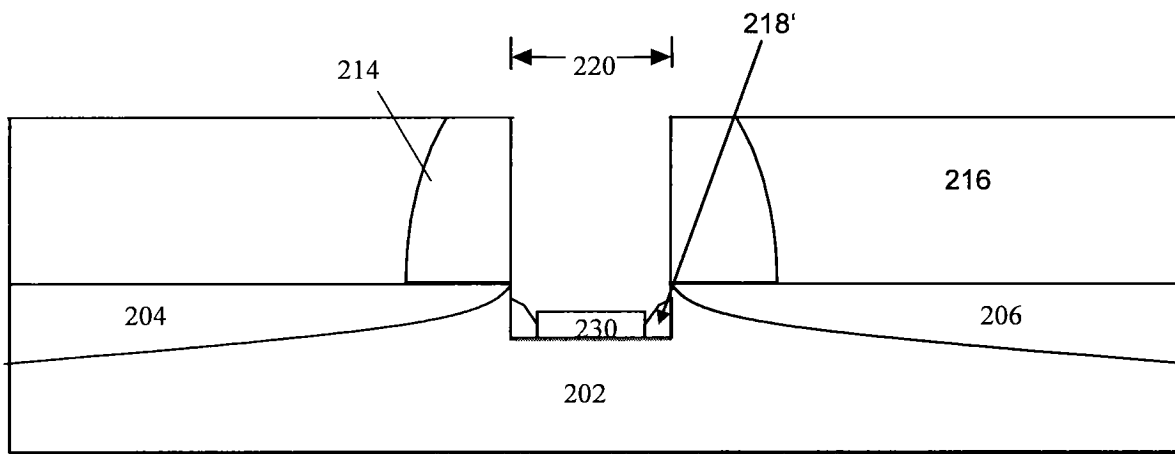


图 10

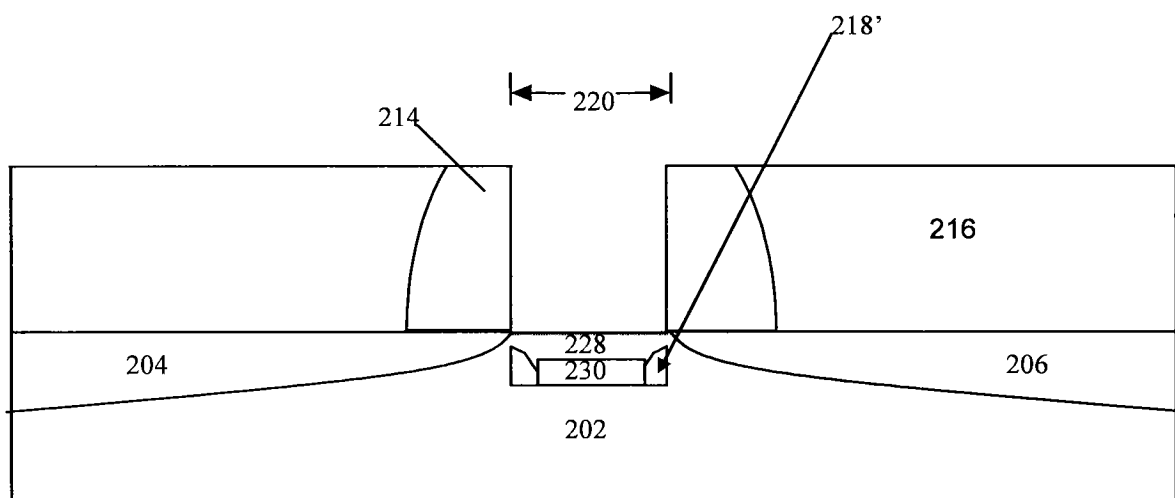


图 11

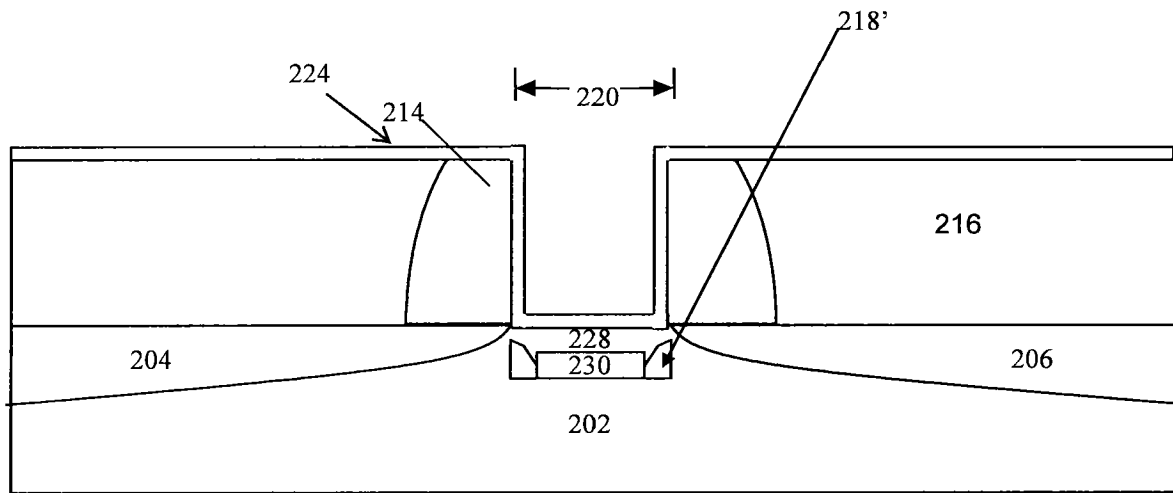


图 12

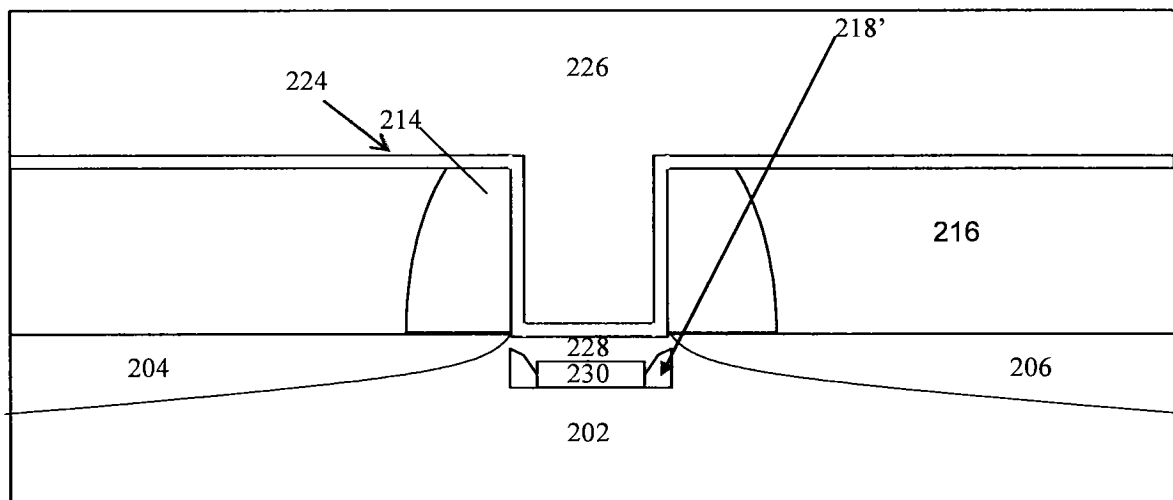


图 13

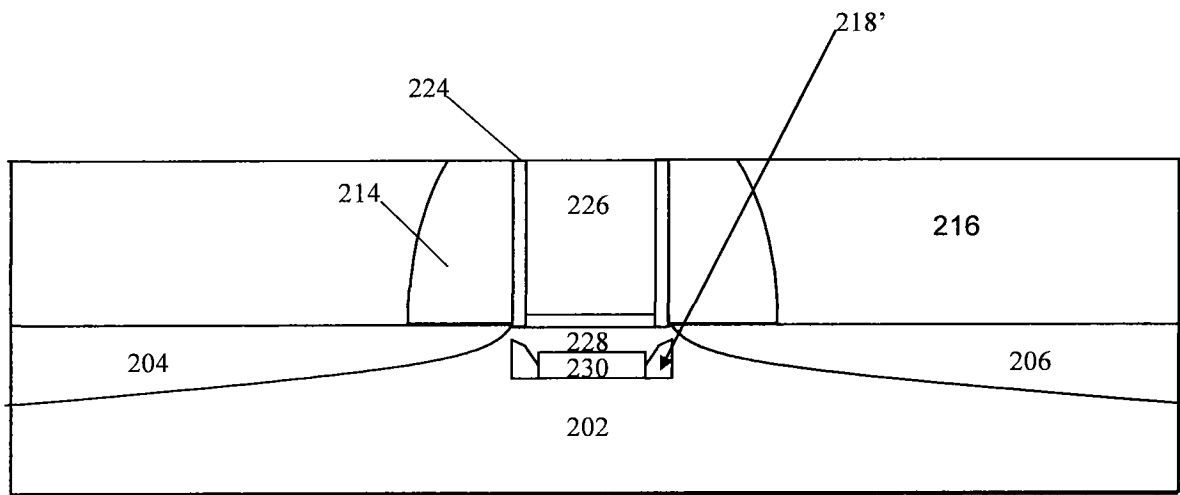


图 14