

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 26 年 9 月 18 日 (2014.9.18)

【公開番号】特開 2013-191989 (P2013-191989A)

【公開日】平成 25 年 9 月 26 日 (2013.9.26)

【年通号数】公開・登録公報 2013-052

【出願番号】特願 2012-56038 (P2012-56038)

【国際特許分類】

H 0 3 K 17/06 (2006.01)

H 0 2 M 1/08 (2006.01)

H 0 3 K 17/687 (2006.01)

H 0 3 K 17/22 (2006.01)

【F I】

H 0 3 K 17/06 C

H 0 2 M 1/08 C

H 0 3 K 17/687 F

H 0 3 K 17/22 E

【手続補正書】

【提出日】平成 26 年 8 月 6 日 (2014.8.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ハイサイド半導体素子およびローサイド半導体素子を有するアーム回路の駆動に用いられる半導体素子の駆動装置であって、

電源に接続する電源端子と、

前記ローサイド半導体素子のオン信号が入力されるローサイド信号入力端子と、

前記電源端子の電源電圧の立ち上がり時にリセット信号を発生させるパワーオンリセット回路部と、

前記パワーオンリセット回路部のリセット信号発生から前記オン信号の立ち下がりまで出力を出し続けるラッチ回路部と、

前記ラッチ回路部の前記出力と前記オン信号との重複期間に遅延期間を加えた長さのパルス信号を生成するパルス生成回路部と、

前記パルス生成回路部の前記パルス信号に基づいて前記ローサイド半導体素子をオンするローサイド駆動回路部と、

前記ローサイド半導体素子のオン期間に充電されるブートストラップコンデンサと接続し、前記ハイサイド半導体素子を駆動するハイサイド駆動回路部と、

を備えることを特徴とする半導体素子の駆動装置。

【請求項 2】

前記ハイサイド半導体素子のオン信号が入力されるハイサイド信号入力端子と、

前記ハイサイド信号入力端子への入力信号を第 1 入力値とし且つ前記ローサイド信号入力端子への入力信号と前記パルス信号とを第 2 入力値とするインターロック回路部と、
を備え、

前記ハイサイド駆動回路部が、前記インターロック回路部と電氣的に接続するとともに、前記第 1 入力値に応じた信号を前記ハイサイド半導体素子の制御端子に供給し、

前記ローサイド駆動回路部が、前記インターロック回路部と電氣的に接続するとともに、前記第 2 入力値に応じた信号を前記ローサイド半導体素子の制御端子に供給することを特徴とする請求項 1 に記載の半導体素子の駆動装置。

【請求項 3】

前記パワーオンリセット回路部、前記ラッチ回路部、前記パルス生成回路部、前記ローサイド駆動回路部および前記ハイサイド駆動回路部が集積されたことを特徴とする請求項 1 または 2 に記載の半導体素子の駆動装置。

【請求項 4】

ハイサイド半導体素子およびローサイド半導体素子を有するアーム回路の駆動に用いられる半導体素子の駆動装置であって、

電源に接続する電源端子と、

前記ローサイド半導体素子のオン信号が入力されるローサイド信号入力端子と、

前記ローサイド半導体素子のオン期間に充電されるブートストラップコンデンサと電氣的に接続し、前記ブートストラップコンデンサの電圧が所定電圧を下回ったら出力信号を発する電圧識別回路部と、

前記電圧識別回路部が出力信号を出していたら前記ローサイド半導体素子のオン期間を長くしたパルス信号を生成するパルス生成回路部と、

前記パルス生成回路部の前記パルス信号に基づいて前記ローサイド半導体素子をオンするローサイド駆動回路部と、

前記ブートストラップコンデンサと接続し、前記ハイサイド半導体素子を駆動するハイサイド駆動回路部と、

を備えることを特徴とする半導体素子の駆動装置。

【請求項 5】

前記電源端子に対してアノードが電氣的に接続しかつ前記ブートストラップコンデンサに対してカソードが電氣的に接続するブートストラップダイオードを備え、

前記電圧識別回路部が、前記ブートストラップダイオードの前記カソードと前記ブートストラップコンデンサとの間の電圧が所定電圧を下回った期間にリセット信号を発するパワーオンリセット回路部、又は前記ブートストラップコンデンサの電圧を所定電圧と比較する比較器であることを特徴とする請求項 4 に記載の半導体素子の駆動装置。

【請求項 6】

前記電圧識別回路部は、前記電源端子の電圧を前記所定電圧として用いるものであることを特徴とする請求項 4 または 5 に記載の半導体素子の駆動装置。

【請求項 7】

前記パルス生成回路部は、前記電圧識別回路部の出力に基づく第 1 オン信号と前記ローサイド信号入力端子への入力信号に基づく第 2 オン信号とを入力した AND ゲートを有し、前記 AND ゲートの出力に基づいて前記ローサイド半導体素子のオン期間を長くすることを特徴とする請求項 4 ～ 6 のいずれか 1 項に記載の半導体素子の駆動装置。

【請求項 8】

前記ハイサイド半導体素子のオン信号が入力されるハイサイド信号入力端子と、

前記ハイサイド信号入力端子への入力信号を第 1 入力値とし且つ前記ローサイド信号入力端子への入力信号と前記パルス信号とを第 2 入力値とするインターロック回路部と、を備え、

前記ハイサイド駆動回路部が、前記インターロック回路部と電氣的に接続するとともに、前記第 1 入力値に応じた信号を前記ハイサイド半導体素子の制御端子に供給し、

前記ローサイド駆動回路部が、前記インターロック回路部と電氣的に接続するとともに、前記第 2 入力値に応じた信号を前記ローサイド半導体素子の制御端子に供給することを特徴とする請求項 4 ～ 7 のいずれか 1 項に記載の半導体素子の駆動装置。

【請求項 9】

前記電圧識別回路部、前記パルス生成回路部、前記ローサイド駆動回路部および前記ハイサイド駆動回路部が集積されたことを特徴とする請求項 4 ～ 8 のいずれか 1 項に記載の

半導体素子の駆動装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

第1の発明は、ハイサイド半導体素子およびローサイド半導体素子を有するアーム回路の駆動に用いられる半導体素子の駆動装置であって、

電源に接続する電源端子と、

前記ローサイド半導体素子のオン信号が入力されるローサイド信号入力端子と、

前記電源端子の電源電圧の立ち上がり時にリセット信号を発生させるパワーオンリセット回路部と、

前記パワーオンリセット回路部のリセット信号発生から前記オン信号の立ち下がりまで出力を出し続けるラッチ回路部と、

前記ラッチ回路部の前記出力と前記オン信号との重複期間に遅延期間を加えた長さのパルス信号を生成するパルス生成回路部と、

前記パルス生成回路部の前記パルス信号に基づいて前記ローサイド半導体素子をオンするローサイド駆動回路部と、

前記ローサイド半導体素子のオン期間に充電されるブートストラップコンデンサと接続し、前記ハイサイド半導体素子を駆動するハイサイド駆動回路部と、

を備えることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

第2の発明は、ハイサイド半導体素子およびローサイド半導体素子を有するアーム回路の駆動に用いられる半導体素子の駆動装置であって、

電源に接続する電源端子と、

前記ローサイド半導体素子のオン信号が入力されるローサイド信号入力端子と、

前記ローサイド半導体素子のオン期間に充電されるブートストラップコンデンサと電氣的に接続し、前記ブートストラップコンデンサの電圧が所定電圧を下回ったら出力信号を発する電圧識別回路部と、

前記電圧識別回路部が出力信号を出していたら前記ローサイド半導体素子のオン期間を長くしたパルス信号を生成するパルス生成回路部と、

前記パルス生成回路部の前記パルス信号に基づいて前記ローサイド半導体素子をオンするローサイド駆動回路部と、

前記ブートストラップコンデンサと接続し、前記ハイサイド半導体素子を駆動するハイサイド駆動回路部と、

を備えることを特徴とする。