

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6316959号
(P6316959)

(45) 発行日 平成30年4月25日 (2018. 4. 25)

(24) 登録日 平成30年4月6日 (2018. 4. 6)

(51) Int. Cl.

F I

H O 1 L 21/8234 (2006. 01)

H O 1 L 27/088

C

H O 1 L 27/088 (2006. 01)

H O 1 L 29/78

3 O 1 G

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78

3 O 1 F

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78

3 O 1 C

H O 1 L 21/28 (2006. 01)

H O 1 L 21/28

E

請求項の数 8 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2016-530238 (P2016-530238)
 (86) (22) 出願日 平成26年10月24日 (2014. 10. 24)
 (65) 公表番号 特表2016-540378 (P2016-540378A)
 (43) 公表日 平成28年12月22日 (2016. 12. 22)
 (86) 国際出願番号 PCT/US2014/062276
 (87) 国際公開番号 W02015/076978
 (87) 国際公開日 平成27年5月28日 (2015. 5. 28)
 審査請求日 平成29年8月8日 (2017. 8. 8)
 (31) 優先権主張番号 61/908, 007
 (32) 優先日 平成25年11月22日 (2013. 11. 22)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 14/283, 168
 (32) 優先日 平成26年5月20日 (2014. 5. 20)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 507364838
 クアルコム, インコーポレイテッド
 アメリカ合衆国 カリフォルニア 921
 21 サン ディエゴ モアハウス ドラ
 イブ 5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100163522
 弁理士 黒田 晋平
 (72) 発明者 スタンリー・スンチュル・ソン
 アメリカ合衆国・カリフォルニア・921
 21-1714・サン・ディエゴ・モアハ
 ウス・ドライブ・5775

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 ゲートパターンニングのためのリソグラフィマージプロセス

(57) 【特許請求の範囲】

【請求項 1】

ダイ上で複数のデバイスを作製するための方法であって、

自己整合ダブルパターンニング (SADP) プロセスを用いて、第1のゲート長とコンタクトポリシリコンピッチ (CPP) とを有する、複数の第1のゲートを作成するために第1の領域をパターンニングするステップであって、前記 CPP が単一パターンリソグラフィ限界よりも小さい、パターンニングするステップと、

リソエッチリソエッチ (LELE) セルスワッププロセスによって前記第1の領域をパターンニングして、前記複数の第1のゲートのいくつかの代わりに配置される一組の第2のゲートを作製するステップであって、前記第2の一組のゲートは第2のゲート長及び前記 CPP を有し、前記第2のゲート長は前記第1のゲート長と異なるステップとを備える、方法。

【請求項 2】

前記セルスワッププロセスが、前記 SADP プロセスによって形成されるゲート間で実行される第2のリソグラフィプロセスである、請求項 1 に記載の方法。

【請求項 3】

前記複数のデバイスが、モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (PCS) ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項 1 に記載の方法。

【請求項 4】

第 1 の領域内に第 1 のゲート長とコンタクトポリシリコンピッチ（C P P）とを有する、複数の第 1 のゲート長デバイスであって、前記 C P P が単一パターンリソグラフィ限界よりも小さい、複数の第 1 のゲート長デバイスと、

前記第 1 の領域内の前記複数の第 1 のゲート長デバイスのいくつかの代わりに配置された一組の第 2 のゲート長デバイスであって、前記一組の第 2 のゲート長デバイスは第 2 のゲート長及び前記 C P P を有し、前記第 2 のゲート長が前記第 1 のゲート長とは異なる、一組の第 2 のゲート長デバイスと

を有し、

前記 C P P は 4 0 n m ~ 8 0 n m の範囲であり、

前記第 1 のゲート長及び前記第 2 のゲート長は 1 0 n m ~ 3 0 n m の範囲である、装置

10

【請求項 5】

第 3 のゲート長を有する第 3 のゲート長デバイスをさらに含む、請求項 4 に記載の装置

【請求項 6】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（P C S）ユニット、ポータブルデータユニット、および／または固定位置データユニットに組み込まれる、請求項 4 に記載の装置。

20

【請求項 7】

ダイ上で複数のデバイスを作製するための方法であって、

自己整合ダブルパターンニング（S A D P）プロセスを用いて、第 1 のゲート長とコンタクトポリシリコンピッチ（C P P）とを有する、複数の第 1 のゲートを作成するために第 1 の領域をパターンニングするステップであって、前記 C P P が単一パターンリソグラフィ限界よりも小さい、パターンニングするステップと、

リソエッチリソエッチ（L E L E）セルスワッププロセスによって前記第 1 の領域をパターンニングして、前記複数の第 1 のゲートのいくつかの代わりに配置される一組の第 2 のゲートを作製するステップであって、前記第 2 の一組のゲートは第 2 のゲート長及び前記 C P P を有し、前記第 2 のゲート長は前記第 1 のゲート長と異なるステップとを備える、方法。

30

【請求項 8】

前記複数のデバイスが、モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（P C S）ユニット、ポータブルデータユニット、および／または固定位置データユニットに組み込まれる、請求項 7 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

40

本出願は、その開示の全体が参照により本明細書に明示的に組み込まれている、2013 年 11 月 22 日に出願した、「MERGING LITHOGRAPHY PROCESSES FOR GATE PATTERNING」という名称の米国仮特許出願第 61 / 908, 007 号の、米国特許法第 119 (e) 条に基づく利益を主張するものである。

【0002】

本開示の態様は、半導体デバイスに関し、より詳細には、電界効果トランジスタ（FET）構造内のゲート長さおよびゲート間隔を削減することに関する。

【背景技術】

【0003】

50

半導体デバイスのサイズが削減するにつれて、デバイス用のパターンを作製する能力はより困難になる。10ナノメートル(nm)のコンタクトポリシリコン(CPP: contacted polysilicon (PO) pitch)デバイスの場合、そのデバイスサイズを達成するために、複数のパターニングステップを使用することができる。たとえば、関連技術方法は、より小さなピッチサイズを達成するためにインターリーブまたは交互絡合されたより大きなピッチパターンを使用するリソエッチリソエッチ(LELE: litho - etch litho - etch)として知られている。それでもなお、LELEは、より大きなラインエッジ粗さ(LER)、より大きなゲート間間隔変動、およびより大きな限界寸法変動によって依然として制限される。

【0004】

別の関連技術方法は、ゲート長(Lg)を定義するために、マンドレル上に堆積されたスペーサを使用する自己整合ダブルパターニング(SADP: self-aligned double patterning)である。SADPはLELEよりも良好な限界寸法均一性を有するが、SADP生成デバイスにおいて異なるゲート長を生成するため、追加のマスクが使用される。これは、より大きな集積回路に関するSADPプロセスの有用性を制限する。

【発明の概要】

【課題を解決するための手段】

【0005】

ダイ上でデバイスを作製するための方法は、第1のプロセスを用いて、第1のゲート長と第1のコンタクトポリシリコンピッチ(CPP)とを有する第1のゲートを作成するために第1の領域をパターニングするステップを含み得る。第1のCPPは単一パターンリソグラフィ限界よりも小さい。本方法はまた、第2のプロセスを用いて、第2のゲート長または第2のCPPを有する第2のゲートを作成するために第1の領域をパターニングするステップを含む。第2のCPPは単一パターンリソグラフィ限界よりも小さい。第2のゲート長は第1のゲート長とは異なる。

【0006】

装置は、第1の領域内に第1のゲート長と第1のコンタクトポリシリコンピッチ(CPP)とを有する第1のゲート長デバイスを含み得る。第1のCPPは単一パターンリソグラフィ限界よりも小さい。本装置はまた、第2のゲート長または第2のCPPを有する第1の領域内の少なくとも1つの第2のゲート長デバイスを含む。第2のCPPは単一パターンリソグラフィ限界よりも小さい。第2のゲート長は第1のゲート長とは異なっている。

【0007】

装置は、第1の領域内で第1のゲート長と第1のコンタクトポリシリコンピッチ(CPP)とを有する、電流を選択的に伝導するため第1の手段を含み得る。第1のCPPは単一パターンリソグラフィ限界よりも小さい。本装置はまた、第2のゲート長または第2のCPPを有する少なくとも1つの第2のゲート長デバイスを有する、電流を選択的に伝導するための第2の手段を含む。第2のCPPは単一パターンリソグラフィ限界よりも小さい。第2のゲート長は第1のゲート長とは異なっている。

【0008】

上記は、続く詳細な説明をよりよく理解することができるように、本開示の特徴および技術的利点について、かなり大まかに概説したものである。本開示のさらなる特徴および利点について、以下で説明する。本開示は、本開示と同じ目的を果たすための他の構造を修正または設計する基礎として容易に利用できることを、当業者には理解されたい。そのような等価な構造(construction)が、添付の特許請求の範囲に記載の本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の特徴になると考えられる新規な特徴は、本開示の構成(organization)と動作方法の両方に関して、さらなる目的および利点とともに、以下の説明を添付の図と併せ検討することからよりよく理解されるであろう。しかしながら、図の各々は、例示および説明を目的として提

10

20

30

40

50

供されているに過ぎず、本開示の制限を定めるものではないことを、明確に理解されたい。

【 0 0 0 9 】

本開示のより完全な理解が得られるように、ここで、以下の説明を添付の図面と併せて参照する。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1 A】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 B】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 C】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

10

【図 1 D】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 E】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 F】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 G】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 H】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 I】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 1 J】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 2 A】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 B】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

20

【図 2 C】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 D】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 E】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 F】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 G】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

30

【図 2 H】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 I】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 J】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 K】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 2 L】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

40

【図 2 M】本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す図である。

【図 3 A】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 3 B】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 3 C】本開示の 1 つまたは複数の態様による半導体デバイスの側面図である。

【図 4】本開示の一態様によるデバイスを作製するための方法を示すプロセスフロー図である。

【図 5】本開示の一態様が有利に採用され得る例示的なワイヤレス通信システムを示すブロック図である。

50

【図6】本開示の一態様による、半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される設計用ワークステーションを示すブロック図である。

【発明を実施するための形態】

【0011】

添付の図面に関して以下に記載する詳細な説明は、様々な構成の説明として意図されており、本明細書で説明する概念が実践され得る構成のみを表すことは意図されていない。詳細な説明は、様々な概念の完全な理解を与える目的で特定の詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実践され得ることが、当業者には明らかであろう。場合によっては、そのような概念を曖昧にすることを回避するために、よく知られている構造および構成要素がブロック図の形態で示されている。本明細書の説明では、
「および/または」という用語の使用は、「包含的論理和」を表すことを意図し、「または」という用語の使用は、「排他的論理和」を表すことを意図する。

10

【0012】

10(10)ナノメートル(nm)のコンタクトポリシリコン(PO)ピッチ(CPP)ジオメトリは、デバイスのパターニング用に64(64)nmベースジオメトリを使用することができる。デバイス内にこのサイズのベースジオメトリを作成するために、193インターリーブダブルパターニング(interleaved double patterning)がしばしば使用される。2つの方法がデバイス内にベースジオメトリを作成し得る。第1のリソグラフィプロセス、すなわち、リソエッチリソエッチ(LELE)は、128(128)nm特徴のサイズを64nm特徴のサイズに削減するために、その上でインターリーブされた(たとえば、オーバーレイされた)128nmピッチパターンを使用する。マスクを重複させることによって、128nm特徴は、64nmベースCPPに達するために半分に切断され得る。第2のリソグラフィプロセス、すなわち、自己整合ダブルパターニング(SADP)は、ゲート長(Lg)を定義するために、ダミーマンドレルパターン上に堆積されたスペーサを使用する。これは、FinFETデバイス内にフィン構造を作成するのと同様である。

20

【0013】

本開示の一態様は、SADPとLELEとをマージし、回路またはデバイス内に複数のゲート長を可能にすることである。SADPの使用は、より密な限界寸法(CD)制御とより少ない変動とを実現するが、単一のゲート長だけを可能にする。本開示の一態様では、SADPプロセスに関して1つのマスクが使用される。LELEの使用は、同じデバイス内に複数のゲート長とフレキシブルなCPPとを可能にする。本開示の一態様では、LELEの使用は2つのマスクを使用する。SADPとLELEの両方に関する切断パターンはまた、本開示の一態様では、単一のマスクを使用し、これは4つのマスクプロセスを可能にする。

30

【0014】

本開示の一態様では、SADPの使用は、より小さなCPPにおいてより小さなゲート長を可能にする。SADPをLELEと組み合わせることによって、より小さな、場合によっては、最小のCPPにおいて複数のゲート長が可能にされる。さらに、LELEは、入出力(I/O)デバイスおよびアナログデバイスに関して、より大きなCPPにおいてより大きなゲート長をやはり可能にする。

40

【0015】

図1A~図1Jは、本開示の1つまたは複数の態様による半導体デバイスの側面図を示す。図1A~図1Jでは、概してLELEプロセスを示す。図1Aは、層102および層108を有する基板100を示す。層102および108は、ハードマスク層、フォトリジスト層であり得るか、またはシリコン酸化物、ポリシリコン、もしくは他の材料の層であり得る。マスキングエリア106を有するマスク104も図1Aに示す。図1Bでは、マスク104は、層102をパターニングするために、層102および基板100に近接して配置される。

【0016】

50

図 1 C は、マスキングエリア 1 0 6 によって遮断されなかった、層 1 0 2 のエリア 1 1 0 と、マスキングエリア 1 0 6 によって遮断されたエリア 1 1 2 とを有する層 1 0 2 を示す。図 1 A ~ 図 1 C は、本開示の L E L E プロセスの「第 1 のリソグラフィ」すなわち「第 1 のリソ」部分について説明する。図 1 D は、デバイス全体の設計に応じて、層 1 0 2 の一部であり得るか、または別の層の一部であり得る、メサ 1 1 4 を示す。図 1 D は、本開示の L E L E プロセスの「第 1 のエッチ」について説明する。

【 0 0 1 7 】

図 1 E は、フォトレジストであり得るか、または、シリコン、シリコン酸化物、ポリシリコン、もしくは他の材料であり得る、別の層 1 1 6 を示す。図 1 F は、マスキングエリア 1 0 6 のエッジ 1 1 8 がメサ 1 1 4 のエッジ 1 2 0 からオフセットされるマスク 1 0 4 を示す。図 1 G は、エリア 1 2 2 はマスキングエリア 1 0 6 を使用して遮断されるが、エリア 1 2 4 は遮断されない状態にとどまる、層 1 1 6 の露出部を示す。図 1 H は、層 1 0 8 上のエリア 1 2 2 およびメサ 1 1 4 を示す。図 1 E ~ 図 1 H は、本開示の L E L E プロセスの「第 2 のリソグラフィ」部分について説明する。

【 0 0 1 8 】

図 1 I は、メサ 1 1 4 およびエリア 1 2 2 の下にあったメサ 1 2 8 ならびにメサ 1 3 0 を作成するための、層 1 0 8 の部分のエッチングまたは除去を示す。図 1 J は、メサ 1 2 8 および 1 3 0 が基板 1 0 0 の部分を保護するためのマスクとして機能する、基板 1 0 0 のエッチングを示す。図 1 H ~ 図 1 J は、本開示の L E L E プロセスの「第 2 のエッチ」部分について説明する。

【 0 0 1 9 】

マスキングエリア 1 0 6 を配置することによって、メサ 1 2 8 および 1 3 0 の幅、ならびに、したがって、デバイス内の基板 1 0 0 または他の層上に作成される特徴は、L E L E プロセスにおいて、第 1 のリソグラフィと第 2 のリソグラフィとの間のマスキングエリア 1 0 6 を「インターリーブすること」によって作成される。しかしながら、(マスキングエリア 1 0 6 によって定義される) エリア 1 2 2 はメサ 1 3 0 が別のメサ 1 2 8 または別のデバイスにどの程度近いかを制限するが、これは、エリア 1 2 2 がエリア 1 2 2 の下に何らかのエッチングまたは他の処理が発生するのを妨げるためである。これは、基板 1 0 0 上のデバイスのゲート間間隔を制限する。言い換えれば、第 1 の領域内で L E L E プロセスを実行することができ、第 2 の領域内で S A D P プロセスを実行することができる。さらに、L E L E プロセスは、S A D P プロセスによって生成される特徴間またはゲート間で実行され得る。

【 0 0 2 0 】

図 2 A ~ 図 2 M は、本開示の 1 つまたは複数の態様による半導体デバイスを作製するためのプロセスを示す。

【 0 0 2 1 】

図 2 A は、S A D P マスクの使用を示す。ハードマスク層 2 0 2 および 2 0 4 を有する基板 2 0 0 を示し、ハードマスク層 2 0 4 上にマンドレル 2 0 6 を堆積させる。図 2 B は、マンドレル 2 0 6 上のスペーサ層 2 0 8 の堆積を示す。図 2 C は、マンドレル 2 0 6 のエッチング 2 1 0 と、ハードマスク層 2 0 2 および 2 0 4 とを示す。スペーサ層 2 0 8 の厚さは、S A D P プロセスにおいてゲート長を定義する。図 2 D は、スペーサ層 2 0 8 とハードマスク層 2 0 4 とが除去され、基板 2 0 0 上にゲート長パターン 2 1 2 が残されることを示す。図 2 E は、フォトレジスト (P R) 層 2 1 4、およびハードマスク層 2 1 6、2 1 8 の堆積を示す。図 2 F では、第 2 のマスクが適用され、フォトレジスト層 2 1 4 が露出すなわちパターニング 2 2 0 され、これは第 1 の L E L E パターンである。

【 0 0 2 2 】

本開示では、S A D P マスクは、基板 2 0 0 の第 1 の領域内に第 1 のゲートのパターンを作成し、基板 2 0 0 の第 1 の領域内で L E L E パターニングが実行される。したがって、本開示の一態様では、S A D P デバイスおよび L E L E デバイスは、基板 2 0 0 の第 1 の領域内で互いにインターリーブされ得るか、または互いに隣接し得る。

【 0 0 2 3 】

さらに、第1の領域内のSADPパターンは、第1のゲート長と第1のコンタクトポリシリコンピッチ(CPP)とを作成する。第1のCPPは、単一パターンリソグラフィ限界よりも小さい場合がある。第1の領域内のLELEパターンは、第2のゲート長または第2のCPPを作成し、この場合、第2のCPPはやはり単一パターンリソグラフィ限界よりも小さい。第2のゲート長は第1のゲート長とは異なる場合がある。限定ではなく、一例として、第1のCPPおよび第2のCPPは40ナノメートルから80ナノメートルにわたる場合があるのに対して、第1のゲート長および第2のゲート長は10ナノメートルから30ナノメートルにわたる場合がある。

【 0 0 2 4 】

図2Gは、エッチ222によるハードマスク層除去を示す。図2Hは、第2のフォトレジスト224適用を示す。図2Iは、第3のマスク、第2のフォトレジスト224をパターンニングする第2のLELEパターンの使用を示す。図2Jは、第2のLELEパターンに基づいて、ゲート長パターン228を作成するための、ハードマスク層216のエッチ226を示す。図2Kは、別のフォトレジスト230堆積を示す。図2Lは切断マスクのパターンニングを示す。図2Mは、本開示の一態様による、基板200内にゲート長パターン212および228を作成するための、基板200内へのエッチング232を示す。

【 0 0 2 5 】

図3Aは、本開示の1つまたは複数の態様による半導体デバイスの側面図を示す。エリア300は、改善された限界次元均一性を有し、デバイス間のピッチ変動がより少ない、より小さなピッチ(CPP)304におけるSADPパターンゲート長302を示す。エリア306は、より小さなCPPであり得るか、またはエリア300におけるのと同じCPP310であり得る第2のピッチ(CPP)310におけるLELEパターンゲート長308を示す。エリア312は、図1A~図1Jに関して説明したLELEプロセスを使用して作られることが可能な、より大きなピッチ(CPP)316におけるより大きなゲート長314を示す。

【 0 0 2 6 】

図3Bは、本開示の1つまたは複数の態様による半導体デバイスの側面図を示す。複数のデバイスは、最初に、より小さなピッチ(CPP)304においてSADPパターンゲート長302で形成される。図3Cで、基板100上の同じ領域またはエリア内でLELEセルスワップが実行される。本開示のこの態様では、SADPパターンゲート長302よりも大きいLELEパターンゲート長308を有するLELEパターンデバイスの対を作製するために、LELEセルスワッププロセスが実行される。LELEパターンゲート長デバイスに関するピッチは、ピッチ304と同じであり得る。

【 0 0 2 7 】

図4は、本開示の一態様によるデバイスを作製するための方法400を示すプロセスフロー図である。ブロック402で、第1のリソグラフィプロセスを用いて、第1のゲート長と第1のコンタクトポリシリコンピッチ(CPP)とを有する、少なくとも1つの第1のゲートをパターンニングする。第1のCPPは単一パターンリソグラフィ限界よりも小さい。たとえば、図1A~図1Jに示すようにSADPを使用して第1のゲートをパターンニングする。ブロック404で、第2のリソグラフィプロセスを用いて、第2のゲート長または第2のCPPを有する第2のゲートがパターンニングされる。第2のCPPは単一パターンリソグラフィ限界よりも小さく、第2のゲート長は第1のゲート長とは異なる。たとえば、第2のゲートは、図2A~図2MのLELEプロセスを使用してパターンニングされる。

【 0 0 2 8 】

本開示のさらなる態様によれば、半導体装置について説明される。一構成では、本装置は、第1のゲート長と第1のコンタクトポリシリコンピッチ(CPP)とを有する、電流を選択的に伝導するため第1の手段を含む。第1の手段は、図3のエリア300で説明したSADPプロセスを使用して作られたトランジスタであり得る。本装置はまた、第2の

10

20

30

40

50

ゲート長または第2のCPPを有する、少なくとも1つの第2のゲート長デバイスを有する電流を選択的に伝導するための第2の手段を含む。第2の手段は、図3のエリア306またはエリア312で説明したLELEプロセスを使用して作られたトランジスタであり得る。別の態様では、前述の手段は、前述の手段によって具陳された機能を実行するように構成された任意のモジュールまたは任意の装置であり得る。

【0029】

図5は、本開示の一態様が有利に採用され得る例示的なワイヤレス通信システム500を示すブロック図である。説明のために、図5は、3つの遠隔ユニット520、530、および550と、2つの基地局540とを示す。ワイヤレス通信システムは、より多くの遠隔ユニットおよび基地局を有し得ることを理解されよう。遠隔ユニット520、530および550は、ICデバイス525A、525Cおよび525Bを含み、これらは開示するデバイスを含む。基地局、スイッチングデバイス、ネットワーク機器などの他のデバイスも、開示するデバイスを含み得ることを認識されよう。図5は、基地局540から遠隔ユニット520、530、および550への順方向リンク信号580、ならびに遠隔ユニット520、530、および550から基地局540への逆方向リンク信号590を示す。

【0030】

図5では、遠隔ユニット520はモバイル電話として示され、遠隔ユニット530はポータブルコンピュータとして示され、遠隔ユニット550は、ワイヤレスローカルループシステムにおける固定位置遠隔ユニットとして示されている。たとえば、遠隔ユニットは、モバイル電話、ハンドヘルドパーソナル通信システム（PCS）ユニット、携帯情報端末などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、検針機器などの固定位置データユニット、またはデータもしくはコンピュータ命令を記憶する、もしくは取り出す他のデバイス、あるいはそれらの組合せとすることができる。図5は本開示の態様による遠隔ユニットを示すが、本開示は、これらの示された例示的なユニットに限定されない。本開示の態様は、開示したデバイスを含む多くのデバイスにおいて、適切に採用され得る。

【0031】

図6は、上記で開示したデバイスなどの半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される設計用ワークステーションを示すブロック図である。設計用ワークステーション600は、オペレーティングシステムソフトウェア、サポートファイル、およびCadenceやOrCADなどの設計ソフトウェアを収容するハードディスク601を含む。設計用ワークステーション600はまた、本開示の一態様によるデバイスなど、回路610または半導体構成要素612の設計を容易にするために、ディスプレイ602を含む。記憶媒体604は、回路610または半導体構成要素612の設計を有形に記憶するために提供される。回路610または半導体構成要素612の設計は、GDSIIまたはGERBERなどのファイルフォーマットにおいて記憶媒体604に記憶され得る。記憶媒体604は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスであり得る。さらに、設計用ワークステーション600は、記憶媒体604からの入力を受け入れるか、または記憶媒体604への出力を書き込むための駆動装置603を含む。

【0032】

記憶媒体604上に記録されるデータは、論理回路構成、フォトリソグラフィマスク用のパターンデータ、または電子ビームリソグラフィなどの連続描画ツール用のマスクパターンデータを指定することができる。データはさらに、論理シミュレーションに関連するタイミングダイアグラムまたはネット回路などの論理検証データをさらに含み得る。記憶媒体604にデータを提供すると、半導体ウエハを設計するためのプロセス数を削減させることによって、回路610または半導体構成要素612の設計が容易になる。

【0033】

10

20

30

40

50

ファームウェアおよび/またはソフトウェアによる実装の場合、本明細書において説明した機能を実行するモジュール（たとえば手続き、関数など）を用いて、方法を実装することができる。本明細書において説明した方法を実装する際に、命令を有形に具現化する機械可読媒体を使用することができる。たとえば、ソフトウェアコードをメモリに記憶させ、プロセッサユニットによって実行することができる。メモリは、プロセッサユニット内またはプロセッサユニットの外部に実装されていてもよい。本明細書では、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定すべきではない。

【0034】

機能は、ファームウェアおよび/またはソフトウェアとして実装する場合、1つもしくは複数の命令またはコードとしてコンピュータ可読媒体上に記憶させることができる。例として、データ構造を符号化したコンピュータ可読媒体、およびコンピュータプログラムを符号化したコンピュータ可読媒体がある。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータがアクセスすることのできる利用可能な媒体とすることができる。限定ではなく、例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、所望のプログラムコードを命令もしくはデータ構造の形で記憶するのに使用することができ、かつコンピュータによってアクセスされ得る他の媒体を含むことができ、本明細書で使用されるディスク(diskおよびdisc)は、コンパクトディスク(disc)(CD)、レーザディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)、およびBlu-ray(登録商標)ディスク(disc)を含み、ディスク(disk)は通常、データを磁氣的に再生するが、ディスク(disc)はデータをレーザによって光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

【0035】

コンピュータ可読媒体におけるストレージに加えて、命令および/またはデータは、通信装置内に含まれる伝送媒体における信号として提供することができる。たとえば、通信装置は、命令およびデータを示す信号を有するトランシーバを含むことができる。命令およびデータは、1つまたは複数のプロセッサに、特許請求の範囲において概説される機能を実装させるように構成される。

【0036】

以上、本開示およびその利点について詳細に説明してきたが、添付の特許請求の範囲によって定められる本開示の技術から逸脱することなく、本明細書において様々な変更、置換、および改変を行えることを理解されたい。たとえば、「上」および「下」などの関係性の用語が、基板または電子デバイスに関して使用される。当然、基板または電子デバイスが反転した場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指す場合がある。さらに、本出願の範囲は、本明細書で説明したプロセス、機械、製造、組成物、手段、方法、およびステップの特定の構成に限定されることは意図されない。当業者が本開示から容易に諒解するように、本明細書で説明した対応する構成と実質的に同じ機能を実行するか、もしくは実質的に同じ結果を実現する、現存するもしくは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをそれらの範囲内に含むものとする。

【0037】

本明細書で本開示に関連して説明された様々な例示的論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得ることを当業者ならさらに理解されよう。ハードウェア

10

20

30

40

50

とソフトウェアのこの互換性を明確に示すために、様々な例示的構成要素、ブロック、モジュール、回路、およびステップが、上記ではその機能に関して一般的に説明された。そのような機能がハードウェアとして実装されるか、それともソフトウェアとして実装されるかは、特定の応用分野およびシステム全体に対して課される設計制限に依存する。当業者は、説明された機能を各々の特定の応用分野について様々な方式で実装し得るが、そのような実装判断は、本開示の範囲からの逸脱を引き起こすと解釈されるべきではない。

【0038】

本明細書の開示に関連して説明した様々な例示的論理ブロック、モジュール、および回路は、本明細書で説明した機能を実施するように設計された汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、ディスクリートゲートもしくはトランジスタロジック、ディスクリートハードウェア構成要素、またはそれらの任意の組合せとともに実装あるいは実施され得る。汎用プロセッサはマイクロプロセッサでよいが、別の方法として、プロセッサは、任意の従来型プロセッサ、コントローラ、マイクロコントローラまたはステートマシンでよい。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装され得る。

【0039】

本開示に関連して説明した方法またはアルゴリズムのステップは、ハードウェアで直接的に、プロセッサによって実行されるソフトウェアモジュールで、またはその2つの組合せで実施され得る。ソフトウェアモジュールは、RAM、フラッシュメモリ、ROM、EPROM、EEPROM、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体に常駐することができる。例示的記憶媒体がプロセッサに結合され、プロセッサが記憶媒体から情報を読み取ること、および記憶媒体に情報を書き込むことができるようにする。代替案では、記憶媒体は、プロセッサに一体とされ得る。プロセッサおよび記憶媒体は、ASIC内に存在し得る。ASICは、ユーザ端末内に存在し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末内にディスクリート構成要素として存在し得る。

【0040】

1つまたは複数の例示的設計では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装される場合、機能は、コンピュータ可読記憶媒体上に1つもしくは複数の命令またはコードとして格納あるいは送信され得る。コンピュータ可読媒体は、コンピュータ記憶媒体と、コンピュータプログラムの1つの場所から別の場所への転送を容易にする任意の媒体を含む通信媒体との両方を含む。記憶媒体は、汎用または特殊用途コンピュータによってアクセスされ得る任意の使用可能な媒体であってもよい。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EPROM、CD-ROM、もしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、あるいは命令またはデータ構造の形態の規定のプログラムコード手段を搬送もしくは格納するために使用され得、汎用もしくは専用コンピュータ、または汎用もしくは専用プロセッサによってアクセスされ得る任意の他の媒体を含み得る。また、任意の接続が適切にコンピュータ可読媒体と呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線(「DSL」)、もしくは赤外線、無線、およびマイクロ波などのワイヤレス技術を使用してウェブサイト、サーバ、または他の遠隔ソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用する場合、ディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)お

10

20

30

40

50

よびBlu-ray（登録商標）ディスク（disc）を含み、ディスク（disk）は、通常、データを磁氣的に再生し、ディスク（disc）は、データをレーザで光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

【0041】

本開示の前述の説明は、いかなる当業者も本開示を作製または使用できるようにするために提供される。本開示に対する様々な修正形態が当業者には容易に明らかとなり、本明細書で定義する一般原理は、本開示の趣旨または範囲から逸脱することなく、他の変形形態に適用され得る。したがって、本開示は、本明細書で説明する例および設計に限定されるものではなく、本明細書で開示する原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

10

【符号の説明】

【0042】

- 100 基板
- 102 層
- 104 マスク
- 106 マスキングエリア
- 108 層
- 110 エリア
- 112 エリア
- 114 メサ
- 116 層
- 118 エッジ
- 120 エッジ
- 122 エリア
- 124 エリア
- 128 メサ
- 130 メサ
- 200 基板
- 202 ハードマスク層
- 204 ハードマスク層
- 206 マンドレル
- 208 スペーサ層
- 210 エッチング
- 212 ゲート長パターン
- 214 フォトレジスト（PR）層
- 216 ハードマスク層
- 218 ハードマスク層
- 220 露出すなわちパターンニング
- 222 エッチ
- 224 第2のフォトレジスト
- 226 エッチ
- 228 ゲート長パターン
- 230 フォトレジスト
- 232 エッチング
- 300 エリア
- 302 SADPパターンゲート長
- 304 ピッチ（CPP）
- 306 エリア
- 308 LELパターンゲート長

20

30

40

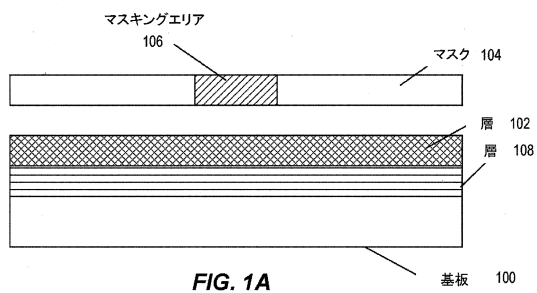
50

3 1 0 第 2 のピッチ (C P P)
 3 1 2 エリア
 3 1 4 ゲート長
 3 1 6 ピッチ (C P P)
 4 0 0 方法
 5 0 0 ワイヤレス通信システム
 5 2 0 遠隔ユニット
 5 2 5 A I C デバイス
 5 2 5 B I C デバイス
 5 2 5 C I C デバイス
 5 3 0 遠隔ユニット
 5 4 0 基地局
 5 5 0 遠隔ユニット
 5 8 0 順方向リンク信号
 5 9 0 逆方向リンク信号
 6 0 0 設計用ワークステーション
 6 0 1 ハードディスク
 6 0 2 ディスプレイ
 6 0 3 駆動装置
 6 0 4 記憶媒体
 6 1 0 回路
 6 1 2 半導体構成要素

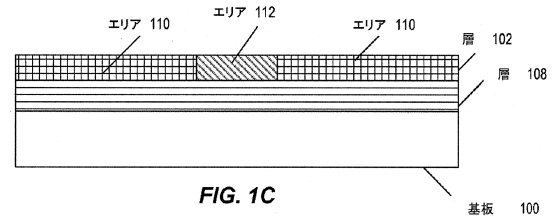
10

20

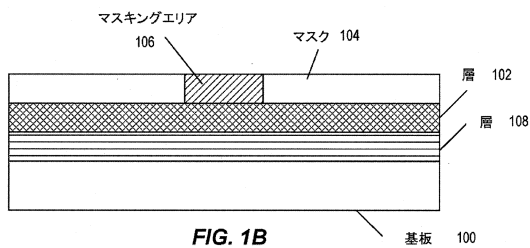
【図 1 A】



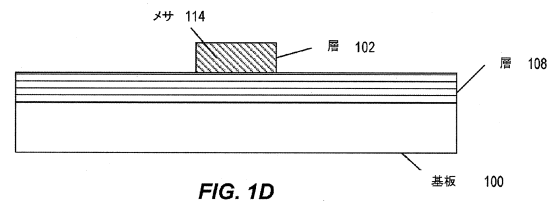
【図 1 C】



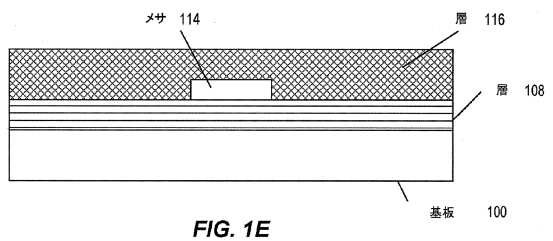
【図 1 B】



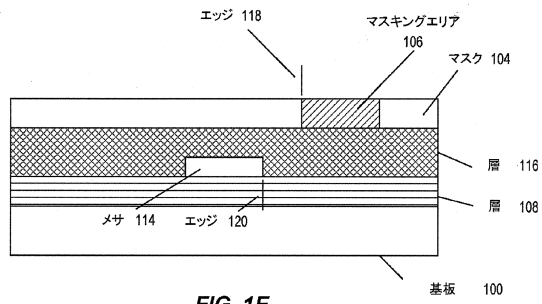
【図 1 D】



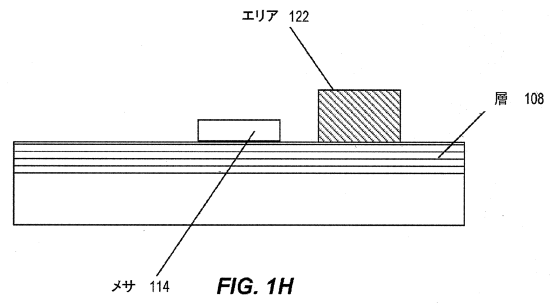
【図 1 E】



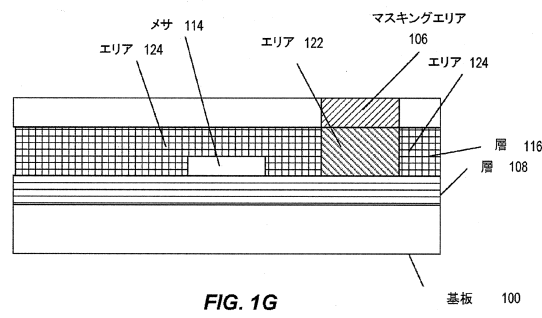
【図 1 F】



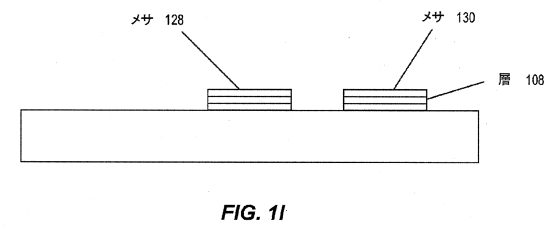
【図 1 H】



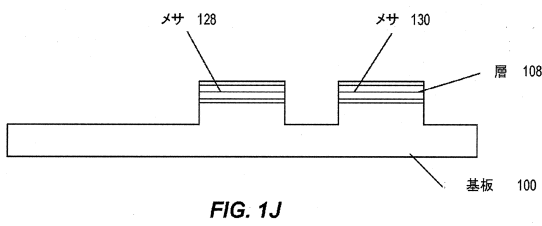
【図 1 G】



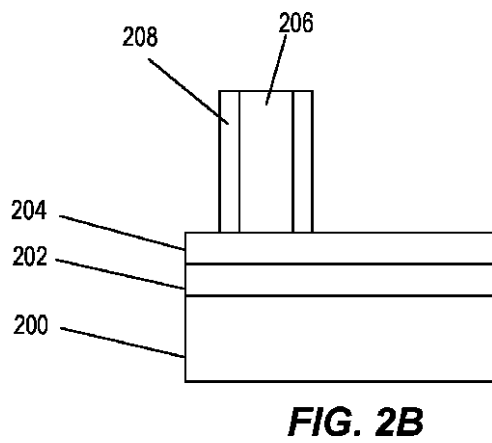
【図 1 I】



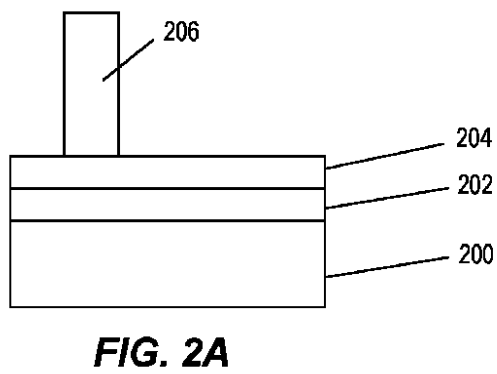
【図 1 J】



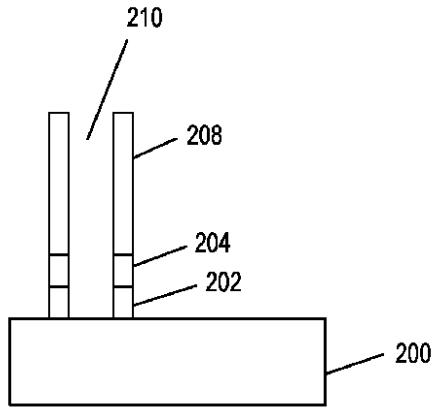
【図 2 B】



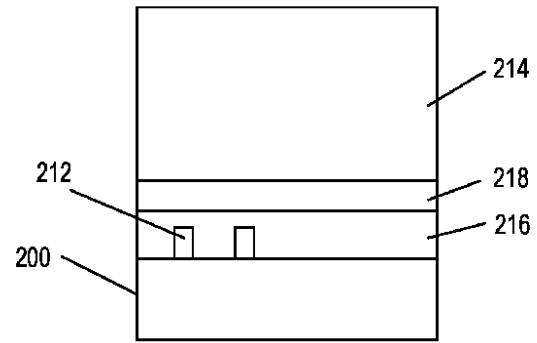
【図 2 A】



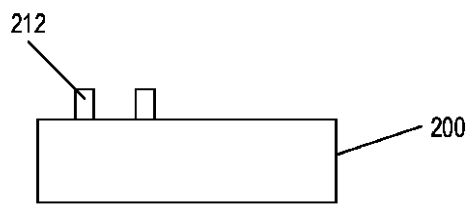
【図 2 C】

**FIG. 2C**

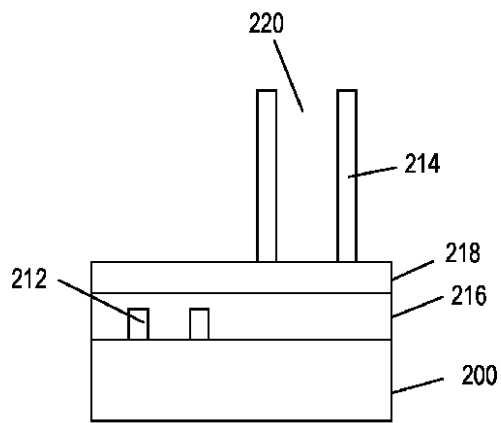
【図 2 E】

**FIG. 2E**

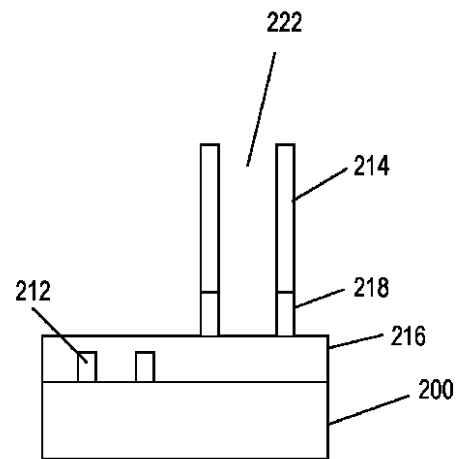
【図 2 D】

**FIG. 2D**

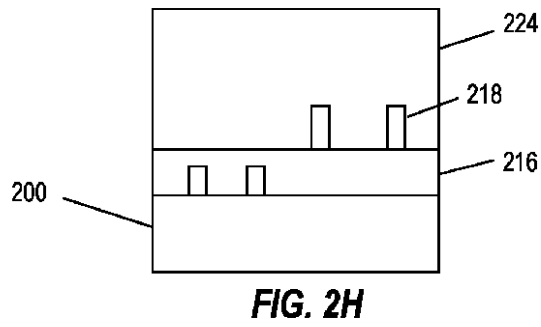
【図 2 F】

**FIG. 2F**

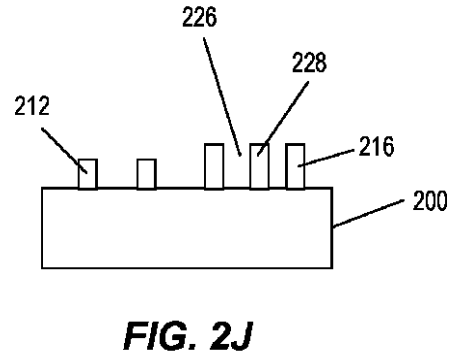
【図 2 G】

**FIG. 2G**

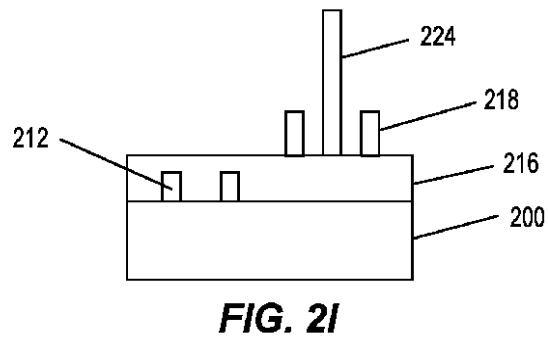
【図 2 H】



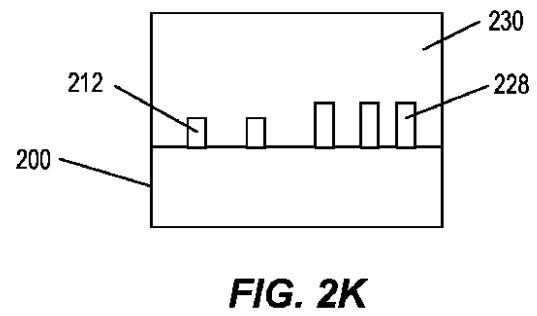
【図 2 J】



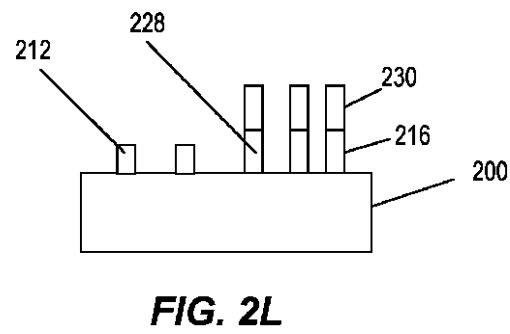
【図 2 I】



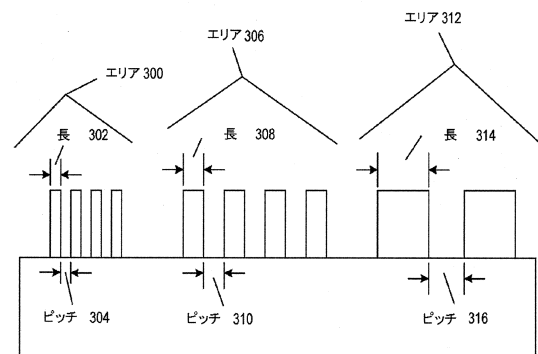
【図 2 K】



【図 2 L】



【図 3 A】



【図 2 M】

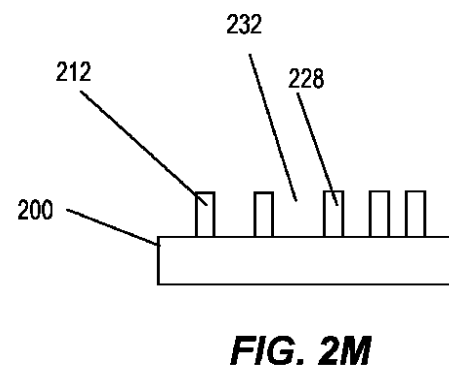
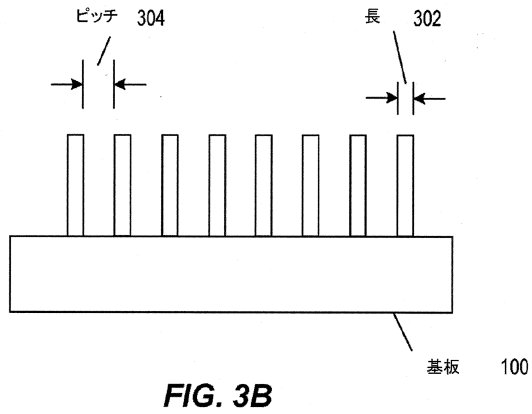
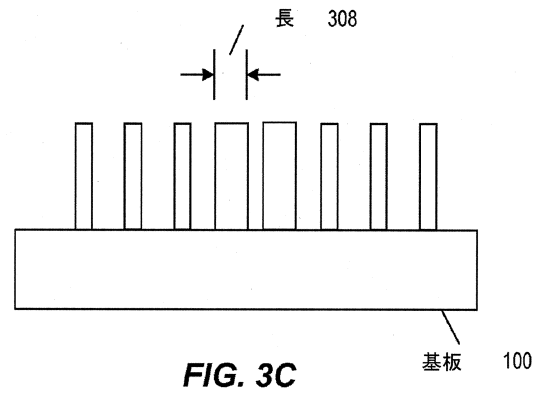


FIG. 3A

【図 3 B】



【図 3 C】



【図 4】

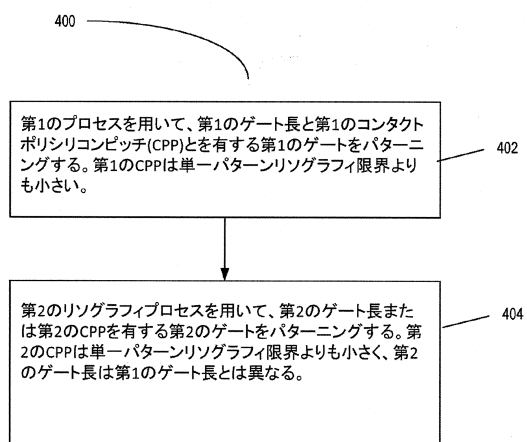


FIG. 4

【図 5】

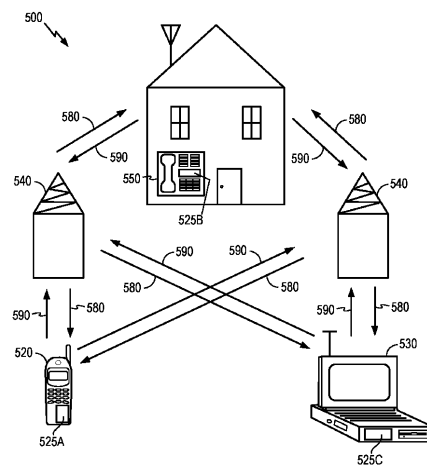


FIG. 5

【 図 6 】

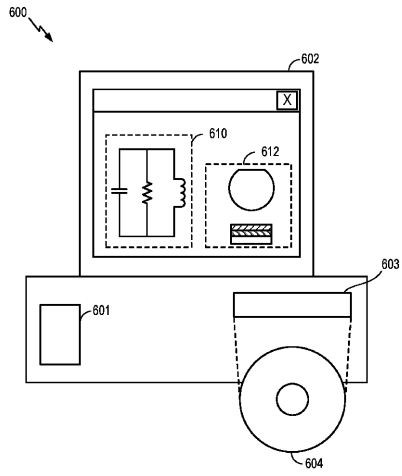


FIG. 6

フロントページの続き

(51)Int.Cl. F I
G 0 3 F 7/20 (2006.01) G 0 3 F 7/20 5 2 1

(72)発明者 ジョンゼ・ワン
 アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ
 ヴ・５７７５

(72)発明者 チョ・フェイ・イエブ
 アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ
 ヴ・５７７５

審査官 市川 武宜

(56)参考文献 米国特許出願公開第２０１１／０１５６７５５（ＵＳ，Ａ１）
 米国特許出願公開第２０１２／０１８００１６（ＵＳ，Ａ１）
 国際公開第２０１２／０９７１０１（ＷＯ，Ａ１）
 特開２０１３－１４９９８３（ＪＰ，Ａ）
 米国特許出願公開第２００５／０１５３５６２（ＵＳ，Ａ１）
 米国特許出願公開第２０１３／００８９９８４（ＵＳ，Ａ１）
 特開２０１２－１６９４２６（ＪＰ，Ａ）
 米国特許出願公開第２０１２／０１６４８３７（ＵＳ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)

H 0 1 L 2 1 / 8 2 3 4
 G 0 3 F 7 / 2 0
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 9 / 7 8