

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6384151号
(P6384151)

(45) 発行日 平成30年9月5日(2018.9.5)

(24) 登録日 平成30年8月17日(2018.8.17)

(51) Int.Cl.

F I

G 0 6 F 12/0895 (2016.01)

G 0 6 F 12/0895 1 1 4

請求項の数 8 (全 20 頁)

(21) 出願番号 特願2014-136609 (P2014-136609)
 (22) 出願日 平成26年7月2日(2014.7.2)
 (65) 公開番号 特開2016-15012 (P2016-15012A)
 (43) 公開日 平成28年1月28日(2016.1.28)
 審査請求日 平成29年6月2日(2017.6.2)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100080816
 弁理士 加藤 朝道
 (72) 発明者 長谷部 賀洋
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 審査官 塚田 肇

最終頁に続く

(54) 【発明の名称】 記憶装置、制御装置、記憶装置の制御方法、及びプログラム

(57) 【特許請求の範囲】

【請求項1】

不揮発メモリの記憶装置であって、
 複数のエントリと、
 複数のキャッシュタグと、
 を備え、

前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポイントと、データのアドレスに対応する識別子を格納する領域とを含み、当該キャッシュタグを示すポイントを用いて、キャッシュタグのリンクを構成し、

前記複数のキャッシュタグにおける各キャッシュタグは、前方参照する第1のポイントと、後方参照する第2のポイントと、キャッシュデータ格納領域とを含み、前記第1のポイントと、前記第2のポイントと、前記キャッシュデータ格納領域とを、連続したアドレスに配置する、記憶装置。

【請求項2】

第1の記憶装置と、
 データの読み書きのリクエストを受け付けるコマンド制御部と、
 前記コマンド制御部が前記リクエストを受け付けた場合、前記第1の記憶装置にアクセスするプロセッサと、を備え、
 前記第1の記憶装置は、不揮発メモリであって、
 複数のエントリと、

10

20

複数のキャッシュタグと、
を備え、

前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポイントと、データのアドレスに対応する識別子を格納する領域とを含み、キャッシュタグのリンクを構成し、

前記複数のキャッシュタグにおける各キャッシュタグは、前方参照する第1のポイントと、後方参照する第2のポイントと、キャッシュデータ格納領域とを含み、前記第1のポイントと、前記第2のポイントと、前記キャッシュデータ格納領域とを、連続したアドレスに配置する、制御装置。

【請求項3】

10

前記プロセッサは、前記コマンド制御部が読み出しのリクエストを受け付けた場合、当該リクエストに対応する前記識別子に応じたデータが、前記第1の記憶装置に格納されているか否か、前記第1の記憶装置を検索し、当該データが前記第1の記憶装置に存在した場合、当該データを前記第1の記憶装置から読み出す、請求項2に記載の制御装置。

【請求項4】

前記制御装置の外部に配置された、第2の記憶装置にアクセスする、ディスク制御部をさらに備え、前記プロセッサは、前記コマンド制御部が読み出しのリクエストを受け付けた際に、当該リクエストに対応する前記識別子に応じたデータが、前記第1の記憶装置に格納されていない場合、前記第2の記憶装置から当該データを読み出し、前記識別子に対応する前記キャッシュデータ格納領域に書き込む、請求項3に記載の制御装置。

20

【請求項5】

前記プロセッサは、前記コマンド制御部が書き込みのリクエストを受け付けた場合、当該リクエストに対応する前記識別子が、前記第1の記憶装置に格納されている場合、前記識別子に対応する前記キャッシュデータ格納領域に、データを書き込み、当該リクエストに対応する前記識別子が、前記第1の記憶装置に格納されていない場合、キャッシュタグを前記第1の記憶装置に追加し、当該追加されたキャッシュタグにデータを書き込む、請求項2乃至4のいずれかーに記載の制御装置。

【請求項6】

揮発メモリである第3の記憶装置をさらに備え、

前記第3の記憶装置は、空きキャッシュタグのリンクにおける、最後のキャッシュタグを示すポイントを含み、

30

前記プロセッサは、前記最後のキャッシュタグを示すポイントに基づいて、前記最後のキャッシュタグを特定する、請求項2乃至5のいずれかーに記載の制御装置。

【請求項7】

不揮発メモリであって、複数のエントリと、複数のキャッシュタグと、を備え、前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポイントと、データのアドレスに対応する識別子を格納する領域とを含む記憶装置の制御方法であって、

前記複数のエントリにおける各エントリに対して、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポイントを用いて、キャッシュタグのリンクを構成する工程と、

40

前記複数のキャッシュタグにおける各キャッシュタグにおいて、前方参照する第1のポイントと、後方参照する第2のポイントと、キャッシュデータ格納領域とを、連続したアドレスに配置する工程と、

を含む記憶装置の制御方法。

【請求項8】

不揮発メモリであって、複数のエントリと、複数のキャッシュタグと、を備え、前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポイントと、データのアドレスに対応する識別子を格納する領域とを含む記憶装置を制御するコンピュータに実行させるプログラムであって、

50

前記複数のエントリにおける各エントリに対して、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポインタを用いて、キャッシュタグのリンクを構成する処理と、

前記複数のキャッシュタグにおける各キャッシュタグにおいて、前方参照する第1のポインタと、後方参照する第2のポインタと、キャッシュデータ格納領域とを、連続したアドレスに配置する処理と、

を実行するプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、記憶装置、制御装置、記憶装置の制御方法、及びプログラムに関する。

【背景技術】

【0002】

ストレージシステム等におけるデータの読み書きにおいて、過去に読み出し（リード）されたデータ等を、所謂キャッシュメモリに記憶しておき、データのアクセス性能を向上させる技術が利用されている。その場合、キャッシュメモリとしては、DRAM（Dynamic Random Access Memory）等、揮発メモリが用いられることが多い。しかし、キャッシュメモリとして、揮発メモリを用いると、不意の電源断時に、揮発メモリに書き込まれたデータが消失してしまう。

【0003】

20

ここで、特許文献1においては、不揮発メモリをキャッシュメモリとして用いる技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-506256号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

なお、上記先行技術文献の開示を、本書に引用をもって繰り込むものとする。以下の分析は、本発明の観点からなされたものである。

30

【0006】

キャッシュメモリにおいては、データが格納されている領域のアドレスを記憶し、当該アドレスに基づいて、データにアクセスする場合が多い。そのようなキャッシュメモリにおいては、データを書き換える時、データが格納されている領域のアドレスも書き換える必要がある。しかし、不揮発メモリにおいて、データの書き込み回数が多いほど、不揮発メモリの寿命が低下する。

【0007】

ここで、特許文献1に開示された技術においては、書き込み回数を低減する技術に関しては開示されていない。

40

【0008】

そこで、本発明は、不揮発メモリにおいて書き込み回数を低減することに貢献する記憶装置、制御装置、記憶装置の制御方法、及びプログラムを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の第1の視点によれば、不揮発メモリの記憶装置であって、複数のエントリと、複数のキャッシュタグと、を備え、前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポインタと、データのアドレスに対応する識別子を格納する領域とを含み、当該キャッシュタグを示すポインタを用いて、キャッシュタグのリンクを構成し、前記複数のキャッシュタグにおける各キャッシュタグは

50

、前方参照する第1のポインタと、後方参照する第2のポインタと、キャッシュデータ格納領域とを含み、前記第1のポインタと、前記第2のポインタと、前記キャッシュデータ格納領域とを、連続したアドレスに配置する、記憶装置が提供される。

【0010】

本発明の第2の視点によれば、第1の記憶装置と、データの読み書きのリクエストを受け付けるコマンド制御部と、前記コマンド制御部が前記リクエストを受け付けた場合、前記第1の記憶装置にアクセスするプロセッサと、を備え、前記第1の記憶装置は、不揮発メモリであって、複数のエントリと、複数のキャッシュタグと、を備え、前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポインタと、データのアドレスに対応する識別子を格納する領域とを含み、キャッシュタグのリンクを構成し、前記複数のキャッシュタグにおける各キャッシュタグは、前方参照する第1のポインタと、後方参照する第2のポインタと、キャッシュデータ格納領域とを含み、前記第1のポインタと、前記第2のポインタと、前記キャッシュデータ格納領域とを、連続したアドレスに配置する、制御装置が提供される。

10

【0011】

本発明の第3の視点によれば、不揮発メモリであって、複数のエントリと、複数のキャッシュタグと、を備え、前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポインタと、データのアドレスに対応する識別子を格納する領域とを含む記憶装置の制御方法であって、前記複数のエントリにおける各エントリに対して、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポインタを用いて、キャッシュタグのリンクを構成する工程と、前記複数のキャッシュタグにおける各キャッシュタグにおいて、前方参照する第1のポインタと、後方参照する第2のポインタと、キャッシュデータ格納領域とを、連続したアドレスに配置する工程と、を含む記憶装置の制御方法が提供される。

20

なお、本方法は、不揮発メモリという、特定の装置に結び付けられている。

【0012】

本発明の第4の視点によれば、不揮発メモリであって、複数のエントリと、複数のキャッシュタグと、を備え、前記複数のエントリにおける各エントリは、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポインタと、データのアドレスに対応する識別子を格納する領域とを含む記憶装置を制御するコンピュータに実行させるプログラムであって、前記複数のエントリにおける各エントリに対して、前記複数のキャッシュタグのうち、一のキャッシュタグを示すポインタを用いて、キャッシュタグのリンクを構成する処理と、前記複数のキャッシュタグにおける各キャッシュタグにおいて、前方参照する第1のポインタと、後方参照する第2のポインタと、キャッシュデータ格納領域とを、連続したアドレスに配置する処理と、を実行するプログラムが提供される。

30

なお、本プログラムは、コンピュータが読み取り可能な記憶媒体に記録することができる。記憶媒体は、半導体メモリ、ハードディスク、磁気記録媒体、光記録媒体等の非トランジェント(non-transient)なものとすることができる。本発明は、コンピュータプログラム製品として具現することも可能である。

【発明の効果】

40

【0013】

本発明の各視点によれば、不揮発メモリにおいて書き込み回数を低減することに貢献する記憶装置、制御装置、記憶装置の制御方法、及びプログラムが提供される。

【図面の簡単な説明】

【0014】

【図1】一実施形態の概要を説明するための図である。

【図2】制御装置の内部構成の一例を示すブロック図である。

【図3】本実施形態に係るキャッシュタグの一例を示す図である。

【図4】本実施形態に係るキャッシュ記憶部の一例を示す図である。

【図5】比較例のキャッシュ記憶部の一例を示す図である。

50

【図 6】本実施形態に係るキャッシュ記憶部の一例を示す図である。

【図 7】比較例のキャッシュ記憶部の一例を示す図である。

【図 8】本実施形態に係る制御装置の動作の一例を示すフローチャートである。

【図 9】本実施形態に係る制御装置の動作の一例を示すフローチャートである。

【図 10】本実施形態に係るキャッシュタグのリンクの一例を示す図である。

【図 11】比較例のキャッシュタグのリンクの一例を示す図である。

【発明を実施するための形態】

【0015】

初めに、図 1 を用いて一実施形態の概要について説明する。なお、この概要に付記した図面参照符号は、理解を助けるための一例として各要素に便宜上付記したものであり、この概要の記載はなんらの限定を意図するものではない。

10

【0016】

上述の通り、不揮発メモリにおいて書き込み回数を低減することが望まれる。

【0017】

そこで、一例として、図 1 に示す記憶装置 1000 を提供する。記憶装置 1000 は、不揮発メモリである。そして、記憶装置 1000 は、複数のエントリ 1001 - 1 ~ 1001 - M (M は 1 以上の自然数) と、複数のキャッシュタグ 1002 - 1 ~ 1002 - K (K は M 以上の自然数) と、を備える。

【0018】

複数のエントリ 1001 - 1 ~ 1001 - M における各エントリは、複数のキャッシュタグ 1002 - 1 ~ 1002 - K のうち、一のキャッシュタグを示すポインタを含み、当該キャッシュタグを示すポインタを用いて、キャッシュタグのリンクを構成する。

20

【0019】

また、複数のキャッシュタグ 1002 - 1 ~ 1002 - K における各キャッシュタグは、前方参照する第 1 のポインタ 1003 - 1 ~ 1003 - K と、後方参照する第 2 のポインタ 1004 - 1 ~ 1004 - K と、キャッシュデータ格納領域 1005 - 1 ~ 1005 - K とを含む。なお、以下の説明では、第 1 のポインタ 1003 - 1 ~ 1003 - K を、第 1 のポインタ 1003 と呼ぶ。また、以下の説明では、第 2 のポインタ 1004 - 1 ~ 1004 - K を、第 2 のポインタ 1004 と呼ぶ。また、以下の説明では、キャッシュデータ格納領域 1005 - 1 ~ 1005 - K を、キャッシュデータ格納領域 1005 と呼ぶ。

30

【0020】

そして、複数のキャッシュタグ 1002 - 1 ~ 1002 - K における各キャッシュタグは、第 1 のポインタ 1003 と、第 2 のポインタ 1004 と、キャッシュデータ格納領域 1005 とを、連続したアドレスに配置する。

【0021】

記憶装置 1000 は、キャッシュデータ格納領域 1005 を備えることで、記憶装置 1000 の外部に、データを格納する場合より、書き込み回数を低減できる。また、記憶装置 1000 は、第 1 のポインタ 1003 と、第 2 のポインタ 1004 と、キャッシュデータ格納領域 1005 とを、連続したアドレスに配置することで、データへのアクセス効率を向上する。従って、記憶装置 1000 は、不揮発メモリにおいて書き込み回数を低減することに貢献する。

40

【0022】

[第 1 の実施形態]

第 1 の実施形態について、図面を用いてより詳細に説明する。

【0023】

図 2 は、制御装置 100 の内部構成の一例を示すブロック図である。制御装置 100 は、コマンド処理部 101 と、プロセッサ 102 と、ディスク制御部 103 と、第 1 の記憶装置 (図 2 に示すキャッシュ記憶部 104) とを含んで構成される。図 2 は、本実施形態に係る制御装置 100 に関するモジュールを主に記載する。

50

【 0 0 2 4 】

図 2 に示すモジュールは、制御装置 1 0 0 に搭載されたコンピュータに、そのハードウェアを用いて、制御装置 1 0 0 に動作を実行させるコンピュータプログラムにより実現しても良い。

【 0 0 2 5 】

コマンド処理部 1 0 1 は、データの読み書きのリクエストを受け付ける。具体的には、コマンド処理部 1 0 1 は、ホストからのリード（読み出し）、又はライト（書き込み）のリクエストに対して、当該リクエストの内容を受信する。そして、コマンド処理部 1 0 1 は、受信したリクエストの内容を、プロセッサ 1 0 2 に送信する。以下、コマンド処理部 1 0 1 が受信したリクエストの内容を、受信コマンドと呼ぶ。

10

【 0 0 2 6 】

プロセッサ 1 0 2 は、プログラム制御により動作する。具体的には、プロセッサ 1 0 2 は、コマンド処理部 1 0 1 がリクエストを受け付けた場合、キャッシュ記憶部 1 0 4 にアクセスする。なお、以下の説明では、リード（読み出し）のリクエストを、リードリクエストと呼ぶ。また、以下の説明では、ライト（書き込み）のリクエストを、ライトリクエストと呼ぶ。プロセッサ 1 0 2 が読み出すデータを、リードデータと呼ぶ。また、以下の説明では、プロセッサ 1 0 2 が書き込むデータを、ライトデータと呼ぶ。

【 0 0 2 7 】

ディスク制御部 1 0 3 は、制御装置 1 0 0 の外部に配置された、第 2 の記憶装置（図 2 に示すストレージ装置 1 0 ）にアクセスする。具体的には、ディスク制御部 1 0 3 は、プロセッサ 1 0 2 からの要求に応じて、ディスクインターフェイス 1 0 5 を通じて、ストレージ装置 1 0 にアクセスする。ストレージ装置 1 0 は、例えば、HDD（Hard Disk Drive）等の記録装置である。

20

【 0 0 2 8 】

以下、プロセッサ 1 0 2 について、より詳細に説明する。

【 0 0 2 9 】

プロセッサ 1 0 2 は、コマンド処理部 1 0 1 がリードリクエストを受け付けた場合、当該リクエストに対応する識別子に応じたデータが、キャッシュ記憶部 1 0 4 に格納されているか否か、キャッシュ記憶部 1 0 4 を検索する。そして、プロセッサ 1 0 2、当該データがキャッシュ記憶部 1 0 4 に存在した場合、当該データをキャッシュ記憶部 1 0 4 から読み出す。リクエストに対応する識別子とは、受信コマンドで示されるアドレス、及び／又はファイル等を識別するための情報である。

30

【 0 0 3 0 】

ここで、受信コマンドがリードリクエストである場合について、詳細に説明する。

【 0 0 3 1 】

受信コマンドがリードリクエストであり、当該受信コマンドで示されるアドレス、及び／又はファイル等に対応する識別子が、キャッシュ記憶部 1 0 4 に存在する、とプロセッサ 1 0 2 が判断したとする。その場合、プロセッサ 1 0 2 は、キャッシュ記憶部 1 0 4 から、当該識別子に対応するデータを、リードデータとして読み出す。そして、プロセッサ 1 0 2 は、リードデータを、ホストインターフェイス 1 0 6 を通じて、ホストにリードデータを転送する。

40

【 0 0 3 2 】

一方、プロセッサ 1 0 2 は、コマンド処理部 1 0 1 がリードリクエストを受け付けた際に、当該リクエストに対応する識別子に応じたデータが、キャッシュ記憶部 1 0 4 に格納されていないと判断したとする。その場合、プロセッサ 1 0 2 は、ストレージ装置 1 0 から当該データを読み出し、当該識別子に対応するキャッシュデータ格納領域に書き込む。

【 0 0 3 3 】

具体的には、プロセッサ 1 0 2 は、ディスク制御部 1 0 3 に対して、ストレージ装置 1 0 にアクセスするように指示する。そして、ディスク制御部 1 0 3 は、ディスクインターフェイス 1 0 5 を通じて、ストレージ装置 1 0 から、受信コマンドに応じたデータを、リ

50

ードデータとして読み出す。そして、ディスク制御部 103 は、ストレージ装置 10 から読み出したリードデータを、キャッシュ記憶部 104 に格納する。そして、プロセッサ 102 は、ホストインターフェイス 106 を通じて、ホストにリードデータを転送する。

【0034】

次に、受信コマンドがライトリクエストである場合について、詳細に説明する。

【0035】

プロセッサ 102 は、コマンド処理部 101 がライトリクエストを受け付けた場合、当該リクエストに対応する識別子が、キャッシュ記憶部 104 に格納されている場合、当該識別子に対応するキャッシュデータ格納領域に、ライトデータを書き込む。一方、プロセッサ 102 は、当該リクエストに対応する識別子が、キャッシュ記憶部 104 に格納されていない場合、キャッシュタグをキャッシュ記憶部 104 に追加し、当該追加されたキャッシュタグにライトデータを書き込む。

10

【0036】

具体的には、受信コマンドがライトリクエストであり、当該受信コマンドで示されるアドレス、及び／又はファイル等に対応する識別子が、キャッシュ記憶部 104 に存在する、とプロセッサ 102 が判断したとする。その場合、プロセッサ 102 は、キャッシュ記憶部 104 にライトデータを上書きする。

【0037】

一方、受信コマンドがライトリクエストであり、当該受信コマンドで示されるアドレス、及び／又はファイル等に対応する識別子が、キャッシュ記憶部 104 に存在しない、とプロセッサ 102 が判断したとする。その場合、プロセッサ 102 は、キャッシュ記憶部 104 に新たな領域を確保する。そして、プロセッサ 102 は、当該新たな領域に、ライトデータを格納する。

20

【0038】

次に、キャッシュ記憶部 104 について詳細に説明する。

【0039】

キャッシュ記憶部 104 は、不揮発メモリである。例えば、キャッシュ記憶部 104 は、SSD (Solid State Drive) であっても良い。そして、キャッシュ記憶部 104 は、エントリテーブルと、1又は2以上のキャッシュタグとを含んで構成される。エントリテーブルは、1又は2以上のエントリを含んで構成される。各エントリは、キャッシュタグへのポインタを有する。ここで、キャッシュタグへのポインタは、キャッシュタグのアドレスを示す。また、各エントリは、データのアドレスに対応する識別子を格納する領域を含む。

30

【0040】

各キャッシュタグは、キャッシュタグのリンクにおいて前方参照する第1のポインタと、後方参照する第2のポインタと、キャッシュデータ格納領域とを含む。そして、各キャッシュタグは、キャッシュタグのリンクを構成する情報と、キャッシュデータ格納領域とを、連続したアドレスに配置する。

【0041】

具体的には、各キャッシュタグは、当該キャッシュタグとは異なるキャッシュタグを示すポインタ、又はエントリを示すポインタを含む。その結果、キャッシュ記憶部 104 は、各エントリを起点とする、キャッシュタグのリンクを構成する。そして、各キャッシュタグは、双方向リンクの構造を有する。キャッシュタグが双方向リンクの構造を有することで、キャッシュ記憶部 104 は、キャッシュタグの取り出し、削除等の処理を容易に実現できる。

40

【0042】

つまり、第1のポインタは、キャッシュタグのリンクにおいて、前方のキャッシュタグ、又はエントリを示すポインタである。また、第2のポインタは、キャッシュタグのリンクにおいて、後方のキャッシュタグを示すポインタである。

【0043】

50

プロセッサ 102 は、受信コマンドが示すアドレス、又はファイル等の識別子に基づいて、当該識別子を格納するエントリを決定する。その際、例えば、プロセッサ 102 は、ハッシュ関数等を用いて、エントリを決定しても良い。

【0044】

なお、キャッシュタグのリンクにおいて、最後のキャッシュタグは、第2のポインタに、所定の符号を格納することが好ましい。以下の説明では、最後のキャッシュタグを示す符号として、「NULL」を用いて説明する。ただし、これは、最後のキャッシュタグを示す符号を、「NULL」に限定する趣旨ではない。

【0045】

ここで、図3を参照しながら、本実施形態に係るキャッシュタグについて詳細に説明する。

10

【0046】

図3に示すキャッシュタグ251は、キャッシュデータ格納領域252と、第1のポインタ253と、第2のポインタ254とを含んで構成される。

【0047】

上述の通り、本実施形態に係るキャッシュタグ251は、前方参照する第1のポインタ253と、後方参照する第2のポインタ254と、キャッシュ格納領域252とを含んで構成される。そして、本実施形態に係るキャッシュ記憶部104は、第1のポインタ253と、第2のポインタ254と、キャッシュデータ格納領域252とを、連続したアドレスに配置することが好ましい。その場合、前方参照する第1のポインタと、後方参照する第2のポインタと、キャッシュデータ格納領域と、が不連続なアドレスに配置される場合に比べ、本実施形態に係るキャッシュ記憶部104は、効率的にデータのアクセスを実現できる。

20

【0048】

なお、以下の説明では、キャッシュデータ格納領域に格納される、キャッシュデータの内容に意味がない場合、キャッシュタグは、「空きキャッシュタグ」とであると表現する。また、以下の説明では、内容に意味がないキャッシュデータが格納された、キャッシュデータ格納領域は、「空」とであると表現する。

【0049】

図4は、本実施形態に係るキャッシュ記憶部104の一例を示す図である。図4に示すキャッシュ記憶部104は、エントリテーブル201と、キャッシュデータ格納領域220~223とを含んで構成される。そして、エントリテーブル201は、エントリ202-1~202-N(Nは、1以上の自然数)を含む。

30

【0050】

各エントリ202-1~202-Nは、キャッシュタグへのポインタ203-1~203-Nを有する。例えば、エントリ202-1は、キャッシュタグへのポインタ203-1を有する。そして、キャッシュタグへのポインタ203-1は、キャッシュタグ204を示すポインタである。キャッシュタグ204は、キャッシュデータ格納領域220と、第1のポインタ210と、第2のポインタ211とを含んで構成される。

【0051】

40

キャッシュデータ格納領域220は、Data__01を格納する。また、第1のポインタ210は、エントリ202-1を示す。また、第2のポインタ211は「NULL」である。そのため、エントリ202-1を起点とするキャッシュタグのリンクにおいて、キャッシュタグ204は、最後のキャッシュタグである。

【0052】

また、エントリ202-2は、キャッシュタグへのポインタ203-2を有する。そして、キャッシュタグへのポインタ203-2は、キャッシュタグ205を示すポインタである。キャッシュタグ205は、キャッシュデータ格納領域221と、第1のポインタ212と、第2のポインタ213とを含んで構成される。キャッシュデータ格納領域221は、Data__02を格納する。また、第1のポインタ212は、エントリ202-2を

50

示す。また、第2のポインタ213は、キャッシュタグ206を示す。

【0053】

キャッシュタグ206は、キャッシュデータ格納領域222と、第1のポインタ214と、第2のポインタ215とを含んで構成される。第1のポインタ214は、キャッシュタグ205を示す。また、第2のポインタ215は、「NULL」である。また、キャッシュデータ格納領域222は、「空」である。そのため、エントリ202-2を起点とするキャッシュタグのリンクにおいて、空きキャッシュタグであるキャッシュタグ206が、最後のキャッシュタグである。

【0054】

また、エントリ202-Nは、キャッシュタグへのポインタ203-Nを有する。そして、キャッシュタグへのポインタ203-Nは、キャッシュタグ207を示すポインタである。キャッシュタグ207は、キャッシュデータ格納領域223と、第1のポインタ216と、第2のポインタ217とを含んで構成される。第1のポインタ216は、エントリ202-Nを示す。また、第2のポインタ217は、「NULL」である。また、キャッシュ格納領域223は、「空」である。このように、キャッシュタグのリンクは、空きキャッシュタグから構成されても良い。

【0055】

ここで、比較例として、図5に示すキャッシュタグのリンクについて説明する。なお、図5の説明において、図4の説明と重複する内容は、適宜省略する。また、以下の説明において、キャッシュ記憶部104以外の構成は、本実施形態と、比較例とにおいて同一であるものとして説明する。

【0056】

エントリテーブル301は、エントリ302-1~302-N(Nは、1以上の自然数)を含んで構成される。エントリ302-1~302-Nは、キャッシュタグへのポインタ303-1~303-Nを含んで構成される。

【0057】

図5に示す比較例のキャッシュタグ304~307は、キャッシュデータ格納領域へのポインタ320~323と、第1のポインタ310~313と、第2のポインタ314~317とを含んで構成される。

【0058】

ここで、キャッシュデータ格納領域へのポインタとは、キャッシュデータが格納された領域へのポインタである。図5に示す比較例のキャッシュタグのリンクにおいては、キャッシュ記憶部104は、キャッシュデータにアクセス(リード、及び/又はライト)するためには、キャッシュデータ格納領域へのポインタを用いて、データ格納領域にアクセスする必要がある。さらに、図5に示す比較例のキャッシュタグ304~307のアドレスと、キャッシュデータのアドレスとは、不連続となる。

【0059】

一方、本実施形態に係るキャッシュタグは、キャッシュデータ格納領域を含んで構成される。そして、本実施形態に係るキャッシュタグにおいては、キャッシュデータ格納領域と、第1のポインタと、第2のポインタとを、連続したアドレスに配置する。従って、本実施形態に係るキャッシュタグは、図5に示す比較例のキャッシュタグのリンクに比べ、データの効率的なアクセスを実現できる。

【0060】

次に、本実施形態に係る制御装置100の動作について説明する。なお、以下の説明において、キャッシュタグへのポインタ、第1のポインタ、第2のポインタ、キャッシュデータ格納領域へのポインタを、夫々、区別しない場合、単に、「ポインタ」とも呼ぶ。上述の通り、キャッシュ記憶部104以外の構成は、本実施形態と、比較例とにおいて同一であるものとして説明する。

【0061】

まず、本実施形態に係るキャッシュ記憶部104の構成の一例を、図6に示す。図6に

10

20

30

40

50

示すキャッシュタグは、第１のポインタと、第２のポインタと、キャッシュデータ格納領域とを含んで構成されるものとする。

【００６２】

図６に示すキャッシュ記憶部１０４は、エントリテーブル６５０を含んで構成される。エントリテーブル６５０は、エントリ６００と、エントリ６１０とを含んで構成される。エントリ６００のキャッシュタグへのポインタ６０１は、キャッシュタグ６０２を示す。また、エントリ６１０のキャッシュタグへのポインタ６１１は、エントリ６１２を示す。

【００６３】

キャッシュタグ６０２は、第１のポインタ６０３と、第２のポインタ６０４と、キャッシュデータ格納領域６０５とを含んで構成される。第１のポインタ６０３は、エントリ６００を示す。そして、第２のポインタ６０４は、「NULL」であるとする。さらに、キャッシュデータ格納領域６０５は、Data__１０を格納するとする。

【００６４】

キャッシュタグ６１２の第１のポインタ６１３は、エントリ６１０を示す。そして、キャッシュタグ６１２の第２のポインタ６１４は、キャッシュタグ６１６を示す。そして、キャッシュタグ６１２のキャッシュデータ格納領域６１５は、「空」であるとする。

【００６５】

また、キャッシュタグ６１６の第１のポインタ６１７は、キャッシュタグ６１２を示す。そして、キャッシュタグ６１６の第２のポインタ６１８は、「NULL」であるとする。そして、キャッシュタグ６１６のキャッシュデータ格納領域６１９は、「空」であるとする。つまり、キャッシュタグ６１２、及びキャッシュタグ６１６は、空きキャッシュタグであるとする。

【００６６】

一方、比較例のキャッシュ記憶部７０の構成の一例を、図７に示す。図７に示す各キャッシュタグは、第１のポインタと、第２のポインタと、キャッシュデータ格納領域へのポインタとを含んで構成されるものとする。

【００６７】

図７に示す比較例のキャッシュ記憶部７０は、エントリテーブル７５０を含んで構成される。エントリテーブル７５０は、エントリ７００と、エントリ７１０とを含んで構成される。エントリ７００のキャッシュタグへのポインタ７０１は、キャッシュタグ７０２を示す。また、エントリ７１０のキャッシュタグへのポインタ７１１は、キャッシュタグ７１２を示す。

【００６８】

キャッシュタグ７０２は、第１のポインタ７０３と、第２のポインタ７０４と、キャッシュデータ格納領域へのポインタ７０５とを含んで構成される。第１のポインタ７０３は、エントリ７００を示す。そして、第２のポインタ７０４は、「NULL」であるとする。さらに、キャッシュデータ格納領域へのポインタ７０５は、所定のデータのアドレスを示すとする。

【００６９】

キャッシュタグ７１２の第１のポインタ７１３は、エントリ７１０を示す。そして、キャッシュタグ７１２の第２のポインタ７１４は、キャッシュタグ７１５を示す。キャッシュタグ７１５の第１のポインタ７１６は、キャッシュタグ７１２を示す。そして、キャッシュタグ７１５の第２のポインタ７１７は、「NULL」であるとする。そして、キャッシュタグ７１２、７１５は、空きキャッシュタグであるとする。

【００７０】

上記の図６、及び図７に示す状態において、ホストからリードリクエストが発行された場合の動作について、説明する。

【００７１】

図８は、本実施形態に係る制御装置１００のデータ読み出し動作の一例を示すフローチャートである。

10

20

30

40

50

【 0 0 7 2 】

ステップ S 1 において、リードリクエストが発行されたか否かを、コマンド処理部 1 0 1 は判断する。コマンド処理部 1 0 1 がリードリクエストを受信した場合（ステップ S 1 の Y e s 分岐）には、プロセッサ 1 0 2 は、キャッシュ記憶部 1 0 4 の検索を開始する（ステップ S 2 ）。具体的には、プロセッサ 1 0 2 は、キャッシュ記憶部 1 0 4 のキャッシュディレクトリの検索を開始する。一方、リードリクエストが発行されていない場合（ステップ S 1 の N o 分岐）には、データ読み出し動作を終了する。

【 0 0 7 3 】

ステップ S 3 において、リードリクエストで示されるアドレス、及び / 又はファイルに対応する識別子が、キャッシュ記憶部 1 0 4 に存在するか否かを、プロセッサ 1 0 2 は判断する。当該識別子がキャッシュ記憶部 1 0 4 に存在する場合（ステップ S 3 の Y e s 分岐）には、プロセッサ 1 0 2 は、当該識別子に基づいて、エントリを特定する（ステップ S 4 ）。例えば、プロセッサ 1 0 2 は、当該識別子に基づいて、ハッシュ関数等を用いて、エントリを特定しても良い。そして、ステップ S 5 に遷移する。一方、当該識別子がキャッシュ記憶部 1 0 4 に存在しない場合（ステップ S 3 の N o 分岐）には、ステップ S 8 に遷移する。

【 0 0 7 4 】

ステップ S 5 において、プロセッサ 1 0 2 は、特定されたエントリのポインタを辿り、キャッシュタグを特定する。

【 0 0 7 5 】

ここで、図 6 に示す本実施形態に係るキャッシュ記憶部 1 0 4 の場合に、ステップ S 4 の処理において、プロセッサ 1 0 2 は、エントリ 6 0 0 を特定したとする。その場合、プロセッサ 1 0 2 は、エントリ 6 0 0 のポインタ 6 0 1 を辿り、キャッシュタグ 6 0 2 を特定する。

【 0 0 7 6 】

一方、図 7 に示す比較例のキャッシュ記憶部 7 0 の場合、ステップ S 4 の処理において、プロセッサ 1 0 2 は、エントリ 7 0 0 を特定したとする。その場合、プロセッサ 1 0 2 は、エントリ 7 0 0 のポインタ 7 0 1 を辿り、キャッシュタグ 7 0 2 を特定する。

【 0 0 7 7 】

ステップ S 6 において、特定されたキャッシュタグに登録されている識別子と、ホストから指定された識別子と、が一致するか否かを、プロセッサ 1 0 2 は判断する。特定されたキャッシュタグに登録されている識別子と、ホストから指定された識別子と、が一致する場合（ステップ S 6 の Y e s 分岐）には、当該キャッシュタグから、データをリードデータとして読み出す（ステップ S 1 0 ）。そして、ステップ S 1 1 に遷移する。

【 0 0 7 8 】

ここで、図 6 に示す本実施形態に係るキャッシュ記憶部 1 0 4 の場合に、ステップ S 5 の処理において、プロセッサ 1 0 2 が、キャッシュタグ 6 0 2 を特定したとする。その場合、キャッシュタグ 6 0 2 に登録されている識別子と、ホストから指定された識別子と、が一致するか否かを、プロセッサ 1 0 2 は判断する。

【 0 0 7 9 】

そして、キャッシュタグ 6 0 2 に登録されている識別子と、ホストから指定された識別子と、が一致した場合には、プロセッサ 1 0 2 は、キャッシュデータ格納領域 6 0 5 から、データをリードデータとして読み出す。

【 0 0 8 0 】

一方、図 7 に示す比較例のキャッシュ記憶部 7 0 の場合に、ステップ S 5 の処理において、プロセッサ 1 0 2 がキャッシュタグ 7 0 2 を特定したとする。その場合、キャッシュタグ 7 0 2 に登録されている識別子と、ホストから指定された識別子と、が一致するか否かを、プロセッサ 1 0 2 は判断する。

【 0 0 8 1 】

そして、キャッシュタグ 7 0 2 に登録されている識別子と、ホストから指定された識別

10

20

30

40

50

子と、が一致した場合には、プロセッサ 102 は、キャッシュデータ格納領域へのポインタ 705 が示すアドレスを参照する。そして、プロセッサ 102 は、キャッシュデータ格納領域へのポインタ 705 が示すアドレスのデータを、リードデータとして読み出す。

【0082】

本実施形態に係るキャッシュ記憶部 104 は、本実施形態に係るキャッシュタグ 602 が、キャッシュデータ格納領域 605 を有するので、比較例のキャッシュ記憶部 70 より、効率的にデータにアクセスできる。

【0083】

一方、特定されたキャッシュタグに登録されている識別子と、ホストから指定された識別子と、が一致しない場合（ステップ S6 の No 分岐）には、ステップ S7 に遷移する。

10

【0084】

ステップ S7 において、プロセッサ 102 は、特定されたエントリのポイントからなる、リンクの最後に、空きキャッシュタグを追加する。そして、ステップ S8 に遷移する。空きキャッシュタグを追加する処理の詳細は、後述する。

【0085】

そして、ステップ S8 において、ディスク制御部 103 は、ストレージ装置 10 にアクセスする。そして、ステップ S9 において、ディスク制御部 103 は、ホストから指定される識別子に基づいて、ストレージ装置から、データをリードデータとして読み出す。そして、ステップ S11 に遷移する。

【0086】

20

ステップ S11 において、コマンド処理部 101 は、リードリクエストの発信元のホストに、リードデータを転送する。

【0087】

次に、空きキャッシュタグを追加する処理について、詳細に説明する。

【0088】

図9は、空きキャッシュタグを追加する処理の一例を示すフローチャートである。

【0089】

ステップ S101 において、プロセッサ 102 は、空きキャッシュタグが示すエントリを特定する。

【0090】

30

ステップ S102 において、プロセッサ 102 は、ステップ S101 において特定されたエントリから、ポインタが NULL になるまで、ポインタを辿る。

【0091】

ステップ S103 において、プロセッサ 102 は、ポインタが NULL であるキャッシュタグを、最後の空きキャッシュタグであると判断する。そして、ステップ S104 に遷移する。

【0092】

図6に示す本実施形態に係るキャッシュ記憶部 104 の場合には、空きキャッシュタグは、キャッシュタグ 612、及びキャッシュタグ 616 である。そのため、ステップ S101 において、プロセッサ 102 は、空きキャッシュタグが示すエントリとして、エントリ 610 を特定する。そして、ステップ S102 において、エントリ 610 から、ポインタが「NULL」になるまで、ポインタを辿る。ここで、ポインタが「NULL」であるキャッシュタグは、キャッシュタグ 616 である。そのため、プロセッサ 102 は、キャッシュタグ 616 を最後の空きキャッシュタグであると判断する。

40

【0093】

または、制御装置 100 が、キャッシュ記憶部 104 とは異なる、第3の記憶装置 61 を備えたとする。その場合、第3の記憶装置 61 に、最後の空きキャッシュタグを示すポインタ 621 を格納しても良い。そして、プロセッサ 102 は、最後の空きキャッシュタグを示すポインタ 621 を参照して、最後の空きキャッシュタグを特定しても良い。例えば、第3の記憶装置 61 は、DRAM を用いて実現しても良い。

50

【 0 0 9 4 】

一方、図 7 に示す比較例キャッシュ記憶部 7 0 の場合には、空きキャッシュタグは、キャッシュタグ 7 1 2、及びキャッシュタグ 7 1 5 である。そのため、ステップ S 1 0 1 において、プロセッサ 1 0 2 は、空きキャッシュタグが示すエントリとして、エントリ 7 1 0 を特定する。そして、ステップ S 1 0 2 において、エントリ 7 1 0 から、ポインタが「NULL」になるまで、ポインタを辿る。ここで、ポインタが「NULL」であるキャッシュタグは、キャッシュタグ 7 1 5 である。そのため、プロセッサ 1 0 2 は、キャッシュタグ 7 1 5 を最後の空きキャッシュタグであると判断する。

【 0 0 9 5 】

ここで、本実施形態に係るキャッシュ記憶部 1 0 4 の場合には、キャッシュタグが、キャッシュデータ格納領域を有する。そのため、プロセッサ 1 0 2 は、キャッシュデータ格納領域 6 1 5、及び 6 1 9 を参照すれば、キャッシュタグ 6 1 2、キャッシュタグ 6 1 6 が空きキャッシュタグであるか否かを、容易に判断できる。また、キャッシュタグがキャッシュデータ格納領域を有する場合、前方参照する第 1 のポインタと、後方参照する第 2 のポインタと、キャッシュデータ格納領域とを、連続したアドレスに配置することを、容易に実現できる。

【 0 0 9 6 】

一方、図 7 に示す比較例のキャッシュ記憶部 7 0 の場合には、プロセッサ 1 0 2 は、キャッシュデータ格納領域へのポインタが示すアドレスを参照しなくては、キャッシュタグ 7 1 2、及びキャッシュタグ 7 1 5 が空きキャッシュタグであるか否かを判断できない。さらに、前方参照する第 1 のポインタと、後方参照する第 2 のポインタと、キャッシュデータ格納領域と、が不連続なアドレスに配置されるとする。その場合には、比較例のキャッシュ記憶部 7 0 は、本実施形態に係るキャッシュ記憶部 1 0 4 より、データのアクセス効率が低下する。

【 0 0 9 7 】

ステップ S 1 0 4 において、プロセッサ 1 0 2 は、図 8 に示すステップ S 4 において特定されたエントリを起点とする、キャッシュタグのリンクの最後に、ステップ S 1 0 3 において特定された、最後の空きキャッシュタグを追加する。

【 0 0 9 8 】

図 6 に示す本実施形態に係るキャッシュ記憶部 1 0 4 の場合には、プロセッサ 1 0 2 は、エントリ 6 0 0 を起点とする、キャッシュタグのリンクの最後に、キャッシュタグ 6 1 6 を追加する。

【 0 0 9 9 】

ここで、本実施形態に係るキャッシュ記憶部 1 0 4 における、キャッシュタグのリンクの最後に、最後の空きキャッシュタグを追加する処理について、詳細に説明する。

【 0 1 0 0 】

まず、プロセッサ 1 0 2 は、最後の空きキャッシュタグである、キャッシュタグ 6 1 6 の第 1 のポインタ 6 1 7 が示す、キャッシュタグ 6 1 2 を特定する。そして、キャッシュタグ 6 1 2 の第 2 のポインタの内容を、「NULL」に変更する（本実施形態における 1 回目の書き込み処理）。

【 0 1 0 1 】

次に、プロセッサ 1 0 2 は、キャッシュタグ 6 1 6 の第 1 のポインタ 6 1 7 の内容を、キャッシュタグ 6 0 2 のアドレスに変更すると共に、キャッシュタグ 6 1 6 のキャッシュデータ格納領域 6 1 9 に、ストレージ装置 1 0 から読み出した内容を書き込む（本実施形態における 2 回目の書き込み処理）。なお、ここで、図 6 に示す通り、キャッシュタグ 6 0 2 は、図 8 に示すステップ S 5 において特定された、キャッシュタグである。

【 0 1 0 2 】

本実施形態に係るキャッシュ記憶部 1 0 4 においては、前方参照する第 1 のポインタと、後方参照する第 2 のポインタと、キャッシュデータ格納領域とが、連続したアドレスに配置されるため、上記の 2 回目の書き込み処理の処理を実現できる。

10

20

30

40

50

【 0 1 0 3 】

次に、プロセッサ 1 0 2 は、キャッシュタグ 6 0 2 の第 2 のポインタ 6 0 4 の内容を、キャッシュタグ 6 1 6 のアドレスに変更する（本実施形態における 3 回目の書き込み処理）。

【 0 1 0 4 】

その結果、図 1 0 に示す通り、キャッシュタグ 6 1 6 を追加した、エントリ 6 0 0 を起点とする、キャッシュタグのリンクが構成される。図 1 0 に示す通り、キャッシュタグ 6 0 2 の第 2 のポインタ 6 0 4 は、キャッシュタグ 6 1 6 を示す。そして、キャッシュタグ 6 1 6 の第 1 のポインタ 6 1 7 は、キャッシュタグ 6 0 2 を示す。

【 0 1 0 5 】

一方、図 7 に示す比較例のキャッシュタグ 7 0 の場合には、プロセッサ 1 0 2 は、エントリ 7 0 0 を起点とする、キャッシュタグのリンクの最後に、キャッシュタグ 7 1 5 を追加する。

【 0 1 0 6 】

ここで、比較例のキャッシュ記憶部 7 0 における、キャッシュタグのリンクの最後に、最後の空きキャッシュタグを追加する処理について、詳細に説明する。

【 0 1 0 7 】

まず、プロセッサ 1 0 2 は、最後の空きキャッシュタグである、キャッシュタグ 7 1 5 の第 1 のポインタ 7 1 6 が示す、キャッシュタグ 7 1 2 を特定する。そして、キャッシュタグ 7 1 2 の第 2 のポインタ 7 1 4 の内容を、「NULL」に変更する（比較例における 1 回目の書き込み処理）。

【 0 1 0 8 】

次に、プロセッサ 1 0 2 は、キャッシュタグ 7 1 5 の第 1 のポインタ 7 1 6 の内容を、キャッシュタグ 7 0 2 のアドレスに変更する（比較例における 2 回目の書き込み処理）。

【 0 1 0 9 】

次に、プロセッサ 1 0 2 は、キャッシュタグ 7 0 2 の第 2 のポインタ 7 0 4 の内容を、キャッシュタグ 7 1 5 のアドレスに変更する（比較例における 3 回目の書き込み処理）。

【 0 1 1 0 】

次に、プロセッサ 1 0 2 は、ストレージ装置 1 0 から読み出したデータを、キャッシュタグ 7 0 2 のキャッシュデータ格納領域へのポインタ 7 0 5 を用いて、データ格納領域に書き込む（比較例における 4 回目の書き込み処理）。

【 0 1 1 1 】

その結果、図 1 1 に示す通り、キャッシュタグ 7 1 5 を追加した、エントリ 7 0 0 を起点とする、キャッシュタグのリンクが構成される。図 1 1 において、キャッシュタグ 7 0 2 の第 2 のポインタ 7 0 4 は、キャッシュタグ 7 1 5 を示す。そして、キャッシュタグ 7 1 5 の第 1 のポインタ 7 1 6 は、キャッシュタグ 7 0 2 を示す。

【 0 1 1 2 】

本実施形態における空きキャッシュタグの追加処理と、比較例における空きキャッシュタグの追加処理とを比較すると、本実施形態における書き込み回数は、比較例における書き込み回数より少ない。なぜなら、上述の通り、本実施形態の場合、プロセッサ 1 0 2 は、ポインタの内容の変更と、キャッシュデータ格納領域のデータの書き換えとを 1 回のライトで実行できるからである。

【 0 1 1 3 】

一方、比較例の場合、プロセッサ 1 0 2 は、ポインタの内容を変更するライトを実行後に、キャッシュデータ格納領域へのポインタを用いて、データ格納領域を特定する必要がある。そして、比較例の場合、プロセッサ 1 0 2 は、キャッシュデータ格納領域へのポインタを用いて、データ格納領域を特定後に、データを書き換える、ライトを実行する必要がある。そのため、本実施形態に係るキャッシュタグの場合、比較例のキャッシュタグより、効率的に、ストレージ装置 1 0 からデータを読み出すことができる。

【 0 1 1 4 】

10

20

30

40

50

なお、制御装置 100 が、ホストからライトリクエストを受信した場合についても、本実施形態に係るキャッシュ記憶部 104 は、比較例のキャッシュ記憶部 70 より効率的に、ストレージ装置 10 にアクセスできる。キャッシュタグのリンク、及びストレージ装置 10 へのアクセスについて上述の通りであるため、詳細な説明は省略する。

【0115】

以上のように、本実施形態に係るキャッシュタグは、キャッシュデータ格納領域を含んで構成される。そのため、本実施形態に係るキャッシュタグにおいては、前方参照する第 1 のポイントと、後方参照する第 2 のポイントと、キャッシュデータ格納領域とが、連続したアドレスに配置される。その結果、本実施形態に係るキャッシュ記憶部 104 は、不揮発メモリにおいて書き込み回数を低減することに貢献する。

10

【0116】

上述の実施形態の一部又は全部は、以下の付記のようにも記載され得るが、以下には限られない。

【0117】

(付記 1) 上記第 1 の視点に係る記憶装置の通りである。

【0118】

(付記 2) 前記各エントリは、データのアドレスに対応する識別子を格納する領域を、さらに含む、付記 1 に記載の記憶装置。

【0119】

(付記 3) 上記第 2 の視点に係る制御装置の通りである。

20

【0120】

(付記 4) 前記各エントリは、データのアドレスに対応する識別子を格納する領域を、さらに含む、付記 3 に記載の制御装置。

【0121】

(付記 5) 前記プロセッサは、前記コマンド制御部が読み出しのリクエストを受け付けた場合、当該リクエストに対応する前記識別子に応じたデータが、前記第 1 の記憶装置に格納されているか否か、前記第 1 の記憶装置を検索し、当該データが前記第 1 の記憶装置に存在した場合、当該データを前記第 1 の記憶装置から読み出す、付記 4 に記載の制御装置。

【0122】

30

(付記 6) 前記制御装置の外部に配置された、第 2 の記憶装置にアクセスする、ディスク制御部をさらに備え、前記プロセッサは、前記コマンド制御部が読み出しのリクエストを受け付けた際に、当該リクエストに対応する前記識別子に応じたデータが、前記第 1 の記憶装置に格納されていない場合、前記第 2 の記憶装置から当該データを読み出し、前記識別子に対応する前記キャッシュデータ格納領域に書き込む、付記 5 に記載の制御装置。

【0123】

(付記 7) 前記プロセッサは、前記コマンド制御部が書き込みのリクエストを受け付けた場合、当該リクエストに対応する前記識別子が、前記第 1 の記憶装置に格納されている場合、前記識別子に対応する前記キャッシュデータ格納領域に、データを書き込み、当該リクエストに対応する前記識別子が、前記第 1 の記憶装置に格納されていない場合、キャッシュタグを前記第 1 の記憶装置に追加し、当該追加されたキャッシュタグにデータを書き込む、付記 4 乃至 6 のいずれかーに記載の制御装置。

40

【0124】

(付記 8) 揮発メモリである第 3 の記憶装置をさらに備え、前記第 3 の記憶装置は、空きキャッシュタグのリンクにおける、最後のキャッシュタグを示すポイントを含み、前記プロセッサは、前記最後のキャッシュタグを示すポイントに基づいて、前記最後のキャッシュタグを特定する、付記 3 乃至 6 のいずれかーに記載の制御装置。

【0125】

(付記 9) 上記第 3 の視点に係る記憶装置の制御方法の通りである。

【0126】

50

(付記 10) 上記第 4 の視点に係るプログラムの通りである。

【0127】

なお、上記の特許文献の開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態の変更・調整が可能である。また、本発明の全開示の枠内において種々の開示要素（各請求項の各要素、各実施形態の各要素、各図面の各要素等を含む）の多様な組み合わせ、ないし、選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。特に、本書に記載した数値範囲については、当該範囲内に含まれる任意の数値ないし小範囲が、別段の記載のない場合でも具体的に記載されているものと解釈されるべきである

10

【符号の説明】

【0128】

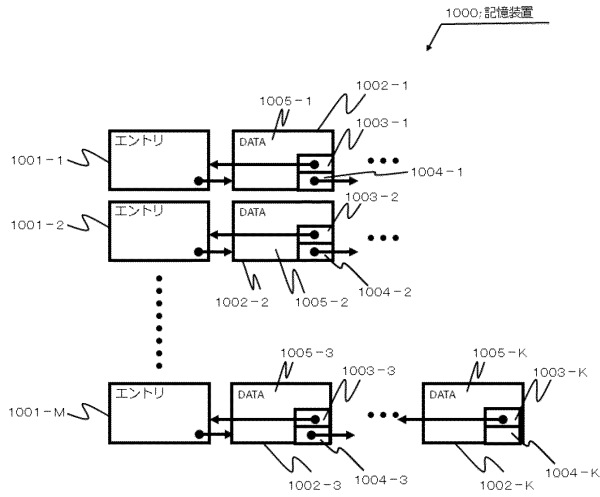
10 ストレージ装置
 61 第3の記憶装置
 70 比較例のキャッシュ記憶部
 100 制御装置
 101 コマンド処理部
 102 プロセッサ
 103 ディスク制御部
 104 キャッシュ記憶部
 105 ディスクインターフェイス
 106 ホストインターフェイス
 201、301、650、750 エントリテーブル
 202-1~202-N、302-1~302-N、600、610、700、710、
 1001-1~1001-M エントリ
 203-1~203-N、303-1~303-N、601、611、701、711
 キャッシュタグへのポインタ
 204~207、251、304~307、602、612、616、702、712、
 715、1002-1~1002-K キャッシュタグ
 210、212、214、216、253、310~313、603、613、617、
 703、713、716 第1のポインタ
 211、213、215、217、254、314~317、604、614、618、
 704、714、717 第2のポインタ
 220~223、252、605、615、619、1005-1~1005-K キャ
 ッシュデータ格納領域
 320~323、705 キャッシュデータ格納領域へのポインタ
 621 ポインタ
 1000 記憶装置
 1003-1~1003-K 第1のポインタ
 1004-1~1004-K 第2のポインタ

20

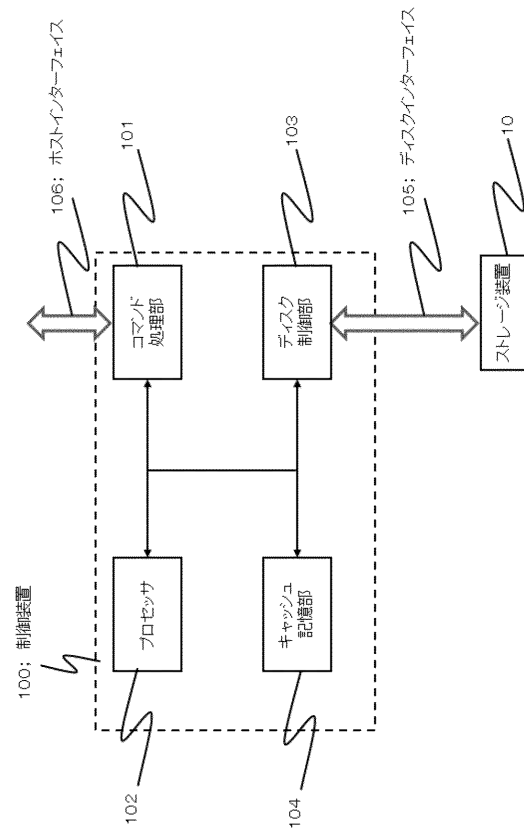
30

40

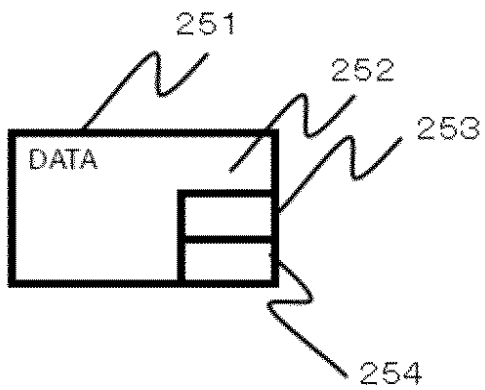
【図 1】



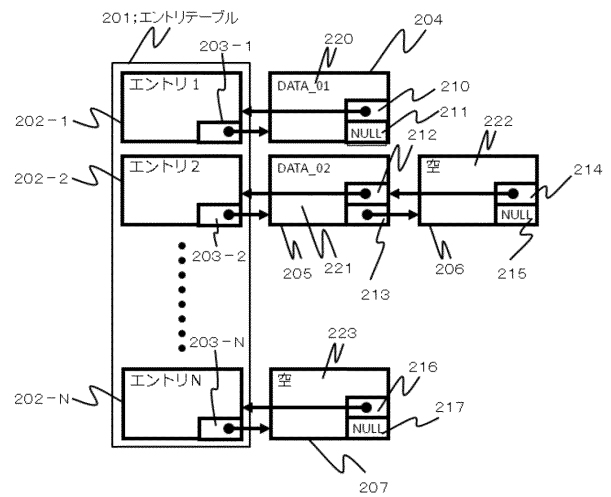
【図 2】



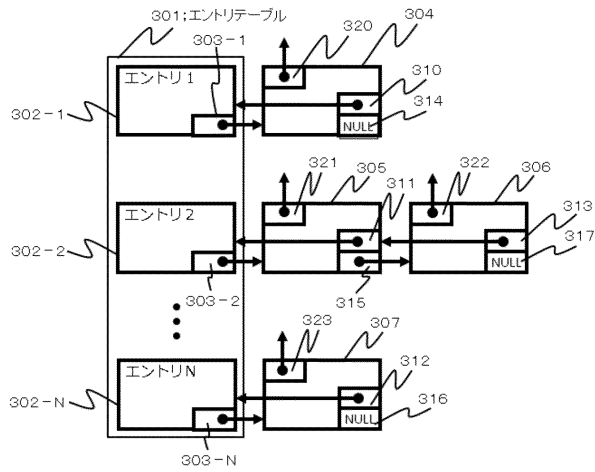
【図 3】



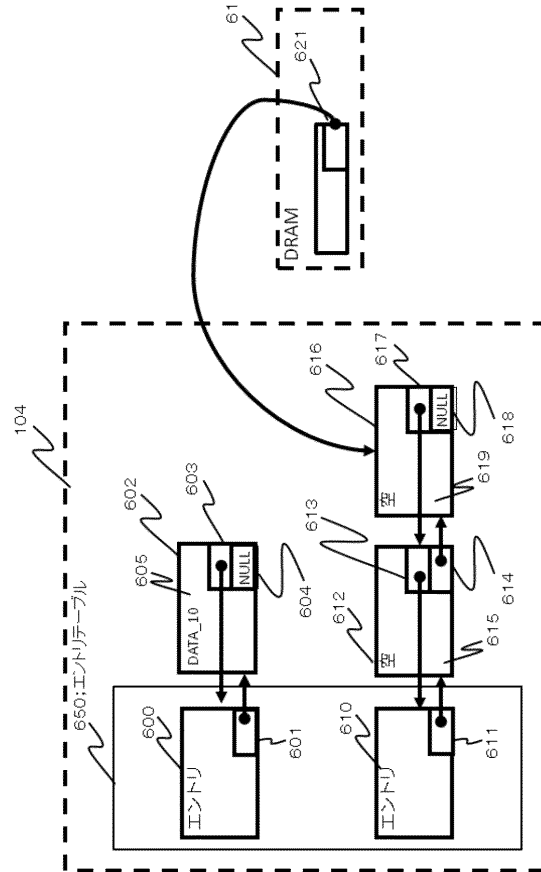
【図 4】



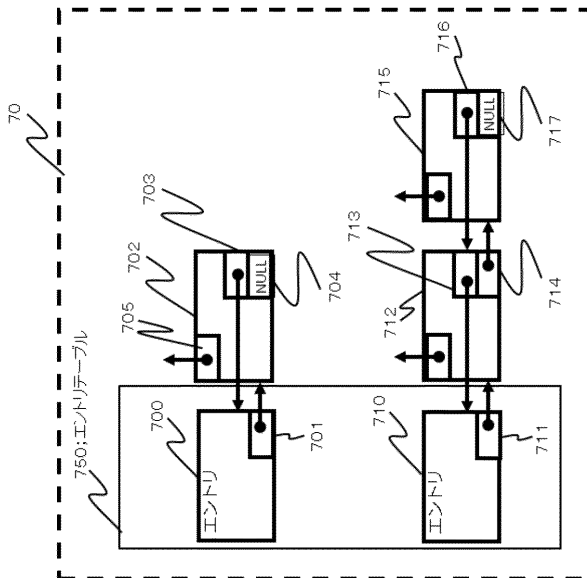
【図 5】



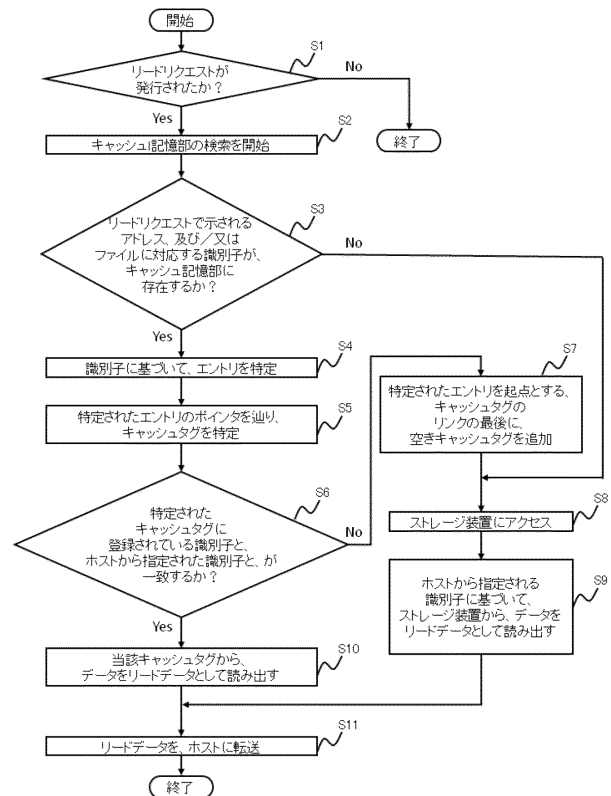
【図 6】



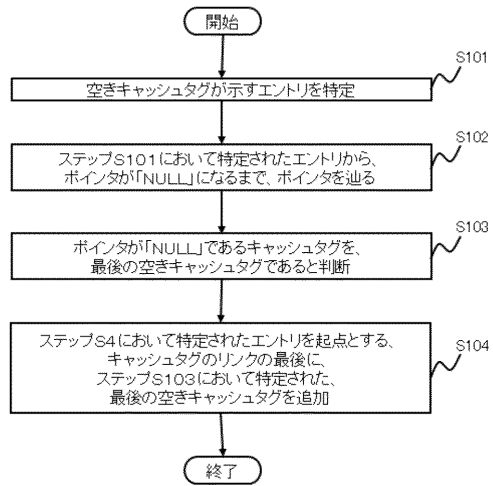
【図 7】



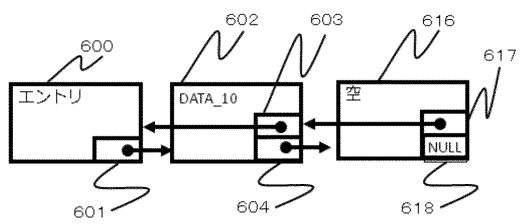
【図 8】



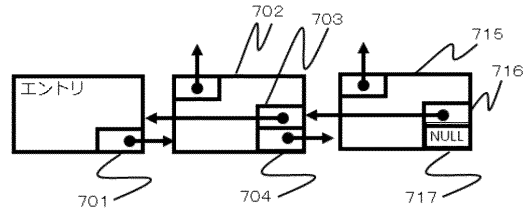
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開2010-152747(JP,A)
米国特許出願公開第2010/0023567(US,A1)
特開2013-69156(JP,A)
特開2006-164218(JP,A)
特開平7-295886(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 12/08