

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成31年3月28日(2019.3.28)

【公開番号】特開2016-164780(P2016-164780A)

【公開日】平成28年9月8日(2016.9.8)

【年通号数】公開・登録公報2016-054

【出願番号】特願2016-35144(P2016-35144)

【国際特許分類】

G 0 6 F 12/16 (2006.01)

G 1 1 C 11/405 (2006.01)

G 1 1 C 11/401 (2006.01)

G 1 1 C 29/42 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/10 (2006.01)

【 F I 】

G 0 6 F 12/16 3 1 0 D

G 0 6 F 12/16 3 2 0 E

G 1 1 C 11/34 3 5 2 B

G 1 1 C 11/34 3 7 1 C

G 1 1 C 29/00 6 3 1 D

H 0 1 L 27/10 3 2 1

H 0 1 L 27/10 6 2 1 Z

H 0 1 L 27/10 6 7 1 C

H 0 1 L 27/10 6 7 1 Z

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 4 8 1

H 0 1 L 27/10 6 8 1 F

【手続補正書】

【提出日】平成31年2月13日(2019.2.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ、回路、およびプロセッサを有するメモリシステムであって、
 前記メモリは、ユーザデータ領域と、管理領域とを有し、
 前記ユーザデータ領域は、複数のブロックに分割され、
 前記回路は、前記複数のブロックの内のブロックから読み出されたデータのエラー検出
 および訂正をする機能を有し、
 前記管理領域には、管理テーブルとして、前記複数のブロック別にアクセス情報が格納
 され、
 前記アクセス情報の値は、アクセス回数が 0 であることを表す第 1 の値か、前記アクセ
 ス回数が 1 以上であることを表す第 2 の値かのいずれかをとり、
 前記プロセッサは、
 前記アクセス情報の値を決定する機能と、

前記管理領域に対する書き込み、および読み出しを制御する機能と、
前記ユーザデータ領域に対する書き込み、および読み出しを制御する機能と、
前記回路を制御する機能と、を有し、

前記プロセッサは、前記ブロックの前記アクセス情報が前記第 2 の値である場合、前記ブロックから読み出したデータのエラー検出および訂正を前記回路に実行させない制御をするメモリシステム。

【請求項 2】

請求項 1 において、

前記プロセッサは、前記回路でエラー検出および訂正が実行されると、該当するブロックの前記アクセス情報を前記第 2 の値にするための制御をするメモリシステム。

【請求項 3】

請求項 1 又は 2 において、

前記プロセッサは、前記ユーザデータ領域に書き込みアクセスがあると、該当するブロックの前記アクセス情報を前記第 2 の値にするための制御をするメモリシステム。

【請求項 4】

請求項 1 乃至 3 の何れか一項において、

電源がオンになると、前記プロセッサは、前記管理テーブルを前記第 1 の値で初期化するための制御をするメモリシステム。

【請求項 5】

請求項 1 乃至 4 の何れか一項において、

電源をオフにする前に、前記アクセス情報が前記第 1 の値である前記ブロックがある場合、前記プロセッサは、前記回路において当該ブロックのデータのエラー検出および訂正がされるための制御をするメモリシステム。

【請求項 6】

請求項 1 乃至 5 の何れか一項において、

前記メモリは、複数のメモリセルを有し、

前記複数のメモリセルのそれぞれは、保持ノードと、前記保持ノードの充放電を制御できるトランジスタとを有し、

前記トランジスタのチャネル形成領域は酸化物半導体を有するメモリシステム。

【請求項 7】

請求項 1 乃至 6 の何れか一項に記載のメモリシステムと、

ホスト装置と、を有し、

前記ホスト装置が前記ユーザデータ領域にアクセス可能なように、前記ホスト装置と前記メモリシステムとが接続されている情報処理システム。