



(12) 发明专利

(10) 授权公告号 CN 102177659 B

(45) 授权公告日 2013. 08. 21

(21) 申请号 200980139540. 5

(51) Int. Cl.

(22) 申请日 2009. 10. 09

H03M 13/19 (2006. 01)

(30) 优先权数据

2008-264382 2008. 10. 10 JP

2008-290022 2008. 11. 12 JP

(56) 对比文件

CN 1953335 A, 2007. 04. 25, 全文.

WO 2008/016117 A1, 2008. 02. 07, 全文.

WO 2008/093717 A1, 2008. 08. 07, 全文.

(85) PCT申请进入国家阶段日

2011. 04. 07

审查员 王毅

(86) PCT申请的申请数据

PCT/JP2009/005286 2009. 10. 09

(87) PCT申请的公布数据

W02010/041466 JA 2010. 04. 15

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 村上丰 冈村周太

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 邸万奎

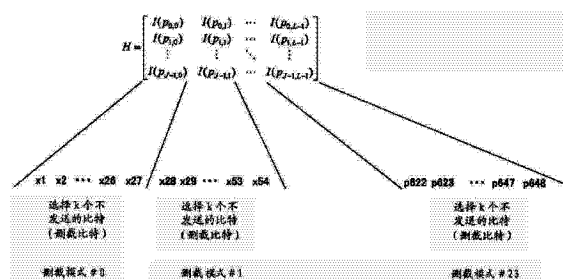
权利要求书2页 说明书30页 附图32页

(54) 发明名称

编码器、发送装置以及编码方法

(57) 摘要

公开了在使用 QC-LDPC 等块码的情况下,能够提高接收质量,而且降低传输量,抑制传输效率的劣化的编码器、发送装置以及编码方法。删截模式设定单元(620)对构成 QC-LDPC 码的校验矩阵 H 的子块矩阵的列数的每个整数倍或列数的每个约数,搜索删截模式,删截单元(数据削减单元)(630)对构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的每个整数倍或列数的每个公约数,切换删截模式。



1. 编码器,包括:

编码单元,对于信息比特序列 u ,生成满足式(1-1)、式(1-2)以及式(1-3)的编码序列 s ,所述编码序列 s 使用将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的低密度奇偶校验码的奇偶校验矩阵 H 的生成矩阵 G ,由从第 1 至第 $z \times n_b$ 的 $z \times n_b$ 个比特构成,

$$GH^T=0 \quad \cdots (1-1)$$

$$s^T=Gu^T \quad \cdots (1-2)$$

$$Hs=0 \quad \cdots (1-3)$$

所述低密度奇偶校验码的奇偶校验矩阵 H 由式(2)定义,

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \cdots (2)$$

其中, $P_{i,j}$ 是 z 行 z 列的单位矩阵的循环置换矩阵或 z 行 z 列的零矩阵;

设定单元,设定用于选择将所述编码序列 s 以所述 z_d 个比特为单位进行删截的删截模式,所述 z_d 个比特与所述列数 z 的约数同数,

删截单元,基于所选择的所述删截模式,从所述编码序列 s 以所述 z_d 个比特为单位进行比特删除而形成发送信息比特序列。

2. 如权利要求 1 所述的编码器,

所述低密度奇偶校验码是准循环低密度奇偶校验块码。

3. 如权利要求 1 所述的编码器,

所述低密度奇偶校验码是准循环低密度奇偶校验码。

4. 发送装置,包括:

具备权利要求 1 所述的编码器,以及

发送单元,其发送所述发送信息比特序列。

5. 编码方法,包括下述步骤:

对于信息比特序列 u ,生成满足式(3-1)、式(3-2)以及式(3-3)的编码序列 s 的步骤,所述编码序列 s 使用将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的低密度奇偶校验码的奇偶校验矩阵 H 的生成矩阵 G ,由从第 1 至第 $z \times n_b$ 的 $z \times n_b$ 个比特构成,

$$GH^T=0 \quad \cdots (3-1)$$

$$s^T=Gu^T \quad \cdots (3-2)$$

$$Hs=0 \cdots (3-3)$$

所述低密度奇偶校验码的奇偶校验矩阵 H 由式(2)定义,

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \dots (2)$$

其中, $P_{i,j}$ 是 z 行 z 列的单位矩阵的循环置换矩阵或 z 行 z 列的零矩阵;

设定用于选择将所述编码序列 s 以所述 zd 个比特为单位进行删截的删截模式的步骤, 所述 zd 个比特与所述列数 z 的约数同数, 基于所选择的所述删截模式, 从所述编码序列 s 以所述 zd 个比特为单位进行比特删除而形成发送信息比特序列的步骤。

6. 如权利要求 5 所述的编码方法,

所述低密度奇偶校验码是准循环低密度奇偶校验块码。

7. 如权利要求 5 所述的编码方法,

所述低密度奇偶校验码是准循环低密度奇偶校验码。

8. 发送方法,

具有权利要求 5 所述的编码方法,

还包括下述步骤: 发送所述发送信息比特序列的步骤。

编码器、发送装置以及编码方法

技术领域

[0001] 本发明涉及例如,使用如 QC—LDPC(Quasi Cyclic Low Density Parity Check:准循环低密度奇偶校验码)那样,部分且规则性地包含零矩阵的奇偶校验生成矩阵形成编码序列的编码器、发送装置以及编码方法。

背景技术

[0002] 近年来,作为以可实现的电路规模来发挥高纠错能力的纠错码,低密度奇偶校验(LDPC:Low-Density Parity-Check)码备受瞩目。LDPC 码是由低密度奇偶校验矩阵 H 定义的纠错码。另外,所谓低密度是指矩阵中含有的“1”的元素数大幅度地少于“0”的元素数。LDPC 码是具有与校验矩阵 H 的列数 N 相等的块长度的块码。

[0003] 由于 LDPC 码纠错能力高且容易安装,所以在 IEEE802.11n 的高速无线 LAN(Local Area Network:局域网)系统和数字广播系统等纠错编码方式中采用该 LDPC 码。另外,研究了在家庭网络(home network)也采用 QC(Quasi Cyclic:准循环)-LDPC 码。

[0004] 块码具有下述特征,即块码长度越长,纠错能力越高。例如,如报头那样,希望对发送控制信息等的码元进行高可靠性地传输时,通过使用码长度比报头长度更长的块码,能够确保报头的接收质量。

[0005] 另外,对于纠错码而言,在使用用于传输信息的纠错码和用于传输报头的纠错码为共用时,在电路规模方面较有利。另外,在本申请中,将发送控制信息等的码元称为“报头”来进行说明,但也可以将发送控制信息等的码元称为例如控制码元(控制信道或控制信号)、前置码、尾部码元(tail symbol)、导频码元(导频信道或导频信号)、训练码元(training symbol)等。

[0006] 此时,如图 1 所示,需要发送的信息比特数(例如,报头长度)短于块码的块长度时,将块长度的剩余的部份的信息比特假定为“0”,进行编码,生成奇偶校验位。

[0007] 另外,作为实际发送的编码序列,例如,如图 1 所示,只发送需要发送的信息比特(例如,报头)及奇偶校验位。也就是说,实际上不发送假定为“0”的信息比特的部分。

[0008] 一般地,控制信息等的报头与用于传输图像等信息的有效载荷数据相比,比特数少。但是,如图 1 所示,通过将报头及奇偶校验位发送,从而能够对报头和有效载荷数据使用同一块码进行编码。进而,由于对报头通过块长度比报头长度更长的块码进行编码,所以能够确保报头的接收质量。其结果,能够可靠地将报头传输给通信对方,所以上述通信方法对于建立通信极为有效。

[0009] 专利文献

[0010] 非专利文献 1:“Rate-Compatible LDPC 符号のレート推定法(Rate Estimation Techniques for Rate-Compatible LDPC Codes)”電子情報通信学会論文誌 2006/12Vol. J89A NO. 12p. 1177

[0011] 非专利文献 2:M.P.C.Fossorier,“Quasi-cyclic low-density parity-check codes from circulant permutation matrices,”IEEE Trans.Inform.Theory, vol. 50,

no. 8, pp. 1788-1793, Nov. 2001.

[0012] 非专利文献 3 :L. Chen, J. Xu, I. Djurdjevic, and S. Lin, "Near-Shannon limit quasi-cyclic low-density parity-check codes," IEEE Trans. Commun., vol. 52, no. 7, pp. 1038-1042, July 2004.

[0013] 非专利文献 4 :IEEE Unapproved Draft Std P802.11n_D3.00, pp. 274, Sep 2007

[0014] 非专利文献 5 :D. J. C. Mackay, "Good error-correcting codes based on very sparse matrices," IEEE Trans. Inform. Theory, vol. 45, no. 2, pp. 399-431, March 1999.

[0015] 非专利文献 6 :M. P. C. Fossorier, M. Mihaljevic, and H. Imai, "Reduced complexity iterative decoding of low density parity check codes based on belief propagation," IEEE Trans. Commun., vol. 47, no. 5, pp. 673-680, May 1999.

[0016] 非专利文献 7 :J. Chen, A. Dholakia, E. Eleftheriou, M. P. C. Fossorier, and X. -Yu Hu, "Reduced-complexity decoding of LDPC codes," IEEE Trans. Commun., vol. 53, no. 8, pp. 1288-1299, Aug. 2005.

发明内容

[0017] 发明要解决的问题

[0018] 然而,就现有技术而言,对于如报头那样数据长度比块长度短的数据,若进行编码,则尽管能够提高接收质量,但是却必须将信息比特假定为“0”并进行编码而得到的奇偶校验位也进行发送。因此,在报头长度与块长度相等,且该长度短的情况下,必须发送的奇偶校验位数较少即可。对此,现有技术存在下述问题,即块长度比报头长度长的情况下,必须发送的奇偶校验位数增加,导致数据的传输效率劣化。因此,若能在数据传输效率劣化的方面进行改善,则能具有下述优点,即能够兼顾数据传输效率的提高和接收质量的提高。

[0019] 本发明的目的在于,提供例如能够在使用 QC—LDPC 码等块码的情况下,在提高接收质量的同时能够降低传输量,抑制传输效率的劣化的编码器、发送装置以及编码方法。

[0020] 解决问题的方案

[0021] 本发明的编码器包括:编码单元,对于信息比特序列 u ,生成满足式(14-1)、式(14-2)以及式(14-3)的编码序列 s ,所述编码序列 s 使用将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的低密度奇偶检验码的奇偶校验矩阵 H 的生成矩阵 G ,由从第 1 至第 $z \times n_b$ 的 $z \times n_b$ 个比特构成,所述低密度奇偶检验码的奇偶校验矩阵 H 由式(15)定义,其中, $P_{i,j}$ 是 z 行 z 列的单位矩阵的循环置换矩阵或 z 行 z 列的零矩阵;设定单元,设定用于选择将所述编码序列 s 以所述 z_d 个比特为单位进行删截的删截模式(pattern),所述 z_d 个比特与所述列数 z 的约数同数;删截单元,基于所选择的所述删截模式,从所述编码序列 s 以所述 z_d 个比特为单位进行比特删除而形成发送信息比特序列。

[0022] 本发明的发送装置采用的结构包括:具备上述编码器,并具备用于发送所述发送信息比特序列的发送单元。

[0023] 本发明的编码方法包括下述步骤:对于信息比特序列 u ,生成满足式(16-1)、式(16-2)以及式(16-3)的编码序列 s 的步骤,所述编码序列 s 使用将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的低密度奇偶检验码的奇偶校验矩阵 H 的生成矩阵 G ,由从第 1 至第 $z \times n_b$ 的 $z \times n_b$ 个比特构成,所述低密度奇偶检验码的奇偶校验矩阵

H 由式(15)定义,其中, $P_{i,j}$ 是 z 行 z 列的单位矩阵的循环置换矩阵或 z 行 z 列的零矩阵; 设定用于选择将所述编码序列 s 以所述 zd 个比特为单位进行删截的删截模式的步骤,所述 zd 个比特与所述列数 z 的约数同数;基于所选择的所述删截模式,从所述编码序列 s 以所述 zd 个比特为单位进行比特删除而形成发送信息比特序列的步骤。

[0024] 发明的效果

[0025] 根据本发明的通信装置及通信方法,例如能够在使用 QC — LDPC 码等块码的情况下,在提高接收质量的同时能够降低传输量,抑制传输效率的劣化。

附图说明

[0026] 图 1 是表示块码的块结构例及实际发送的编码序列的图。

[0027] 图 2 是表示本发明实施方式 1 的通信装置所使用的编码器的输入输出数据的图。

[0028] 图 3 是表示一例 QC-LDPC 码的奇偶校验生成矩阵 g 的图。

[0029] 图 4 是表示一例零矩阵的图。

[0030] 图 5 是表示另一例零矩阵的图。

[0031] 图 6 是表示实施方式 1 的编码器的结构例的图。

[0032] 图 7 是表示实施方式 1 的解码器的结构例的图。

[0033] 图 8 是表示通信装置 # 1 发送的调制信号的帧结构例的图。

[0034] 图 9 是表示具有实施方式 1 的编码器的通信装置 # 1 的结构例的图。

[0035] 图 10 是表示具有实施方式 1 的解码器的通信装置 # 2 的结构例的图。

[0036] 图 11 是表示 QC — LDPC 码的 1 块的结构例的图。

[0037] 图 12 是表示本发明实施方式 2 的编码器的结构例的图。

[0038] 图 13 是表示信息比特的配置例的图。

[0039] 图 14 是表示数据长度 α 与要发送的奇偶校验位的削减方法之间的对应的图。

[0040] 图 15 是表示本发明实施方式 3 的编码器的结构例的图。

[0041] 图 16A 是用于说明删截模式的切换方法的图。

[0042] 图 16B 是用于说明删截模式的切换方法的另外的图。

[0043] 图 16C 是用于说明删截模式的切换方法的另外的图。

[0044] 图 17 是表示控制信息的配置例的图。

[0045] 图 18 是表示本发明实施方式 4 中的控制信息的配置例的图。

[0046] 图 19A 是表示本发明实施方式 5 中的删截模式的适用例的图。

[0047] 图 19B 是表示实施方式 5 中的删截模式的另外的适用例的图。

[0048] 图 19C 是表示实施方式 5 中的删截模式的另外的适用例的图。

[0049] 图 20A 是表示实施方式 5 中的删截模式的另外的适用例的图。

[0050] 图 20B 是表示实施方式 5 中的删截模式的另外的适用例的图。

[0051] 图 20C 是表示实施方式 5 中的删截模式的另外的适用例的图。

[0052] 图 21 是表示本发明实施方式 6 中的删截模式的适用例的图。

[0053] 图 22 是表示实施方式 6 中的删截模式的另外的适用例的图。

[0054] 图 23 是用于说明本发明实施方式 7 中的删截模式的图。

[0055] 图 24 是表示编码率 $5/6$ 的 QC — LDPC 码的校验矩阵 H_b 的图。

- [0056] 图 25 是表示一例实施方式 7 中的删截模式的图。
- [0057] 图 26 是表示实施方式 7 中的另一例删截模式的图。
- [0058] 图 27 是表示一例编码率 1/2 的 QC-LDPC 码的校验矩阵 H_b 及删截模式的图。
- [0059] 标号说明
- [0060] 100、100a、600 编码器
- [0061] 110、110a 零矩阵设定单元
- [0062] 120、120a 配置单元
- [0063] 130、610 编码单元
- [0064] 140、630 删截单元(数据削减单元)
- [0065] 300 解码器
- [0066] 310 固定对数似然比插入单元
- [0067] 320BP 解码单元
- [0068] 400、500 通信装置
- [0069] 410 编码单元
- [0070] 420 交织器
- [0071] 430 映射单元
- [0072] 440 发送单元
- [0073] 510 接收单元
- [0074] 520 控制信息检测单元
- [0075] 530 对数似然比计算单元
- [0076] 540 解交织器
- [0077] 550 解码单元
- [0078] 620 删截模式设定单元

具体实施方式

- [0079] 以下,参照附图详细说明本发明的实施方式。
- [0080] (实施方式 1)
- [0081] 图 2 表示本发明的通信装置所使用的编码器的输入输出数据。图 2 的编码器 100 形成 QC-LDPC (Quasi Cyclic Low Density Parity Check) 码。
- [0082] 在图 2 中,信息序列 $u = (x_1, x_2, \dots, x_m)$ 是编码器 100 的输入数据,编码序列 $s = (x_1, x_2, \dots, x_m, p_1, p_2, \dots, p_n)$ 是编码器的输出数据。
- [0083] 式(1)表示 QC-LDPC 码的奇偶校验矩阵 H (参照非专利文献 1、非专利文献 2、非专利文献 3)。
- [0084]

$$H = \begin{bmatrix} I(p_{0,0}) & I(p_{0,1}) & \cdots & I(p_{0,L-1}) \\ I(p_{1,0}) & I(p_{1,1}) & \cdots & I(p_{1,L-1}) \\ \vdots & \vdots & \ddots & \vdots \\ I(p_{J-1,0}) & I(p_{J-1,1}) & \cdots & I(p_{J-1,L-1}) \end{bmatrix} \quad \dots (1)$$

- [0085] 在式(1)中,是 $0 \leq j \leq J-1, 0 \leq l \leq L-1$ 且码长度 $N = p \times L$ (p 为自然数)的

奇偶校验矩阵 H 。另外,子块矩阵 $I(p_{j,1})$ 为, q 行 r 列 ($r = (q + p_{j,1}) \bmod p$ ($0 \leq q \leq p - 1$)) 为“1”,其他为“0”的循环置换矩阵。另外, $p_{j,1}$ 由随机数决定为“0”或“1”。

[0086] 图 2 的编码器 100 使用生成矩阵 G , 生成编码序列。这里, 生成矩阵 G 与奇偶校验矩阵 H 具有式 (2) 的关系。

$$[0087] \quad GH^T = 0 \quad \cdots (2)$$

[0088] 编码序列 s 能够通过信息序列 u 及生成矩阵 G , 表示为 $s^T = Gu^T$ 。QC-LDPC 码是系统码, 所以生成矩阵 G 能够表示为式 (3)。

$$[0089] \quad G = \begin{bmatrix} I \\ g \end{bmatrix} \quad \cdots (3)$$

[0090] 其中, I 是 $m \times m$ 的单位矩阵。另外, 矩阵 g 是: 从编码序列 s 中只取出奇偶校验序列 w , 并定义为 $w = (p_1, p_2, \dots, p_n)$ 时, 用于求奇偶校验序列 w 的矩阵 (奇偶校验生成矩阵)。奇偶校验生成序列 w 满足 $w^T = gu^T$ 。

[0091] 图 3 是表示一例 QC-LDPC 码的奇偶校验生成矩阵 g 。图 3 所示的 QC-LDPC 码是: 非专利文献 4 的表 20-14 (LDPC 参数) 中记载的编码率 (Coding rate (R)) = 1/2、LDPC 码信息块长度 (LDPC code information block length (bits)) = 648、LDPC 码块长度 (LDPC codeword block length (bits)) = 1296 的 QC-LDPC 码。

[0092] 图 3 所示的奇偶校验生成矩阵 g 由多个子块矩阵 201, 202, $\dots$, 211, 212, $\dots$ 构成。例如, 在图 3 的子块矩阵 201 中, 第 $(i + 1)$ 行的各元素取将第 i 行的各元素向右移位了 1 比特 (1 列) 所得的值 (i 为自然数)。同样, 在图 3 的子块矩阵 211 中, 第 $(i + 1)$ 行的各元素取将第 i 行的各元素向右移位了 1 比特所得的值 (i 为自然数)。

[0093] 另外, 在图 3 的子块矩阵 202 中, 第 2 行的各元素取将第 1 行的各元素向右移位了 1 比特所得的值。同样, 在图 3 的子块矩阵 212 中, 第 2 行的各元素取将第 1 行的各元素向右移位了 1 比特所得的值。

[0094] 这样, 可以说子块矩阵 201、202、 $\dots$ 、211、212 是循环置换矩阵。在图 3 所示的例子中, 子块矩阵 201、202、 $\dots$ 、211、212 是 27 行 27 列的矩阵。

[0095] 进而, 在奇偶校验生成矩阵 g 中, 列相同的子块矩阵之间具有相关性。例如, 将子块矩阵 201 和列与子块矩阵 201 相同的子块矩阵 211 比较, 子块矩阵 211 的第 i 行的元素与子块矩阵 201 的第 $(i + 1)$ 行的元素只是第 2 比特不同 (i 为自然数)。

[0096] 同样, 将子块矩阵 202 和列与子块矩阵 202 的列相同的子块矩阵 212 比较, 子块矩阵 212 的第 i 行的元素与子块矩阵 201 的第 $(i + 1)$ 行的元素相同 (i 为自然数)。

[0097] 另外, 在纵向注视了 27 行 27 列的子块矩阵时, 例如, 在注视了子块矩阵 201 和子块矩阵 211 时, 如上所述, 尽管这些子块矩阵具有相关性, 但并不一定是相同的矩阵。

[0098] 进而, 奇偶校验生成矩阵 g 的特征在于: 连续地配置元素“0”。因此, 从表示与图 3 相同的奇偶校验生成矩阵 g 的图 4 可知, 在子块矩阵 202 内, 能够确保构成矩阵的元素都是“0”的矩阵 221。以下将构成矩阵的元素都是“0”的矩阵称为零矩阵。

[0099] 另外, 在子块矩阵 212 内, 能够确保从与零矩阵 221 相同列开始, 与零矩阵 221 列数为相同大小的零矩阵 222。多个从与零矩阵 221 相同列开始, 与零矩阵 221 列数为相同大小的零矩阵存在于未图示的奇偶校验生成矩阵 g 之中。

[0100] 这样, QC-LDPC 码的奇偶校验生成矩阵的特征在于: 其含有零矩阵, 并且存在多

个从奇偶校验生成矩阵的相同列开始的零矩阵。

[0101] 本发明人着眼于 QC-LDPC 码的奇偶校验生成矩阵 g 的这一特征。也就是说,着眼于若在 m 行 n 列的零矩阵以外的列配置“0”作为信息比特,则生成的 m 个奇偶校验位都为零。进一步着眼于由于在奇偶校验生成矩阵 g 中列相同的子块矩阵之间,在元素的排列上具有相关性,而且在 QC-LDPC 码的奇偶校验生成矩阵 g 中存在多个从相同列开始的零矩阵,所以通过在零矩阵以外的列配置“0”作为信息比特,生成多个全为零的奇偶校验位。

[0102] 也就是说,需要发送的信息比特数短于块码的块长度,并且将一部分的信息比特假定为“0”而进行编码时,若将需要发送的信息比特配置在零矩阵(m 行 n 列)的列,而将“0”配置在零矩阵(m 行 n 列)以外作为虚拟比特,则生成 m 个值为“0”的奇偶校验位。这些奇偶校验位不取决于需要发送的信息比特而必定为“0”。

[0103] 因此,接收端知道从零矩阵的位置开始,值必定为“0”的 m 个奇偶校验位的位置,所以从发送端即使不发送值必定为“0”的 m 个的奇偶校验位,接收端也能够进行所有的数据的解码。另外,接收端能够将值必定为“0”的 m 个的奇偶校验位设定为发送装置不发送的比特,即能够将其作为冗余比特进行削减。

[0104] 再次,使用图 4 详细地说明。着眼于图 4 的零矩阵 221。图 4 的零矩阵 221 是 7 行 12 列的矩阵,与零矩阵 221 的列对应的信息比特是 $x_{36} \sim x_{47}$ 。因此,若对 $x_{36} \sim x_{47}$ 配置需要发送的信息比特且对 $x_{36} \sim x_{47}$ 以外配置信息比特“0”而进行编码,则不论 $x_{36} \sim x_{47}$ 的值如何, $p_1 \sim p_7$ 都必定为“0”。

[0105] 同样,若着眼于奇偶校验生成矩阵 g 中的列的位置与零矩阵 221 相同的零矩阵 222,对 $x_{36} \sim x_{47}$ 以外配置信息比特“0”而进行编码,则不论 $x_{36} \sim x_{47}$ 的值如何, $p_{28} \sim p_{34}$ 都必定为“0”。

[0106] 因此,在通过奇偶校验生成矩阵 g 生成的奇偶校验位 $p_1 \sim p_{54}$ 中, $p_1 \sim p_7$ 及 $p_{28} \sim p_{34}$ 的值必定为“0”。因此,若使发送装置不发送通过奇偶校验生成矩阵 g 生成的、这些值必定为“0”的奇偶校验位 $p_1 \sim p_{54}$,则能够使只是 $x_{36} \sim x_{47}$ 及 $p_8 \sim p_{27}$ 、 $p_{35} \sim p_{54}$ 作为发送装置需要发送的比特。另外,在以上的说明中,作为一例,着眼于 $p_1 \sim p_{54}$ 进行了说明,但 p_{55} 以后也可以同样地考虑,因此能够削减发送装置发送的奇偶校验位的数量。

[0107] 图 4 的零矩阵 221 为 7 行 12 列,所以在需要发送的信息比特为 12 比特以下时,将需要发送的信息比特配置在零矩阵 221 的列上即可。

[0108] 另外,在需要发送的信息比特超过 12 比特时,例如,如图 5 所示,进而将需要发送的信息比特配置在零矩阵 231、232……的列上即可。作为 QC-LDPC 码的奇偶校验生成矩阵的特征,由于连续地配置“0”,所以如图 5 所示,在奇偶校验生成矩阵 g 中,除了零矩阵 221、222……以外,还存在多个如零矩阵 231、232 那样的零矩阵。

[0109] 零矩阵 231、232 为 7 行 7 列的矩阵,即使将需要发送的信息比特配置在 $x_{71} \sim x_{77}$ 时, $p_1 \sim p_7$ 及 $p_{28} \sim p_{34}$ 也全为“0”。因此,与使用零矩阵 221、222 的情况同样,发送装置也可以不发送 $p_1 \sim p_7$ 及 $p_{28} \sim p_{34}$ 。

[0110] 因此,除了零矩阵 221、222 以外,还利用零矩阵 231、232 时,能够将需要发送的信息比特配置在 $x_{36} \sim x_{47}$ 及 $x_{71} \sim x_{77}$ 。由此,最大比特数为 19 ($= 12 + 7$) 比特,与仅利用零矩阵 221、222 的情况相比,能够增加作为需要发送的信息比特可配置的最大比特数。

[0111] 同样,在需要发送的信息比特数超过 19 比特时,也可以利用其他的部分矩阵所包

含的零矩阵。图 5 仅表示了 QC — LDPC 码的奇偶校验生成矩阵 g 的一部分,在 QC — LDPC 的奇偶校验生成矩阵 g 中,列方向上存在 24 ($= 648 / 27$) 个 27 行 27 列的循环置换矩阵,所以在未图示的区域也包含多个零矩阵。因此,发送装置能够在部分零矩阵中,与上述同样地利用零矩阵,增加作为需要发送的信息比特而能够配置的最大比特数。

[0112] 这样,着眼于在 QC — LDPC 码的奇偶校验生成矩阵中存在多个从奇偶校验生成矩阵 g 的相同列开始且列数相同的零矩阵,在本实施方式中,将需要发送的信息比特配置在零矩阵的列,将“0”配置在零矩阵以外的列作为虚拟比特。由此,生成与零矩阵的行数为相同数目的、值为“0”的奇偶校验位。

[0113] 此时,发送装置及接收装置如果共有对奇偶校验生成矩阵 g 的零矩阵的位置,则即使实际上不发送与该零矩阵的行对应的奇偶校验位,也在接收端当作发送了“0”而进行解码处理,由此能够对通过奇偶校验生成矩阵 g 进行了编码的编码数据进行解码。因此,发送装置能够降低需要发送的奇偶校验位数,提高传输效率。

[0114] 另外,零矩阵也可以是 1 行 1 列。也就是说,如果在同一行中存在多个 1 行 1 列的零矩阵,而且存在与该多个零矩阵同一列的元素为零的行,则生成与同一列中元素为零的行的行数为相同数目的、总为“0”的奇偶校验位。

[0115] 也就是说,在将零插入在信息比特中,并进行信息比特及零与 QC — LDPC 码的奇偶校验生成矩阵的矩阵运算而生成奇偶校验位时,发送装置基于配置信息比特的位置和奇偶校验生成矩阵,删除奇偶校验位中的值总为零的奇偶校验位,输出删除后的奇偶校验序列,并发送删除后的奇偶校验序列,因此能够降低需要发送的奇偶校验位数,并提高传输效率。

[0116] 另外,发送装置通过将从奇偶校验生成矩阵 g 的相同列开始且列数相同的零矩阵(也包含 1 行 1 列的零矩阵)中的、行数最多的矩阵作为设定的零矩阵,且在设定了的零矩阵的列以外配置“0”,从而生成其数目相当于设定了的零矩阵的行数、值为“0”的奇偶校验位。

[0117] 因此,发送装置通过将值为“0”的奇偶校验位作为不发送的比特而进行删截,从而能够提高传输效率。此时,发送装置通过将从奇偶校验生成矩阵 g 的相同列开始且列数相同的零矩阵中的、奇偶校验生成矩阵 g 内更多地包含的部分矩阵设定为零矩阵,从而能够进一步削减奇偶校验位。

[0118] 另外,此时,发送装置将作为需要发送的信息比特而能够配置的最大比特数设为零矩阵的列数。例如,发送装置在设定了零矩阵 221、222、……作为零矩阵时,能够配置需要发送的信息比特的最大比特数为 12 比特。

[0119] 另外,发送装置在除了零矩阵 221、222 以外还设定了零矩阵 231、232 作为零矩阵时,能够配置需要发送的信息比特的最大比特数为 19 比特。换言之,发送装置根据需要发送的信息比特的数据长度(比特数),设定零矩阵即可。另外,如上所述,零矩阵可以是 1 行 1 列,也可以不连续。

[0120] 图 6 表示使用上述的奇偶校验生成矩阵 g 进行编码的编码器的结构例。图 6 的编码器 100 包括:零矩阵设定单元 110、配置单元 120、编码单元 130 以及删截单元(数据削减单元)140。以下,以将如报头等那样、数据长度一定的信息序列输入到编码器 100 的情况为例进行说明。

[0121] 零矩阵设定单元 110 设定既为 QC — LDPC 的奇偶校验生成矩阵 g 的部分矩阵且

由元素都为“0”构成的零矩阵。零矩阵的设定方法在信息序列的数据长度如报头等那样唯一地确定时,设定列数为报头长度以上的零矩阵。另外,以下,以将图4的零矩阵221、222、……设定为零矩阵的情况为例进行说明。零矩阵设定单元110将奇偶校验生成矩阵g中的零矩阵的位置信息输出到配置单元120以及删截单元(数据削减单元)140。

[0122] 配置单元120输入报头的信息序列,基于由零矩阵设定单元110通知的零矩阵的位置信息,将信息比特(输入比特)配置在零矩阵的列,将“0”配置在零矩阵以外的列作为虚拟比特。

[0123] 例如,在由零矩阵设定单元110通知了零矩阵221、222的位置的情况下,配置单元120将信息比特(输入比特)配置在零矩阵221的列 $x_{36} \sim x_{47}$,将“0”配置在 $x_{36} \sim x_{47}$ 以外。配置单元120将配置后的比特输出到编码单元130。

[0124] 编码单元130使用奇偶校验生成矩阵g,对从配置单元120输出的比特进行编码而获取编码序列(信息比特及奇偶校验位)。编码单元130将编码序列输出到删截单元(数据削减单元)140。

[0125] 删截单元(数据削减单元)140基于由零矩阵设定单元110通知的零矩阵221、222的位置的信息,从编码序列中将配置在 $x_{36} \sim x_{47}$ 以外的“0”作为不发送的比特进行删截(删除)。

[0126] 另外,删截单元(数据削减单元)140基于由零矩阵设定单元110通知的零矩阵221、222的位置的信息,从编码序列中,将与零矩阵221、222的行对应的奇偶校验位 $p_1 \sim p_7$ 、 $p_{28} \sim p_{34}$ 、……作为不发送的比特进行删截(删除)。

[0127] 删截单元(数据削减单元)140将从编码序列中作为不发送的比特而删截(删除)了的比特以外的编码序列作为需要发送的比特输出。

[0128] 图7表示对从上述的编码器发送的信号进行解码的解码器的结构例。

[0129] 解码器300包括固定对数似然比插入单元310及BP(Belief Propagation:置信传播)解码单元320。

[0130] 固定对数似然比插入单元310输入由未图示的对数似然比计算单元计算的接收对数似然比以及表示与零矩阵的位置有关的信息的控制信号,并根据零矩阵的位置,对接收对数似然比插入已知的对数似然比。

[0131] 例如,在编码端,在使用了零矩阵221、222、……时,将与 $x_{36} \sim x_{47}$ 及 $p_8 \sim p_{27}$ 、 $p_{35} \sim \dots$ 对应的接收对数似然比 $LLR_{x_{36}} \sim LLR_{x_{47}}$ 、 $LLR_{p_8} \sim LLR_{p_{27}}$ 、 $LLR_{p_{35}} \sim \dots$ 输入到固定对数似然比插入单元310。因此,固定对数似然比插入单元310插入与 $x_1 \sim x_{35}$ 、 x_{48} 、……对应的接收对数似然比 $LLR_{x_1} \sim LLR_{x_{35}}$ 、 $LLR_{x_{48}} \dots$ 、 $LLR_{p_1} \sim LLR_{p_7}$ 、 $LLR_{p_{28}} \sim LLR_{p_{34}}$ 。

[0132] 具体而言,在编码端使用了零矩阵221、222、……时,相当于发送了“0”作为 $x_1 \sim x_{35}$ 、 x_{48} 、……、 $p_1 \sim p_7$ 、 $p_{28} \sim p_{34}$ 、……,所以固定对数似然比插入单元310插入与已知比特“0”对应的固定的对数似然比作为 $x_1 \sim x_{35}$ 、 x_{48} ……的对数似然比 $LLR_{x_1} \sim LLR_{x_{35}}$ 、 $LLR_{x_{48}} \dots$ 、 $LLR_{p_1} \sim LLR_{p_7}$ 、 $LLR_{p_{28}} \sim LLR_{p_{34}}$ ……。在图7中,以虚线的圆包围的接收对数似然比表示由固定对数似然比插入单元310插入了的接收对数似然比。

[0133] 固定对数似然比插入单元310将插入后的对数似然比输出到BP解码单元320。

[0134] BP解码单元320例如使用非专利文献5至非专利文献7中记载的和-积(sum-product)解码、最小和(min-sum)解码、归一化BP(Normalized BP)解码、偏置BP

(offset BP) 解码等进行解码。

[0135] 以下,说明具有上述那样构成的编码器的通信装置#1的结构、以及具有上述那样构成的解码器并接收从通信装置#1发送的信号的通信装置#2的结构。

[0136] 图8是表示通信装置#1发送的调制信号的帧结构例的图。控制信息码元是用于将调制方式、使用的纠错码、编码率、发送方法、数据长度等控制信息传输到通信对方(通信装置#2)的码元。信息码元是用于传输通过QC-LDPC编码而得到的信息比特及奇偶校验位的码元。

[0137] 图9表示通信装置#1的结构例。在图9的通信装置400中,编码单元410输入信息序列,并将编码序列输出到交织器420。编码单元410由图6的编码器100构成。

[0138] 交织器420输入编码序列,进行交织而获得交织后的数据。另外,根据码的种类,也可以不设置交织器420。

[0139] 映射单元430输入交织后的数据,通过进行QPSK(Quadrature Phase Shift Keying:四相移相键控)、16QAM(Quadrature Amplitude Modulation:正交振幅调制)等调制而获得基带信号。

[0140] 发送单元440输入基带信号,通过进行正交调制、变频等规定的信号处理而获得调制信号,并发送调制信号。

[0141] 图10表示通信装置#2的结构例。在图10的通信装置500中,接收单元510输入接收信号,进行变频等规定的无线处理,由此获得基带信号。接收单元510将基带信号输出到控制信息检测单元520及对数似然比计算单元530。

[0142] 控制信息检测单元520从基带信号检测与零矩阵有关的信息、交织模式的信息、与编码率有关的信息等。然后,控制信息检测单元520将交织模式的信息输出到解交织器540,并将与零矩阵有关的信息及与编码率有关的信息输出到解码单元550。

[0143] 对数似然比计算单元530输入基带信号,并使用例如非专利文献5所示的方法计算对数似然比,获得各个比特的对数似然比。对数似然比计算单元530将各个比特的对数似然比输出到解交织器540。

[0144] 解交织器540输入各个比特的对数似然比,进行与交织器420对应的解交织的处理而获得解交织后的对数似然比。另外,解码单元550在进行BP解码时,即使不设置解交织器540,也通过准备考虑了解交织的校验矩阵,能够进行解码。

[0145] 解码单元550由图7的解码器300构成。解码单元550输入解交织后的对数似然比,进行与编码单元410对应的解码而获得接收数据。

[0146] 如上所述,在本实施方式中,零矩阵设定单元110设定既为奇偶校验生成矩阵 g 的部分矩阵且元素都为“0”的零矩阵。配置单元120将输入比特配置到零矩阵的列,将“0”配置到零矩阵以外的列。编码单元130使用奇偶校验生成矩阵 g 进行编码而获取奇偶校验位。删截单元(数据削减单元)140基于由零矩阵设定单元110通知的零矩阵的位置的信息,将配置到零矩阵以外的列的“0”删截(删除)作为不发送的比特,进而将所获得的奇偶校验位中的、与零矩阵的行对应的奇偶校验位删截(删除)作为不发送的比特。

[0147] 由此,编码器100输入信息比特,并通过信息比特与奇偶校验生成矩阵的矩阵运算而生成奇偶校验位时,将信息比特配置到奇偶校验生成矩阵中的、与元素都为零的部分矩阵的列对应的位置,将零配置到奇偶校验生成矩阵中的、与元素都为零的部分矩阵以外

的列对应的位置,进行配置后的信息比特及零与奇偶校验生成矩阵的矩阵运算。由此,编码器 100 生成奇偶校验序列,并删除奇偶校验序列中的、值总为零的奇偶校验位,输出删除后的奇偶校验序列。

[0148] 换言之,编码器 100 将零插入在信息比特中,进行信息比特及零与 QC-LDPC 的奇偶校验生成矩阵的矩阵运算而生成奇偶校验位,基于插入零的位置及奇偶校验生成矩阵,删除奇偶校验位中的、值总为零的奇偶校验位,并将删除后的奇偶校验序列输出。

[0149] 因此,在具有编码器 100 的发送装置 400 中,发送单元 440 通过发送输入比特、以及奇偶校验位中的、与零矩阵的行对应的所述奇偶校验位以外的奇偶校验位,从而即使不将与零矩阵的行对应的奇偶校验位发送到接收端,在接收端也能够插入已知的固定的对数似然比作为与零矩阵的行对应的奇偶校验位的对数似然比,从而进行解码,所以能够降低要发送的奇偶校验位数,并提高传输效率。

[0150] 另外,需要发送的信息比特并不限于包含控制信息等的报头,也可以是有效载荷数据(用于信息传输的码元)等。总之,如果需要发送的信息比特的数小于 QC-LDPC 码所包含的零矩阵的列数,则能够适用本发明。需要发送的信息比特是报头,且报头长度固定时,零矩阵设定单元 110 能够根据报头长度而预先设定最合适的零矩阵。

[0151] 另一方面,需要发送的信息比特为有效载荷数据时,数据长度因内容信息等的大小而发生变动。本发明也能够适用于需要发送的信息比特的数据长度例如像有效载荷数据那样变动的情况。在以下的实施方式 2 中,说明需要发送的信息比特的数据长度发生变动的情况。

[0152] (实施方式 2)

[0153] 在本实施方式中,说明在需要发送的信息比特的数据长度发生变动的情况下,适用了本发明时的情形。

[0154] 图 11 表示使用了 QC-LDPC 码时的 1 块的结构例。QC-LDPC 码是块码,如图 11 所示,1 块由信息比特和奇偶校验位构成。这里,设 1 块内的信息比特的比特数为 M 比特。

[0155] 图 12 表示本实施方式的编码器的结构例。另外,在图 12 的本实施方式的编码器中,对与图 6 共同的结构部分,附加与图 6 相同的标号,并省略其说明。相对于图 6 的编码器 100,图 12 的编码器 100a 具有零矩阵设定单元 110a 及配置单元 120a 来代替零矩阵设定单元 110 及配置单元 120。以下,以将 N 比特的信息序列输入到编码器 100a 的情况为例进行说明。

[0156] 零矩阵设定单元 110a 根据作为信息序列输入的信息比特(输入比特)的数据长度 N ,设定零矩阵。具体而言,零矩阵设定单元 110a 首先对信息比特(输入比特)的数据长度 N 进行计数。然后,零矩阵设定单元 110a 将数据长度 N 除以 QC-LDPC 码的 1 块的信息比特长度 M ,计算商 β 及余数 α 。

[0157] 配置单元 120a 在除法运算的结果 $N = kM$ (k 为整数)成立时,如图 13 所示,需要在 k 个所有块的信息比特区域配置作为信息序列输入的信息比特(输入比特)。也就是说,在 k 个块中,需要在 QC-LDPC 码的奇偶校验生成矩阵 g 的所有列配置各个信息比特(输入比特)。因此,在 $N = kM$ (k 为自然数)成立时,零矩阵设定单元 110a 不设定零矩阵,对配置单元 120a 输出指示信号,以在奇偶校验生成矩阵 g 的所有列配置信息比特(输入比特)。

[0158] 配置单元 120a 在除法运算的结果 $N \neq kM = \beta M + \alpha$ (k 为整数、 α 及 β 为自

然数)成立时,如图 13 所示,需要在 β 个块的信息比特的区域,配置信息比特(输入比特),在 1 块(特殊块)的信息比特的区域,配置 α 比特的信息比特(输入比特)。也就是说,配置单元 120a 需要在 β 个块中,在 QC-LDPC 码的奇偶校验生成矩阵 g 的所有列配置各个信息比特,在特殊块中,如实施方式 1 所述,在零矩阵的列配置信息比特(输入比特)。

[0159] 因此,在 $N \neq kM = \beta M + \alpha$ (k 、 α 及 β 为自然数)成立时,零矩阵设定单元 110a 根据需要通过特殊块发送的信息比特(输入比特)的数据长度 α ,设定零矩阵。此时,零矩阵设定单元 110a 根据数据长度 α 的值,切换设定的零矩阵。具体而言,零矩阵设定单元 110a 根据余数 α 与规定的阈值之间的比较结果,切换设定的零矩阵。如上所述,对于编码器 100a 而言,根据零矩阵,作为需要发送的信息比特而能够配置的比特数的最大值发生变动。

[0160] 另外,在图 13 中,将特殊块在时间上配置在最后,但配置位置并不限于此。

[0161] 以下,使用图 14,说明根据数据长度而设定零矩阵的动作。图 14 是下述情况的例子,即零矩阵设定单元 110a 具有两个阈值 a_1 、 a_2 ,根据数据长度 α 和两个阈值之间的比较结果,切换零矩阵。由于作为不发送的比特而能够删截(能够削减)的奇偶校验位数与零矩阵的行数相同,所以换言之,切换零矩阵成为切换要发送的奇偶校验位的削减方法。

[0162] 在 $0 < \alpha \leq a_1$ 时,通过零矩阵 # 1 (削减方法 # 1),削减要发送的奇偶校验位。例如,在 $0 < \alpha \leq a_1 (= 12)$ 时,零矩阵设定单元 110a 将零矩阵 221、222……设定为零矩阵。

[0163] 另外,在 $\alpha = 10$ 时,配置单元 120a 对 10 比特的信息加上 2 比特的“0”而成为 12 比特。然后,配置单元 120a 将该 12 比特分配给 $x_{36} \sim x_{47}$,将“0”分配给 $x_1 \sim x_{35}$ 、 $x_{48} \sim$ 。其结果,通过编码单元 130 得到的奇偶校验位中的、奇偶校验位 $p_1 \sim p_7$ 、 $p_{28} \sim p_{34}$ 、……总为“0”而不取决于的 $x_{36} \sim x_{47}$ 值。

[0164] 因此,删截单元(数据削减单元)140 通过将总为“0”的奇偶校验位 $p_1 \sim p_7$ 、 $p_{28} \sim p_{34}$ 作为不发送的比特进行删截,从而能够提高传输效率而不使解码特性劣化。

[0165] 另外,对 $x_{36} \sim x_{47}$ 以外的比特($x_1 \sim x_{35}$ 、 $x_{48} \sim$)分配已知比特“0”,所以删截单元(数据削减单元)140 也删截这些 $x_{36} \sim x_{47}$ 以外的比特(设定为不发送的比特)。除此以外,在 $\alpha = 10$ 时,删截单元(数据削减单元)140 将分配给 $x_{36} \sim x_{47}$ 的 2 比特的“0”作为不发送的比特进行删截(设定为不发送的比特)。由此,能够进一步提高传输效率。

[0166] 例如,在配置单元 120a 将“0”分配给了 x_{46} 、 x_{47} 时,通过删截单元(数据削减单元)140 将 x_{46} 、 x_{47} 删截,从而发送序列为 $x_{36} \sim x_{45}$ 、以及奇偶校验位 $p_8 \sim p_{27}$ 、 $p_{35} \sim p_{54}$ 、……,能够进一步提高传输效率。

[0167] 在 $a_1 < \alpha \leq a_2$ 时,通过零矩阵 # 2 (削减方法 # 2),削减要发送的奇偶校验位。例如,在 $a_1 = 12$ 、 $a_2 = 19$ 时,零矩阵设定单元 110a 除了将零矩阵 221、222、……设定为零矩阵以外,还将零矩阵 231、232、……设定为零矩阵。

[0168] 另外,在 $\alpha = 15$ 时,配置单元 120a 对 15 比特的信息加上 4 比特的“0”而成为 19 比特。另外,配置单元 120a 将该 19 比特分配给 $x_{36} \sim x_{47}$ 及 $x_{71} \sim x_{77}$,将“0”分配给 $x_1 \sim x_{35}$ 、 $x_{48} \sim x_{70}$ 、 $x_{78} \sim$ 。其结果,通过编码单元 130 得到的奇偶校验位中的、奇偶校验位 $p_1 \sim p_7$ 、 $p_{28} \sim p_{34}$ 、……总为“0”而不取决于的 $x_{36} \sim x_{47}$ 值。

[0169] 因此,删截单元(数据削减单元)140 通过将总为“0”的奇偶校验位 $p_1 \sim p_7$ 、 $p_{28} \sim$

p34 作为不发送的比特进行删截,从而能够提高传输效率而不使解码特性劣化。

[0170] 另外,对 $x36 \sim x47$ 、 $x71 \sim x77$ 以外的比特($x1 \sim x35$ 、 $x48 \sim x71$ 、 $x78 \sim$) 分配已知比特“0”,所以删截单元(数据削减单元)140 设定对这些 $x36 \sim x47$ 、 $x71 \sim x77$ 以外的比特进行删截(不发送的比特)。除此以外,在 $\alpha = 15$ 时,删截单元(数据削减单元)140 将分配给 $x36 \sim x47$ 、 $x71 \sim x77$ 中的某 x 的 4 比特的“0”作为不发送的比特进行删截(设定为不发送的比特)。

[0171] 由此,发送装置能够进一步提高传输效率。例如,在配置单元 120a 将“0”分配给 $x74 \sim x77$ 时,通过删截单元(数据削减单元)140 将 $x74 \sim x77$ 删截,从而发送序列为 $x36 \sim x45$ 、 $x71 \sim x73$ 、 $p8 \sim p27$ 、 $p35 \sim p54$, …… ,发送装置能够进一步提高传输效率。

[0172] 另外,在图 14 所示的例子中,在 $a2 < \alpha \leq M - 1$ 时,不设定零矩阵,并且不进行奇偶校验位的削减。也就是说,在将信息比特(输入比特)的数据长度 N 除以块长度 M 所得的余数 α 在规定的阈值以上时,将 α 个的信息比特(输入比特)及作为虚拟比特的 $(M - \alpha)$ 个的“0”配置在奇偶校验生成矩阵 g 的列。

[0173] 这样,零矩阵设定单元 110a 根据需要通过特殊块发送的信息比特(输入比特)的数据长度 α ,设定零矩阵。然后,零矩阵设定单元 110a 将奇偶校验生成矩阵 g 中的零矩阵的位置的信息通知给配置单元 120a 以及删截单元(数据削减单元)140。

[0174] 另外,零矩阵设定单元 110a,在 $a2 < \alpha \leq M - 1$ 时,不设定零矩阵,并且不进行奇偶校验位的削减。因此,在 $a2 < \alpha \leq M - 1$ 时,零矩阵设定单元 110a 通知删截单元(数据削减单元)140,以使其不删截奇偶校验位。

[0175] 如上所述,在本实施方式中,零矩阵设定单元 110a 根据信息比特(输入比特)的数据长度 N 设定奇偶校验生成矩阵 g 的部分矩阵且元素都为“0”的零矩阵。由此,发送装置能够在降低需要发送的奇偶校验位数的同时能够切实地发送信息比特(输入比特)。

[0176] 另外,在图 14 中,表示了根据余数 α 的值分为三种情况中的一种的例子,但情况划分数并不限于三个。例如,零矩阵设定单元 110a 也可以还具有阈值,划分为 Z 种情况。

[0177] 另外,在实现本实施方式时,具备解码器的接收装置需要知道余数 α 的值。作为实现其的简单方法,具备编码器的发送装置将要发送的数据的比特数的信息首先通知给接收装置即可。另外,此时,接收装置需要具备用于求 α 的运算单元。

[0178] (实施方式 3)

[0179] 在本实施方式中,说明 QC-LDPC 码的删截方法。

[0180] 图 15 表示本实施方式的编码器的结构例。图 15 的编码器 600 包括:编码单元 610、删截模式设定单元 620 以及删截单元(数据削减单元)630。

[0181] 编码单元 610 使用 QC-LDPC 的奇偶校验生成矩阵 g ,对信息序列进行编码。

[0182] 删截模式设定单元 620 利用 QC-LDPC 码的校验矩阵 H 以子块矩阵为基本单位构成,搜索并设定删截模式。在后面叙述删截模式的搜索方法。删截模式设定单元 620 将设定了的删截模式的信息输出到删截单元(数据削减单元)630。

[0183] 删截单元(数据削减单元)630 根据由删截模式设定单元 620 通知的删截模式,在从编码单元 610 输出的编码序列中,将信息比特或奇偶校验位删截作为不发送比特(设定为不发送的比特)。

[0184] 接着,说明删截模式设定单元 620 设定的删截模式的搜索方法。就删截模式而言,

利用 QC-LDPC 码的校验矩阵 H 以子块矩阵为基本单位而构成,搜索删截模式。

[0185] 删截模式设定单元 620 在搜索删截模式时,首先决定删截模式的周期。例如,在从 20 比特中选择 K 比特的不发送比特(删截比特)时,删截模式的周期为 20 比特。另外,此时删截模式的周期的 20 比特内包含的不发送比特(删截比特)的数设为 K 个,并且设为总是恒定。

[0186] 在本发明中,将删截模式的周期设为 QC-LDPC 码的校验矩阵的基本单元即子块矩阵 $I(p_{j,1})$ (q 行 r 列($r = (q + p_{j,1}) \bmod p$ ($0 \leq q \leq p - 1$) 为 1,其他为“0”的循环置换矩阵)的列数 L 的整数倍或列数 L 的约数(参照式(1))。

[0187] 例如,图 3 所示的 QC-LDPC 码的校验矩阵中的子块矩阵是 27 行 27 列($L = 27$)的矩阵,所以提出将 27 的整数倍或 27 的约数设定为删截模式的周期,设定 K 个不发送的比特(删截比特)。

[0188] 一般地,块码中,块长度越长,越能够获得良好的接收特性。但是,在块长度较长时,难以按块长度单位搜索最佳的删截模式。因此,在块长度较长时,考虑采用随机地选择删截比特的方式。但是,此时存在删截时的接收质量大幅劣化的可能性。

[0189] 对此,删截模式设定单元 620 着眼于构成 QC-LDPC 码的校验矩阵 H 的子块矩阵是规则的,在对子块矩阵的列数的每个整数倍或列数的每个约数,搜索删截模式时,能够以较短的时间找到特性良好的删截模式。

[0190] 作为删截模式的具体搜索方法,例如设定规定的 SNR (Signal-to-Noise power ratio:信号与噪声功率比),对每个删截模式求差错率,求差错率低的删截模式即可。

[0191] 发送装置通过使用这样搜索出的删截模式,将编码序列删截,从而能够在维持良好的接收质量的同时提高传输效率。也就是说,图 15 的结构上的重点在于,删截单元(数据削减单元)630 以构成 QC-LDPC 码的校验矩阵 H 的子块矩阵的列数的整数倍或列数的约数为单位,对编码序列进行删截。

[0192] 作为一例说明下述情况,即删截单元(数据削减单元)630 将删截模式的周期设为子块矩阵的列数 L ,对子块矩阵的每个列数 L ,将不发送的比特(删截比特)的数设定为恒定的 K 个。此时,删截单元(数据削减单元)630 对构成 QC-LDPC 码的校验矩阵 H 的子块矩阵的列数的每个整数倍,切换删截模式。

[0193] 使用图 16A ~ 图 16C 具体地说明删截模式的切换方法。

[0194] 图 16A 表示对于图 3 的检验矩阵 H,对子块矩阵的每个列数(列数的 1 倍)切换删截模式的情形。图 3 的校验矩阵 H 由 27 列的子块矩阵构成,所以删截单元(数据削减单元)630 对于 $x_1 \sim x_{27}$,使用删截模式 # 0 选择 K 个不发送的比特(删截比特)。另外,删截单元(数据削减单元)630 对于 $x_{28} \sim x_{54}$ 使用删截模式 # 1 选择 K 个不发送的比特(删截比特)。另外,删截单元(数据削减单元)630 对于 $p_{622} \sim p_{648}$ 使用删截模式 # 23 选择 K 个不发送的比特(删截比特)。

[0195] 图 16B 表示对于图 3 的检验矩阵 H,对子块矩阵的每个列数的 2 倍切换删截模式的情形。图 3 的校验矩阵 H 由 27 列的子块矩阵构成,所以删截单元(数据削减单元)630 对于 $x_1 \sim x_{27}$ 、 $x_{28} \sim x_{54}$,使用删截模式 # 0 选择 K 个不发送的比特(删截比特)。

[0196] 另外,删截单元(数据削减单元)630 对于 $x_{55} \sim x_{81}$ 、 $x_{82} \sim x_{108}$ 使用删截模式 # 1 选择 K 个不发送的比特(删截比特)。另外,删截单元(数据削减单元)630 对于 $x_{109} \sim$

x135、x136 ~ x162 使用删截模式 # 2 选择 K 个不发送的比特(删截比特)。

[0197] 图 16C 表示对于图 3 的检验矩阵 H,将子块矩阵的列数的约数 9 列作为基本周期,对每 9 列切换删截模式的情形。具体而言,删截单元(数据削减单元)630 对于 x1 ~ x9 使用删截模式 # 0 选择 K 个不发送的比特(删截比特)。

[0198] 删截单元(数据削减单元)630 对于 x10 ~ x18 使用删截模式 # 1 选择 K 个不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 x19 ~ x27 使用删截模式 # 2 选择 K 个不发送的比特(删截比特)。

[0199] 同样,删截单元(数据削减单元)630 对于 x28 ~ x36 使用删截模式 # 3 选择 K 个不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 x37 ~ x45 使用删截模式 # 4 选择 K 个不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 x46 ~ x54 使用删截模式 # 5 选择 K 个不发送的比特(删截比特)。

[0200] 同样,删截单元(数据削减单元)630 对于 x622 ~ x630 使用删截模式 # 69 选择 K 个不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 x631 ~ x639 使用删截模式 # 70 选择 K 个不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 x640 ~ x648 使用删截模式 # 71 选择 K 个不发送的比特(删截比特)。

[0201] 另外,删截单元(数据削减单元)630 也可以定义由删截模式 # 0 ~ # 2 构成的删截模式 # S0,对 x1 ~ x27 使用删截模式 # S0 选择 3K 个不发送的比特(删截比特)。同样,删截单元(数据削减单元)630 也可以定义由删截模式 # 3 ~ # 5 构成的删截模式 # S1,对 x28 ~ x54 使用删截模式 # S1 选择 3K 个不发送的比特(删截比特)。

[0202] 同样,删截单元(数据削减单元)630 也可以定义由删截模式 # 69 ~ # 71 构成的删截模式 # S23,对 x622 ~ x648 使用删截模式 # S23 选择 3K 个不发送的比特(删截比特)。

[0203] 也就是说,将子块矩阵的列数的约数作为基本周期进行删截,与将构成 QC-LDPC 码的校验矩阵 H 的子块矩阵的列数作为单位(周期)进行删截是等价的。

[0204] 如上所述,在本实施方式中,删截模式设定单元 620 按照构成 QC-LDPC 码的校验矩阵 H 的子块矩阵的列数的每个整数倍或列数的每个约数搜索删截模式,删截单元(数据削减单元)630 按照构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的每个整数倍或列数的每个约数切换删截模式。由此,能够以较短的时间切实地搜索可获得良好的接收质量的删截模式,能够在维持良好的接收质量的同时提高传输效率。

[0205] 另外,在以上的说明中,以对构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的每个整数倍或列数的每个约数切换删截模式的情况为例进行了说明,但不必一定切换删截模式。

[0206] 例如,图 16A 中,“删截模式 # 0”、“删截模式 # 1”、……“删截模式 # 23”也可以为同一删截模式。另外,图 16B 中,“删截模式 # 0”、“删截模式 # 1”、“删截模式 # 2”……也可以为同一删截模式。

[0207] 另外,图 16C 中,“删截模式 # 0”、“删截模式 # 1”、……“删截模式 # 71”也可以为同一删截模式。总而言之,删截模式的单位只要是构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的整数倍或列数的约数即可。

[0208] (实施方式 4)

[0209] 在本实施方式中,说明将在实施方式 1 及实施方式 2 中说明了的编码方法利用于

控制信息时的编码方法的例子。

[0210] 作为一例,以下说明使用编码率(Coding rate) (R)=1/2, LDPC 码信息块长度(比特)(code information block length(bits))=168, LDPC 码字块长度(比特)(codeword block length(bits))=336 的 QC-LDPC 码,对 200 比特的控制信息进行编码的情况。

[0211] 图 17 表示将 200 比特的控制信息分割为 168 比特和 32 比特,将 168 比特配置到块 # 1,将 32 比特配置到块 # 2 的情况。在图 17 中,在块 # 2,对于块长度 168 比特,只配置 32 比特的控制信息。

[0212] 以下,如块 # 2 那样,需要发送的比特是短于块长度的块,其是实施方式 2 中说明了特殊的块。因此,与实施方式 2 同样,在块 # 2 中,“0”作为信息比特被配置为虚拟比特,并被编码。其结果,块 # 1 和块 # 2 中在接收质量上发生偏差,结果,200 比特的控制信息的接收质量取决于接收质量差的块。

[0213] 因此,在本实施方式中,如图 18 所示,将 200 比特的控制信息尽可能均等地配置到两个块 # 1、# 2,对各个块进行实施方式 1 中叙述的编码。具体而言,在控制信息为 200 比特时,对块 # 1 及块 # 2 双方各配置 100 比特的控制信息。

[0214] 由此,块 # 1 及块 # 2 都为特殊块,所以在块 # 1 及块 # 2 双方,“0”作为信息比特被配置为虚拟比特,并通过实施方式 1 中的编码方法被编码。由此,块 # 1 和块 # 2 之间的接收质量均等,能够确切地传输到通信对方。

[0215] 另外,在控制信息为 201 比特时,将 101 比特的控制信息配置到块 # 1,将 100 比特的控制信息配置到块 # 2。此时,块 # 1 中的控制信息的比特数与块 # 2 中的控制信息的比特数之差至多 1 比特。这样,发送装置通过将需要发送的信息尽可能均等地配置到两个块,从而能够使各个块间的接收质量均等,所以能够切实地将控制信息传输到通信对方。

[0216] 以上,在本实施方式中,将控制信息尽可能均等地配置到多个块。由此,发送装置通过对于配置后的各个块适用在实施方式 1 中说明了的编码方法,能够将控制信息等的建立通信所需信息切实地传输到通信对方。

[0217] 另外,本实施方式中的特殊块的生成方法与实施方式 2 中说明了的特殊块的生成方法相同。也就是说,发送装置将无需发送的信息比特及奇偶校验位双方设定为不发送的比特(设定为删截比特)。

[0218] (实施方式 5)

[0219] 在本实施方式中,表示一例 QC-LDPC 码,而且说明最适合于该 QC-LDPC 码的删截模式。

[0220] QC-LDPC 码的校验矩阵 H 如式(4)那样进行定义。

$$[0221] \quad H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} = P^{H_b} \dots (4)$$

[0222] 式(4)的校验矩阵 H 是 m 行 n 列的矩阵。这里, n 是码长度, m 是奇偶校验位数。因此,系统位数 k 为 $k = n - m$ 。另外,在式(4)中, $P_{i,j}$ 是 z 行 z 列的循环置换矩阵或 z 行 z 列的零矩阵。

[0223] 这里,式(4)的校验矩阵H通过 n_b 行 m_b 列的矩阵 H_b 展开。另外, $m = z \times m_b$ 、 $n = z \times n_b$ 的关系成立。另外,矩阵 H_b 的各个元素在 $P_{i,j}$ 中元素为“1”时,设为“1”,在 $P_{i,j}$ 中元素为“0”时,设为“0”。

[0224] 这里, $P_{i,j}$ 作为循环置换矩阵,是 z 行 z 列的单位矩阵或将 z 行 z 列的单位矩阵循环移位所得的矩阵的集合。由于循环置换矩阵是单位矩阵或将单位矩阵循环移位所得的矩阵的集合,所以若将矩阵 H_b 分解为与矩阵 H_b 大小相同的矩阵 H_{bm} ,则矩阵 H_{bm} 以零矩阵或将单位矩阵循环移位所得的矩阵表示。

[0225] 另外,以后在矩阵 H_{bm} 中,零矩阵标识为“-1”。另外,单位矩阵标识为“0”。另外,单位矩阵的循环置换矩阵使用该循环移位量 $p(i,j)(>0)$ 而标识为“ $p(i,j)$ ”。作为这样所简洁标识的矩阵 H_{bm} 的集合,能够表示矩阵 H_b 。

[0226] 然而,如式(5)所示,矩阵 H_b 分为两个子矩阵 H_{b1} 、 H_{b2} 。子矩阵 H_{b1} 是与信息比特有关的部分矩阵,子矩阵 H_{b2} 是与奇偶校验位有关的部分矩阵。

[0227] $H_b = [(H_{b1})_{mb \times kb} | (H_{b2})_{mb \times mb}] = 0 \cdots (5)$

[0228] 如式(6)所示,子矩阵 H_{b2} 进一步分为矢量 h_b 和子矩阵 H'_{b2} 。

[0229]

$$H_{b2} = [h_b | H'_{b2}] = \begin{bmatrix} h_b(0) & | & 1 & & & \\ h_b(1) & | & 1 & 1 & & 0 \\ \cdots & | & & 1 & \ddots & \\ \cdots & | & & & \ddots & 1 \\ \cdots & | & 0 & & & 1 & 1 \\ h_b(m_b-1) & | & & & & & 1 \end{bmatrix} \cdots (6)$$

[0230] 在式(6)中,子矩阵 H'_{b2} 是在 i 行 j 列($i = j$ 及 $i = j + 1$)的部分为“1”,其他的部分为“0”的矩阵。在子矩阵 H'_{b2} 中,标识为“1”的部分表示单位矩阵的移位量为“0”。也就是说,在展开为矩阵 H_b 时,通过 z 行 z 列的单位矩阵置换子矩阵 H'_{b2} 。

[0231] 另外,对矢量 h_b 的最上($h_b(0)$)和最下($h_b(m_b - 1)$)分配相同循环移位量。

[0232] 以下,考虑通过式(7)定义 H_b 的矩阵。通过式(7)定义的校验矩阵H能够对应各种编码率中最大码长度。

[0233]

$$p(f,i,j) = \begin{cases} p(i,j) & , p(i,j) \leq 0 \\ \left\lfloor p(i,j) \cdot \frac{z_f}{96} \right\rfloor & , p(i,j) > 0 \cdots (7) \end{cases}$$

[0234] 其中, $\left\lfloor p(i,j) \cdot \frac{z_f}{96} \right\rfloor$ 表示 $p(i,j) \cdot \frac{z_f}{96}$ 的整数部分。

[0235] 在式(7)中, $p(f,i,j)$ 表示单位矩阵的循环移位量, f 表示对应于各种编码率的码长度的索引。另外, z_f 称为展开系数(expansion factor),具有 $z_f = k/n$ 的关系。

[0236] 式(8)表示基于式(7)的编码率 $1/2 (= k/n)$ 的矩阵 H_b 。

[0237]

$$\begin{pmatrix} -1 & 94 & 73 & -1 & -1 & -1 & -1 & -1 & 55 & 83 & -1 & -1 & 7 & 0 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & 27 & -1 & -1 & -1 & 22 & 79 & 9 & -1 & -1 & -1 & 12 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & 24 & 22 & 81 & -1 & 33 & -1 & -1 & -1 & 0 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 & -1 \\ 61 & -1 & 47 & -1 & -1 & -1 & -1 & -1 & 65 & 25 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & 39 & -1 & -1 & -1 & 84 & -1 & -1 & 41 & 72 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & -1 & 46 & 40 & -1 & 82 & -1 & -1 & -1 & 79 & 0 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 \\ -1 & -1 & 95 & 53 & -1 & -1 & -1 & -1 & -1 & 14 & 18 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 \\ -1 & 11 & 73 & -1 & -1 & -1 & 2 & -1 & -1 & 47 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 \\ 12 & -1 & -1 & -1 & 83 & 24 & -1 & 43 & -1 & -1 & -1 & 51 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 \\ -1 & -1 & -1 & -1 & -1 & 94 & -1 & 59 & -1 & -1 & 70 & 72 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 \\ -1 & -1 & 7 & 65 & -1 & -1 & -1 & -1 & 39 & 49 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 \\ 43 & -1 & -1 & -1 & -1 & 66 & -1 & 41 & -1 & -1 & -1 & 26 & 7 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 \end{pmatrix}$$

... (8)

[0238] 在式(8)中,“0”表示单位矩阵。另外,“-1”表示零矩阵。另外,例如,第1行第2列的“94”表示将单位矩阵循环移位了94所得的矩阵。同样,第4行第1列的“61”表示将单位矩阵循环移位了61所得的矩阵。

[0239] 另外,式(9)表示基于式(7)的编码率 $5/6 (= k/n)$ 的矩阵 H_0 。

[0240]

$$\begin{pmatrix} 1 & 25 & 55 & -1 & 47 & 4 & -1 & 91 & 84 & 8 & 86 & 52 & 82 & 33 & 5 & 0 & 36 & 20 & 4 & 77 & 80 & 0 & -1 & -1 \\ -1 & 6 & -1 & 36 & 40 & 47 & 12 & 79 & 47 & -1 & 41 & 21 & 12 & 71 & 14 & 72 & 0 & 44 & 49 & 0 & 0 & 0 & 0 & -1 \\ 51 & 81 & 83 & 4 & 67 & -1 & 21 & -1 & 31 & 24 & 91 & 61 & 81 & 9 & 86 & 78 & 60 & 88 & 67 & 15 & -1 & -1 & 0 & 0 \\ 50 & -1 & 50 & 15 & -1 & 36 & 13 & 10 & 11 & 20 & 53 & 90 & 29 & 92 & 57 & 30 & 84 & 92 & 11 & 66 & 80 & -1 & -1 & 0 \end{pmatrix} \quad \dots \quad (9)$$

[0241] 以上,表示一例编码率 1/2 及 5/6 的 QC-LDPC 的矩阵 H_b 。以下,说明可适用于这些 QC-LDPC 的矩阵 H_b 的删截模式。

[0242] 图 19A 表示式(8)所示的编码率 1/2 的 QC-LDPC 的矩阵 H_b 。如图 19A 所示, 编码率 1/2 的矩阵 H_b 中, 与信息比特有关的部分矩阵 H_{b1} 为 12 行, 所以与奇偶校验位有关的部分矩阵 H_{b2} 为 12 列。

[0243] 图 19A 中的与奇偶校验位有关的部分矩阵 H_{b2} 除了第 1 行第 1 列及第 12 行第 1 列以外,由“-1”、“0”构成,而为规则的排列。如上所述,“-1”表示零矩阵,“0”表示单位矩阵。另外,第 1 行第 1 列及第 12 行第 1 列的“7”是将单位矩阵循环移位了 7 所得的循环置换矩阵。

[0244] 此时,在与奇偶校验位有关的部分矩阵 H_{b2} 的列中,即使由单位矩阵、零矩阵构成的部分使用同一删截模式,对接收质量造成的影响也低。因此,对于由单位矩阵、零矩阵构成的部分即使使用同一删截模式 # A,也能够获得良好的接收特性(参照图 19A)。另外,对于不属于由单位矩阵、零矩阵构成的部分的列,假设设定不同的删截模式。但是,也可以是一部分或全部的删截模式为同一删截模式。

[0245] 进而, 编码序列也可以与实施方式 3 中叙述过的删截方法组合。也就是说, 若编码序列以构成 QC-LDPC 码的校验矩阵 H 的子块矩阵的列数的整数倍或列数的约数为单位, 进行删截, 则更为有效。图 19B、图 19C 表示了下述情况的例子, 即对于与奇偶校验位有关的部分矩阵 H_{b2} , 以构成 QC-LDPC 码的校验矩阵 H 的子块矩阵的列数的整数倍或列数的约数为单位, 进行删截。

[0246] 图 19B 表示式(8)所示的编码率 1/2 的 QC-LDPC 的矩阵 H_0 及删截模式的另外的适用例。图 19B 是将删截模式的周期设定为构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的

整数倍(2 倍)的情况的例子。另外,图 19B 是对由单位矩阵、零矩阵构成的部分使用同一删截模式 # B 的例子。

[0247] 另外,图 19C 表示式(8)所示的编码率 $1/2$ 的 QC-LDPC 的矩阵 H_b 及删截模式的另外的适用例。图 19C 是以构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的 $1/2$ 为单位生成了删截模式的情况的例子。另外,图 19C 是对由单位矩阵、零矩阵构成的部分使用同一删截模式的例子。

[0248] 具体而言,图 19C 表示下述情况,即对于由 100 行 100 列的子块矩阵构成的校验矩阵 H ,将子块矩阵的列数的 $1/2$ 即约数 50 列作为基本周期,每 50 列切换删截模式。

[0249] 具体而言,删截单元(数据削减单元)630 对于 $p_{100} \sim p_{149}$,使用删截模式 # 1 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 $p_{150} \sim p_{199}$,使用删截模式 # 2 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 $p_{200} \sim p_{249}$,使用删截模式 # 3 选择不发送的比特(删截比特)。

[0250] 删截单元(数据削减单元)630 对于 $p_{250} \sim p_{299}$,使用删截模式 # 4 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 $p_{1100} \sim p_{1149}$,使用删截模式 # 21 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 $p_{1150} \sim p_{1199}$,使用删截模式 # 22 选择不发送的比特(删截比特)。

[0251] 图 20A 表示式(9)所示的编码率 $5/6$ 的 QC-LDPC 的矩阵 H_b 。如图 20A 所示,编码率 $5/6$ 的校验矩阵 H_b 中,与信息比特有关的部分矩阵 H_{b1} 为 4 行,所以与奇偶校验位有关的部分矩阵 H_{b2} 为 4 列。

[0252] 图 20A 中的与奇偶校验位有关的部分矩阵 H_{b2} 除了第 1 行第 1 列及第 4 行第 1 列以外,由“-1”、“0”构成,为规则的排列。另外,第 1 行第 1 列及第 4 行第 1 列的“80”是将单位矩阵循环移位了 80 所得的循环置换矩阵。

[0253] 这样,在编码率 $5/6$ 的情况下同样,在与奇偶校验位有关的部分矩阵 H_{b2} 的列中,即使由单位矩阵、零矩阵构成的部分使用同一删截模式,对接收质量造成的影响也低。因此,对于由单位矩阵、零矩阵构成的部分的列,即使使用同一删截模式 # A,接收装置也能够获得良好的接收特性(参照图 20A)。另外,对于不属于由单位矩阵、零矩阵构成的部分的列,设定不同的删截模式,但一部分也可以是同一删截模式。

[0254] 图 20B 表示式(9)所示的编码率 $5/6$ 的 QC-LDPC 的矩阵 H_b 及删截模式的另外的适用例。图 20B 是将删截模式的周期设定为构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的整数倍(3 倍)的情况的例子。

[0255] 另外,图 20C 表示式(9)所示的编码率 $5/6$ 的 QC-LDPC 的矩阵 H_b 及删截模式的另外的适用例。图 20C 是对构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的每个 $1/2$ 的列数生成了删截模式的情况的例子。另外,与图 20B 同样,图 20C 是对由单位矩阵、零矩阵构成的部分使用同一删截模式的例子。

[0256] 具体而言,图 20C 表示下述情况,即对于由 100 行 100 列的子块矩阵构成的校验矩阵 H ,将子块矩阵的列数的 $1/2$ 即约数 50 列作为基本周期,对每 50 列切换删截模式。

[0257] 具体而言,删截单元(数据削减单元)630 对于 $p_{100} \sim p_{149}$,使用删截模式 # 1 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 $p_{150} \sim p_{199}$,使用删截模式 # 2 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 $p_{200} \sim p_{249}$,使

用删截模式 # 3 选择不发送的比特(删截比特)。

[0258] 删截单元(数据削减单元)630 对于 p250 ~ p299, 使用删截模式 # 4 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 p300 ~ p349, 使用删截模式 # 5 选择不发送的比特(删截比特)。删截单元(数据削减单元)630 对于 p350 ~ p399, 使用删截模式 # 6 选择不发送的比特(删截比特)。

[0259] 这样, 在与奇偶校验位有关的部分矩阵 H_{b2} 的列中, 由单位矩阵、零矩阵构成的部分设定同一删截模式, 对于不属于由单位矩阵、零矩阵构成的部分的列, 设定不同的删截模式。

[0260] 另外, 不属于由单位矩阵、零矩阵构成的部分的列, 例如, 也可以如实施方式 3 中叙述过的那样, 对构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的每个整数倍或列数的每个约数, 切换删截模式。

[0261] 另外, 不属于由单位矩阵、零矩阵构成的部分的列, 也可以适用删截模式的模式长度是构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的每个整数倍或列数的约数的同一删截模式。

[0262] (实施方式 6)

[0263] 本实施方式表示, 在使用实施方式 5 中说明了的 QC-LDPC 码, 并且将构成实施方式 4 中说明了的 QC-LDPC 码的校验矩阵的子块矩阵的列数的整数倍或列数的约数作为单位, 进行删截, 在所有删截中, 使用了同一删截模式时的例子。

[0264] 实施方式 6 中说明用于从具有编码率 1/2 的式(8)的校验矩阵的 QC-LDPC 码, 通过删截, 实现编码率约为 0.65 的删截模式。但是, 构成 QC-LDPC 码的校验矩阵的子块矩阵的大小设为行数 350、列数 350。因此, QC-LDPC 码的信息块长度(比特)(Information block length(bits))为 4200, LDPC 码字块长度(比特)(codeword block length(bits))为 8400。

[0265] 此时, LDPC 码的码字(codeword)如下所示。

[0266] $v=[x_0, x_1, \dots, x_{4198}, x_{4199}, p_0, p_1, \dots, p_{4198}, p_{4199}]$

[0267] $=[s_0, s_1, s_2, \dots, s_{8397}, s_{8398}, s_{8399}]$

[0268] $=[v_0, v_1, v_2, \dots, v_{167}]$

[0269] 其中, v 表示码字、 x 表示信息、 p 表示奇偶校验 (parity)。

[0270] 另外, $v_0, v_1, \dots, v_i, \dots, v_{167}$ 如下所示。

[0271] $v_0=[s_0, s_1, \dots, s_{48}, s_{49}]$ 、

[0272] $v_1=[s_{50}, s_{51}, \dots, s_{98}, s_{99}]$ 、 $\dots$ 、

[0273] $v_i=[s_{50*i}, s_{50*i+1}, \dots, s_{50*i+48}, s_{50*i+49}]$ 、 $\dots$ 、

[0274] $v_{167}=[s_{8350}, s_{8351}, \dots, s_{8398}, s_{8399}]$

[0275] 本发明人根据搜索了删截模式的结果, 确认了若将构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的约数即 50 设为删截模式的周期, 就能提供良好的接收质量。

[0276] 提供良好的接收质量的删截模式如下所示。

[0277] (1, 8, 19, 20, 25, 28, 29, 31, 38, 40, 41)

[0278] 作为另外的表达, 删截表 w 以 $w=[101111110111111111110011110110010111111010011111111]$ 表示。

[0279] 此时, w 中所包含的“0”意味着不发送的比特。也就是说, 删截表 w 对于 v_i , 如图 21

所示,决定不发送的比特。因此,对于 $vi=[s50*i, s50*i+1, \dots, s50*i+48, s50*i+49]$, 除去不发送的比特后的、要发送的数据比特 vi' 表示为: $vi'=[s50*i, s50*i+2, s50*i+3, s50*i+4, s50*i+5, s50*i+6, s50*i+7, s50*i+9, s50*i+10, s50*i+11, s50*i+12, s50*i+13, s50*i+14, s50*i+15, s50*i+16, s50*i+17, s50*i+18, s50*i+21, s50*i+22, s50*i+23, s50*i+24, s50*i+26, s50*i+27, s50*i+30, s50*i+32, s50*i+33, s50*i+34, s50*i+35, s50*i+36, s50*i+37, s50*i+39, s50*i+42, s50*i+43, s50*i+44, s50*i+45, s50*i+46, s50*i+47, s50*i+48, s50*i+49]$ 。

[0280] 说明用于从具有编码率 5/6 的式(9)的校验矩阵的 QC-LDPC 码,通过删截,实现编码率约为 0.95 的删截模式。但是,构成 QC-LDPC 码的校验矩阵的子块矩阵的大小设为行数 210、列数 210。因此,在 QC-LDPC 码中,信息块长度(比特)(Information block length(bits))为 4200,LDPC 码字块长度(比特)(codeword block length(bits))为 5040。

[0281] 此时,LDPC 码的码字如下所示。

[0282] $v=[x0, x1, \dots, x4198, x4199, p0, p1, \dots, p838, p839]$

[0283] $=[s0, s1, s2, \dots, s5037, s5038, s5039]$

[0284] $=[v0, v1, v2, \dots, v79]$

[0285] 其中, v 表示码字、 x 表示信息、 p 表示奇偶校验。

[0286] 另外, $v0, v1, \dots, vi, \dots, v79$ 如下所示。

[0287] $v0=[s0, s1, \dots, s61, s62]$ 、

[0288] $v1=[s63, s64, \dots, s124, s125], \dots,$

[0289] $vi=[s63*i, s63*i+1, \dots, s63*i+61, s63*i+62], \dots,$

[0290] $v79=[s4977, s4978, \dots, s5038, s5039]$ 。

[0291] 本发明人根据搜索了删截模式的结果,确认了若将 63 设为删截模式的周期,就能够提供良好的接收质量。

[0292] 提供良好的接收质量的删截模式如下所示。

[0293] (3, 18, 20, 27, 39, 50, 60)

[0294] 作为另外的表达,删截表 w 以 $w=[1110111111111111110101111110111111111101111111110111111110111111110111]$ 表示。

[0295] 此时, w 中所包含的“0”表示不发送的比特。也就是说,删截表 w 对于 vi ,如图 22 所示,决定不发送的比特。因此,对于 $vi=[s63*i, s63*i+1, \dots, s63*i+61, s63*i+62]$, 除去不发送的比特后的、要发送的数据比特 vi' 表示为: $vi'=[s63*i, s63*i+1, s63*i+2, s63*i+4, s63*i+5, s63*i+6, s63*i+7, s63*i+8, s63*i+9, s63*i+10, s63*i+11, s63*i+12, s63*i+13, s63*i+14, s63*i+15, s63*i+16, s63*i+17, s63*i+19, s63*i+21, s63*i+22, s63*i+23, s63*i+24, s63*i+25, s63*i+26, s63*i+28, s63*i+29, s63*i+30, s63*i+31, s63*i+32, s63*i+33, s63*i+34, s63*i+35, s63*i+36, s63*i+37, s63*i+38, s63*i+40, s63*i+41, s63*i+42, s63*i+43, s63*i+44, s63*i+45, s63*i+46, s63*i+47, s63*i+48, s63*i+49, s63*i+51, s63*i+52, s63*i+53, s63*i+54, s63*i+55, s63*i+56, s63*i+57, s63*i+58, s63*i+59, s63*i+61, s63*i+62]$

[0296] 此时,若将删截模式的周期设为 20 ~ 90 左右,则接收时的数据质量良好。另外,删截模式的周期是指删截模式的最小周期。例如,删截表 $w1=[001]$ 的删截模式的周期为 3。

另外,删截表 $w_2=[001001]$ 是周期 6 的结构,但是其由两个删截表 $w_1=[001]$ 构成,删截表 w_1 的删截模式的周期为 3,所以删截表 w_2 的删截模式的(最小)周期与删截表 w_1 相同为 3。也就是说,删截模式的周期是指构成删截模式的模式中的、最小模式的模式长度。另外,删截表 $w_3=[010]$ 与将 w_1 循环移位后所得的删截表相同,但若考虑上述的 w 、 v_i 、 v_i' 的关系,则可以说 w_3 和 w_1 是不同的删截模式。也就是说,在有删截表 w_x 和删截表 w_y 时,即使将 w_x 循环移位(但是,不包括“0”比特循环移位)后与 w_y 相同, w_x 与 w_y 也是不同的删截模式。

[0297] 删截模式的周期过长时,在不发送的比特(删截比特)的配置上产生随机性,与在二进删除信道(binary erasure channel)中产生了随机差错的模式近似,所以接收时的数据质量变差。另一方面,在删截模式的周期过短时,不发送的比特(删截比特)的配置偏向一边,所以成为适合的删截模式的可能性变低,接收时的数据质量恶化。因此,将删截模式的周期设为 20 ~ 90 左右很重要。

[0298] 另外,将删截模式的周期设定为 20 ~ 90 左右时,若删截表 w 包含三个以上的“0”,则接收时的数据质量良好(能够生成在接收(解码)时能获得良好的数据质量的删截模式的可能性高)。若删截表 w 包含三个以上的“0”,则不发送的比特(删截比特)的配置上规则性消失,而随机性增加,所以接收时的数据质量良好。

[0299] 进而,若将删截模式的周期设定为 20 ~ 90 左右,使删截表 w 包含三个以上的“0”,并且将构成 QC-LDPC 码的校验矩阵的子块矩阵的列数的整数倍或列数的约数设定为删截模式的周期,则能够生成在接收(解码)时能获得良好的数据质量的删截模式的可能性高。

[0300] 上述以外的删截模式如下所示。

[0301] 用于从构成 QC-LDPC 码的校验矩阵的子块矩阵的大小设为行数 80、列数 80,且具有编码率 $1/2$ 的式(8)的校验矩阵的 QC-LDPC 码(信息块长度(比特)(Information block length(bits))=960, LDPC 码字块长度(比特)(codeword block length(bits))=1920),通过删截而实现编码率约 0.65、0.75 的删截模式如下所示。

[0302] 编码率约 0.65 时: $w=[11111101100100111111]$

[0303] 编码率约 0.75 时: $w=[11001111111101111111001111100011110000111]$

[0304] 用于从构成 QC-LDPC 码的校验矩阵的子块矩阵的大小设为行数 48、列数 48,且具有编码率 $5/6$ 的式(9)的校验矩阵的 QC-LDPC 码(信息块长度(比特)(Information block length(bits))=960, LDPC 码字块长度(比特)(codeword block length(bits))=1152),通过删截而实现编码率约 0.95 的删截模式如下所示。

[0305] $w=[1111111101111111111011110111111110011111101111]$

[0306] 用于从构成 QC-LDPC 码的校验矩阵的子块矩阵的大小设为行数 180、列数 180,且具有编码率 $1/2$ 的式(8)的校验矩阵的 QC-LDPC 码(信息块长度(比特)(Information block length(bits))=2160, LDPC 码字块长度(比特)(codeword block length(bits))=4320),通过删截而实现编码率约 0.65、0.75 的删截模式如下所示。

[0307] 编码率约 0.65 时: $w=[101111110000111111011111100111011111]$

[0308] 编码率约 0.75 时: $w=[111111010000011010011111111110]$

[0309] 用于从构成 QC-LDPC 码的校验矩阵的子块矩阵的大小设为行数 108、列数 108,且具有编码率 $5/6$ 的式(9)的校验矩阵的 QC-LDPC 码(信息块长度(比特)(Information block length(bits))=2160, LDPC 码字块长度(比特)(codeword block length(bits))=2592),

通过删截而实现编码率约 0.95 的删截模式如下所示。

[0310] $w = [10111111111111110111111110111]$

[0311] (实施方式 7)

[0312] 实施方式 5 中说明了下述情况,即在奇偶校验矩阵 H_b 中,通过由单位矩阵及零矩阵构成的子矩阵 H'_{b2} (参照式(6))和子矩阵 H'_{b2} 以外的子矩阵(以下标识为“ H'_{b1} ($= H_{b1} + h_b$)”,参照式(5)及式(6)),使用不同的删截模式。作为其一例,在实施方式 5 中说明了下述情况,即如图 19A~图 19C、图 20A~图 20C 所示,对由单位矩阵及零矩阵构成的子矩阵 H'_{b2} ,将子块矩阵的列数的整数倍或列数的约数作为单位,使用同一删截模式。

[0313] 在本实施方式中说明下述情况,即:与实施方式 5 同样,在奇偶校验矩阵 H_b 中,通过由单位矩阵及零矩阵构成的子矩阵 H'_{b2} 和子矩阵 H'_{b1} ,使用不同的删截模式。具体而言,说明下述情况,即:如与图 20B 对应的图 23 所示,对子矩阵 H'_{b1} 使用将子矩阵 H'_{b1} 的列数设为删截周期的删截模式 # p1,对子矩阵 H'_{b2} 使用将子矩阵 H'_{b2} 的列数设为删截周期的删截模式 # p2,实现编码率 20/21。

[0314] 以下,作为一例,说明用于从具有编码率 5/6 的式(9)的校验矩阵的 QC-LDPC 码,通过删截,实现编码率 20/21 的删截模式。

[0315] 图 24 的校验矩阵 H_b 是式(9)所示的编码率 5/6 的 QC-LDPC 的校验矩阵 H_b 。式(9)的校验矩阵 H_b 由 4 行 24 列的子块矩阵构成。另外,以下将构成 QC-LDPC 码的校验矩阵的子块矩阵的大小设为行数 48、列数 48。因此,在 QC-LDPC 码中,信息块长度(比特)(Information block length(bits))为 960, LDPC 码字块长度(比特)(codeword block length(bits))为 1152。

[0316] 此时,LDPC 码的码字如下所示。

[0317] $v = [x_0, x_1, \dots, x_{958}, x_{959}, p_0, p_1, \dots, p_{190}, p_{191}]$

[0318] $= [s_0, s_1, s_2, \dots, s_{1149}, s_{1150}, s_{1151}]$

[0319] $= [v_0, v_1, v_2, \dots, v_{24}]$

[0320] 其中, v 表示码字、 x 表示信息、 p 表示奇偶校验。

[0321] 另外, $v_0, v_1, \dots, v_i, \dots, v_{23}$ 如下所示。

[0322] $v_0 = [s_0, s_1, \dots, s_{46}, s_{47}]$ 、

[0323] $v_1 = [s_{48}, s_{48}, \dots, s_{94}, s_{95}]$ 、 $\dots$ 、

[0324] $v_i = [s_{48*i}, s_{48*i+1}, \dots, s_{48*i+46}, s_{48*i+47}]$ 、 $\dots$ 、

[0325] $v_{23} = [s_{1104}, s_{1105}, \dots, s_{1150}, s_{1151}]$ 。

[0326] 在图 24 中, # 0 表示与 $x_0, x_1, \dots, x_{47}$ 对应的部分矩阵, # 1 表示与 $x_{48}, x_{49}, \dots, x_{95}$ 对应的部分矩阵。另外, # 21 表示与 $p_{48}, p_{49}, \dots, p_{95}$ 对应的部分矩阵, # 22 表示与 $p_{96}, p_{97}, \dots, p_{143}$ 对应的部分矩阵, # 23 表示与 $p_{144}, p_{145}, \dots, p_{191}$ 对应的部分矩阵。

[0327] 在图 24 中,子矩阵 H'_{b1} 由 # 0 ~ 20 构成,子矩阵 H'_{b2} 由 # 21、# 22、# 23 构成。# 21、# 22、# 23 由单位矩阵(“0”)及零矩阵(“-1”)构成。这样,式(9)所示的 QC-LDPC 码的校验矩阵 H_b 包含由单位矩阵及零矩阵构成的子矩阵 H'_{b2} 。

[0328] 在本实施方式中,考虑子矩阵 H'_{b2} 及 BP 解码的特征,如以下那样决定合适的删截模式。

[0329] 在 BP 解码中,反复进行行运算和列运算而获得各个比特的对数似然比。

[0330] 在 BP 解码的行运算中,对数似然比被更新。此时,不被发送的(删截)比特在解码时被作为消失(erasure)比特处理,从而对于消失比特,由于初始的对数似然比不存在,所以对数似然比被设定为“0”。若初始的对数似然比不存在的消失比特在同一行存在两个以上,则在该行中,通过列运算直至将消失比特的对数似然比更新为止,通过单独行运算都无法更新对数似然比。因此,优选,消失比特在同一行中低于 2 比特。

[0331] 在 BP 解码的列运算中,外部值被更新。消失比特的外部值通过同一列的除了自身以外的“1”的对数似然比的相加结果而被更新。因此,在列权重大时,消失比特的外部值通过同一列的除了自身以外的多个“1”的对数似然比的相加结果而被更新,所以外部值中的对数似然比的绝对值变大,由此对数似然比容易收敛。另一方面,在列权重小时,被相加的对数似然比的数少,所以外部值中的对数似然比的绝对值难以变大,由此具有对数似然比难以收敛的性质。

[0332] 特别是,在列权重为 2 时,在校验矩阵的相当于列权重 2 的两个“1”中,外部值仅被交换,所以对数似然比的绝对值难以变大,即使多次进行反复处理也无法传播可靠性,成为招致接收质量劣化的原因。因此,为了适当地更新外部值的大小,优选消失比特的列权重为 3 以上。

[0333] 这样,若考虑 BP 解码的特征,则从行运算的观点出发优选(1)在同一行中消失比特低于 2 比特,而且从列运算的观点出发优选(2)消失比特的列权重为 3 以上。

[0334] 在本实施方式中,考虑上述(1)及(2)而设定删截模式。另外,以下,以将子块矩阵的列数作为单位,对编码序列进行删截的情况为例进行说明。

[0335] 在将子块矩阵作为 1 单位来表示式(9)的奇偶校验矩阵 H_b 时,在子矩阵 H'_{b2} 中,在 j 列的 i 行及 $(i+1)$ 行,配置单位矩阵(“0”),在 j 列的 i 行及 $(i+1)$ 行以外的行,配置零矩阵(“-1”),而且在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行配置单位矩阵(“0”),在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行以外的行,配置零矩阵(“-1”),上述的关系在 $j = q, q+1, q+2, \dots, q+s-1, q+s$ (其中, s 为 1 以上的整数)成立。

[0336] 具体而言,从图 24 可知,在 22 列的 1 行及 2 行配置单元矩阵(“0”),在 22 列的 1 行及 2 行以外的行(3 行及 4 行)配置零矩阵(“-1”),而且在 23 列的 2 行及 3 行配置单位矩阵(“0”),在 23 列的 2 行及 3 行以外的行(1 行及 4 行)配置零矩阵(“-1”),而且在 24 列的 3 行及 4 行配置单位矩阵(“0”),在 24 列的 3 行及 4 行以外的行(1 行及 2 行)配置零矩阵(“-1”)。因此,如图 24 的子矩阵 H'_{b2} 中用四边形包围的部分所示,单位矩阵(“0”)被相邻地配置在同一行。

[0337] 在单位矩阵中仅矩阵的对角元素为“1”,其他的元素为“0”。因此,若将与单位矩阵的列对应的比特设定为不发送的比特(删截比特),则消失比特在单位矩阵的各行仅为 1 比特。但是,在单位矩阵被相邻地配置在同一行时,若将与含有单位矩阵的列对应的比特设定为不发送的比特(删截比特),则在各行中消失比特为 2 比特。

[0338] 具体而言,如图 24 中的 22 列、23 列的第 2 行的单位矩阵(“0”)那样,单位矩阵被相邻地配置在同一行时,若将与含有这两个单位矩阵的列对应的比特设定为不发送的比特(删截比特),则在 22 列的第 2 行的单位矩阵(“0”)的各行消失比特为 1 比特,在 23 列的第 2 行的单位矩阵(“0”)的各行消失比特为 1 比特,若从各个单位矩阵来看则消失比特在各行

为 1 比特,但由于这些单位矩阵被相邻地配置在同一行,所以若从单位矩阵被配置的同一行来看,则消失比特为 2 比特。

[0339] 如上述(1)中的说明,希望消失比特低于 2 比特。因此,为了避免 2 比特消失,使用将与单位矩阵没有被相邻地配置在同一行的 # 21 及 # 23 的列对应的比特设为不发送的比特(删截比特)那样的删截模式。也就是说,在将与 # 21 的列对应的比特设为不发送比特(删截比特)时,将与相隔了 1 子块矩阵的列数以上的 # 23 的列对应的比特设为不发送比特(删截比特)。这样,在将子块矩阵的列数作为单位而对编码序列进行删截时,通过将进行删截的间隔设为 1 单位(1 子块矩阵的列数)以上,从而在由单位矩阵或零矩阵构成的子矩阵 H'_{b2} 中,由于删截而消失的比特在各行为 1 比特,能够避免 2 比特消失,所以能够避免接收质量的劣化。

[0340] 另一方面,使用将与 # 21 及 # 22 的列对应的比特或与 # 22 及 # 23 的列对应的比特设为不发送比特(删截比特)那样的删截模式时,与在同一行相邻的单位矩阵的列对应的比特被设为不发送比特(删截比特),所以发生 2 比特消失,接收特性劣化。

[0341] 进而,若考虑上述(2),则奇偶校验矩阵 H_b 中的子矩阵 H'_{b1} 内,列权重为 3 以上,所以通过将子矩阵 H'_{b1} 的列对应的比特设为不发送的比特(删截比特),从而利用列运算进行更新以使外部值的对数似然比的绝对值变大,消失比特的对数似然比收敛的可能性变高,改善接收特性。

[0342] 图 25 示出下述例子,即除了 # 21、# 23 以外,还将与 # 4 的列对应的比特设为不发送的比特(删截比特)。在 # 4 中,对于 # 23 中配置单位矩阵(“0”)的行,配置零矩阵(“-1”),所以在将与 # 4、# 21、# 23 的列对应的比特设为不发送的比特(删截比特)时,该行的消失比特维持为 1 比特,从而能够抑制接收质量的劣化。

[0343] 另外,将与 # 4、# 21、# 23 的列对应的比特设为了不发送的比特(删截比特)时的删截表(删截模式) w 如式(10)所示。

[0344]

$$w = \underbrace{[1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0]}_{192} \underbrace{\quad}_{48} \underbrace{\quad}_{768} \underbrace{\quad}_{48} \underbrace{\quad}_{48} \underbrace{\quad}_{48} \underbrace{\quad}_{48} \dots \quad (10)$$

[0345] 在式(10)中,删截表 w 中所包含的“0”意味着不发送的比特(删截比特)。也就是说,在图 25 所示的例子中,与 # 4、# 21、# 23 的列对应的比特、即 $x_{192}, x_{193}, \dots, x_{238}, x_{239}, p_{48}, p_{49}, \dots, p_{94}, p_{95}, p_{144}, p_{145}, \dots, p_{190}, p_{191}$ 被删截。

[0346] 如上所述,在本实施方式中,在将子块矩阵作为 1 单位表示了奇偶校验矩阵 H_b 时,对于在 j 列的 i 行及 $(i+1)$ 行配置单位矩阵(“0”)、在 j 列的 i 行及 $(i+1)$ 行以外的行配置零矩阵(“-1”)、而且在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行配置单位矩阵(“0”)、在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行以外的行配置零矩阵(“-1”)的关系在 $j = q, q+1, q+2, \dots, q+s-1, q+s$ (其中, s 为 1 以上的整数)下成立的子矩阵 H'_{b2} 中,在以子块矩阵的列数作为单位而选择不发送的比特(删截比特)时,空出 1 单位(子块矩阵的列数)以上间隔而设为不发送的比特(删截比特)。

[0347] 进而,在奇偶校验矩阵 H_b 中的、上述子矩阵 H'_{b2} 以外的子矩阵 H'_{b1} 内,通过将列权重为 3 以上的列对应的比特设为不发送的比特(删截比特),从而进行更新以使列运算

中的外部值的对数似然比的绝对值变大,所以能够抑制接收质量的劣化。

[0348] 另外,在将与列权重为 3 以上的列对应的比特设为不发送的比特(删截比特)时,在子矩阵 H'_{b2} 中,将与 # 21 及 # 23 的列对应的比特设为不发送的比特(删截比特)时,例如,如 # 4 那样,将与下述列对应的比特设为不发送的比特,该列为在 # 21 或 # 23 所包含的单位矩阵的某行配置的零矩阵的列。这样,在将与 # 4、# 21、# 23 的列对应的比特设为了不发送的比特(删截比特)时,能够在 # 4 中将配置零矩阵的行的消失比特抑制为 1 比特,从而能够抑制接收质量的劣化。

[0349] 以上,说明了用于从具有编码率 5/6 的式(9)的校验矩阵的 QC-LDPC 码,通过删截而实现编码率 20/21 的合适的删截模式。另外,作为另外的例子,用于从具有编码率 5/6 的式(9)的校验矩阵且子块矩阵 216×216 即信息大小(Information size)=4320 比特的 QC-LDPC 码,通过删截而实现编码率 20/21 的合适(优选)的删截表(删截模式)w,例如,表达为式(11-1)~式(11-3)。

[0350]

$$w = [\underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{4320} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216}]$$

... (11-1)

[0351]

$$w = [\underbrace{1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0}_{432} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{3888} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216}]$$

... (11-2)

[0352]

$$w = [\underbrace{1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0}_{864} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{3456} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216} \underbrace{0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1}_{216}]$$

... (11-3)

[0353] 另外,在以上的说明中,说明了将子块矩阵的列数作为单位而对编码序列删截的情况,但也可以空开 1 单位(子块矩阵的列数)以上间隔,以子块矩阵的列数作为单位设定不发送的比特(删截比特)的候选,从该候选中决定不发送的比特(删截比特)。在该情况下,不发送的比特(删截比特)的候选以子块矩阵的列数为单位进行设定,而且如上所述,设为与在同一行不包含相邻的单位矩阵的列对应的比特。

[0354] 例如,如图 26 所示,也可以将与 # 4、# 21 及 # 23 的列对应的比特作为不发送的比特(删截比特)的候选,并将与 # 4、# 21 及 # 23 的列对应的 $x_{192}, x_{193}, \dots, x_{238}, x_{239}, p_{48}, p_{49}, \dots, p_{94}, p_{95}, p_{144}, p_{145}, \dots, p_{190}, p_{191}$ 中的、用虚线的圆包围的一部分比特决定为不发送的比特(删截比特)。

[0355] 用于使用该方法,从具有编码率 5/6 的式(9)的校验矩阵且子块矩阵 48×48 即信息大小(Information size)=980 比特的 QC-LDPC 码,通过删截而实现编码率 16/18 的合适的删截表(删截模式)w,表示为式(12)。

[0356]

$$w = [\underbrace{1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0}_{720} \underbrace{}_{24} \underbrace{}_{288} \underbrace{}_{24} \underbrace{}_{72} \underbrace{}_{24}]$$

... (12)

[0357] 另外,作为另外的例子,用于从具有编码率 5/6 的式(9)的校验矩阵且子块矩阵 216×216 即信息大小(Information size)=4320 比特的 QC-LDPC 码,通过删截而实现编码率 16/18 的合适的删截表(删截模式) w ,表示为式(13)。

[0358]

$$w = [\underbrace{1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0}_{2808} \underbrace{}_{108} \underbrace{}_{1620} \underbrace{}_{108} \underbrace{}_{432} \underbrace{}_{108}]$$

... (13)

[0359] 在这些情况下,也能够避免在各行产生 2 比特的消失比特,所以能够获得良好的接收质量,而且灵活地设定删截后的编码率。

[0360] 另外,在以上的说明中,将 LDPC 码的码字(codeword) v 表示为 $v = [x_0, x_1, \dots, x_{958}, x_{959}, p_0, p_1, \dots, p_{190}, p_{191}]$ 并进行了说明,但信息序列及奇偶校验位序列的排列顺序并不限于此(例如,也可以是 $v = [p_0, p_1, \dots, p_{190}, p_{191}, x_0, x_1, \dots, x_{958}, x_{959}]$,信息和奇偶校验位的排列顺序并不唯一地决定),也可以根据 $H_b v = 0$ 的对应关系,换言之,根据与奇偶校验矩阵 H_b 对应的删截模式和码字(codeword) v 之间的对应关系,决定不发送的比特(奇偶校验位)。

[0361] 例如,在将与 # 4、# 21、# 23 的列对应的比特设为不发送的比特(删截比特)时,并将码字(codeword) v 表示为 $v = [p_{144}, p_{145}, \dots, p_{190}, p_{191}, x_0, x_1, \dots, x_{958}, x_{959}, p_0, p_1, \dots, p_{46}, p_{47}]$ 时,将 $x_{144}, x_{145}, \dots, x_{190}, x_{191}, p_0, p_1, \dots, p_{46}, p_{47}, p_{96}, p_{97}, \dots, p_{142}, p_{143}$ 设为不发送的比特(删截比特)即可。

[0362] 在上述的例子中说明了下述情况,即:在子矩阵 H'_{b2} 中,在 j 列的 i 行及 $(i+1)$ 行配置单位矩阵(“0”)、在 j 列的 i 行及 $(i+1)$ 行以外的行配置零矩阵(“-1”)、而且在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行配置单位矩阵(“0”)、在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行以外的行配置零矩阵(“-1”)的关系在 $j = q, q+1, q+2, \dots, q+s-1, q+s$ (其中, s 为 1 以上的整数)下成立,并且单位矩阵被相邻地配置在同一行,但对于替代单位矩阵而将单位矩阵的循环移位矩阵相邻地配置在同一行的情况,也能够使用上述的删截模式的生成方法,获得合适的删截模式。但是,在子矩阵 H'_{b2} 中将单位矩阵的循环移位矩阵相邻地配置在同一行时,存在编码器的结构变复杂的可能性。

[0363] 另外,对于式(8)的编码率 1/2 的 QC-LDPC 码,也能够通过同样的方法,设定合适的删截模式。使用图 27,说明编码率 1/2 的情况。

[0364] 与编码率 5/6 的情况同样,对于式(8)的编码率 1/2 的 QC-LDPC 码的奇偶校验矩阵 H_b ,就子矩阵 H'_{b1} 来说,使用将子矩阵 H'_{b1} 的列数设为删截周期的删截模式 # p_1 ,就子矩阵 H'_{b2} 来说,使用将子矩阵 H'_{b2} 的列数设为删截模式周期的删截模式 # p_2 。

[0365] 图 27 是式(8)的编码率 1/2 的 QC-LDPC 码的奇偶校验矩阵 H_b 。式(8)的校验矩阵 H_b 由 12 行 24 列的子块矩阵构成。在图 27 中,子矩阵 H'_{b2} 由单位矩阵及零矩阵构成,子矩阵 H'_{b2} 以外为子矩阵 H'_{b1} 。

[0366] 另外,在图 27 中, # 0 ~ # 23 表示与各列对应的部分矩阵,子矩阵 H'_{b1} 由 # 0 ~ # 12 构成,子矩阵 H'_{b2} 由 # 13 ~ # 23 构成。# 13 ~ # 23 由单位矩阵(“0”)及零矩阵(“-1”)构成。这样,式(8)所示的 QC-LDPC 码的校验矩阵 H_b 包含由单位矩阵及零矩阵构成的子矩阵 H'_{b2} 。

[0367] 以下,以将子块矩阵的列数作为单位,对编码序列进行删截的情况为例进行说明。

[0368] 在将子块矩阵作为 1 单位表示了式(8)的奇偶校验矩阵 H_b 时,在子矩阵 H'_{b2} 中,在 j 列的 i 行及 $(i+1)$ 行配置单位矩阵(“0”)、在 j 列的 i 行及 $(i+1)$ 行以外的行配置零矩阵(“-1”)、而且在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行配置单位矩阵(“0”)、在 $(j+1)$ 列的 $(i+1)$ 行及 $(i+2)$ 行以外的行配置零矩阵(“-1”)的关系在 $j = q, q+1, q+2, \dots, q+s-1, q+s$ (其中, s 为 1 以上的整数)下成立。

[0369] 具体而言,从图 27 可知,在 14 列的 1 行及 2 行配置单元矩阵(“0”),在 14 列的 1 行及 2 行以外的行(3 行~12 行)配置零矩阵(“-1”),而且在 15 列的 2 行及 3 行配置单位矩阵(“0”),在 15 列的 2 行及 3 行以外的行(1 行、4 行~12 行)配置零矩阵(“-1”),而且、……、在 24 列的 11 行及 12 行配置单位矩阵(“0”),在 24 列的 11 行及 12 行以外的行(1 行~10 行)配置零矩阵(“-1”)。因此,如图 27 的子矩阵 H'_{b2} 中用四边形包围的部分所示,单位矩阵(“0”)被相邻地配置在同一行。

[0370] 编码率 $1/2$ 的情况也与编码率 $5/6$ 的情况同样,设定删截模式,以将与同一行中单位矩阵没有被相邻地配置的列对应的比特设为不发送的比特(删截比特)。例如,在将子块矩阵的列数作为单位而对编码序列进行删截,并将与 # 20 的列对应的比特设为不发送的比特(删截比特)时,将与相隔 1 子块矩阵的列数以上的 # 15 及 # 23 的列对应的比特设为不发送的比特(删截比特)。这样,在将子块矩阵的列数作为单位而对编码序列进行删截时,将进行删截的间隔设为 1 单位(1 子块矩阵的列数)以上。由此,在由单位矩阵或零矩阵构成的子矩阵 H'_{b2} 中,因删截而消失的比特在各行仅为 1 比特,能够避免 2 比特消失,并能够避免接收质量的劣化。

[0371] 另外,例如,也可以将与 # 15、# 20 的列对应的比特设为不发送的比特(删截比特)。# 15 与 # 20 相隔 1 单位以上。另外,也可以将与 # 20、# 23 的列对应的比特设为不发送的比特(删截比特)。# 20 与 # 23 相隔 1 单位以上。

[0372] 另外,也可以将与 # 15、# 20、# 23 的列对应的全部比特设为不发送的比特(删截比特),也可以将与 # 15、# 20、# 23 的列对应的比特设为不发送的比特(删截比特)的候选,并根据编码率,从该候选中决定不发送的比特(删截比特)。这样,能够将各行的消失比特抑制为 1 比特而获得良好的接收质量,而且能够灵活地设定删截后的编码率。

[0373] 另外进而,在奇偶校验矩阵 H_b 中的子矩阵 H'_{b1} 内,列权重为 3 以上,所以通过将子矩阵 H'_{b1} 的列对应的比特设为不发送的比特(删截比特),从而利用列运算适当地更新外部值的大小,并适当地获得消失比特的对数似然比,从而改善接收特性。

[0374] 图 27 示出下述例子,即在子矩阵 H'_{b1} 中,将与 # 10 的列对应的比特设为不发送的比特(删截比特)。在 # 10 中,对于 # 15、# 20、# 23 中配置单位矩阵(“0”)的行,配置零矩阵(“-1”),所以在将与 # 10、# 15、# 20、# 23 的列对应的比特设为不发送的比特(删截比特)时,该行的消失比特维持为 1 比特,从而能够抑制接收质量的劣化的可能性高。

[0375] 另外,在以上的说明中,说明了下述情况,即:将子块矩阵的列数作为单位,从子矩

阵 H'_{b1} 中选择 1 子块矩阵, 从子矩阵 H'_{b2} 中选择多个子块矩阵, 将与选择的子块矩阵的列对应的比特设为不发送的比特(删截比特)或不发送的比特(删截比特)的候选, 但从各个子矩阵选择的选择数, 并不限于此, 也可以从子矩阵 H'_{b1} 中选择多个子块矩阵。

[0376] 本发明对于如 QC-LDPC 码那样, 对校验矩阵、生成矩阵具有规则性的情况极为有效。

[0377] 本发明并不限于上述的所有实施方式, 可进行各种变更来实施。例如, 在上述实施方式中, 主要说明了以编码器来实现的情况, 但并不限于此, 也能够适用于以电力线通信装置来实现的情况。

[0378] 另外, 也可以通过软件实现该编码方法。例如, 也可以预先将执行上述编码方法的程序存储在 ROM (只读存储器), 由 CPU (中央处理单元) 使该程序动作。

[0379] 另外, 也可以将执行上述编码方法的程序存储在计算机可读存储媒介中, 将存储在存储媒介中的程序记录在计算机的 RAM (随机访问存储器) 中, 按照该程序使计算机动作。

[0380] 另外, 本发明并不限于无线通信, 不言而喻, 在电力线通信 (PLC: Power Line Communication)、可视光通信、光通信中也极为有用。

[0381] 本发明的编码器的一种形态包括: 编码单元, 对于信息比特序列 u , 生成满足式 (14-1)、式 (14-2) 以及式 (14-3) 的编码序列 s ; 设定单元, 设定第 y 的删截模式, 该第 y 的删截模式与从 $z \times y + 1$ (y 为从 0 至 $(n_b - 1)$ 为止的整数) 列至 $z \times (y + 1)$ 列为止的所述列数 z 对应且具有所述列数 z 的约数的周期, 在由从第 1 至第 $z \times n_b$ 为止的 $z \times n_b$ 个比特构成的所述编码序列 s 中, 基于所述第 y 的删截模式, 决定在从第 $z \times y + 1$ 的比特至第 $z \times (y + 1)$ 为止的比特中要删除的比特, 从构成所述编码序列 s 的所述 $z \times n_b$ 个的比特中删除所述决定的要删除的比特而形成发送信息比特序列, 输出所述发送信息比特序列。

$$[0382] \quad GH^T = 0 \quad \cdots (14-1)$$

$$[0383] \quad s^T = Gu^T \quad \cdots (14-2)$$

$$[0384] \quad Hs = 0 \quad \cdots (14-3)$$

[0385] 其中, H 是将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的 LDPC 码的奇偶校验矩阵, G 是与所述 LDPC 码的奇偶校验矩阵 H 存在式 (14-1) 的关系的生成矩阵, 编码序列 s 是由 $z \times n_b$ 比特构成的编码序列。

[0386] 本发明的编码器的一种形态为, 所述 LDPC 码的奇偶校验矩阵 H 由式 (15) 定义。

$$[0387] \quad H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \cdots (15)$$

[0388] 其中, $P_{i,j}$ 是 z 行 z 列的单位矩阵的循环置换矩阵或 z 行 z 列的零矩阵。

[0389] 本发明的编码器的一种形态为, 所述 LDPC 码为 QC-LDPC 块码。

[0390] 本发明的编码器的一种形态为, 所述 LDPC 码为 QC-LDPC 码。

[0391] 本发明的发送装置的一种形态为, 具备上述编码器, 还具备发送单元, 其发送所述发送信息比特序列。

[0392] 本发明的编码方法的一种形态包括以下步骤: 对于信息比特序列 u , 生成满足式

(16-1)、式(16-2)以及式(16-3)的编码序列 s 的步骤;设定第 y 的删截模式,该第 y 的删截模式与从 $z \times y + 1$ (y 为从 0 至 $(n_b - 1)$ 为止的整数)列至 $z \times (y + 1)$ 列为止的所述列数 z 对应且具有所述列数 z 的约数的周期的步骤,在由从第 1 至第 $z \times n_b$ 为止的 $z \times n_b$ 个比特构成的所述编码序列 s 中,基于所述第 y 的删截模式,决定在从第 $z \times y + 1$ 的比特至第 $z \times (y + 1)$ 为止的比特中要删除的比特,从构成所述编码序列 s 的所述 $z \times n_b$ 个的比特中删除所述决定了的要删除的比特而形成发送信息比特序列,输出所述发送信息比特序列。

$$[0393] \quad GH^T=0 \quad \cdots (16-1)$$

$$[0394] \quad s^T=Gu^T \quad \cdots (16-2)$$

$$[0395] \quad Hs=0 \quad \cdots (16-3)$$

[0396] 其中, H 是将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的 LDPC 码的奇偶校验矩阵, G 是与所述 LDPC 码的奇偶校验矩阵 H 存在式(16-1)的关系的生成矩阵,编码序列 s 是由 $z \times n_b$ 比特构成的编码序列。

[0397] 本发明的编码方法的一种形态为,所述 LDPC 码的奇偶校验矩阵 H 由式(17)定义。

$$[0398] \quad H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \cdots (17)$$

[0399] 本发明的编码方法的一种形态为,所述 LDPC 码为 QC-LDPC 块码。

[0400] 本发明的编码方法的一种形态为,所述 LDPC 码为 QC-LDPC 码。

[0401] 本发明的发送方法的一种形态为,具有上述编码方法,并发送所述发送信息比特序列。

[0402] 本发明的编码器的一种形态包括:配置单元,将零插入信息比特而生成信息比特序列 u ;以及编码单元,对于信息比特序列 u ,生成满足式(18-1)、式(18-2)以及式(18-3)的编码序列 s ,基于配置所述信息比特的位置及所述 LDPC 码的奇偶校验矩阵 H ,决定所述编码序列 s 中的、值总为零的比特,从所述编码序列 s 中删除所述值总为零的比特而形成发送信息比特序列,并输出所述发送信息比特序列。

$$[0403] \quad GH^T=0 \quad \cdots (18-1)$$

$$[0404] \quad s^T=Gu^T \quad \cdots (18-2)$$

$$[0405] \quad Hs=0 \quad \cdots (18-3)$$

[0406] 其中, H 是将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的 LDPC 码的奇偶校验矩阵, G 是与所述 LDPC 码的奇偶校验矩阵 H 存在式(18-1)的关系的生成矩阵,编码序列 s 是由 $z \times n_b$ 比特构成的编码序列。

[0407] 本发明的发送装置的一种形态为,具备上述编码器,还具备发送单元,其发送所述发送信息比特序列。

[0408] 本发明的编码方法的一种形态包括以下步骤:将零插入信息比特而生成信息比特序列 u 的步骤;对于信息比特序列 u ,生成满足式(19-1)、式(19-2)以及式(19-3)的编码序列 s 的步骤,基于配置所述信息比特的位置及所述 LDPC 码的奇偶校验矩阵 H ,决定所述编码序列 s 中的、值总为零的比特,从所述编码序列 s 中删除所述值总为零的比特而形成发送信

息比特序列,输出所述发送信息比特序列。

[0409] $GH^T=0 \quad \cdots (19-1)$

[0410] $s^T=Gu^T \quad \cdots (19-2)$

[0411] $Hs=0 \quad \cdots (19-3)$

[0412] 其中, H 是将 z 行 z 列的子矩阵配置在 m_b 行 n_b 列而构成的 $(z \times m_b)$ 行 $(z \times n_b)$ 列的 LDPC 码的奇偶校验矩阵, G 是与所述 LDPC 码的奇偶校验矩阵 H 存在式 (19-1) 的关系的生成矩阵, 编码序列 s 是由 $z \times n_b$ 比特构成的编码序列。

[0413] 本发明的发送方法的一种形态为, 具有上述编码方法, 并发送所述发送信息比特序列。

[0414] 2008 年 10 月 10 日提出的日本专利申请第 2008-264382 以及 2008 年 11 月 12 日提出的日本专利申请第 2008-290022 号所包含的说明书、附图以及说明书摘要的公开内容全部被引用用于本申请。

[0415] 工业实用性

[0416] 本发明, 例如在使用 QC-LDPC 码等的块码时, 能够提高接收质量而且降低传输量并抑制传输效率的劣化, 作为使用如 QC-LDPC 等那样部分含有零矩阵的奇偶校验生成矩阵来形成编码序列的编码器、发送装置以及编码方法极为有用。

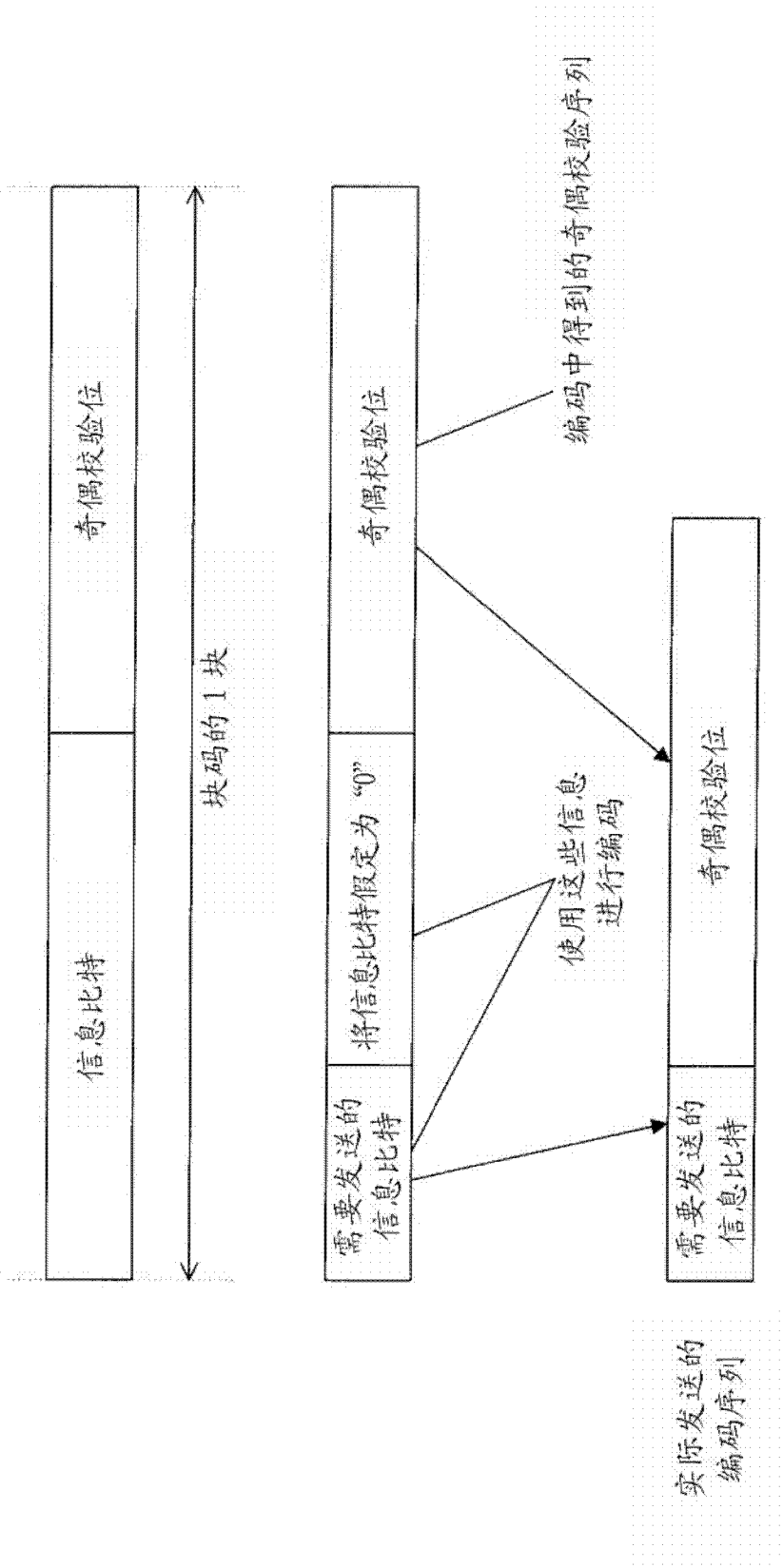


图 1

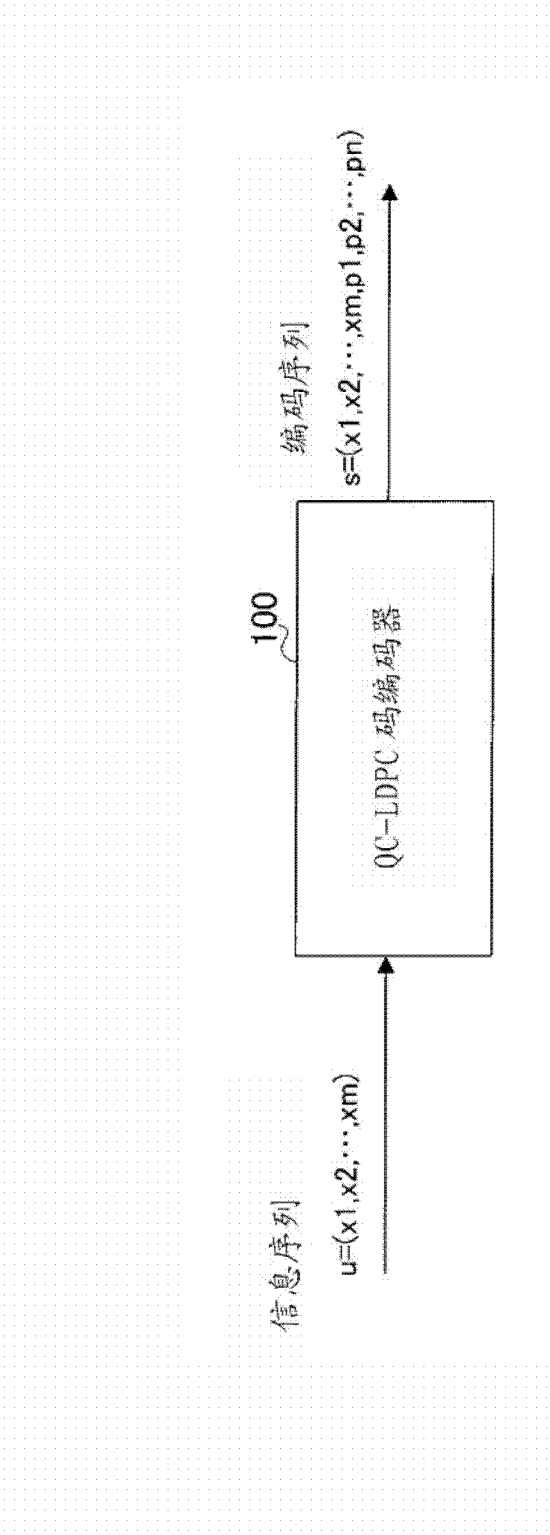


图 2

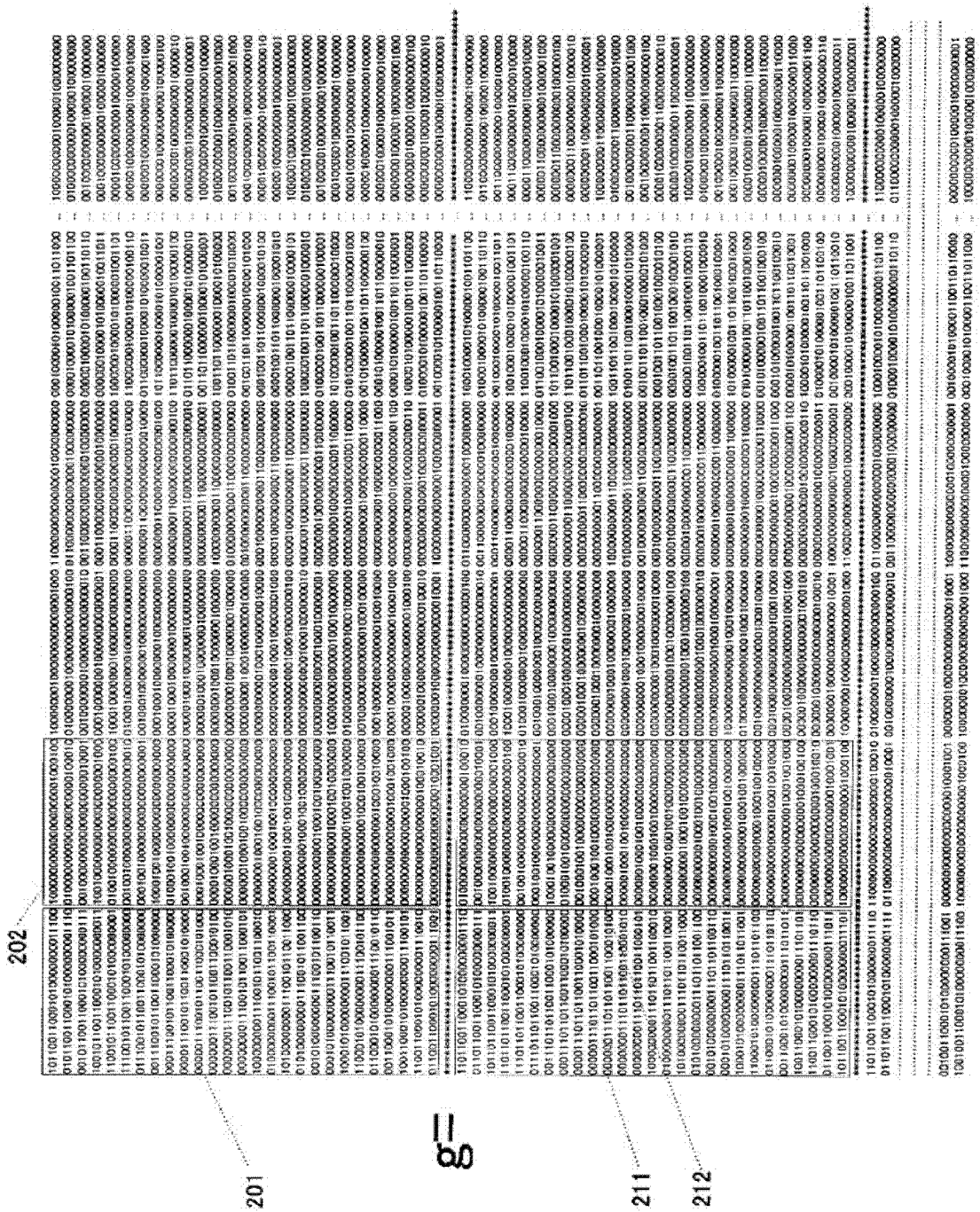


图 3

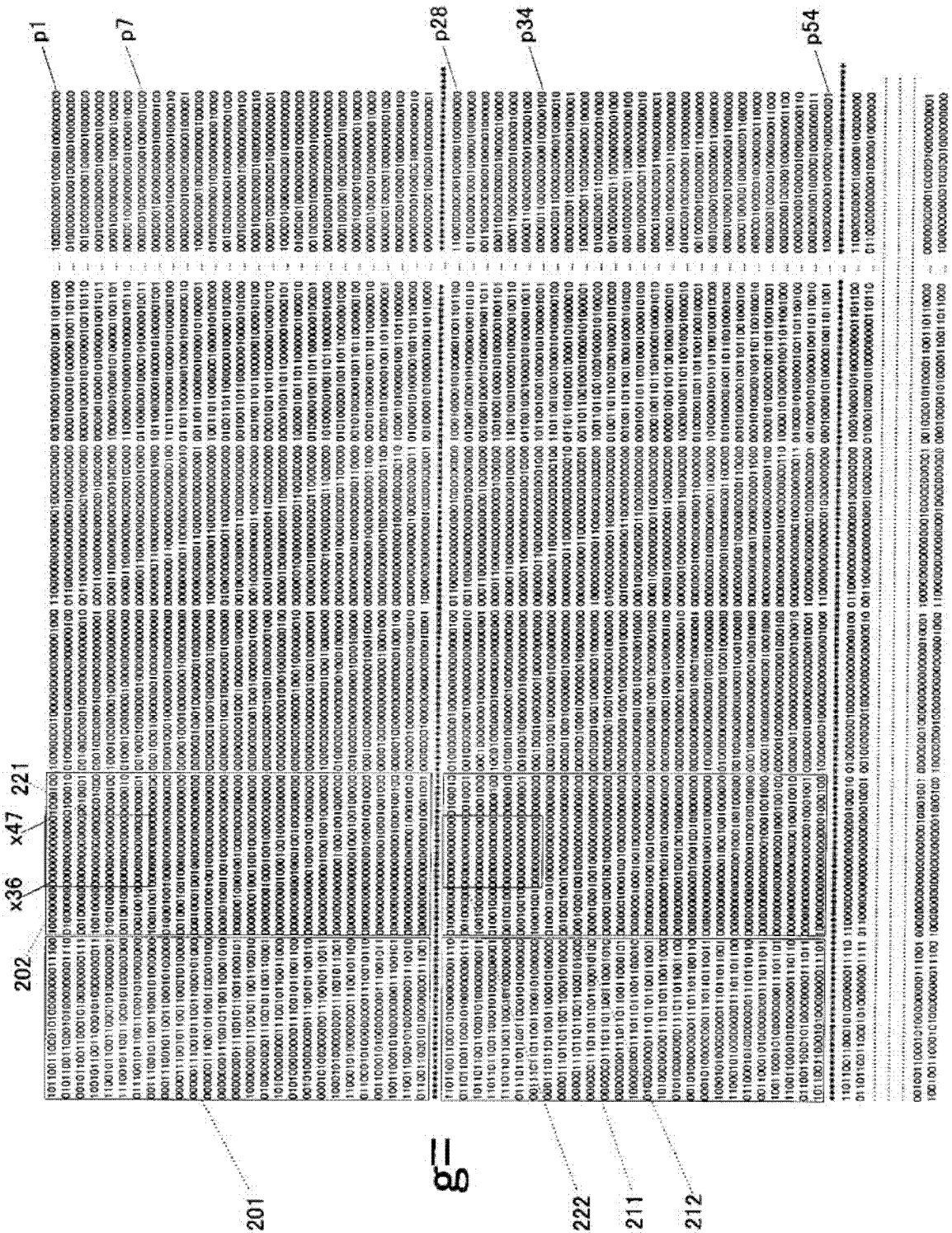


图 4

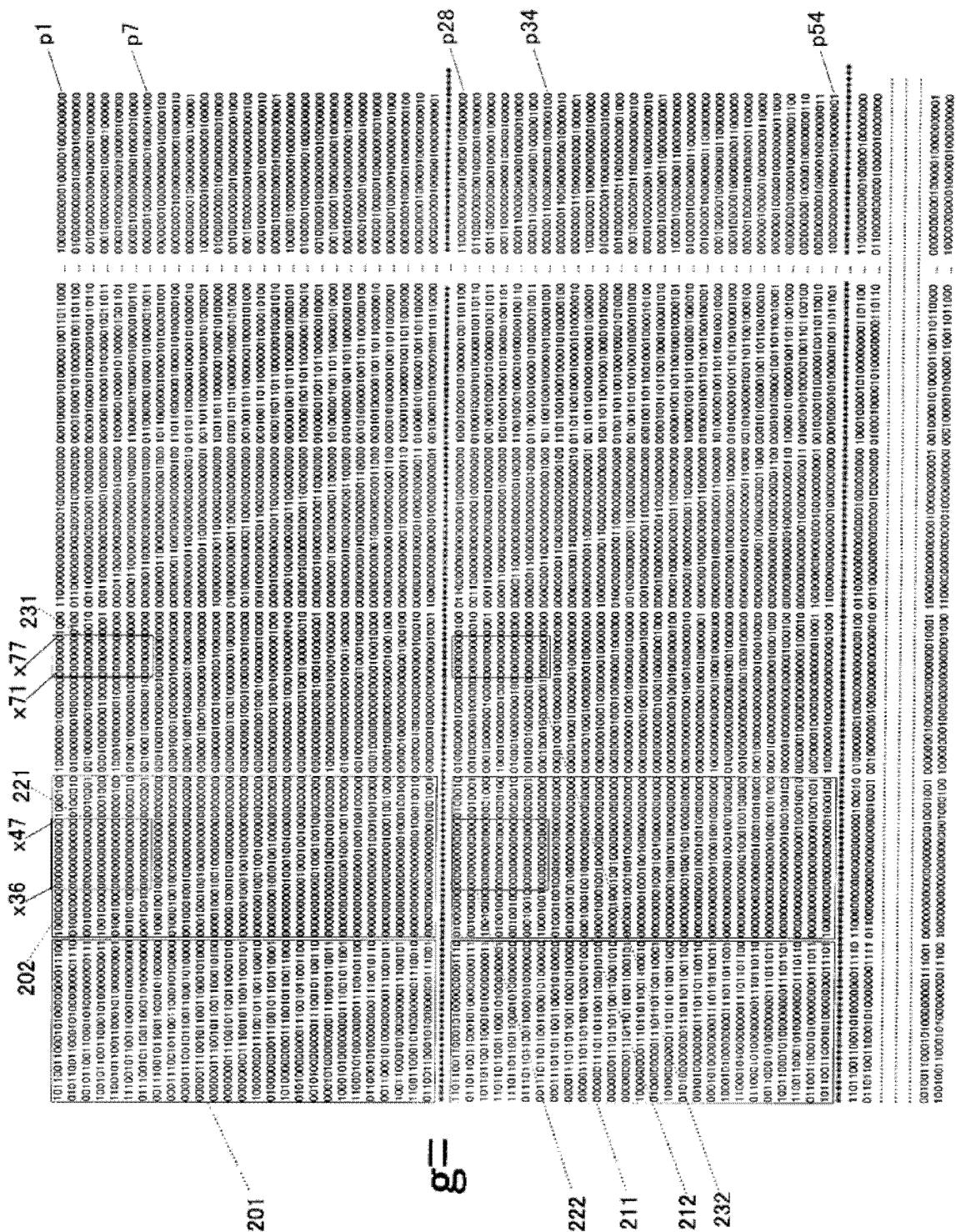


图 5

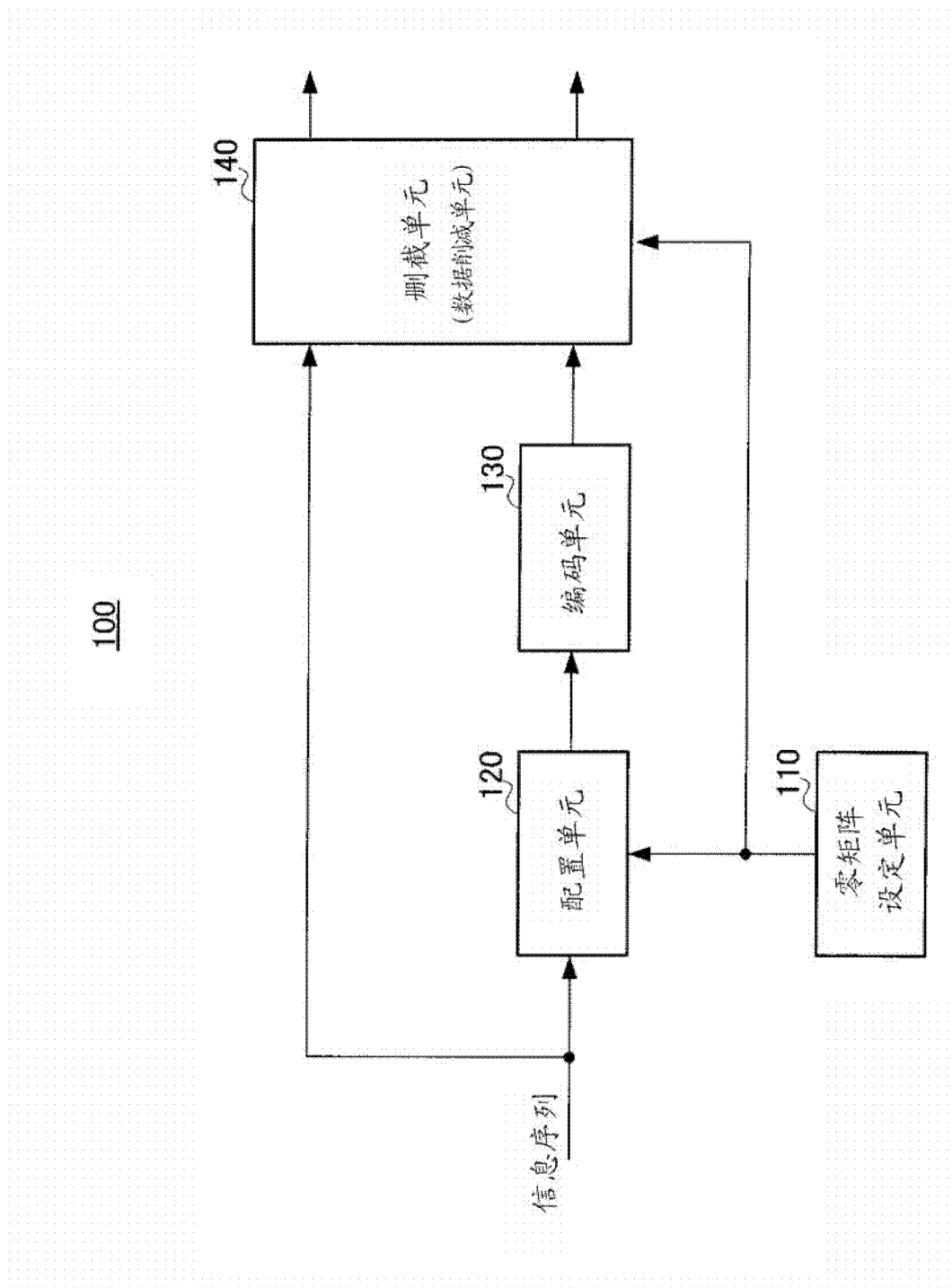


图 6

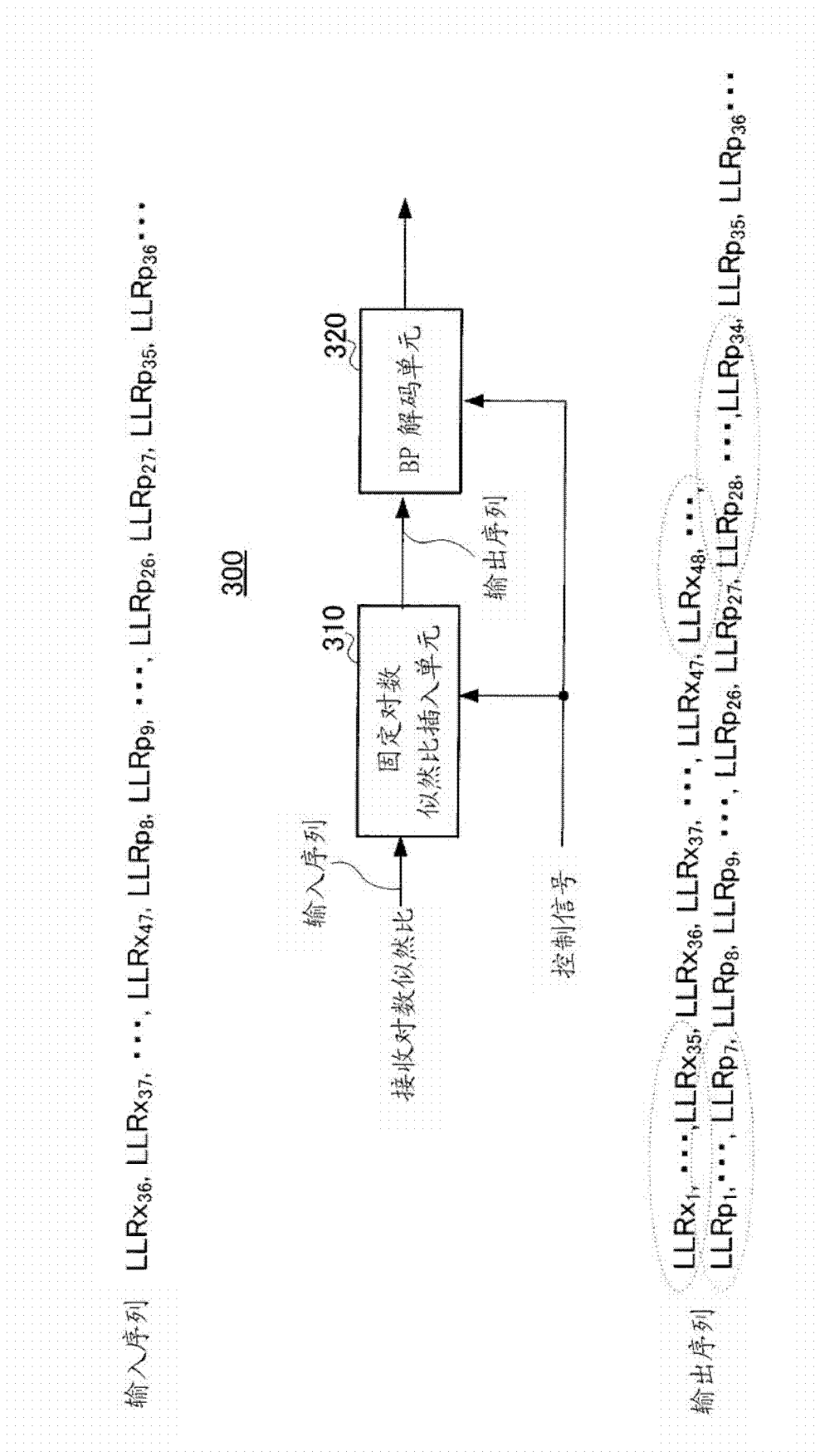


图 7

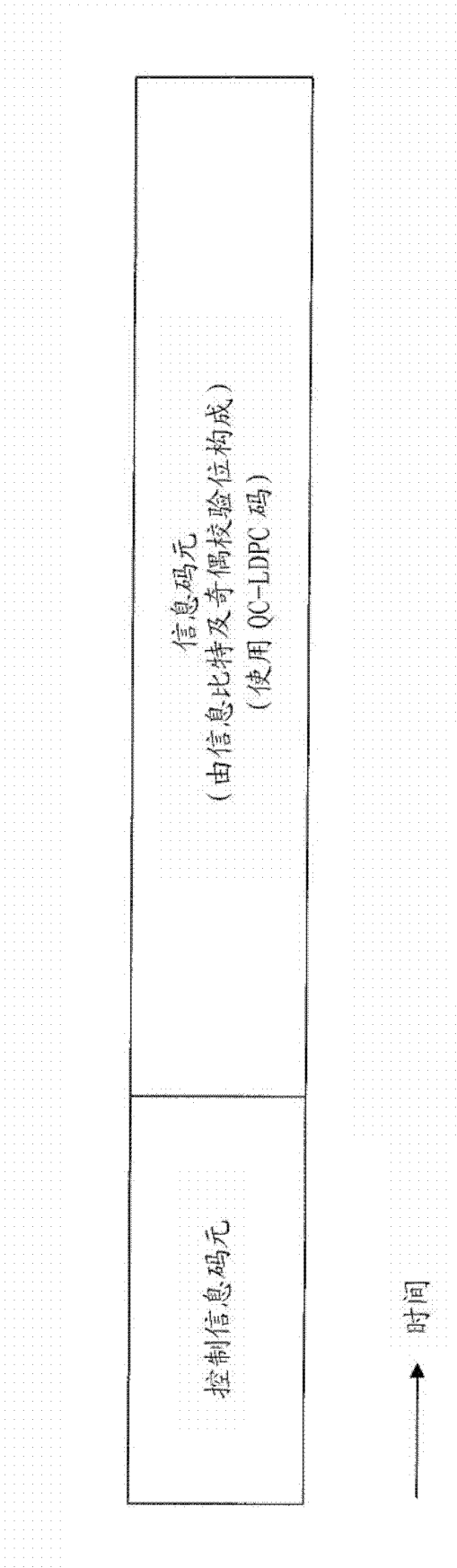


图 8

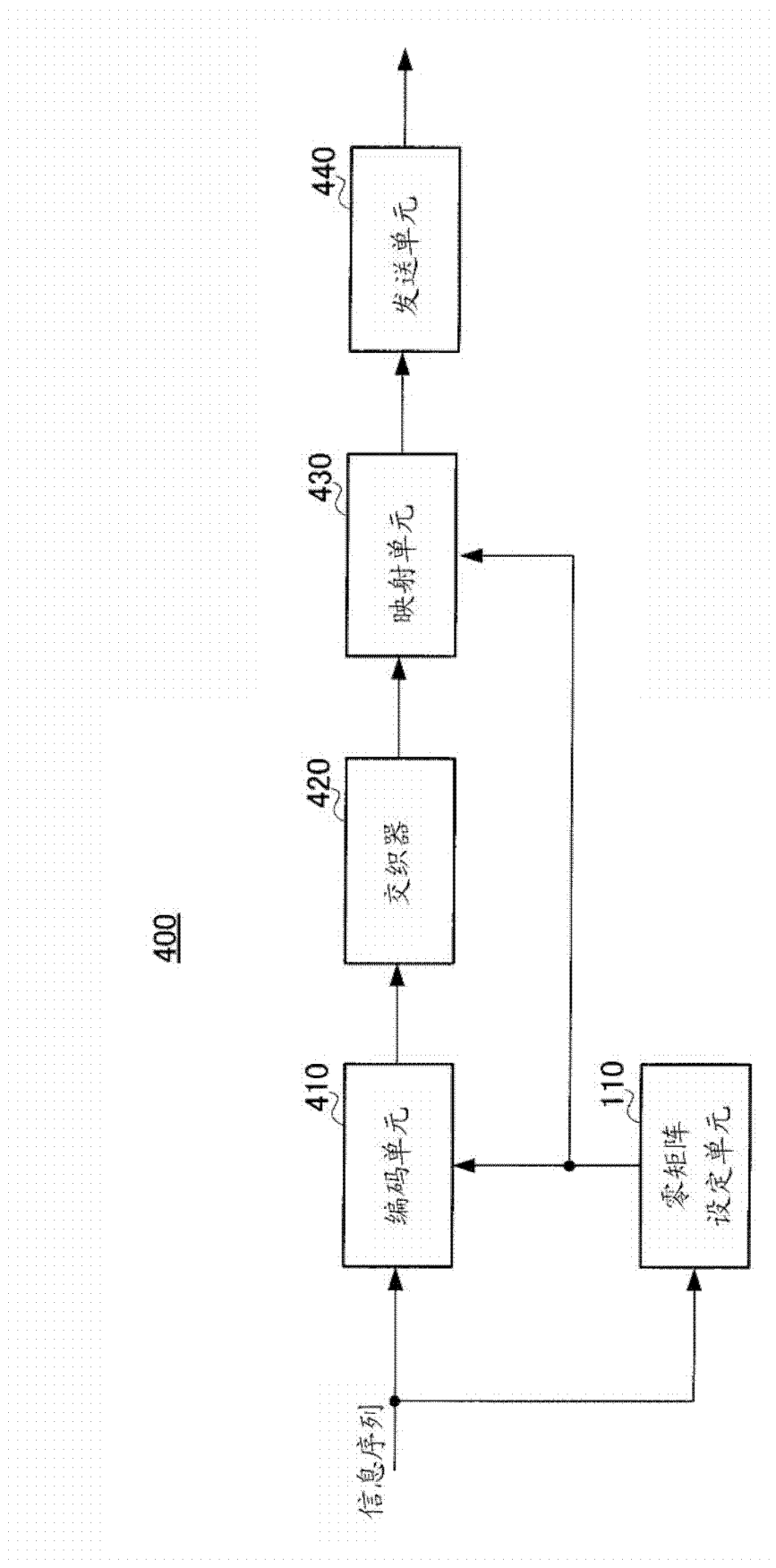


图 9

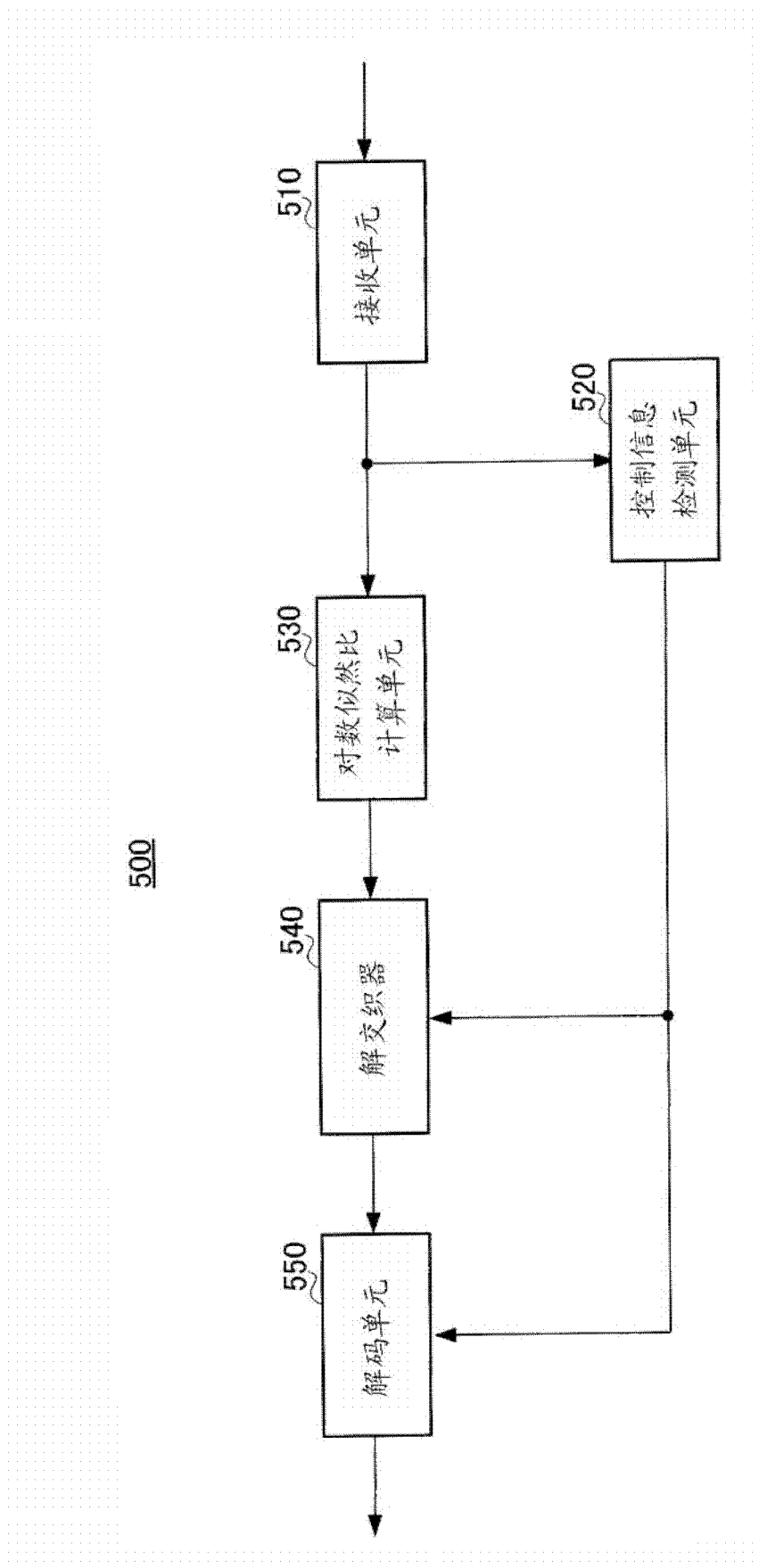


图 10

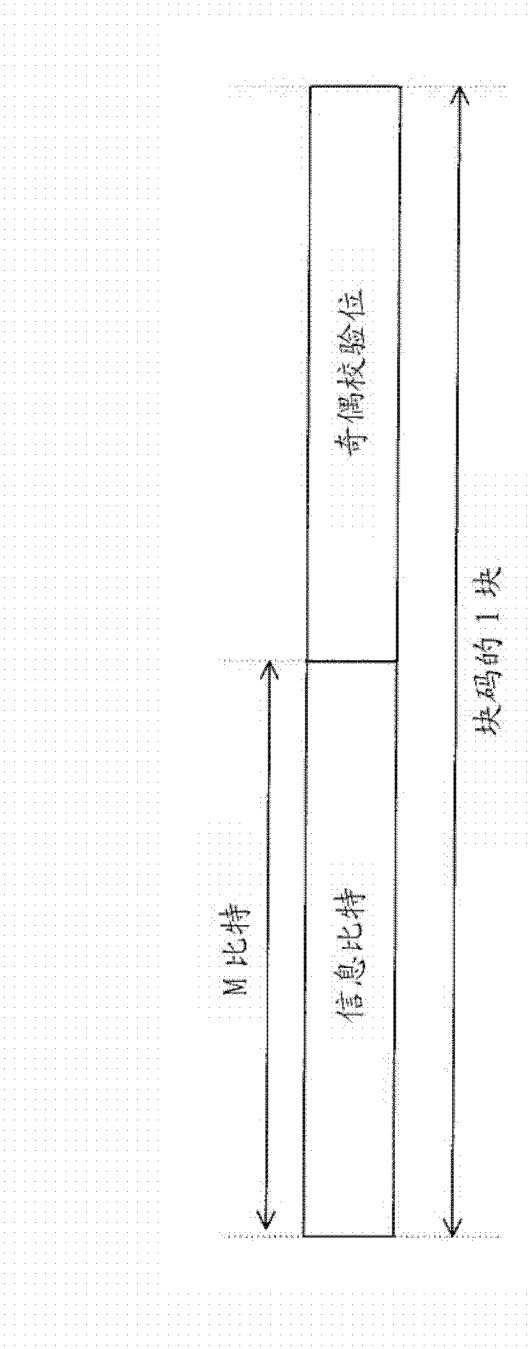


图 11

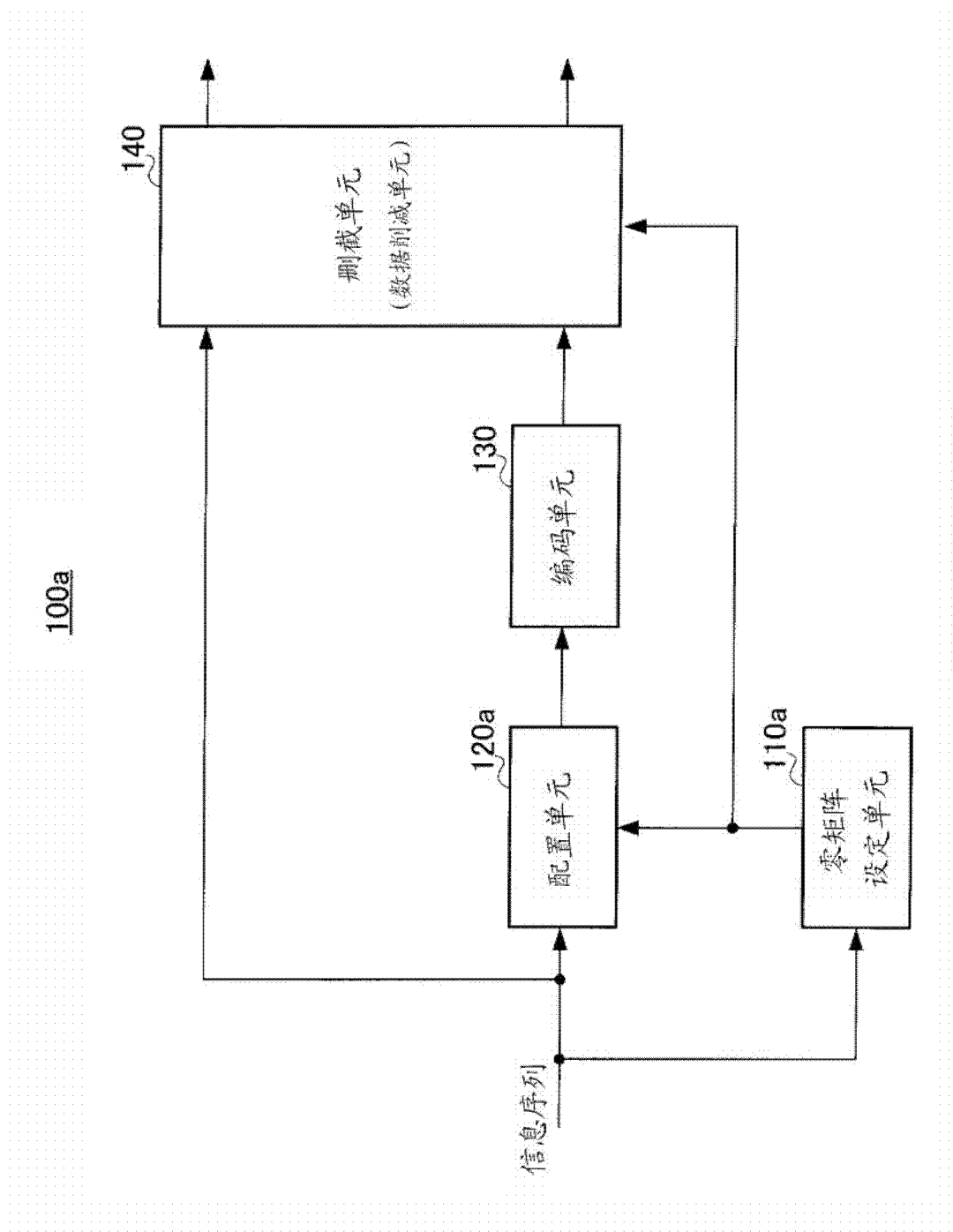


图 12

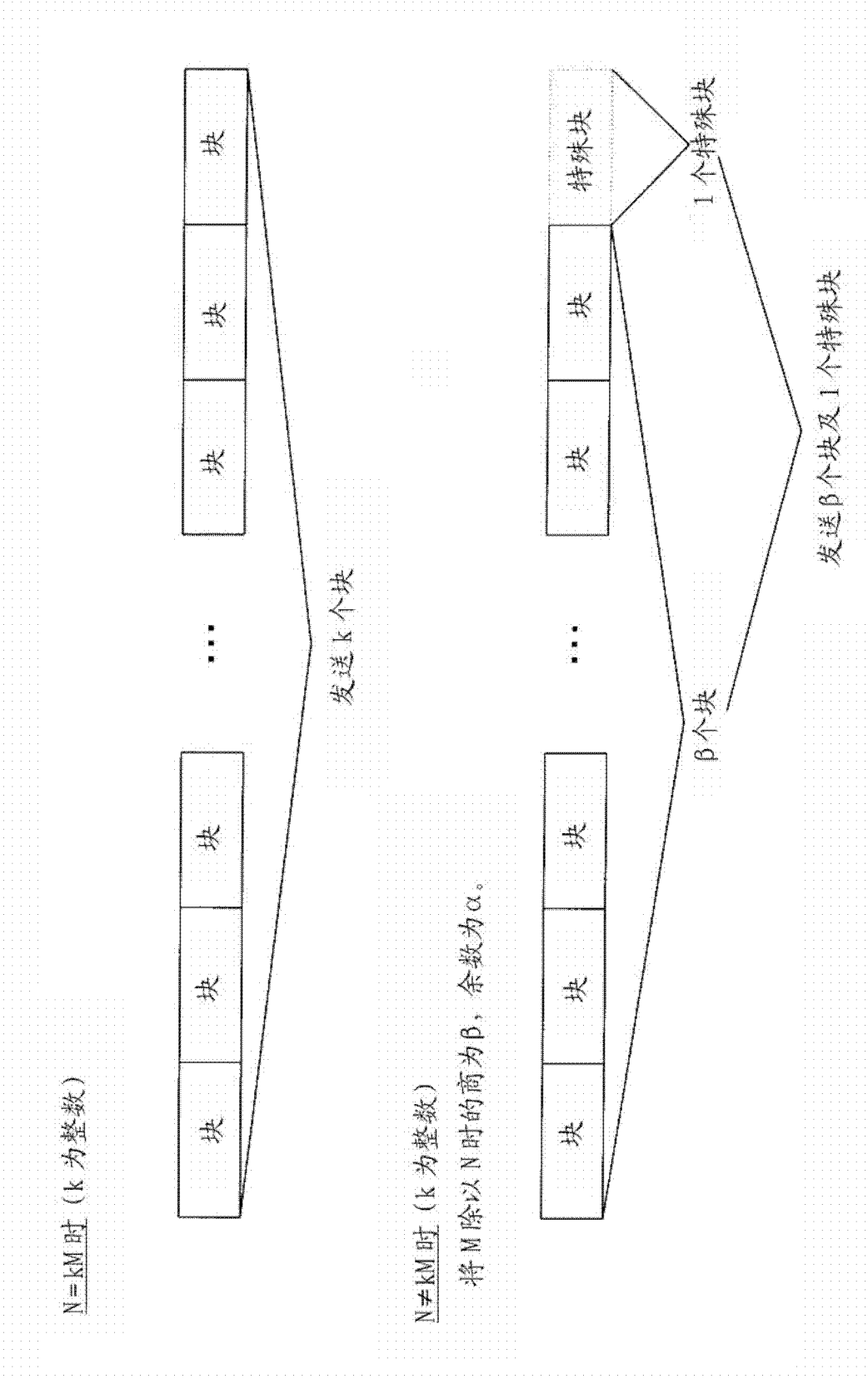


图 13

$0 < \alpha \leq a1$	$a1 < \alpha \leq a2$	$a2 < \alpha \leq M-1$
零矩阵 #1 (发送的奇偶校验位 削减方法 #1)	零矩阵 #2 (发送的奇偶校验位 削减方法 #2)	无零矩阵 (不进行发送的 奇偶校验位的削减)

图 14

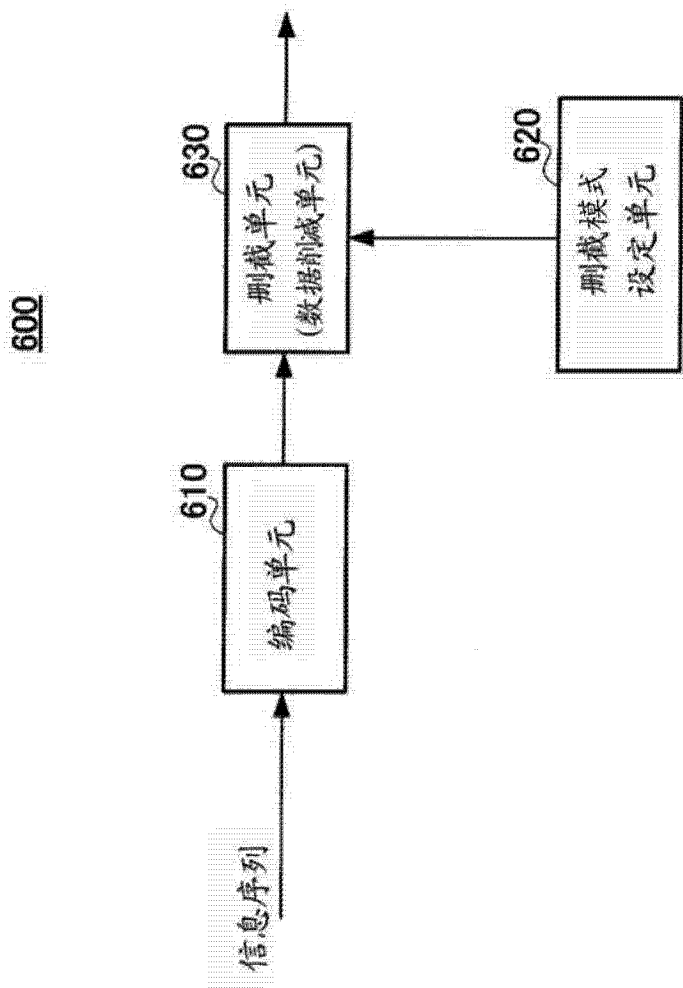


图 15

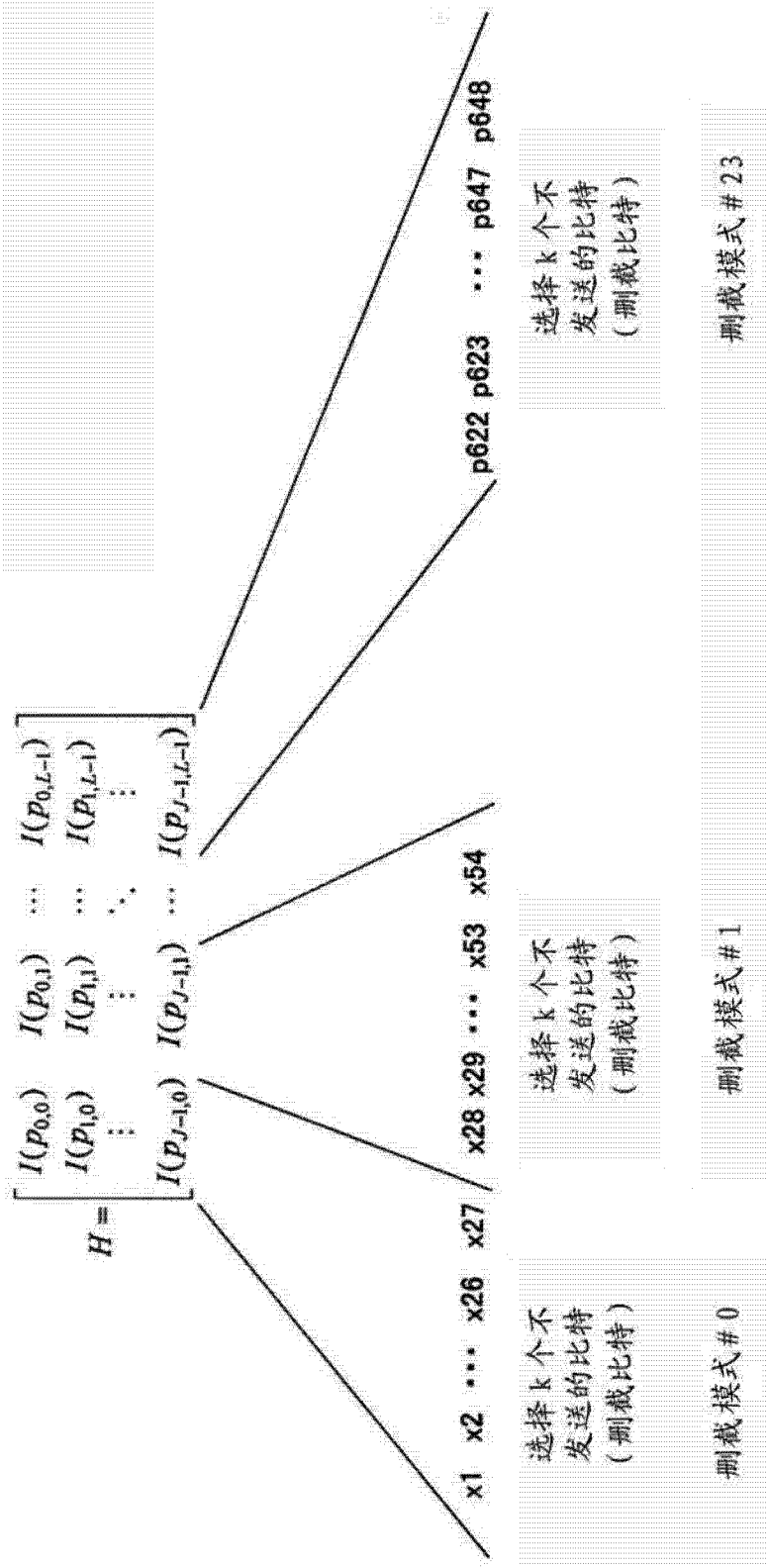


图 16A

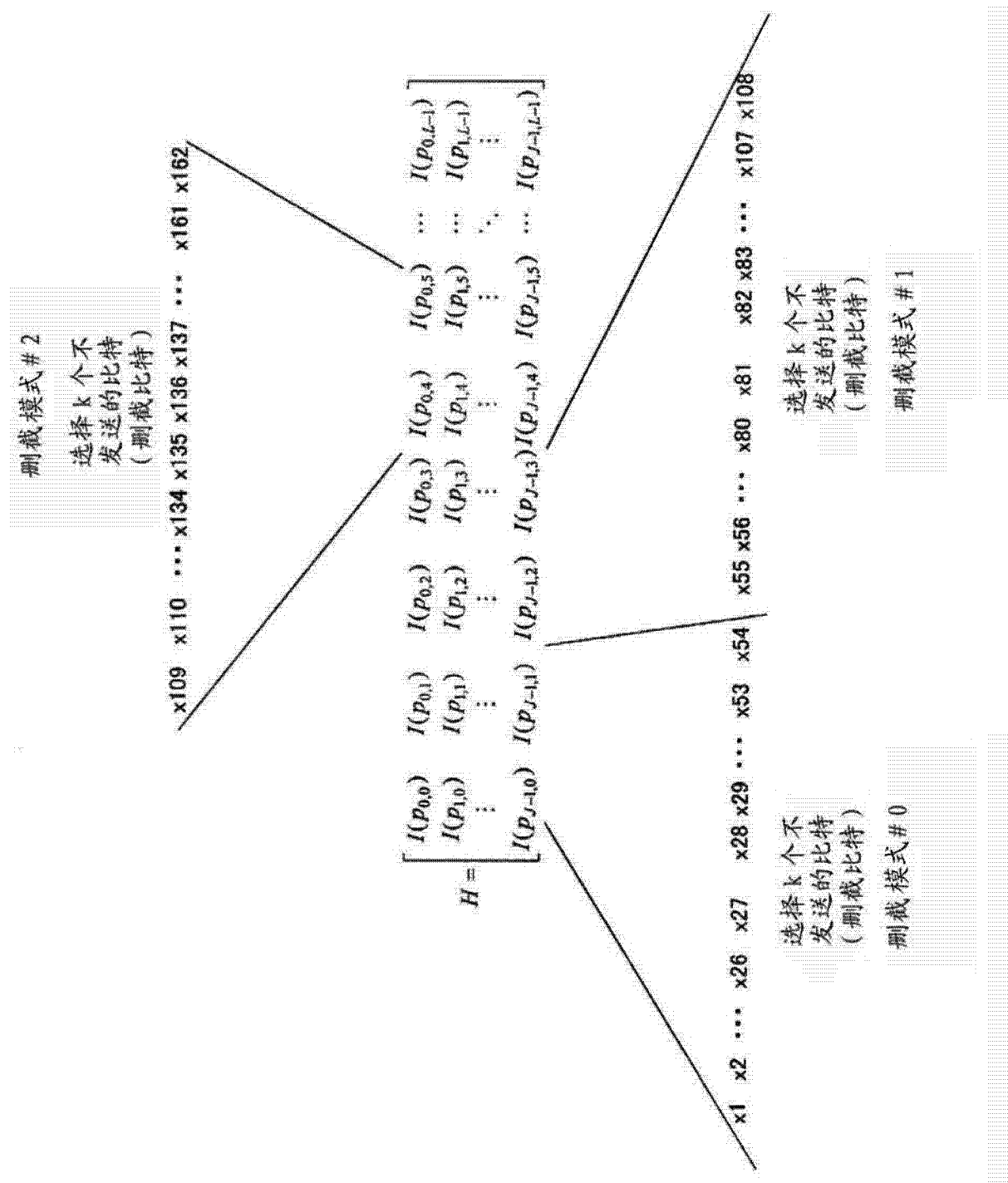


图 16B

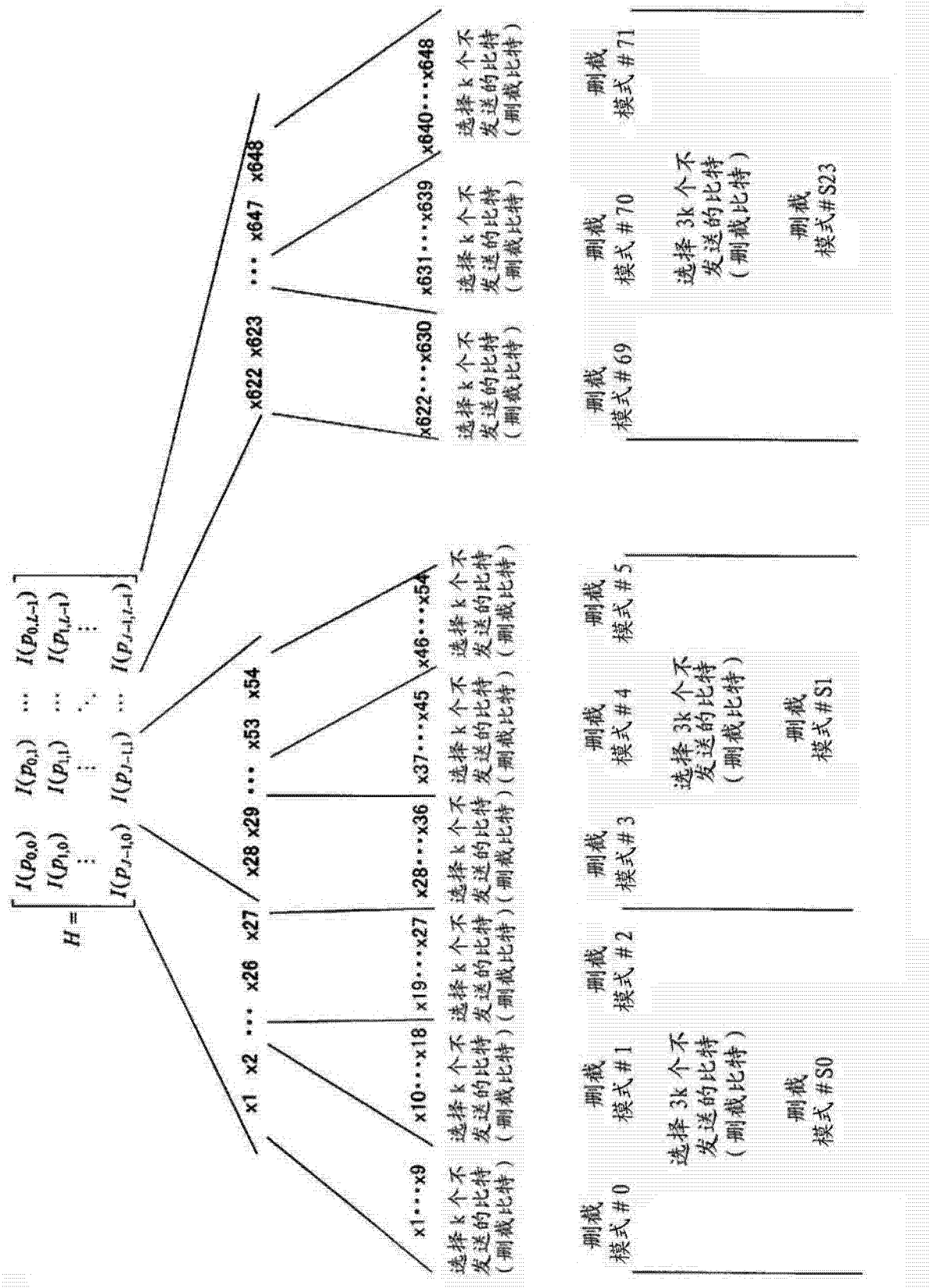


图 16C

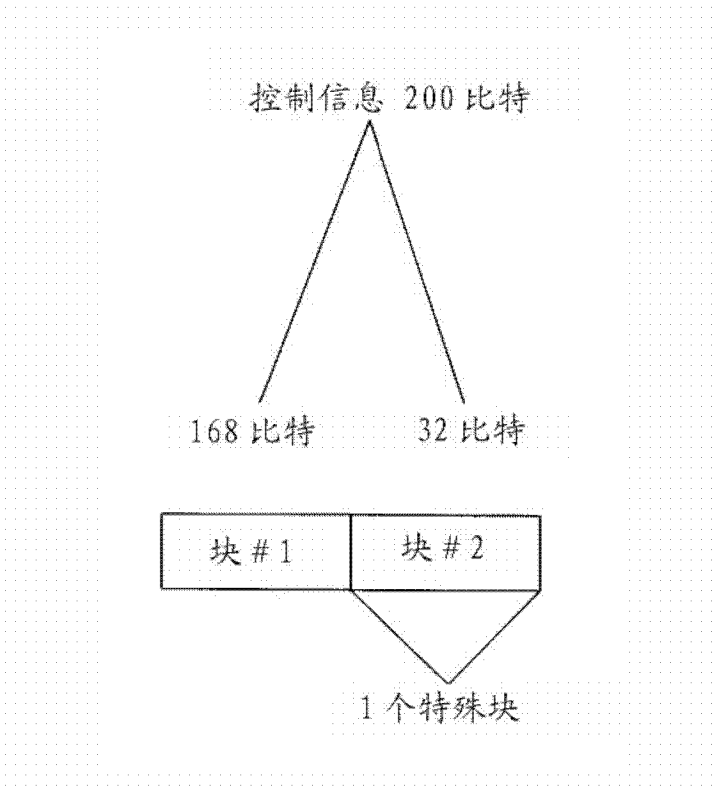


图 17

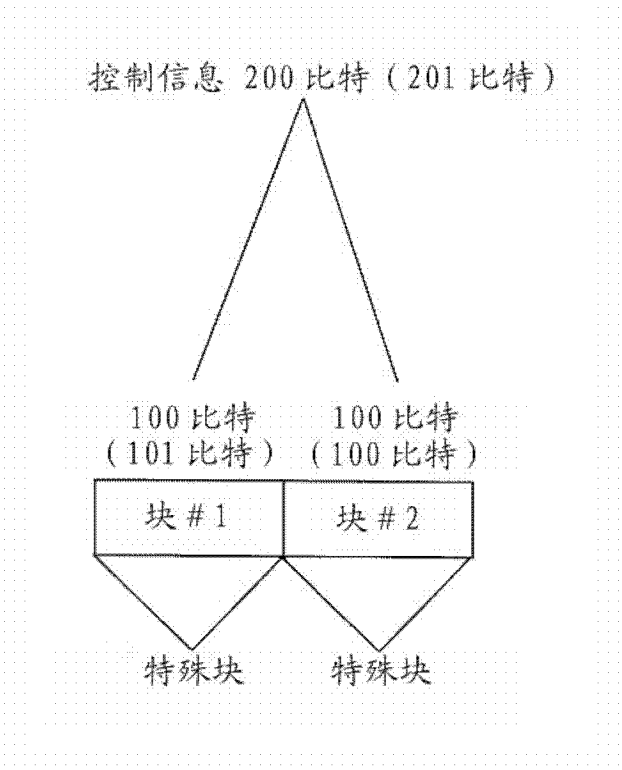
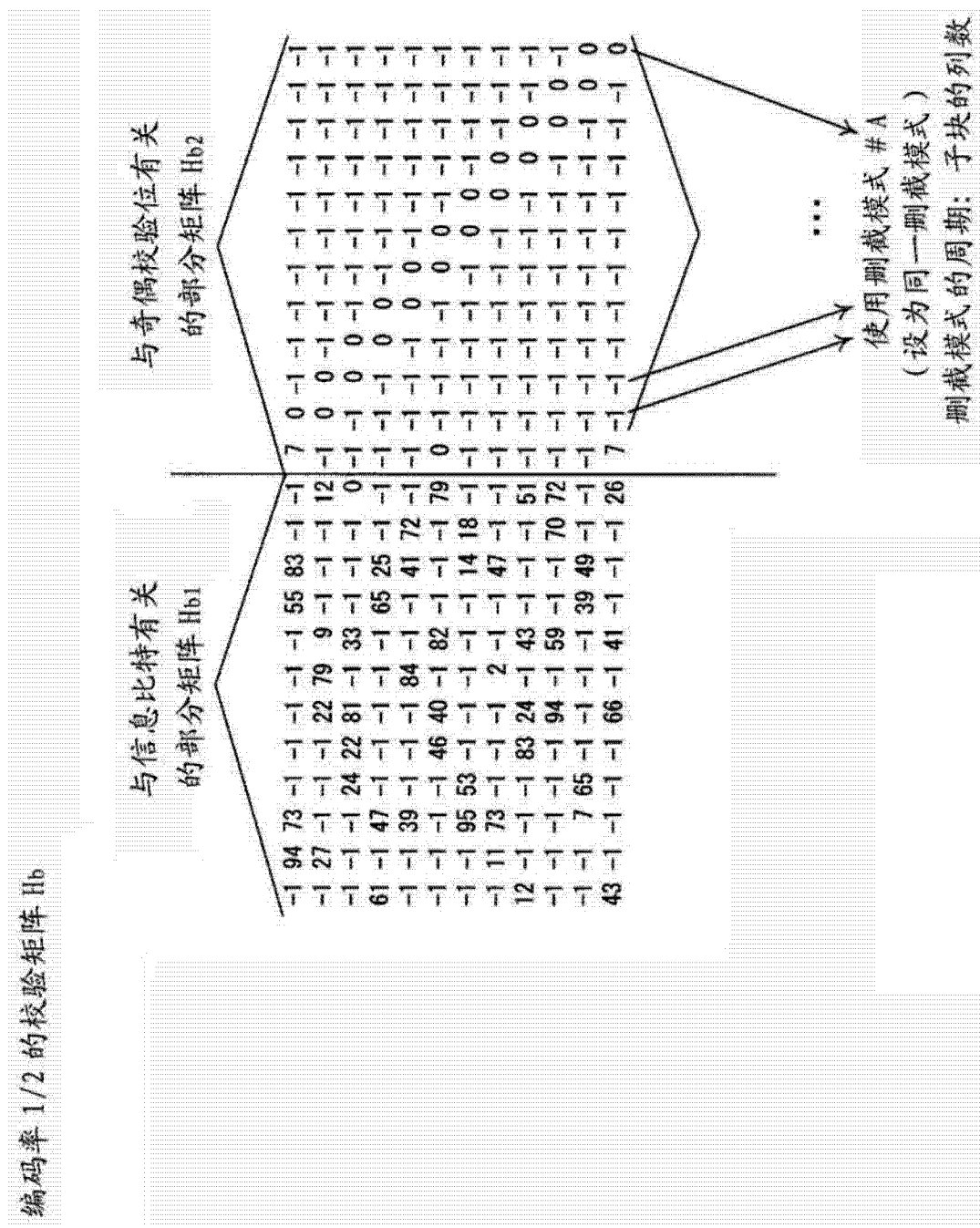


图 18



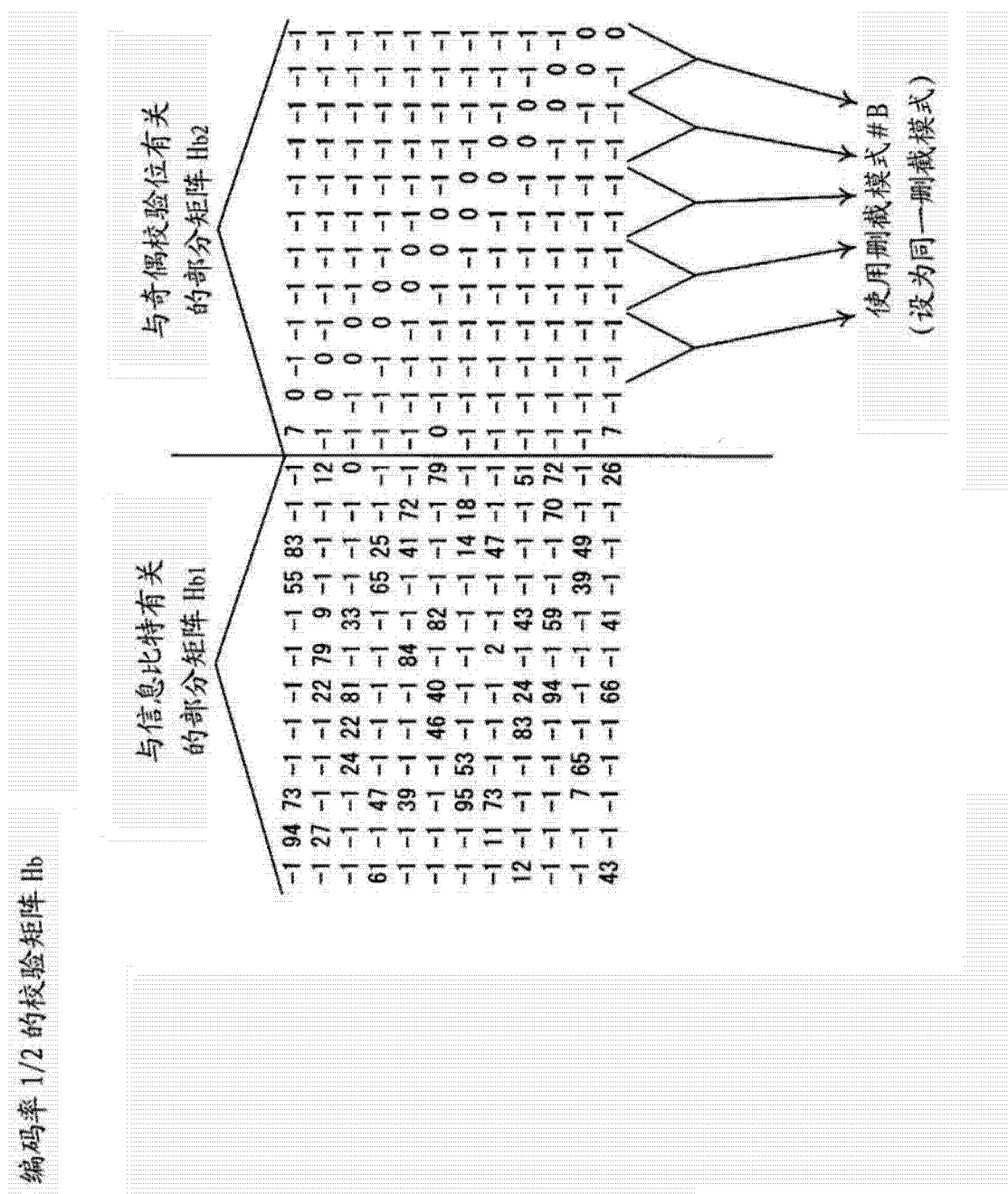


图 19B

编码率 1/2 的校验矩阵 H_b 与奇偶校验位有关
的部分矩阵 H_{b2} 与信息比特有关
的部分矩阵 H_{b1}

-1	94	73	-1	-1	-1	-1	-1	-1	55	83	-1	-1	7	0	-1	-1	-1	-1	-1	-1	-1	-1
-1	27	-1	-1	-1	22	79	9	-1	-1	-1	12	-1	0	0	-1	-1	-1	-1	-1	-1	-1	-1
-1	-1	-1	-1	24	22	81	-1	33	-1	-1	0	-1	-1	0	0	-1	-1	-1	-1	-1	-1	-1
61	-1	47	-1	-1	-1	-1	-1	-1	65	25	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1	-1
-1	-1	39	-1	-1	-1	-1	84	-1	-1	41	72	-1	-1	-1	-1	0	-1	-1	-1	-1	-1	-1
-1	-1	-1	-1	-1	46	40	-1	82	-1	-1	-1	79	0	-1	-1	-1	0	-1	-1	-1	-1	-1
-1	-1	95	53	-1	-1	-1	-1	-1	-1	14	18	-1	-1	-1	-1	-1	0	-1	-1	-1	-1	-1
-1	11	73	-1	-1	-1	-1	2	-1	-1	47	-1	-1	-1	-1	-1	-1	-1	0	-1	-1	-1	-1
12	-1	-1	-1	83	24	-1	43	-1	-1	51	-1	-1	-1	-1	-1	-1	-1	0	0	-1	-1	-1
-1	-1	-1	-1	-1	94	-1	59	-1	-1	70	72	-1	-1	-1	-1	-1	-1	-1	0	0	-1	-1
-1	-1	7	65	-1	-1	-1	-1	-1	39	49	-1	-1	-1	-1	-1	-1	-1	-1	-1	0	0	-1
43	-1	-1	-1	-1	66	-1	41	-1	-1	-1	26	7	-1	-1	-1	-1	-1	-1	-1	-1	0	-1

p100...p199

p200...p299

p300...p399

p400...p499

p500...p599

p600...p699

p700...p799

p800...p899

p900...p999

p1000...p1099

p1100...p1199

p1200...p1299

p1300...p1399

p1400...p1499

p1500...p1599

p1600...p1699

p1700...p1799

p1800...p1899

p1900...p1999

p2000...p2099

p2100...p2199

p2200...p2299

p2300...p2399

p2400...p2499

p2500...p2599

p2600...p2699

p2700...p2799

p2800...p2899

p2900...p2999

p3000...p3099

p3100...p3199

p3200...p3299

p3300...p3399

p3400...p3499

p3500...p3599

p3600...p3699

p3700...p3799

p3800...p3899

p3900...p3999

p4000...p4099

p4100...p4199

p4200...p4299

p4300...p4399

p4400...p4499

p4500...p4599

p4600...p4699

p4700...p4799

p4800...p4899

p4900...p4999

p5000...p5099

p5100...p5199

p5200...p5299

p5300...p5399

p5400...p5499

p5500...p5599

p5600...p5699

p5700...p5799

p5800...p5899

p5900...p5999

p6000...p6099

p6100...p6199

p6200...p6299

p6300...p6399

p6400...p6499

p6500...p6599

p6600...p6699

p6700...p6799

p6800...p6899

p6900...p6999

p7000...p7099

p7100...p7199

p7200...p7299

p7300...p7399

p7400...p7499

p7500...p7599

p7600...p7699

p7700...p7799

p7800...p7899

p7900...p7999

p8000...p8099

p8100...p8199

p8200...p8299

p8300...p8399

p8400...p8499

p8500...p8599

p8600...p8699

p8700...p8799

p8800...p8899

p8900...p8999

p9000...p9099

p9100...p9199

p9200...p9299

p9300...p9399

p9400...p9499

p9500...p9599

p9600...p9699

p9700...p9799

p9800...p9899

p9900...p9999

p10000...p10099

p10100...p10199

p10200...p10299

p10300...p10399

p10400...p10499

p10500...p10599

p10600...p10699

p10700...p10799

p10800...p10899

p10900...p10999

p11000...p11099

p11100...p11199

p11200...p11299

p11300...p11399

p11400...p11499

p11500...p11599

p11600...p11699

p11700...p11799

p11800...p11899

p11900...p11999

p12000...p12099

p12100...p12199

p12200...p12299

p12300...p12399

p12400...p12499

p12500...p12599

p12600...p12699

p12700...p12799

p12800...p12899

p12900...p12999

p13000...p13099

p13100...p13199

p13200...p13299

p13300...p13399

p13400...p13499

p13500...p13599

p13600...p13699

p13700...p13799

p13800...p13899

p13900...p13999

p14000...p14099

p14100...p14199

p14200...p14299

p14300...p14399

p14400...p14499

p14500...p14599

p14600...p14699

p14700...p14799

p14800...p14899

p14900...p14999

p15000...p15099

p15100...p15199

p15200...p15299

p15300...p15399

p15400...p15499

p15500...p15599

p15600...p15699

p15700...p15799

p15800...p15899

p15900...p15999

p16000...p16099

p16100...p16199

p16200...p16299

p16300...p16399

p16400...p16499

p16500...p16599

p16600...p16699

p16700...p16799

p16800...p16899

p16900...p16999

p17000...p17099

p17100...p17199

p17200...p17299

p17300...p17399

p17400...p17499

p17500...p17599

p17600...p17699

p17700...p17799

p17800...p17899

p17900...p17999

p18000...p18099

p18100...p18199

p18200...p18299

p18300...p18399

p18400...p18499

p18500...p18599

p18600...p18699

p18700...p18799

p18800...p18899

p18900...p18999

p19000...p19099

p19100...p19199

p19200...p19299

p19300...p19399

p19400...p19499

p19500...p19599

p19600...p19699

p19700...p19799

p19800...p19899

p19900...p19999

p20000...p20099

p20100...p20199

p20200...p20299

p20300...p20399

p20400...p20499

p20500...p20599

p20600...p20699

p20700...p20799

p20800...p20899

p20900...p20999

p21000...p21099

p21100...p21199

p21200...p21299

p21300...p21399

p21400...p21499

p21500...p21599

p21600...p21699

p21700...p21799

p21800...p21899

p21900...p21999

p22000...p22099

p22100...p22199

p22200...p22299

p22300...p22399

p22400...p22499

p22500...p22599

p22600...p22699

p22700...p22799

p22800...p22899

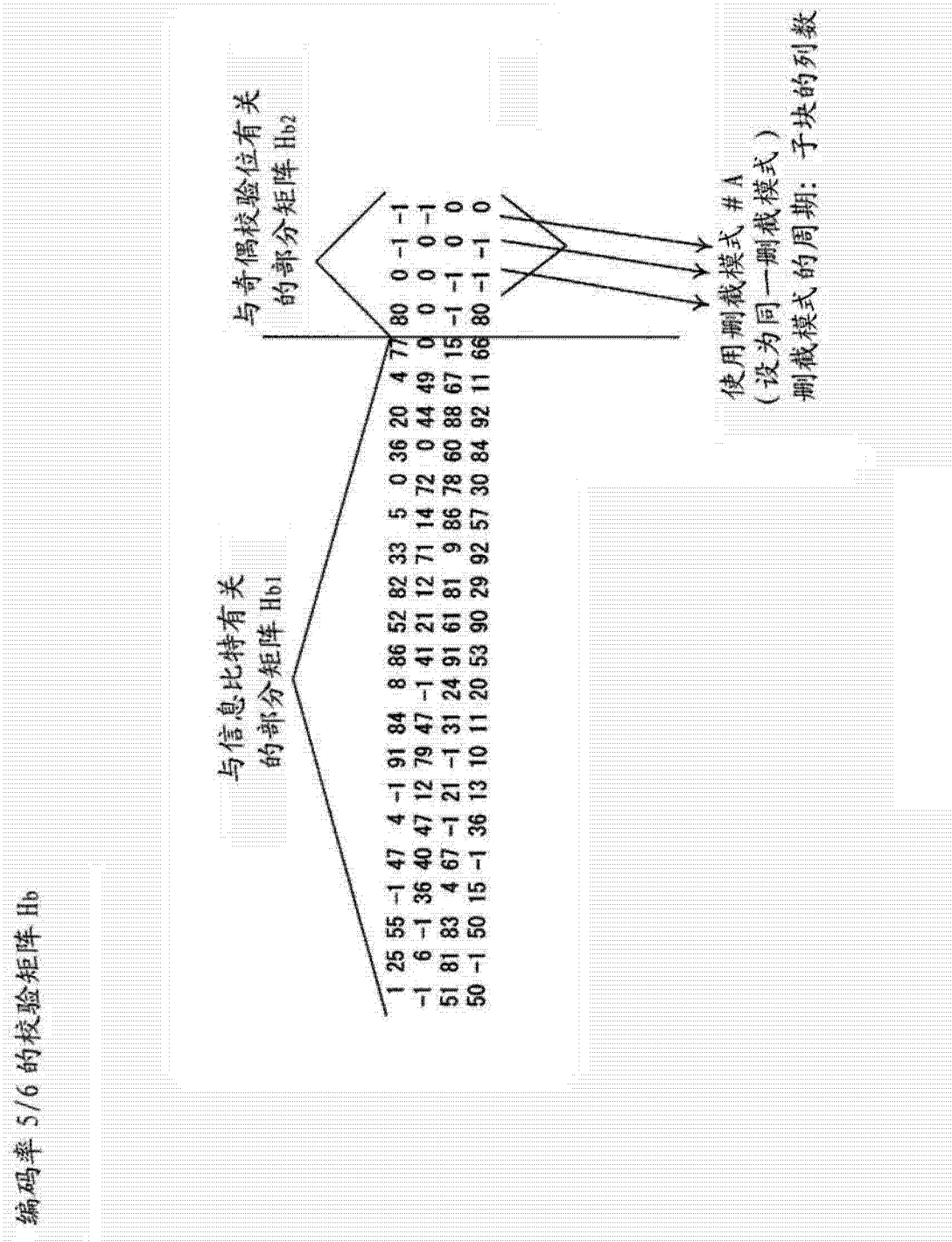


图 20A

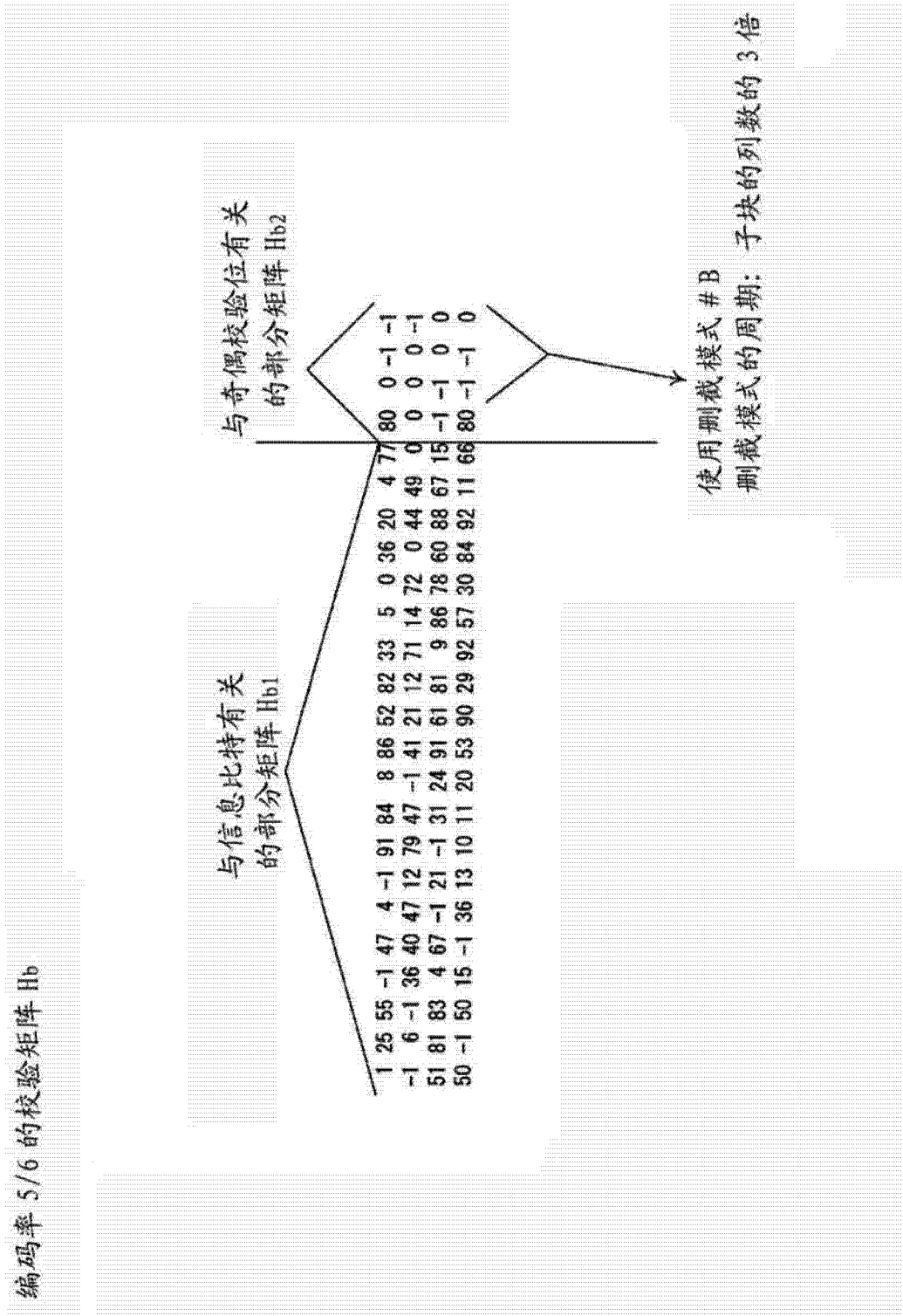


图 20B

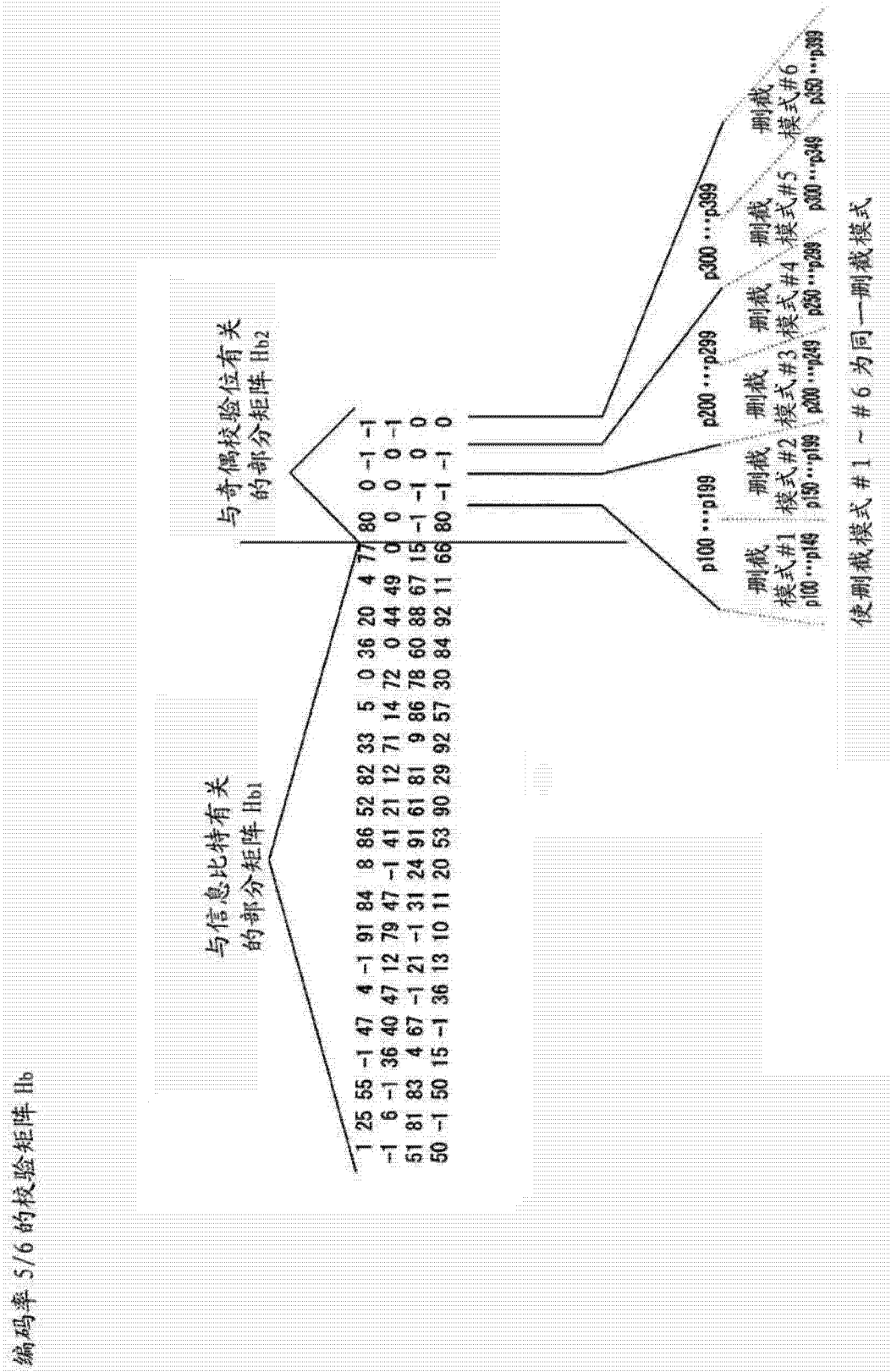


图 20C

$w = [1011111101 \ 1111111110 \ 0111101100 \ 1011111101 \ 0011111111]$
 $v_i = [\quad s_{50*i}, s_{50*i+1}, s_{50*i+2}, s_{50*i+3}, s_{50*i+4}, s_{50*i+5}, s_{50*i+6}, s_{50*i+7}, s_{50*i+8}, s_{50*i+9},$
 $s_{50*i+10}, s_{50*i+11}, s_{50*i+12}, s_{50*i+13}, s_{50*i+14}, s_{50*i+15}, s_{50*i+16}, s_{50*i+17}, s_{50*i+18}, s_{50*i+19},$
 $s_{50*i+20}, s_{50*i+21}, s_{50*i+22}, s_{50*i+23}, s_{50*i+24}, s_{50*i+25}, s_{50*i+26}, s_{50*i+27}, s_{50*i+28}, s_{50*i+29},$
 $s_{50*i+30}, s_{50*i+31}, s_{50*i+32}, s_{50*i+33}, s_{50*i+34}, s_{50*i+35}, s_{50*i+36}, s_{50*i+37}, s_{50*i+38}, s_{50*i+39},$
 $s_{50*i+40}, s_{50*i+41}, s_{50*i+42}, s_{50*i+43}, s_{50*i+44}, s_{50*i+45}, s_{50*i+46}, s_{50*i+47}, s_{50*i+48}, s_{50*i+49}]$

: 被删除的比特

图 21

$$w = [1110111111 \ 1111111101 \ 01111111011 \ 1111111110 \ 1111111111 \ 0111111111 \ 0111]$$

$$vi = [\quad s63*i, \quad s63*i+1, \quad s63*i+2, \quad s63*i+3, \quad s63*i+4, \quad s63*i+5, \quad s63*i+6, \quad s63*i+7, \quad s63*i+8, \quad s63*i+9, \\ s63*i+10, \quad s63*i+11, \quad s63*i+12, \quad s63*i+13, \quad s63*i+14, \quad s63*i+15, \quad s63*i+16, \quad s63*i+17, \quad s63*i+18, \quad s63*i+19, \\ s63*i+20, \quad s63*i+21, \quad s63*i+22, \quad s63*i+23, \quad s63*i+24, \quad s63*i+25, \quad s63*i+26, \quad s63*i+27, \quad s63*i+28, \quad s63*i+29, \\ s63*i+30, \quad s63*i+31, \quad s63*i+32, \quad s63*i+33, \quad s63*i+34, \quad s63*i+35, \quad s63*i+36, \quad s63*i+37, \quad s63*i+38, \quad s63*i+39, \\ s63*i+40, \quad s63*i+41, \quad s63*i+42, \quad s63*i+43, \quad s63*i+44, \quad s63*i+45, \quad s63*i+46, \quad s63*i+47, \quad s63*i+48, \quad s63*i+49, \\ s63*i+50, \quad s63*i+51, \quad s63*i+52, \quad s63*i+53, \quad s63*i+54, \quad s63*i+55, \quad s63*i+56, \quad s63*i+57, \quad s63*i+58, \quad s63*i+59, \\ s63*i+60, \quad s63*i+61, \quad s63*i+62]$$

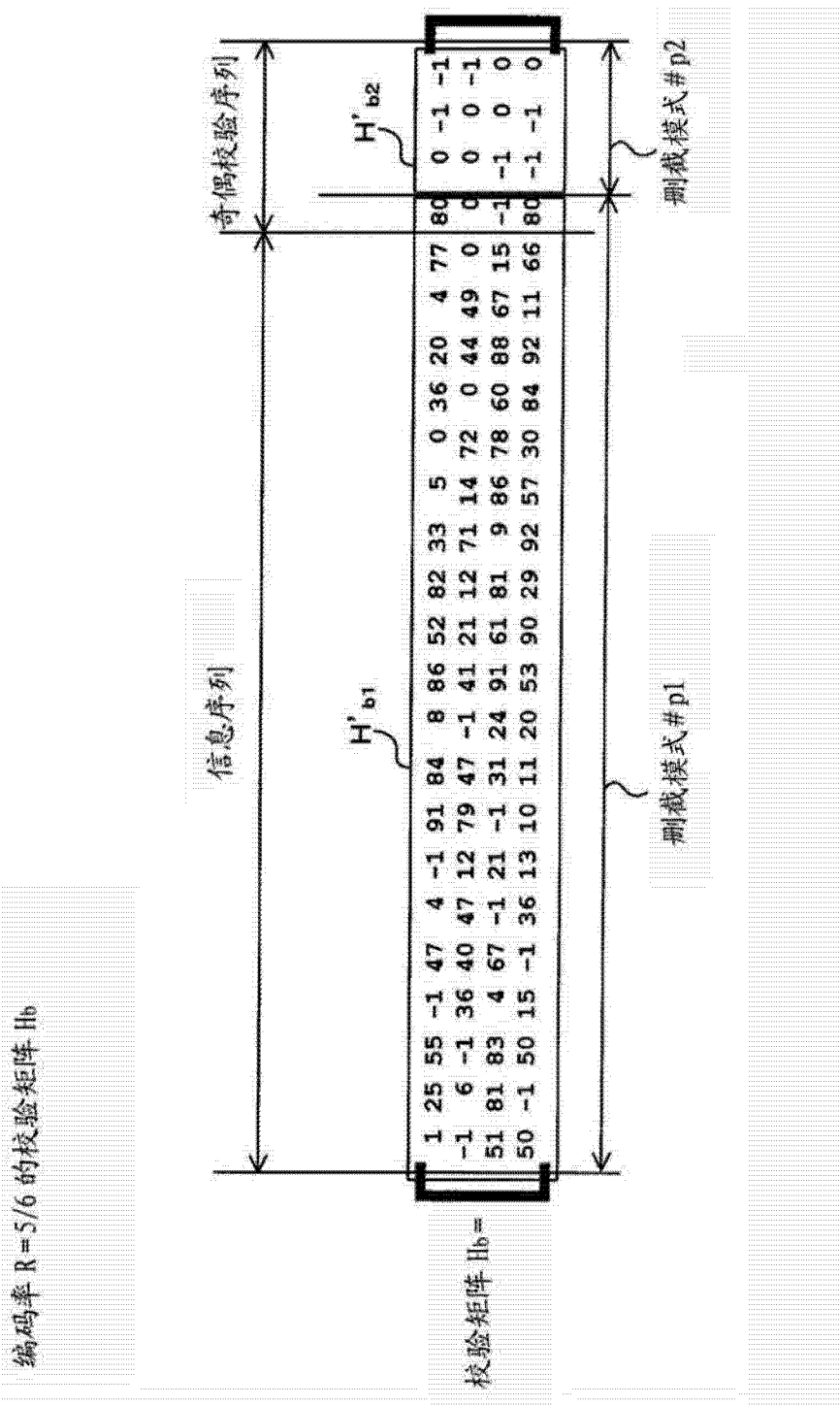


图 23

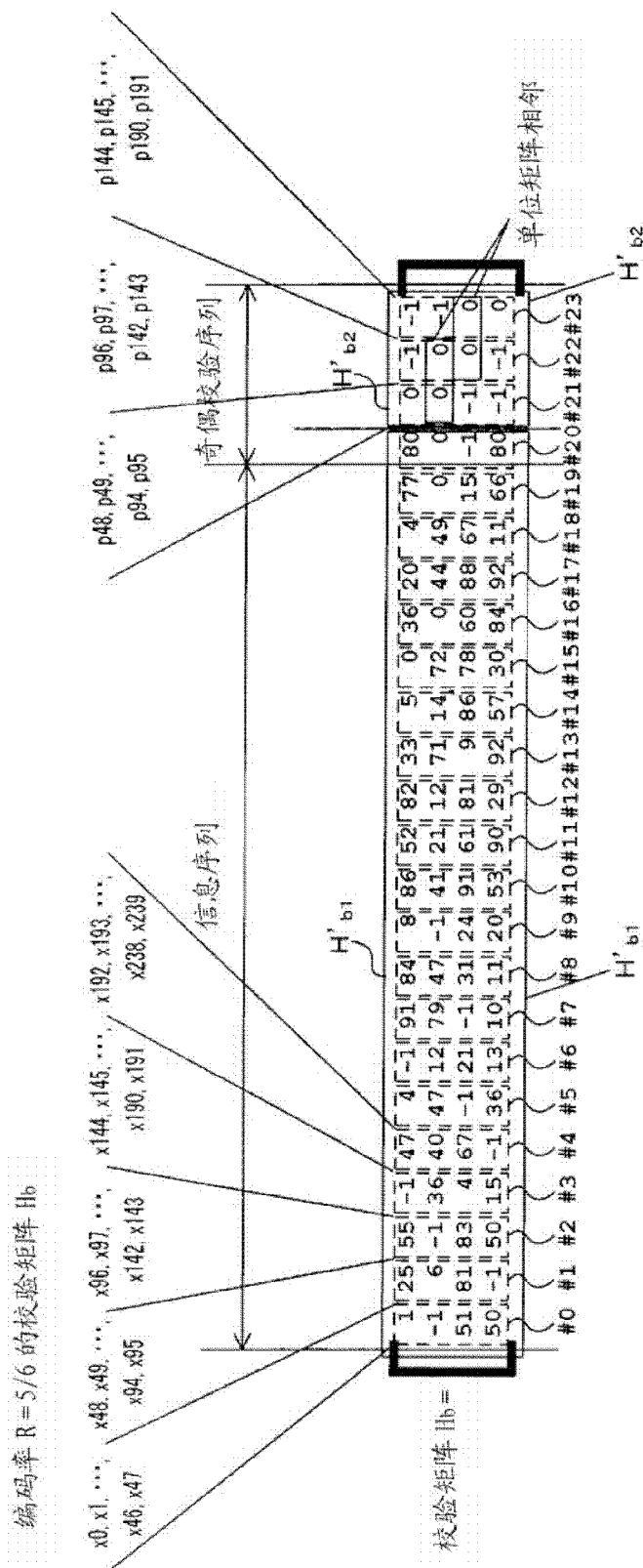


图 24

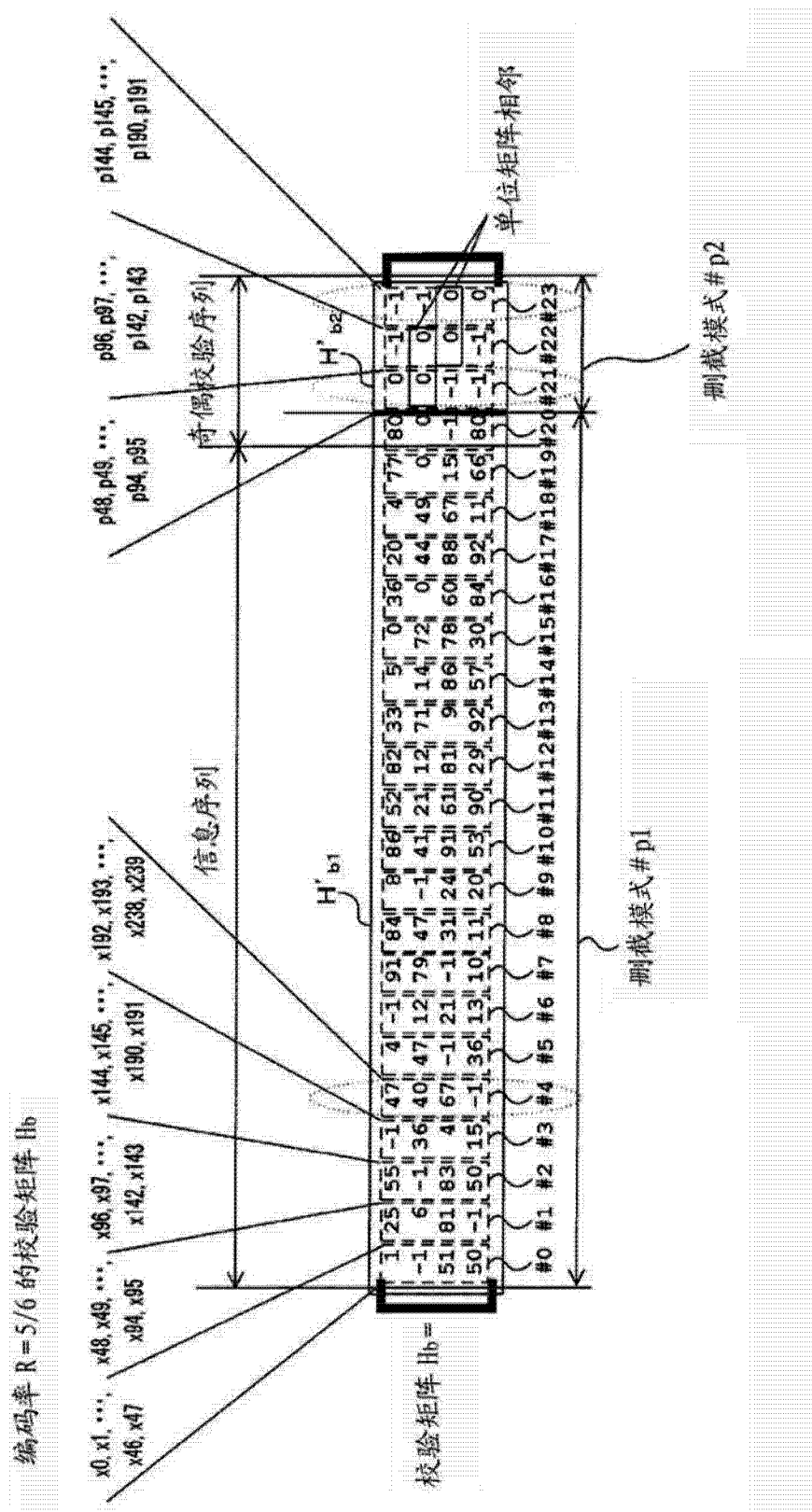


图 25

编码率 $R = 5/6$ 的校验矩阵 H_b

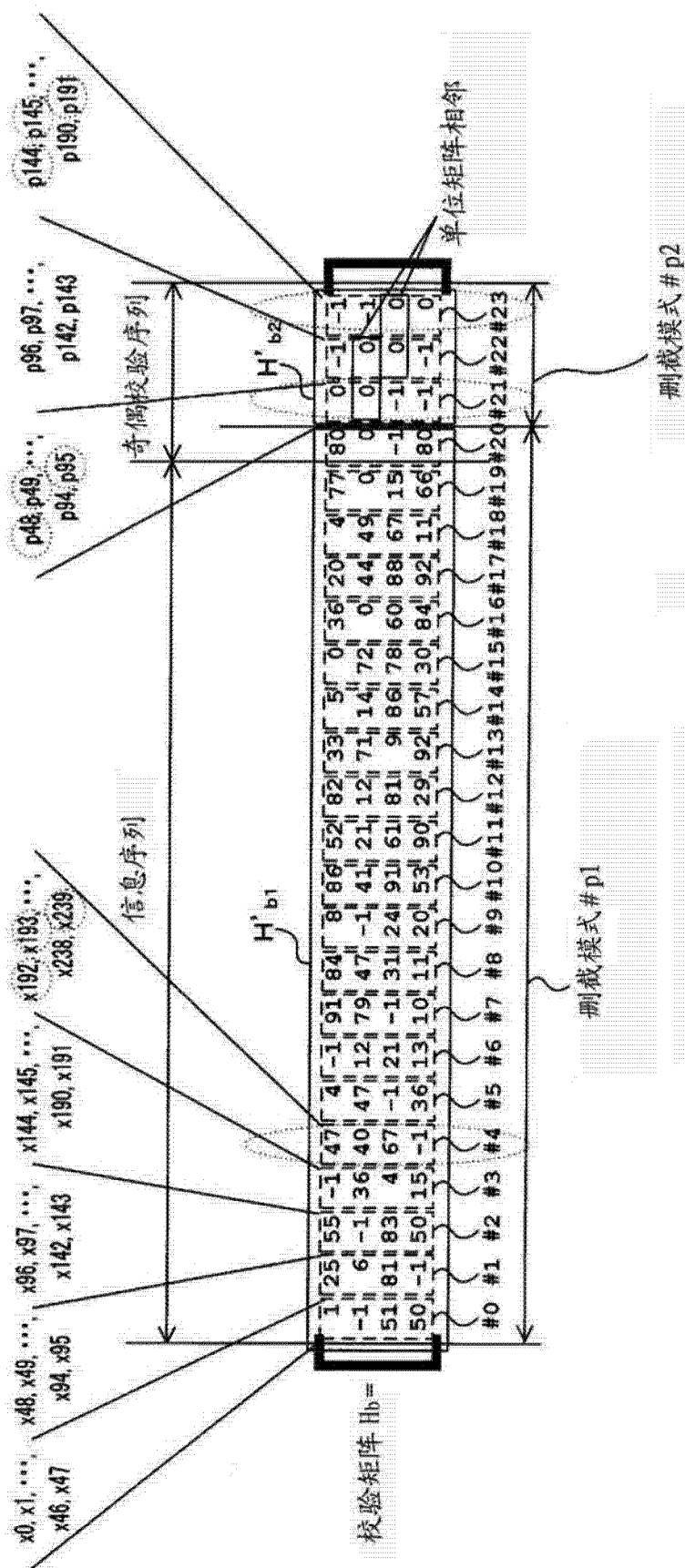


图 26

编码率 $R = 1/2$ 的校验矩阵 H_b

校验矩阵 $H_b =$

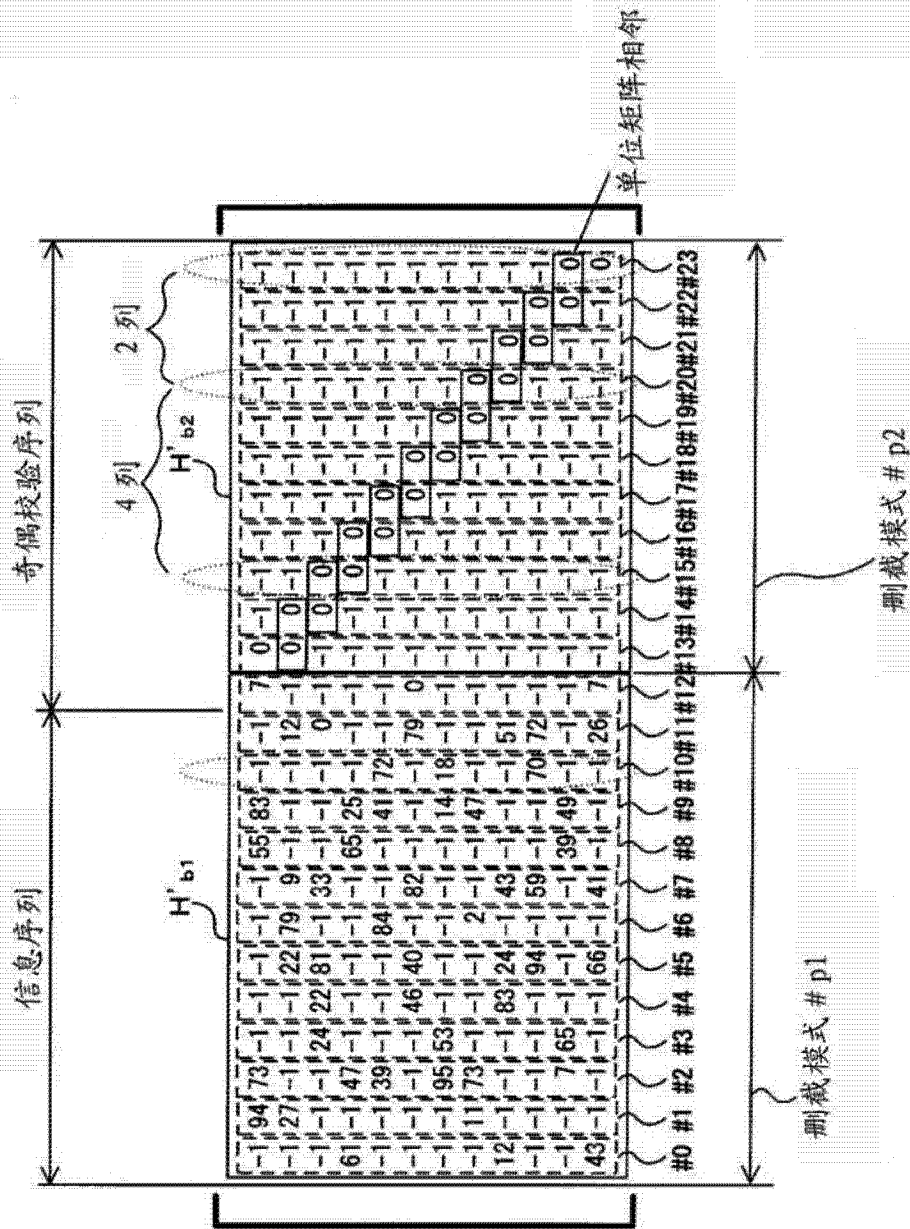


图 27