

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5017468号
(P5017468)

(45) 発行日 平成24年9月5日 (2012.9.5)

(24) 登録日 平成24年6月15日 (2012.6.15)

(51) Int.Cl.

F I

HO 4 N 5/374 (2011.01)

HO 4 N 5/353 (2011.01)

HO 4 N 5/376 (2011.01)

HO 1 L 27/146 (2006.01)

HO 4 N 5/335 7 4 O

HO 4 N 5/335 5 3 O

HO 4 N 5/335 7 6 O

HO 1 L 27/14 C

請求項の数 10 (全 55 頁)

(21) 出願番号	特願2011-49774 (P2011-49774)	(73) 特許権者	000153878
(22) 出願日	平成23年3月8日 (2011.3.8)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-211699 (P2011-211699A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成23年10月20日 (2011.10.20)	(72) 発明者	黒川 義元
審査請求日	平成24年4月20日 (2012.4.20)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2010-50486 (P2010-50486)		半導体エネルギー研究所内
(32) 優先日	平成22年3月8日 (2010.3.8)	(72) 発明者	池田 隆之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
早期審査対象出願			半導体エネルギー研究所内
		(72) 発明者	田村 輝
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	上妻 宗広
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置、及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

画素がマトリクス状に複数配置された半導体装置であって、
前記画素は、
フォトダイオードと、
信号電荷蓄積部と、
電荷蓄積制御トランジスタと、
リセットトランジスタと、
増幅トランジスタと、
を有し、
前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電氣的に接続され、且つ前記電荷蓄積制御トランジスタのソースまたはドレインの他方は、前記信号電荷蓄積部と電氣的に接続され、
前記リセットトランジスタのソースまたはドレインの一方は、前記信号電荷蓄積部と電氣的に接続され、
前記増幅トランジスタのゲートは、前記信号電荷蓄積部と電氣的に接続され、
前記複数の画素の前記リセットトランジスタのゲートは、それぞれ電氣的に接続され、
少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタは、チャンネル形成領域が酸化物半導体で形成されており、
前記複数の画素で前記信号電荷蓄積部のリセット動作が略同時に行われた後に、前記複

数の画素で前記フォトダイオードによる電荷の蓄積動作が略同時に行われ、行毎に前記複数の画素のそれぞれから信号の読み出し動作が行われることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記複数の画素の前記電荷蓄積制御トランジスタのゲートは、それぞれ電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

画素がマトリクス状に複数配置された半導体装置であって、

前記画素は、

フォトダイオードと、

電荷蓄積制御トランジスタと、

リセットトランジスタと、

増幅トランジスタと、

を有し、

前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電氣的に接続され、

前記リセットトランジスタのソースまたはドレインの一方は、前記電荷蓄積制御トランジスタのソースまたはドレインの他方と電氣的に接続され、

前記増幅トランジスタのゲートは、前記電荷蓄積制御トランジスタのソースまたはドレインの他方及び前記リセットトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記複数の画素の前記リセットトランジスタのゲートは、それぞれ電氣的に接続され、前記複数の画素の前記電荷蓄積制御トランジスタのゲートは、それぞれ電氣的に接続され、

少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタは、チャンネル形成領域が酸化物半導体で形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記画素は、選択トランジスタを有し、

前記選択トランジスタのソースまたはドレインの一方は、前記増幅トランジスタのソースまたはドレインの一方と電氣的に接続されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記リセットトランジスタのソースまたはドレインの他方は、前記増幅トランジスタのソースまたはドレインの他方と電氣的に接続されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 に記載の半導体装置を具備することを特徴とする電子機器。

【請求項 7】

画素がマトリクス状に複数配置された半導体装置の駆動方法であって、

前記画素は、

フォトダイオードと、

信号電荷蓄積部と、

電荷蓄積制御トランジスタと、

リセットトランジスタと、

増幅トランジスタと、

を有し、

前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電氣的に接続され、且つ前記電荷蓄積制御トランジスタのソースまたはドレインの他方は、前記信号電荷蓄積部と電氣的に接続され、

前記リセットトランジスタのソースまたはドレインの一方は、前記信号電荷蓄積部と電

10

20

30

40

50

氣的に接続され、

前記増幅トランジスタのゲートは、前記信号電荷蓄積部と電氣的に接続され、

少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタのチャンネル形成領域は、酸化物半導体で形成され、

前記複数の画素の前記電荷蓄積制御トランジスタをオンし、

前記複数の画素の前記リセットトランジスタをオンして前記複数の画素の前記信号電荷蓄積部をリセット電位とし、

前記複数の画素の前記リセットトランジスタをオフして前記複数の画素の前記信号電荷蓄積部の電位を変化させ、

前記複数の画素の前記電荷蓄積制御トランジスタをオフして前記複数の画素の前記信号電荷蓄積部の電位を保持し、

行毎に順次前記選択トランジスタをオンして前記複数の画素のそれぞれの前記信号電荷蓄積部の電位に応じた信号を前記複数の画素のそれぞれの前記増幅トランジスタから出力させることを特徴とする半導体装置の駆動方法。

【請求項 8】

画素がマトリクス状に複数配置された半導体装置の駆動方法であって、

前記画素は、

フォトダイオードと、

信号電荷蓄積部と、

電荷蓄積制御トランジスタと、

リセットトランジスタと、

増幅トランジスタと、

を有し、

前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電氣的に接続され、且つ前記電荷蓄積制御トランジスタのソースまたはドレインの他方は、前記信号電荷蓄積部と電氣的に接続され、

前記リセットトランジスタのソースまたはドレインの一方は、前記信号電荷蓄積部と電氣的に接続され、

前記増幅トランジスタのゲートは、前記信号電荷蓄積部と電氣的に接続され、

少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタのチャンネル形成領域は、酸化物半導体で形成され、

前記複数の画素の前記電荷蓄積制御トランジスタをオンし、

前記複数の画素の前記リセットトランジスタをオンして前記複数の画素の前記信号電荷蓄積部をリセット電位とし、

前記複数の画素の前記電荷蓄積制御トランジスタをオフして前記複数の画素の前記フォトダイオードのカソードの電位を変化させ、

前記複数の画素の前記リセットトランジスタをオフして前記複数の画素の前記信号電荷蓄積部の電位を保持し、

前記複数の画素の前記電荷蓄積制御トランジスタをオンして前記複数の画素の前記信号電荷蓄積部の電位を変化させ、

前記複数の画素の前記電荷蓄積制御トランジスタをオフして前記信号電荷蓄積部の電位を保持し、

行毎に順次前記選択トランジスタをオンして前記複数の画素のそれぞれの前記信号電荷蓄積部の電位に応じた信号を前記複数の画素のそれぞれの前記増幅トランジスタから出力させることを特徴とする半導体装置の駆動方法。

【請求項 9】

請求項 7 または請求項 8 において、

前記複数の画素の前記リセットトランジスタは、1つの入力信号で略同時に駆動させることを特徴とする半導体装置の駆動方法。

【請求項 10】

10

20

30

40

50

請求項 7 乃至 9 のいずれか一項において、
前記複数の画素の前記電荷蓄積制御トランジスタは、1 つの入力信号で略同時に駆動させることを特徴とする半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、フォトセンサを有する画素がマトリクス状に配置された半導体装置と、その駆動方法に関する。また、当該半導体装置を有する電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

10

【背景技術】

【0003】

フォトセンサを有する画素がマトリクス状に配置された半導体装置として、イメージセンサが知られている。イメージセンサは、撮像素子としてデジタルカメラや携帯電話などの携帯機器に多く搭載されている。最近では、撮像の高精細化や携帯機器の小型化、低消費電力化により、イメージセンサの画素の微細化が進んでいる。

【0004】

一般的に用いられるイメージセンサは、CCD（電荷結合素子）センサとCMOS（相補性金属酸化膜半導体）センサの二種類が知られている。CCDセンサは、電荷伝送を垂直CCDと水平CCDで行う方式を採用しているイメージセンサである。CMOSセンサはCMOSプロセスを用いて作製されるイメージセンサである。CMOSセンサは、電荷の読み出しがMOSトランジスタのスイッチング動作により画素単位での制御が可能である。

20

【0005】

CCDセンサは高感度であるが、一部のフォトダイオードに過剰の光が入射されると、許容量以上の電荷が垂直転送用CCDに流入し、スミアと呼ばれる縦の輝線が発生する。また、CCDは専用プロセスで製造コストが高く、多電源で消費電力が大きいことなどの問題点を有している。

【0006】

30

一方、CMOSセンサは、CCDセンサより感度が低い、汎用CMOSプロセスが利用でき、回路の1チップ化が可能である。従って、低コスト、低消費電力とすることができる。更に、CMOSセンサは信号を画素内で増幅して出力するため、ノイズの影響を軽減することができる。また、CCDセンサとは電荷の転送方式が異なるため、スミアの発生も無い。

【0007】

しかしながら、従来のCMOSセンサは、マトリクス配置した画素を行毎に駆動するローリングシャッタ方式が採用されていた。このローリングシャッタ方式は、高速に移動する被写体を撮像すると、画像が歪んでしまうという問題を有していた。一方、CCDセンサは、蓄積のタイミングが全画素同時であるグローバルシャッタ方式を採用している。

40

【0008】

CMOSセンサでグローバルシャッタ方式を用いる手段として、特許文献1にメカニカルシャッタを併用し、フォトダイオードの電流を制御する技術が開示されている。また、特許文献2には、露光終了後にフォトダイオードで生成した不要な電荷を排出するパスを設け、蓄積した電荷のリークを抑える技術が開示されている。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2006-191236号公報

【特許文献2】特開2004-111590号公報

50

【発明の概要】**【発明が解決しようとする課題】****【0010】**

CMOSセンサは、読み出しが順次選択方式である。グローバルシャッタ方式では各画素が読み出される時間が異なるため、読み出しの順番が遅い画素ほど電荷保持期間が長くなる。

【0011】

この電荷保持期間が長くなると、画素を構成するトランジスタのリーク電流などにより電荷が流出し、本来の情報を失ってしまう。特にトランジスタのオフ電流が高い場合は、電荷の流出が顕著となり、電荷を長期間保持することができない課題を有していた。

10

【0012】

そのため、上記特許文献に開示されている技術は、いずれの方法もフォトダイオードの挙動を制御するものであるが、フォトダイオードの暗電流に対しては対策がなされていなかった。また、メカニカルシャッタの付加や新たなスイッチング素子の付加などにより、高コスト化や制御が複雑となる課題を有していた。

【0013】

従って、本明細書で開示する本発明の一態様は、上記課題の少なくとも1つ以上を解決する画素回路の構成、または画素の駆動方法を提供するものである。

【課題を解決するための手段】**【0014】**

20

本発明の一態様は、マトリクス状に配置された画素にフォトセンサを有し、該画素はグローバルシャッタ方式で電荷の蓄積を行い、蓄積期間終了時から最後の行を読み出すまでの期間内において、蓄積電荷保持部からの電荷の流出を極力抑制することのできる半導体装置に関する。

【0015】

本明細書で開示する本発明の一態様は、フォトダイオードと、信号電荷蓄積部と、複数のトランジスタと、を有した画素がマトリクス状に複数配置され、複数のトランジスタの少なくとも一つ以上は、チャネル形成領域が酸化物半導体で形成されており、マトリクス状に配置された全ての画素で信号電荷蓄積部のリセット動作が略同時に行われた後に、全ての画素でフォトダイオードによる電荷の蓄積動作が略同時に行われ、行毎に画素から信号の読み出し動作が行われることを特徴とする半導体装置である。

30

【0016】

上記複数のトランジスタは、ソースまたはドレインの一方がフォトダイオードと電氣的に接続された電荷蓄積制御トランジスタ、ソースまたはドレインの一方が電荷蓄積制御トランジスタのソースまたはドレインの他方と電氣的に接続されたりセットトランジスタ、ゲートが電荷蓄積制御トランジスタのソースまたはドレインの他方及びリセットトランジスタのソースまたはドレインの一方と電氣的に接続された増幅トランジスタ、並びにソースまたはドレインの一方が増幅トランジスタのソースまたはドレインの一方と電氣的に接続された選択トランジスタである。

【0017】

40

また、上記複数のトランジスタは、ソースまたはドレインの一方がフォトダイオードと電氣的に接続された電荷蓄積制御トランジスタ、ソースまたはドレインの一方が電荷蓄積制御トランジスタのソースまたはドレインの他方と電氣的に接続されたりセットトランジスタ、並びにゲートが電荷蓄積制御トランジスタのソースまたはドレインの他方及びリセットトランジスタのソースまたはドレインの一方と電氣的に接続された増幅トランジスタであっても良い。

【0018】

上記2つの構成における全ての画素のリセットトランジスタのゲートは、それぞれ電氣的に接続されており、該トランジスタを1つの入力信号で同時に駆動させることができる。

【0019】

50

また、上記複数のトランジスタは、ソースまたはドレインの一方がフォトダイオードと電氣的に接続された電荷蓄積制御トランジスタ、ゲートが電荷蓄積制御トランジスタのソースまたはドレインの他方と電氣的に接続された増幅トランジスタ、及びソースまたはドレインの一方が増幅トランジスタのソースまたはドレインの一方と電氣的に接続された選択トランジスタであっても良い。

【0020】

上記3つの構成における全ての画素の電荷蓄積制御トランジスタのゲートは、それぞれ電氣的に接続されており、該トランジスタを1つの入力信号で同時に駆動させることができる。

【0021】

また、上記複数のトランジスタは、ゲートがフォトダイオードと電氣的に接続された増幅トランジスタ、及びソースまたはドレインの一方が増幅トランジスタのソースまたはドレインの一方と電氣的に接続された選択トランジスタであっても良い。

【0022】

本明細書で開示する本発明の他の一態様は、フォトダイオードと、信号電荷蓄積部と、トランジスタと、容量素子と、を有した画素がマトリクス状に複数配置され、トランジスタは、チャネル形成領域が酸化物半導体で形成されており、マトリクス状に配置された全ての画素で信号電荷蓄積部のリセット動作が略同時に行われた後に、全ての画素でフォトダイオードによる電荷の蓄積動作が略同時に行われ、行毎に画素から信号の読み出し動作が行われることを特徴とする半導体装置である。

【0023】

上記トランジスタはゲートがフォトダイオード及び容量素子の一方の電極と電氣的に接続された増幅トランジスタである。

【0024】

ここで、チャネル形成領域が酸化物半導体で形成されたトランジスタには、高純度化された極めてキャリアの少ない酸化物半導体層を用いる。該酸化物半導体層を具備するトランジスタは、チャネル幅1 μm あたりのオフ電流密度を室温下において10 aA (1×10^{-17} A)以下にすること、更には、1 aA (1×10^{-18} A)以下、さらには10 zA (1×10^{-20} A)以下にすることが可能である。特に、信号電荷蓄積部からの電荷の流出を防ぐために、電荷蓄積制御トランジスタ及び/またはリセットトランジスタを有する構成において、該トランジスタに酸化物半導体で形成されたトランジスタを用いることが好ましい。

【0025】

また、本明細書で開示する本発明の他の一態様は、フォトダイオードと、ソースまたはドレインの一方がフォトダイオードと電氣的に接続された電荷蓄積制御トランジスタと、ソースまたはドレインの一方が電荷蓄積制御トランジスタのソースまたはドレインの他方と電氣的に接続されたリセットトランジスタと、ゲートが電荷蓄積制御トランジスタのソースまたはドレインの他方及びリセットトランジスタのソースまたはドレインの一方と電氣的に接続された増幅トランジスタと、ソースまたはドレインの一方が増幅トランジスタのソースまたはドレインの一方と電氣的に接続された選択トランジスタと、を有した画素がマトリクス状に複数配置され、全ての画素の電荷蓄積制御トランジスタをオンし、全ての画素のリセットトランジスタをオンして全ての画素の信号電荷蓄積部をリセット電位とし、全ての画素のリセットトランジスタをオフして全ての画素の信号電荷蓄積部の電位を変化させ、全ての画素の電荷蓄積制御トランジスタをオフして全ての画素の信号電荷蓄積部の電位を保持し、行毎に順次選択トランジスタをオンして各画素の信号電荷蓄積部の電位に応じた信号を各画素の増幅トランジスタから出力させることを特徴とする半導体装置の駆動方法である。

【0026】

また、本明細書で開示する本発明の他の一態様は、フォトダイオードと、ソースまたはドレインの一方がフォトダイオードと電氣的に接続された電荷蓄積制御トランジスタと、ソ

10

20

30

40

50

ースまたはドレインの一方が電荷蓄積制御トランジスタのソースまたはドレインの他方と電氣的に接続されたりセットトランジスタと、ゲートが電荷蓄積制御トランジスタのソースまたはドレインの他方及びリセットトランジスタのソースまたはドレインの一方と電氣的に接続された増幅トランジスタと、ソースまたはドレインの一方が増幅トランジスタのソースまたはドレインの一方と電氣的に接続された選択トランジスタと、を有した画素がマトリクス状に複数配置され、全ての画素の電荷蓄積制御トランジスタをオンし、全ての画素のリセットトランジスタをオンして全ての画素の信号電荷蓄積部をリセット電位とし、全ての画素の電荷蓄積制御トランジスタをオフして全ての画素のフォトダイオードのカソードの電位を変化させ、全ての画素のリセットトランジスタをオフして全ての画素の信号電荷蓄積部の電位を保持し、全ての画素の電荷蓄積制御トランジスタをオンして全ての画素の信号電荷蓄積部の電位を変化させ、全ての画素の電荷蓄積制御トランジスタをオフして信号電荷蓄積部の電位を保持し、行毎に順次選択トランジスタをオンして各画素の信号電荷蓄積部の電位に応じた信号を各画素の増幅トランジスタから出力させることを特徴とする半導体装置の駆動方法である。

10

【発明の効果】

【0027】

本発明の一態様により、蓄積期間終了時から最後の行を読み出すまでの期間において、蓄積電荷保持部から電荷の流出を極力抑制することができ、歪みの無い撮像を可能とするCMOSセンサ型イメージセンサを提供することができる。

20

【図面の簡単な説明】

【0028】

【図1】イメージセンサの画素の回路構成を説明する図。

【図2】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図3】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図4】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図5】ローリングシャッタ方式とグローバルシャッタ方式の撮像例を示す図。

【図6】科学計算を説明するための図。

【図7】科学計算の結果を説明する図。

【図8】イメージセンサの画素の回路構成を説明する図。

【図9】イメージセンサの画素の回路構成を説明する図。

30

【図10】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図11】イメージセンサの画素回路のレイアウトを説明する上面図。

【図12】イメージセンサの画素回路のレイアウトを説明する断面図。

【図13】イメージセンサの画素回路のレイアウトを説明する上面図。

【図14】イメージセンサの画素回路のレイアウトを説明する断面図。

【図15】イメージセンサの画素の回路構成を説明する図。

【図16】イメージセンサの画素回路のレイアウトを説明する上面図。

【図17】イメージセンサの画素回路のレイアウトを説明する断面図。

【図18】イメージセンサの画素の回路構成を説明する図。

【図19】イメージセンサの画素の回路構成を説明する図。

40

【図20】イメージセンサの画素の回路構成を説明する図。

【図21】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図22】イメージセンサの画素の回路構成を説明する図。

【図23】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図24】イメージセンサの画素の回路構成を説明する図。

【図25】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図26】イメージセンサの画素の回路構成を説明する図。

【図27】イメージセンサの画素回路の動作を説明するタイミングチャート。

【図28】イメージセンサの画素の回路構成を説明する図。

【図29】イメージセンサの画素回路の動作を説明するタイミングチャート。

50

- 【図 3 0】トランジスタの構造を説明する断面図。
【図 3 1】トランジスタの作製工程を説明する断面図。
【図 3 2】イメージセンサの画素の回路構成を説明する図。
【図 3 3】イメージセンサの入力信号を説明するタイミングチャート。
【図 3 4】イメージセンサの出力信号を説明する図。
【図 3 5】イメージセンサの出力信号を説明する図。
【図 3 6】電子機器の具体例を説明する図。
【図 3 7】撮像画像の階調数と電荷の関係を表す図。
【図 3 8】電荷保持に必要なトランジスタのオフ電流とフレーム周波数の関係を表す図。
【発明を実施するための形態】

10

【 0 0 2 9 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 3 0 】

なお、本明細書において、CMOSセンサとは、CCDセンサと区別するために用いる名称であり、一般的な電界効果型トランジスタのプロセスを用いて形成するイメージセンサ全般を指す。従って、画素部や周辺回路部にCMOS回路が使われていることに限るもの

20

【 0 0 3 1 】

(実施の形態 1)

本実施の形態では、本発明の一態様の半導体装置について、図面を参照して説明する。図 1 に、イメージセンサの画素の回路構成の一例を示す。

【 0 0 3 2 】

イメージセンサの画素は、フォトダイオード 1 0 1 (PD)、増幅トランジスタ 1 0 2 (AMP)、電荷蓄積制御トランジスタ 1 0 3 (T)、リセットトランジスタ 1 0 4 (R)、及び選択トランジスタ 1 0 5 (S)を含んで構成される。

【 0 0 3 3 】

次に、各素子及び配線の機能と配置について説明する。

30

【 0 0 3 4 】

フォトダイオード 1 0 1 は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ 1 0 2 は、信号電荷蓄積部 1 1 2 (FD)の電位に応じた信号を出力する動作を行う。電荷蓄積制御トランジスタ 1 0 3 は、フォトダイオード 1 0 1 による信号電荷蓄積部 1 1 2 への電荷蓄積を制御する。リセットトランジスタ 1 0 4 は、信号電荷蓄積部 1 1 2 の電位の初期化を制御する。選択トランジスタ 1 0 5 は、読み出し時に画素の選択を制御する。信号電荷蓄積部 1 1 2 は、電荷保持ノードであり、フォトダイオード 1 0 1 が受ける光の量に応じて変化する電荷を保持する。

【 0 0 3 5 】

電荷蓄積制御信号線 1 1 3 (TX)は、電荷蓄積制御トランジスタ 1 0 3 を制御する信号線である。リセット信号線 1 1 4 (RS)は、リセットトランジスタ 1 0 4 を制御する信号線である。選択信号線 1 1 5 (SE)は、選択トランジスタ 1 0 5 を制御する信号線である。出力信号線 1 2 0 (OUT)は、増幅トランジスタ 1 0 2 が生成した信号の出力先となる信号線である。電源供給線 1 3 0 (VDD)は、電源電圧を供給する信号線であり、接地電位線 1 3 1 (GND)は、基準電位を設定する信号線である。

40

【 0 0 3 6 】

なお、ここで説明する各トランジスタ及び各配線の名称は、便宜的に名付けたものであり、それぞれを説明する上記機能を有していれば名称は問わない。

【 0 0 3 7 】

50

電荷蓄積制御トランジスタ 103 のゲートは、電荷蓄積制御信号線 113 に接続され、ソースまたはドレインの一方は、フォトダイオード 101 のカソードに接続され、ソースまたはドレインの他方は、信号電荷蓄積部 112 に接続される。また、フォトダイオード 101 のアノードは、接地電位線 131 に接続される。ここで、電荷保持容量を信号電荷蓄積部 112 と接地電位線 131 の間に接続してもよい。

【0038】

なお、実質的な信号電荷蓄積部は、トランジスタのソース領域またはドレイン領域近傍の空乏層容量や、増幅トランジスタのゲート容量などであるが、本明細書では、信号電荷蓄積部を便宜的に回路図上の一部分として表記している。従って、配置の説明は回路図に従うものとする。

10

【0039】

増幅トランジスタ 102 のゲートは、信号電荷蓄積部 112 に接続され、ソースまたはドレインの一方は、電源供給線 130 に接続され、ソースまたはドレインの他方は、選択トランジスタ 105 のソースまたはドレインの一方に接続される。

【0040】

リセットトランジスタ 104 のゲートは、リセット信号線 114 に接続され、ソースまたはドレインの一方は、電源供給線 130 に接続され、ソースまたはドレインの他方は、信号電荷蓄積部 112 に接続される。

【0041】

選択トランジスタ 105 のゲートは、選択信号線 115 に接続され、ソースまたはドレインの他方は、出力信号線 120 に接続される。

20

【0042】

次に、図 1 に示す各素子の構成について説明する。

【0043】

フォトダイオード 101 には、シリコン半導体で p n 型や p i n 型の接合を形成したものを用いることができる。ここでは、i 型半導体層を非晶質シリコンで形成した p i n 型フォトダイオードを用いる。非晶質シリコンを用いれば、可視光線の波長領域に光吸収特性を持つため、赤外線カットフィルタを設ける必要が無く、低コストで可視光センサを形成することができる。一方で、結晶性シリコンは、赤外線の波長領域にも光吸収特性を持つため、p i n 型フォトダイオードの i 型半導体層に結晶性シリコンを用い、赤外線透過フ

30

【0044】

電荷蓄積制御トランジスタ 103、リセットトランジスタ 104、増幅トランジスタ 102、及び選択トランジスタ 105 は、シリコン半導体を用いて形成することも可能であるが、酸化物半導体を用いて形成することが好ましい。酸化物半導体を用いたトランジスタは、極めてオフ電流の低い特性を示す特徴を有している。

【0045】

特に、信号電荷蓄積部 112 と接続されている電荷蓄積制御トランジスタ 103 及びリセットトランジスタ 104 のリーク電流が大きいと、信号電荷蓄積部 112 で電荷が保持できる時間が十分でなくなるため、少なくとも該トランジスタは、酸化物半導体を用いて形成すると良い。該トランジスタに酸化物半導体を用いたトランジスタを使用することで、フォトダイオードを介した不要な電荷の流出を防止することができる。

40

【0046】

酸化物半導体には、化学式 $I n M O_3 (Z n O)_m (m > 0)$ で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn および Co から選ばれた一つ、または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。酸化物半導体を用いてトランジスタを形成することで、オフ電流を極めて低くすることができる。

【0047】

次に、図 1 の画素回路の動作について図 2 (A)、(B) に示すタイミングチャートを用

50

いて説明する。

【 0 0 4 8 】

図 2 (A) 、 (B) では簡易に説明するため、電荷蓄積制御信号線 1 1 3 の電位 2 1 3 、リセット信号線 1 1 4 の電位 2 1 4 、及び選択信号線 1 1 5 の電位 2 1 5 は、二値化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。

【 0 0 4 9 】

まず、図 2 (A) の動作モードについて説明する。

【 0 0 5 0 】

時刻 2 3 0 において電荷蓄積制御信号線 1 1 3 の電位 2 1 3 をハイレベルとし、次に時刻 2 3 1 にリセット信号線 1 1 4 の電位 2 1 4 をハイレベルにすると、信号電荷蓄積部 1 1 2 の電位 2 1 2 は、電源供給線 1 3 0 の電位に初期化され、リセット電位となる。以上がリセット動作の開始である。

【 0 0 5 1 】

時刻 2 3 2 にリセット信号線 1 1 4 の電位 2 1 4 をローレベルとし、リセット動作を終了させる。このとき、信号電荷蓄積部 1 1 2 の電位 2 1 2 は保持され、フォトダイオード 1 0 1 に逆バイアス電圧がかかる状態になる。この段階が蓄積動作の開始となる。そして、フォトダイオード 1 0 1 に光の量に応じた逆方向電流が流れ、信号電荷蓄積部 1 1 2 の電位 2 1 2 が変化する。

【 0 0 5 2 】

時刻 2 3 3 に電荷蓄積制御信号線 1 1 3 の電位 2 1 3 をローレベルにすると、信号電荷蓄積部 1 1 2 からフォトダイオード 1 0 1 への電荷の移動が止まり、信号電荷蓄積部 1 1 2 の電位 2 1 2 が決定する。この段階で蓄積動作が終了する。

【 0 0 5 3 】

時刻 2 3 4 に選択信号線 1 1 5 の電位 2 1 5 をハイレベルにすると、信号電荷蓄積部 1 1 2 の電位 2 1 2 に応じて電源供給線 1 3 0 から出力信号線 1 2 0 へと電荷が供給され、読み出し動作が開始する。

【 0 0 5 4 】

時刻 2 3 5 に選択信号線 1 1 5 の電位 2 1 5 をローレベルにすると、電源供給線 1 3 0 から出力信号線 1 2 0 への電荷供給が停止され、出力信号線の電位 2 2 0 が決定する。この段階で読み出し動作が終了する。以降は、時刻 2 3 0 の動作に戻り、同じ動作を繰り返すことで撮像画像を生成することができる。

【 0 0 5 5 】

次に、図 2 (B) の動作モードについて説明する。

【 0 0 5 6 】

時刻 2 3 0 において電荷蓄積制御信号線 1 1 3 の電位 2 1 3 をハイレベルとし、時刻 2 3 1 にリセット信号線 1 1 4 の電位 2 1 4 をハイレベルにすると、信号電荷蓄積部 1 1 2 の電位 2 1 2 及びフォトダイオード 1 0 1 のカソードの電位は、電源供給線 1 3 0 の電位に初期化され、リセット電位となる。以上がリセット動作の開始である。

【 0 0 5 7 】

時刻 2 3 6 において電荷蓄積制御信号線 1 1 3 の電位 2 1 3 をローレベルとし、続いて時刻 2 3 7 にリセット信号線 1 1 4 の電位 2 1 4 をローレベルとしてリセット動作を終了させると、逆バイアス電圧のかかった状態のフォトダイオードに光の量に応じた逆方向電流が流れ、フォトダイオード 1 0 1 のカソードの電位が変化する。

【 0 0 5 8 】

時刻 2 3 2 に再び電荷蓄積制御信号線 1 1 3 の電位 2 1 3 をハイレベルとすると、信号電荷蓄積部 1 1 2 とフォトダイオード 1 0 1 のカソードとの電位差により電流が流れ、信号電荷蓄積部 1 1 2 の電位 2 1 2 が変化する。

【 0 0 5 9 】

以降は、図 2 (A) の動作モードと同じである。

【 0 0 6 0 】

全画素の蓄積動作と読み出し動作の方式は、ローリングシャッタ方式とグローバルシャッタ方式の二つが知られている。それぞれの違いについて、電荷蓄積制御信号線の電位と選択信号線の電位を用いて簡単に説明する。

【 0 0 6 1 】

図 3 は、ローリングシャッタ方式を用いた場合のタイミングチャートである。まず、第 1 の電荷蓄積制御信号線の電位 3 0 0 1 がハイレベルになり、蓄積期間 3 0 1 において 1 行目の画素の信号電荷蓄積部に光の量の応じた電荷が蓄積される。続いて、第 1 の電荷蓄積制御信号線の電位 3 0 0 1 がローレベルになり、電荷保持期間 3 0 2 の後、第 1 の選択信号線の電位 3 5 0 1 がハイレベルになる。期間 3 0 3 で蓄積電位に応じた電圧を読み出した後、第 1 の選択信号線の電位 3 5 0 1 がローレベルになる。

10

【 0 0 6 2 】

期間 3 0 3 において、第 2 の電荷蓄積制御信号線の電位 3 0 0 2 がハイレベルになり、2 行目の画素の信号電荷蓄積部に光の量の応じた電荷が蓄積される。続いて、第 2 の電荷蓄積制御信号線の電位 3 0 0 2 がローレベルになり、電荷保持期間 3 0 4 の後、第 2 の選択信号線の電位 3 5 0 2 がハイレベルになる。期間 3 0 5 で蓄積電位に応じた電圧を読み出した後、第 2 の選択信号線の電位 3 5 0 2 がローレベルになる。

【 0 0 6 3 】

同様にして、例えば最終行が 4 8 0 行であるとする、第 3 の電荷蓄積制御信号線の電位 3 0 0 3 から第 4 8 0 の電荷蓄積制御信号線の電位 3 4 8 0 までと、第 3 の選択信号線の電位 3 5 0 3 から第 4 8 0 の選択信号線の電位 3 9 8 0 までを順に制御して、全ての画素について読み出し動作が行われる。この様にして 1 フレームの読み出しが完了する。

20

【 0 0 6 4 】

ローリングシャッタ方式は、行毎に画素の信号電荷蓄積部への電荷蓄積が行われるため、行毎に電荷蓄積のタイミングが異なる。つまり、ローリングシャッタ方式は、電荷の蓄積動作が全ての画素では同時に行われず、行毎に蓄積動作の時間差が生じてしまう方式である。ただし、蓄積動作から読み出し動作までの電荷保持期間は、全ての行で同じである。

【 0 0 6 5 】

次に、図 4 のタイミングチャートを用いてグローバルシャッタ方式を説明する。上記の例と同様に最終行が 4 8 0 行であるとする、1 行目の第 1 の電荷蓄積制御信号線の電位 4 0 0 1 から 4 8 0 行目の第 4 8 0 の電荷蓄積制御信号線の電位まで全て同時にハイレベルになり、期間 4 0 1 で全ての画素において電荷の蓄積動作が同時に行われる。電荷保持期間 4 0 2 の後、期間 4 0 3 において、第 1 の選択信号線の電位 4 5 0 1 がハイレベルになり、1 行目の画素が選択され、蓄積電位に応じた電圧が出力される。

30

【 0 0 6 6 】

次に、選択信号線の電位 4 5 0 1 がローレベルになり、電荷保持期間 4 0 4 の後、期間 4 0 5 において、第 2 の選択信号線の電位 4 5 0 2 がハイレベルになり、2 行目の画素が選択され、蓄積電位に応じた電圧が出力される。

【 0 0 6 7 】

以降、行毎の読み出しが順次行われ、最終行では電荷保持期間 4 0 6 の後に第 4 8 0 の選択信号線の電位 4 9 8 0 がハイレベルになり、4 8 0 行目の画素が選択され、蓄積電位に応じた電圧が出力される。この様に 1 フレームの読み出しが完了する。

40

【 0 0 6 8 】

グローバルシャッタ方式は、全画素において信号電荷蓄積部への電荷蓄積のタイミングが同じである。ただし、電荷の蓄積動作から読み出し動作までの時間は行毎に異なり、最終行の読み出しまでの電荷保持期間 4 0 6 が最も長くなる。

【 0 0 6 9 】

以上説明したように、グローバルシャッタ方式は全画素において電荷蓄積の時間差が無いため、動きのある被写体に対して歪みの無い撮像を可能とする利点がある。しかしながら、グローバルシャッタ方式は電荷保持期間が長くなるため、ローリングシャッタ方式に比

50

べて、電荷蓄積制御トランジスタやリセットトランジスタのオフ電流等によるリークの影響を受けやすい問題を有する。

【0070】

次に、ローリングシャッタ方式とグローバルシャッタ方式の撮像例について図5を用いて説明する。ここでは被写体の動きが速い場合の一例として、図5(A)に示すような走行中の自動車を撮像する場合を考える。

【0071】

ローリングシャッタ方式を使用する場合、画素の電荷蓄積のタイミングが行毎に異なるため、フレームの上下で撮像の同時性が崩れてしまい、図5(B)に示すように歪んだ物体として画像が生成される。ローリングシャッタ方式は、特に高速に移動するものは歪みが大きくなるため、現実の状態を撮像することが困難である。

10

【0072】

一方、グローバルシャッタ方式を使用する場合は、画素の電荷蓄積のタイミングが全ての画素において同じになる。従って、瞬間的にフレーム全体を撮像することができるため、図5(C)に示すように歪まない撮像が可能である。グローバルシャッタ方式は、高速に移動する被写体の撮像に優れた方式である。

【0073】

以上により、高速移動する被写体の撮像にはローリングシャッタ方式は適さず、グローバルシャッタ方式が適した方式であることがわかる。ただし、従来のCMOSセンサ型のイメージセンサに用いられているトランジスタは、オフ電流が大きいため、グローバルシャッタ方式で動作させるだけでは正常な撮像を行うことができない。

20

【0074】

そこで、本発明の一態様では、オフ電流が極めて小さい酸化物半導体を用いたトランジスタをCMOSセンサ型のイメージセンサに採用し、グローバルシャッタ方式を用いた正常な撮像を実現する。

【0075】

次に、撮像に関する科学計算結果を説明する。科学計算に用いた被写体は、図6に示す回転体となる3枚羽の画像である。この3枚羽は、羽の接続点を中心軸とし、回転することができる。この科学計算では、回転する3枚羽を撮像したときの1フレーム分の画像を取得することを目的とする。

30

【0076】

科学計算に用いたソフトは、C言語で作成した画像処理ソフトで、イメージセンサの各画素における電荷の蓄積動作及び読み出し動作のタイミングと、信号電荷蓄積部からのリーク量を行毎に計算し、画像化するものである。

【0077】

図7に科学計算結果を示す。なお、科学計算の条件は、次の4条件で行った。

【0078】

第1の条件は、図8の画素回路を持つVGAサイズのイメージセンサをローリングシャッタ方式で駆動させるものである。図8の画素回路構成は、基本的に図1の画素回路と同じであるが、電荷蓄積制御トランジスタ1803、リセットトランジスタ1804、増幅トランジスタ1802、及び選択トランジスタ1805は、シリコン半導体を用いたトランジスタで構成される。なお、以降の条件も含めて画素回路の動作は、前述した図1と図2を用いた説明と同様である。

40

【0079】

第2の条件は、図8の画素回路を持つVGAサイズのイメージセンサをグローバルシャッタ方式で駆動させるものである。回路の構成は、第1の条件と同じであり、シャッタの方式のみ異なる。

【0080】

第3の条件は、図9の画素回路を持つVGAサイズのイメージセンサをローリングシャッタ方式で駆動させるものである。図9の画素回路構成も基本的に図1の画素回路と同じで

50

あるが、電荷蓄積制御トランジスタ1903、及びリセットトランジスタ1904は酸化物半導体を用いたトランジスタで構成され、増幅トランジスタ1902及び選択トランジスタ1905はシリコン半導体を用いたトランジスタで構成される。

【0081】

第4の条件は、図9の画素回路を持つVGAサイズのイメージセンサをグローバルシャッタ方式で駆動させるものである。回路の構成は、第3の条件と同じであり、シャッタの方式のみ異なる。

【0082】

なお、図8および図9の画素回路でシリコン半導体を用いたトランジスタのサイズは、チャネル長 $L = 3 [\mu m]$ 、チャネル幅 $W = 5 [\mu m]$ 、ゲート絶縁膜厚 $d = 20 [nm]$ とした。また、酸化物半導体を用いたトランジスタのサイズは、チャネル長 $L = 3 [\mu m]$ 、チャネル幅 $W = 5 [\mu m]$ 、ゲート絶縁膜厚 $d = 200 [nm]$ とした。

【0083】

また、撮像周波数は $60 [Hz]$ とし、ここで用いたシリコン半導体を用いたトランジスタの電気特性は、 $I_{cut} = 10 [pA]$ 、酸化物半導体を用いたトランジスタの電気特性は、 $I_{cut} = 0.1 [aA]$ とした。本実施の形態における I_{cut} とは、ゲート電圧を $0V$ 、ドレイン電圧を $5V$ としたときにソース・ドレイン間に流れる電流値のことである。

【0084】

図6に示す3枚羽の回転運動の条件は、時計回りの $640 [rpm]$ とした。なお、この回転数 $640 [rpm]$ では、ローリングシャッタ方式での蓄積動作時に、3枚羽が1フレーム($1/60 [s]$)の間に約 60° 回転することになる。

【0085】

第1の条件(シリコン半導体トランジスタのみ、ローリングシャッタ方式)の場合、行毎に画素の信号電荷蓄積部に電荷を蓄積するタイミングが異なるため、図7(A)に示すように、画像に歪みが現れている。

【0086】

第2の条件(シリコン半導体トランジスタのみ、グローバルシャッタ方式)の場合、図7(B)に示すように、電荷蓄積制御トランジスタ1803及びリセットトランジスタ1804のオフ電流による電荷リークの影響で階調の変化が見られる。グローバルシャッタ方式のイメージセンサでは、下側の最終行に近いほど電荷保持時間が長くなるため、その変化は顕著になる。

【0087】

第3の条件(電荷蓄積制御トランジスタ及びリセットトランジスタに酸化物半導体トランジスタ、ローリングシャッタ方式)の場合、図7(C)に示すように、第1の条件の場合と同じく画像が歪んでいる。

【0088】

第4の条件(電荷蓄積制御トランジスタ及びリセットトランジスタに酸化物半導体トランジスタ、グローバルシャッタ方式)の場合、図7(D)に示すように、トランジスタのオフ電流による電荷リークがなく、図6の像と同様な階調が正しく表示される。

【0089】

図7に示す結果から、ローリングシャッタ方式では図8、図9のいずれの画素回路においても撮画像の歪みが起きてしまい、画像の歪みとオフ電流に強い相関はないことがわかる。つまり、画像の歪みを改善するためには、画素の信号電荷蓄積部に電荷を蓄積するタイミングが同じであるグローバルシャッタ方式で動作させることが有効であることが示されている。

【0090】

一方でグローバルシャッタ方式は、従来のシリコン半導体を用いたトランジスタで回路を構成すると、電荷蓄積制御トランジスタ及びリセットトランジスタのオフ電流による電荷の流出で階調が変化する問題点を持つことがわかる。

10

20

30

40

50

【 0 0 9 1 】

この問題を解決するために、本発明の一態様では、非常に微小なオフ電流特性を示す酸化物半導体を用いたトランジスタを電荷蓄積制御トランジスタ及びリセットトランジスタに用いる。これにより、CMOSセンサ型のイメージセンサでもグローバルシャッタ方式を採用することができ、動きのある被写体でも歪みの無い撮像を可能とすることができる。

【 0 0 9 2 】

次に、本実施の形態におけるイメージセンサでグローバルシャッタ方式を用いる場合の周辺回路の一例を説明する。

【 0 0 9 3 】

ローリングシャッタ方式を用いたイメージセンサでは、行毎に信号電位の蓄積と読み出しを行うために、例えばシフトレジスタ等の高機能な順序回路を電荷蓄積制御信号線用ゲート駆動回路とリセット信号線用駆動回路に用いていた。

10

【 0 0 9 4 】

本発明の一態様では、グローバルシャッタ方式を用いるため、全ての画素の電荷蓄積制御トランジスタは、一斉に動作する。従って、該トランジスタの動作に順序回路を必要としない。また、リセットトランジスタに関しても同様である。

【 0 0 9 5 】

つまり、シフトレジスタ等の順序回路で構成される電荷蓄積制御信号線用駆動回路及びリセット信号線用駆動回路を削減することができる。全画素の電荷蓄積制御トランジスタのゲート同士、及び全画素のリセットトランジスタのゲート同士をそれぞれ電氣的に接続し、1つの信号で全画素の電荷蓄積制御トランジスタ、または全画素のリセットトランジスタが一斉に動作する構成とすれば良い。

20

【 0 0 9 6 】

この構成により、半導体装置の消費電力が削減できることに加え、駆動回路に要する面積を大幅に縮小させることができる。更に、配線の面積を削減することができるため、電荷蓄積制御信号線、リセット信号線のレイアウトの自由度を向上させることができる。

【 0 0 9 7 】

次に、上記の構成を用いたときの半導体装置の駆動方法を図10(A)、(B)を用いて説明する。なお、ここでは一例として、画素マトリクスが行数が480行であるVGAサイズの半導体装置とする。

30

【 0 0 9 8 】

図10(A)、(B)では簡易に説明するため、電荷蓄積制御信号線113の電位3613、リセット信号線114の電位3614、第1の選択信号線115の電位36001から第480の選択信号線の電位36480は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。

【 0 0 9 9 】

先ず、図10(A)の動作モードについて説明する。

【 0 1 0 0 】

時刻3631に電荷蓄積制御信号線113の電位3613をハイレベルにする。次に、時刻3632にリセット信号線114の電位3614をハイレベルにすると、1行目から480行目までの画素のリセット動作が完了する。

40

【 0 1 0 1 】

時刻3633にリセット信号線114の電位3614をローレベルにすると、1行目から480行目までの全ての画素において、信号電荷蓄積部112への電荷の蓄積動作が開始する。

【 0 1 0 2 】

時刻3634に電荷蓄積制御信号線113の電位3613をローレベルにすると、1行目から480行目までの全ての画素において、蓄積動作が終了する。

【 0 1 0 3 】

50

時刻 3 6 3 5 に第 1 の選択信号線 1 1 5 の電位 3 6 0 0 1 をハイレベルにすると、1 行目の画素の信号電荷蓄積部 1 1 2 に蓄積された電荷の読み出し動作が開始する。

【 0 1 0 4 】

時刻 3 6 3 6 に第 1 の選択信号線 1 1 5 の電位 3 6 0 0 1 をローレベルにすると、1 行目の画素に対する読み出し動作が完了する。

【 0 1 0 5 】

時刻 3 6 3 7 に第 2 の選択信号線 1 1 5 の電位 3 6 0 0 2 をハイレベルにすると、2 行目の画素の信号電荷蓄積部 1 1 2 に蓄積された電荷の読み出し動作が開始する。

【 0 1 0 6 】

時刻 3 6 3 8 に第 2 の選択信号線 1 1 5 の電位 3 6 0 0 2 をローレベルにすると、2 行目の画素に対する読み出し動作が完了する。

10

【 0 1 0 7 】

同様にして第 4 8 0 の選択信号線 1 1 5 の電位 3 6 4 8 0 まで順に信号が送られ、全ての画素に対する読み出し動作を行うことで 1 フレーム目の画像を取得する。以降は、時刻 3 6 3 1 の動作に戻り、同じ動作を繰り返すことで 2 フレーム目以降の画像を取得することができる。

【 0 1 0 8 】

次に、図 1 0 (B) の動作モードについて説明する。

【 0 1 0 9 】

時刻 3 6 3 1 に電荷蓄積制御信号線 1 1 3 の電位 3 6 1 3 をハイレベルにする。次に、時刻 3 6 3 2 にリセット信号線 1 1 4 の電位 3 6 1 4 をハイレベルにすると、1 行目から 4 8 0 行目までの画素がリセットされる。

20

【 0 1 1 0 】

時刻 3 6 3 9 に電荷蓄積制御信号線 1 1 3 の電位 3 6 1 3 をローレベルとし、続いて時刻 3 6 4 0 にリセット信号線 1 1 4 の電位 3 6 1 4 をローレベルとしてリセット動作を終了させると、フォトダイオード 1 0 1 による電荷の蓄積動作が開始する。

【 0 1 1 1 】

時刻 3 6 3 3 に電荷蓄積制御信号線 1 1 3 の電位 3 6 1 3 を再びハイレベルにすると 1 行目から 4 8 0 行目までの全て画素において、信号電荷蓄積部 1 1 2 への電荷の蓄積動作が開始する。

30

【 0 1 1 2 】

以降の動作は、図 1 0 (A) の動作モードと同じである。

【 0 1 1 3 】

この様にシフトレジスタ等の高機能な順序回路を用いることなく、イメージセンサの画素を駆動させることができ、消費電力を低減、駆動回路面積の縮小、及び回路や配線のレイアウトの自由度を向上させることができる。

【 0 1 1 4 】

以上、イメージセンサの画素を構成するトランジスタに、酸化物半導体を用いて形成したトランジスタを用いることでグローバルシャッタ方式を容易に実現することができる。また、これにより、被写体に対して歪みの無い撮像を可能とする半導体装置を提供することができる。

40

【 0 1 1 5 】

なお、本実施の形態におけるイメージセンサの構成及び動作は、撮像のみを目的とした撮像装置だけに限らず、例えば表示装置の表示素子に撮像素子を併設したタッチパネルなどに応用しても良い。

【 0 1 1 6 】

本実施の形態は、他の実施の形態又は実施例と適宜組み合わせることで実施することが可能である。

【 0 1 1 7 】

(実施の形態 2)

50

本実施の形態では、本発明の一態様における半導体装置の画素回路のレイアウトについて説明する。

【0118】

図8の画素回路を実際に作製する場合の一例として、図11に画素回路のレイアウト上面図を示す。なお、図8の画素回路に用いられているトランジスタは、全てシリコン半導体を用いて形成されたものである。

【0119】

図11に示す画素回路は、pin型フォトダイオード1801、増幅トランジスタ1802、電荷蓄積制御トランジスタ1803、リセットトランジスタ1804、選択トランジスタ1805、電荷蓄積制御信号線1813、リセット信号線1814、選択信号線1815、出力信号線1820、電源供給線1830、及び接地電位線1831で構成されている。図中に示す各層は、i型シリコン半導体層1241、ゲート配線層1242、配線層1243、n型シリコン半導体層1244、p型シリコン半導体層1245である。

10

【0120】

このうち、i型シリコン半導体層1241、n型シリコン半導体層1244、及びp型シリコン半導体層1245は、pin型フォトダイオード1801を構成する半導体層であり、図12の断面図に示す通り、ここでは横接合型のフォトダイオードを形成している。この横接合型フォトダイオードは一例であり、積層型やバルク埋め込み型のフォトダイオードを用いることもできる。なお、図12の断面図では、シリコン半導体を用いたトランジスタがSOI型となっているが、これに限らず、バルク型のトランジスタでも良い。

20

【0121】

ゲート配線層1242は、増幅トランジスタ1802のゲート電極と接続されており、電荷蓄積制御トランジスタ1803及びリセットトランジスタ1804のソースまたはドレインの一方と配線層1243を介して接続されている。また、これらの領域の一部は、信号電荷蓄積部に相当する。

【0122】

次に、図9の画素回路を実際に作製する場合の一例として、図13に画素回路のレイアウト上面図を示す。なお、図9の画素回路に用いられているトランジスタは、電荷蓄積制御トランジスタとリセットトランジスタが酸化物半導体を用いて形成されており、増幅トランジスタと選択トランジスタは、シリコン半導体を用いて形成された構成である。

30

【0123】

図13に示す画素回路は、pin型フォトダイオード1901、増幅トランジスタ1902、電荷蓄積制御トランジスタ1903、リセットトランジスタ1904、選択トランジスタ1905、電荷蓄積制御信号線1913、リセット信号線1914、選択信号線1915、出力信号線1920、電源供給線1930、接地電位線1931で構成されている。図中に示す各層は、i型シリコン半導体層1441、ゲート配線層1442、配線層1443、n型シリコン半導体層1444、p型シリコン半導体層1445である。

【0124】

このうち、i型シリコン半導体層1441、n型シリコン半導体層1444、及びp型シリコン半導体層1445は、pin型フォトダイオード1901を構成する半導体層であり、図14の断面図に示す通り、ここでは横接合型のフォトダイオードを形成している。この横接合型フォトダイオードは一例であり、積層型やバルク埋め込み型のフォトダイオードを用いることもできる。なお、図14の断面図では、シリコン半導体を用いたトランジスタがSOI型となっているが、これに限らず、バルク型のトランジスタでも良い。

40

【0125】

ゲート配線層1442は、増幅トランジスタ1902のゲート電極と接続されており、電荷蓄積制御トランジスタ1903及びリセットトランジスタ1904のソースまたはドレインの一方と配線層1443を介して接続されている。また、これらの領域の一部は、信号電荷蓄積部に相当する。

【0126】

50

他の画素構成の例として、図 15 に示す画素回路が挙げられる。図 16 にそのレイアウト上面図を示す。なお、図 15 の画素回路に用いられているトランジスタは、全て酸化物半導体を用いて形成されたものである。

【0127】

図 16 に示す画素回路は、 $p\text{-}in$ 型フォトダイオード 2801、増幅トランジスタ 2802、電荷蓄積制御トランジスタ 2803、リセットトランジスタ 2804、選択トランジスタ 2805、電荷蓄積制御信号線 2813、リセット信号線 2814、選択信号線 2815、出力信号線 2820、電源供給線 2830、接地電位線 2831 で構成される。図中に示す各層は、 i 型シリコン半導体層 2941、ゲート配線層 2942、配線層 2943、 n 型シリコン半導体層 2944、 p 型シリコン半導体層 2945 である。

10

【0128】

このうち、 i 型シリコン半導体層 2941、 n 型シリコン半導体層 2944、及び p 型シリコン半導体層 2945 は、 $p\text{-}in$ 型フォトダイオード 2801 を構成する半導体層であり、図 17 の断面図に示す通り、ここでは横接合型のフォトダイオードを形成している。この横接合型フォトダイオードは一例であり、積層型のフォトダイオードを用いることもできる。

【0129】

ゲート配線層 2942 は、増幅トランジスタ 2802 のゲート電極と接続されており、電荷蓄積制御トランジスタ 2803 及びリセットトランジスタ 2804 のソースまたはドレインの一方と配線層 2943 を介して接続されている。また、これらの領域の一部は、信号電荷蓄積部に相当する。

20

【0130】

さて、CCD センサや CMOS センサの撮像能力を決定する重要なパラメータの 1 つに、飽和電子数がある。この飽和電子数は、CMOS センサでは、画素の信号電荷蓄積部 (FD) に保持できる最大電荷量に相当する。

【0131】

電荷保持期間 (t) にトランジスタのオフ電流 (I_{off}) によって信号電荷蓄積部 (FD) の容量 (C) から失われる電荷が、1 階調分の電圧 (V) に相当する電荷よりも少なければ、撮像に影響を及ぼさない電荷保持が可能となる。このときの信号電荷蓄積部 (FD) の容量値と、オフ電流 (I_{off}) の関係式は、 $I_{off} < C \cdot V / t$ となる。

30

【0132】

また、10 bit 階調を表現する場合、最低でも電子数は 1023 個を要する。電子 1023 個で 10 bit 階調を表現すると、誤差の影響が大きくなり、ノイズによる影響が強く現れる。飽和電子数が非常に小さいと光ショットノイズの影響が最も強くなり、1023 の平方根の統計誤差を持つことになる。1 階調を表現するための電子数を最低電子数の数倍程度に増加させることで、光ショットノイズの影響を低減させることができる。従って、飽和電子数が増加する程、ノイズの影響を小さくすることができる。

【0133】

このため、各素子を小型化して画素面積を縮小しようとした場合、容量値も小さくなるため、飽和電子数が減少し、ノイズの影響を強く受けることになる。

40

【0134】

本発明の一態様では、画素に酸化物半導体を用いて形成したオフ電流の極めて低いトランジスタを用いるため、リーク分の飽和電子数を考慮する必要が無い。従って、画素を小型化することが容易となる。また、画素にシリコン半導体を用いて形成したトランジスタを用いた場合と比較すると、同じサイズの画素では、ノイズの耐性を向上させることができる。

【0135】

本実施の形態は、他の実施の形態又は実施例と適宜組み合わせることで実施することが可能である。

50

【 0 1 3 6 】

(実施の形態 3)

本実施の形態では、本発明の一態様における半導体装置の画素回路の構成について説明する。

【 0 1 3 7 】

本発明の一態様においては、半導体装置の画素回路に様々な構成を用いることができる。実施の形態 1 及び 2 では、図 1 の画素回路構成を基本とした例を用いて説明したが、本実施の形態では、その他の画素回路構成について説明する。

【 0 1 3 8 】

なお、本実施の形態において説明する各トランジスタ及び各配線の名称は、便宜的に名付けたものであり、それぞれを説明する機能を有していれば名称は問わない。

10

【 0 1 3 9 】

図 1 8 は、図 1 と同様の 4 トランジスタ型の画素回路構成である。画素回路は、フォトダイオード 1 6 0 1、増幅トランジスタ 1 6 0 2、電荷蓄積制御トランジスタ 1 6 0 3、リセットトランジスタ 1 6 0 4、選択トランジスタ 1 6 0 5 で構成される。図 1 8 の回路構成は、選択トランジスタ 1 6 0 5 を設ける位置が図 1 と異なっている。

【 0 1 4 0 】

電荷蓄積制御トランジスタ 1 6 0 3 のゲートは、電荷蓄積制御信号線 1 6 1 3 に接続され、ソースまたはドレインの一方は、フォトダイオード 1 6 0 1 のカソードに接続され、ソースまたはドレインの他方は、信号電荷蓄積部 1 6 1 2 に接続される。フォトダイオード 1 6 0 1 のアノードは、接地電位線 1 6 3 1 に接続される。

20

【 0 1 4 1 】

増幅トランジスタ 1 6 0 2 のゲートは、信号電荷蓄積部 1 6 1 2 に接続され、ソースまたはドレインの一方は、選択トランジスタ 1 6 0 5 のソースまたはドレインの一方に接続され、ソースまたはドレインの他方は、出力信号線 1 6 2 0 に接続される。

【 0 1 4 2 】

リセットトランジスタ 1 6 0 4 のゲートは、リセット信号線 1 6 1 4 に接続され、ソースまたはドレインの一方は、電源供給線 1 6 3 0 に接続され、ソースまたはドレインの他方は、信号電荷蓄積部 1 6 1 2 に接続される。

【 0 1 4 3 】

選択トランジスタ 1 6 0 5 のゲートは選択信号線 1 6 1 5 に接続され、ソースまたはドレインの他方は、電源供給線 1 6 3 0 に接続される。ここで、電荷保持容量を信号電荷蓄積部 1 6 1 2 と接地電位線 1 6 3 1 の間に接続してもよい。

30

【 0 1 4 4 】

次に、図 1 8 の画素回路の構成素子の機能について説明する。フォトダイオード 1 6 0 1 は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ 1 6 0 2 は、信号電荷蓄積部 1 6 1 2 の電位に応じた信号を出力する動作を行う。電荷蓄積制御トランジスタ 1 6 0 3 は、フォトダイオード 1 6 0 1 による信号電荷蓄積部 1 6 1 2 への電荷蓄積を制御する。リセットトランジスタ 1 6 0 4 は、信号電荷蓄積部 1 6 1 2 の電位の初期化を制御する。選択トランジスタ 1 6 0 5 は、読み出し時に画素の選択を制御する。信号電荷蓄積部 1 6 1 2 は、電荷保持ノードであり、フォトダイオード 1 6 0 1 が受ける光の量に応じて変化する電荷を保持する。

40

【 0 1 4 5 】

電荷蓄積制御信号線 1 6 1 3 は、電荷蓄積制御トランジスタ 1 6 0 3 を制御する信号線である。リセット信号線 1 6 1 4 は、リセットトランジスタ 1 6 0 4 を制御する信号線である。選択信号線 1 6 1 5 は、選択トランジスタ 1 6 0 5 を制御する信号線である。出力信号線 1 6 2 0 は、増幅トランジスタ 1 6 0 2 が生成した信号の出力先となる信号線である。電源供給線 1 6 3 0 は、電源電圧を供給する信号線であり、接地電位線 1 6 3 1 は、基準電位を設定する信号線である。

【 0 1 4 6 】

50

この図 18 の画素回路の動作は、実施の形態 1 で説明した図 1 の画素回路の動作と同様である。

【0147】

次に、図 19 に示す 3 トランジスタ型の画素回路構成を説明する。画素回路は、フォトダイオード 1701、増幅トランジスタ 1702、電荷蓄積制御トランジスタ 1703、リセットトランジスタ 1704 で構成される。

【0148】

電荷蓄積制御トランジスタ 1703 のゲートは、電荷蓄積制御信号線 1713 に接続され、ソースまたはドレインの一方は、フォトダイオード 1701 のカソードに接続され、ソースまたはドレインの他方は、信号電荷蓄積部 1712 に接続される。フォトダイオード 1701 のアノードは接地電位線 1731 に接続される。

10

【0149】

増幅トランジスタ 1702 のゲートは、信号電荷蓄積部 1712 に接続され、ソースまたはドレインの一方は、電源供給線 1730 に接続され、ソースまたはドレインの他方は、出力信号線 1720 に接続される。

【0150】

リセットトランジスタ 1704 のゲートはリセット信号線 1714 に接続され、ソースまたはドレインの一方は、電源供給線 1730 に接続され、ソースまたはドレインの他方は、信号電荷蓄積部 1712 に接続される。ここで、電荷保持容量を信号電荷蓄積部 1712 と接地電位線 1731 の間に接続してもよい。

20

【0151】

次に、図 19 の画素回路の構成素子の機能について説明する。フォトダイオード 1701 は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ 1702 は、信号電荷蓄積部 1712 の電位に応じた信号を出力する動作を行う。電荷蓄積制御トランジスタ 1703 は、フォトダイオード 1701 による信号電荷蓄積部 1712 への電荷蓄積を制御する。リセットトランジスタ 1704 は、信号電荷蓄積部 1712 の電位の初期化を制御する。信号電荷蓄積部 1712 は、電荷保持ノードであり、フォトダイオード 1701 が受ける光の量に応じて変化する電荷を保持する。

【0152】

電荷蓄積制御信号線 1713 は、電荷蓄積制御トランジスタ 1703 を制御する信号線である。リセット信号線 1714 は、リセットトランジスタ 1704 を制御する信号線である。出力信号線 1720 は、増幅トランジスタ 1702 が生成した信号の出力先となる信号線である。電源供給線 1730 は、電源電圧を供給する信号線であり、接地電位線 1731 は、基準電位を設定する信号線である。

30

【0153】

図 20 に図 19 とは異なる 3 トランジスタ型の画素回路構成を示す。画素回路は、フォトダイオード 3801、増幅トランジスタ 3802、電荷蓄積制御トランジスタ 3803、リセットトランジスタ 3804 で構成される。

【0154】

電荷蓄積制御トランジスタ 3803 のゲートは、電荷蓄積制御信号線 3813 に接続され、ソースまたはドレインの一方は、フォトダイオード 3801 のカソードに接続され、ソースまたはドレインの他方は、信号電荷蓄積部 3812 に接続される。フォトダイオード 3801 のアノードは、接地電位線 3831 に接続される。

40

【0155】

増幅トランジスタ 3802 のゲートは、信号電荷蓄積部 3812 に接続され、ソースまたはドレインの一方は、電源供給線 3830 に接続され、ソースまたはドレインの他方は、出力信号線 3820 に接続される。

【0156】

リセットトランジスタ 3804 のゲートは、リセット信号線 3814 に接続され、ソースまたはドレインの一方は、リセット電源供給線 3832 に接続され、ソースまたはドレイン

50

ンの他方は、信号電荷蓄積部 3812 に接続される。ここで、電荷保持容量を信号電荷蓄積部 3812 と接地電位線 3831 の間に接続してもよい。

【0157】

次に、図 20 の画素回路の構成素子の機能について説明する。フォトダイオード 3801 は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ 3802 は、信号電荷蓄積部 3812 の電位に応じた信号を出力する動作を行う。電荷蓄積制御トランジスタ 3803 は、フォトダイオード 3801 による信号電荷蓄積部 3812 への電荷蓄積を制御する。リセットトランジスタ 3804 は、信号電荷蓄積部 3812 の電位の初期化を制御する。信号電荷蓄積部 3812 は、電荷保持ノードであり、フォトダイオード 3801 が受ける光の量に応じて変化する電荷を保持する。

10

【0158】

電荷蓄積制御信号線 3813 は、電荷蓄積制御トランジスタ 3803 を制御する信号線である。リセット信号線 3814 は、リセットトランジスタ 3804 を制御する信号線である。出力信号線 3820 は、増幅トランジスタ 3802 が生成した信号の出力先となる信号線である。リセット電源供給線 3832 は、電源供給線 3830 とは異なった電源供給線であり、信号電荷蓄積部 3812 を電源供給線 3830 の電位とは異なる電位に初期化することができる。電源供給線 3830 は、電源電圧を供給する信号線であり、接地電位線 3831 は、基準電位を設定する信号線である。

【0159】

次に、図 19 と図 20 の画素回路の動作について図 21 (A)、(B) に示すタイミングチャートを用いて説明する。なお、図 19 と図 20 は回路動作が基本的に同じであるため、ここでは図 19 の構成について説明する。

20

【0160】

図 21 (A)、(B) では簡易に説明するため、電荷蓄積制御信号線の電位 3913、リセット信号線の電位 3914 は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。

【0161】

まず、図 21 (A) の動作モードについて説明する。

【0162】

時刻 3930 に電荷蓄積制御信号線 1713 の電位 3913 をハイレベルにする。次に時刻 3931 にリセット信号線 1714 の電位 3914 をハイレベルにすると、信号電荷蓄積部 1712 の電位 3912 はリセットトランジスタ 1704 のソースまたはドレインの一方に接続された電源供給線 1730 の電位が供給される。以上をリセット動作と呼ぶ。

30

【0163】

時刻 3932 にリセット信号線 1714 の電位 3914 をローレベルにすると、信号電荷蓄積部 1712 の電位 3912 は電源供給線 1730 と同じ電位を保持し、フォトダイオード 1701 に逆バイアス電圧がかかる状態になる。この段階が蓄積動作の開始となる。

【0164】

そして、フォトダイオード 1701 に光の量に応じた逆方向電流が流れるため、光の量に応じて信号電荷蓄積部 1712 に蓄積される電荷量が変化する。同時に、信号電荷蓄積部 1712 の電位 3912 に応じて電源供給線 1730 から出力信号線 1720 へと電荷が供給される。この段階が読み出し動作の開始となる。

40

【0165】

時刻 3933 に電荷蓄積制御信号線 1713 の電位 3913 をローレベルにすると、信号電荷蓄積部 1712 からフォトダイオード 1701 への電荷の移動が止まり、信号電荷蓄積部 1712 に蓄積される電荷量が決定する。ここで、蓄積動作が終了する。

【0166】

そして、電源供給線 1730 から出力信号線 1720 への電荷供給が停止され、出力信号線の電位 3920 が決定する。ここで、読み出し動作が終了する。

【0167】

50

次に、図 2 1 (B) の動作モードについて説明する。

【 0 1 6 8 】

時刻 3 9 3 0 に電荷蓄積制御信号線 1 7 1 3 の電位 3 9 1 3 をハイレベルにする。次に時刻 3 9 3 1 にリセット信号線 1 7 1 4 の電位 3 9 1 4 をハイレベルにすると、信号電荷蓄積部 1 7 1 2 の電位 3 9 1 2 及びフォトダイオード 1 7 0 1 のカソードの電位は、リセットトランジスタ 1 7 0 4 のソースまたはドレインの一方に接続された電源供給線 1 7 3 0 の電位に初期化される。以上をリセット動作と呼ぶ。

【 0 1 6 9 】

時刻 3 9 3 4 において電荷蓄積制御信号線 1 7 1 3 の電位 3 9 1 3 をローレベルとし、続いて時刻 3 9 3 5 にリセット信号線 1 7 1 4 の電位 3 9 1 4 をローレベルとしてリセット動作を終了させると、逆バイアス電圧のかかった状態のフォトダイオード 1 7 0 1 に光の量に応じた逆方向電流が流れ、フォトダイオード 1 7 0 1 のカソードの電位が変化する。

【 0 1 7 0 】

時刻 3 9 3 2 に再び電荷蓄積制御信号線 1 7 1 3 の電位 3 9 1 3 をハイレベルとすると、信号電荷蓄積部 1 7 1 2 とフォトダイオード 1 7 0 1 のカソードとの電位差により電流が流れ、信号電荷蓄積部 1 7 1 2 の電位 3 9 1 2 が変化する。

【 0 1 7 1 】

以降は、図 2 1 (A) の動作モードと同じである。

【 0 1 7 2 】

次に、図 2 2 に示す上記とは異なる 3 トランジスタ型の画素回路構成を説明する。画素回路は、フォトダイオード 2 0 0 1、増幅トランジスタ 2 0 0 2、電荷蓄積制御トランジスタ 2 0 0 3、リセットトランジスタ 2 0 0 4 で構成される。フォトダイオード 2 0 0 1 のアノードは、接地電位線 2 0 3 1 に接続される。

【 0 1 7 3 】

電荷蓄積制御トランジスタ 2 0 0 3 のゲートは、電荷蓄積制御信号線 2 0 1 3 に接続され、ソースまたはドレインの一方は、フォトダイオード 2 0 0 1 のカソードに接続され、ソースまたはドレインの他方は、信号電荷蓄積部 2 0 1 2 に接続される。

【 0 1 7 4 】

増幅トランジスタ 2 0 0 2 のゲートは、信号電荷蓄積部 2 0 1 2 に接続され、ソースまたはドレインの一方は、電源供給線 2 0 3 0 に接続され、ソースまたはドレインの他方は、出力信号線 2 0 2 0 に接続される。

【 0 1 7 5 】

リセットトランジスタ 2 0 0 4 のゲートは、リセット信号線 2 0 1 4 に接続され、ソースまたはドレインの一方は、信号電荷蓄積部 2 0 1 2 に接続され、ソースまたはドレインの他方は、出力信号線 2 0 2 0 に接続される。ここで、電荷保持容量を信号電荷蓄積部 2 0 1 2 と接地電位線 2 0 3 1 の間に接続してもよい。

【 0 1 7 6 】

次に、図 2 2 の画素回路の構成素子の機能について説明する。フォトダイオード 2 0 0 1 は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ 2 0 0 2 は、信号電荷蓄積部 2 0 1 2 の電位に応じた信号を出力する動作を行う。電荷蓄積制御トランジスタ 2 0 0 3 は、フォトダイオード 2 0 0 1 による信号電荷蓄積部 2 0 1 2 への電荷蓄積を制御する。リセットトランジスタ 2 0 0 4 は、信号電荷蓄積部 2 0 1 2 の電位の初期化を制御する。信号電荷蓄積部 2 0 1 2 は、電荷保持ノードであり、フォトダイオード 2 0 0 1 が受ける光の量に応じて変化する電荷を保持する。

【 0 1 7 7 】

電荷蓄積制御信号線 2 0 1 3 は、電荷蓄積制御トランジスタ 2 0 0 3 を制御する信号線である。リセット信号線 2 0 1 4 は、リセットトランジスタ 2 0 0 4 を制御する信号線である。出力信号線 2 0 2 0 は、増幅トランジスタ 2 0 0 2 が生成した信号の出力先となる信号線である。電源供給線 2 0 3 0 は、電源電圧を供給する信号線であり、接地電位線 2 0 3 1 は、基準電位を設定する信号線である。

10

20

30

40

50

【 0 1 7 8 】

次に、図 2 2 の画素回路の動作について図 2 3 (A)、(B) に示すタイミングチャートを用いて説明する。

【 0 1 7 9 】

図 2 3 (A)、(B) では簡易に説明するため、電荷蓄積制御信号線 2 0 1 3 の電位 2 1 1 3、リセット信号線 2 0 1 4 の電位 2 1 1 4 は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。

【 0 1 8 0 】

まず、図 2 3 (A) の動作モードについて説明する。

10

【 0 1 8 1 】

時刻 2 1 3 0 に電荷蓄積制御信号線 2 0 1 3 の電位 2 1 1 3 をハイレベルにする。次に時刻 2 1 3 1 にリセット信号線 2 0 1 4 の電位 2 1 1 4 をハイレベルにすると、信号電荷蓄積部 2 0 1 2 の電位 2 1 1 2 はリセットトランジスタ 2 0 0 4 のソースまたはドレインの他方に接続された出力信号線 2 0 2 0 の電位 2 1 2 0 から信号電荷蓄積部 2 0 1 2 へリセット電位が供給される。以上をリセット動作と呼ぶ。

【 0 1 8 2 】

時刻 2 1 3 2 にリセット信号線 2 0 1 4 の電位 2 1 1 4 をローレベルにすると、信号電荷蓄積部 2 0 1 2 の電位 2 1 1 2 は信号電荷蓄積部 2 0 1 2 のリセット電位を保持し、フォトダイオード 2 0 0 1 に逆バイアス電圧がかかる状態になる。この段階が蓄積動作の開始となる。

20

【 0 1 8 3 】

そして、フォトダイオード 2 0 0 1 に光の量に応じた逆方向電流が流れるため、光の量に応じて信号電荷蓄積部 2 0 1 2 に蓄積される電荷量が変化する。同時に、信号電荷蓄積部 2 0 1 2 の電位 2 1 1 2 に応じて電源供給線 2 0 3 0 から出力信号線 2 0 2 0 へと電荷が供給される。この段階が読み出し動作の開始となる。

【 0 1 8 4 】

時刻 2 1 3 3 に電荷蓄積制御信号線 2 0 1 3 の電位 2 1 1 3 をローレベルにすると、信号電荷蓄積部 2 0 1 2 からフォトダイオード 2 0 0 1 への電荷の移動が止まり、信号電荷蓄積部 2 0 1 2 に蓄積される電荷量が決定する。ここで、蓄積動作が終了する。

30

【 0 1 8 5 】

そして、電源供給線 2 0 3 0 から出力信号線 2 0 2 0 への電荷供給が停止され、出力信号線 2 0 2 0 の電位 2 1 2 0 が決定する。ここで、読み出し動作が終了する。

【 0 1 8 6 】

次に、図 2 3 (B) の動作モードについて説明する。

【 0 1 8 7 】

時刻 2 1 3 0 に電荷蓄積制御信号線 2 0 1 3 の電位 2 1 1 3 をハイレベルにする。次に時刻 2 1 3 1 にリセット信号線 2 0 1 4 の電位 2 1 1 4 をハイレベルにすると、信号電荷蓄積部 2 0 1 2 の電位 2 1 1 2 及びフォトダイオード 2 0 0 1 のカソードの電位は、リセットトランジスタ 2 0 0 4 のソースまたはドレインの他方に接続された出力信号線 2 0 2 0 の電位 2 1 2 0 に初期化される。以上をリセット動作と呼ぶ。

40

【 0 1 8 8 】

時刻 2 1 3 4 において電荷蓄積制御信号線 2 0 1 3 の電位 2 1 1 3 をローレベルとし、続いて時刻 2 1 3 5 にリセット信号線 2 0 1 4 の電位 2 1 1 4 をローレベルとしてリセット動作を終了させると、逆バイアス電圧のかかった状態のフォトダイオード 2 0 0 1 に光の量に応じた逆方向電流が流れ、フォトダイオード 2 0 0 1 のカソードの電位が変化する。

【 0 1 8 9 】

時刻 2 1 3 2 に再び電荷蓄積制御信号線 2 0 1 3 の電位 2 1 1 3 をハイレベルとすると、信号電荷蓄積部 2 0 1 2 とフォトダイオード 2 0 0 1 のカソードとの電位差により電流が流れ、信号電荷蓄積部 2 0 1 2 の電位 2 1 1 2 が変化する。

50

【 0 1 9 0 】

以降は、図 2 3 (A) の動作モードと同じである。

【 0 1 9 1 】

次に、図 2 4 に示す上記とは異なる 3 トランジスタ型の画素回路構成を説明する。画素回路は、フォトダイオード 2 2 0 1、増幅トランジスタ 2 2 0 2、電荷蓄積制御トランジスタ 2 2 0 3、選択トランジスタ 2 2 0 5 で構成される。フォトダイオード 2 2 0 1 のアノードはリセット信号線 2 2 1 6 に接続される。

【 0 1 9 2 】

電荷蓄積制御トランジスタ 2 2 0 3 のゲートは、電荷蓄積制御信号線 2 2 1 3 に接続され、ソースまたはドレインの一方は、フォトダイオード 2 2 0 1 のカソードに接続され、ソースまたはドレインの他方は、信号電荷蓄積部 2 2 1 2 に接続される。

10

【 0 1 9 3 】

増幅トランジスタ 2 2 0 2 のゲートは、信号電荷蓄積部 2 2 1 2 に接続され、ソースまたはドレインの一方は、電源供給線 2 2 3 0 に接続され、ソースまたはドレインの他方は、選択トランジスタ 2 2 0 5 のソースまたはドレインの一方に接続される。

【 0 1 9 4 】

選択トランジスタ 2 2 0 5 のゲートは、選択信号線 2 2 1 5 に接続され、ソースまたはドレインの他方は、出力信号線 2 2 2 0 に接続される。ここで、電荷保持容量を信号電荷蓄積部 2 2 1 2 と接地電位線の間に接続してもよい。

【 0 1 9 5 】

20

次に、図 2 4 の画素回路の構成素子の機能について説明する。フォトダイオード 2 2 0 1 は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ 2 2 0 2 は、信号電荷蓄積部 2 2 1 2 の電位に応じた信号を出力する動作を行う。電荷蓄積制御トランジスタ 2 2 0 3 は、フォトダイオード 2 2 0 1 による信号電荷蓄積部 2 2 1 2 への電荷蓄積を制御する。選択トランジスタ 2 2 0 5 は、読み出し時に画素の選択を制御する。信号電荷蓄積部 2 2 1 2 は、電荷保持ノードであり、フォトダイオード 2 2 0 1 が受ける光の量に応じて変化する電荷を保持する。

【 0 1 9 6 】

電荷蓄積制御信号線 2 2 1 3 は、電荷蓄積制御トランジスタ 2 2 0 3 を制御する信号線である。リセット信号線 2 2 1 6 は、リセット電位を信号電荷蓄積部 2 2 1 2 に供給する信号線である。出力信号線 2 2 2 0 は、増幅トランジスタ 2 2 0 2 が生成した信号の出力先となる信号線である。選択信号線 2 2 1 5 は、選択トランジスタ 2 2 0 5 を制御する信号線である。電源供給線 2 2 3 0 は、電源電圧を供給する信号線である。

30

【 0 1 9 7 】

次に、図 2 4 の画素回路の動作について図 2 5 (A)、(B) に示すタイミングチャートを用いて説明する。

【 0 1 9 8 】

図 2 5 (A)、(B) では簡易に説明するため、電荷蓄積制御信号線 2 2 1 3 の電位 2 3 1 3、リセット信号線 2 2 1 6 の電位 2 3 1 6、選択信号線 2 2 1 5 の電位 2 3 1 5 は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。

40

【 0 1 9 9 】

まず、図 2 5 (A) の動作モードについて説明する。

【 0 2 0 0 】

時刻 2 3 3 0 に電荷蓄積制御信号線 2 2 1 3 の電位 2 3 1 3 をハイレベルにする。次に時刻 2 3 3 1 にリセット信号線 2 2 1 6 の電位 2 3 1 6 をハイレベルにすると、信号電荷蓄積部 2 2 1 2 の電位 2 3 1 2 及びフォトダイオード 2 2 0 1 のカソードの電位は、リセット信号線 2 2 1 6 の電位 2 3 1 6 よりもフォトダイオード 2 2 0 1 の順方向電圧分だけ低い電位に初期化される。以上をリセット動作と呼ぶ。

【 0 2 0 1 】

50

時刻 2 3 3 2 にリセット信号線 2 2 1 6 の電位 2 3 1 6 をローレベルにすると、信号電荷蓄積部 2 2 1 2 の電位 2 3 1 2 はハイレベルを保持し、フォトダイオード 2 2 0 1 に逆バイアス電圧がかかる状態になる。この段階が蓄積動作の開始となる。

【 0 2 0 2 】

そして、フォトダイオード 2 2 0 1 に光の量に応じた逆方向電流が流れるため、光の量に応じて信号電荷蓄積部 2 2 1 2 に蓄積される電荷量に変化する。

【 0 2 0 3 】

時刻 2 3 3 3 に電荷蓄積制御信号線 2 2 1 3 の電位 2 3 1 3 をローレベルにすると、信号電荷蓄積部 2 2 1 2 からフォトダイオード 2 2 0 1 への電荷の移動が止まり、信号電荷蓄積部 2 2 1 2 に蓄積される電荷量が決定する。ここで、蓄積動作が終了する。

10

【 0 2 0 4 】

時刻 2 3 3 4 に選択信号線 2 2 1 5 の電位 2 3 1 5 をハイレベルにすると、信号電荷蓄積部 2 2 1 2 の電位 2 3 1 2 に応じて電源供給線 2 2 3 0 から出力信号線 2 2 2 0 へと電荷が供給される。この段階が読み出し動作の開始となる。

【 0 2 0 5 】

時刻 2 3 3 5 に選択信号線 2 2 1 5 の電位 2 3 1 5 をローレベルにすると、電源供給線 2 2 3 0 から出力信号線 2 2 2 0 への電荷供給が停止され、出力信号線 2 2 2 0 の電位 2 3 2 0 が決定する。ここで、読み出し動作が終了する。

【 0 2 0 6 】

次に、図 2 5 (B) の動作モードについて説明する。

20

【 0 2 0 7 】

時刻 2 3 3 0 に電荷蓄積制御信号線 2 2 1 3 の電位 2 3 1 3 をハイレベルにする。次に時刻 2 3 3 1 にリセット信号線 2 2 1 6 の電位 2 3 1 6 をハイレベルにすると、信号電荷蓄積部 2 2 1 2 の電位 2 3 1 2 及びフォトダイオード 2 2 0 1 のカソードの電位は、リセット信号線 2 2 1 6 の電位 2 3 1 6 よりもフォトダイオード 2 2 0 1 の順方向電圧分だけ低いリセット電位に初期化される。以上をリセット動作と呼ぶ。

【 0 2 0 8 】

時刻 2 3 3 6 において電荷蓄積制御信号線 2 2 1 3 の電位 2 3 1 3 をローレベルとし、続いて時刻 2 3 3 7 にリセット信号線 2 2 1 6 の電位 2 3 1 6 をローレベルとしてリセット動作を終了させると、逆バイアス電圧のかかった状態のフォトダイオード 2 2 0 1 に光の量に応じた逆方向電流が流れ、フォトダイオード 2 2 0 1 のカソードの電位が変化する。

30

【 0 2 0 9 】

時刻 2 3 3 2 に再び電荷蓄積制御信号線 2 2 1 3 の電位 2 3 1 3 をハイレベルとすると、信号電荷蓄積部 2 2 1 2 とフォトダイオード 2 2 0 1 のカソードとの電位差により電流が流れ、信号電荷蓄積部 2 2 1 2 の電位 2 3 1 2 が変化する。

【 0 2 1 0 】

以降は、図 2 5 (A) の動作モードと同じである。

【 0 2 1 1 】

次に図 2 6 に示す 2 トランジスタ型の画素回路構成の説明をする。

【 0 2 1 2 】

40

画素回路は、フォトダイオード 4 4 0 1、増幅トランジスタ 4 4 0 2、選択トランジスタ 4 4 0 5 で構成される。

【 0 2 1 3 】

増幅トランジスタ 4 4 0 2 のゲートは、信号電荷蓄積部 4 4 1 2 に接続され、ソースまたはドレインの一方は、電源供給線 4 4 3 0 に接続され、ソースまたはドレインの他方は、選択トランジスタ 4 4 0 5 のソースまたはドレインの一方に接続される。

【 0 2 1 4 】

選択トランジスタ 4 4 0 5 のゲートは、選択信号線 4 4 1 5 に接続され、ソースまたはドレインの他方は、出力信号線 4 4 2 0 に接続される。

【 0 2 1 5 】

50

フォトダイオード４４０１のカソードは、信号電荷蓄積部４４１２に接続され、アノードはリセット信号線４４１６に接続される。ここで、電荷保持容量を信号電荷蓄積部４４１２と接地電位線の間に接続してもよい。

【０２１６】

次に、図２６の画素回路の構成素子の機能について説明する。フォトダイオード４４０１は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ４４０２は、信号電荷蓄積部４４１２の電位に応じた信号を出力する動作を行う。選択トランジスタ４４０５は、読み出し時に画素の選択を制御する。信号電荷蓄積部４４１２は、電荷保持ノードであり、フォトダイオード４４０１が受ける光の量に応じて変化する電荷を保持する。

10

【０２１７】

リセット信号線４４１６は、リセット電位を信号電荷蓄積部４４１２に供給する信号線である。出力信号線４４２０は、増幅トランジスタ４４０２が生成した信号の出力先となる信号線である。選択信号線４４１５は、選択トランジスタ４４０５を制御する信号線である。電源供給線４４３０は、電源電圧を供給する信号線である。

【０２１８】

次に図２６の画素回路の動作について図２７に示すタイミングチャートを用いて説明する。

【０２１９】

図２７では簡易に説明するため、リセット信号線４４１６の電位３７１６、選択信号線４４１５の電位３７１５は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。

20

【０２２０】

時刻３７３０にリセット信号線４４１６の電位３７１６をハイレベルにすると、信号電荷蓄積部４４１２の電位３７１２は、リセット信号線４４１６の電位３７１６よりもフォトダイオード４４０１の順方向電圧分だけ低いリセット電位に初期化される。以上をリセット動作と呼ぶ。

【０２２１】

時刻３７３１にリセット信号線４４１６の電位３７１６をローレベルにすると、信号電荷蓄積部４４１２の電位３７１２はリセット電位を保持し、フォトダイオード４４０１に逆バイアス電圧がかかる状態になる。この段階が蓄積動作の開始となる。

30

【０２２２】

そして、フォトダイオード４４０１に光の量に応じた逆方向電流が流れるため、光の量に応じて信号電荷蓄積部４４１２に蓄積される電荷量が変化する。

【０２２３】

時刻３７３２に選択信号線４４１５の電位３７１５をハイレベルにすると、信号電荷蓄積部４４１２の電位３７１２に応じて電源供給線４４３０から出力信号線４４２０へと電荷が供給される。この段階が読み出し動作の開始となる。

【０２２４】

時刻３７３３に選択信号線４４１５の電位３７１５をローレベルにすると、信号電荷蓄積部４４１２からフォトダイオード４４０１への電荷の移動が止まり、信号電荷蓄積部４４１２に蓄積される電荷量が決定する。ここで、蓄積動作が終了する。

40

【０２２５】

そして、電源供給線４４３０から出力信号線４４２０への電荷供給が停止され、出力信号線の電位３７２０が決定する。ここで、読み出し動作が終了する。

【０２２６】

次に、図２８に示す１トランジスタ型の画素回路構成を説明する。画素回路は、フォトダイオード２６０１、増幅トランジスタ２６０２、容量素子２６０６で構成される。

【０２２７】

増幅トランジスタ２６０２のゲートは、信号電荷蓄積部２６１２に接続され、ソースまた

50

はドレインの一方は、電源供給線 2 6 3 0 に接続され、ソースまたはドレインの他方は、出力信号線 2 6 2 0 に接続される。

【 0 2 2 8 】

フォトダイオード 2 6 0 1 のカソードは、信号電荷蓄積部 2 6 1 2 に接続され、アノードはリセット信号線 2 6 1 6 に接続される。容量素子 2 6 0 6 の一方の端子は、信号電荷蓄積部 2 6 1 2 に接続され、他方の端子は選択信号線 2 6 1 5 に接続される。ここで、電荷保持容量を信号電荷蓄積部 2 6 1 2 と接地電位線の間に接続してもよい。

【 0 2 2 9 】

次に、図 2 8 の画素回路の構成素子の機能について説明する。フォトダイオード 2 6 0 1 は、画素に入射した光に応じた電流を生成する動作を行う。増幅トランジスタ 2 6 0 2 は、信号電荷蓄積部 2 6 1 2 の電位に応じた信号を出力する動作を行う。信号電荷蓄積部 2 6 1 2 は、電荷保持ノードであり、フォトダイオード 2 6 0 1 が受ける光の量に応じて変化する電荷を保持する。なお、選択信号線 2 6 1 5 は、信号電荷蓄積部 2 6 1 2 の電位を容量結合により制御する。

10

【 0 2 3 0 】

リセット信号線 2 6 1 6 は、リセット電位を信号電荷蓄積部 2 6 1 2 に供給する信号線である。出力信号線 2 6 2 0 は、増幅トランジスタ 2 6 0 2 が生成した信号の出力先となる信号線である。選択信号線 2 6 1 5 は、容量素子 2 6 0 6 を制御する信号線である。電源供給線 2 6 3 0 は、電源電圧を供給する信号線である。

【 0 2 3 1 】

20

次に図 2 8 の画素回路の動作について図 2 9 に示すタイミングチャートを用いて説明する。

【 0 2 3 2 】

図 2 9 では簡易に説明するため、リセット信号線 2 6 1 6 の電位 2 7 1 6、選択信号線 2 6 1 5 の電位 2 7 1 5 は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。

【 0 2 3 3 】

時刻 2 7 3 0 にリセット信号線 2 6 1 6 の電位 2 7 1 6 をハイレベルにすると、信号電荷蓄積部 2 6 1 2 の電位 2 7 1 2 は、リセット信号線 2 6 1 6 の電位 2 7 1 6 よりもフォトダイオード 2 6 0 1 の順方向電圧分だけ低いリセット電位に初期化される。以上をリセット動作と呼ぶ。

30

【 0 2 3 4 】

次に、時刻 2 7 3 1 にリセット信号線 2 6 1 6 の電位 2 7 1 6 をローレベルにすると、信号電荷蓄積部 2 6 1 2 の電位 2 7 1 2 はリセット電位を保持し、フォトダイオード 2 6 0 1 に逆バイアス電圧がかかる状態になる。この段階が蓄積動作の開始となる。

【 0 2 3 5 】

そして、フォトダイオード 2 6 0 1 に光の量に応じた逆方向電流が流れるため、光の量に応じて信号電荷蓄積部 2 6 1 2 に蓄積される電荷量が変化する。

【 0 2 3 6 】

時刻 2 7 3 2 に選択信号線 2 6 1 5 の電位 2 7 1 5 をハイレベルにすると、信号電荷蓄積部 2 6 1 2 の電位 2 7 1 2 が容量結合で持ち上げられ、増幅トランジスタ 2 6 0 2 がオンになる。そして、信号電荷蓄積部 2 6 1 2 の電位 2 7 1 2 に応じて電源供給線 2 6 3 0 から出力信号線 2 6 2 0 へと電荷が供給される。この段階が読み出し動作の開始となる。

40

【 0 2 3 7 】

時刻 2 7 3 3 に選択信号線 2 6 1 5 の電位 2 7 1 5 をローレベルにすると、信号電荷蓄積部 2 6 1 2 の電位 2 7 1 2 が容量結合で引き下げられ、信号電荷蓄積部 2 6 1 2 からフォトダイオード 2 6 0 1 への電荷の移動が止まり、信号電荷蓄積部 2 6 1 2 に蓄積される電荷量が決定する。ここで、蓄積動作が終了する。

【 0 2 3 8 】

そして、電源供給線 2 6 3 0 から出力信号線 2 6 2 0 への電荷供給が停止され、信号出力

50

線の電位 2 7 2 0 が決定する。ここで、読み出し動作が終了する。

【 0 2 3 9 】

なお、図 2 6 及び図 2 8 の画素回路構成は、信号電荷蓄積部の電荷がフォトダイオードを介して流出するため、フォトダイオードへの光の入射を遮蔽する機構を併用することが好ましい。

【 0 2 4 0 】

本実施の形態は、他の実施の形態又は実施例と適宜組み合わせることで実施することが可能である。

【 0 2 4 1 】

(実施の形態 4)

本実施の形態では、本発明の一態様における半導体装置を構成するトランジスタの、リーク電流に要求される条件について説明する。

【 0 2 4 2 】

シリコン半導体を用いて形成したトランジスタはオフ電流が高く、該トランジスタを使用した C M O S センサの場合、グローバルシャッタ方式を用いると最後の行を読み出すまでの電荷保持期間が長くなり、その間に電荷がオフ電流により流出してしまう。電荷量の変動が起こると撮像画像の階調変化として表れてしまい、正常な画像が得られなくなる。

【 0 2 4 3 】

本実施の形態では、C M O S センサでグローバルシャッタ方式を用いる場合において、画素の信号電荷蓄積部と接続されるトランジスタのオフ電流に要求される条件について説明する。

【 0 2 4 4 】

信号電荷蓄積部 (F D) に蓄積された電荷は、信号電荷蓄積部 (F D) と接続されるトランジスタのオフ電流 (I o f f) によって失われる。撮像画像の階調に影響を与えない電荷の変動量とは、電荷保持期間 (t) において電荷 (Q F D) が、信号電荷蓄積部 (F D) の容量 (C F D) の 1 階調分だけ変化する電圧 (V F D) に相当する電荷量よりも少ない量である。このときの信号電荷蓄積部 (F D) の容量値 (C F D) とオフ電流 (I o f f) の関係は、式 (1) となる。

【 0 2 4 5 】

【数 1】

$$C_{FD} \cdot \Delta V_{FD} \geq I_{off} \cdot \Delta t = \Delta Q_{FD} \quad (1)$$

【 0 2 4 6 】

ここで、1 階調分だけ変化する電圧 (V F D) は、信号電荷蓄積部 (F D) の最大電圧 (V F D) 、1 階調の変化に対する実効値の割合 (a) 及び、n ビットの階調数 (2 ^ n) を用いると、式 (2) で表すことができる。

【 0 2 4 7 】

【数 2】

$$\Delta V_{FD} = V_{FD} \cdot a / 2^n \quad (2)$$

【 0 2 4 8 】

また、電荷保持期間 (t) は、最大で 1 フレーム分の電荷保持期間が必要であるため、フレーム周波数 (f) を用いると、式 (3) で表すことができる。

【 0 2 4 9 】

【数 3】

$$\Delta t = 1 / f \quad (3)$$

【 0 2 5 0 】

ここで、式(1)、(2)、(3)を整理すると、式(4)となる。

【0251】

【数4】

$$2^n \leq C_{FD} \cdot V_{FD} \cdot f \cdot a / I_{off} \quad (4)$$

【0252】

図37に、式(4)の関係式の等符号の場合をグラフにして示す。縦軸は、撮像画像の階調数(n)、横軸は、電荷 $Q_{FD} (= C_{FD} \cdot V_{FD})$ である。3つの曲線は、それぞれトランジスタのオフ電流(I_{off})が異なる状態を示したものであり、曲線1101が1[fA]、曲線1102が10[fA]、曲線1103が100[fA]としている。そして、各曲線より下の領域が、それぞれ提供しうる階調数となる。なお、図37では、 $f = 60 [Hz]$ 、 $a = 50 [\%]$ として計算した結果を示している。

10

【0253】

図37及び式(4)より、撮像画像の階調数(n)は、容量(C_{FD})及び電圧(V_{FD})に対数的に比例することがわかる。画素サイズの縮小化は容量(C_{FD})の減少を伴い、消費電力の低減は電圧(V_{FD})の低減を伴う。そのため、画素の縮小化及び低消費電力化と同時に、撮像品質の向上を実現するには、オフ電流(I_{off})の低減が必要となる。つまり、オフ電流(I_{off})を抑えることで、画素縮小化及び低消費電力化が可能となり、撮像品質の高いイメージセンサを提供することができる。

20

【0254】

一例として、 $C_{FD} = 20 [fF]$ 、 $V_{FD} = 3 [V]$ の条件を持つイメージセンサを想定する。この条件に対応する図37の点1111及び点1113について説明する。点1113において、撮像画像の階調数nは、 $n = 4.17 [bit]$ であるのに対し、点1111においては、 $n = 10.81 [bit]$ である。従って、 $C_{FD} = 20 [fF]$ 、 $V_{FD} = 3 [V]$ で、 $n = 10 [bit]$ のグローバルシャッタ方式のイメージセンサを提供するには、 $I_{off} = 1 [fA]$ 以下程度のトランジスタを用いる必要がある。このような極めてオフ電流が低いトランジスタは、酸化物半導体を用いたトランジスタを用いることで、提供することができる。

【0255】

30

さて、1階調に対応する電荷量の最小値は、理想的には電子1個分の電荷量($1e = 1.902 \times 10^{-19} [C]$)である。もちろん、実際の半導体装置では、電子数のばらつきなど、統計的な誤差に起因するノイズを除かなければならないため、実用上は数個以上の電子が要求される。ここでは、理想的な限界について考えることにすると、電荷保持期間に失われる電荷(Q_{FD})は、電子1個分の電荷量($1e$)よりも少なければならない。よって、式(1)は、式(5)と表すことができる。

【0256】

【数5】

$$C_{FD} \cdot \Delta V_{FD} = 1e \geq I_{off} \cdot \Delta t \quad (5)$$

40

【0257】

更に式(5)は、式(6)と表すことができ、図38に、式(6)の関係式の等符号の場合をグラフにして示す。縦軸は、トランジスタのオフ電流(I_{off})、横軸は、フレーム周波数(f)である。例えば、図38の点1201に示す $f = 60 [Hz]$ の場合、必要なトランジスタのオフ電流は、 $I_{off} = 0.01 [fA] (= 1.902 \times 10^{-19} [C] \times 60 [Hz])$ 以下となる。

【0258】

【数 6】

$$I_{off} \leq 1 \text{ e} / \Delta t = 1 \text{ e} \cdot f \quad (6)$$

【0259】

つまり、グローバルシャッタ方式のCMOSセンサ型のイメージセンサを実現するには、オフ電流が0.01[fA]以下のトランジスタを、画素の信号電荷蓄積部に接続されるトランジスタとして用いると良い。この様なイメージセンサは、極めてオフ電流が低いトランジスタとして酸化物半導体を用いたトランジスタを用いることで、実現可能となる。

【0260】

本実施の形態は、他の実施の形態又は実施例と適宜組み合わせることで実施することが可能である。

【0261】

(実施の形態5)

本実施の形態では、酸化物半導体を用いて形成するトランジスタの例を示す。

【0262】

本明細書に開示する酸化物半導体を用いたトランジスタの構造は特に限定されず、例えばトップゲート構造、又はボトムゲート構造のスタガ型及びプレーナ型などを用いることができる。また、トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0263】

図30(A)乃至図30(D)にトランジスタの断面構造の一例を以下に示す。

【0264】

図30(A)乃至図30(D)に示すトランジスタは、酸化物半導体を用いるものである。酸化物半導体を用いることのメリットは、比較的高い移動度と極めて低いオフ電流が得られることであるが、もちろん、他の半導体を用いることもできる。

【0265】

図30(A)に示すトランジスタ3410は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

【0266】

トランジスタ3410は、絶縁表面を有する基板2400上に、ゲート電極層2401、ゲート絶縁層2402、酸化物半導体層2403、ソース電極層2405a、及びドレイン電極層2405bを含む。また、これらを覆う様に絶縁層2407及び保護絶縁層2409が形成されている。

【0267】

図30(B)に示すトランジスタ3420は、チャネル保護型と呼ばれるボトムゲート構造の一つであり逆スタガ型トランジスタともいう。

【0268】

トランジスタ3420は、絶縁表面を有する基板2400上に、ゲート電極層2401、ゲート絶縁層2402、酸化物半導体層2403、酸化物半導体層2403のチャネル形成領域を覆うチャネル保護層として機能する絶縁層2427、ソース電極層2405a、及びドレイン電極層2405bを含む。また、これらを覆う様に保護絶縁層2409が形成されている。

【0269】

図30(C)に示すトランジスタ3430はボトムゲート型のトランジスタであり、絶縁表面を有する基板である基板2400上に、ゲート電極層2401、ゲート絶縁層2402、ソース電極層2405a、ドレイン電極層2405b、及び酸化物半導体層2403を含む。また、これらを覆う様に絶縁層2407及び保護絶縁層2409が形成されている。

。

10

20

30

40

50

【0270】

トランジスタ3430においては、ゲート絶縁層2402は基板2400及びゲート電極層2401上に接して設けられ、ゲート絶縁層2402上にソース電極層2405a、ドレイン電極層2405bが接して設けられている。そして、ゲート絶縁層2402、及びソース電極層2405a、ドレイン電極層2405b上に酸化物半導体層2403が設けられている。

【0271】

図30(D)に示すトランジスタ3440は、トップゲート構造のトランジスタの一つである。トランジスタ3440は、絶縁表面を有する基板2400上に、絶縁層2437、酸化物半導体層2403、ソース電極層2405a、及びドレイン電極層2405b、ゲート絶縁層2402、ゲート電極層2401を含み、ソース電極層2405a、ドレイン電極層2405bにそれぞれ配線層2436a、配線層2436bが接して設けられ電氣的に接続している。

10

【0272】

本実施の形態では、上述のとおり、トランジスタを構成する半導体層に酸化物半導体層2403を用いる。酸化物半導体層2403に用いる酸化物半導体材料としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系金属酸化物や、三元系金属酸化物であるIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、Sn-Al-Zn-O系金属酸化物や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物や、In-O系金属酸化物、Sn-O系金属酸化物、Zn-O系金属酸化物などを用いることができる。また、上記酸化物半導体にSiを含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、少なくともInとGaとZnを含む酸化物のことであり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

20

【0273】

また、酸化物半導体層2403は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)で表記される薄膜を用いることができる。ここで、Mは、Zn、Ga、Al、MnおよびCoから選ばれた一つ、または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

30

【0274】

酸化物半導体層2403を用いたトランジスタ3410、3420、3430、3440は、オフ状態における電流値(オフ電流値)を低くすることができる。よって、電荷蓄積ノードと接続される場合、電荷の流出を極力防ぐことができる。

【0275】

また、酸化物半導体層2403を用いたトランジスタ3410、3420、3430、3440は、比較的高い電界効果移動度が得られるため、高速駆動が可能である。従って、例えば表示装置や撮像装置などでは、同一基板上に画素を駆動する駆動回路部を作製することができるため、部品点数を削減することができる。

40

【0276】

絶縁表面を有する基板2400には、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0277】

ボトムゲート構造のトランジスタ3410、3420、3430においては、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一つ、又は複数の膜による積層構造により形成することができる。

【0278】

50

ゲート電極層 2401 には、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料、またはこれらを主成分とする合金材料を用いることができる。また、ゲート電極層 2401 は単層に限らず異なる膜の積層でも良い。

【0279】

ゲート絶縁層 2402 には、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができ、プラズマ CVD 法やスパッタ法等で形成することができる。また、ゲート絶縁層 2402 は単層に限らず異なる膜の積層でも良い。例えば、第 1 のゲート絶縁層としてプラズマ CVD 法により膜厚 50 nm 以上 200 nm 以下の窒化シリコン層 (SiN_y ($y > 0$)) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 nm 以上 200 nm 以下の酸化シリコン層 (SiO_x ($x > 0$)) を積層して、合計膜厚 200 nm のゲート絶縁層とする。

【0280】

ソース電極層 2405a、ドレイン電極層 2405b に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、またはこれらの元素を含む合金等を用いることができる。また、Al、Cu などの金属層の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属層を積層させた構成としても良い。また、Al 膜に生ずるヒロックやウィスカ等の発生を防止する元素 (Si、Nd または Sc など) が添加されている Al 材料を用いることで耐熱性を向上させることが可能となる。

【0281】

また、ソース電極層 2405a、ドレイン電極層 2405b に接続する配線層 2436a、配線層 2436b などの導電膜も、ソース電極層 2405a、ドレイン電極層 2405b と同様な材料を用いて形成することができる。

【0282】

また、ソース電極層 2405a、ドレイン電極層 2405b (これと同じ層で形成される配線層を含む) となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 (In_2O_3 SnO_2 、ITO と略記する)、酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0283】

絶縁層 2407、2427、2437 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0284】

保護絶縁層 2409 は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【0285】

また、トランジスタの構造に起因する表面凹凸を低減するために保護絶縁層 2409 上に平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0286】

このように、本実施の形態において示した酸化物半導体層を含むトランジスタを用いることにより、高機能な半導体装置を提供することができる。

【0287】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

10

20

30

40

50

【0288】

(実施の形態6)

本実施の形態は、酸化物半導体層を含むトランジスタの作製方法の一例を図面を用いて詳細に説明する。

【0289】

図31(A)乃至31(E)にトランジスタ2510の作製工程の一例を断面図で示す。トランジスタ2510は、図30(A)に示すトランジスタ3410と同様なボトムゲート構造の逆スタガ型トランジスタである。

【0290】

本実施の形態の半導体層に用いる酸化物半導体は、ドナーとなる性質を持つ水素を酸化物半導体から極力除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することによりi型(真性)の酸化物半導体、又はi型(真性)に限りなく近い酸化物半導体としたものである。すなわち、不純物を添加してi型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型(真性半導体)又はそれに近づけることを特徴としている。従って、トランジスタ2510が有する酸化物半導体層は、高純度化され電氣的にi型(真性)化した酸化物半導体層である。

10

【0291】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく(ゼロに近い)、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

20

【0292】

酸化物半導体中にキャリアが極めて少ないため、トランジスタは、オフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。

【0293】

具体的には、上述の酸化物半導体層を具備するトランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流密度を室温下において 10 aA ($1 \times 10^{-17} \text{ A}$)以下にすること、さらには、 1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらには 10 zA ($1 \times 10^{-20} \text{ A}$)以下にすることが可能である。

【0294】

また、上述の酸化物半導体層を具備するトランジスタ2510は、オン電流の温度依存性がほとんど見られず、オフ電流の変化も非常に小さい。

30

【0295】

以下、図31(A)乃至31(E)を用い、基板2505上にトランジスタ2510を作製する工程を説明する。

【0296】

まず、絶縁表面を有する基板2505上に導電膜を形成した後、第1のフォトリソグラフィ工程とエッチング工程でゲート電極層2511を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0297】

絶縁表面を有する基板2505は、実施の形態5に示した基板2400と同様な基板を用いることができる。本実施の形態では基板2505としてガラス基板を用いる。

40

【0298】

下地膜となる絶縁膜を基板2505とゲート電極層2511との間に設けてもよい。下地膜は、基板2505からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一つ、又は複数の膜による積層構造により形成することができる。

【0299】

また、ゲート電極層2511には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材

50

料を用いることができる。また、ゲート電極層 2 5 1 1 は単層に限らず異なる膜の積層でも良い。

【 0 3 0 0 】

次いで、ゲート電極層 2 5 1 1 上にゲート絶縁層 2 5 0 7 を形成する。ゲート絶縁層 2 5 0 7 には、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができ、プラズマ C V D 法又はスパッタ法等で形成することができる。また、ゲート絶縁層 2 5 0 7 は単層に限らず異なる膜の積層でも良い。

【 0 3 0 1 】

本実施の形態の酸化物半導体は、不純物が除去され、i 型化又は実質的に i 型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

【 0 3 0 2 】

例えば、マイクロ波（例えば、周波数 2 . 4 5 G H z ）を用いた高密度プラズマ C V D は、緻密で絶縁耐压の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質なゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【 0 3 0 3 】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタ法やプラズマ C V D 法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。ここではスパッタ法を用いる例について説明する。

【 0 3 0 4 】

ゲート絶縁層 2 5 0 7、酸化物半導体膜 2 5 3 0 に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜 2 5 3 0 の成膜の前処理として、スパッタ装置の予備加熱室でゲート電極層 2 5 1 1 が形成された基板 2 5 0 5、又はゲート絶縁層 2 5 0 7 までが形成された基板 2 5 0 5 を予備加熱し、基板 2 5 0 5 に吸着した水素、水分などの不純物を脱離させ排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層 2 5 1 6 の成膜前に、ソース電極層 2 5 1 5 a 及びドレイン電極層 2 5 1 5 b まで形成した基板 2 5 0 5 にも同様の処理を行ってもよい。

【 0 3 0 5 】

次いで、ゲート絶縁層 2 5 0 7 上に、膜厚 2 n m 以上 2 0 0 n m 以下、好ましくは 5 n m 以上 3 0 n m 以下の酸化物半導体膜 2 5 3 0 を形成する（図 3 1 (A) 参照）。

【 0 3 0 6 】

なお、酸化物半導体膜 2 5 3 0 をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 2 5 0 7 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加し、イオン化したアルゴンを基板に衝突させて表面を改質する方法である。なお、アルゴンに代えて窒素、ヘリウム、酸素などを用いてもよい。

【 0 3 0 7 】

酸化物半導体膜 2 5 3 0 に用いる酸化物半導体は、実施の形態 5 に示した四元系金属酸化物や、三元系金属酸化物や、二元系金属酸化物や、I n - O 系金属酸化物、S n - O 系金属酸化物、Z n - O 系金属酸化物などの酸化物半導体を用いることができる。また、上記酸化物半導体に S i を含んでもよい。本実施の形態では、酸化物半導体膜 2 5 3 0 として

10

20

30

40

50

In - Ga - Zn - O系酸化物ターゲットを用いてスパッタ法により成膜する。また、酸化物半導体膜2530は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタ法により形成することができる。

【0308】

酸化物半導体膜2530をスパッタ法で作製するためのターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の金属酸化物を用いる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の金属酸化物を用いてもよい。これらのターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

10

【0309】

また、酸化物半導体としてIn - Zn - O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ ）、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1 : 5$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$ ）とする。例えば、In - Zn - O系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0310】

酸化物半導体膜2530を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

20

【0311】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100℃以上600℃以下好ましくは200℃以上400℃以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタによる膜の損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板2505上に酸化物半導体膜2530を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

30

【0312】

成膜条件の一例としては、基板とターゲットとの間の距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるために好ましい。

【0313】

次いで、酸化物半導体膜2530を第2のフォトリソグラフィ工程とエッチング工程で島状の酸化物半導体層に加工する。ここで、島状の酸化物半導体層を形成するためのレジストマスクは、インクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0314】

また、ゲート絶縁層2507にコンタクトホールを形成する場合、その工程は酸化物半導体膜2530の加工時に同時に行うことができる。

【0315】

なお、ここでの酸化物半導体膜2530のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜2530のウェットエッチングに用いるエッチング液としては、燐酸、酢酸及び硝酸を混ぜた溶液などを用い

50

ることができる。または、ITO-07N（関東化学社製）を用いてもよい。

【0316】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理は、窒素、またはヘリウム、ネオン、アルゴン等の希ガス雰囲気中で、400 以上750 以下、または400 以上基板の歪み点未満の温度で行う。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行い、脱水化または脱水素化した酸化物半導体層2531とする（図31（B）参照）。

【0317】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

【0318】

例えば、第1の加熱処理として、650 以上700 以下の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0319】

なお、第1の加熱処理においては、加熱処理装置に導入する不活性ガスに、水、水素などが含まれないことが好ましい。または、該不活性ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0320】

また、第1の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア（露点が-40 以下、好ましくは-60 以下）を導入してもよい。加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度は、6N以上、好ましくは7N以上、（即ち、酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。特にこれらのガスには、水、水素などが含まれないことが好ましい。酸素ガス又はN₂Oガスの作用によって、脱水化または脱水素化処理による不純物の排除工程で脱離してしまった酸化物半導体を構成する主成分材料である酸素を供給することができる。この工程により、酸化物半導体層を高純度化させ電氣的にi型（真性）化することができる。

【0321】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜2530に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0322】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、あるいは、ソース電極層及びドレイン電極層上に絶縁層を形成した後、のいずれで行っても良い。

【0323】

また、ゲート絶縁層2507にコンタクトホールを形成する場合、その工程は酸化物半導体膜2530に第1の加熱処理を行う前でも行った後に行ってもよい。

【0324】

また、酸化物半導体を2回に分けて成膜し、2回に分けて加熱処理を行って結晶化した酸化物半導体層を用いても良い。この様な工程を行うことで、下地部材を問わず、膜表面に垂直にc軸配向した膜厚の厚い結晶領域を形成することができる。

【0325】

例えば、3 nm以上15 nm以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450 以上850 以下、好ましくは550 以上750 以下の第1の加熱処理を行い、表面を含む領域に結晶領域を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450 以上850 以下、好ましくは600 以上700 以下の第2の加熱処理を行う。

10

【0326】

この工程により、第1の酸化物半導体膜が種結晶となり、第2の酸化物半導体膜全体を下部から上部に向かって結晶成長させることができ、結果として膜厚の厚い結晶領域を有する酸化物半導体層が形成される。

【0327】

次いで、ゲート絶縁層2507、及び酸化物半導体層2531上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を形成する。ソース電極層、及びドレイン電極層に用いる導電膜としては、実施の形態5に示したソース電極層2405a、ドレイン電極層2405bと同様の材料を用いることができる。

20

【0328】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層2515a、ドレイン電極層2515bを形成した後、レジストマスクを除去する（図31（C）参照）。

【0329】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層2531上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25 nm未満の場合には、数nm～数10 nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10 nm以上1000 nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

30

【0330】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクは透過した光が複数の強度となるため、部分的に膜厚の異なるレジストマスクを形成することができる。該レジストマスクは、アッシングを行うことで形状を変形させることができるため、フォトリソグラフィ工程を行わずに異なる形状のレジストマスクを形成することができる。従って、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

【0331】

なお、導電膜のエッチングの際に、酸化物半導体層2531がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層2531を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層2531は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。

【0332】

50

本実施の形態では、導電膜としてTiを用い、酸化物半導体層2531にはIn-Ga-Zn-O系酸化物半導体を用いるため、エッチャントには過水アンモニア水（アンモニア、水、過酸化水素水の混合液）を用いると良い。

【0333】

次いで、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層2516を形成する。この絶縁層2516を形成する前にN₂O、N₂、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。

【0334】

絶縁層2516は、少なくとも1nm以上の膜厚とし、スパッタ法など、絶縁層2516に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層2516に水素が含まれると、その水素が酸化物半導体層に侵入する現象や、水素が酸化物半導体層中の酸素を引き抜く現象が生じることがある。この場合、酸化物半導体層のバックチャネル側が低抵抗化（n型化）してしまい、寄生チャネルが形成されることがある。従って、絶縁層2516は、水素及び水素を含む不純物が含まれない手段を用いて成膜することが重要である。

【0335】

本実施の形態では、絶縁層2516として膜厚200nmの酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットには、酸化シリコンまたはシリコンを用いることができる。例えば、シリコンをターゲットに用いて、酸素を含む雰囲気下でスパッタを行うと酸化シリコンを形成することができる。酸化物半導体層に接して形成する絶縁層2516には、水分や、水素イオンや、水酸基などの不純物をほとんど含まず、これらが外部から侵入することをブロックする無機絶縁膜を用いることが好ましい。代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いることができる。

【0336】

酸化物半導体膜2530の成膜時と同様に、絶縁層2516を形成する成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層2516は、膜中に含まれる不純物の濃度を低減することができる。また、絶縁層2516の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0337】

絶縁層2516を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0338】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）は絶縁層2516と接した状態で昇温される。

【0339】

以上の工程を経ることによって、酸化物半導体膜に対して第1の加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物と同時に減少してしまった酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。従って、酸化物半導体層は高純度化され電氣的にi型（真性）化する。

【0340】

以上の工程でトランジスタ2510が形成される（図31（D）参照）。

【0341】

また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化シリコン層中に拡散させることができる。つまり、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

【0342】

絶縁層2516上にさらに保護絶縁層2506を形成してもよい。例えば、スパッタ法を用いて窒化シリコン膜を形成する。保護絶縁層には、水分などの不純物をほとんど含まず、更にこれらの外部からの侵入を防ぐことのできる無機絶縁膜である窒化シリコン膜、窒化アルミニウム膜などを用いると良い。本実施の形態では、保護絶縁層2506に窒化シリコン膜を用いる(図31(E)参照)。

10

【0343】

保護絶縁層2506に用いる窒化シリコン膜は、絶縁層2516まで形成された基板2505を100 以上400 以下の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコンのターゲットを用いて成膜する。この場合においても、絶縁層2516と同様に、処理室内の残留水分を除去しつつ保護絶縁層2506を成膜することが好ましい。

【0344】

保護絶縁層の形成後、さらに大気中で100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から加熱温度への昇温と加熱温度から室温までの降温を1サイクルとする処理を複数回繰り返して行ってもよい。

20

【0345】

このように、本実施の形態を用いて作製した、高純度化された酸化物半導体層を含むトランジスタを用いることにより、オフ状態における電流値(オフ電流値)をより低くすることができる。

【0346】

また、高純度化された酸化物半導体層を含むトランジスタは、高い電界効果移動度が得られるため、高速駆動が可能である。従って、例えば表示装置などでは同一基板上に駆動回路部を作製することができるため、部品点数を削減することができる。

30

【0347】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【実施例1】

【0348】

本実施例では、本発明の一態様である画素回路構成を用いたイメージセンサの電荷保持特性について説明する。

【0349】

図32(A)、(B)は、実施の形態3の図24をベースとした回路図である。図32(A)では、電荷蓄積制御トランジスタ6103に酸化物半導体を用いたトランジスタを使用し、増幅トランジスタ6102及び選択トランジスタ6105にはシリコン半導体を用いたトランジスタを使用している。

40

【0350】

一方、図32(B)は、電荷蓄積制御トランジスタ6203、増幅トランジスタ6202及び選択トランジスタ6205の全てにシリコン半導体を用いたトランジスタを使用している。

【0351】

本実施例は、図32(A)、(B)の回路図に示す画素を用いたイメージセンサを作製し、その出力特性から電荷保持能力を比較した結果を説明するものである。

【0352】

図32(A)、(B)の画素回路の動作の特徴は実施の形態3で詳細を説明しているため

50

、ここでは省略する。なお、それぞれの信号線における電位は、次の通りである。

【 0 3 5 3 】

先ず、図 3 2 (A)、(B) の画素回路で共通の電位として、電源供給線を 1 . 8 V、リセット信号線のハイレベル電位を 3 . 3 V、リセット信号線のローレベル電位を 0 V とした。

【 0 3 5 4 】

それぞれのトランジスタの特性に合わせるため、電荷蓄積制御信号線の電位のみ共通としていない。図 3 2 (A) の画素回路では、電荷蓄積制御信号線のハイレベル電位を 3 . 0 V、ローレベル電位を - 1 . 5 V とし、図 3 2 (B) の画素回路では、電荷蓄積制御信号線のハイレベル電位を 2 . 6 V、ローレベル電位を - 0 . 8 V とした。

10

【 0 3 5 5 】

図 3 3 に示すのは、電荷蓄積制御信号線 (T X) とリセット信号線 (R D) の入力信号を表すタイミングチャートである。ここで、リセット信号線の電位がハイレベルの期間がリセット期間、リセット信号線の電位がローレベルとなって、電荷蓄積制御信号線の電位線がローレベルに立ち下がるまでの期間が露光期間 (蓄積期間)、電荷蓄積制御信号線の電位をローレベルとした時刻以降の期間が保持期間に相当する。

【 0 3 5 6 】

図 3 4 (A) は、図 3 2 (A) の画素回路を有するイメージセンサに各照度で図 3 3 の信号を入力したときの出力特性である。試験に用いた照度は、0 1 x、1 6 0 1 x、4 7 0 1 x、1 0 0 0 1 x である。リセット期間中は、リセット電位が供給されるため各照度とも同様な出力を示し、露光期間においては、傾きの異なる出力変化を示す。そして、保持期間では、それぞれの照度における出力が保持される。この様な動作をすることで光の強度を信号化することができる。ここで、電荷蓄積制御信号線の電位がハイレベルまたはローレベルとなるとときには、電荷蓄積制御トランジスタの容量結合の影響で出力の値が変化するが、保持期間における出力信号には影響は無い。

20

【 0 3 5 7 】

図 3 4 (B) は、上記各照度での出力特性を長時間取得したものである。図 3 4 (A) の点線枠 A は、図 3 4 (B) の点線枠 A に相当する。

【 0 3 5 8 】

ここで明かである様に、図 3 2 (A) の画素回路を有するイメージセンサは、どの照度においても出力信号が時間軸に対してほとんど変化をしておらず、極めて良好な保持特性を有していることがわかる。

30

【 0 3 5 9 】

一方、図 3 5 (A) は、図 3 2 (B) の画素回路を有するイメージセンサに各照度で図 3 3 の信号を入力したときの出力特性である。試験に用いた照度は、0 1 x、1 6 0 1 x、4 7 0 1 x、1 0 0 0 1 x である。図 3 4 (A) と同様に照度毎に異なる出力特性を示していることがわかる。なお、0 1 x とは暗状態を意味するものである。

【 0 3 6 0 】

図 3 5 (B) は、上記各照度での出力特性を長時間取得したものである。ここで、図 3 4 (B) とは大きく異なり、出力信号が時間の経過とともに低下していることがわかる。特に照度が高い場合が顕著で、保持時間の初期においては照度に対応する信号が傾きを持ちながらも維持しているが、やがて、1 0 0 0 1 x と 4 7 0 1 x の信号が重なってしまう。これは、両者の信号が保持できず、判別が不可となった状態を意味する。

40

【 0 3 6 1 】

0 1 x の場合は、信号を保持しているが、これはフォトダイオードの暗電流が十分小さいことに起因する。照度が高い場合に電荷の保持能力が極端に劣ってしまう原因は、シリコン半導体を用いたトランジスタのリーク電流にある。このリーク電流が大きいと、フォトダイオードに明電流が流れる状態になるとトランジスタのリーク電流で電荷が流出してしまうのである。もちろん、フォトダイオードの暗電流が高い場合では、同様に電荷は流出してしまう。

50

【0362】

この様に、酸化物半導体を用いたトランジスタは、極めてリーク電流が小さいため、図34(B)に示す様な極めて高い電荷保持能力のある回路を実現することができる。従って、画素の信号電荷蓄積部と接続されるトランジスタに酸化物半導体を用いたトランジスタを使用することは、長い電荷保持期間を必要とするグローバルシャッタ方式に有用であると言える。

【0363】

本実施例は、他の実施の形態又は実施例と適宜組み合わせることで実施することが可能である。

【実施例2】

【0364】

本発明の一態様に係る表示装置は、高分解能である撮像データの取得を行うことができるという特徴を有している。よって、本発明の一態様に係る表示装置を用いた電子機器は、表示装置をその構成要素に追加することにより、より高機能化することができる。

【0365】

例えば、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る表示装置を用いることができる電子機器としては、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図36に示す。

【0366】

図36(A)は表示装置であり、筐体5001、表示部5002、支持台5003等を有する。本発明の一態様に係る表示装置は、表示部5002に用いることができる。表示部5002に本発明の一態様に係る表示装置を用いることで、高分解能である撮像データの取得を行うことができ、より高機能のアプリケーションが搭載された表示装置を提供することができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0367】

図36(B)は携帯情報端末であり、筐体5101、表示部5102、スイッチ5103、操作キー5104、赤外線ポート5105等を有する。本発明の一態様に係る表示装置は、表示部5102に用いることができる。表示部5102に本発明の一態様に係る表示装置を用いることで、高分解能である撮像データの取得を行うことができ、より高機能のアプリケーションが搭載された携帯情報端末を提供することができる。

【0368】

図36(C)は現金自動預け入れ払い機であり、筐体5201、表示部5202、硬貨投入口5203、紙幣投入口5204、カード投入口5205、通帳投入口5206等を有する。本発明の一態様に係る表示装置は、表示部5202に用いることができる。表示部5202に本発明の一態様に係る表示装置を用いることで、高分解能である撮像データの取得を行うことができ、より高機能化された現金自動預け入れ払い機を提供することができる。そして、本発明の一態様に係る表示装置を用いた現金自動預け入れ払い機は、指紋、顔、手形、掌紋及び手の静脈の形状、虹彩等の、生体認証に用いられる生体情報の読み取りを、より高精度で行うことができる。よって、生体認証における、本人であるにもかかわらず本人ではないと誤認識してしまう本人拒否率と、他人であるにもかかわらず本人と誤認識してしまう他人受入率とを、低く抑えることができる。

【0369】

図36(D)は携帯型ゲーム機であり、筐体5301、筐体5302、表示部5303、表示部5304、マイクロホン5305、スピーカー5306、操作キー5307、スタ

10

20

30

40

50

イラスト 5308 等を有する。本発明の一態様に係る表示装置は、表示部 5303 または表示部 5304 に用いることができる。表示部 5303 または表示部 5304 に本発明の一態様に係る表示装置を用いることで、高分解能である撮像データの取得を行うことができ、より高機能のアプリケーションが搭載された携帯型ゲーム機を提供することができる。なお、図 36(D) に示した携帯型ゲーム機は、2つの表示部 5303 と表示部 5304 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0370】

本実施例は、他の実施の形態又は実施例と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0371】

101	フォトダイオード	
102	増幅トランジスタ	
103	電荷蓄積制御トランジスタ	
104	リセットトランジスタ	
105	選択トランジスタ	
112	信号電荷蓄積部	
113	電荷蓄積制御信号線	
114	リセット信号線	
115	選択信号線	
120	出力信号線	20
130	電源供給線	
131	接地電位線	
212	電位	
213	電位	
214	電位	
215	電位	
220	電位	
230	時刻	
231	時刻	
232	時刻	30
233	時刻	
234	時刻	
235	時刻	
236	時刻	
237	時刻	
301	蓄積期間	
302	電荷保持期間	
303	期間	
304	電荷保持期間	
305	期間	40
401	期間	
402	電荷保持期間	
403	期間	
404	電荷保持期間	
405	期間	
406	電荷保持期間	
1101	曲線	
1102	曲線	
1103	曲線	
1111	点	50

1 1 1 3	点	
1 2 0 1	点	
1 2 4 1	i 型シリコン半導体層	
1 2 4 2	ゲート配線層	
1 2 4 3	配線層	
1 2 4 4	n 型シリコン半導体層	
1 2 4 5	p 型シリコン半導体層	
1 4 4 1	i 型シリコン半導体層	
1 4 4 2	ゲート配線層	
1 4 4 3	配線層	10
1 4 4 4	n 型シリコン半導体層	
1 4 4 5	p 型シリコン半導体層	
1 6 0 1	フォトダイオード	
1 6 0 2	増幅トランジスタ	
1 6 0 3	電荷蓄積制御トランジスタ	
1 6 0 4	リセットトランジスタ	
1 6 0 5	選択トランジスタ	
1 6 1 2	信号電荷蓄積部	
1 6 1 3	電荷蓄積制御信号線	
1 6 1 4	リセット信号線	20
1 6 1 5	選択信号線	
1 6 2 0	出力信号線	
1 6 3 0	電源供給線	
1 6 3 1	接地電位線	
1 7 0 1	フォトダイオード	
1 7 0 2	増幅トランジスタ	
1 7 0 3	電荷蓄積制御トランジスタ	
1 7 0 4	リセットトランジスタ	
1 7 1 2	信号電荷蓄積部	
1 7 1 3	電荷蓄積制御信号線	30
1 7 1 4	リセット信号線	
1 7 2 0	出力信号線	
1 7 3 0	電源供給線	
1 7 3 1	接地電位線	
1 8 0 1	p i n 型フォトダイオード	
1 8 0 2	増幅トランジスタ	
1 8 0 3	電荷蓄積制御トランジスタ	
1 8 0 4	リセットトランジスタ	
1 8 0 5	選択トランジスタ	
1 8 1 3	電荷蓄積制御信号線	40
1 8 1 4	リセット信号線	
1 8 1 5	選択信号線	
1 8 2 0	出力信号線	
1 8 3 0	電源供給線	
1 8 3 1	接地電位線	
1 9 0 1	p i n 型フォトダイオード	
1 9 0 2	増幅トランジスタ	
1 9 0 3	電荷蓄積制御トランジスタ	
1 9 0 4	リセットトランジスタ	
1 9 0 5	選択トランジスタ	50

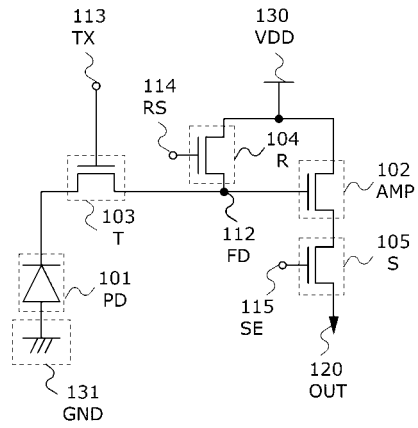
1 9 1 3	電荷蓄積制御信号線	
1 9 1 4	リセット信号線	
1 9 1 5	選択信号線	
1 9 2 0	出力信号線	
1 9 3 0	電源供給線	
1 9 3 1	接地電位線	
2 0 0 1	フォトダイオード	
2 0 0 2	増幅トランジスタ	
2 0 0 3	電荷蓄積制御トランジスタ	
2 0 0 4	リセットトランジスタ	10
2 0 1 2	信号電荷蓄積部	
2 0 1 3	電荷蓄積制御信号線	
2 0 1 4	リセット信号線	
2 0 2 0	出力信号線	
2 0 3 0	電源供給線	
2 0 3 1	接地電位線	
2 1 1 2	電位	
2 1 1 3	電位	
2 1 1 4	電位	
2 1 2 0	電位	20
2 1 3 0	時刻	
2 1 3 1	時刻	
2 1 3 2	時刻	
2 1 3 3	時刻	
2 1 3 4	時刻	
2 1 3 5	時刻	
2 2 0 1	フォトダイオード	
2 2 0 2	増幅トランジスタ	
2 2 0 3	電荷蓄積制御トランジスタ	
2 2 0 5	選択トランジスタ	30
2 2 1 2	信号電荷蓄積部	
2 2 1 3	電荷蓄積制御信号線	
2 2 1 5	選択信号線	
2 2 1 6	リセット信号線	
2 2 2 0	出力信号線	
2 2 3 0	電源供給線	
2 3 1 2	電位	
2 3 1 3	電位	
2 3 1 5	電位	
2 3 1 6	電位	40
2 3 2 0	電位	
2 3 3 0	時刻	
2 3 3 1	時刻	
2 3 3 2	時刻	
2 3 3 3	時刻	
2 3 3 4	時刻	
2 3 3 5	時刻	
2 3 3 6	時刻	
2 3 3 7	時刻	
2 4 0 0	基板	50

2 4 0 1	ゲート電極層	
2 4 0 2	ゲート絶縁層	
2 4 0 3	酸化物半導体層	
2 4 0 7	絶縁層	
2 4 0 9	保護絶縁層	
2 4 2 7	絶縁層	
2 4 3 7	絶縁層	
2 4 0 5 a	ソース電極層	
2 4 0 5 b	ドレイン電極層	
2 4 3 6 a	配線層	10
2 4 3 6 b	配線層	
2 5 1 5 a	ソース電極層	
2 5 1 5 b	ドレイン電極層	
2 5 0 5	基板	
2 5 0 6	保護絶縁層	
2 5 0 7	ゲート絶縁層	
2 5 1 0	トランジスタ	
2 5 1 1	ゲート電極層	
2 5 1 6	絶縁層	
2 5 3 0	酸化物半導体膜	20
2 5 3 1	酸化物半導体層	
2 6 0 1	フォトダイオード	
2 6 0 2	増幅トランジスタ	
2 6 0 6	容量素子	
2 6 1 2	信号電荷蓄積部	
2 6 1 5	選択信号線	
2 6 1 6	リセット信号線	
2 6 2 0	出力信号線	
2 6 3 0	電源供給線	
2 7 1 2	電位	30
2 7 1 5	電位	
2 7 1 6	電位	
2 7 2 0	電位	
2 7 3 0	時刻	
2 7 3 1	時刻	
2 7 3 2	時刻	
2 7 3 3	時刻	
2 8 0 1	p i n型フォトダイオード	
2 8 0 2	増幅トランジスタ	
2 8 0 3	電荷蓄積制御トランジスタ	40
2 8 0 4	リセットトランジスタ	
2 8 0 5	選択トランジスタ	
2 8 1 3	電荷蓄積制御信号線	
2 8 1 4	リセット信号線	
2 8 1 5	選択信号線	
2 8 2 0	出力信号線	
2 8 3 0	電源供給線	
2 8 3 1	接地電位線	
2 9 4 1	i 型シリコン半導体層	
2 9 4 2	ゲート配線層	50

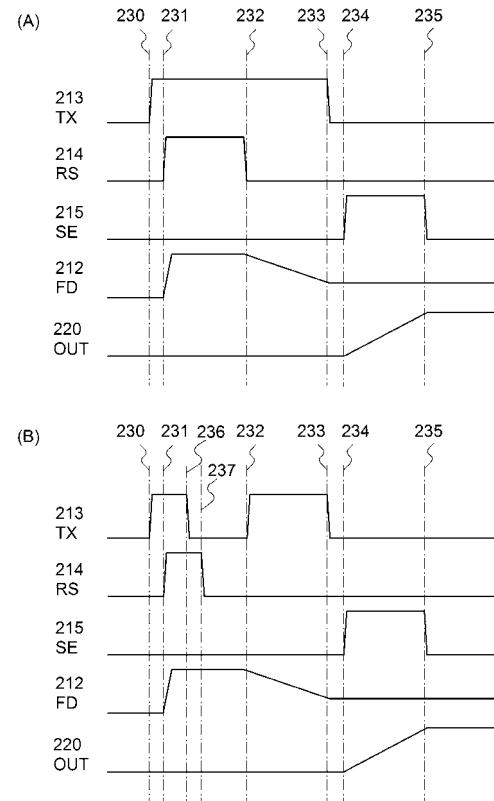
2 9 4 3	配線層	
2 9 4 4	n型シリコン半導体層	
2 9 4 5	p型シリコン半導体層	
3 0 0 1	電位	
3 0 0 2	電位	
3 0 0 3	電位	
3 4 1 0	トランジスタ	
3 4 2 0	トランジスタ	
3 4 3 0	トランジスタ	
3 4 4 0	トランジスタ	10
3 4 8 0	電位	
3 5 0 1	電位	
3 5 0 2	電位	
3 5 0 3	電位	
3 6 1 3	電位	
3 6 1 4	電位	
3 6 3 1	時刻	
3 6 3 2	時刻	
3 6 3 3	時刻	
3 6 3 4	時刻	20
3 6 3 5	時刻	
3 6 3 6	時刻	
3 6 3 7	時刻	
3 6 3 8	時刻	
3 6 3 9	時刻	
3 6 4 0	時刻	
3 7 1 2	電位	
3 7 1 5	電位	
3 7 1 6	電位	
3 7 2 0	電位	30
3 7 3 0	時刻	
3 7 3 1	時刻	
3 7 3 2	時刻	
3 7 3 3	時刻	
3 8 0 1	フォトダイオード	
3 8 0 2	増幅トランジスタ	
3 8 0 3	電荷蓄積制御トランジスタ	
3 8 0 4	リセットトランジスタ	
3 8 1 2	信号電荷蓄積部	
3 8 1 3	電荷蓄積制御信号線	40
3 8 1 4	リセット信号線	
3 8 2 0	出力信号線	
3 8 3 0	電源供給線	
3 8 3 1	接地電位線	
3 8 3 2	リセット電源供給線	
3 9 1 2	電位	
3 9 1 3	電位	
3 9 1 4	電位	
3 9 2 0	電位	
3 9 3 0	時刻	50

3 9 3 1	時刻	
3 9 3 2	時刻	
3 9 3 3	時刻	
3 9 3 4	時刻	
3 9 3 5	時刻	
3 9 8 0	電位	
4 0 0 1	電位	
4 4 0 1	フォトダイオード	
4 4 0 2	増幅トランジスタ	
4 4 0 5	選択トランジスタ	10
4 4 1 2	信号電荷蓄積部	
4 4 1 5	選択信号線	
4 4 1 6	リセット信号線	
4 4 2 0	出力信号線	
4 4 3 0	電源供給線	
4 5 0 1	電位	
4 5 0 2	電位	
4 9 8 0	電位	
5 0 0 1	筐体	
5 0 0 2	表示部	20
5 0 0 3	支持台	
5 1 0 1	筐体	
5 1 0 2	表示部	
5 1 0 3	スイッチ	
5 1 0 4	操作キー	
5 1 0 5	赤外線ポート	
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	硬貨投入口	
5 2 0 4	紙幣投入口	30
5 2 0 5	カード投入口	
5 2 0 6	通帳投入口	
5 3 0 1	筐体	
5 3 0 2	筐体	
5 3 0 3	表示部	
5 3 0 4	表示部	
5 3 0 5	マイクロホン	
5 3 0 6	スピーカー	
5 3 0 7	操作キー	
5 3 0 8	スタイラス	40
6 1 0 2	増幅トランジスタ	
6 1 0 3	電荷蓄積制御トランジスタ	
6 1 0 5	選択トランジスタ	
6 2 0 2	増幅トランジスタ	
6 2 0 3	電荷蓄積制御トランジスタ	
6 2 0 5	選択トランジスタ	
3 6 0 0 1	電位	
3 6 0 0 2	電位	
3 6 4 8 0	電位	

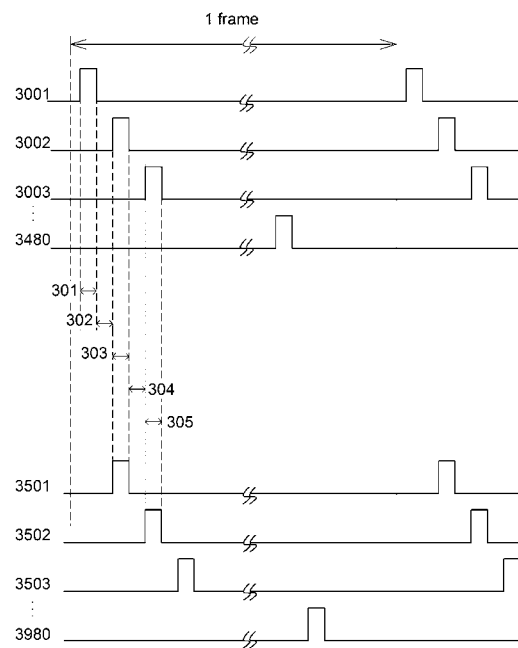
【図 1】



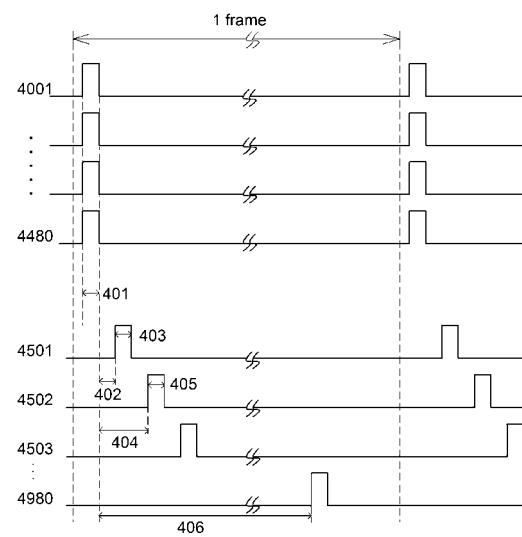
【図 2】



【図 3】

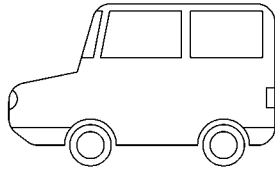


【図 4】

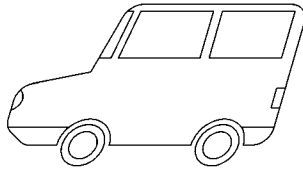


【図 5】

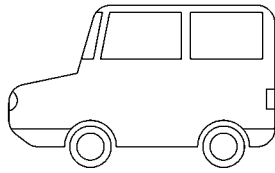
(A)



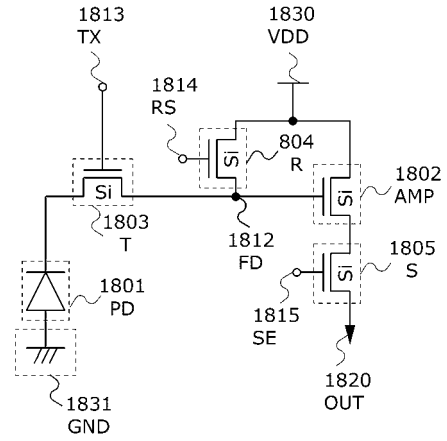
(B)



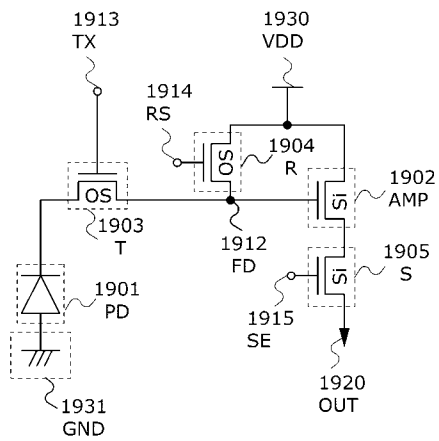
(C)



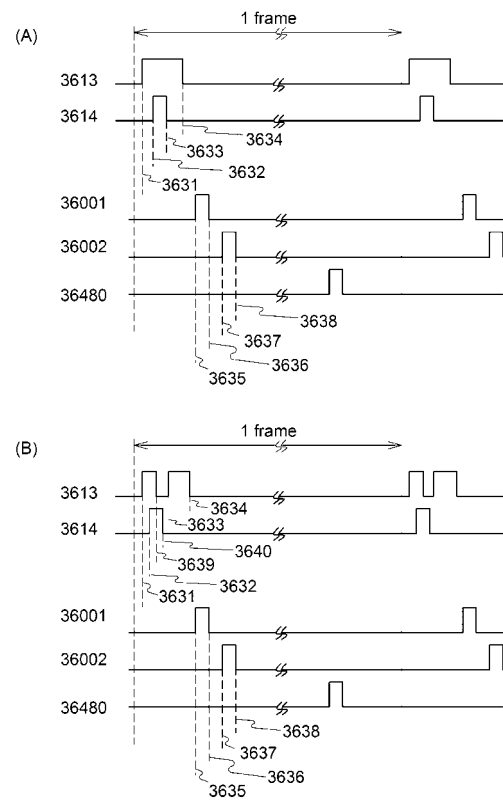
【図 8】



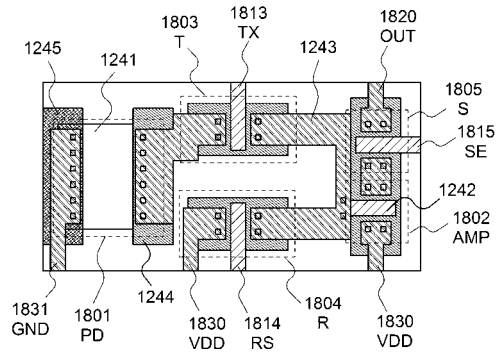
【図 9】



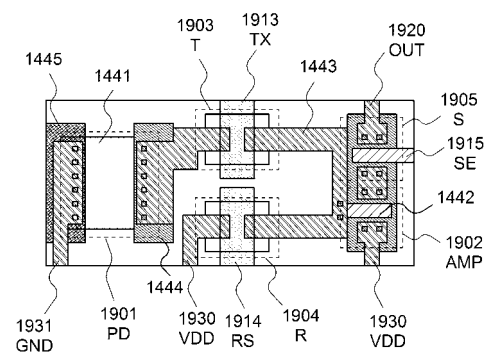
【図 10】



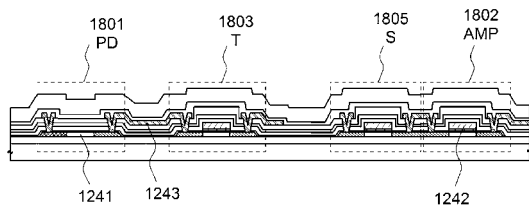
【図 1 1】



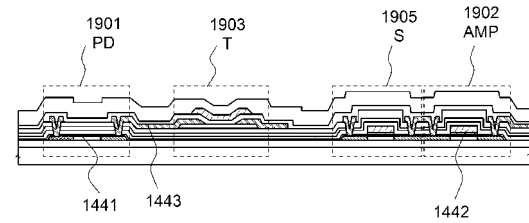
【図 1 3】



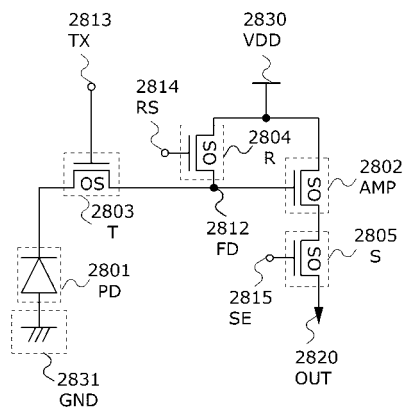
【図 1 2】



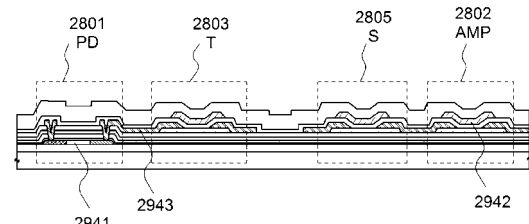
【図 1 4】



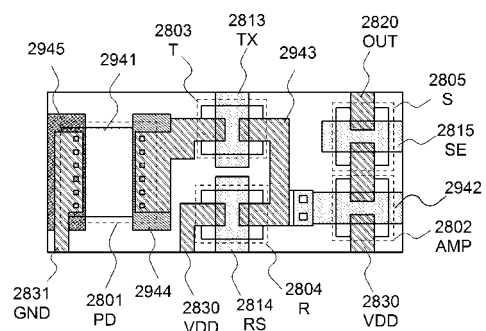
【図 1 5】



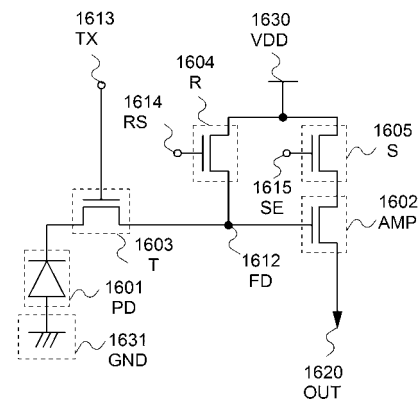
【図 1 7】



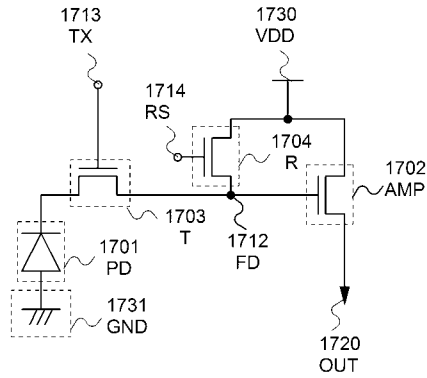
【図 1 6】



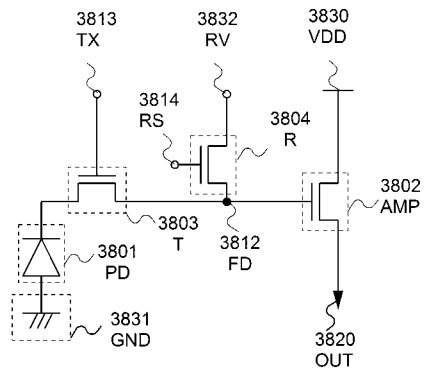
【図 1 8】



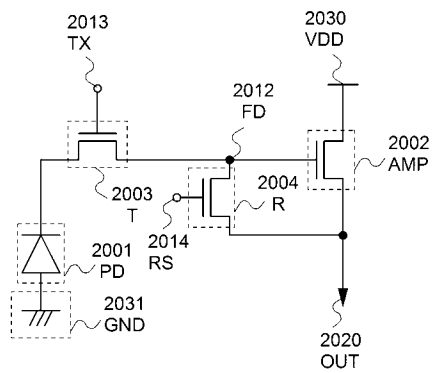
【図 19】



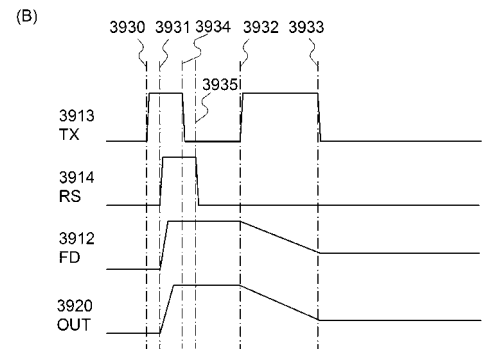
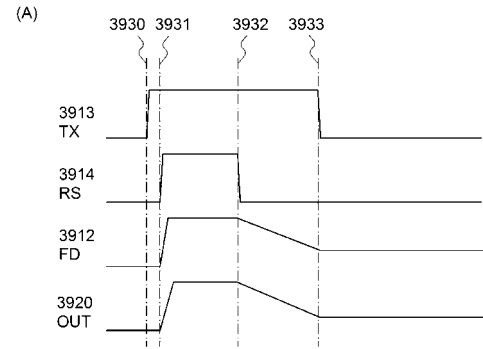
【図 20】



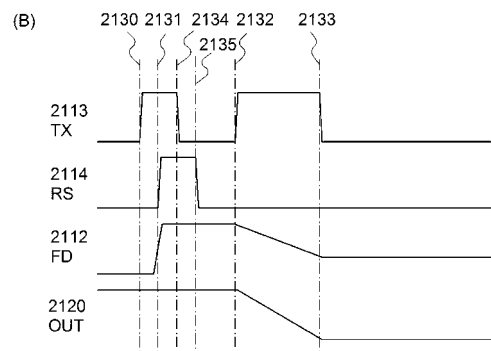
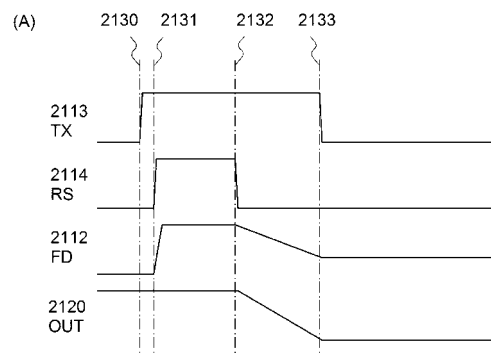
【図 22】



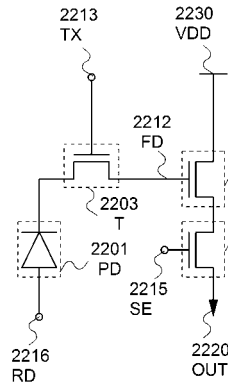
【図 21】



【図 23】

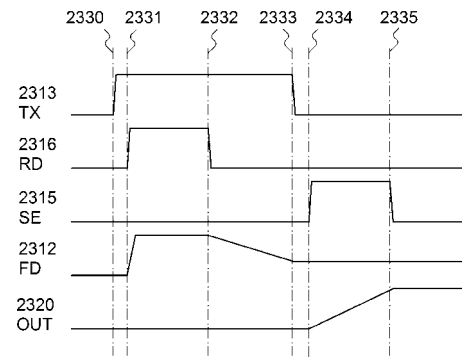


【図 24】

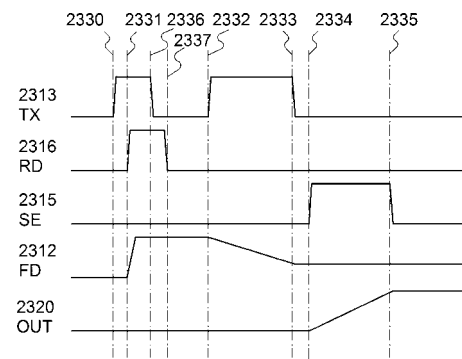


【図 25】

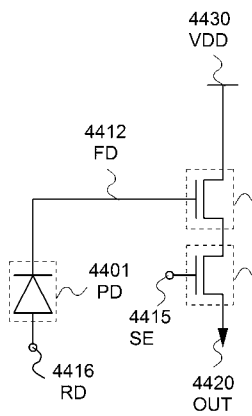
(A)



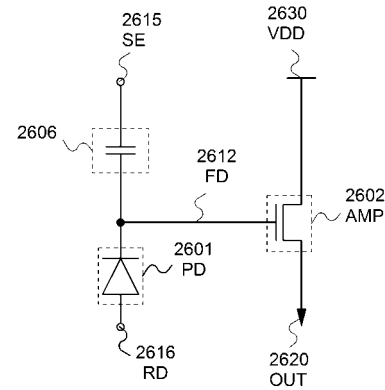
(B)



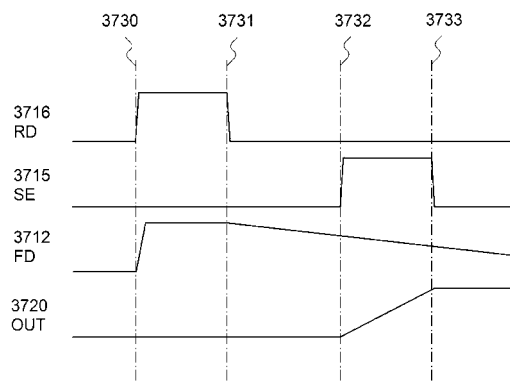
【図 26】



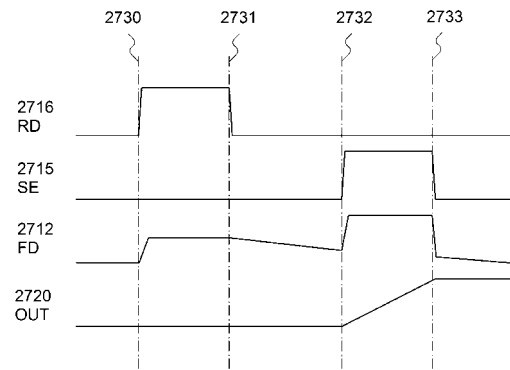
【図 28】



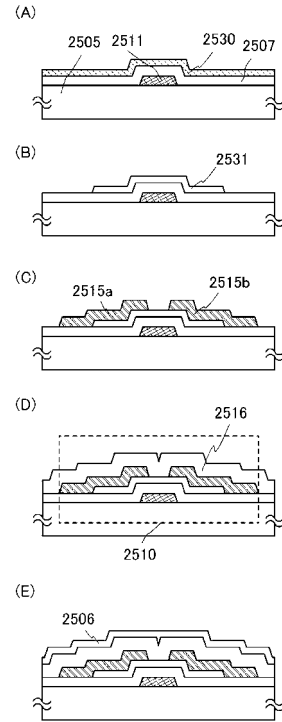
【図 27】



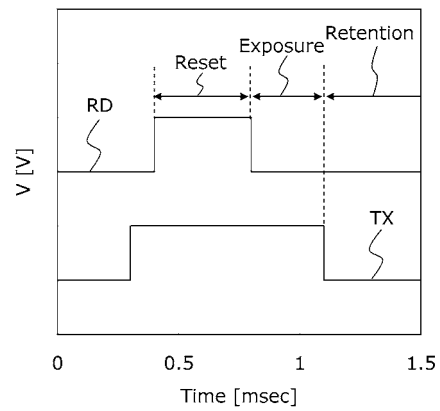
【図 29】



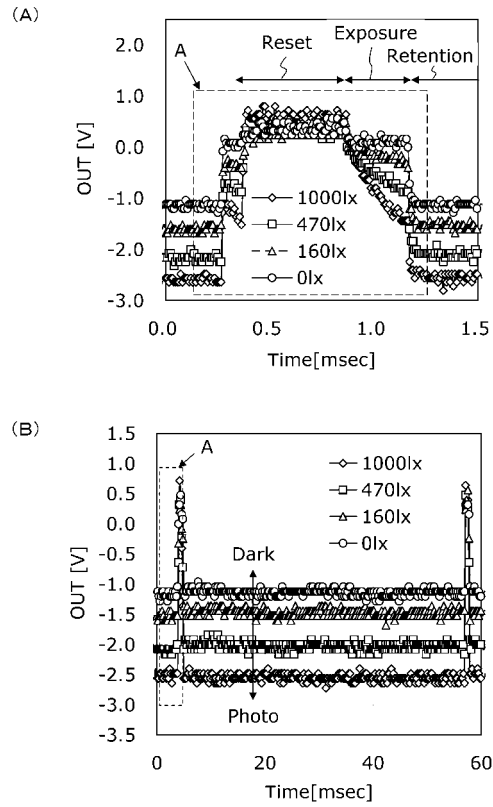
【 図 3 1 】



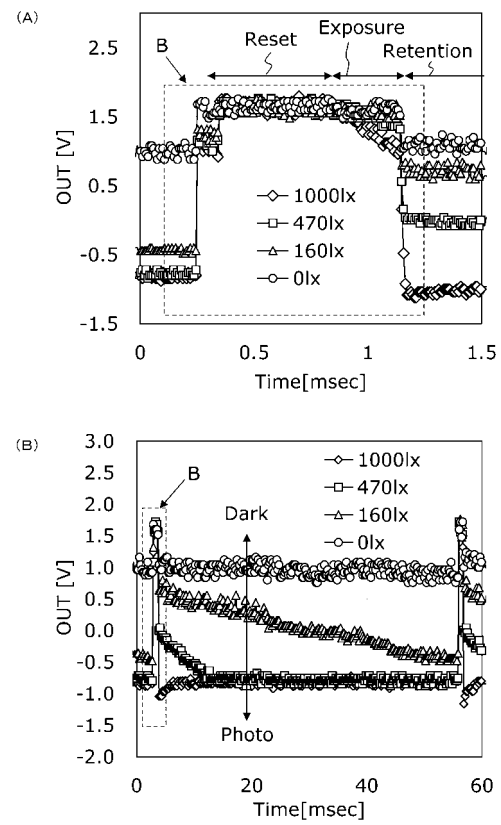
【 図 3 3 】



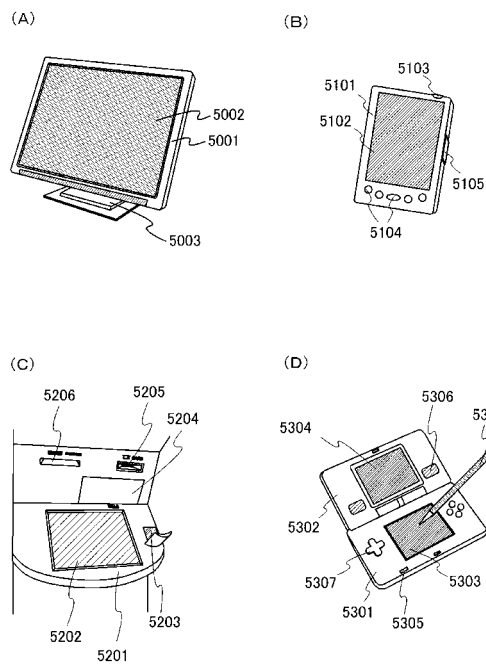
【図 3 4】



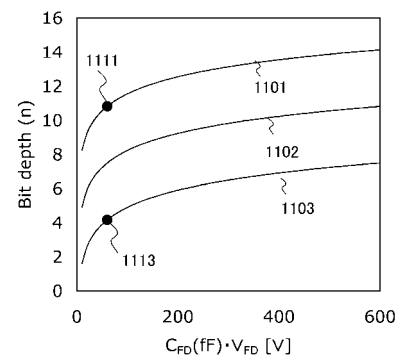
【図 3 5】



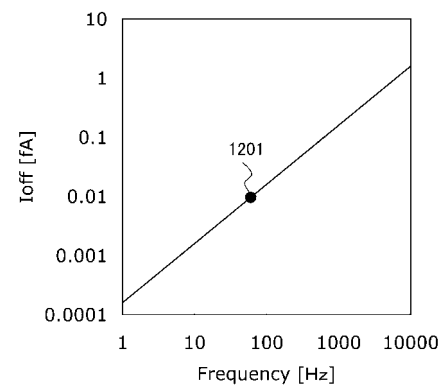
【図 3 6】



【図 3 7】



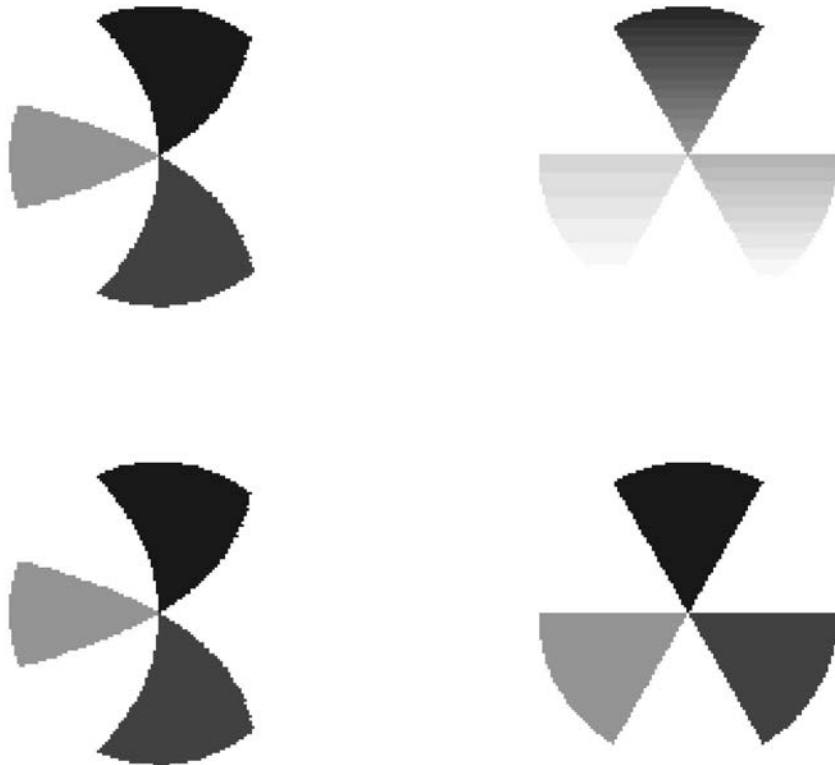
【図 3 8】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 池田 匡孝
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 青木 健
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 若林 治男

- (56)参考文献 特開 2 0 1 0 - 0 5 0 1 4 6 (J P , A)
特開 2 0 0 9 - 1 3 0 2 0 9 (J P , A)
特開 2 0 0 9 - 2 1 8 2 1 8 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
- | | | |
|---------|-------------|-------------|
| H 0 4 N | 5 / 3 0 | - 5 / 3 7 8 |
| H 0 1 L | 2 7 / 1 4 6 | |