



(12) 发明专利

(10) 授权公告号 CN 102779473 B

(45) 授权公告日 2015. 10. 07

(21) 申请号 201210221938. 7

CN 1388951 A, 2003. 01. 01, 全文.

(22) 申请日 2006. 09. 15

审查员 张景美

(30) 优先权数据

2005-269323 2005. 09. 16 JP

(62) 分案原申请数据

200610153498. 0 2006. 09. 15

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 梅崎敦司

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 叶晓勇 王忠忠

(51) Int. Cl.

G09G 3/20(2006. 01)

G09G 3/32(2006. 01)

(56) 对比文件

US 5923794 A, 1999. 07. 13, 全文.

US 2004155846 A1, 2004. 08. 12, 全文.

CN 1534578 A, 2004. 10. 06, 全文.

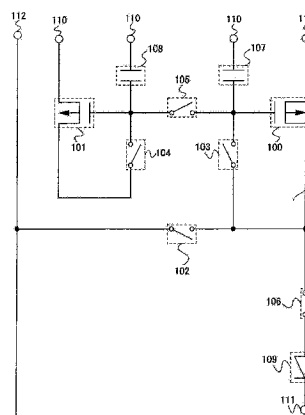
权利要求书3页 说明书46页 附图58页

(54) 发明名称

显示器件

(57) 摘要

第一电容器获得根据流经第一晶体管的编程电流的第一晶体管的栅源电压,第二电容器获得第二晶体管的阈值电压。然后,在第一电容器和第二电容器中保持的电荷被容性耦合。通过使用以容性耦合获得的电压作为第一晶体管的栅源电压,可以根据编程电流的恒定电流提供给发光元件。



1. 一种显示器件,包括:

第一晶体管,包括栅极、第一端和第二端;

第二晶体管,包括栅极、第一端和第二端;

第一电容器,包括一个电极和另一个电极;

第二电容器,包括一个电极和另一个电极;

电源线,

其中所述电源线连接到所述第一晶体管的所述第一端、所述第二晶体管的所述第一端、所述第一电容器的所述一个电极以及所述第二电容器的所述一个电极,

其中所述第一电容器的所述另一个电极连接到所述第一晶体管的所述栅极,

其中所述第一晶体管的所述第二端通过第一开关连接到所述第一晶体管的所述栅极,

其中所述第二电容器的所述另一个电极连接到所述第二晶体管的所述栅极,

其中所述第二晶体管的所述第二端通过第二开关连接到所述第二晶体管的所述栅极,

其中所述第一电容器的所述另一个电极和所述第一晶体管的所述栅极通过第三开关连接到所述第二电容器的所述另一个电极和所述第二晶体管的所述栅极。

2. 一种显示器件,包括:

第一晶体管,包括栅极、第一端和第二端;

第二晶体管,包括栅极、第一端和第二端;

第三晶体管,包括栅极、第一端和第二端;

第四晶体管,包括栅极、第一端和第二端;

第五晶体管,包括栅极、第一端和第二端;

第六晶体管,包括栅极、第一端和第二端;

第七晶体管,包括栅极、第一端和第二端;

第一电容器,包括一个电极和另一个电极;

第二电容器,包括一个电极和另一个电极;以及

电源线,

其中所述电源线连接到所述第一晶体管的所述第一端、所述第一电容器的所述一个电极、所述第二晶体管的所述第一端以及所述第二电容器的所述一个电极,

其中所述第一电容器的所述另一个电极连接到所述第一晶体管的所述栅极,

其中所述第一电容器的所述另一个电极和所述第一晶体管的所述栅极连接到所述第六晶体管的所述第一端,

其中所述第一晶体管的所述第二端连接到所述第四晶体管的所述第一端,

其中所述第四晶体管的所述第二端连接到所述第一晶体管的所述栅极,

其中所述第一晶体管的所述第二端连接到所述第三晶体管的所述第一端,

其中所述第一晶体管的所述第二端连接到所述第七晶体管的所述第一端,

其中所述第二电容器的所述另一个电极连接到所述第二晶体管的所述栅极,

其中所述第二电容器的所述另一个电极和所述第二晶体管的所述栅极连接到所述第六晶体管的所述第二端,

其中所述第二晶体管的所述第二端连接到所述第五晶体管的所述第一端,以及

其中所述第五晶体管的所述第二端连接到所述第二晶体管的所述栅极。

3. 一种显示器件,包括:

第一晶体管,包括栅极、第一端和第二端;

第二晶体管,包括栅极、第一端和第二端;

第三晶体管,包括栅极、第一端和第二端;

第四晶体管,包括栅极、第一端和第二端;

第五晶体管,包括栅极、第一端和第二端;

第六晶体管,包括栅极、第一端和第二端;

第七晶体管,包括栅极、第一端和第二端;

第一电容器,包括一个电极和另一个电极;

第二电容器,包括一个电极和另一个电极;以及

电源线,

其中所述电源线连接到所述第一晶体管的所述第一端、所述第二晶体管的所述第一端、所述第一电容器的所述一个电极以及所述第二电容器的所述一个电极,

其中所述第一电容器的所述另一个电极连接到所述第一晶体管的所述栅极,

其中所述第一晶体管的所述第二端连接到所述第四晶体管的所述第一端,

其中所述第四晶体管的所述第二端连接到所述第一晶体管的所述栅极,

其中所述第一晶体管的所述第二端连接到所述第七晶体管的所述第一端,

其中所述第二电容器的所述另一个电极连接到所述第二晶体管的所述栅极,

其中所述第二晶体管的所述第二端连接到所述第五晶体管的所述第一端,

其中所述第五晶体管的所述第二端连接到所述第二晶体管的所述栅极,

其中所述第一电容器的所述另一个电极和所述第一晶体管的所述栅极连接到所述第六晶体管的所述第一端,

其中所述第二电容器的所述另一个电极和所述第二晶体管的所述栅极连接到所述第六晶体管的所述第二端,以及

其中所述第二晶体管的所述第二端连接到所述第三晶体管的所述第一端。

4. 根据权利要求 1 所述的显示器件,

其中所述第一晶体管的所述第二端通过第四开关连接到源极信号线。

5. 根据权利要求 1 所述的显示器件,

其中所述第一晶体管的所述第二端通过第五开关连接到发光元件的电极。

6. 根据权利要求 1 所述的显示器件,

其中所述第一晶体管和所述第二晶体管的至少一个包括金属氧化物半导体。

7. 根据权利要求 1 所述的显示器件,

其中所述第一晶体管和所述第二晶体管的至少一个包括 ZnO、a-InGaZnO、SiGe 和 GaAs 的至少一个。

8. 根据权利要求 2 和权利要求 3 的任一项所述的显示器件,

其中所述第三晶体管的所述第二端连接到源极信号线。

9. 根据权利要求 2 和权利要求 3 的任一项所述的显示器件,

其中所述第七晶体管的所述第二端连接到发光元件的电极。

10. 根据权利要求 2 和权利要求 3 的任一项所述的显示器件,

其中所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管和所述第七晶体管的至少一个包括金属氧化物半导体。

11. 根据权利要求 2 和权利要求 3 的任一项所述的显示器件，

其中所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管和所述第七晶体管的至少一个包括 ZnO、a-InGaZnO、SiGe 和 GaAs 的至少一个。

显示器件

技术领域

[0001] 本发明涉及包括晶体管构成的显示器件,以及该显示器件的驱动方法。具体地,本发明涉及包含包括薄膜晶体管(此后还称为晶体管)构成的像素的半导体器件。

背景技术

[0002] 有源矩阵显示器,其通过组合电致发光元件(还被称为有机发光二极管(OLED)和EL元件或本说明书中的发光元件)和晶体管来构成,已经吸引了人们的注意,并在国内和国际上作为薄且重量轻的显示器进行了积极的研究和开发。在致力于小型2英寸显示器到40英寸或更大的大型显示器的实际应用阶段中,对这种也被称为有机EL显示器(OLED)的显示器进行了广泛的研究和开发。

[0003] EL元件的亮度和流经其的电流值在理论上具有线性关系。因此,对于利用EL元件作为显示介质的有机EL显示器来说,通过控制提供给EL元件的电流值来表示灰度级的方法是已知的。此外,作为控制提供给EL元件的电流值的方法,电压输入驱动方法和电流输入驱动方法是已知的。

[0004] 在电压输入驱动方法中,提供给驱动晶体管(此后也称为驱动晶体管)和EL元件的电流值通过将电压信号输入到驱动晶体管的栅极以便在其中保持从而获得的栅源电压来控制,该驱动晶体管串联连接到EL元件。在电流输入驱动方法中,提供给驱动晶体管和EL元件的电流值通过将电流信号提供给驱动晶体管而获得的驱动晶体管的栅源电压来控制(例如,参见专利文献1)。

[0005] 然而,在传统的电流输入驱动方法中,需要将微量的电流从源信号线提供以表示低灰度级。由于需要用于为源信号线等的寄生电容充电的时间以便将微量电流作为视频信号输入到像素,因此存在需要长写入时间的问题。

[0006] 此外,作为电流输入驱动方法的另一个示例,这种像素是已知的,其中通过在两个电容器中保持作为电流输入到驱动TFT的 V_{gs} 及其阈值电压并将它们容性耦合,在补偿该阈值电压的同时,提供给EL元件的电流可以小于实际的视频信号(例如,参见专利文献2)。

[0007] 然而,即使是这种像素配置也需要周期 T_1 来获得阈值电压,并需要周期 T_2 来写入视频信号。由于一个像素的面积是有限的,因此两个电容器的电容也是有限的。因此,存在这样的问题,即,没有足够的写入时间用于写入微量电流作为视频信号,特别是在大型面板中,每像素的写入周期相比于小型面板变得更短。

[0008] [专利文献1]

[0009] 国际公布 No. 9848403

[0010] [专利文献2]

[0011] 日本专利公开 No. 2004-310006

发明内容

[0012] 鉴于这些问题,本发明提供了一种显示器件以及驱动方法,其中每像素的写入时

间被进一步缩短,并且其能够扩大面板。

[0013] 本发明的特征包括第一晶体管、第二晶体管、保持对应于流经其中的电流的第一晶体管的栅源电压的第一电容器、以及保持第二晶体管的阈值电压并与第一电容器容性耦合的第二电容器。

[0014] 根据本发明的显示器件的一个特征,该显示器件包括像素,其包括第一晶体管,具有连接到第一布线的第一端、经过第一开关元件连接到第二布线并经过第二开关元件连接到其栅极的第二端;第二晶体管,具有连接到第一布线的第一端,和经过第三开关元件连接到栅极的第二端;第一电容器,具有连接到该第一布线的一个电极,和连接到该第一晶体管的栅极的另一个电极;第二电容器,具有连接到该第一布线的一个电极,和连接到该第二晶体管的栅极并经过第四开关元件连接到第一电容器的另一个电极的另一个电极;以及发光元件,具有经过第五开关元件连接到第一晶体管的第二端的一个电极。

[0015] 本发明的显示器件的另一个特征包括像素,其包括第一晶体管,具有连接到第一布线的第一端,和经过第一开关元件连接到其栅极的第二端;第二晶体管,具有连接到第一布线的第一端,和经过第二开关元件连接到第二布线并经过第三开关元件连接到其栅极的第二端;第一电容器,具有连接到该第一布线的一个电极,和连接到该第一晶体管的栅极的另一个电极;第二电容器,具有连接到该第一布线的一个电极,和连接到该第二晶体管的栅极并经过第四开关元件连接到第一电容器的另一个电极的另一个电极;以及发光元件,具有经过第五开关元件连接到第一晶体管的第二端的一个电极。

[0016] 在本发明的显示器件中,第一晶体管的沟道长度可以比第二晶体管的沟道长度更长。第一晶体管的沟道宽度可以比第二晶体管的沟道宽度更宽。

[0017] 本发明提供了一种具有像素的显示器件的驱动方法,该显示器件包括第一晶体管,第二晶体管,第一电容器,其保持对应于流经其中的电流的第一晶体管的栅源电压,以及与第一电容器容性耦合的第二电容器,其中进行在第一电容器中获得第一晶体管的栅源电压的操作,在第二电容器中获得第二晶体管的栅源电压的操作,以及容性地耦合保持在第一电容器中的电压和保持在第二电容器中的电压的操作。在第一电容器中获得第一晶体管的栅源电压的操作和在第二电容器中获得第二晶体管的栅源电压的操作可以同时进行。

[0018] 本发明提供了一种具有像素的显示器件的驱动方法,该显示器件包括第一晶体管,具有连接到第一布线的第一端和经过第一开关元件连接到第二布线并经过第二开关元件连接到其栅极的第二端;第二晶体管,具有连接到第一布线的第一端和经过第三开关元件连接到其栅极的第二端;第二电容器,具有连接到该第一布线的一个电极和连接到该第二晶体管的栅极的另一个电极;第一电容器,具有连接到该第一布线的一个电极和连接到该第一晶体管的栅极并经过第四开关元件连接到第二晶体管的栅极和该第二电容器的另一个电极的另一个电极;以及发光元件,具有经过第五开关元件连接到第一晶体管的第二端的一个电极,其中进行在第一电容器中获得第一晶体管的栅源电压的操作,在第二电容器中获得第二晶体管的栅源电压的操作,以及容性地耦合保持在第一电容器中的电压和保持在第二电容器中的电压的操作。在第一电容器中获得第一晶体管的栅源电压的操作和在第二电容器中获得第二晶体管的栅源电压的操作可以同时进行。

[0019] 本发明提供了一种具有像素的显示器件的驱动方法,该显示器件包括第一晶体管,具有连接到第一布线的第一端和经过第一开关元件连接到其栅极的第二端;第二晶体

管,具有连接到第一布线的第一端和经过第二开关元件连接到第二布线并经过第三开关元件连接到其栅极的第二端;第二电容器,具有连接到该第一布线的的一个电极和连接到该第一晶体管的栅极的另一个电极;第一电容器,具有连接到该第一布线的的一个电极,和连接到该第一晶体管的栅极并经过第四开关元件连接到第二电容器的另一个电极的另一个电极;以及发光元件,具有经过第五开关元件连接到第一晶体管的第二端的一个电极,其中进行在第一电容器中获得第一晶体管的栅源电压的操作,在第二电容器中获得第二晶体管的栅源电压的操作,以及容性地耦合保持在第一电容器中的电压和保持在第二电容器中的电压的操作。在第一电容器中获得第一晶体管的栅源电压的操作和在第二电容器中获得第二晶体管的栅源电压的操作可以同时进行。

[0020] 各种模式的开关可以用作本发明中所描述的开关。例如,可以使用电开关、机械开关等等。这就是说,它可以是任何事物,只要它能控制电流。它可以是晶体管、二极管(例如,PN 二极管、PIN 二极管、肖特基二极管、连接成二极管的晶体管等等)、闸流晶体管、或利用它们配置的逻辑电路。因此,在应用晶体管作为开关的情况中,由于其仅作为开关工作,因此并不特别限定其极性(导电类型)。然而,当截止电流优选为小时,有利地使用具有较小截止电流的极性的晶体管。例如,提供有 LDD 区的晶体管、具有多栅极结构的晶体管等等具有小的截止电流。此外,期望在作为开关的晶体管的源极端电位接近于低电位侧电源电位(V_{ss} 、GND、0V 等等)时,使用 n 沟道晶体管,在源极端电位接近于高电位侧电源电位(V_{dd} 等等)时,期望使用 p 沟道晶体管。由于可以增加晶体管的栅源电压的绝对值,因此这有助于开关有效地工作。

[0021] 还应当注意的是,CMOS 开关也可以通过使用 n 沟道和 p 沟道晶体管来形成。如果 p 沟道晶体管或 n 沟道晶体管变为导通的,则 CMOS 开关可以使电流流动;因此,可以有助于作为开关的功能。例如,当到开关的输入信号的电压是高或低时,可以输出适当的电压。此外,由于用于导通或关断开关的信号电压幅度可以设定为更小,因此也可以减小功率消耗。

[0022] 用作开关的晶体管包括输入端(源极端和漏极端中的一个)、输出端(源极端和漏极端中的另一个)、以及控制导通的端(栅极端)。另一方面,当使用二极管作为开关时,也可以不包括用于控制导通的端。因此,可以减小用于控制端子的布线数目。

[0023] 在本发明中应当注意的是,连接意味着电连接、功能性连接和直接连接。因此,在本发明披露的结构中,也包括除了预定连接以外的其他元件。例如,能够实现电连接的一个或多个元件(例如开关、晶体管、电容器、电感器、电阻器、二极管等等)可以设置在特定部分之间。此外,能够实现功能性连接的一个或多个电路(例如逻辑电路(反相器、NAND 电路、NOR 电路等等)、信号转换器电路(DA 转换器电路、AD 转换器电路、伽马修正电路等等)、电位电平转换器电路(诸如升压器电路和降压电路的电源电路、其改变 H 信号或 L 信号的电位电平的电平移位器电路,等等)、电压源、电流源、开关电路、放大器电路(可以增加信号幅度、电流量等等的电路,诸如运算放大器、差分放大器电路、源极跟随器电路、缓冲器电路等等)、信号发生电路、存储器电路、控制电路等等)可以设置在特定部分之间。或者,元件可以被直接连接而无需在其之间插入其他元件或电路。

[0024] 应当注意的是,当元件被连接而在其之间没有插入其他元件或电路时,将描述为直接连接。“被电连接”的描述包括了电连接(即,另一元件插入在其之间)、功能性连接

(即,另一电路插入在其之间)、和直接连接(即,没有其他元件或电路插入在其之间)。

[0025] 应当注意的是,显示元件、显示器件、发光元件和发光器件可以具有各种模式或元件。例如,作为显示元件、显示器件、发光元件和发光器件,可以使用通过电磁效应改变对比度的显示介质,诸如 EL 元件(有机 EL 元件、无机 EL 元件、或包含有机物质和无机物质的 EL 元件)、电子放电元件、液晶元件、电子墨水、光栅光阀(GLV)、等离子体显示器(PDP)、数字微镜器件(DMD)、压电陶瓷显示器、和碳纳米管。应当注意的是,使用 EL 元件的显示器件包括 EL 显示器,使用电子放电元件的显示器件包括场发射显示器(FED)、SED 型平面显示器(表面传导电子发射显示器)等等,使用液晶元件的显示器件包括液晶显示器、透射型液晶显示器、半透射型液晶显示器、以及反射型液晶显示器,使用电子墨水的显示器包括电子纸。

[0026] 应当注意的是,各种模式的晶体管可以应用于本发明的晶体管。因此,任意类型的晶体管可以应用于本发明而没有限制。因此,例如,可以使用具有以非晶硅、多晶硅等等为代表的非单晶半导体膜的薄膜晶体管(TFT)。结果,晶体管甚至可以在低制造温度下、以低成本、在大型衬底或透明衬底上制造,或者可以透射光。此外,可以使用利用半导体衬底或 SOI 衬底形成的 MOS 晶体管、结型晶体管、双极型晶体管等等。利用这些晶体,可以形成具有较小变化的晶体管、具有高电流提供能力的晶体管、具有小型尺寸的晶体管、或具有较小功耗的电路。此外,可以使用包含诸如 ZnO、a-InGaZnO、SiGe 和 GaAs 的化合物半导体的晶体管,其薄膜晶体管。结果,可以在低制造温度下、在室温下、或者直接在诸如塑料衬底或膜衬底的低热阻衬底上制造晶体管。

[0027] 进一步地,可以使用通过喷墨方法或印刷方法形成的晶体管等。结果,可以在室温下、在低真空度中、或者在大型衬底上制造晶体管。由于不要求制造晶体管的掩模(划线板),因此可以容易地改变晶体管的布局。此外,可以使用具有有机半导体或碳纳米管的晶体管或其他晶体管。结果,可以在柔性衬底上形成晶体管。

[0028] 应当注意的是,氢或卤素可以包含在非晶半导体膜中。此外,作为在其上设置晶体管的衬底,可以使用各种类型的衬底而限于特定类型。因此,例如可以使用单晶衬底、SOI 衬底、玻璃衬底、石英衬底、塑料衬底、纸衬底、玻璃纸衬底、石头衬底、不锈钢衬底、由不锈钢箔形成的衬底等等。或者,晶体管可以形成在特定衬底上,然后转移到另一衬底上。通过使用这些衬底,可以形成具有令人满意的特性的晶体管、具有较小功耗的晶体管、不易于断裂的晶体管、或具有高热阻的晶体管。

[0029] 应当注意的是,晶体管可以具有各种模式而限于特定的类型。例如,可以使用具有两个或多个栅电极的多栅极结构。借助多栅极结构,沟道区被串联连接,其和串联连接的多个晶体管是相同的。结果,可以减小截止电流,通过提高晶体管的耐受电压可以改进可靠性,或者可以获得平坦特性,其中即使当漏源电压在饱和区的工作中发生改变时,漏源电流也不会改变很多。栅电极可以设置在沟道上方和下方。在这种结构中,由于易于形成耗尽层,增加了沟道区,其可以增加电流值或改进 S 值。当栅电极在沟道上方和下方形成时,该结构和并联连接的多个晶体管是相同的。

[0030] 或者,栅电极可以设置在沟道上方或下方。可以使用正向交错结构或反向交错结构,或者沟道区可以被分成多个并联连接或串联连接的区域。此外,源电极或漏电极可以与沟道(或其部分)交迭。在这种结构中,可以防止由于在沟道的一部分中积累的电荷而

引起的不稳定操作。此外,还可以提供 LDD 区。在这种结构中,可以减小截止电流,通过提高晶体管的耐受电压可以改进可靠性,或者可以获得平坦特性,其中即使当漏源电压在饱和区的工作中发生改变时,漏源电流也不会改变很多。

[0031] 应当注意的是,作为本发明的晶体管,可以使用各种类型的晶体管,并且晶体管可以形成在各种衬底上。因此,整个电路可以形成在玻璃衬底、塑料衬底、单晶衬底、SOI 衬底或任意衬底上。在这种结构中,通过减小部件的数目可以减小成本,或者通过减小与电路部件的连接数目可以改进可靠性。或者,一部分电路可以形成在特定衬底上,而其另一部分形成在另一衬底上。这就是说,整个电路不需要形成在同一衬底上。例如,一部分电路可以使用晶体管形成在玻璃衬底上,而其另一部分可以形成在单晶衬底上,由此以这种方式形成的 IC 芯片可以通过将要连接的 COG(玻璃上芯片)设置在玻璃衬底上。作为另外的选择,IC 芯片可以通过使用 TAB(自动载带接合)连接到玻璃衬底或印刷的衬底。以这种方式,当一部分电路形成在同一衬底上时,通过减小部件的数目可以减小成本,或者通过减小与电路部件的连接数目可以改进可靠性。此外,趋于消耗更多功率的具有高驱动电压的部分或具有高驱动频率的部分最好不形成在同一衬底上,以防止功耗增加。

[0032] 在本发明中应当注意的是,一个像素对应于一个元件以便控制亮度。例如,一个像素表示通过其表示亮度的一种颜色元素。因此,此时,在由 R(红)、G(绿)和 B(蓝)的颜色元素形成的彩色显示器件的情况中,图像的最小单位由 R 像素、G 像素和 B 像素的三个像素形成。

[0033] 应当注意的是,颜色元素不限于三种颜色,也可以使用三种或更多的颜色,或 RGB 以外的其他颜色。例如,通过增加白色,可以利用 RGBW(W 对应于白色)。或者,例如可以附加地利用黄色、青色、品红色、鲜绿色、朱红色等等中的一种或多种。此外,例如可以附加地利用与 RGB 中的至少一种相类似的顏色。例如,可以利用 R、G、B1 和 B2。B1 和 B2 都是具有略微不同频率的蓝色。采用这种颜色元素,可以进行更接近于原始目标的显示,或者可以减小功率消耗。

[0034] 作为另一个示例,在通过使用多个区域来控制一种颜色元素的亮度的情况下,该多个区域中的一个对应于一个像素。因此,例如,在区域灰度等级显示的情况下,用来控制亮度的多个区域被设置用于一种颜色元素以表示灰度等级,其中用于控制亮度的多个区域中的一个对应于一个像素。因此,在该情况下,一种颜色元素由多个像素形成。在该情况下,对于显示有贡献的区域可以对于每个像素在一些情况下具有不同的大小。此外,在用于控制一种颜色元素的亮度的多个区域中,即构成一种颜色元素的多个像素,提供给每个像素的信号可以设定得略微不同以便扩大视角。

[0035] 应当注意的是,“一个像素(三种颜色)”的描述对应于由 R、G 和 B 三个像素形成的一个像素。“一个像素(一种颜色)”的描述对应于由一种颜色元素的多个像素形成的一个像素。

[0036] 应当注意的是,本发明包括了其中像素排列(对准)成矩阵的情况。这里,像素的矩阵排列(对准)包括了其中像素在垂直或水平方向上线形排列的情况,或者其中像素排列成 Z 字形的情况。因此,在通过三种颜色分量(例如,R、G 和 B)进行全色显示的情况下,包括了三种颜色分量的点的条形排列或三角形排列。此外,也包括了 Bayer 排列。应当注意的是,颜色分量不限于三种颜色,可以利用三种或更多的颜色。例如,可以利用具有黄色、

青色、品红色等等中的一种或多种的 RGB 或 RGBW(W 对应于白色)。此外,显示区域的大小可以在颜色分量的每个点中是不同的。因此,可以减小功率消耗或可以延长显示元件的寿命。

[0037] 应当注意的是,晶体管是具有包括栅极、漏极和源极的至少三端的元件。沟道区设置在漏区和源区之间。电流可以流经漏区、沟道区和源区。这里,源极和漏极根据晶体管的结构或工作条件等等而改变;因此,难于确定哪个是源极或漏极。在本发明中,用作源极和漏极的区域可以不被称为源极和漏极。在该情况下,例如,该区域可以被称为第一端和第二端。

[0038] 应当注意的是,晶体管可以是包括基极、发射极和集电极的至少三端的元件。在这种情况下同样可以将发射极和集电极称为第一端和第二端。

[0039] 应当注意的是,栅极包括栅电极和栅极布线(也被称为栅极线、栅极信号线等等)或其一部分。栅电极对应于与形成沟道区、LDD(轻掺杂漏)区等等的半导体相重叠的部分中的导电膜,并且在其之间插有栅绝缘膜。栅极布线对应于在像素的栅电极之间或者在栅电极和另一布线之间连接的布线。

[0040] 然而,存在有用作栅电极和栅极布线的部分。这种区域可以被称为栅电极或栅极布线。即,存在有不能被清楚地辨别作为栅电极或栅极布线的区域。例如,当沟道区与延伸的栅极布线相重叠时,该沟道区用作栅极布线也用作栅电极。因此,这种区域可以被称为栅电极或栅极布线。

[0041] 此外,由和栅电极相同的材料形成并连接到栅电极的区域也可以被称为栅电极。类似地,由和栅极布线相同的材料形成并连接到栅极布线的区域也可以被称为栅极布线。这种区域精确地来说可能不与沟道区重叠,或者可能不具有连接到另一栅电极的功能。然而,由于制造余量等等,因而存在由和栅电极或栅极布线相同的材料形成并连接到栅电极或栅极布线的区域。因此,这种区域可以被称为栅电极或栅极布线。

[0042] 例如,在多栅晶体管中,一个晶体管的栅电极和另一晶体管的栅电极通常借助由和栅电极相同的材料形成的导电膜而连接。这种区域是在栅电极之间连接的区域;因此,它可以被称为栅极布线。然而,由于多栅晶体管可以被认为是一个晶体管,这种区域也可以被称为是栅电极。即,由和栅电极或栅极布线相同的材料形成并与其连接的区域可以被称为栅电极或栅极布线。

[0043] 此外,例如,在栅电极和栅极布线之间连接的部分中的导电膜也可以被称为栅电极或栅极布线。

[0044] 应当注意的是,栅极端对应于栅电极的区域或电连接到栅电极的区域的一部分。

[0045] 应当注意的是,源极包括源区、源电极和源极布线(也被称为源极线、源极信号线等等)或其一部分。源区对应于包含大量 p 型杂质(硼、镓等等)或 n 型杂质(磷、砷等等)的半导体区。因此,包含少量 p 型杂质或 n 型杂质的区域,即 LDD(轻掺杂漏)区不包括在源区中。源电极对应于由和源区不同的材料形成并电连接到源区的部分中的导电层。然而,包括源区的源电极有时被称为源电极。源极布线对应于在像素的源电极之间或源电极和另一布线之间连接的布线。

[0046] 然而,存在有用作源电极并也用作源极布线的部分。这种区域可以被称为源电极或源极布线。即,存在有不能被清楚地辨别作为源电极或源极布线的区域。例如,当源区与延伸的源极布线相重叠时,该源区用作源极布线也用作源电极。因此,这种区域可以被称为

源电极或源极布线。

[0047] 此外,由和源电极相同的材料形成并连接到源电极的部分、或者连接在源电极之间的部分也可以被称为源电极。此外,与源区重叠的部分也被称为源电极。类似地,由和源极布线相同的材料形成并连接到源极布线的区域也可以被称为源极布线。这种区域精确地来说可能不具有连接到另一源电极的功能。然而,由于制造余量等等,因而存在由和源电极或源极布线相同的材料形成并连接到源电极或源极布线的区域。因此,这种区域可以被称为源电极或源极布线。

[0048] 此外,例如,在源电极和源极布线之间连接的部分中的导电膜也可以被称为源电极或源极布线。

[0049] 应当注意的是,源极端对应于源区、源电极或电连接到源电极的区域的一部分。

[0050] 注意类似于源极的描述可以应用于漏极。

[0051] 应当注意的是,在本发明中,半导体器件对应于包括具有半导体元件(晶体管、二极管等等)的电路的器件,或者能够通过利用半导体特性发挥作用的一般器件。

[0052] 此外,显示器件对应于包括显示元件(液晶元件、发光元件等等)的器件。

[0053] 应当注意的是,显示器件也可以对应于由多个像素构成的显示面板的主体,该多个像素均具有诸如液晶元件或 EL 元件的显示元件或驱动像素的外围驱动电路,其形成在同一衬底上。此外,显示器件可以包括通过引线接合、凸块等等设置在衬底上的外围驱动电路,即玻璃上芯片(COG)。此外,显示器件还可以包括柔性印刷电路(FPC)或印刷线路板(PWB)附着于其上的部件(IC、电阻器、电容器、电感器、晶体管等等)。此外,还可以包括光学板,如偏振片、相位改变片等。此外,可以包括背光单元(可以包括导电片、棱镜板、扩展板、反射板、光源(LED、冷阴极管等等))。

[0054] 此外,发光器件尤其对应于包括诸如 EL 元件或用于 FED 的元件的自发光型显示元件的显示器件。液晶显示器件对应于包括液晶元件的显示器件。

[0055] 应当注意的是,在本发明中,“形成在特定物体上方”或“形成在特定物体上”的描述中的“在……上方”或“在……上”的描述并不限于与该特定物体直接接触。这些描述包括了其中物体不彼此直接接触的情况,即另一部件夹在其之间的情况。因此,例如,“层 B 形成在层 A 上方(或在层 A 上)”的描述包括了其中层 B 直接接触地形成在层 A 上的情况,以及另一层(例如层 C、D 等等)直接接触地形成在层 A 上并且层 B 直接接触地形成在其上的情况。此外,对于“在……之上”的描述也是类似的,其并不限于直接接触地位于特定物体上的情况,而是也包括另一物体夹在其之间的情况。因此,例如,“层 B 形成在层 A 之上”的描述包括了其中层 B 直接接触地形成在层 A 上的情况,以及另一层(例如层 C、D 等等)直接接触地形成在层 A 上并且层 B 直接接触地形成在其上的情况。应当注意对于“在……下”或“在……下方”的描述也是类似的,其包括了部件直接接触的情况和它们不直接接触的情况。

[0056] 在本发明中,可以通过获得驱动晶体管的阈值电压同时在视频信号的写入周期中写入视频信号而缩短写入周期。因此,每像素的写入周期可以设置得更长,由此可以更精确地写入视频信号,并且可以提供具有更高图像质量的有机 EL 显示器。此外,由于视频信号可以在同一写入周期中被写入到更多的像素,因此可以提供大型 EL 显示器和具有更高分辨率的 EL 显示器。

附图说明

- [0057] 图 1 是示出实施例模式 1 的示意图。
- [0058] 图 2 是示出实施例模式 1 的示意图。
- [0059] 图 3 是示出实施例模式 1 和 2 的示意图。
- [0060] 图 4 是示出实施例模式 1 和 2 的示意图。
- [0061] 图 5 是示出实施例模式 2 的示意图。
- [0062] 图 6 是示出实施例模式 2 的示意图。
- [0063] 图 7 是示出实施例模式 3 的示意图。
- [0064] 图 8 是示出实施例模式 3 的示意图。
- [0065] 图 9 是示出实施例模式 3 和 4 的示意图。
- [0066] 图 10 是示出实施例模式 3 和 4 的示意图。
- [0067] 图 11 是示出实施例模式 4 的示意图。
- [0068] 图 12 是示出实施例模式 4 的示意图。
- [0069] 图 13 是示出实施例模式 5 的示意图。
- [0070] 图 14 是示出实施例模式 5 的示意图。
- [0071] 图 15 是示出实施例模式 5 和 6 的示意图。
- [0072] 图 16 是示出实施例模式 5 和 6 的示意图。
- [0073] 图 17 是示出实施例模式 6 的示意图。
- [0074] 图 18 是示出实施例模式 6 的示意图。
- [0075] 图 19 是示出实施例模式 7 的示意图。
- [0076] 图 20 是示出实施例模式 7 的示意图。
- [0077] 图 21 是示出实施例模式 7 和 8 的示意图。
- [0078] 图 22 是示出实施例模式 7 和 8 的示意图。
- [0079] 图 23 是示出实施例模式 8 的示意图。
- [0080] 图 24A 和 24B 是示出实施例 1 的示意图。
- [0081] 图 25A 至 25C 是示出实施例 5 的示意图。
- [0082] 图 26 是示出实施例 6 的示意图。
- [0083] 图 27A 至 27D 是示出实施例 7 的示意图。
- [0084] 图 28A 和 28B 是示出实施例 2 的示意图。
- [0085] 图 29A 和 29B 是示出实施例 2 的示意图。
- [0086] 图 30A 和 30B 是示出实施例 2 的示意图。
- [0087] 图 31A 至 31C 是示出实施例 3 的示意图。
- [0088] 图 32A-1 至 32D-2 是示出实施例 3 的示意图。
- [0089] 图 33A-1 至 33C-2 是示出实施例 3 的示意图。
- [0090] 图 34A-1 至 34D-2 是示出实施例 3 的示意图。
- [0091] 图 35A-1 至 35D-2 是示出实施例 3 的示意图。
- [0092] 图 36A-1 至 36D-2 是示出实施例 3 的示意图。
- [0093] 图 37A-1 和 37B-2 是示出实施例 3 的示意图。

- [0094] 图 38A 和 38B 是示出实施例 5 的示意图。
- [0095] 图 39A 和 39B 是示出实施例 5 的示意图。
- [0096] 图 40A 和 40B 是示出实施例 5 的示意图。
- [0097] 图 41 是示出实施例 8 的示意图。
- [0098] 图 42 是示出实施例 9 的示意图。
- [0099] 图 43 是示出实施例 9 的示意图。
- [0100] 图 44 是示出实施例 9 的示意图。
- [0101] 图 45 是示出实施例 9 的示意图。
- [0102] 图 46 是示出实施例 8 的示意图。
- [0103] 图 47A 和 47B 是示出实施例 8 的示意图。
- [0104] 图 48 是示出实施例 8 的示意图。
- [0105] 图 49 是示出实施例 8 的示意图。
- [0106] 图 50 是示出实施例 8 的示意图。
- [0107] 图 51A 和 51B 是示出实施例 8 的示意图。

具体实施方式

[0108] 尽管将借助实施例模式和实施例并参考附图对本发明进行完整的描述,然而应当理解,各种变化和修改对于本领域技术人员来说都是显而易见的。因此,除非这种变化和修改偏离了本发明的范围,否则都应将其解释为包含在本发明中。

[0109] 【实施例模式 1】

[0110] 在该实施例模式中,参考图 1 描述了一种显示器件的结构,该显示器件包括用于写入视频信号并用于控制提供给 EL 元件的电流的晶体管,以及用于获得阈值电压以便缩短每个像素的写入时间的晶体管。

[0111] 在图 1 中,第一晶体管 100 是工作在饱和区并通过其栅源电压控制流 EL 元件 109 的电流值的晶体管。第二晶体管 101 是具有与第一晶体管 100 类似特性的晶体管,诸如阈值电压和迁移率,并且与第一晶体管 100 耦合。第一开关 102、第二开关 103、第三开关 104、第四开关 105 和第五开关 106 中的每一个具有两端和控制端。它们是通过控制端来控制两端之间的导通(开启)或非导通(关断)的开关元件。第一电容器 107 具有一对电极,并且保持第一晶体管 100 的栅源电压。第二电容器 108 具有一对电极,并且保持第二晶体管 101 的栅源电压。EL 元件 109 是具有一对电极的 EL 元件,其亮度与电流值成比例地被确定。电源线 110 对于一行或一列是共用的,以便为像素提供电压。反向电极 111 作为 EL 元件 109 的另一电极对于所有像素是共用的,以便为像素提供电压。源极信号线 112 对于一行或一列是共用的,以便为像素传输电流信号作为视频信号。

[0112] 下面描述图 1 中的连接关系。电源线 110 连接到第一晶体管 100 的第一端、第二晶体管 101 的第一端、第一电容器 107 的一个电极、以及第二电容器 108 的一个电极。第一电容器 107 的另一个电极连接到第一晶体管 100 的栅极,第二电容器 108 的另一个电极连接到第二晶体管 101 的栅极。第一电容器 107 的另一个电极和第一晶体管 100 的栅极经过第四开关 105 连接到第二电容器 108 的另一个电极和第二晶体管 101 的栅极。第一晶体管 100 的第二端经过第二开关 103 连接到第一晶体管 100 的栅极、经过第一开关 102 连接到源

极信号线 112、并且经过第五开关 106 连接到 EL 元件 109 的一个电极。第二晶体管 101 的第二端经过第三开关 104 连接到第二晶体管 101 的栅极。

[0113] 这里,第一电容器 107 的一个电极和第二电容器 108 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一开关 102 的控制端,或者可以附加地提供另一参考线以便连接。第一开关 102、第二开关 103、第三开关 104、第四开关 105 和第五开关 106 可以设置在任何位置,只要图 1 所示的电路图在图 2 的周期 T1 中与图 3 等效,并且在图 2 的周期 T2 中与图 4 等效即可。也可以增加开关的数目。此外,图 3 是在周期 T1 中如图 1 所示的像素电路的等效电路,而图 4 是在周期 T2 中如图 1 所示的像素电路的等效电路。

[0114] 参考图 2 所示的时序图来描述图 1 所示的像素电路的工作。描述在周期 T1 中的工作。在周期 T1 中,第二开关 103 导通,由此第一晶体管 100 连接成二极管,第三开关 104 导通,由此第二晶体管 101 连接成二极管。第四开关 105 关断,由此第一晶体管 100 和第二晶体管 101 电断开。第五开关 106 关断,由此阻挡了提供给 EL 元件 109 的电流供应。第一开关 102 导通,并且通过来自源极信号线 112 的电流输入的视频信号流向第一晶体管 100。第一电容器 107 保持第一晶体管 100 的栅源电压,使得视频信号的电流流经第一晶体管 100。第二电容器 108 保持栅源电压,其使得没有电流流向第二晶体管 101。即,由于第二晶体管 101 的阈值电压被保持,并且第一晶体管 100 的诸如阈值电压的特性和第二晶体管 101 的那些特性(阈值电压、迁移率等等)彼此相类似,因此第二电容器 108 保持了与第一晶体管 100 的阈值电压几乎相等的电压。此时,输入作为视频信号的 I_{data} 由公式 (1) 表示,在第一电容器 107 中保持的电压由公式 (2) 表示。

[0115] [公式 1]
$$I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (1)$$

[0116] [公式 2]
$$V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (2)$$

[0117] 在公式 (1) 和 (2) 中, I_{data} 是流经源极信号线 112 的视频信号的电流值,其在周期 T1 中被输入到像素。 β 是包含诸如第一晶体管 100 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。 $V_{gs}(T1)$ 是第一晶体管 100 的栅源电压。 V_{th} 是第一晶体管 100 的阈值电压以及第二晶体管 101 的阈值电压,这是由于第一晶体管 100 和第二晶体管 101 是成对的。

[0118] 下面描述在周期 T2 中的工作。在周期 T2 中,第二开关 103 关断,由此第一晶体管 100 没有连接成二极管。第三开关 104 关断,由此第二晶体管 101 没有连接成二极管。第四开关 105 导通,由此第一电容器 107 和第二电容器 108 连接。在电容器中保持的电压通过容性耦合被划分。第五开关 106 导通,并且将与第一晶体管 100 的栅源电压相对应的电流提供给 EL 元件 109。第一开关 102 关断,并且阻挡了来自第一源极信号线 112 的视频信号。此时,第一晶体管 100 的栅极电压由公式 (3) 表示,提供给 EL 元件 109 的电流值由公式 (4) 表示。

[0119] [公式 3]
$$V_{gs}(T2) = \left(\frac{C_{107}}{C_{107} + C_{108}} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (3)$$

[0120] [公式 4]
$$I_{oled} = \left(\frac{C_{107}}{C_{107} + C_{108}} \right)^2 I_{data} \quad (4)$$

[0121] 在公式 (3) 和 (4) 中, I_{data} 、 β 、 V_{th} 和 $V_{gs}(T1)$ 与周期 T1 中的相类似。 I_{oled} 是在周期 T2 中提供给 EL 元件 109 的电流值。即, I_{oled} 等于流经第一晶体管 100 的电流, 这是由于在周期 T2 中电压保持在第一晶体管 100 的栅极和源极之间。 C_{107} 是第一电容器 107 的电容, 包括第一晶体管 100 的栅极电容。 C_{108} 是第二电容器 108 的电容, 包括第二晶体管 101 的栅极电容。

[0122] 在上述公式 (4) 中, 通过 I_{data} 乘以 $[C_{107}/(C_{107}+C_{108})]$ 的平方获得的电流可以提供给 EL 元件 109。此外, 在周期 T2 中, 只要第一晶体管 100 的特性 (阈值电压、迁移率等等) 和第二晶体管 101 的特性 (阈值电压、迁移率等等) 彼此相类似, 即使当其他像素之间的特性发生变化时, 如果是相同的视频电压, 则提供给 EL 元件 109 的电流值也不会变化。

[0123] 以这种方式, 可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件, 同时补偿驱动晶体管特性的变化。因此, 即使当表示低灰度等级时也可以输入一定程度的大电流, 代替输入微量电流作为视频信号。结果, 可以增大为源极信号线等的寄生电容充电的速度。由于在周期 T1 中获得了阈值电压并且同时写入了视频信号, 因此可以缩短每个像素的写入时间。

[0124] 在该实施例模式中, 由于第二开关 103 和第三开关 104 以相同的时序被导通或关断, 因此它们可以具有公共的控制端。在这种结构中, 可以减小将要输入到像素的信号数目或布线的数目。因此, 可以简化控制像素的驱动电路, 并且可以实现高孔径比。

[0125] 第一晶体管 100 的沟道宽度、沟道长度等优选大于第二晶体管 101 的那些。仅要求第一晶体管 100 的特性与第二晶体管 101 的那些特性 (阈值电压、迁移率等等) 相类似, 因此, 可以通过使第二晶体管 101 的沟道宽度更窄并且使第二晶体管 101 的沟道长度更短, 来实现更高的孔径比。

[0126] 下面描述在本实施例中使用的开关元件的种类。在本发明中, 开关元件可以是电开关或机械开关, 只要它能够控制电流流动即可。也可以使用二极管或其中组合了二极管和晶体管的逻辑电路。

[0127] 此外, 可应用于本发明的晶体管的种类不受限制。可以使用利用以非晶硅或多晶硅为代表的非单晶半导体膜的晶体管、MOS 晶体管、结型晶体管、或使用半导体衬底或 SOI 衬底形成的双极型晶体管, 使用有机半导体或碳纳米管的晶体管, 或其他晶体管。此外, 在其上形成晶体管的衬底种类不受限制, 可以自由地使用单晶衬底、SOI 衬底、石英衬底、玻璃衬底、树脂衬底等等。

[0128] 晶体管的极性 (导电类型) 可以是 n 沟道型或 p 沟道型, 这是因为晶体管仅作为开关元件工作。应当注意的是, 在需要截止电流很小的情况中, 期望使用具有较小截止电流的晶体管。作为这种晶体管, 存在有在沟道形成区和源或漏区之间设置了这样的区域的晶体管, 即, 以低浓度对该区域添加赋予导电类型的杂质元素 (称为 LDD 区)。

[0129] 此外, 在晶体管以源极电位接近于低电位侧电源进行工作的情况中, 期望该晶体管是 n 沟道晶体管。另一方面, 在晶体管以源极电位接近于高电位侧电源进行工作的情况中, 期望该晶体管是 p 沟道晶体管。采用这种结构, 晶体管的栅源电压的绝对值可以设定得更大, 由此晶体管可以易于作为开关工作。注意, CMOS 开关元件可以通过一起使用 n 沟道

晶体管和 p 沟道晶体管来形成。

[0130] 【实施例模式 2】

[0131] 在实施例模式 1 中,晶体管可以用作开关元件。该实施例模式参考图 5 描述了其中将 p 沟道晶体管用作开关元件的结构。

[0132] 在图 5 中,第一晶体管 100、第二晶体管 101、第一电容器 107、第二电容器 108、EL 元件 109、电源线 110、反向电极 111 和源极信号线 112 类似于实施例模式 1 中的那些。第三晶体管 502、第四晶体管 503、第五晶体管 504、第六晶体管 505、第七晶体管 506 均具有作为开关元件的功能,并且工作在线性区。第三晶体管 502、第四晶体管 503、第五晶体管 504、第六晶体管 505 和第七晶体管 506 通过分别来自第一栅极信号线 512、第二栅极信号线 513、第三栅极信号线 514、第四栅极信号线 515 和第五栅极信号线 516 的数字信号进行控制,当数字信号为高时它们被关断,而当数字信号为低时它们导通。使将要输入的晶体管的栅源电压高于其阈值电压的信号电压被称为高,而使将要输入的晶体管的栅源电压低于其阈值电压的信号电压被称为低。

[0133] 下面描述图 5 的连接关系。电源线 110 连接到第一晶体管 100 的第一端、第二晶体管 101 的第一端、第一电容器 107 的一个电极、以及第二电容器 108 的一个电极。第一电容器 107 的另一个电极连接到第一晶体管 100 的栅极,而第二电容器 108 的另一个电极连接到第二晶体管 101 的栅极。第一晶体管 100 的另一个电极和第一晶体管 100 的栅极连接到第六晶体管 505 的第一端,而第二晶体管 101 的另一个电极和第二晶体管 101 的栅极连接到第六晶体管 505 的第二端。第一晶体管 100 的第二端连接到第四晶体管 503 的第一端,而第四晶体管 503 的第二端连接到第一晶体管 100 的栅极。第一晶体管 100 的第二端连接到第三晶体管 502 的第一端,而第三晶体管 502 的第二端连接到源极信号线 112。第一晶体管 100 的第二端连接到第七晶体管 506 的第一端,而第七晶体管 506 的第二端连接到 EL 元件 109 的一个电极。第二晶体管 101 的第二端连接到第五晶体管 504 的第一端,而第五晶体管 504 的第二端连接到第二晶体管 101 的栅极。

[0134] 这里,与实施例模式 1 相类似,第一电容器 107 的一个电极和第二电容器 108 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一栅极信号线 512,或者可以附加地提供另一参考线以便连接。第三晶体管 502、第四晶体管 503、第五晶体管 504、第六晶体管 505 和第七晶体管 506 可以设置在任何位置,只要图 5 所示的电路图在图 6 的周期 T1 中与图 3 等效,并且在图 6 的周期 T2 中与图 4 等效即可。也可以增加晶体管的数目。此外,图 3 是在周期 T1 中如图 5 所示的像素电路的等效电路,而图 4 是在周期 T2 中如图 5 所示的像素电路的等效电路。

[0135] 参考图 6 所示的时序图来描述图 5 所示的像素电路的工作。描述在周期 T1 中的工作。在周期 T1 中,第四晶体管 503 导通,由此第一晶体管 100 连接成二极管,第五晶体管 504 导通,由此第二晶体管 101 连接成二极管。第六晶体管 505 关断,由此第一晶体管 100 和第二晶体管 101 电断开。第七晶体管 506 关断,由此阻挡了提供给 EL 元件 109 的电流供应。第三晶体管 502 导通,并且通过来自源极信号线 112 的电流输入的视频信号流向第一晶体管 100。第一电容器 107 保持第一晶体管 100 的栅源电压,使得视频信号的电流流经第一晶体管 100。第二电容器 108 保持栅源电压,其使得没有电流流向第二晶体管 101。即,由于第二晶体管 101 的阈值电压被保持,并且第一晶体管 100 的特性(阈值电压、迁移率等

等)和第二晶体管 101 的那些特性彼此相类似。因此,第一电容器 107 保持了与第一晶体管 100 的阈值电压几乎相等的电压。此时,输入作为视频信号的 I_{data} 由公式 (1) 表示,在第一电容器 107 中保持的电压由公式 (2) 表示,类似于实施例模式 1。

[0136] 在公式 (1) 和 (2) 中, I_{data} 是流经源极信号线 112 的视频信号的电流值,其在周期 T_1 中被输入到像素。 β 是包含诸如第一晶体管 100 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。 $V_{gs}(T_1)$ 是第一晶体管 100 的栅源电压。 V_{th} 是第一晶体管 100 的阈值电压以及第二晶体管 101 的阈值电压,这是由于第一晶体管 100 和第二晶体管 101 是成对的。

[0137] 下面描述在周期 T_2 中的工作。在周期 T_2 中,第四晶体管 503 关断,由此第一晶体管 100 没有连接成二极管。第五晶体管 504 关断,由此第二晶体管 101 没有连接成二极管。第六晶体管 505 导通,由此第一电容器 107 和第二电容器 108 连接。在电容器中保持的电压通过容性耦合被划分。第七晶体管 506 导通,并且将与第一晶体管 100 的栅源电压相对应的电流提供给 EL 元件 109。第三开关 502 关断,并且阻挡了来自源极信号线 112 的视频信号。此时,第一晶体管 100 的栅极电压由公式 (3) 表示,提供给 EL 元件 109 的电流值由公式 (4) 表示。

[0138] 在公式 (3) 和 (4) 中, I_{data} 、 β 、 V_{th} 和 $V_{gs}(T_1)$ 与周期 T_1 中的相类似。 I_{oled} 是在周期 T_2 中提供给 EL 元件 109 的电流值。即, I_{oled} 等于流经第一晶体管 100 的电流,这是由于在周期 T_2 中电压保持在第一晶体管 100 的栅极和源极之间。 C_{107} 是第一电容器 107 的电容,包括第一晶体管 100 的栅极电容。 C_{108} 是第二电容器 108 的电容,包括第二晶体管 101 的栅极电容。

[0139] 在上述公式 (4) 中,通过 I_{data} 乘以 $[C_{107}/(C_{107}+C_{108})]$ 的平方获得的电流可以提供给 EL 元件 109。此外,在周期 T_2 中,只要第一晶体管 100 的特性(阈值电压、迁移率等等)和第二晶体管 101 的特性(阈值电压、迁移率等等)彼此相类似,即使当其他像素之间的特性发生变化时,如果是相同的视频电压,则提供给 EL 元件 109 的电流值也不会变化。

[0140] 以这种方式,可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件,同时补偿驱动晶体管特性的变化。因此,即使当表示低灰度等级时也可以输入一定程度的大电流,代替输入微量电流作为视频信号。结果,可以增大为源极信号线等的寄生电容充电的速度。由于在周期 T_1 中获得了阈值电压并且同时写入了视频信号,因此可以缩短每个像素的写入时间。

[0141] 通过对于所有开关元件使用 p 沟道晶体管,无需 n 沟道晶体管的掺杂步骤。因此,可以简化并廉价地进行制造步骤。

[0142] 在该实施例模式中,由于公共信号流经第二栅极信号线 513 和第三栅极信号线 514,因此可以共用第二栅极信号线 513 和第三栅极信号线 514。通过共用栅极信号线,可以减小输入到像素的信号数目和布线数目。因此,可以简化控制像素的驱动电路并可以实现高孔径比。

[0143] 第一晶体管 100 的沟道宽度、沟道长度等优选大于第二晶体管 101 的那些。仅要求第一晶体管 100 的特性与第二晶体管 101 的那些特性(阈值电压、迁移率等等)相类似,因此,可以通过使第二晶体管 101 的沟道宽度更窄并且使第二晶体管 101 的沟道长度更短,来实现更高的孔径比。

[0144] 尽管这里使用 p 沟道晶体管作为开关元件,但也可以使用 n 沟道晶体管。在该情况中,使输入到作为开关元件工作的晶体管的栅极的信号反相。

[0145] 【实施例模式 3】

[0146] 该实施例模式参考图 7 描述了一种显示器件的结构,其用于通过使用获得阈值电压的晶体管来控制提供给 EL 元件的电流,以便防止由于到其中一个晶体管的电流集中而导致的晶体管的特性退化。

[0147] 在图 7 中,第一晶体管 700 是驱动晶体管,其工作在饱和区中并通过栅源电压控制提供给 EL 元件 709 的电流。第二晶体管 701 具有类似于第一晶体管 700 的诸如阈值电压和迁移率的特性,并且与第一晶体管 700 配对。第一开关 702、第二开关 703、第三开关 704、第四开关 705 和第五开关 706 是每一个都具有两端和控制端的开关元件,其通过控制端来控制两端之间的导通(开启)或非导通(关断)。第一电容器 707 具有一对电极,并且保持第一晶体管 700 的栅源电压。第二电容器 708 具有一对电极,并且保持第二晶体管 701 的栅源电压。EL 元件 709 具有一对电极,其亮度与电流值成比例地被确定。电源线 710 对于一行或一列是共用的,以便为像素提供电压。反向电极 711 作为 EL 元件 709 的另一电极对于所有像素是共用的,以便为像素提供电压。源极信号线 712 对于一行或一列是共用的,以便为像素传输电流信号作为视频信号。

[0148] 下面描述图 7 中的连接关系。电源线 710 连接到第一晶体管 700 的第一端、第二晶体管 701 的第一端、第一电容器 707 的一个电极、以及第二电容器 708 的一个电极。第一电容器 707 的另一个电极连接到第一晶体管 700 的栅极,而第二电容器 708 的另一个电极连接到第二晶体管 701 的栅极。第一电容器 707 的另一个电极和第一晶体管 700 的栅极经过第四开关 705 连接到第二电容器 708 的另一个电极和第二晶体管 701 的栅极。第一晶体管 700 的第二端经过第二开关 703 连接到第一晶体管 700 的栅极,并且经过第五开关 706 连接到 EL 元件 709 的一个电极。第二晶体管 701 的第二端经过第三开关 704 连接到第二晶体管 701 的栅极,并且经过第一开关 702 连接到源极信号线 712。

[0149] 这里,第一电容器 707 的一个电极和第二电容器 708 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一开关 702 的控制端,或者可以附加地提供另一参考线以便连接。第一开关 702、第二开关 703、第三开关 704、第四开关 705 和第五开关 706 可以设置在任何位置,只要图 7 所示的电路图在图 8 的周期 T1 中与图 9 等效,并且在图 8 的周期 T2 中与图 10 等效即可。也可以增加开关的数目。此外,图 9 是在周期 T1 中如图 7 所示的像素电路的等效电路,而图 10 是在周期 T2 中如图 7 所示的像素电路的等效电路。

[0150] 参考图 8 所示的时序图来描述图 7 所示的像素电路的工作。描述在周期 T1 中的工作。在周期 T1 中,第二开关 703 导通,由此第一晶体管 700 连接成二极管,第三开关 704 导通,由此第二晶体管 701 连接成二极管。第四开关 705 关断,由此第一晶体管 700 和第二晶体管 701 电断开。第五开关 706 关断,由此阻挡了提供给 EL 元件 709 的电流供应。第一开关 702 导通,并且通过来自源极信号线 712 的电流输入的视频信号流向第二晶体管 701。第二电容器 708 保持第二晶体管 701 的栅源电压,使得视频信号的电流流经第二晶体管 701。第一电容器 707 保持栅源电压,其使得没有电流流经第一晶体管 700。即,由于第一晶体管 700 的阈值电压被保持,第一晶体管 700 的特性(阈值电压、迁移率等等)和第二晶体管 701

的那些特性彼此相类似,第二电容器 708 保持了与第二晶体管 701 的阈值电压几乎相等的电压。此时,输入作为视频信号的 I_{data} 由公式 (5) 表示,在第二电容器 708 中保持的电压由公式 (6) 表示。

$$[0151] \quad [\text{公式 5}] \quad I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (5)$$

$$[0152] \quad [\text{公式 6}] \quad V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (6)$$

[0153] 在公式 (5) 和 (6) 中, I_{data} 是流经源极信号线 712 的视频信号的电流值,其在周期 $T1$ 中被输入到像素。 β 是包含诸如第二晶体管 701 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。 $V_{gs}(T1)$ 是第二晶体管 701 的栅源电压。 V_{th} 是第一晶体管 700 的阈值电压以及第二晶体管 701 的阈值电压,这是由于第一晶体管 700 和第二晶体管 701 是成对的。

[0154] 下面描述在周期 $T2$ 中的工作。在周期 $T2$ 中,第二开关 703 关断,由此第一晶体管 700 没有连接成二极管。第三开关 704 关断,由此第二晶体管 701 没有连接成二极管。第四开关 705 导通,由此第一电容器 707 和第二电容器 708 连接。在电容器中保持的电压通过容性耦合被划分。第五开关 706 导通,并且将与第一晶体管 700 的栅源电压相对应的电流提供给 EL 元件 709。第一开关 702 关断,并且阻挡了来自源极信号线 712 的视频信号。此时,第一晶体管 700 的栅极电压由公式 (7) 表示,提供给 EL 元件 709 的电流值由公式 (8) 表示。

$$[0155] \quad [\text{公式 7}] \quad V_{gs}(T2) = \left(\frac{C_{708}}{C_{707} + C_{708}} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (7)$$

$$[0156] \quad [\text{公式 8}] \quad I_{oled} = \left(\frac{C_{708}}{C_{707} + C_{708}} \right)^2 I_{data} \quad (8)$$

[0157] 在公式 (7) 和 (8) 中, I_{data} 、 β 、 V_{th} 和 $V_{gs}(T1)$ 与周期 $T1$ 中的相类似。 I_{oled} 是在周期 $T2$ 中提供给 EL 元件 709 的电流值。即, I_{oled} 等于流经第一晶体管 700 的电流,这是由于在周期 $T2$ 中电压保持在第一晶体管 700 的栅极和源极之间。 C_{707} 是第一电容器 707 的电容,包括第一晶体管 700 的栅极电容。 C_{708} 是第二电容器 708 的电容,包括第二晶体管 701 的栅极电容。

[0158] 在上述公式 (8) 中,通过 I_{data} 乘以 $[C_{708}/(C_{707}+C_{708})]$ 的平方获得的电流可以提供给 EL 元件 709。此外,在周期 $T2$ 中,只要第一晶体管 700 的特性(阈值电压、迁移率等等)和第二晶体管 701 的特性彼此相类似,即使当其他像素之间的特性发生变化时,如果是相同的视频信号,则提供给 EL 元件 709 的电流值也不会变化。

[0159] 以这种方式,可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件,同时补偿驱动晶体管特性的变化。因此,即使当表示低灰度等级时也可以输入一定程度的大电流,代替输入微量电流作为视频信号。结果,可以增大为源极信号线等的寄生电容充电的速度。由于在周期 $T1$ 中获得了阈值电压并且同时写入了视频信号,因此可以缩短每个像素的写入时间。

[0160] 通过提供第一晶体管 700 作为驱动晶体管并且提供第二晶体管 701 用于写入视频信号,可以防止电流持续流经任一晶体管。结果,可以防止第一晶体管 700 和第二晶体管

701 之间特性退化的差异很大,并且防止了特性彼此不同。以这种方式,可以提供具有高图像质量且像素间亮度具有较小差异的有机 EL 显示器。

[0161] 在该实施例模式中,由于第二开关 703 和第三开关 704 以相同的时序被导通或关断,因此它们可以具有公共控制端。在这种结构中,可以减小将要输入到像素的信号数目或布线的数目。因此,可以简化控制像素的驱动电路,并且可以实现高孔径比。

[0162] 第一晶体管 700 的沟道宽度、沟道长度等优选大于第二晶体管 701 的那些。仅要求第一晶体管 700 的特性(阈值电压、迁移率等等)与第二晶体管 701 的那些特性相类似,因此,可以通过使第二晶体管 701 的沟道宽度更窄并且使第二晶体管 701 的沟道长度更短,来实现更高的孔径比。

[0163] 在该实施例中描述的开关元件可以与实施例模式 1 中的描述的相类似。

[0164] **【实施例模式 4】**

[0165] 在实施例模式 3 中,晶体管可以用作开关元件。在该实施例模式中,参考图 11 描述其中 p 沟道晶体管用作开关元件的结构。

[0166] 在图 11 中,第一晶体管 700、第二晶体管 701、第一电容器 707、第二电容器 708、EL 元件 709、电源线 710、反向电极 711 和源极信号线 712 类似于实施例模式 3 中的那些。第三晶体管 1102、第四晶体管 1103、第五晶体管 1104、第六晶体管 1105、第七晶体管 1106 均具有作为开关元件的功能,并且工作在线性区。第三晶体管 1102、第四晶体管 1103、第五晶体管 1104、第六晶体管 1105 和第七晶体管 1106 通过分别来自第一栅极信号线 1112、第二栅极信号线 1113、第三栅极信号线 1114、第四栅极信号线 1115 和第五栅极信号线 1116 的数字信号进行控制,当数字信号为高时它们被关断,而当数字信号为低时它们导通。使将要输入的晶体管的栅源电压高于其阈值电压的信号电压被称为高,而使将要输入的晶体管的栅源电压低于其阈值电压的信号电压被称为低。

[0167] 下面描述图 11 的连接关系。电源线 710 连接到第一晶体管 700 的第一端、第二晶体管 701 的第一端、第一电容器 707 的一个电极、以及第二电容器 708 的一个电极。第一电容器 707 的另一个电极连接到第一晶体管 700 的栅极,而第二电容器 708 的另一个电极连接到第二晶体管 701 的栅极。第一晶体管 700 的另一个电极和第一晶体管 700 的栅极连接到第六晶体管 1105 的第一端,而第二晶体管 701 的另一个电极和第二晶体管 701 的栅极连接到第六晶体管 1105 的第二端。第一晶体管 700 的第二端连接到第四晶体管 1103 的第一端,而第四晶体管 1103 的第二端连接到第一晶体管 700 的栅极。第一晶体管 700 的第二端连接到第七晶体管 1106 的第一端,而第七晶体管 1106 的第二端连接到 EL 元件 709 的一个电极。第二晶体管 701 的第二端连接到第五晶体管 1104 的第一端,而第五晶体管 1104 的第二端连接到第二晶体管 701 的栅极。第二晶体管 701 的第二端连接到第三晶体管 1102 的第一端,而第三晶体管 1102 的第二端连接到源极信号线 712。

[0168] 这里,与实施例模式 3 相类似,第一电容器 707 的一个电极和第二电容器 708 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一栅极信号线 1112,或者可以附加地提供另一参考线以便连接。第三晶体管 1102、第四晶体管 1103、第五晶体管 1104、第六晶体管 1105 和第七晶体管 1106 可以设置在任何位置,只要图 11 所示的电路图在图 12 的周期 T1 中与图 15 等效,并且在图 12 的周期 T2 中与图 16 等效即可。也可以增加晶体管的数目。此外,图 15 是在周期 T1 中如图 11 所示的像素电路

的等效电路,而图 16 是在周期 T2 中如图 11 所示的像素电路的等效电路。

[0169] 参考图 12 的时序图来描述图 11 所示的电路的工作。描述在周期 T1 中的工作。在周期 T1 中,第四晶体管 1103 导通,由此第一晶体管 700 连接成二极管,第五晶体管 1104 导通,由此第二晶体管 701 连接成二极管。第六晶体管 1105 关断,由此第一晶体管 700 和第二晶体管 701 电断开。第七晶体管 1106 关断,由此阻挡了提供给 EL 元件 709 的电流供应。第三晶体管 1102 导通,并且通过来自源极信号线 712 的电流输入的视频信号流向第二晶体管 701。第二电容器 708 保持第二晶体管 701 的栅源电压,使得视频信号的电流流经第二晶体管 701。第一电容器 707 保持栅源电压,其使得没有电流流经第一晶体管 700。即,由于第一晶体管 700 的阈值电压被保持,第一晶体管 700 的特性(阈值电压、迁移率等等)和第二晶体管 701 的特性彼此相类似。因此第一电容器 707 保持了与第二晶体管 701 的阈值电压几乎相等的电压。此时,与实施例模式 3 相类似,输入作为视频信号的 I_{data} 由公式 (5) 表示,在第二电容器 708 中保持的电压由公式 (6) 表示。

[0170] 在公式 (5) 和 (6) 中, I_{data} 是流经源极信号线 712 的视频信号的电流值,其在周期 T1 中被输入到像素。 β 是包含诸如第二晶体管 701 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。 $V_{gs}(T1)$ 是第二晶体管 701 的栅源电压。 V_{th} 是第一晶体管 700 的阈值电压以及第二晶体管 701 的阈值电压,这是由于第一晶体管 700 和第二晶体管 701 是成对的。

[0171] 下面描述在周期 T2 中的工作。在周期 T2 中,第四晶体管 1103 关断,由此第一晶体管 700 没有连接成二极管。第五晶体管 1104 关断,由此第二晶体管 701 没有连接成二极管。第六晶体管 1105 导通,由此第一电容器 707 和第二电容器 708 连接。在电容器中保持的电压通过容性耦合被划分。第七晶体管 1106 导通,并且将与第一晶体管 700 的栅源电压相对应的电流提供给 EL 元件 709。第三晶体管 1102 关断,并且阻挡了来自源极信号线 712 的视频信号。此时,与实施例模式 3 相类似,第一晶体管 700 的栅极电压由公式 (7) 表示,提供给 EL 元件 709 的电流值由公式 (8) 表示。

[0172] 在公式 (7) 和 (8) 中, I_{data} 、 β 、 V_{th} 和 $V_{gs}(T1)$ 与周期 T1 中的相类似。 I_{oled} 是在周期 T2 中提供给 EL 元件 709 的电流值。即, I_{oled} 等于流经第一晶体管 700 的电流,这是由于在周期 T2 中电压保持在第一晶体管 700 的栅极和源极之间。 C_{707} 是第一电容器 707 的电容,包括第一晶体管 700 的栅极电容。 C_{708} 是第二电容器 708 的电容,包括第二晶体管 701 的栅极电容。

[0173] 在上述公式 (8) 中,通过 I_{data} 乘以 $[C_{708}/(C_{707}+C_{708})]$ 的平方获得的电流可以提供给 EL 元件 709。此外,在周期 T2 中,只要第一晶体管 700 的特性(阈值电压、迁移率等等)和第二晶体管 701 的特性彼此相类似,即使当其他像素之间的特性发生变化时,如果是相同的视频信号电压,则提供给 EL 元件 709 的电流值也不会变化。

[0174] 以这种方式,可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件,同时补偿驱动晶体管特性的变化。因此,即使当表示低灰度等级时也可以输入一定程度的大电流,代替输入微量电流作为视频信号。结果,可以增大为源极信号线等的寄生电容充电的速度。由于在周期 T1 中获得了阈值电压并且同时写入了视频信号,因此可以缩短每个像素的写入时间。

[0175] 通过对于所有开关元件使用 p 沟道晶体管,无需 n 沟道晶体管的掺杂步骤。因此,

可以简化并廉价地进行制造步骤。

[0176] 通过提供第一晶体管 700 作为驱动晶体管并且提供第二晶体管 701 用于写入视频信号,可以防止电流持续流经任一晶体管。结果,可以防止第一晶体管 700 和第二晶体管 701 之间特性退化的差异很大,并且防止了特性彼此不同。以这种方式,可以提供具有高图像质量且像素间亮度具有较小差异的有机 EL 显示器。

[0177] 在该实施例模式中,由于第二栅极信号线 1103 和第三栅极信号线 1104 使用公共控制信号,因此它们可以被共用。在这种结构中,可以减小将要输入到像素的信号数目或布线的数目。因此,可以简化控制像素的驱动电路,并且可以实现高孔径比。

[0178] 第一晶体管 700 的沟道宽度、沟道长度等优选大于第二晶体管 701 的那些。仅要求第一晶体管 700 的特性与第二晶体管 701 的那些特性(阈值电压、迁移率等等)相类似,因此,可以通过使第二晶体管 701 的沟道宽度更窄并且使第二晶体管 701 的沟道长度更短,来实现更高的孔径比。

[0179] 尽管这里使用 p 沟道晶体管作为开关元件,但也可以使用 n 沟道晶体管。在该情况中,使输入到作为开关元件工作的晶体管的栅极的信号反相。

[0180] **【实施例模式 5】**

[0181] 该实施例模式参考图 13 描述了一种显示器件的结构,其中 n 沟道晶体管用作写入视频信号并控制提供给 EL 元件的电流的晶体管,以及用于获得阈值电压的晶体管。

[0182] 在图 13 中,第一晶体管 1300 是驱动晶体管,其工作在饱和区中并通过其栅源电压控制提供给 EL 元件 1309 的电流。第二晶体管 1301 是具有类似于第一晶体管 1300 的诸如阈值电压和迁移率的特性的晶体管,并且与第一晶体管 1300 耦合。第一开关 1302、第二开关 1303、第三开关 1304、第四开关 1305 和第五开关 1306 每一个都具有两端和控制端。它们是通过控制端来控制两端之间的导通(开启)或非导通(关断)的开关元件。第一电容器 1307 具有一对电极,并且保持第一晶体管 1300 的栅源电压。第二电容器 1308 具有一对电极,并且保持第二晶体管 1301 的栅源电压。EL 元件 1309 是具有一对电极的 EL 元件,其亮度与电流值成比例地被确定。电源线 1310 对于一行或一列是共用的,以便为像素提供电压。反向电极 1311 作为 EL 元件 1309 的另一电极对于所有像素是共用的,以便为像素提供电压。源极信号线 1312 对于一行或一列是共用的,以便为像素传输电流信号作为视频信号。

[0183] 下面描述图 13 的连接关系。电源线 1310 连接到第一晶体管 1300 的第一端、第二晶体管 1301 的第一端、第一电容器 1307 的一个电极、以及第二电容器 1308 的一个电极。第一电容器 1307 的另一个电极连接到第一晶体管 1300 的栅极,而第二电容器 1308 的另一个电极连接到第二晶体管 1301 的栅极。第一晶体管 1300 的另一个电极和第一晶体管 1300 的栅极经第四开关 1305 连接到第二电容器 1308 的另一个电极和第二晶体管 1301 的栅极。第一晶体管 1300 的第二端经第二开关 1303 连接到第一晶体管 1300 的栅极,经第一开关 1302 连接到源极信号线 1312,并且经第五开关 1306 连接到 EL 元件 1309 的一个电极。第二晶体管 1301 的第二端经第三开关 1304 连接到第二晶体管 1301 的栅极。

[0184] 这里,第一电容器 1307 的一个电极和第二电容器 1308 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一开关 1302 的控制端,或者可以附加地提供另一参考线以便连接。第一开关 1302、第二开关 1303、第三开关

1304、第四开关 1305 和第五开关 1306 可以设置在任何位置,只要图 13 所示的电路图在图 14 的周期 T1 中与图 15 等效,并且在图 14 的周期 T2 中与图 16 等效即可。也可以增加开关的数目。此外,图 15 是在周期 T1 中如图 13 所示的像素电路的等效电路,而图 16 是在周期 T2 中如图 13 所示的像素电路的等效电路。

[0185] 参考图 14 所示的时序图来描述图 13 所示的像素电路的工作。描述在周期 T1 中的工作。在周期 T1 中,第二开关 1303 导通,由此第一晶体管 1300 连接成二极管,并且第三开关 1304 导通,由此第二晶体管 1301 连接成二极管。第四开关 1305 关断,由此第一晶体管 1300 和第二晶体管 1301 电断开。第五开关 1306 关断,由此阻挡了提供给 EL 元件 1309 的电流供应。第一开关 1302 导通,并且通过来自源极信号线 1312 的电流输入的视频信号流向第一晶体管 1300。第一电容器 1307 保持第一晶体管 1300 的栅源电压,使得视频信号的电流流经第一晶体管 1300。第二电容器 1308 保持栅源电压,其使得没有电流流经第二晶体管 1301。即,由于第二晶体管 1301 的阈值电压被保持,并且第一晶体管 1300 的特性(阈值电压、迁移率等等)和第二晶体管 1301 的那些特性彼此相类似,第二电容器 1308 保持了与第一晶体管 1300 的阈值电压几乎相等的电压。此时,输入作为视频信号的 Idata 由公式 (9) 表示,在第一电容器 1307 中保持的电压由公式 (10) 表示。

$$[0186] \quad [\text{公式 9}] \quad I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (9)$$

$$[0187] \quad [\text{公式 10}] \quad V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (10)$$

[0188] 在公式 (9) 和 (10) 中, Idata 是流经源极信号线 1312 的视频信号的电流值,其在周期 T1 中被输入到像素。β 是包含诸如第一晶体管 1300 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。Vgs(T1) 是第一晶体管 1300 的栅源电压。Vth 是第一晶体管 1300 的阈值电压以及第二晶体管 1301 的阈值电压,这是由于第一晶体管 1300 和第二晶体管 1301 是成对的。

[0189] 下面描述在周期 T2 中的工作。在周期 T2 中,第二开关 1303 关断,由此第一晶体管 1300 没有连接成二极管。第三开关 1304 关断,由此第二晶体管 1301 没有连接成二极管。第四开关 1305 导通,由此第一电容器 1307 和第二电容器 1308 连接。在电容器中保持的电压通过容性耦合被划分。第五开关 1306 导通,并且将与第一晶体管 1300 的栅源电压相对应的电流提供给 EL 元件 1309。第一开关 1302 关断,并且阻挡了来自源极信号线 1312 的视频信号。此时,第一晶体管 1300 的栅极电压由公式 (11) 表示,提供给 EL 元件 1309 的电流值由公式 (12) 表示。

$$[0190] \quad [\text{公式 11}] \quad V_{gs}(T2) = \left(\frac{C_{1307}}{C_{1307} + C_{1308}} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (11)$$

$$[0191] \quad [\text{公式 12}] \quad I_{oled} = \left(\frac{C_{1307}}{C_{1307} + C_{1308}} \right)^2 I_{data} \quad (12)$$

[0192] 在公式 (11) 和 (12) 中, Idata、β、Vth 和 Vgs(T1) 与周期 T1 中的相类似。Ioled 是在周期 T2 中提供给 EL 元件 1309 的电流值。即, Ioled 等于流经第一晶体管 1300 的电流,这是由于在周期 T2 中电压保持在第一晶体管 1300 的栅极和源极之间。C1307 是第一电容器 1307 的电容,包括第一晶体管 1300 的栅极电容。C1308 是第二电容器 1308 的电容,包

括第二晶体管 1301 的栅极电容。

[0193] 在上述公式 (12) 中, 通过 I_{data} 乘以 $[C1307/(C1307+C1308)]$ 的平方获得的电流可以提供给 EL 元件 1309。此外, 在周期 T2 中, 只要第一晶体管 1300 的特性 (阈值电压、迁移率等等) 和第二晶体管 1301 的特性彼此相类似, 即使当其他像素之间的特性发生变化时, 如果是相同的视频信号, 则提供给 EL 元件 1309 的电流值也不会变化。

[0194] 以这种方式, 可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件, 同时补偿驱动晶体管特性的变化。因此, 即使当表示低灰度等级时也可以输入一定程度的大电流, 代替输入微量电流作为视频信号。结果, 可以增大为源极信号线等的寄生电容充电的速度。由于在周期 T1 中获得了阈值电压并且同时写入了视频信号, 因此可以缩短每个像素的写入时间。

[0195] 在该实施例模式中, 由于第二开关 1303 和第三开关 1304 以相同的时序被导通或关断, 因此它们可以具有公共控制端。在这种结构中, 可以减小将要输入到像素的信号数目或布线的数目。因此, 可以简化控制像素的驱动电路, 并且可以实现高孔径比。

[0196] 第一晶体管 1300 的沟道宽度、沟道长度等优选大于第二晶体管 1301 的那些。仅要求第一晶体管 1300 的特性 (阈值电压、迁移率等等) 与第二晶体管 1301 的那些特性相类似, 因此, 可以通过使第二晶体管 1301 的沟道宽度更窄并且使第二晶体管 1301 的沟道长度更短, 来实现更高的孔径比。

[0197] 在该实施例中描述的开关元件可以与实施例模式 1 中的描述的相关。

[0198] **【实施例模式 6】**

[0199] 作为在实施例模式 5 中的开关元件, 可以使用晶体管。该实施例模式参考图 17 描述了使用 n 沟道晶体管作为开关元件的情况的结构。

[0200] 在图 17 中, 第一晶体管 1300、第二晶体管 1301、第一电容器 1307、第二电容器 1308、EL 元件 1309、电源线 1310、反向电极 1311 和源极信号线 1312 类似于实施例模式 5 中的那些。第三晶体管 1702、第四晶体管 1703、第五晶体管 1704、第六晶体管 1705、第七晶体管 1706 均具有作为开关元件的功能, 并且工作在线性区。第三晶体管 1702、第四晶体管 1703、第五晶体管 1704、第六晶体管 1705 和第七晶体管 1706 通过分别来自第一栅极信号线 1712、第二栅极信号线 1713、第三栅极信号线 1714、第四栅极信号线 1715 和第五栅极信号线 1716 的数字信号进行控制, 当数字信号为高时它们被导通, 而当数字信号为低时它们被关断。使将要输入的晶体管的栅源电压高于其阈值电压的信号电压被称为高, 而使将要输入的晶体管的栅源电压低于其阈值电压的信号电压被称为低。

[0201] 下面描述图 17 的连接关系。电源线 1310 连接到第一晶体管 1300 的第一端、第二晶体管 1301 的第一端、第一电容器 1307 的一个电极、以及第二电容器 1308 的一个电极。第一电容器 1307 的另一个电极连接到第一晶体管 1300 的栅极, 而第二电容器 1308 的另一个电极连接到第二晶体管 1301 的栅极。第一晶体管 1300 的另一个电极和第一晶体管 1300 的栅极连接到第六晶体管 1705 的第一端, 而第二晶体管 1301 的另一个电极和第二晶体管 1301 的栅极连接到第六晶体管 1705 的第二端。第一晶体管 1300 的第二端连接到第四晶体管 1703 的第一端, 而第四晶体管 1703 的第二端连接到第一晶体管 1300 的栅极。第一晶体管 1300 的第二端连接到第三晶体管 1702 的第一端, 而第三晶体管 1702 的第二端连接到源极信号线 1312。第一晶体管 1300 的第二端连接到第七晶体管 1706 的第一端, 而第七晶体

管 1706 的第二端连接到 EL 元件 1309 的一个电极。第二晶体管 1301 的第二端连接到第五晶体管 1704 的第一端,而第五晶体管 1704 的第二端连接到第二晶体管 1301 的栅极。

[0202] 这里,与实施例模式 5 类似,第一电容器 1307 的一个电极和第二电容器 1308 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一栅极信号线 1712,或者可以附加地提供另一参考线以便连接。第三晶体管 1702、第四晶体管 1703、第五晶体管 1704、第六晶体管 1705 和第七晶体管 1706 可以设置在任何位置,只要图 17 所示的电路图在图 18 的周期 T1 中与图 15 等效,并且在图 18 的周期 T2 中与图 16 等效即可。也可以增加晶体管的数目。此外,图 15 是在周期 T1 中如图 17 所示的像素电路的等效电路,而图 16 是在周期 T2 中如图 17 所示的像素电路的等效电路。

[0203] 参考图 18 所示的时序图来描述图 17 所示的电路的工作。描述在周期 T1 中的工作。在周期 T1 中,第四晶体管 1703 导通,由此第一晶体管 1300 连接成二极管,并且第五晶体管 1704 导通,由此第二晶体管 1301 连接成二极管。第六晶体管 1705 关断,由此第一晶体管 1300 和第二晶体管 1301 电断开。第七晶体管 1706 关断,由此阻挡了提供给 EL 元件 1309 的电流供应。第三晶体管 1702 导通,并且通过来自源极信号线 1312 的电流输入的视频信号流向第一晶体管 1300。第一电容器 1307 保持第一晶体管 1300 的栅源电压,使得视频信号的电流流经第一晶体管 1300。第二电容器 1308 保持第二晶体管 1301 的栅源电压,其使得没有电流流经第二晶体管 1301。即,由于第二晶体管 1301 的阈值电压被保持,并且第一晶体管 1300 的特性和第二晶体管 1301 的那些特性彼此相类似,第二电容器 1308 保持了与第一晶体管 1300 的阈值电压几乎相等的电压。此时,与实施例模式 5 类似,输入作为视频信号的 I_{data} 由公式 (9) 表示,在第一电容器 1307 中保持的电压由公式 (10) 表示。

[0204] 在公式 (9) 和 (10) 中, I_{data} 是流经源极信号线 1312 的视频信号的电流值,其在周期 T1 中被输入到像素。 β 是包含诸如第一晶体管 1300 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。 $V_{gs}(T1)$ 是第一晶体管 1300 的栅源电压。 V_{th} 是第一晶体管 1300 的阈值电压以及第二晶体管 1301 的阈值电压,这是由于第一晶体管 1300 和第二晶体管 1301 是成对的。

[0205] 下面描述在周期 T2 中的工作。在周期 T2 中,第四晶体管 1703 关断,由此第一晶体管 1300 没有连接成二极管。第五晶体管 1704 关断,由此第二晶体管 1301 没有连接成二极管。第六晶体管 1705 导通,由此第一电容器 1307 和第二电容器 1308 连接。在电容器中保持的电压通过容性耦合被划分。第七晶体管 1706 导通,并且将与第一晶体管 1300 的栅源电压相对应的电流提供给 EL 元件 1309。第三晶体管 1702 关断,并且阻挡了来自源极信号线 1312 的视频信号。此时,与实施例模式 5 类似,第一晶体管 1300 的栅极电压由公式 (11) 表示,提供给 EL 元件 1309 的电流值由公式 (12) 表示。

[0206] 在公式 (11) 和 (12) 中, I_{data} 、 β 、 V_{th} 和 $V_{gs}(T1)$ 与周期 T1 中的相类似。 I_{oled} 是在周期 T2 中提供给 EL 元件 1309 的电流值。即, I_{oled} 等于流经第一晶体管 1300 的电流,这是由于在周期 T2 中电压保持在第一晶体管 1300 的栅极和源极之间。 $C1307$ 是第一电容器 1307 的电容,包括第一晶体管 1300 的栅极电容。 $C1308$ 是第二电容器 1308 的电容,包括第二晶体管 1301 的栅极电容。

[0207] 在上述公式 (12) 中,通过 I_{data} 乘以 $[C1307/(C1307+C1308)]$ 的平方获得的电流可以提供给 EL 元件 1309。此外,在周期 T2 中,只要第一晶体管 1300 的特性(阈值电压、

迁移率等等)和第二晶体管 1301 的特性彼此相类似,即使当其他像素之间的特性发生变化时,如果是相同的视频信号,则提供给 EL 元件 1309 的电流值也不会变化。

[0208] 以这种方式,可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件,同时补偿驱动晶体管特性的变化。因此,即使当表示低灰度等级时也可以输入一定程度的大电流,代替输入微量电流作为视频信号。结果,可以增大为源极信号线等的寄生电容充电的速度。由于在周期 T1 中获得了阈值电压并且同时写入了视频信号,因此可以缩短每个像素的写入时间。

[0209] 尽管这里使用 n 沟道晶体管作为开关元件,但也可以使用 p 沟道晶体管。在该情况中,使输入到作为开关元件工作的晶体管的栅极的信号反相。

[0210] 通过对于所有开关元件使用 n 沟道晶体管,则无需 p 沟道晶体管的掺杂步骤。因此,可以简化并廉价地进行制造步骤。此外,由于仅采用 n 沟道晶体管,因此可以使用非晶硅来形成晶体管。在这种情况下,制造步骤易于且适于衬底的扩大,因此,可以制造廉价且大型的有机 EL 显示器。

[0211] 在该实施例模式中,由于第二栅极信号线 1713 和第三栅极信号线 1714 使用公共的控制信号,因此它们可以被共用。在这种结构中,可以减小输入到像素的信号数目和布线数目。因此,可以简化控制像素的驱动电路并可以实现高孔径比。

[0212] 第一晶体管 1300 的沟道宽度、沟道长度等优选大于第二晶体管 1301 的那些。仅要求第一晶体管 1300 的特性(阈值电压、迁移率等等)与第二晶体管 1301 的那些特性相类似,因此,可以通过使第二晶体管 1301 的沟道宽度更窄并且使第二晶体管 1301 的沟道长度更短,来实现更高的孔径比。

[0213] 尽管这里使用 n 沟道晶体管作为开关元件,但也可以使用 p 沟道晶体管。在该情况中,使输入到作为开关元件工作的晶体管的栅极的信号反相。

[0214] **【实施例模式 7】**

[0215] 该实施例模式参考图 19 描述了一种显示器件的结构,其用于通过使用获得阈值电压的晶体管来控制提供给 EL 元件的电流,以便防止由于到其中一个晶体管的电流集中而导致的晶体管的特性退化。

[0216] 在图 19 中,第一晶体管 1900 是驱动晶体管,其工作在饱和区中并通过栅源电压控制提供给 EL 元件 1909 的电流值。第二晶体管 1901 具有类似于第一晶体管 1900 的诸如阈值电压和迁移率的特性,并且与第一晶体管 1900 配对。第一开关 1902、第二开关 1903、第三开关 1904、第四开关 1905 和第五开关 1906 是每一个都具有两端和控制端的开关元件,其通过控制端来控制两端之间的导通(开启)或非导通(关断)。第一电容器 1907 具有一对电极,并且保持第一晶体管 1900 的栅源电压。第二电容器 1908 具有一对电极,并且保持第二晶体管 1901 的栅源电压。EL 元件 1909 具有一对电极,其亮度与电流值成比例地被确定。电源线 1910 对于一行或一列是共用的,以便为像素提供电压。反向电极 1911 作为 EL 元件 1909 的另一电极对于所有像素是共用的,以便为像素提供电压。源极信号线 1912 对于一行或一列是共用的,以便为像素传输电流信号作为视频信号。

[0217] 下面描述图 19 中电路的连接关系。电源线 1910 连接到第一晶体管 1900 的第一端、第二晶体管 1901 的第一端、第一电容器 1907 的一个电极、以及第二电容器 1908 的一个电极。第一电容器 1907 的另一个电极连接到第一晶体管 1900 的栅极,而第二电容器 1908

的另一个电极连接到第二晶体管 1901 的栅极。第一电容器 1907 的另一个电极和第一晶体管 1900 的栅极经过第四开关 1905 连接到第二电容器 1908 的另一个电极和第二晶体管 1901 的栅极。第一晶体管 1900 的第二端经过第二开关 1903 连接到第一晶体管 1900 的栅极,并且经过第五开关 1906 连接到 EL 元件 1909 的一个电极。第二晶体管 1901 的第二端经过第三开关 1904 连接到第二晶体管 1901 的栅极,并且经过第一开关 1902 连接到源极信号线 1912。

[0218] 这里,第一电容器 1907 的一个电极和第二电容器 1908 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一开关 1902 的控制端,或者可以附加地提供另一参考线以便连接。第一开关 1902、第二开关 1903、第三开关 1904、第四开关 1905 和第五开关 1906 可以设置在任何位置,只要图 19 所示的电路图在图 20 的周期 T1 中与图 21 等效,并且在图 20 的周期 T2 中与图 22 等效即可。也可以增加开关的数目。此外,图 21 是在周期 T1 中如图 19 所示的像素电路的等效电路,而图 22 是在周期 T2 中如图 19 所示的像素电路的等效电路。

[0219] 参考图 20 所示的时序图来描述图 19 所示电路的工作。描述在周期 T1 中的工作。在周期 T1 中,第二开关 1903 导通,由此第一晶体管 1900 连接成二极管,第三开关 1904 导通,由此第二晶体管 1901 连接成二极管。第四开关 1905 关断,由此第一晶体管 1900 和第二晶体管 1901 电断开。第五开关 1906 关断,由此阻挡了提供给 EL 元件 1909 的电流供应。第一开关 1902 导通,并且通过来自源极信号线 1912 的电流输入的视频信号流向第二晶体管 1901。第二电容器 1908 保持第二晶体管 1901 的栅源电压,使得视频信号的电流流经第二晶体管 1901。第一电容器 1907 保持第一晶体管 1900 的栅源电压,使得没有电流流经第一晶体管 1900。即,由于第一晶体管 1900 的阈值电压被保持,并且第一晶体管 1900 的特性和第二晶体管 1901 的那些特性彼此相类似,第一电容器 1907 保持了与第二晶体管 1901 的阈值电压几乎相等的电压。此时,输入作为视频信号的 I_{data} 由公式 (13) 表示,在第二电容器 1908 中保持的电压由公式 (14) 表示。

[0220] [公式 13]
$$I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (13)$$

[0221] [公式 14]
$$V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (14)$$

[0222] 在公式 (13) 和 (14) 中, I_{data} 是流经源极信号线 1912 的视频信号的电流值,其在周期 T1 中被输入到像素。 β 是包含诸如第二晶体管 1901 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。 $V_{gs}(T1)$ 是第二晶体管 1901 的栅源电压。 V_{th} 是第一晶体管 1900 的阈值电压以及第二晶体管 1901 的阈值电压,这是由于第一晶体管 1900 和第二晶体管 1901 是成对的。

[0223] 下面描述在周期 T2 中的工作。在周期 T2 中,第二开关 1903 关断,由此第一晶体管 1900 没有连接成二极管。第三开关 1904 关断,由此第二晶体管 1901 没有连接成二极管。第四开关 1905 导通,由此第一电容器 1907 和第二电容器 1908 连接。在电容器中保持的电压通过容性耦合被划分。第五开关 1906 导通,并且将与第一晶体管 1900 的栅源电压相对应的电流提供给 EL 元件 1909。第一开关 1902 关断,并且阻挡了来自源极信号线 1912 的视频信号。此时,第一晶体管 1900 的栅极电压由公式 (15) 表示,提供给 EL 元件 1909 的电流

值由公式 (16) 表示。

$$[0224] \quad [\text{公式 15}] \quad V_{gs}(T2) = \left(\frac{C1908}{C1907 + C1908} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (15)$$

$$[0225] \quad [\text{公式 16}] \quad I_{oled} = \left(\frac{C1908}{C1907 + C1908} \right)^2 I_{data} \quad (16)$$

[0226] 在公式 (15) 和 (16) 中, I_{data} 、 β 、 V_{th} 和 $V_{gs}(T1)$ 与周期 T1 中的相类似。 I_{oled} 是在周期 T2 中提供给 EL 元件 1909 的电流值。即, I_{oled} 等于流经第一晶体管 1900 的电流, 这是由于在周期 T2 中电压保持在第一晶体管 1900 的栅极和源极之间。 $C1907$ 是第一电容器 1907 的电容, 包括第一晶体管 1900 的栅极电容。 $C1908$ 是第二电容器 1908 的电容, 包括第二晶体管 1901 的栅极电容。

[0227] 在上述公式 (16) 中, 通过 I_{data} 乘以 $[C1908/(C1907+C1908)]$ 的平方获得的电流可以提供给 EL 元件 1909。此外, 在周期 T2 中, 只要第一晶体管 1900 的特性 (阈值电压、迁移率等等) 和第二晶体管 1901 的特性彼此相类似, 即使当其他像素之间的特性发生变化时, 如果是相同的视频信号, 则提供给 EL 元件 1909 的电流值也不会变化。

[0228] 以这种方式, 可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件, 同时补偿驱动晶体管特性的变化。因此, 即使当表示低灰度等级时也可以输入一定程度的大电流, 代替输入微量电流作为视频信号。结果, 可以增大为源极信号线等的寄生电容充电的速度。由于在周期 T1 中获得了阈值电压并且同时写入了视频信号, 因此可以缩短每个像素的写入时间。

[0229] 通过提供第一晶体管 1900 作为驱动晶体管并且提供第二晶体管 1901 用于写入视频信号, 可以防止电流持续流经任一晶体管。结果, 可以防止第一晶体管 1900 和第二晶体管 1901 之间特性退化的差异很大, 并且防止了特性彼此不同。以这种方式, 可以提供具有高图像质量且像素间亮度具有较小差异的有机 EL 显示器。此外, 已知了当晶体管由非晶硅形成时其特性会显著地退化。

[0230] 在该实施例模式中, 由于第二开关 1903 和第三开关 1904 以相同的时序被导通或关断, 因此它们可以具有公共控制端。在这种结构中, 可以减小将要输入到像素的信号数目或布线的数目。因此, 可以简化控制像素的驱动电路, 并且可以实现高孔径比。

[0231] 第一晶体管 1900 的沟道宽度、沟道长度等优选大于第二晶体管 1901 的那些。仅要求第一晶体管 1900 的特性与第二晶体管 1901 的那些特性 (阈值电压、迁移率等等) 相类似, 因此, 可以通过使第二晶体管 1901 的沟道宽度更窄并且使第二晶体管 1901 的沟道长度更短, 来实现更高的孔径比。

[0232] 在该实施例中描述的开关元件可以与实施例模式 1 中的描述的进行类似。

[0233] 【实施例模式 8】

[0234] 作为在实施例模式 7 中的开关元件, 可以使用晶体管。该实施例模式参考图 23 描述了使用 n 沟道晶体管作为开关元件的情况的结构。

[0235] 在图 23 中, 第一晶体管 1900、第二晶体管 1901、第一电容器 1907、第二电容器 1908、EL 元件 1909、电源线 1910、反向电极 1911 和源极信号线 1912 类似于实施例模式 7 中的那些。第三晶体管 2302、第四晶体管 2303、第五晶体管 2304、第六晶体管 2305、第七晶体管 2306 均具有作为开关元件的功能, 并且工作在线性区。第三晶体管 2302、第四晶体

管 2303、第五晶体管 2304、第六晶体管 2305 和第七晶体管 2306 通过分别来自第一栅极信号线 2312、第二栅极信号线 2313、第三栅极信号线 2314、第四栅极信号线 2315 和第五栅极信号线 2316 的数字信号进行控制,当数字信号为高时它们被导通,而当数字信号为低时它们被关断。使将要输入的晶体管的栅源电压高于其阈值电压的信号电压被称为高电位,而使将要输入的晶体管的栅源电压低于其阈值电压的信号电压被称为低电位。

[0236] 下面描述图 23 的连接关系。电源线 1910 连接到第一晶体管 1900 的第一端、第二晶体管 1901 的第一端、第一电容器 1907 的一个电极、以及第二电容器 1908 的一个电极。第一电容器 1907 的另一个电极连接到第一晶体管 1900 的栅极,而第二电容器 1908 的另一个电极连接到第二晶体管 1901 的栅极。第一晶体管 1900 的另一个电极和第一晶体管 1900 的栅极连接到第六晶体管 2305 的第一端,而第二晶体管 1901 的另一个电极和第二晶体管 1901 的栅极连接到第六晶体管 2305 的第二端。第一晶体管 1900 的第二端连接到第四晶体管 2303 的第一端,而第四晶体管 2303 的第二端连接到第一晶体管 1900 的栅极。第一晶体管 1900 的第二端连接到第七晶体管 2306 的第一端,而第七晶体管 2306 的第二端连接到 EL 元件 1909 的一个电极。第二晶体管 1901 的第二端连接到第五晶体管 2304 的第一端,而第五晶体管 2304 的第二端连接到第二晶体管 1901 的栅极。第二晶体管 1901 的第二端连接到第三晶体管 2302 的第一端,而第三晶体管 2302 的第二端连接到源极信号线 1912。

[0237] 这里,第一电容器 1907 的一个电极和第二电容器 1908 的一个电极仅需要连接到其电位在工作中变为恒定的端子。例如,它们可以连接到前一行的第一栅极信号线 2312,或者可以附加地提供另一参考线以便连接。第三晶体管 2302、第四晶体管 2303、第五晶体管 2304、第六晶体管 2305 和第七晶体管 2306 可以设置在任何位置,只要图 23 所示的电路图在图 41 的周期 T1 中与图 21 等效,并且在图 41 的周期 T2 中与图 22 等效即可。也可以增加晶体管的数目。此外,图 21 是在周期 T1 中如图 41 所示的像素电路的等效电路,而图 22 是在周期 T2 中如图 41 所示的像素电路的等效电路。

[0238] 描述在周期 T1 中的工作。在周期 T1 中,第四晶体管 2303 导通,由此第一晶体管 1900 连接成二极管,并且第五晶体管 2304 导通,由此第二晶体管 1901 连接成二极管。第六晶体管 2305 关断,由此第一晶体管 1900 和第二晶体管 1901 电断开。第七晶体管 2306 关断,由此阻挡了提供给 EL 元件 1909 的电流供应。第三晶体管 2302 导通,并且通过来自源极信号线 1912 的电流输入的视频信号流向第二晶体管 1901。第二电容器 1908 保持第二晶体管 1901 的栅源电压,使得视频信号的电流流经第二晶体管 1901。第一电容器 1907 保持第一晶体管 1900 的栅源电压,使得没有电流流经第一晶体管 1900。即,由于第一晶体管 1900 的阈值电压被保持,并且第一晶体管 1900 的特性(阈值电压、迁移率等等)和第二晶体管 1901 的那些特性彼此相类似,第一电容器 1907 保持了与第二晶体管 1901 的阈值电压几乎相等的电压。此时,与实施例模式 7 类似,输入作为视频信号的 I_{data} 由公式 (13) 表示,在第二电容器 1908 中保持的电压由公式 (14) 表示。

[0239] 在公式 (13) 和 (14) 中, I_{data} 是流经源极信号线 1912 的视频信号的电流值,其在周期 T1 中被输入到像素。 β 是包含诸如第二晶体管 1901 的沟道长度、沟道宽度、迁移率、或氧化膜的电容的参数的常数。 $V_{gs}(T1)$ 是第二晶体管 1901 的栅源电压。 V_{th} 是第一晶体管 1900 的阈值电压以及第二晶体管 1901 的阈值电压,这是由于第一晶体管 1900 和第二晶体管 1901 是成对的。

[0240] 下面描述在周期 T2 中的工作。在周期 T2 中,第一晶体管 2303 关断,由此第一晶体管 1900 没有连接成二极管。第五晶体管 2304 关断,由此第二晶体管 1901 没有连接成二极管。第六晶体管 2305 导通,由此第一电容器 1907 和第二电容器 1908 连接。在电容器中保持的电压通过容性耦合被划分。第七晶体管 2306 导通,并且将与第一晶体管 1900 的栅源电压相对应的电流提供给 EL 元件 1909。第三晶体管 2302 关断,并且阻挡了来自源极信号线 1912 的视频信号。此时,与实施例模式 7 类似,第一晶体管 1900 的栅极电压由公式 (14) 表示,提供给 EL 元件 1909 的电流值由公式 (16) 表示。

[0241] 在公式 (14) 和 (16) 中, I_{data} 、 β 、 V_{th} 和 $V_{gs}(T1)$ 与周期 T1 中的相类似。 I_{oled} 是在周期 T2 中提供给 EL 元件 1909 的电流值。即, I_{oled} 等于流经第一晶体管 1900 的电流,这是由于在周期 T2 中电压保持在第一晶体管 1900 的栅极和源极之间。 $C1907$ 是第一电容器 1907 的电容,包括第一晶体管 1900 的栅极电容。 $C1908$ 是第二电容器 1908 的电容,包括第二晶体管 1901 的栅极电容。

[0242] 在上述公式 (16) 中,通过 I_{data} 乘以 $[C1908/(C1907+C1908)]$ 的平方获得的电流可以提供给 EL 元件 1909。此外,在周期 T2 中,只要第一晶体管 1900 的特性(阈值电压、迁移率等等)和第二晶体管 1901 的特性彼此相类似,即使当其他像素之间的特性发生变化时,如果是相同的视频信号,则提供给 EL 元件 1909 的电流值也不会变化。

[0243] 以这种方式,可以将比输入到像素的视频信号的电流更小的电流提供给 EL 元件,同时补偿驱动晶体管特性的变化。因此,即使当表示低灰度等级时也可以输入一定程度的大电流,代替输入微量电流作为视频信号。结果,可以增大为源极信号线等的寄生电容充电的速度。由于在周期 T1 中获得了阈值电压并且同时写入了视频信号,因此可以缩短每个像素的写入时间。

[0244] 通过提供第一晶体管 1900 作为驱动晶体管并且提供第二晶体管 1901 用于写入视频信号,可以防止电流持续流经任一晶体管。结果,可以防止第一晶体管 1900 和第二晶体管 1901 之间特性退化的差异很大,并且防止了特性彼此不同。以这种方式,可以提供具有高图像质量且像素间亮度具有较小差异的有机 EL 显示器。此外,已知了当晶体管由非晶硅形成时其特性会显著地退化。

[0245] 通过对于所有开关元件使用 n 沟道晶体管,则无需 p 沟道晶体管的掺杂步骤。因此,可以简化并廉价地进行制造步骤。此外,由于仅采用 n 沟道晶体管,因此可以使用非晶硅来形成晶体管。在这种情况下,制造步骤易于且适于衬底的扩大,因此,可以制造廉价且大型的有机 EL 显示器。

[0246] 在该实施例模式中,由于第二栅极信号线 2313 和第三栅极信号线 2314 使用公共的控制信号,因此它们可以被共用。在这种结构中,可以减小输入到像素的信号数目或布线数目。因此,可以简化控制像素的驱动电路并可以实现高孔径比。

[0247] 第一晶体管 1900 的沟道宽度、沟道长度等优选大于第二晶体管 1901 的那些。仅要求第一晶体管 1900 的特性(阈值电压、迁移率等等)与第二晶体管 1901 的那些特性相类似,因此,可以通过使第二晶体管 1901 的沟道宽度更窄并且使第二晶体管 1901 的沟道长度更短,来实现更高的孔径比。

[0248] 尽管这里使用 n 沟道晶体管作为开关元件,但也可以使用 p 沟道晶体管。在该情况中,使输入到作为开关元件工作的晶体管的栅极的信号反相。

[0249] 【实施例模式 9】

[0250] 该实施例模式描述了具有在实施例模式 1 到 8 中描述的像素的显示器件、在显示器件中包括的源极驱动器、栅极驱动器等的结构示例,以及其操作。

[0251] 首先,参考图 42 描述具有在实施例模式 1 到 8 中描述的像素的显示器件。

[0252] 在图 42 中,源极驱动器 9000 是向像素部分 9003 顺序地输出电流信号作为视频信号的驱动电路。源极信号线 S-1、S-2 和 S-m 是用于传送从源极驱动器 9000 输出到像素 9002 的视频信号的信号线,并且存在有 m(m 是 2 或更大的自然数)行源极信号线。栅极驱动器 9001 是向像素部分 9003 顺序地输出控制信号以扫描并控制像素 9002 的驱动电路。栅极信号线 G1-1、G1-2、G1-3、G1-4、G1-5、G2-1、G2-2、G2-3、G2-4、G2-5、Gn-1、Gn-2、Gn-3、Gn-4 和 Gn-5 是用于传送从栅极驱动器 9001 输出到像素 9002 的控制信号的信号线,并且存在有 n(n 是 2 或更大的自然数)行栅极信号线。像素 9002 具有实施例模式 1 到 8 中描述的像素结构。在图 42 中所示的显示器件中,为了方便起见没有示出诸如电源线的布线,但是它可以根据需要而被另外地提供。

[0253] 在图 42 所示的操作中,源极驱动器 9000 输出视频信号,并且栅极驱动器 9001 输出控制信号,以便可以执行在实施例模式 1 到 8 中描述的操作。在图 42 中,此外,栅极驱动器 9001 通过使用五个栅极信号线来传送控制信号,然而,如果其控制信号可以被共用,则栅极信号线可以被共用。此外,如果栅极驱动器 9001 可以实现实施例模式 1 到 8 中描述的控制信号,例如,可以使用移位寄存器或译码器电路。无需说的是,可以通过使用缓冲器电路、电平移位器电路、脉冲宽度控制电路等等来改变波形或电压。

[0254] 这里,参考图 43 描述图 42 中所示的源极驱动器 9000 的结构示例。

[0255] 在图 43 中,移位寄存器 9100 是以任意时序从第一行顺序地输出扫描信号以选择开关 9101 的导通或关断的电路。移位寄存器 9100 通过未示出的起始脉冲来开始扫描。电流源 9104 是产生视频信号的电流源,并且可以根据像素的亮度改变视频信号的电流值。开关 9101 通过从移位寄存器 9100 输出的扫描信号来控制为导通或关断。当开关 9101 导通时,视频信号通过其被传送到第一锁存器电路 9102。第一锁存器电路 9102 顺序地保持通过开关 9101 从第一列传送的视频信号。当所有列的信号被保持时,第一锁存器电路 9102 同时输出被保持的所有列的视频信号到第二锁存器电路 9103。此外,第一锁存器电路 9102 由通过第一锁存器电路控制线 9105 传送的控制信号所控制。第二锁存器电路 9103 保持从第一锁存器电路 9102 输出的视频信号,并且同时输出被保持的所有列的视频信号到源极信号线。此外,第二锁存器电路 9103 由第二锁存器电路控制线 9106 来控制。

[0256] 分别描述在第一周期和第二周期中的图 43 的工作。描述第一周期。在第一周期中,开关 9101 通过从移位寄存器 9100 输出的扫描信号被顺序地导通。在开关 9101 被导通的列中,视频信号通过开关 9101 被传送并且被保持在第一锁存器电路 9102 中。重复这一操作,直到在最后一列中视频信号被保持在第一锁存器电路 9102 中。此时,第一锁存器电路 9102 和第二锁存器电路 9103 没有被电连接。第一锁存器电路 9102 的输出不被输入到第二锁存器电路 9103。第二锁存器电路 9103 输出与在上一操作中保持的视频信号相对应的电流到源极信号线。

[0257] 描述第二周期。在第二周期中,扫描信号不从移位寄存器 9100 输出,并且每个开关 9101 是关断的。因此,视频信号不被输入到任一第一锁存器电路 9102。第一锁存器电路

9102 在所有列同时输出在上一操作中保持的视频信号到第二锁存器电路 9103。第二锁存器电路 9103 保持被输入的视频信号。此时,第二锁存器电路 9103 和源极信号线没有被电连接,因此视频信号不被输出到源极信号线。以这种方式,通过重复第一周期和第二周期,可以将视频信号传送到像素。

[0258] 在图 43 中,电流源 9104 的电流方向是源极信号线中的电流从每个像素流向第二锁存器电路 9103 的方向。该方向在像素的驱动晶体管是 p 沟道晶体管的情况中是有利的。此外,在像素的驱动晶体管是 n 沟道晶体管的情况中,电流源 9104 的电流方向可以被反相。

[0259] 在使用晶体管在玻璃衬底上形成电流源 9104 的情况中,可以利用电流镜电路作为电流源的结构。当使用电流镜电路时,从诸如控制器的外部电路输入的电流可以易于被放大或减小,因此,可以使用更精确的电流作为视频信号。

[0260] 在图 43 中,仅存在产生视频信号的一个电流源,然而,本发明不限于此。例如,当提供两个电流源时,可以同时生成两个视频信号,因此,可以通过从移位寄存器 9100 输出的扫描信号来同时导通两列开关 9101,并且可以同时操作该两列。即,由于移位寄存器 9100 的电路规模和扫描所有列的时间可以被减半,即使是具有很多列的大型显示器件也可以进行操作。

[0261] 从第二锁存器电路 9103 输出的视频信号被输出到源极信号线,然而,它可以通过模拟缓冲电路等被输出。结果,可以更精确地将高度抗噪声的视频信号写入到像素。

[0262] 作为输入到用于控制第一锁存器电路 9102 的第一锁存器电路控制线 9105 以及用于控制第二锁存器电路 9103 的第二锁存器电路控制线 9106 的控制信号,可以使用移位寄存器 9100 的输出脉冲。或者,也可以使用移位寄存器 9100 的起始脉冲。通过使用移位寄存器 9100 的输出脉冲或起始脉冲,减少了从控制器输入的信号数目。因此,可以易于形成外部电路,其可以节省空间和功率消耗。

[0263] 这里,参考图 44 描述了图 42 中示出的源极驱动器 9000 的结构示例。

[0264] 在图 44 中,移位寄存器 9200 是以任意时序从第一列顺序地输出扫描信号以选择第一锁存器电路 9201 是否可以锁存的电路。该移位寄存器 9200 通过未示出的起始脉冲开始扫描。视频信号线 9206 是通过电压传送均具有数字值的视频信号、并可以根据像素的亮度改变视频信号的信号线。第一锁存器电路 9201 从第一列顺序地保持视频信号。当在所有列中保持视频信号时,被保持的视频信号在所有列同时被输出到第二锁存器电路 9202。第一锁存器电路 9201 通过由第一锁存器电路控制线 9207 传送的控制信号来控制。第二锁存器电路 9202 保持从第一锁存器电路 9201 输出的视频信号,并在所有列同时输出被保持的视频信号到 DAC 9203。第二锁存器电路 9202 通过第二锁存器电路控制线 9208 来控制。DAC 9203 是数模转换电路,其输入多个从第二锁存器电路 9202 输出的均具有数字值的视频信号,并且输出视频信号到晶体管 9204 作为模拟电压。晶体管 9204 是作为电流源工作、且基于作为源的参考电压 9205 和从 DAC 9203 输出的模拟电压之间的电位差来确定输出到源极信号线的电流值的晶体管。

[0265] 分别描述在第一周期和第二周期中的图 44 的工作。描述第一周期。在第一周期中,第一锁存器电路 9201 通过从移位寄存器 9200 输出的扫描信号从第一列顺序地保持视频信号。重复这一操作,直到视频信号被保持在最后一列的第一锁存器电路 9201 中。此外,第一锁存器电路 9201 和第二锁存器电路 9202 没有被电连接,因此,第一锁存器电路 9201

的输出不被输入到第二锁存器电路 9202。第二锁存器电路 9202 将在前一操作中保持的视频信号输出到 DAC 9203, 其将与该输入的视频信号相对应的模拟信号输出到晶体管 9204 的栅极。这里, 参考电压 9205 必须工作作为源电压。即, 流经源极信号线的电流值由 DAC 9203 的输出电压和参考电压 9205 之间的电压来确定。

[0266] 描述第二周期。在第二周期中, 扫描信号不从移位寄存器 9200 输出, 并且没有第一锁存器电路 9201 额外地保持视频信号。第一锁存器电路 9201 在所有列同时输出在前一操作中保持的视频信号到第二锁存器电路 9202, 并且第二锁存器电路 9202 保持被输入的视频信号。此时, 源极驱动器 9000 和源极信号线没有被电连接。

[0267] 以这种方式, 通过重复第一周期和第二周期, 可以将视频信号传送到像素。

[0268] 在图 43 中, 视频信号线 9206 可以被分成多个组。例如, 当它们被分成两个时, 通过从移位寄存器 9200 输出的扫描信号, 可以同时在第一锁存器电路 9201 的两列中保持不同的视频信号。即, 由于移位寄存器 9200 的电路规模和扫描所有列的时间可以被减半, 即使是具有很多列的大型显示器件也可以进行操作。

[0269] 从晶体管 9204 输出的视频信号可以经模拟缓冲器电路等被输出到源极信号线。当视频信号经模拟缓冲器电路被输出时, 可以更精确地将高度抗噪声的视频信号写入到像素。

[0270] 在图 44 中晶体管 9204 采用了 n 沟道晶体管, 然而也可以使用 p 沟道晶体管。使用 n 沟道晶体管的有利之处在于当电流以到参考电压 9205 的方向被输出时源电位被固定。使用 p 沟道晶体管的有利之处在于当电流被输出到源极信号线时源电位被固定。

[0271] 作为输入到控制第一锁存器电路 9201 的第一锁存器电路控制线 9207 和控制第二锁存器电路 9202 的第二锁存器电路控制线 9208 的控制信号, 可以使用移位寄存器 9200 的输出脉冲。或者, 也可以使用移位寄存器 9200 的起始脉冲。通过使用移位寄存器 9200 的输出脉冲或起始脉冲, 减小了从控制器输入的信号数目。因此, 可以易于形成外部电路, 其可以节省空间和功率消耗。

[0272] 这里, 参考图 45 描述图 42 中所示的源极驱动器 9000 的结构示例。

[0273] 在图 45 中, 移位寄存器 9300 是以任意时序从第一行顺序地输出扫描信号以选择第一锁存器电路 9301 是否可以锁存的电路。该移位寄存器 9300 通过未示出的起始脉冲开始扫描。视频信号线 9309 是通过电压传送均具有数字值的视频信号、并可以根据像素的亮度改变视频信号的信号线。第一锁存器电路 9301 从第一列顺序地保持视频信号。当在所有列中保持视频信号时, 第一锁存器电路 9301 将被保持的视频信号在所有列同时输出到第二锁存器电路 9302。第一锁存器电路 9301 通过由第一锁存器电路控制线 9307 传送的控制信号来控制。第二锁存器电路 9302 保持从第一锁存器电路 9301 输出的视频信号, 并在所有列同时输出被保持的视频信号到第一开关 9303、第二开关 9304 和第三开关 9305, 以控制它们的开/关。第二锁存器电路 9302 通过第二锁存器电路控制线 9311 来控制。第一开关 9303 包含具有第一电流源 9306 的一个端。当第一开关 9303 导通时, 它将第一电流源 9306 的电流值输出到源极信号线。第二开关 9304 包含具有第二电流源 9307 的一个端。当第二开关 9304 导通时, 它将第二电流源 9307 的电流值输出到源极信号线。第三开关 9305 包含具有第三电流源 9308 的一个端。当第三开关 9305 导通时, 它将第三电流源 9308 的电流值输出到源极信号线。

[0274] 分别描述在第一周期和第二周期中的图 45 的工作。描述第一周期。在第一周期中,第一锁存器电路 9301 通过从移位寄存器 9300 输出的扫描信号从第一列顺序地保持视频信号。重复这一操作,直到视频信号被保持在最后一列的第一锁存器电路 9301 中。此外,第一锁存器电路 9301 和第二锁存器电路 9302 没有被电连接,因此,第一锁存器电路 9301 的输出不被输入到第二锁存器电路 9302。第二锁存器电路 9302 将在前一操作中保持的视频信号输出到第一开关 9303、第二开关 9304 和第三开关 9305,其每一个通过所输入的视频信号被导通或关断。即,输出到源极信号线的电流值对应于连接到被导通的开关的第一电流源 9306、第二电流源 9307 和第三电流源 9308 的电流值之和。

[0275] 描述第二周期。在第二周期中,扫描信号不从移位寄存器 9300 输出,并且没有第一锁存器电路 9301 额外地保持视频信号。第一锁存器电路 9301 在所有列同时输出在前一操作中保持的视频信号到第二锁存器电路 9302,并且第二锁存器电路 9302 保持被输入的视频信号。此时,源极驱动器 9000 和源极信号线没有被电连接。以这种方式,通过重复第一周期和第二周期,可以将视频信号传送到像素。

[0276] 在图 45 中,视频信号线 9309 可以被分成多个线。例如,当它们被分成两个时,通过从移位寄存器 9300 输出的扫描信号,可以同时在第一锁存器电路 9301 的两列中保持不同的视频信号。即,由于移位寄存器 9300 的电路规模和扫描所有列的时间可以被减半,即使是具有很多列的大型显示器件也可以进行操作。

[0277] 作为输入到控制第一锁存器电路 9301 的第一锁存器电路控制线 9310 和控制第二锁存器电路 9302 的第二锁存器电路控制线 9311 的控制信号,可以使用移位寄存器 9300 的输出脉冲。或者,也可以使用移位寄存器 9300 的起始脉冲。通过使用移位寄存器 9300 的输出脉冲或起始脉冲,减小了从控制器输入的信号数目。因此,可以易于形成外部电路,其可以节省空间和功率消耗。

[0278] 在该实施例模式中描述的开关元件可以类似于实施例模式 1 中描述的那些。

[0279] 【实施例 1】

[0280] 在该实施例中,描述了像素结构示例。图 24A 和 24B 是本发明的面板中像素的截面图。在该示例中,晶体管用作设置在像素中的开关元件,发光元件用作设置在像素中的显示介质。

[0281] 在图 24A 和 24B 中,附图标记 2400 表示衬底,2401 表示基膜,2402 表示第一半导体层,2412 表示第二半导体层,2403 表示第一绝缘膜,2404 表示栅电极,2414 表示第三电极,2405 表示第二绝缘膜,2406 表示第一电极,2407 表示第二电极,2408 表示第三绝缘膜,2409 表示发光层,2416 表示第五电极。附图标记 2410 表示晶体管,2415 表示发光元件,2411 表示电容器。在图 24A 和 24B 中,示出了晶体管 2410 和电容器 2411 表示构成像素的元件。描述了图 24A 的结构。

[0282] 作为衬底 2400,例如可以使用由硼硅酸钡玻璃、硼硅酸铝玻璃等制成的玻璃衬底、石英衬底、陶瓷衬底等等。此外,也可以使用包括不锈钢衬底的金属衬底或具有以绝缘膜覆盖的表面的半导体衬底。也可以使用由柔性合成树脂如塑料制成的衬底。衬底 2400 的表面可以通过 CMP 方法等的抛光来平面化。

[0283] 作为基膜 2401,可以使用由氧化硅、氮化硅、氮氧化硅等等形成的绝缘膜。基膜 2401 可以防止在衬底 2400 中包含的诸如 Na 的碱金属或碱土金属分散在第一半导体层

2402 上,并不利地影响晶体管 2401 的特性(阈值电压、迁移率等等)。在图 24A 和 24B 中,基膜 2401 具有单层结构,然而,它也可以由两个或更多的多层形成。应当注意的是,当杂质的分散不是大问题时,诸如在使用石英衬底的情况中,没有必要提供基膜 2401。

[0284] 作为第一半导体层 2402 和第二半导体层 2412,可以使用被构图的结晶半导体膜或非晶半导体膜。结晶半导体膜可以通过对非晶半导体膜结晶化而形成。作为结晶化方法,可以使用激光结晶化方法、使用 RTA 或退火炉的热结晶化方法、使用促进结晶化的金属元素的热结晶化方法等等。第一半导体层 2402 具有沟道形成区 and 对其添加赋予导电类型的杂质元素的一对杂质区。应当注意的是,以低浓度添加杂质元素的杂质区可以设置在沟道形成区和这对杂质区之间。可以对整个第二半导体层 2412 添加赋予导电类型的杂质元素。

[0285] 作为第一绝缘膜 2403,可以使用氧化硅、氮化硅、氮氧化硅等等的单层或叠层。应当注意的是,使用包含氢的膜作为第一绝缘膜 2403,由此第一半导体层 2402 可以被脱氢。

[0286] 作为栅电极和第四电极 2414,可以使用选自 Ta、W、Ti、Mo、Al、Cu、Cr 和 Nd 的元素,或包含多个元素的合金或化合物的单层或叠层结构。

[0287] 晶体管 2410 由第一半导体层 2402、栅电极 2404、以及第一半导体层 2402 和栅电极 2404 之间的第一绝缘膜 2403 形成。在图 24A 和 24B 中,仅示出了连接到发光元件 2915 的第二电极 2407 的晶体管 2410 作为构成像素的晶体管,然而,也可以使用多个晶体管。此外,在该实施例中,晶体管 2410 示出为顶栅型晶体管,然而,它可以是在半导体层下方具有栅电极的底栅型晶体管,或在半导体层上方和下方具有栅电极的双栅型晶体管。

[0288] 在电容器 2411 中,第一绝缘膜 2403 用作电介质,将第一绝缘膜 2403 夹在中间的彼此相对的第二半导体层 2412 和第四电极 2414 用作一对电极。应当注意的是,图 24A 和 24B 示出了其中与第一半导体层 2402 同时形成的第二半导体层 2412 用作该对电极中的一个,以及与晶体管 2410 的栅电极 2404 同时形成的第四电极 2414 用作另一个电极的示例,然而,本发明不限于该结构。

[0289] 作为第二绝缘膜 2405,可以使用单层或无机绝缘膜或有机绝缘膜的叠层。作为无机绝缘膜,可以使用由 CVD 方法形成的氧化硅膜、由 SOG(玻璃上旋涂)形成的氧化硅膜等等。作为有机绝缘膜,可以使用由聚酰亚胺、聚酰胺、BCB(苯并环丁烯)、丙烯酸、正型光敏有机树脂、负型光敏有机树脂等等。

[0290] 作为第二绝缘膜 2405,可以使用具有硅(Si)和氧(O)键的骨架结构的材料。作为该材料的替代,使用至少包含氢的有机基团(例如,烷基基团或芳香烃)。作为替代,也可以使用氟基团。或者,可以使用至少包含氢和氟基团的有机基团。

[0291] 第二绝缘膜 2405 的表面可以通过高密度等离子体进行处理以便被氮化。高密度等离子体通过使用例如 2.45GHz 的高频微波来生成。注意,作为高密度等离子体,使用其电子密度为 1×10^{11} 至 $1 \times 10^{13} \text{ cm}^{-3}$ 且电子温度为 0.2 至 2.0eV(更优选地,0.5 至 1.5eV)的高密度等离子体。由于这种以低电子温度为特征的高密度等离子体具有低动能的活性物质,可以和常规等离子体处理相比具有较小等离子体损伤而形成具有较少缺陷的膜。在高密度等离子体处理中,衬底 2400 的温度设定在 350 至 450℃。此外,在用于产生高密度等离子体的装置中,用于产生微波的天线和衬底 2400 之间的距离设置为 20 至 80mm(优选 20 至 60mm)。

[0292] 在氮 (N) 和稀有气体 (包含 He、Ne、Ar、Kr 和 Xe 中的至少一种) 的气氛中,或者氮、氢 (H) 和稀有气体的气氛中,或者氨 (NH₃) 和稀有气体的气氛中,进行上述高密度等离子体处理以氮化第二绝缘膜 2405 的表面。以高密度等离子体通过氮化处理形成的第二绝缘膜 2405 的表面混合以诸如 H、He、Ne、Ar、Kr 或 Xe 的元素。例如,使用氧化硅膜或氧氮化硅膜作为第二绝缘膜 2405,并且其表面以高密度等离子体进行处理以形成氮化硅膜。通过利用所形成的氮化硅膜中包含的氢,晶体管 2410 的第一半导体层 2402 可以被氢化。此外,该氢化处理可以结合上述使用在第一绝缘膜 2403 中包含的氢的氢化处理。应当注意,绝缘膜还可以形成在通过上述高密度等离子体处理形成的氮化物膜上以使用作第二绝缘膜 2405。

[0293] 作为第一电极 2406,可以使用由选自 Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au 和 Mn 中的一种元素,或包含多个元素的合金的单层或叠层。

[0294] 第二电极 2407 和第四电极 2417 中的一个或两个可以由透明电极形成。对于透明电极,可以使用包含氧化钨的氧化铟 (IW₂O)、包含氧化钨和氧化锌的氧化铟 (IWZ₂O)、包含氧化钛的氧化铟 (ITi₂O)、包含氧化钛的氧化铟锡 (ITTi₂O) 等等。无需说的是,也可以使用氧化铟锡 (IT₂O)、氧化铟锌 (IZO)、对其添加了氧化硅的氧化铟锡 (ITSO) 等等。

[0295] 优选的是使用具有不同功能的多个层形成发光层,诸如空穴注入 / 输运层、发光层和电子注入 / 输运层。

[0296] 优选的是使用包含具有空穴输运特性的有机化合物材料、以及相对于有机化合物材料具有电子接受特性的无机化合物材料的复合材料来形成空穴注入 / 输运层。结果,在最初具有少量内部载流子的有机化合物中生成大量空穴载流子,并且因此可以获得优异的空穴注入 / 输运特性。通过该效果,可以比以前降低驱动电压。此外,由于空穴注入 / 输运层可以形成得很厚而无需增加驱动电压,因此也可以抑制由灰尘等引起的发光元件的短路。

[0297] 作为具有空穴输运特性的有机化合物材料,可以给出 4,4',4''-三[N-(3-甲基)-N-苯氨基]三苯氨(缩写:MTDATA);1,3,5-三[N,N-二(m-甲基)氨]苯(缩写:m-MTDAB);N,N'-联苯-N,N'-双(3-甲基)-1,1'-二苯基-4,4'-二氨(缩写:TPD);4,4'-双[N-(1-萘基)-N-苯氨基]二苯基(缩写:NPB)等等。然而,本发明不限于此。

[0298] 作为具有电子接受特性的无机化合物材料,可以给出氧化钛、氧化锆、氧化钒、氧化钼、氧化钨、氧化铪、氧化钽、氧化铌、氧化钨等等。具体地,氧化钒、氧化钼、氧化钨、氧化铪是优选的,这是因为它们能够进行真空蒸镀并且可以易于处理。

[0299] 电子注入 / 输运层通过使用具有电极输运特性的有机化合物材料来形成。具体地,可以给出三(8-羟基喹啉)铝(缩写:Alq₃)、三(4-甲基-8-羟基喹啉)铝(缩写:Almq₃)等等;然而,本发明不限于此。

[0300] 对于发光层,可以使用 9,10-二(2-萘基)蒽(缩写:DNA);9,10-二(2-萘基)-2-叔-丁基蒽(缩写:t-BuDNA);4,4'-双(2,2-二苯乙烯)联苯(缩写:DPVB i);香豆素 30;香豆素 6;香豆素 545;香豆素 545T;二萘嵌苯;红荧烯;periflanthene;2,5,8,11-四(叔-丁基)二萘嵌苯(缩写:TBP);9,10-二苯蒽(缩写:DPA);5,12-二苯并四苯;4-(亚甲基二氰)-2-甲基-[p-(二甲氨基)苯乙烯基]-4H-吡喃(缩写:DCM1);4-(亚甲基二氰)-2-甲基-6-[2-(久洛尼定-9-基)乙炔基]-4H-吡喃(缩写:DCM2);4-(亚甲基二氰)-2-6-双[p-(二甲氨基)苯乙烯基]-4H-吡喃(缩写:BisDCM)等等。此外,还可

以使用能够发射磷光的下列化合物：双[2-(4',6'-二氟苯基)吡啶-N,C2']铱(甲基吡啶)(缩写:FIrpic);双{2-[3',5'-双(三氟甲基)苯基]吡啶-N,C2'}铱(甲基吡啶)(缩写:Ir(CF₃ppy)₂(pic));三(2-苯基吡啶-N,C2')铱(缩写:Ir(ppy)₃);双(2-苯基吡啶-N,C2')铱(乙酰丙酮)(缩写:Ir(ppy)₂(acac));双[2-(2'-噻吩)吡啶-N,C3']铱(乙酰丙酮)(缩写:Ir(thp)₂(acac));双(2-苯基羟基喹啉-N,C2')铱(乙酰丙酮)(缩写:Ir(pq)₂(acac));双[2-(2'-苯并噻吩)吡啶-N,C3']铱(乙酰丙酮)(缩写:Ir(btp)₂(acac))等等。

[0301] 此外,作为可以用于形成发光层的高分子电致发光材料,可以给出聚对苯撑乙烯基、聚对苯撑基、聚噻吩基、或聚芴(polyflorene)基材料。

[0302] 在任何情况下,可以改变发光层的结构。只要实现作为发光元件的功能,这种改变则解释为被包含作为代替提供特定空穴或电子注入/输运层或发光层或分散发光材料而提供专用电极。

[0303] 第二电极2407和第四电极2417的另一个可以使用不具有光传输特性的材料来形成。例如,可以使用诸如Li或Cs的碱金属、诸如Mg、Ca或Sr的碱土金属、包含这些元素的合金(例如Mg:Ag、Al:Li、Mg:In等等)、这些元素的化合物(例如诸如CaF₂的氟化钙或诸如Ca₃N₂的氮化钙)。此外,可以使用诸如Yb或Er的稀土金属。

[0304] 作为第三绝缘膜2408,可以使用与第二绝缘膜2405类似的材料。第三绝缘膜2408形成在第二电极2407的外围以便覆盖第二电极2407的边缘部分,并且具有分离相邻像素之间的发光层2409的功能。

[0305] 发光层2409由单层或多层形成。当发光层2409由多层形成时,考虑到载流子传输特性,这些层可以被分类为空穴注入层、空穴输运层、发光层、电子输运层、电子注入层等等。应当注意的是,这些层之间的边界并不总是要求很清楚。形成两个层的材料可以被部分混合,其中边界可以不清楚。可以对于每个层使用有机材料或无机材料。作为有机材料,可以使用任意高分子、中分子和低分子材料。

[0306] 发光元件2415由发光层2409、重叠的并将发光层2409夹在中间的第二电极2407、和第四电极2417构成。第二电极2407和第四电极2417中的一个对应于阳极,而另一个对应于阴极。当在阳极和阴极之间施加高于阈值电压的偏置电压时,电流从阳极流向阴极,由此发光元件2415发光。

[0307] 描述图24B中示出的结构。应当注意的是,与图24A中的那些相同的部分由相同的附图标记表示,并省略其描述。图24B对应于图24A,其中第四绝缘膜2418额外地设置在第二绝缘膜2405和第三绝缘膜2408之间。第五电极2416和第一电极2406通过设置在第四绝缘膜2418中的接触孔而连接。

[0308] 第四绝缘膜2418可以具有与第二绝缘膜2405相类似的结构。第五电极2416可以具有与第一电极2406相类似的结构。

[0309] 【实施例2】

[0310] 该实施例描述了使用非晶硅(a-Si:H)膜作为晶体管的半导体层的情况。图28A和28B示出了顶栅型晶体管,图29A至30B示出了底栅型晶体管。

[0311] 图28A示出了具有由非晶硅形成的半导体层的晶体管的截面视图。如图28A中所示,基膜2802形成在衬底2801上。此外,像素电极2803形成在基膜2802上。第一电极

2804 由和像素电极 2803 相同的材料形成,并形成在和像素电极 2803 相同的层中。

[0312] 对于衬底可以使用玻璃衬底、石英衬底、陶瓷衬底等等。此外,作为基膜 2802,可以使用氮化铝、氧化硅、氮化硅等等的单层或叠层。

[0313] 此外,第一布线 2805 和第二布线 2806 形成在基膜 2802 上。像素电极 2803 的边缘部分由第一布线 2805 覆盖。具有 n 型导电性的第一 n 型半导体层 2807 和第二 n 型半导体层 2808 形成在第一布线 2805 和第二布线 2806 上。半导体层 2809 形成在第一布线 2805 和第二布线 2806 之间的基膜 2802 上。半导体层 2809 的一部分延伸以便位于第一 n 型半导体层 2807 和第二 n 型半导体层 2808 上。应当注意的是,该半导体层由具有非结晶性的半导体膜,如非晶硅 (a-Si:H) 和微晶半导体 (μ -Si:H) 形成。栅极绝缘膜 2810 形成在半导体层 2809 上。此外,由和栅极绝缘膜 2810 相同的材料形成、并形成在和栅极绝缘膜 2810 相同的层中的绝缘膜 2811 也形成在第一电极 2804 上。应当注意的是,氧化硅膜、氮化硅膜等用于栅极绝缘膜 2810。

[0314] 栅电极 2812 形成在栅极绝缘膜 2810 上。此外,由和栅电极相同的材料形成、并形成在和栅电极相同的层中的第二电极 2813 形成在第一电极 2804 上,其间插有绝缘膜 2811。将绝缘膜 2811 夹在中间的第一电极 2804 和第二电极 2813 形成电容器 2819。此外,形成层间绝缘膜 2814 以便覆盖像素电极 2803 的边缘部分、驱动晶体管 2818 和电容器 2819。

[0315] 包含有机化合物的层 2815 和反向电极 2816 形成在层间绝缘层 2814 和设置在其中的开口部分中的像素电极 2803 上。其中包含有机化合物的层 2815 夹在像素电极 2803 和反向电极 2816 之间的区域形成了发光元件 2817。

[0316] 图 28A 中示出的第一电极 2804 可以由图 28B 中示出的第一电极 2802 形成。第一电极 2820 由和第一布线 2805 和第二布线 2806 相同的材料形成,并形成在和第一布线 2805 和第二布线 2806 相同的层中。

[0317] 图 29A 和 29B 均示出了使用具有由非晶硅形成的半导体层的底栅型晶体管的半导体器件中一部分面板的截面图。栅电极 2903 形成在衬底 2901 上。第一电极 2904 由和栅电极相同的材料形成,并形成在和栅电极相同的层中。栅电极 2903 可以由高熔点金属如 Ti、Cr、Mo、W 和 Ta 形成。

[0318] 栅极绝缘膜 2905 形成以便覆盖栅电极 2903 和第一电极 2904。氧化硅膜、氮化硅膜等等用作栅极绝缘膜 2905。

[0319] 第一半导体层 2906 形成在栅极绝缘膜 2905 上。第二半导体层 2907 由和第一半导体层 2906 相同的材料形成,并形成在和第一半导体层 2906 相同的层中。玻璃衬底、石英衬底、陶瓷衬底等等可用作衬底。

[0320] 具有 n 型导电性的第一 n 型半导体层 2908 和第二 n 型半导体层 2909 形成在第一半导体层 2906 上,第三 n 型半导体层 2910 形成在第二半导体层 2907 上。第一布线 2911 和第二布线 2912 分别形成在第一 n 型半导体层 2908 和第二 n 型半导体层 2909 上。由和第一布线 2911 和第二布线 2912 相同的材料形成、并形成在和第一布线 2911 和第二布线 2912 相同的层中的导电层 2913 形成在第三 n 型半导体层 2910 上。

[0321] 第二电极由第二半导体层 2907、第三 n 型半导体层 2910 和导电层 2913 形成。应当注意的是,将栅极绝缘膜 2905 夹在中间的第二电极和第一电极 2904 形成了电容器 2920。

[0322] 第一布线 2911 的一个边缘部分被延伸,在其上形成了像素电极 2914。

[0323] 形成绝缘膜 2915 以便覆盖像素电极 2914 的边缘部分、驱动晶体管 2918 和电容器 2920。包含有机化合物的层 2916 和反向电极 2917 形成在像素电极 2914 和绝缘层 2915 上。其中包含有机化合物的层 2916 夹在像素电极 2914 和反向电极 2917 之间的区域形成了发光元件 2918。

[0324] 并不总是要求提供作为电容器的一部分第二电极的第二半导体层 2907 和第三 n 型半导体层 2910。即,第二导电层 2913 可以用作第二电极,以便电容器具有其中栅极绝缘膜夹在第一电极 2904 和导电层 2913 之间的结构。

[0325] 在图 29A 中,通过在形成第一布线 2911 之前形成像素电极 2914,电容器 2920 可以形成具有其中栅极绝缘膜 2905 夹在第一电极 2904 和由和图 29B 中示出的像素电极 2914 相同的材料形成的第二电极 2921 之间的结构。

[0326] 图 29A 和 29B 中的每一个示出了具有沟道蚀刻结构的反向交错晶体管,然而,也可以采用具有沟道保护结构的晶体管。参考图 30A 和 30B 描述了具有沟道保护结构的晶体管。

[0327] 图 30A 中示出的具有沟道保护结构的晶体管与图 29A 中示出的具有沟道蚀刻结构的驱动晶体管 2919 的不同之处在于,作为用于蚀刻的掩模的绝缘层 3001 设置在其中形成第一半导体层 2906 的沟道的区域上。其他共同的部分由相同的附图标记表示。

[0328] 类似地,图 30B 中示出的具有沟道保护结构的晶体管与图 29B 中示出的具有沟道蚀刻结构的驱动晶体管 2919 的不同之处在于,作为用于蚀刻的掩模的绝缘层 3001 设置在其中形成了具有沟道蚀刻结构的驱动晶体管 2919 中的第一半导体层 2906 的沟道的区域上。其他共同的部分由相同的附图标记表示。

[0329] 通过使用非晶半导体膜作为形成该实施例的像素的晶体管的半导体层(沟道形成区、源区、漏区等等),可以减小制造成本。非晶半导体膜例如可以应用于如图 7 中所示的像素结构。

[0330] 可应用该实施例的像素结构的晶体管的结构和电容器的结构不限于上文所提到的,可以使用具有各种结构的晶体管和电容器。

[0331] 该实施例可以结合实施例 1 自由地实现。

[0332] 【实施例 3】

[0333] 该实施例描述了使用等离子体处理的半导体器件的制造方法来作为诸如晶体管的半导体器件的制造方法。

[0334] 图 31A 至 31C 是示出了包括晶体管的半导体器件的结构示例的视图。应当注意的是,图 31B 对应于沿图 31A 的 a-b 的截面视图,图 31C 对应于沿图 31A 的 c-d 的截面视图。

[0335] 图 31A 至 31C 中示出的半导体器件包括形成在衬底 4601 上的第一半导体膜 4603a 和第二半导体膜 4603b,其间插有第一绝缘膜 4602,形成在第一半导体膜 4603a 和第二半导体膜 4603b 上的栅电极 4605,其间插有栅极绝缘膜 4604,覆盖栅电极的第二绝缘膜 4606 和第三绝缘膜 4607,以及电连接到第一半导体膜 4603a 和第二半导体膜 4603b 的源区或漏区并形成在第三绝缘膜 4607 上的导电膜 4608。应当注意的是,在图 31A 至 31C 中,提供了具有一部分第一半导体膜 4603a 作为沟道区的 n 沟道晶体管 4610a 和具有一部分第二半导体膜 4603b 作为沟道区的 p 沟道晶体管 4601b,然而,本发明不限于该结构。例如,在图 31A 至 31C 中,LDD 区设置在 n 沟道晶体管 4610a 中,并且不设置在 p 沟道晶体管 4601b,然而,LDD 区可以设置在两个晶体管中或者不设置在任一晶体管中。

[0336] 在该实施例中,通过对衬底 4601、第一绝缘膜 4602、第一半导体膜 4603a 和第二半导体膜 4603b、栅极绝缘膜 4604、第二绝缘膜 4606 或第三绝缘膜 4607 中的至少任意一层进行等离子体处理,来氧化或氮化半导体膜或绝缘膜,由此制造如图 31A 至 31C 中所示的半导体器件。以这种方式,通过等离子体处理氧化或氮化半导体膜或绝缘膜,改进了半导体膜或绝缘膜的表面质量,由此可以形成和通过 CVD 方法或溅射方法形成的绝缘膜相比更致密的绝缘膜。结果,可以抑制诸如针孔的缺陷,可以改进半导体器件等的特性。

[0337] 该实施例参考附图描述了通过对如图 31A 至 31C 中所示的第一半导体膜 4603a 和第二半导体膜 4603b 或栅极绝缘膜 4604 施加等离子体处理,并氧化或氮化第一半导体膜 4603a 和第二半导体膜 4603b、栅极绝缘膜 4604,来制造半导体器件的方法。

[0338] 首先,描述了设置在衬底上的岛形半导体膜,其中其边缘部分具有几乎垂直的形状。

[0339] 首先,在衬底 4601 上形成第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b(图 32A-1 和 32A-2)。第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的形成可以通过在预先形成在衬底 4601 上的第一绝缘膜 4602 上通过溅射法、LPCVD 法、等离子体 CVD 法等等,使用包含硅(Si)作为主要组分材料(例如, $\text{Si}_x\text{Ge}_{1-x}$ 等)来形成非晶半导体膜,结晶化非晶半导体膜,并且选择性地蚀刻该半导体膜。应当注意的是,非晶半导体膜可以通过诸如激光结晶化法的结晶化法、使用 RTA 或退火炉的热结晶化法、使用促进结晶化的金属元素的热结晶化法、或这些方法的组合来进行结晶化。应当注意的是,在图 32A-1 和 32A-2 中,第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的边缘部分形成为以便具有几乎垂直的形状($\theta = 85$ 至 100°)。

[0340] 接下来,通过等离子体处理氧化或氮化第一半导体膜 4603a 和第二半导体膜 4603b,在第一半导体膜 4603a 和第二半导体膜 4603b 的表面上形成了氧化膜或第一绝缘膜 4621a 和第二绝缘膜 4621b(以下也称为第一绝缘膜 4621a 和第二绝缘膜 4621b)(图 32B)。例如,在其中 Si 用作第一半导体膜 4603a 和第二半导体膜 4603b 的情况下,氧化硅或氮化硅形成作为第一绝缘膜 4621a 和第二绝缘膜 4621b。此外,在第一半导体膜 4603a 和第二半导体膜 4603b 通过等离子体处理被氧化之后,它们可以再次通过等离子体处理被氮化。在该情况下,氧化硅与第一半导体膜 4603a 和第二半导体膜 4603b 接触形成,并且氮氧化硅(SiN_xO_y)($x > y$)形成在氧化硅的表面上。在通过等离子体处理氧化半导体膜的情况下,在氧气气氛中进行等离子体处理(例如,包含氧气(O_2)和稀有气体(He、Ne、Ar、Kr 和 Xe 中的至少一种)的气氛,包含氧气、氢气(H_2)和稀有气体的气氛,或包含一氧化二氮和稀有气体的气氛)。另一方面,当通过等离子体氮化半导体膜时,等离子体处理在氮气气氛中进行(例如,包含氮气(N_2)和稀有气体(包含 He、Ne、Ar、Kr 和 Xe 中的至少一种)的气氛,包含氮气、氢气和稀有气体的气氛,或包含 NH_3 和稀有气体的气氛)。作为稀有气体,例如可以使用 Ar。或者,也可以使用其中混合了 Ar 和 Kr 的气体。因此,第一绝缘膜 4621a 和第二绝缘膜 4621b 包含用于等离子体处理的稀有气体(包含 He、Ne、Ar、Kr 和 Xe 中的至少一种)。当使用 Ar 时,第一绝缘膜 4621a 和第二绝缘膜 4621b 包含 Ar。

[0341] 此外,在包含前述气体的气氛中进行等离子体处理,其中电子密度为 1×10^{11} 至 $1 \times 10^{13} \text{ cm}^{-3}$ 且等离子体的电子温度为 0.5 至 1.5 eV。等离子体的电子密度很高,且在衬底 4601 上形成的将要被处理的对象(这里是第一半导体膜 4603a 和第二半导体膜 4603b)附

近的电子温度很低。因此,可以避免对将要被处理的对象的等离子体损伤。此外,由于等离子体的电子密度是 $1 \times 10^{11} \text{cm}^{-3}$ 或更高,通过等离子体处理对将要被处理的对象进行氧化或氮化而形成的氧化膜或氮化膜可以是和通过 CVD 方法、溅射方法等形成的膜相比具有优异的膜厚度平坦性的致密膜。此外,由于等离子体的电子温度是 1eV 或更低,可以在比常规等离子体处理或热氧化方法更低的温度下进行氧化处理或氮化处理。例如,即使当在比玻璃衬底的形变点低 100℃ 或以上的温度下进行等离子体处理时,也可以充分地进行氧化处理或氮化处理。作为产生等离子体的频率,可以采用诸如微波 (2.45GHz) 的高频波。之后,除非特别指明的,均以上述条件进行等离子体处理。

[0342] 接下来,形成栅极绝缘膜 4604 以覆盖第一绝缘膜 4621a 和第二绝缘膜 4621b (图 32C-1 和 32C-2)。栅极绝缘膜 4604 可以通过溅射法、LPCVD 法、等离子体 CVD 法等等成为具有单层结构或包含诸如氧化硅、氮化硅、氧氮化硅 (SiO_xN_y) ($x > y$)、或氮氧化硅 (SiN_xO_y) ($x > y$) 的氮化物或氧化物的绝缘膜的叠层结构。例如,当 Si 用于第一半导体膜 4603a 和第二半导体膜 4603b 时, Si 通过等离子体处理被氧化,在第一绝缘膜 4621a 和第二绝缘膜 4621b 上形成氧化硅作为栅极绝缘膜。在图 32B-1 和 32B-2 中,当通过氧化或氮化第一半导体膜 4603a 和第二半导体膜 4603b 形成的第一绝缘膜 4621a 和第二绝缘膜 4621b 具有足够厚度时,第一绝缘膜 4621a 和第二绝缘膜 4621b 可以用作栅极绝缘膜。

[0343] 接着,通过在栅极绝缘膜 4604 上形成栅电极 4605 等,可以在栅极绝缘膜 4604 上制造分别具有第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 作为沟道区的 n 沟道晶体管 4610a 和 p 沟道晶体管 4610b (图 32D-1 和 32D-2)。

[0344] 以这种方式,在第一半导体膜 4603a 和第二半导体膜 4603b 上提供栅极绝缘膜 4604 之前,通过等离子体处理来氧化或氮化第一半导体膜 4603a 和第二半导体膜 4603b 的表面,可以防止由第一沟道区的边缘部分 4651a、第二沟道区的边缘部分 4651b 处的栅极绝缘膜 4604 的覆盖中的缺陷引起的栅电极和半导体膜之间的短路。即,在岛形半导体膜的边缘部分具有几乎垂直的形状 ($\theta = 85$ 至 100°) 的情况下,当通过 CV9 法、溅射法等等将栅极绝缘膜形成覆盖半导体膜时,栅极绝缘膜可能断裂并在半导体膜的边缘部分处具有有缺陷的覆盖。然而,通过对其表面应用等离子体处理来预先氧化或氮化半导体膜,可以防止在半导体膜的边缘部分处栅极绝缘膜的缺陷覆盖等等。

[0345] 在图 32A-1 至 D-2 中,在形成栅极绝缘膜 4604 之后可以通过进行等离子体处理来氧化或氮化栅极绝缘膜 4604。在该情况下,通过对形成覆盖第一半导体膜 4603a 和第二半导体膜 4603b 的栅极绝缘膜 4604 (图 33A-1 和 33A-2) 应用等离子体处理来氧化或氮化栅极绝缘膜 4604,氧化膜或氮化膜 (此后称为绝缘膜 4623) 形成在栅极绝缘膜 4604 的表面上 (图 33B-1 和 33B-2)。等离子体处理的条件可以类似于图 32B-1 和 32B-2 进行设置。此外,绝缘膜 4623 包含用于等离子体处理的稀有气体。例如,当使用 Ar 时,绝缘膜 4623 包含 Ar。

[0346] 在 33B-1 和 33B-2 中,在通过在氧气气氛中进行等离子体处理来氧化栅极绝缘膜 4604 之后,可以再次在氮气气氛中通过进行等离子体处理来氮化栅极绝缘膜 4604。在该情况下,根据第一半导体膜 4603a 和第二半导体膜 4603b 的突出和凹陷在其上形成氧化硅或氧氮化硅 (SiO_xN_y) ($x > y$),并且接触栅电极 4605 形成氮氧化硅 (SiN_xO_y) ($x > y$)。之后,通过在绝缘膜 4623 上形成栅电极 4605 等,可以制造包括分别具有第一岛形半导体膜 4603a

和第二岛形半导体膜 4603b 作为沟道区的 n 沟道晶体管 4610a 和 p 沟道晶体管 4610b 的半导体器件 (33C-1 和 33C-2)。以这种方式,通过对栅极绝缘膜应用等离子体处理来氧化或氮化栅极绝缘膜的表面,可以改进栅极绝缘膜的表面质量,并可以形成更致密的膜。通过进行等离子体处理获得的绝缘膜和通过 CVD 法或溅射法形成的绝缘膜相比更致密,并具有更少诸如针孔的缺陷,因此,可以改进晶体管的特性。

[0347] 在 33A-1 至 33C-2 中,通过预先对第一半导体膜 4603a 和第二半导体膜 4603b 应用等离子体处理,第一半导体膜 4603a 和第二半导体膜 4603b 的表面被氧化或氮化,然而,可以在形成栅极绝缘膜 4604 之后应用等离子体处理,而不对第一半导体膜 4603a 和第二半导体膜 4603b 应用等离子体处理。以这种方式,通过在形成栅电极之前应用等离子体处理,即使由于在半导体膜边缘部分处的栅极绝缘膜断裂而产生了缺陷覆盖,通过缺陷覆盖暴露的半导体膜也可以被氧化或氮化。因此,可以防止栅电极和半导体膜之间的短路等等,该短路是由半导体膜边缘部分处的栅极绝缘膜的缺陷覆盖所引起的。

[0348] 以这种方式,即使当岛形半导体膜的边缘部分形成为几乎垂直形状时,通过等离子体处理氧化或氮化半导体膜或栅极绝缘膜,可以防止栅电极和半导体膜之间的短路等等,该短路是由半导体膜边缘部分处的栅极绝缘膜的缺陷覆盖所引起的。

[0349] 接着,描述设置在衬底上的岛形半导体膜的边缘部分形成为具有锥形形状 ($\theta = 30$ 至 85°) 的情况。

[0350] 首先,在衬底 4601 上形成第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b (图 34A-1 和 34A-2)。对于岛形半导体膜 4603a 和 4603b,通过溅射法、LPCVD 法、等离子体 CVD 法等等,使用主要包含硅 (Si) (例如 $\text{Si}_x\text{Ge}_{1-x}$ 等等) 的材料,在预先形成在衬底 4601 上的第一绝缘膜 4602 上形成非晶半导体膜。接着,通过诸如激光结晶化方法、使用 RTA 或退火炉的热结晶化方法、使用促进结晶化的金属元素的热结晶化方法的结晶化方法来结晶化非晶半导体膜。然后,选择性地蚀刻并移除半导体膜。在图 34A-1 至 34D-2 中,岛形半导体膜 4603a 和 4603b 的边缘部分被锥形成 ($\theta = 30$ 至 85°)。

[0351] 接着,形成栅极绝缘膜 4604 以便覆盖第一半导体膜 4603a 和第二半导体膜 4603b (图 34B-1 和 34B-2)。栅极绝缘膜 4604 可以通过溅射法、LPCVD 法、等离子体 CVD 法等等形成为包含诸如氧化硅、氮化硅、氧氮化硅 (SiO_xN_y) ($x > y$)、或氮氧化硅 (SiN_xO_y) ($x > y$) 的氮化物或氧化物的绝缘膜的单层结构或叠层结构。

[0352] 接着,通过等离子体处理氧化或氮化栅极绝缘膜 4604,并且因此在栅极绝缘膜 4604 的表面上形成氧化物膜或氮化物膜 (此后称为绝缘膜 4624) (图 34C-1 和 34C-2)。注意等离子体处理的条件可以类似于以上所述的。例如,当氧化硅或氧氮化硅 (SiO_xN_y) ($x > y$) 用作栅极绝缘膜 4604 时,在包含氧气的气氛中进行等离子体处理以便氧化栅极绝缘膜 4604。通过等离子体处理在栅极绝缘膜的表面上获得的膜和通过 CVD 法或溅射法形成的栅极绝缘膜相比更致密,并具有更少诸如针孔的缺陷,另一方面,当在包含氮气的气氛中进行等离子体处理以便氮化栅极绝缘膜 4604 时,可以在栅极绝缘膜 4604 表面上提供氮氧化硅 (SiN_xO_y) ($x > y$) 作为绝缘膜 4624。此外,在包含氧气的气氛中进行等离子体处理以便氧化栅极绝缘膜 4604 之后,可以再次在氮气气氛中进行等离子体处理以便氮化栅极绝缘膜 4604。绝缘膜 4624 包含等离子体处理中使用的稀有气体。例如,当使用 Ar 时,绝缘膜 4624 包含 Ar。

[0353] 接着,通过在栅极绝缘膜 4604 上形成栅电极 4605 等等,可以制造包括分别具有第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 作为沟道区的 n 沟道晶体管 4610a 和 p 沟道晶体管 4610b (图 34D-1 和 34D-2)。

[0354] 以这种方式,通过对栅极绝缘膜进行等离子体处理,在栅极绝缘膜的表面上形成由氧化膜或氮化物膜形成的绝缘膜,可以改进栅极绝缘膜表面的质量。通过等离子体处理而氧化或氮化的绝缘膜和通过 CVD 法或溅射法形成的栅极绝缘膜相比更致密,并具有更少诸如针孔的缺陷,因此可以改进薄膜晶体管的特性。此外,通过将半导体膜的边缘部分形成锥形形状,可以防止在半导体膜边缘部分处的栅极绝缘膜等的缺陷覆盖引起的栅电极和半导体膜之间的短路。然而,通过在形成栅极绝缘膜之后进行等离子体处理,可以进一步防止在栅电极和半导体膜之间的短路等等。

[0355] 参考附图描述与图 34A-1 至 34D-2 不同的半导体器件的制造方法。具体地,描述将等离子体处理选择性地应用于具有锥形形状的半导体膜的边缘部分的情况。

[0356] 首先,在衬底 4601 上形成第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b (图 35A-1 和 35A-2)。对于第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b,通过溅射法、LPCVD 法、等离子体 CVD 法等等,在预先形成在衬底 4601 上的第一绝缘膜 4602 上使用主要包含硅 (Si) 的材料 (例如, $\text{Si}_x\text{Ge}_{1-x}$ 等) 来形成非晶半导体膜。然后,将该非晶半导体膜结晶化,并且使用第一抗蚀剂 4625a 和第二抗蚀剂 4625b 作为掩模来选择性地蚀刻。可以应用诸如激光结晶化方法、使用 RTA 或退火炉的热结晶化方法、使用促进结晶化的金属元素的热结晶化方法或这些方法的组合的结晶化方法来结晶化非晶半导体膜。

[0357] 接下来,在去除用于蚀刻半导体膜的第一抗蚀剂 4625a 和第二抗蚀剂 4625b 之前,进行等离子体处理以便选择性地氧化或氮化第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的边缘部分。在第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的边缘部分处形成氧化物膜或氮化物膜 (此后也称为绝缘膜 4626) (图 35B-1 和 35B-2)。以上述条件执行等离子体处理。此外,绝缘膜 4626 包含在等离子体处理中使用的稀有气体。

[0358] 接着,形成栅极绝缘膜 4604 以便覆盖第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b (图 35C-1 和 35C-2)。可以类似上述地形成栅极绝缘膜 4604。

[0359] 接着,通过在栅极绝缘膜 4604 上形成栅电极 4605 等,可以制造分别具有第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 作为沟道区的 n 沟道晶体管 4610a 和 p 沟道晶体管 4610b 的半导体器件 (图 35D-1 和 35D-2)。

[0360] 当第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的边缘部分被锥形化时,在第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的每一部分中形成的第一和第二沟道区的边缘部分 4652a 和 4652b 也被锥形化。因此,由于半导体膜和栅极绝缘膜的厚度和中心部分相比发生了变化,因此可能影响晶体管的特性。因此,通过等离子体处理选择性地氧化或氮化沟道区的边缘部分,在变成沟道区的边缘部分的半导体膜中形成了绝缘膜。因此,可以减小由于沟道区的边缘部分而导致的对晶体管的影响。

[0361] 图 35A-1 至 35D-2 示出了仅对将被氧化或氮化的第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的边缘部分应用等离子体处理的情况。然而无需说的是,等离子体处理还可以应用于将被氧化或氮化的栅极绝缘膜 4604 (图 36A-1 和 36A-2)。

[0362] 接下来,参考附图描述与上述不同的半导体器件的制造方法。具体地,对具有锥形

形状的半导体膜应用等离子体处理。

[0363] 首先,类似于前述在衬底 4601 上形成第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b (图 36A-1 和 36A-2)。

[0364] 接着,对第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 应用等离子体处理以便氧化或氮化第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b,由此形成氧化物膜或氮化物膜(此后也称为第一绝缘膜 4627a 和第二绝缘膜 4627b)(图 36B-1 和 36B-2)。可以与上述条件类似地进行等离子体处理。例如,当 Si 用于第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 时,形成氧化硅或氮化硅作为第一绝缘膜 4627a 和第二绝缘膜 4627b。此外,在通过等离子体处理氧化第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 之后,可以再次进行等离子体处理以便氮化第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b。在该情况下,与第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 接触形成氧化硅或氮化硅 (SiO_xN_y) ($x > y$),并在氧化硅的表面上形成氮氧化硅 (SiN_xO_y) ($x > y$)。因此,第一绝缘膜 4627a 和第二绝缘膜 4627b 包含用于等离子体处理的稀有气体。通过等离子体处理,第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的边缘部分同时被氧化或氮化。

[0365] 接着,形成栅极绝缘膜 4604 以便覆盖第一绝缘膜 4627a 和第二绝缘膜 4627b (图 36C-1 和 36C-2)。作为栅极绝缘膜 4604,可以通过溅射法、LPCVD 法、等离子体 CVD 法等等使用单层结构,或包含诸如氧化硅、氮化硅、氧氮化硅 (SiO_xN_y) ($x > y$)、或氮氧化硅 (SiN_xO_y) ($x > y$) 的氮化物或氧化物的绝缘膜的叠层结构。例如,在通过等离子体处理氧化使用 Si 的第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 以便形成氧化硅作为在第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 的表面的第一绝缘膜 4627a 和第二绝缘膜 4627b 的情况中,形成氧化硅作为在第一绝缘膜 4627a 和第二绝缘膜 4627b 上的栅极绝缘膜。

[0366] 接下来,通过在栅极绝缘膜 4604 上形成栅电极 4605 等,可以制造包括分别具有第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 作为沟道区的 n 沟道晶体管 4610a 和 p 沟道晶体管 4610b 的半导体器件(图 36D-1 和 36D-2)。

[0367] 当半导体膜的边缘部分形成为锥形形状时,在一部分半导体膜中形成的沟道区的边缘部分变为锥形形状,其可以影响半导体元件的特性。因此,通过等离子体处理氧化或氮化半导体膜,氧化或氮化了沟道区的边缘部分,其可以减小对半导体元件的影响。

[0368] 图 36A-1 至 36D-2 示出了仅对将被氧化或氮化的第一岛形半导体膜 4603a 和第二岛形半导体膜 4603b 应用等离子体处理的情况。然而无需说的是,等离子体处理还可以应用于将被氧化或氮化的栅极绝缘膜 4604 (图 36B-1 和 36B-2)。在这种情况下,栅极绝缘膜 4604 可以在氧气气氛中通过等离子体处理被氧化,然后在氮气气氛中通过等离子体处理被氮化。因此,根据第一半导体膜 4603a 和第二半导体膜 4603b 的突出和凹陷在其上形成氧化硅或氮氧化硅 (SiO_xN_y) ($x > y$),并且接触栅电极 4605 形成氮氧化硅 (SiN_xO_y) ($x > y$)。

[0369] 以这种方式,通过使用等离子体处理进行氧化或氮化来改进半导体膜或栅极绝缘膜的质量,可以形成致密且令人满意的绝缘膜。结果,即使当绝缘膜形成得很薄时也可以防止诸如针孔的缺陷,由此可以实现微小且高功能性的半导体元件,诸如晶体管。

[0370] 应当注意的是,在该实施例中,对图 31A 至 31C 中的第一岛形半导体膜 4603a、第二岛形半导体膜 4603b、或栅极绝缘膜 4604 应用等离子体处理以便氧化或氮化第一岛形半导体膜 4603a、第二岛形半导体膜 4603b、或栅极绝缘膜 4604,然而,通过等离子体处理氧化

或氮化的层不限于这些。例如,等离子体处理还可以应用于衬底 4601 或第一绝缘膜 4602、第二绝缘膜 4606 或第三绝缘膜 4607。

[0371] 该实施例可以自由地与实施例 1 或 2 结合来实施。

[0372] 【实施例 4】

[0373] 在该实施例中,参考图 38A 至 40B 描述了制造诸如晶体管的半导体器件的掩模图案的示例。

[0374] 第一半导体层 5610 和第二半导体层 5611 优选由硅形成的或包含硅的结晶半导体形成。例如,使用多晶硅、单晶硅等等,其通过激光退火等结晶化硅膜来获得。此外,还可以应用呈现半导体特性的金属氧化物半导体、非晶硅、或有机半导体。

[0375] 在任意情况中,在具有绝缘表面的衬底的整个表面或一部分上(具有比用作晶体管的半导体区更宽面积的区域)形成首先将要形成的半导体层。然后,通过光刻法在半导体上形成掩模图案。通过利用掩模图案蚀刻半导体层,形成具有岛形形状的第一半导体层 5610 和第二半导体层 5611,以便包括晶体管的源区、漏区和沟道形成区。第一半导体层 5610 和第二半导体层 5611 考虑版图布局来确定。

[0376] 在图 38A 中示出的用于形成第一半导体层 5610 和第二半导体层 5611 的光掩模提供有如图 38B 中所示的掩模图案 5630。该掩模图案 5630 根据用于光刻的抗蚀剂是正型还是负型而不同。在使用正型抗蚀剂的情况中,图 38B 中所示的掩模图案 5630 制作为光屏蔽部分。掩模图案 5630 具有其中去除了多边形的顶部部分 A 的形状。此外,弯曲部分 B 具有通过多个步骤被弯曲以便角部不具有直角的形状。在该光掩模的图案中,例如,该图案的角部(直角三角形)被移除以便直角三角形的一边变为 $10\ \mu\text{m}$ 或更短。

[0377] 图 38B 中示出的掩模图案 5630 的形状被反映到图 38A 中所示的第一半导体层 5610 和第二半导体层 5611。在该情况下,可以转移与掩模图案 5630 类似的形状,然而,掩模图案 5630 的角部可以具有进一步圆形的形状。即,可以提供图案形状比掩模图案 5630 进一步被平滑的圆形部分。

[0378] 至少部分地包含氧化硅或氮化硅的绝缘层形成在第一半导体层 5610 和第二半导体层 5611 上。该绝缘层其中一个功能是栅极绝缘层。如图 39A 所示,第一栅极布线 5712、第二栅极布线 5713、和第三栅极布线 5714 形成为部分地与半导体层重叠。第一栅极布线 5712 形成为对应于第一半导体层 5610。第二栅极布线 5713 形成为对应于第一半导体层 5610 和第二半导体层 5611。此外,第三栅极布线 5714 形成为对应于第一半导体层 5610 和第二半导体层 5611。栅极布线通过形成金属层或高度导电的半导体层、并在绝缘层上通过光刻构图该层而形成。

[0379] 用于形成栅极布线的光掩模提供有如图 39B 中所示的掩模图案 5731。掩模图案 5731 具有这样的图案,其中具有弯曲成 L 形状的直角三角形的角部被去除以便三角形的一边是 $10\ \mu\text{m}$ 或更短,或等于或长于布线线宽的五分之一、并且等于或短于布线线宽的一半,由此使角部变圆。这就是说,当从上面看时,角部中布线层的周界是弯曲的。如图 39B 中示出的掩模图案 5731 的形状被反映到如图 39A 中示出的第一栅极布线 5712、第二栅极布线 5713、和第三栅极布线 5714。在该情况下,可以转移与掩模图案 5731 类似的形状,然而,掩模图案 5731 的角部可以具有进一步圆形的形状。即,可以提供图案形状比掩模图案 5731 进一步被平滑的圆形部分。即,在第一栅极布线 5712、第二栅极布线 5713、和第三栅极布线

5714 的角部中,为了形成角部的圆形周界,一部分布线层被去除,其对应于等腰直角三角形,具有彼此垂直产生该角的两个第一直线,以及以该两个第一直线产生约 45 度角的第二直线。当去除该三角形时,在布线层中形成两个钝角。此时,布线层优选通过适当调节蚀刻条件和 / 或掩模设计来进行蚀刻,以便在每个钝角部分中与第一直线和第二直线接触地形成圆形线。注意,等腰直角三角形彼此相等的两个边的长度等于或长于布线宽度的五分之一,且等于或短于布线宽度的一半。此外,角部的内周界也按照角部的周界形成成为圆形。突出部分具有抑制由于当通过等离子体进行干法蚀刻而导致的异常放电所引起的极细粉末产生的效应,凹陷部分具有当清洗衬底时冲洗掉易于堆积在角部的极细粉末的效应。结果,预期可以显著提高产量。

[0380] 在形成第一栅极布线 5712、第二栅极布线 5713、和第三栅极布线 5714 之后形成层间绝缘层。层间绝缘层由诸如氧化硅的无机绝缘材料 或使用聚酰亚胺、丙烯酸树脂等等的有机绝缘材料形成。诸如氮化硅或氮氧化硅的绝缘层可以插入在层间绝缘层、第一栅极布线 5712、第二栅极布线 5713、和第三栅极布线 5714 之间。此外,由氮化硅或氮氧化硅形成的绝缘层也可以设置在层间绝缘层上。该绝缘层可以防止半导体层或栅极绝缘层被对晶体管不利的诸如外来金属离子或湿气的杂质所污染。

[0381] 层间绝缘膜在预定位置处具有开口。例如,提供了开口以便对应于栅极布线或下面形成的半导体层。由金属或金属化合物的单层或多层形成的布线层通过以光刻形成的掩模图案进行蚀刻而被构图为预定的图案。接着,如图 40A 所示,第一布线 5815 至第四布线 5820 形成为部分重叠半导体层。该布线在特定元件之间连接。该布线不在特定元件之间线性连接,而是由于版图布局的限制而以弯曲方式连接。此外,布线的宽度在接触部分或其他区域中发生改变。在接触部分中,当接触孔和布线宽度一样大或更大时,布线宽度改变以便在该部分中扩展。

[0382] 用于形成第一布线 5815 至第四布线 5820 的光掩模提供有图 40B 中所示的掩模图案 5832。在该情况中,掩模图案 5832 具有这样的图案,其中具有弯曲成 L 形状的直角三角形的角部被去除以便三角形的一边是 $10\ \mu\text{m}$ 或更短,或等于或长于布线线宽的五分之一、并且等于或短于布线线宽的一半,由此使角部变圆。这就是说,当从上面看时,角部中布线层的周界是弯曲的。即,为了形成角部的圆形周界,一部分掩模图案 5832 被去除,其对应于等腰直角三角形,具有彼此垂直产生该角的两个第一直线,以及以该两个第一直线产生约 45 度角的第二直线。当去除该三角形时,在布线层中形成两个钝角。此时,布线层优选通过适当调节蚀刻条件和 / 或掩模设计来进行蚀刻,以便在每个钝角部分中与第一直线和第二直线接触地形成圆形线。注意,等腰直角三角形彼此相等的两个边的长度等于或长于布线宽度的五分之一,且等于或短于布线宽度的一半。此外,角部的内周界也按照角部的周界形成成为圆形。突出部分具有抑制由于当通过等离子体进行干法蚀刻而导致的异常放电所引起的极细粉末产生的效应,凹陷部分具有当清洗衬底时冲洗掉易于堆积在角部的极细粉末的效应。结果,预期可以显著提高产量。当布线的角部变圆时,还预期产生更有效的电传导。此外,清洗掉多个平行布线中的灰尘是相当方便的。

[0383] 图 40A 示出了第一 n 沟道晶体管 5821 至第四 n 沟道晶体管 5824,第一 p 沟道晶体管 5825 和第二 p 沟道晶体管 5826。第三 n 沟道晶体管 5823 和第一 p 沟道晶体管 5825 构成第一反相器 5827,而第四 n 沟道晶体管 5824 和第二 p 沟道晶体管 5826 构成第二反相

器 5828。应当注意的是,包括这六个晶体管的电路构成了 SRAM。由氮化硅、氧化硅等形成的绝缘层可以形成在这些晶体管上。

[0384] 该实施例可以结合实施例 1 至 3 自由地实现。

[0385] 【实施例 5】

[0386] 在该实施例中,参考图 25A 至 25C 描述了将其中形成像素的衬底密封的结构。图 25A 是通过密封其中形成像素的衬底而形成的面板的顶视图。图 25B 和 25C 是沿图 25A 中的 A-A' 的截面图。图 25B 和 25C 中示出的衬底通过不同的方法进行密封。

[0387] 在图 25A 至 25C 中,包括多个像素的像素部分 2502 提供在衬底 2501 上,提供密封剂 2506 以便环绕像素部分 2502,并且密封材料 2507 附着于此。对于像素结构,可以使用在实施例模式或实施例 1 中描述的结构。

[0388] 在如图 25B 所示的面板中,如图 25A 所示的密封材料 2507 对应于反向衬底 2521。透明的反向衬底 2521 通过使用密封剂 2506 作为粘附层而附着,由此通过衬底 2501、反向衬底 2521 和密封剂 2506 形成了密封空间 2522。反向衬底 2521 提供有滤色器 2520 和用于保护滤色器的保护膜 2523。从像素部分 2502 中设置的发光元件发出的光通过滤色器 2520 被释放到外部。密封空间 2522 被填充以惰性树脂、液体等。应当注意的是,其中分散有吸湿材料的具有透光性质的树脂可以用作在密封空间 2522 中填充的树脂。此外,通过对密封剂 2506 和将要在密封空间 2522 中填充的材料使用相同的材料,可以附着反向衬底 2521 并可以同时密封像素部分 2502。

[0389] 在如图 25C 所示的显示面板中,如图 25A 所示的密封材料 2507 对应于密封材料 2524。通过使用密封剂 2506 作为粘附层,附着了密封材料 2524,由此通过衬底 2501、密封剂 2506 和密封材料 2524 形成了密封空间 2508。吸湿剂 2509 预先提供在密封材料 2524 的凹陷部分中,用于通过在密封空间 2508 中吸收湿气、氧气等来保持清洁的气氛,以便抑制发光元件的退化。该凹陷部分覆盖有细网型覆盖材料 2510。该覆盖材料 2510 透过空气和湿气,但是吸湿剂 2509 不透过。应当注意的是,密封空间 2508 可以填充以诸如氮气或氩气的稀有气体,或者可以填充以惰性树脂或液体。

[0390] 用于将信号传输到像素部分 2502 等的输入端部分 2511 设置在衬底 2501 上。诸如视频信号的信号通过柔性印刷电路 (FPC) 2512 被传输到输入端部分 2511。在输入端部分 2511 中,形成在衬底 2501 上的布线和设置在柔性印刷电路 (FPC) 2512 中的布线通过使用其中分散了导体的树脂(各向异性导电膜 (ACF)) 被电连接。

[0391] 用于将信号输入到像素部分 2502 的驱动电路可以集成在其中形成像素部分 2502 的衬底 2501 上。用于将信号输入到像素部分 2502 的驱动电路可以形成为 IC 芯片,其然后可以通过 COG(玻璃上芯片) 连接在衬底 2501 上,或者 IC 芯片可以通过 TAB(载带自动接合) 或使用印刷板设置在衬底 2501 上。

[0392] 该实施例可以自由地与实施例 1 至 4 结合来实施。

[0393] 【实施例 6】

[0394] 本发明可以应用于结合了用于将信号输入到面板的电路的显示模块。

[0395] 图 26 示出了其中组合了面板 2600 和电路衬底 2604 的显示模块。在图 26 中,控制器 2605、信号驱动电路 2606 等形成在电路衬底 2604 上作为示例,然而,在电路衬底 2604 上形成的电路不限于这些,可以设置产生用于控制面板的信号的任何电路。

[0396] 从在电路衬底 2604 上形成的这些电路中输出的信号通过连接布线 2607 被输入到面板 2600。

[0397] 面板 2600 包括像素部分 2601、源极驱动器 2602 和栅极驱动器 2603。面板 2600 的配置可以类似于在实施例 1、2 等中所描述的。在图 26 中,源极驱动器 2602 和栅极驱动器 2603 形成在与像素部分 2601 相同的衬底上,然而,本发明的显示模块不限于该配置。仅有栅极驱动器 2603 可以形成在和像素部分 2601 相同的衬底上,而源极驱动器可以形成在电路衬底上。或者,源极驱动器和栅极驱动器都可以形成在电路衬底上。

[0398] 通过结合这种显示模块,可以形成各种电子器件的显示部分。

[0399] 该实施例可以自由地与实施例 1 至 5 结合来实施。

[0400] 【实施例模式 7】

[0401] 在该实施例中,描述了可以应用本发明的电子器件。电子器件包括照相机(摄像机、数字照相机等等)、投影仪、头戴式显示器(目镜型显示器)、导航系统、汽车音响、个人计算机、游戏机、便携式信息终端(移动计算机、便携式电话、电子书等等)、提供有记录介质的图像再现装置(具体地,再现诸如 DVD(数字化视频光盘)的存储介质并具有能够显示所再现的图像的显示器的装置)等等。在图 27A 至 27D 中示出了电子器件的典型示例。

[0402] 图 27A 示出了个人计算机,包括主体 2711、外壳 2712、显示部分 2713、键盘 2714、外部连接端口 2715、指向鼠标 2716 等等。本发明应用于显示部分 2713。通过使用本发明,可以减小显示部分的功率消耗。

[0403] 图 27B 示出了提供有记录介质的图像再现装置(具体是 DVD 再现装置),包括主体 2721、外壳 2722、第一显示部分 2723、第二显示部分 2724、记录介质读取部分 2725(DVD 等)、操作键 2726、扬声器部分 2727 等等。第一显示部分 2723 主要显示图像数据而第二显示部分 2724 主要显示文本数据。本发明应用于第一显示部分 2723 和第二显示部分 2724。通过使用本发明,可以减小显示部分的功率消耗。

[0404] 图 27C 示出了便携式电话,包括主体 2731、音频输出部分 2732、音频输入部分 2733、显示部分 2734、操作开关 2735、天线 2736 等等。本发明应用于显示部分 2734。通过使用本发明,可以减小显示部分的功率消耗。

[0405] 图 27D 示出了照相机,包括主体 2741、显示部分 2742、外壳 2743、外部连接端口 2744、遥控接收部分 2745、图像接收部分 2746、电池 2747、音频输入部分 2748、操作键 2749 等等。本发明应用于显示部分 2742。通过使用本发明,可以减小显示部分的功率消耗。

[0406] 该实施例可以自由地与实施例 1 至 6 结合来实施。

[0407] 【实施例 8】

[0408] 该实施例参考附图中示出的应用模式描述了具有显示部分的显示面板的应用示例,该显示部分包含使用本发明的像素结构的显示器件。

[0409] 具有包含使用本发明的像素结构的显示器件的显示部分的显示面板可以与运输工具、建筑物等集成。

[0410] 图 47A 和 47B 示出了集成有显示器件的运输工具的例子,作为具有包含使用本发明的像素结构的显示器件的显示部分的显示面板的例子。图 47A 示出了其中显示面板 9702 用于列车主体 9701 中的玻璃门的示例,作为集成有显示器件的运输工具的例子。在均具有包括使用本发明的像素结构的显示器件的显示部分的显示面板 9702 中,通过外部信号可

以容易地改变显示部分中显示的图像。因此,根据列车的乘客种类改变的时间可以改变显示面板的图像,其有望提供更有效的广告效应。

[0411] 应当注意的是,具有包括使用本发明的像素结构的显示器件的显示部分的显示面板不限于能够应用于图 47A 所示的列车主体中的玻璃门,而是可以通过改变其形状应用于各种场合。图 47B 示出了其示例。

[0412] 图 47B 示出了列车主体的内部。在图 47B 中,除了用于图 47A 所示的玻璃门的显示面板 9702 以外,还示出了设置在玻璃窗上的第一显示面板 9703 和悬挂在天花板上的第二显示面板 9704。具有本发明的像素结构的第一显示面板 9703 提供有发光显示元件。因此,当列车满载乘客时它显示广告图像,而当列车不拥挤时它不进行显示,由此可以从列车内看到外面的景象。此外,在具有本发明的像素结构的第二显示面板 9704 中,通过在膜型衬底上提供诸如有机晶体管的开关元件以驱动自发光型显示元件,显示面板本身可以弯曲并进行显示。

[0413] 参考图 49,描述了集成有显示器件的运输工具的另一应用示例,该运输工具使用了具有包含使用本发明的像素结构的显示器件的显示部分的显示面板。

[0414] 图 49 示出了集成有显示器件的运输工具,作为具有包含使用本发明的像素结构的显示器件的显示部分的显示面板的示例。图 49 示出了与汽车车身 9901 集成的显示面板 9902 的示例,作为集成有显示器件的运输工具的例子。图 49 中示出的具有包含使用本发明的像素结构的显示器件的显示部分的显示面板 9902 与汽车车身集成,并具有显示汽车运动以及按需要内部或外部输入的信息的功能,并且导航汽车到达目的地。

[0415] 应当注意的是,具有包括使用本发明的像素结构的显示器件的显示部分的显示面板不限于能够应用于图 49 所示的汽车车身前部,而是可以通过改变其形状应用于诸如玻璃窗和门的各种场合。

[0416] 参考图 51A 和 51B,描述了集成有显示器件的运输工具的另一应用模式,该运输工具使用了具有包含使用本发明的像素结构的显示器件的显示部分的显示面板。

[0417] 图 51A 和 51B 的每一个均示出了集成有显示器件的运输工具,作为具有包含使用本发明的像素结构的显示器件的显示部分的显示面板的示例。图 51A 示出了显示面板 10102 的示例,其与飞机机身 10101 中的乘客座位的天花板集成,作为集成有显示器件的运输工具的示例。具有包含使用本发明的像素结构的显示器件的显示部分的显示面板 10102 通过铰链部分 10103 与飞机机身 10101 集成。通过铰链部分 10103 的扩展和收缩,乘客可以观看显示面板 10102。显示面板 10102 具有通过乘客的操作显示信息、并且用于广告和娱乐的功能。如图 51B 所示,通过折叠铰链部分从而将显示面板 10102 储藏在飞机机身 10101 中,可以提供起飞和着陆的安全性。在紧急情况下,通过使显示面板中的显示元件发光,可以将显示面板用作飞机机身 10101 的引导光。

[0418] 应当注意的是,具有包括使用本发明的像素结构的显示器件的显示部分的显示面板不限于能够应用于图 51A 和 51B 所示的飞机机身 10101 的天花板部分,而是可以通过改变其形状应用于诸如座位和门的各种场合。例如,显示面板可以设置在乘客前方的座位后备上以便操作和观看。

[0419] 在该实施例中应当注意的是,示出了列车车身、汽车车身和飞机机身作为运输工具的示例,然而,本发明不限于这些,并且可以应用于诸如摩托车、四轮交通工具(包括汽

车、公共汽车等等)、火车(包括单轨列车、火车等等)和轮船。通过利用具有包括使用本发明的像素结构的显示器件的显示部分的显示面板,可以实现显示面板的尺寸减小和低功耗,同时,可以提供设置有具有满意操作的显示介质的运输工具。具体地,运输工具中显示面板的显示器可以易于通过外部信号同时全部改变,因此,这种显示面板作为对于一般消费者的广告板和灾害时刻的信息板是非常有效的。

[0420] 参考图 48,描述了具有包含使用本发明的像素结构的显示器件的显示部分的显示面板的应用示例。

[0421] 图 48 示出了包括在膜型衬底上的诸如有机晶体管的开关元件的显示面板以驱动自发光型显示元件的应用示例,由此显示面板本身可以弯曲并进行显示。在图 48 中,显示面板设置在户外设置的柱体的弯曲表面上,诸如作为建筑物的电线杆。这里,显示面板 9802 设置用于作为柱体的电线杆 9801。

[0422] 如图 48 所示的显示面板 9802 放置在电线杆的高度中央处,其位于高于人的视线的位置。在显示面板 9802 上显示的图像可以通过从运输工具 9803 中观看显示面板 9802 来识别。当在相同的图像显示在设置用于竖立在户外的大量电线杆的显示面板 9802 中时,观看者可以识别信息和广告显示。在图 48 中,设置用于电线杆 9801 的显示面板 9802 可以通过外部信号易于显示相同的图像,有望实现相当有效的信息显示和广告效应。此外,通过提供自发光显示元件作为本发明的显示面板中的显示元件,即使在夜间显示面板也可以有效地用作高可视性显示介质。

[0423] 参考图 50,描述了具有包含使用本发明的像素结构的显示器件的显示部分的显示面板的应用于图 48 以外的另一结构的示例。

[0424] 图 50 示出了具有包含使用本发明的像素结构的显示器件的显示部分的显示面板的应用示例。图 50 示出了结合在预制浴室的侧壁中的显示面板 10002 的示例,作为集成型显示器件的示例。图 50 中示出的具有包含使用本发明的像素结构的显示器件的显示部分的显示面板 10002 与预制浴室 10001 集成,因此用户可以观看显示面板 10002。显示面板 10002 具有通过用户的操作显示信息、并且用于广告和娱乐的功能。

[0425] 具有包括使用本发明的像素结构的显示器件的显示部分的显示面板不限于能够应用于图 50 所示的预制浴室 10001 的侧壁,而是可以通过改变其形状应用于各种场合,包括集成在镜子表面或浴盆的部分中。

[0426] 图 46 示出了提供在建筑物中具有大型显示部分的电视设备的示例。图 46 包括外壳 2010、显示部分 2011、作为操作部分的遥控装置 2012、扬声器部分 2013 等等。具有包括使用本发明的像素结构的显示器件的显示部分的显示面板应用于制造显示部分 2011。如图 46 所示的电视设备,其与建筑物集成作为壁挂型,可以不占用很大空间而设置。

[0427] 在该实施例中,示出了电线杆作为具有柱体的建筑物的示例,并且示出了预制浴室作为建筑物,然而,该实施例不限于这些,并且可以使用可以设置显示面板的任何建筑物。通过应用具有包括使用本发明的像素结构的显示器件的显示部分的显示器件,可以实现显示器件的尺寸减小和低功耗,同时,可以提供设置有具有满意操作的显示介质的运输工具。

[0428] 本申请基于 2005 年 9 月 16 日于日本专利局提交的日本专利申请第 2005-269323 号,其全文在此结合作为参考。

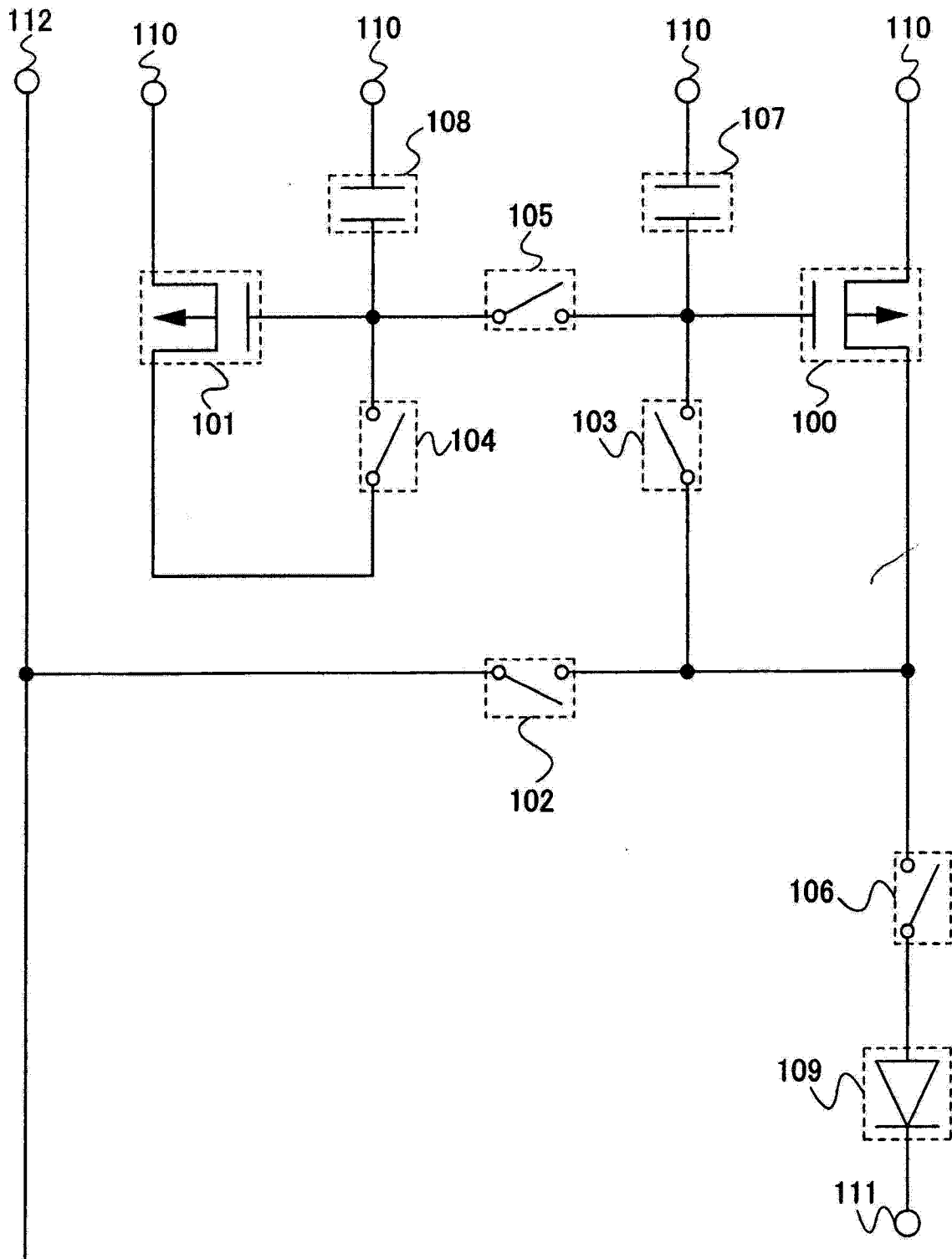


图 1

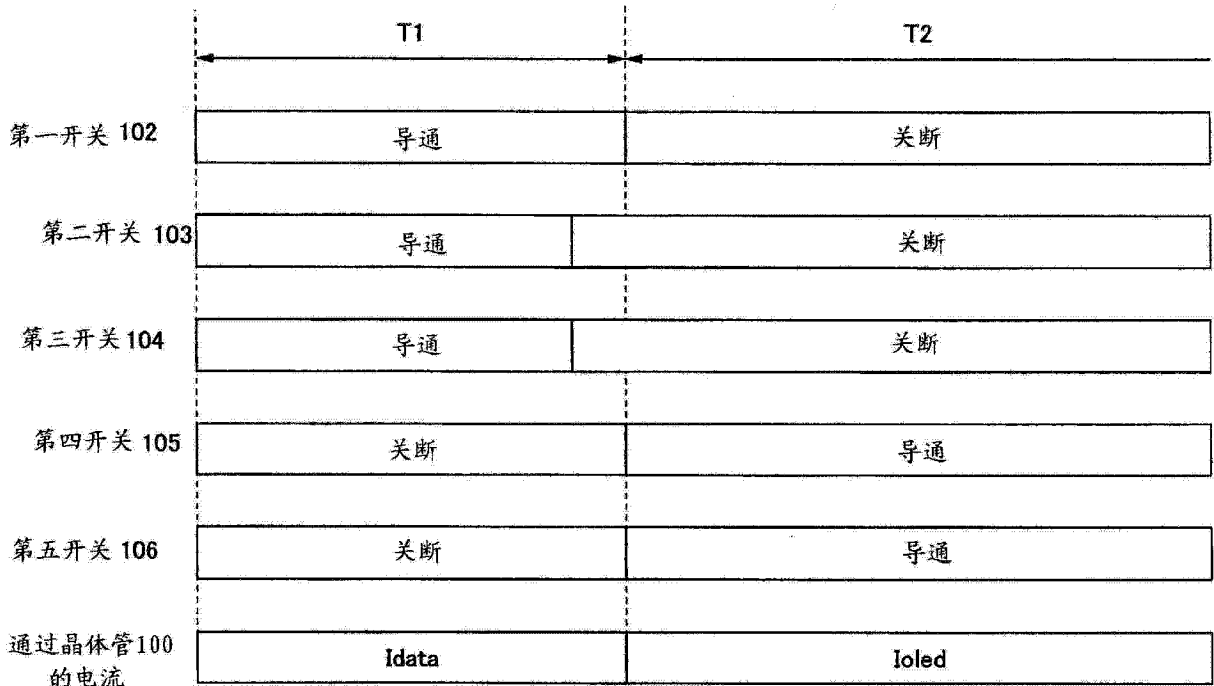


图 2

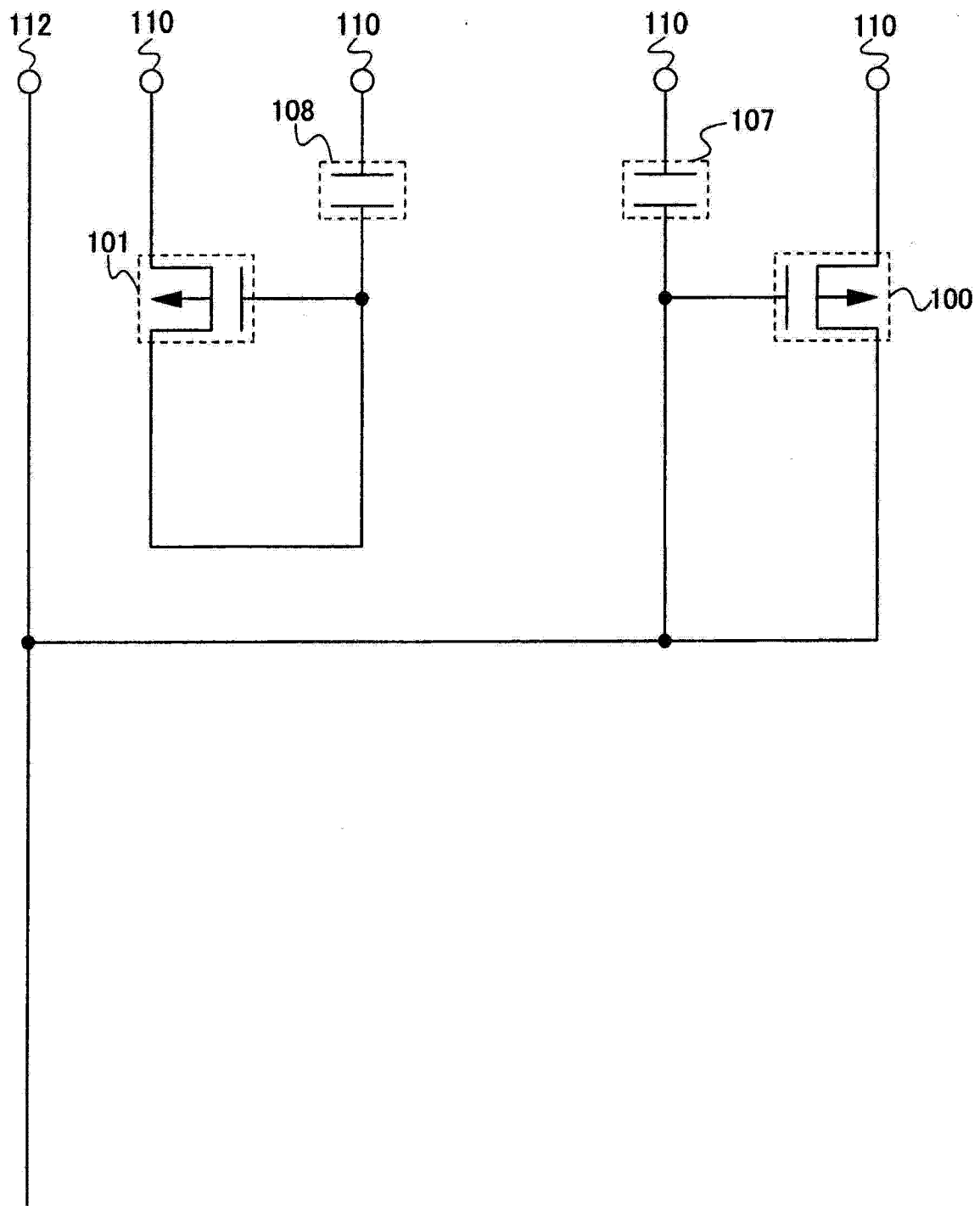


图 3

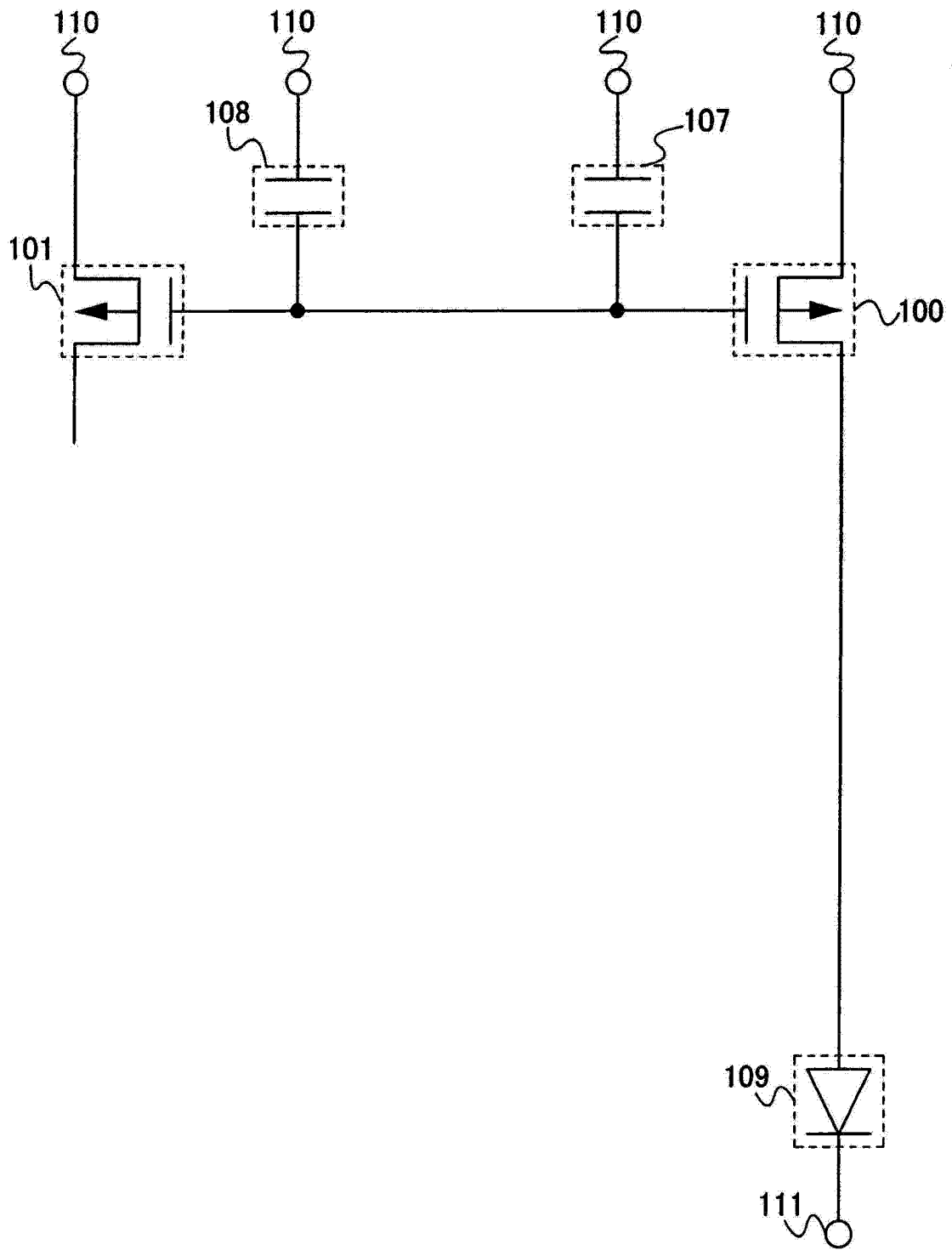


图 4

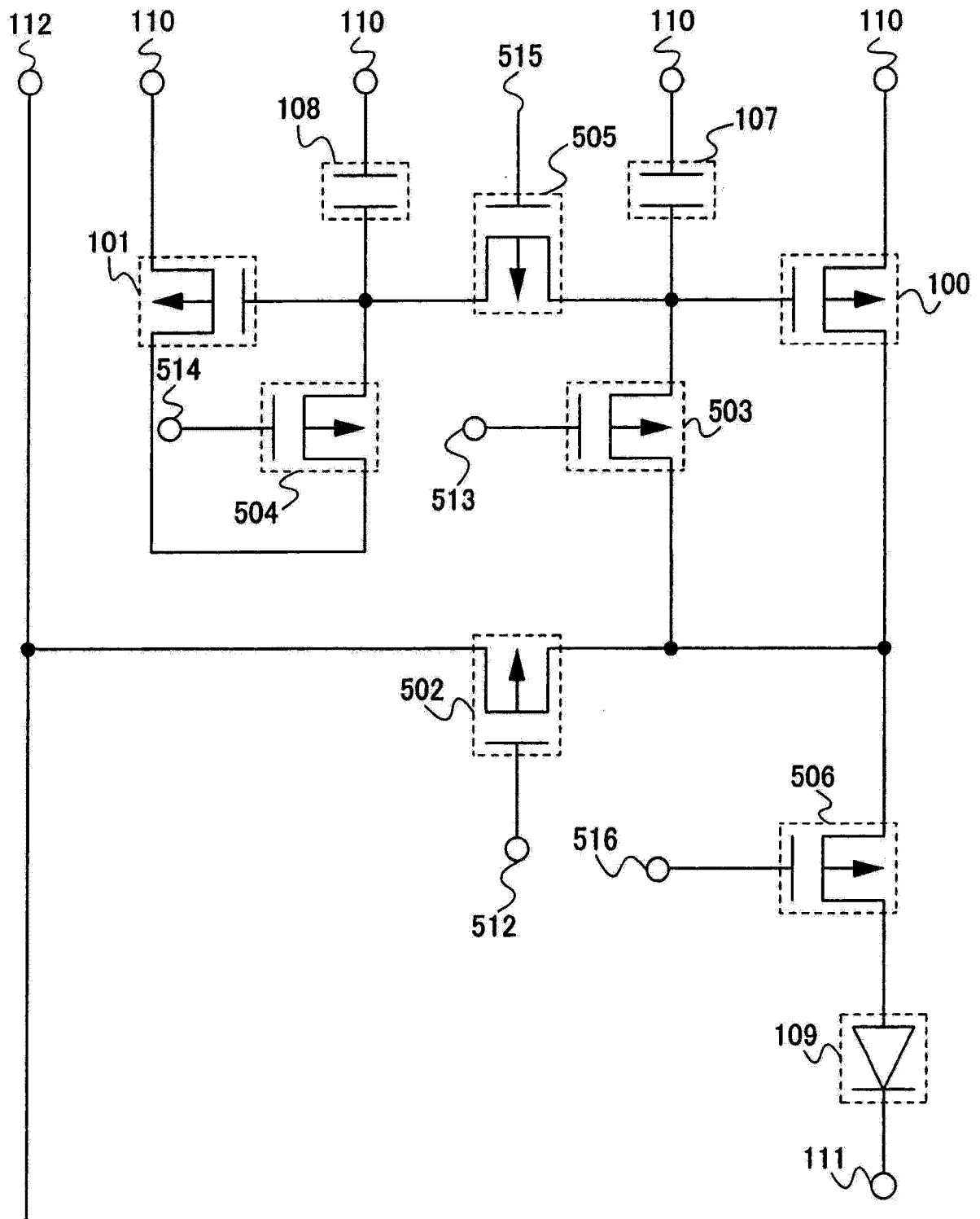


图 5

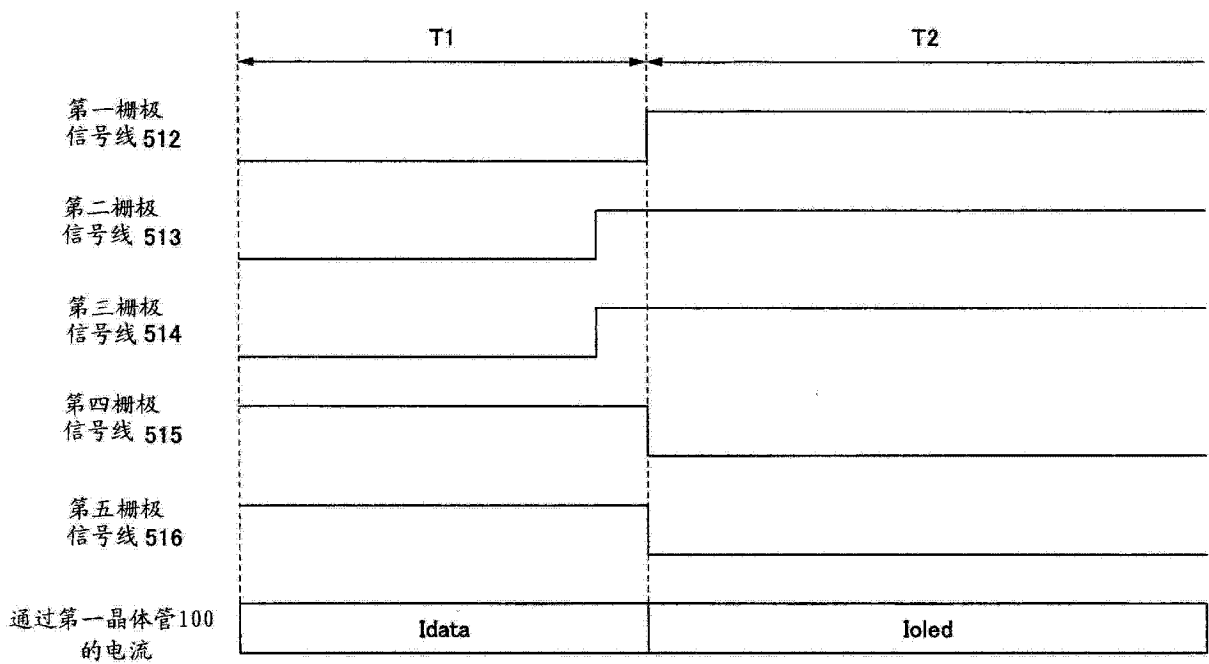


图 6

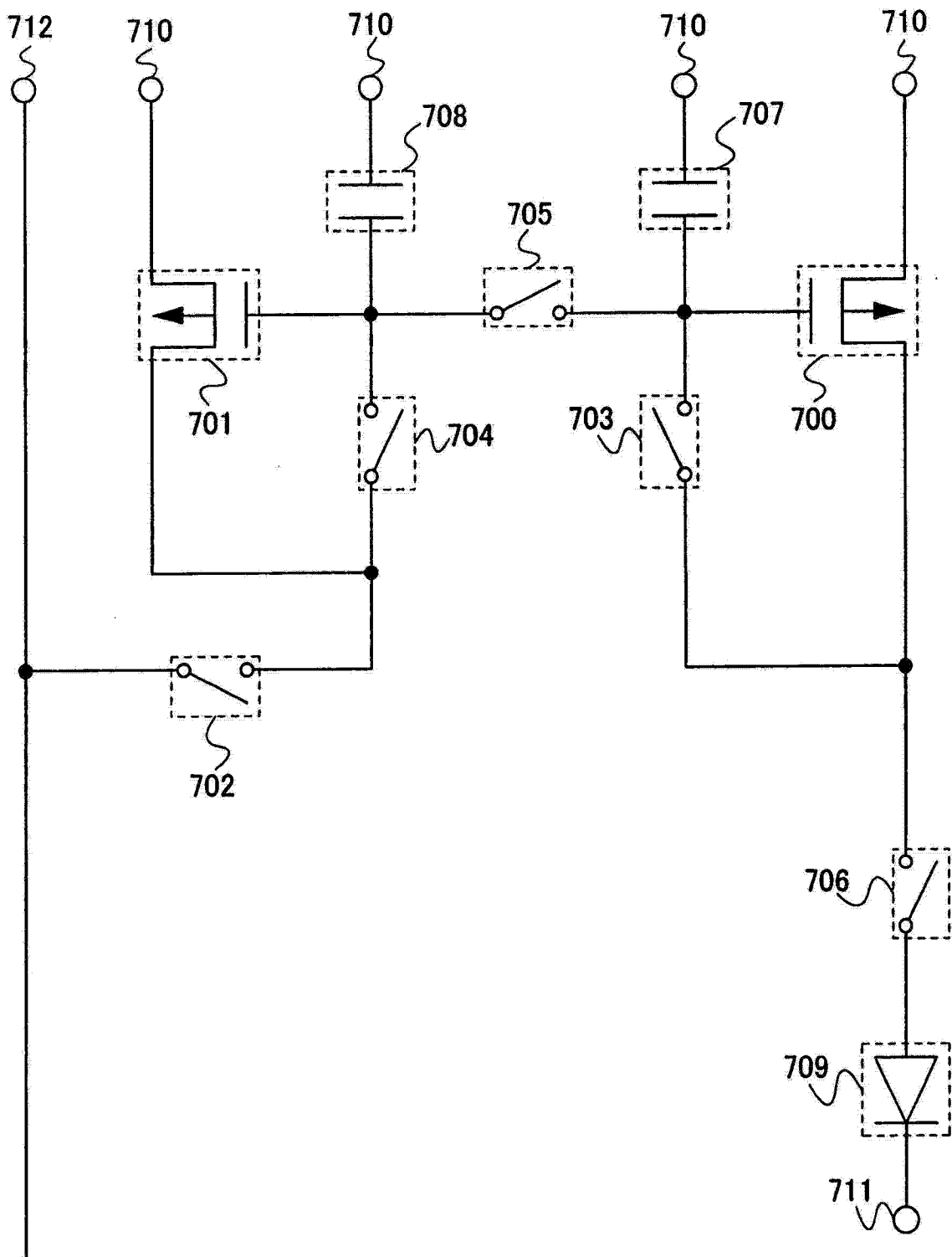


图 7

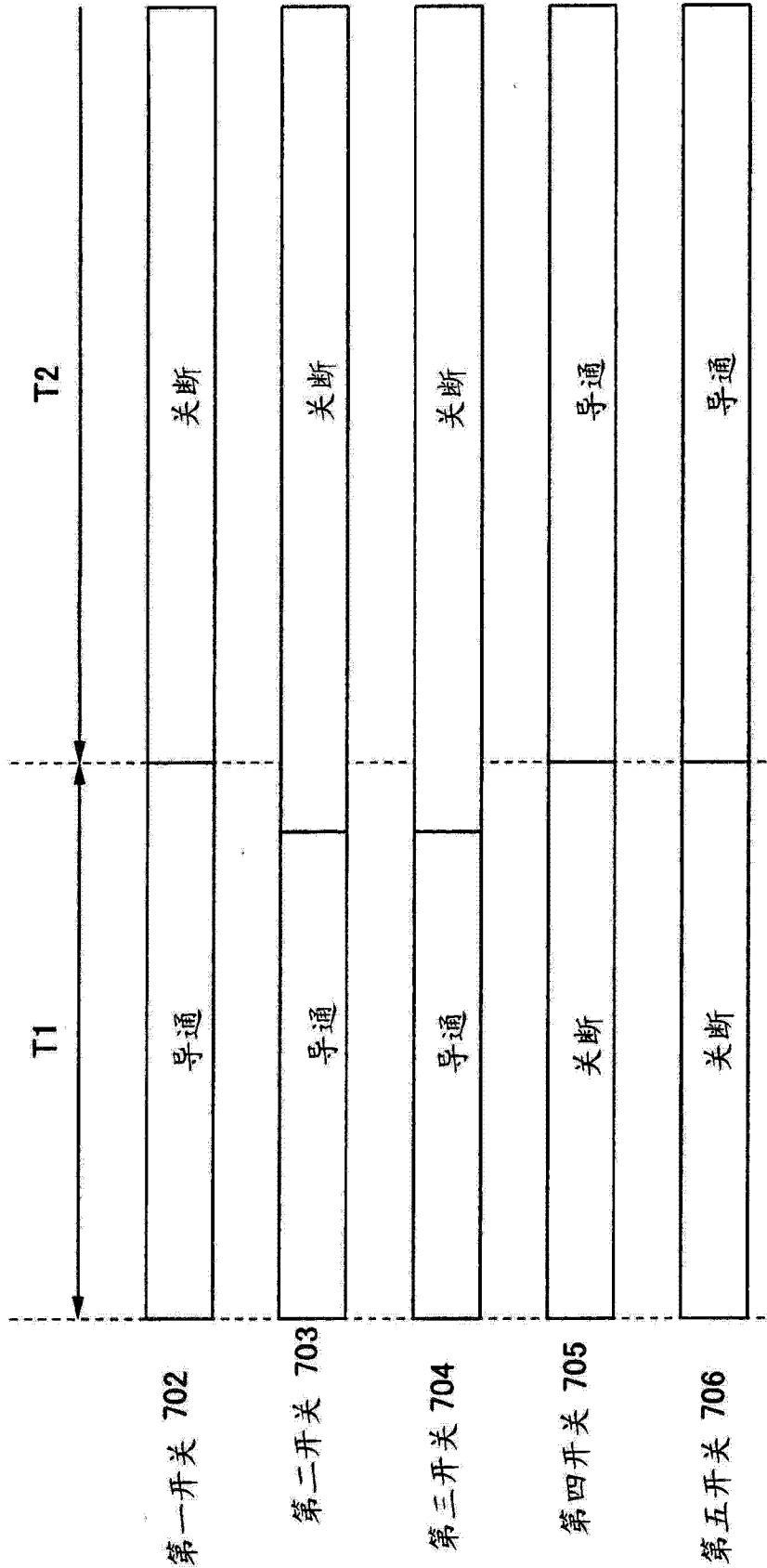


图 8

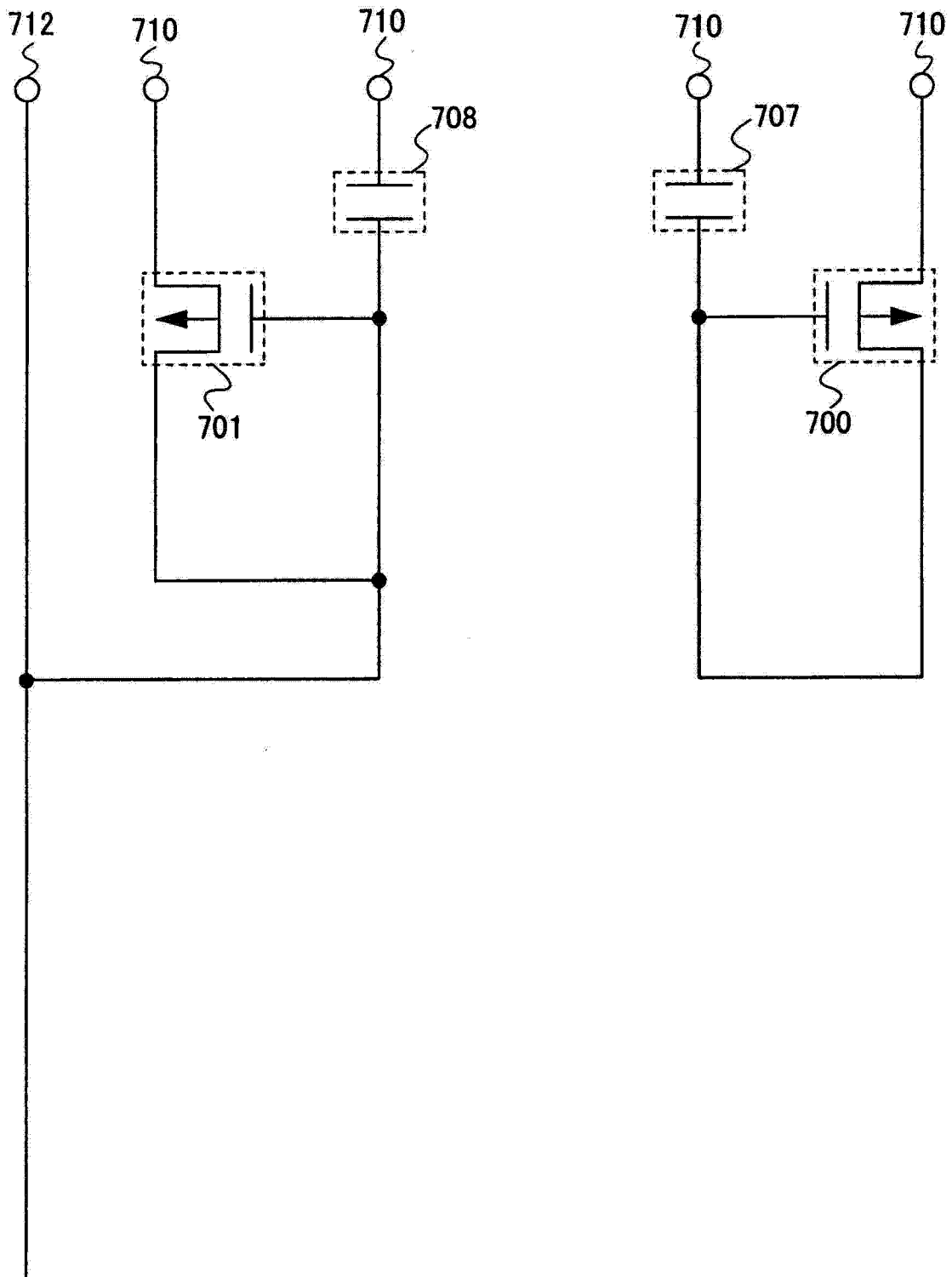


图 9

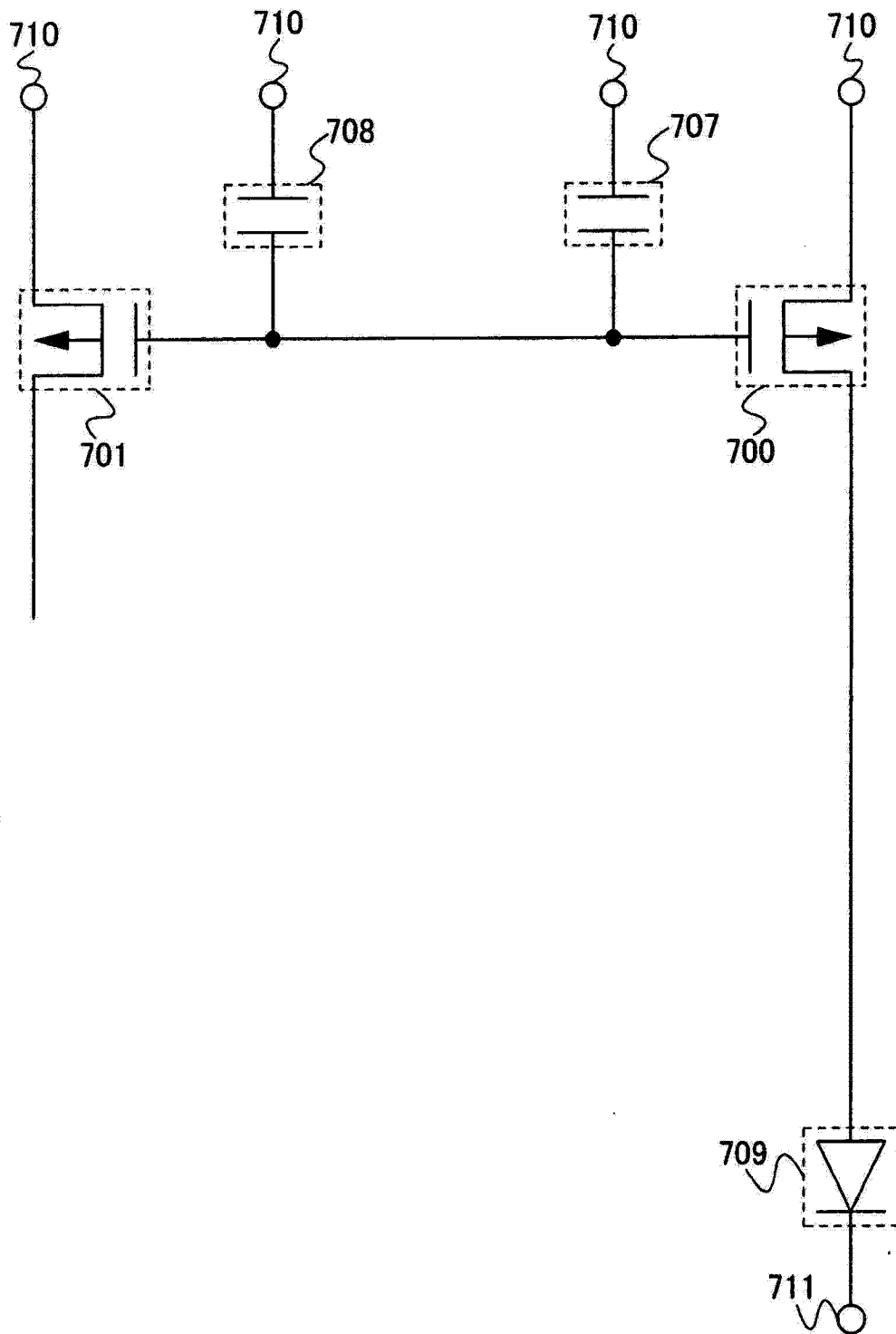


图 10

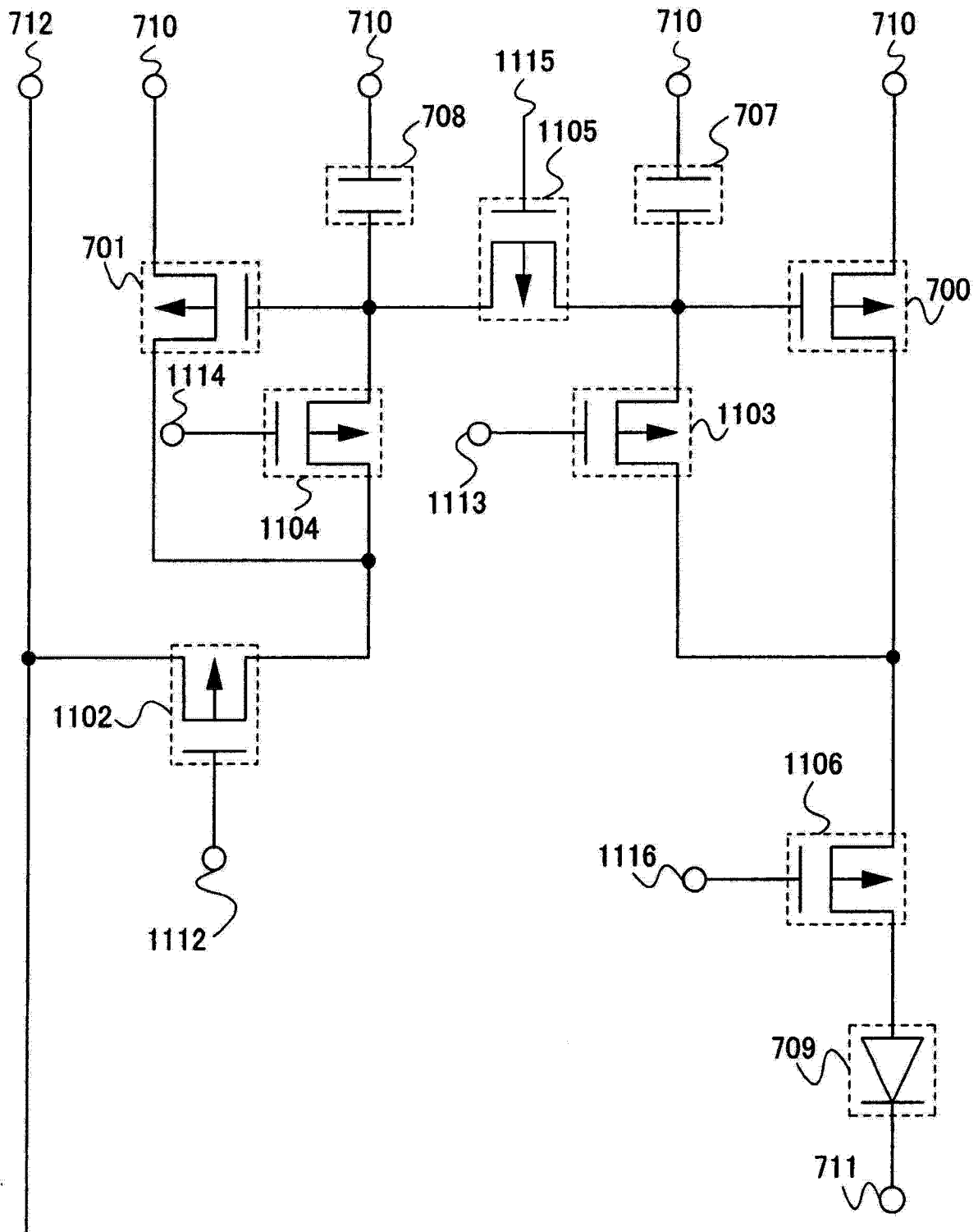


图 11

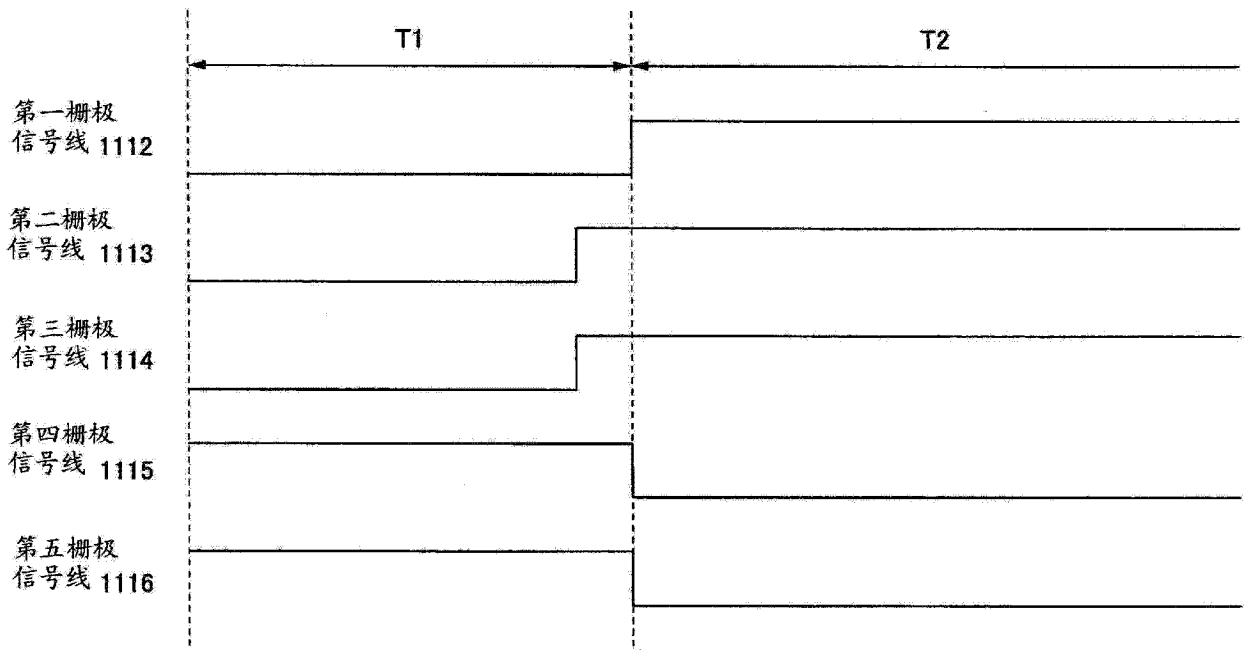


图 12

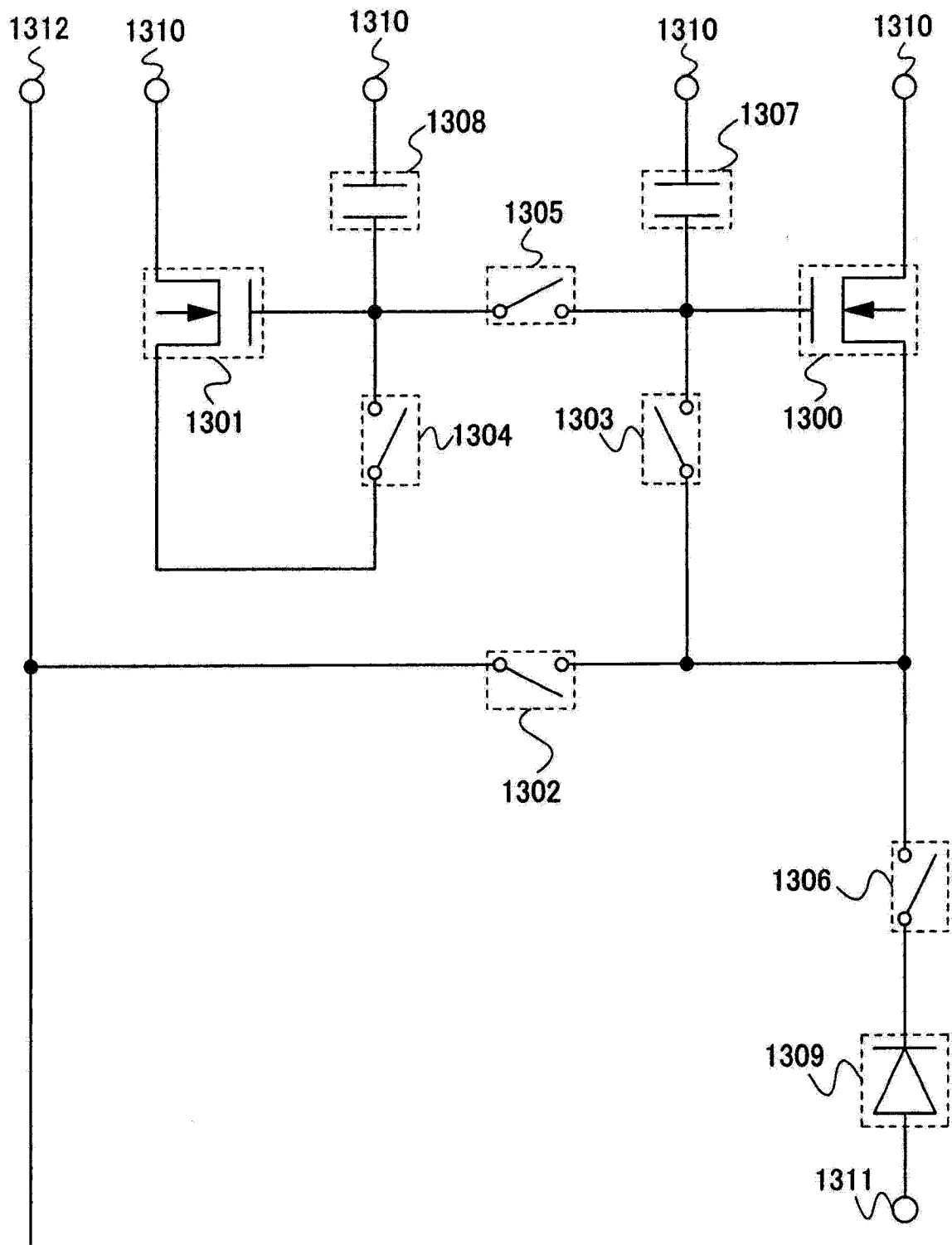


图 13

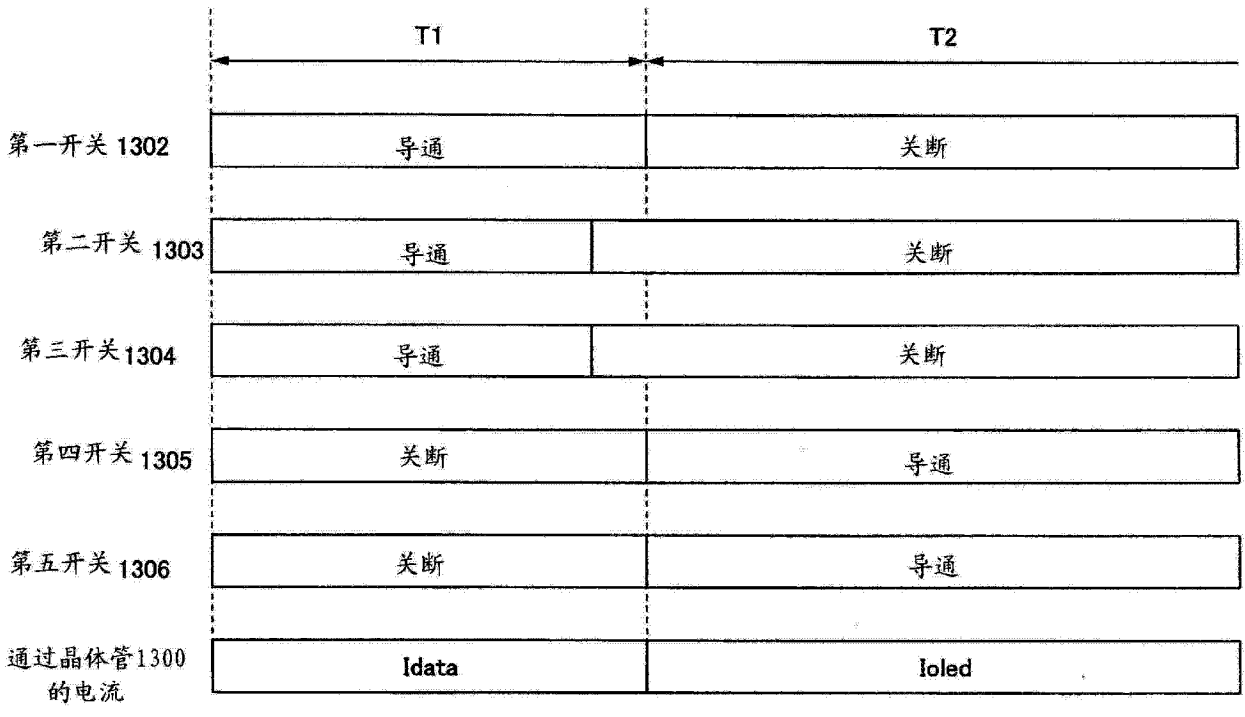


图 14

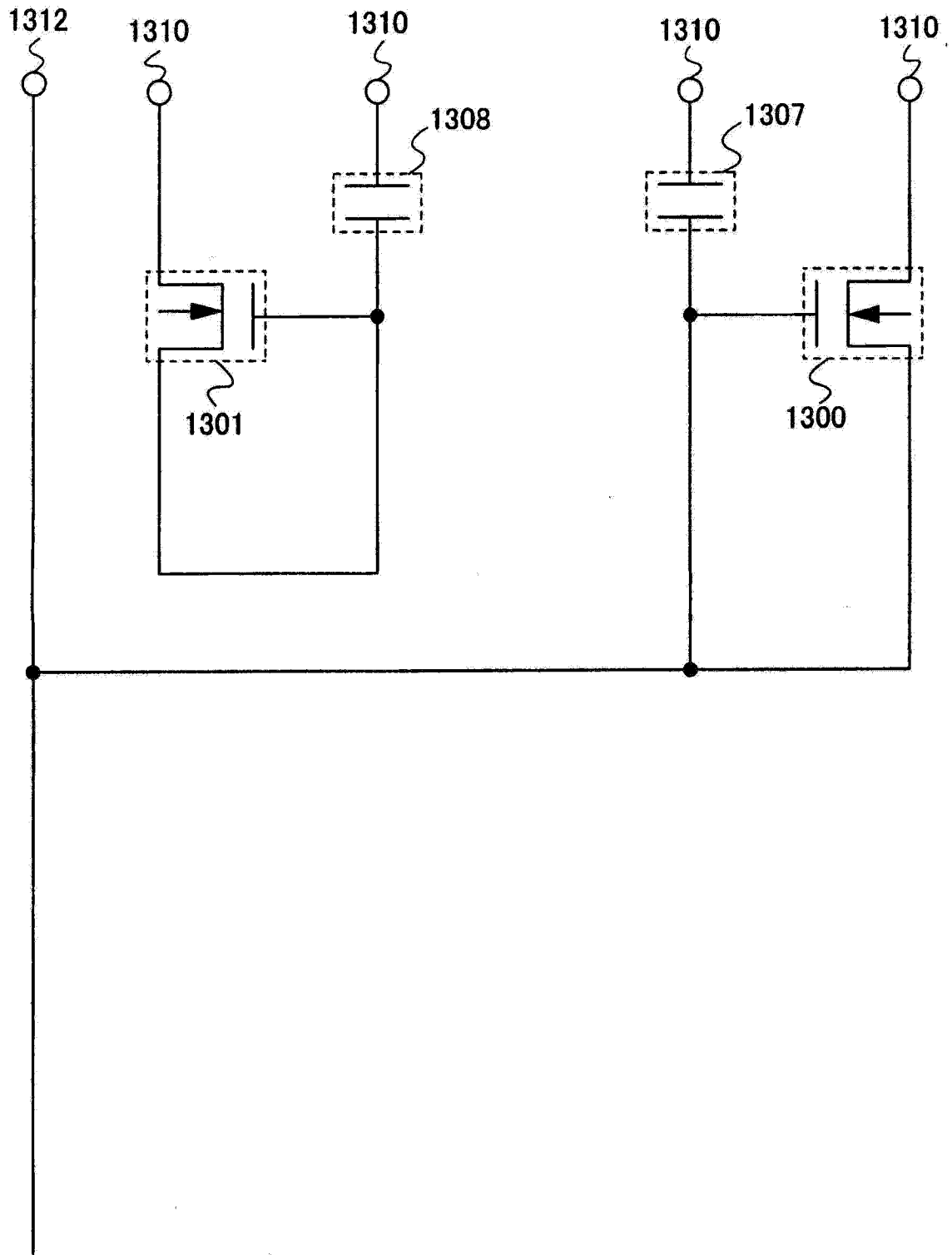


图 15

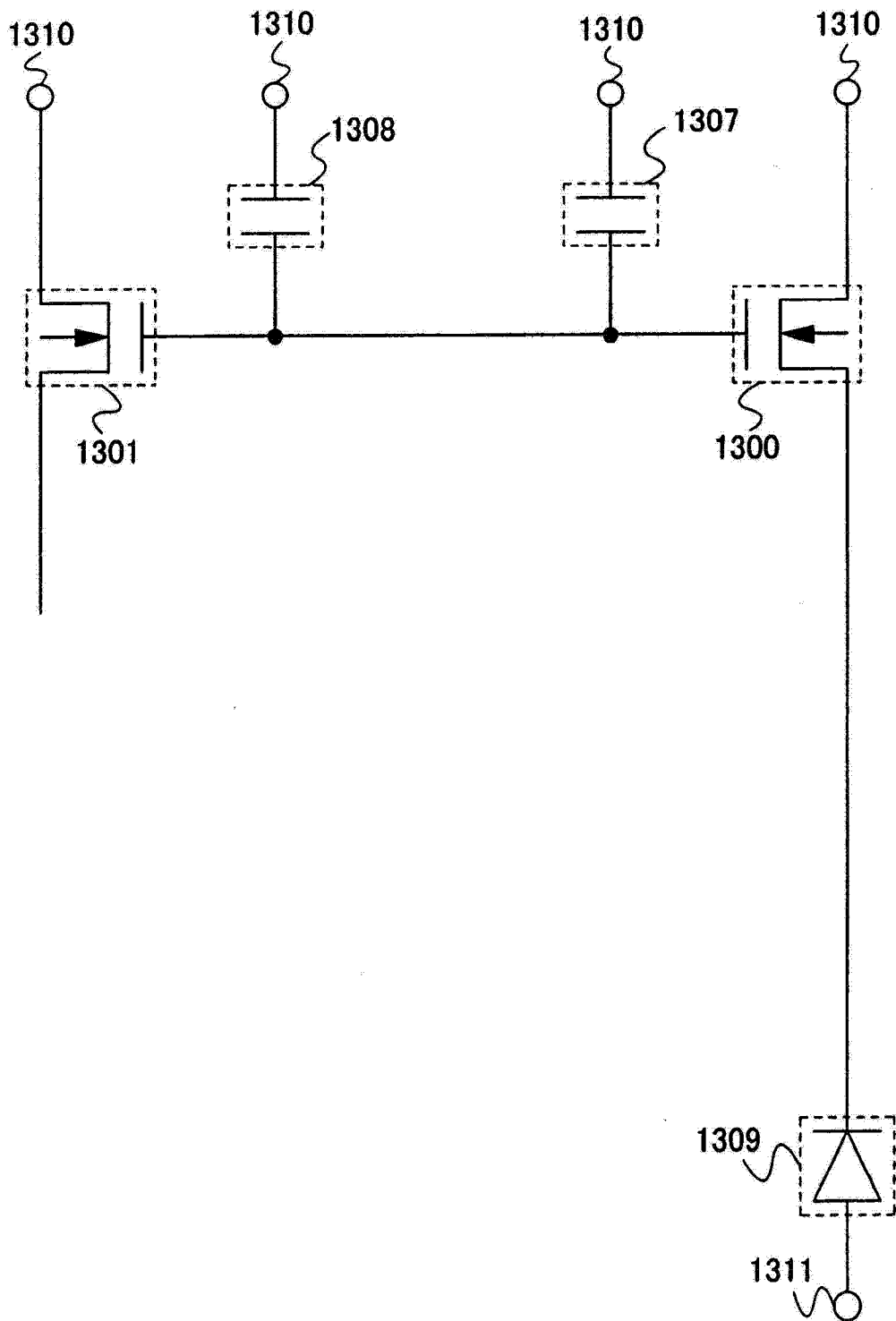


图 16

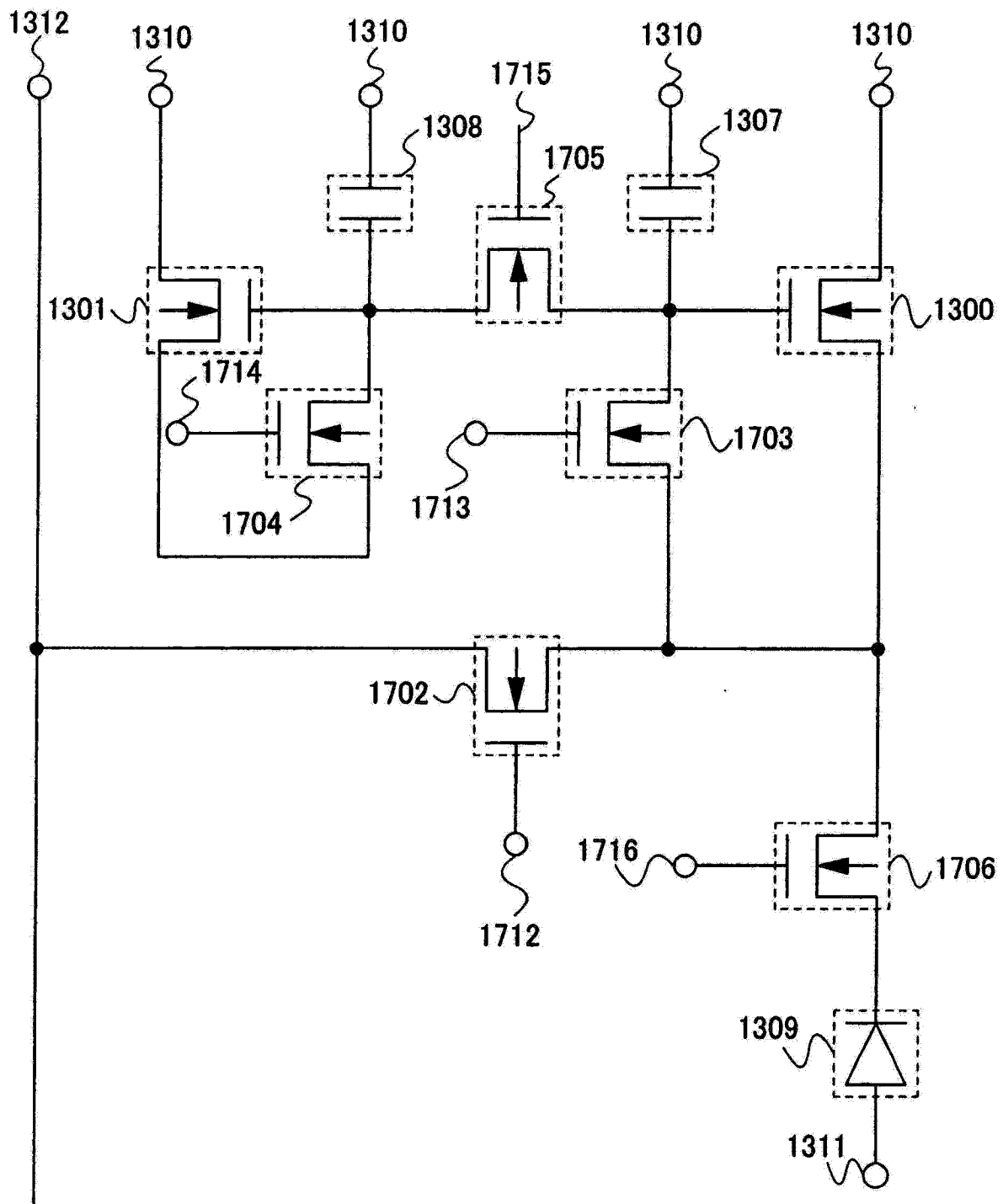


图 17

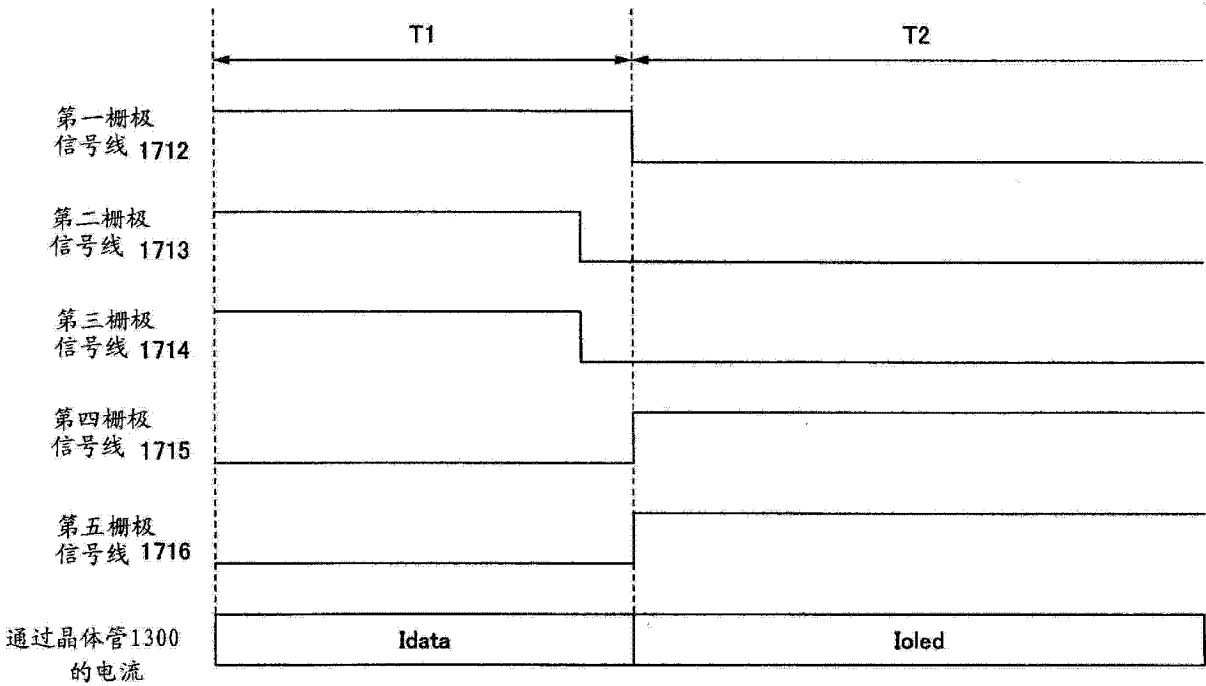


图 18

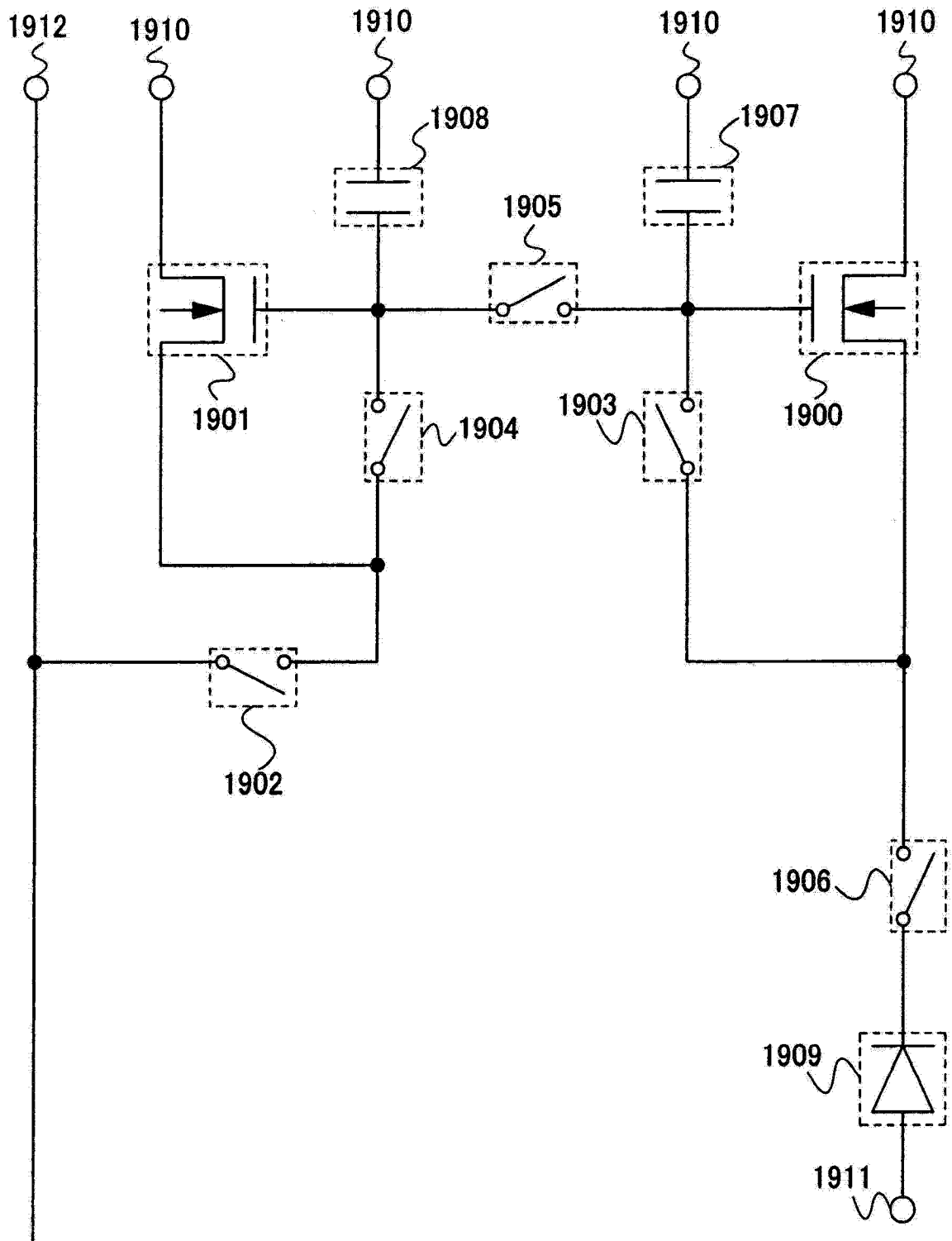


图 19

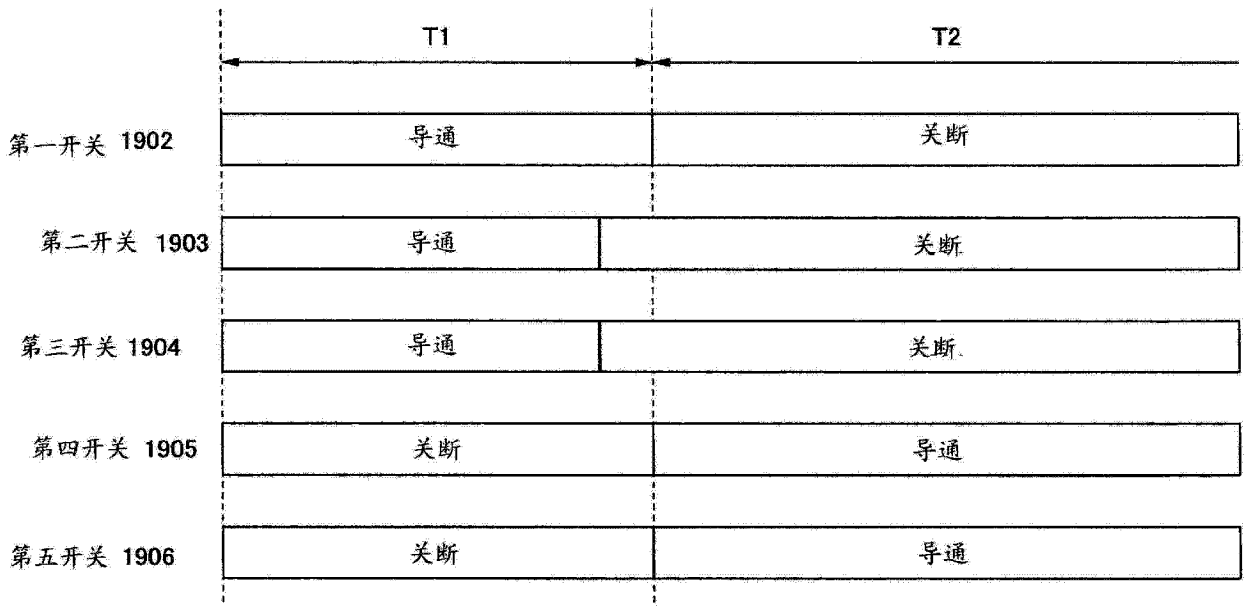


图 20

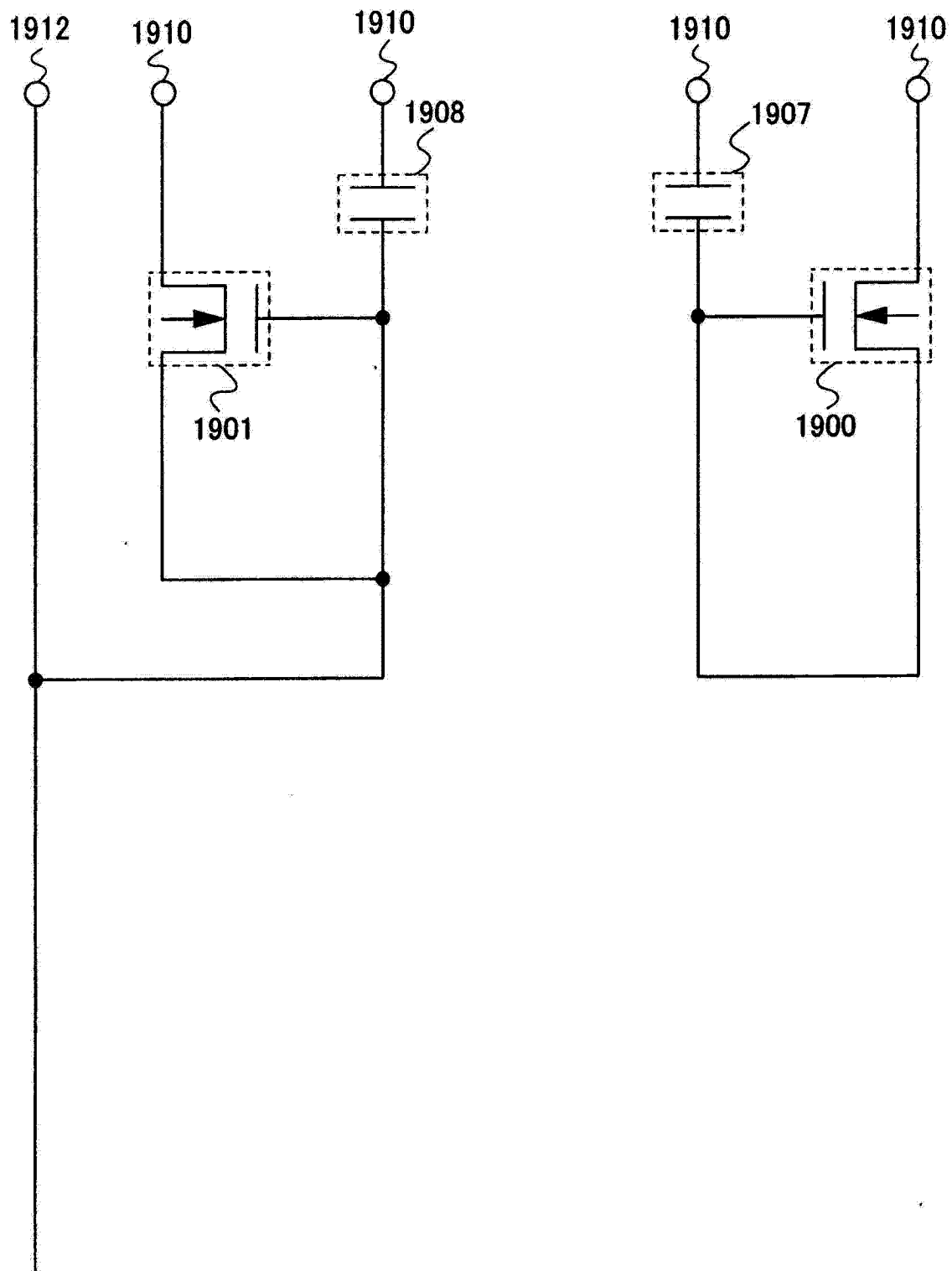


图 21

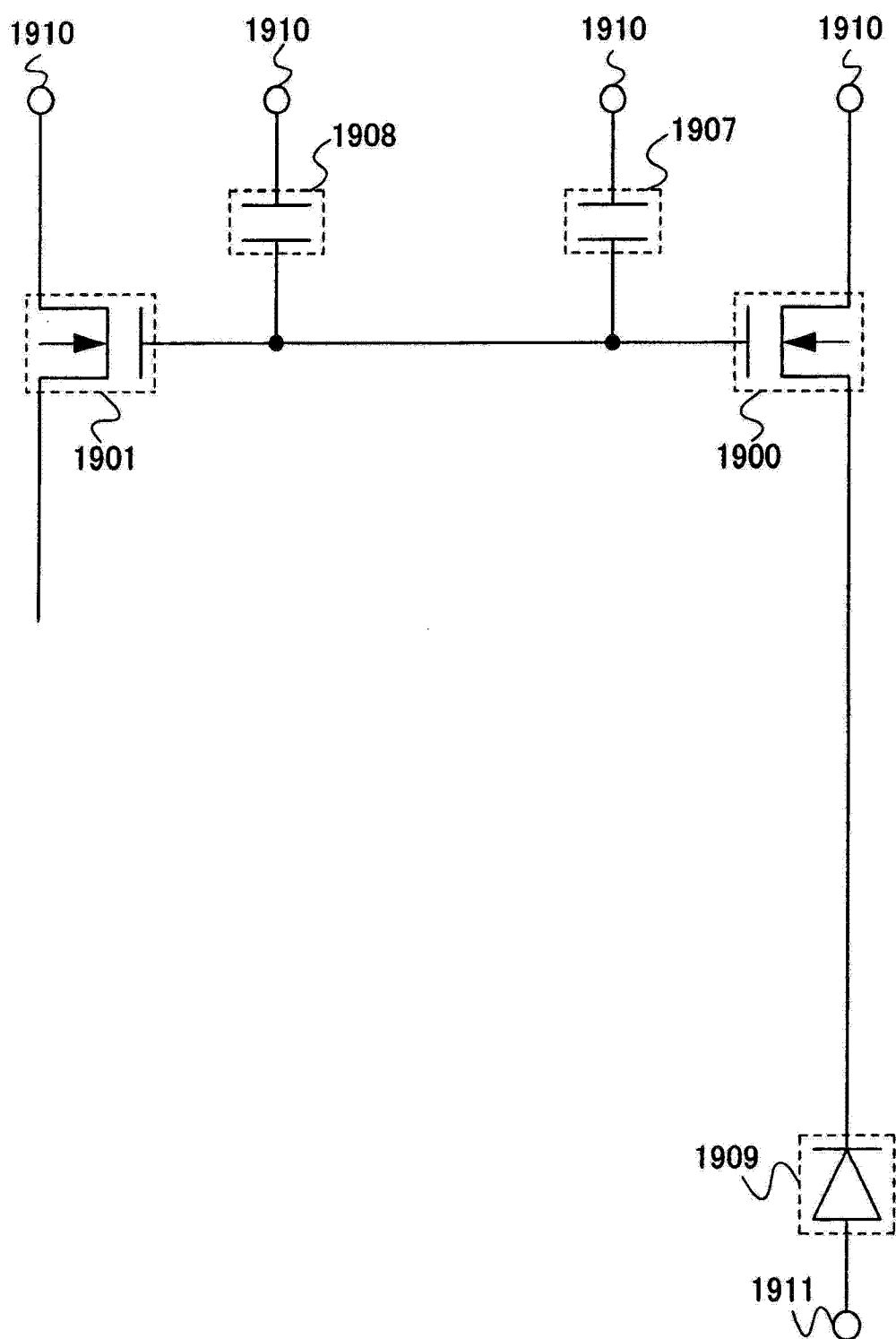


图 22

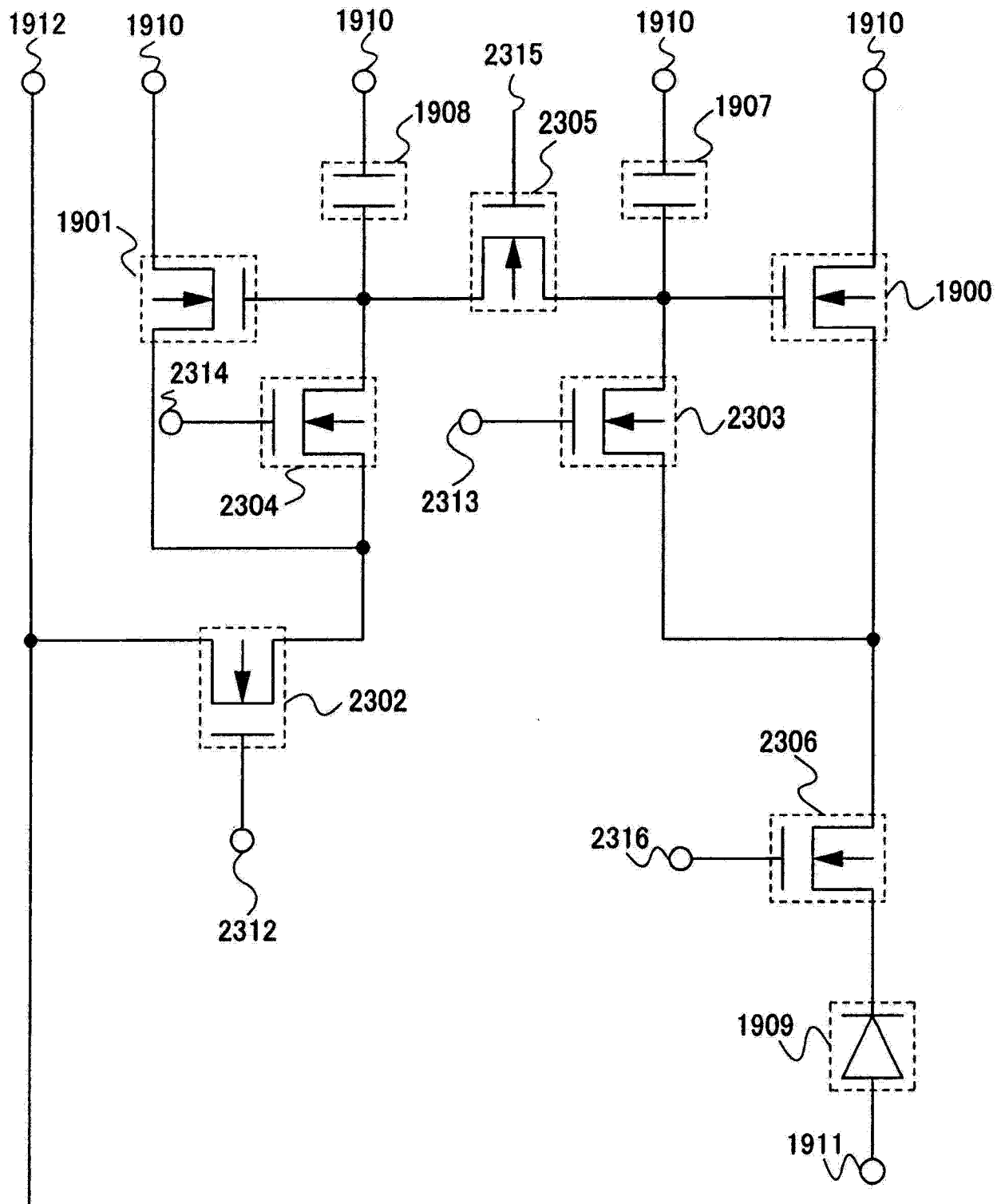


图 23

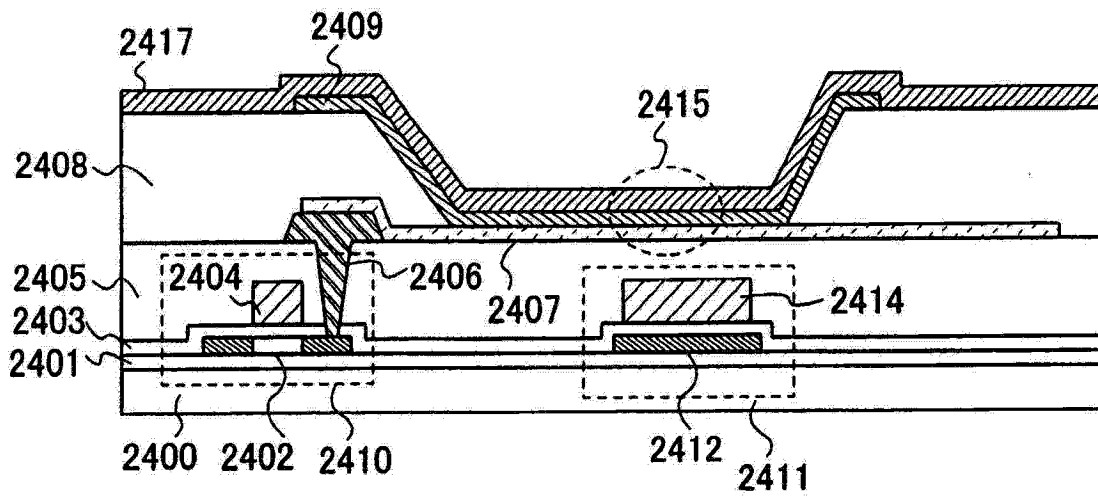


图 24A

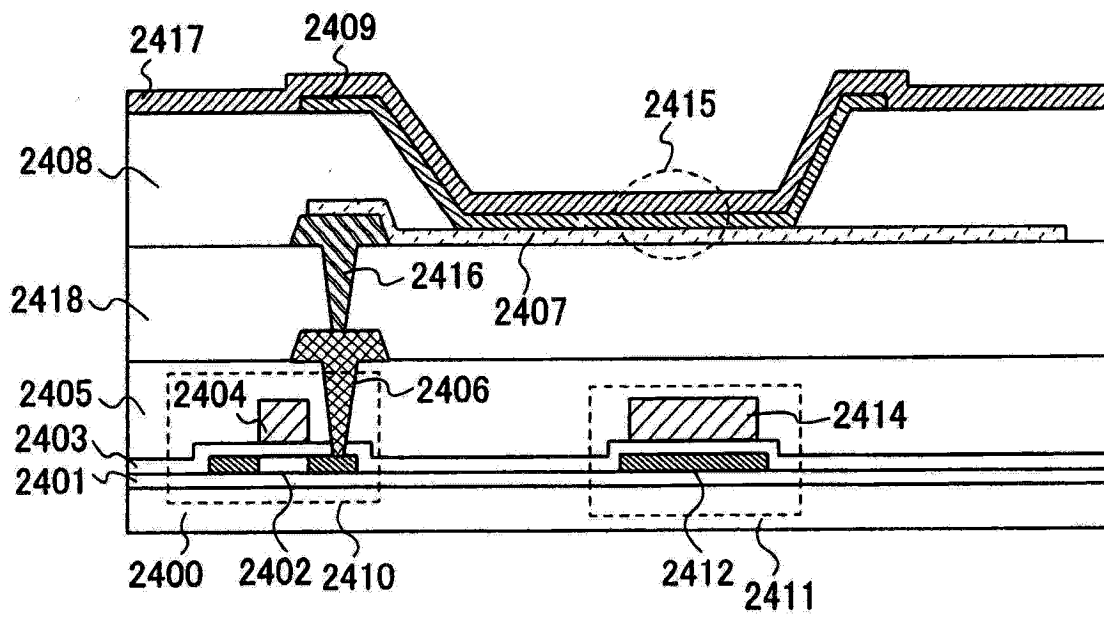


图 24B

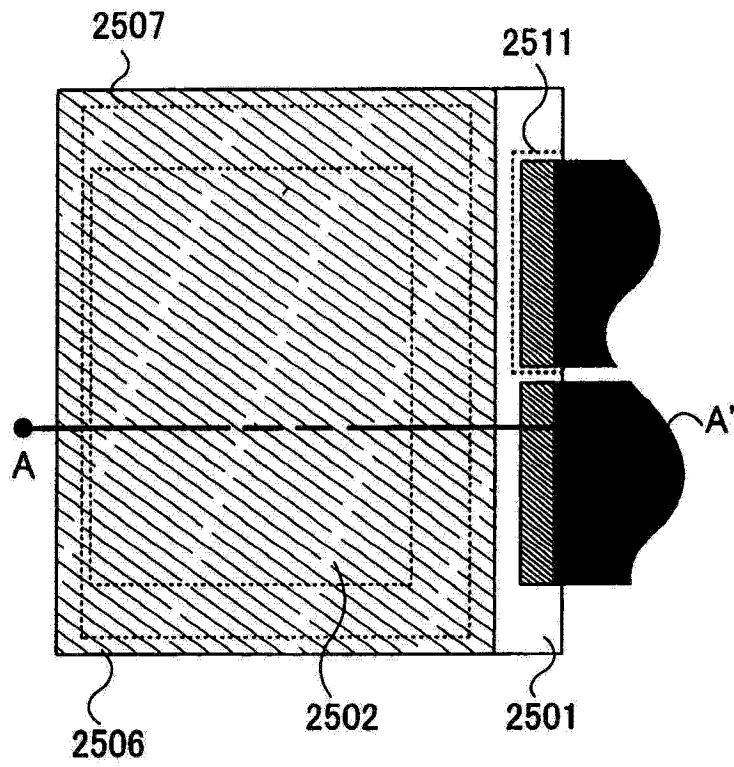


图 25A

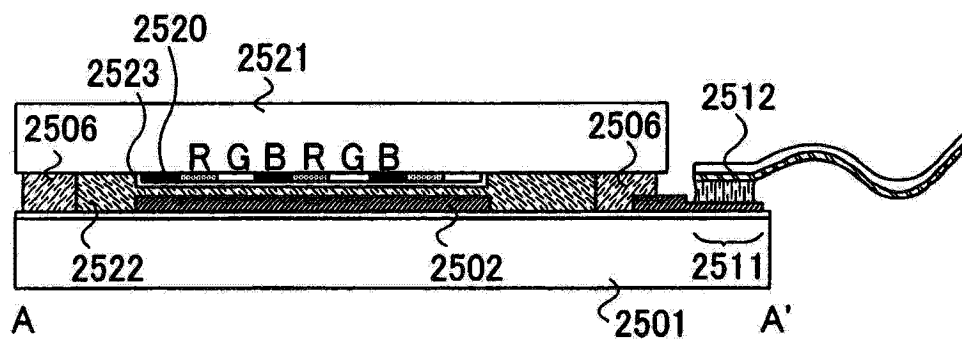


图 25B

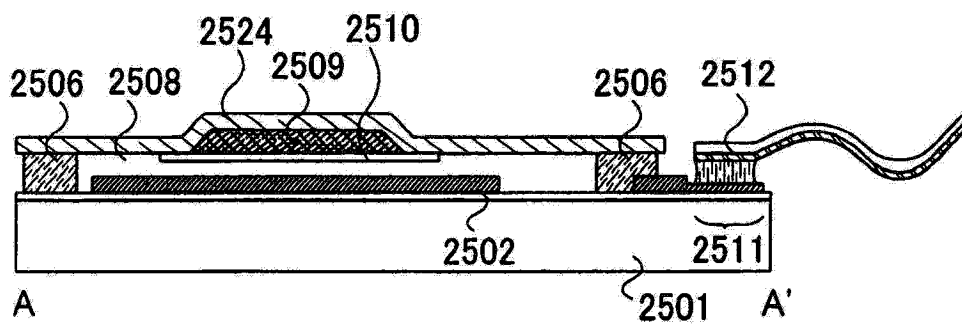


图 25C

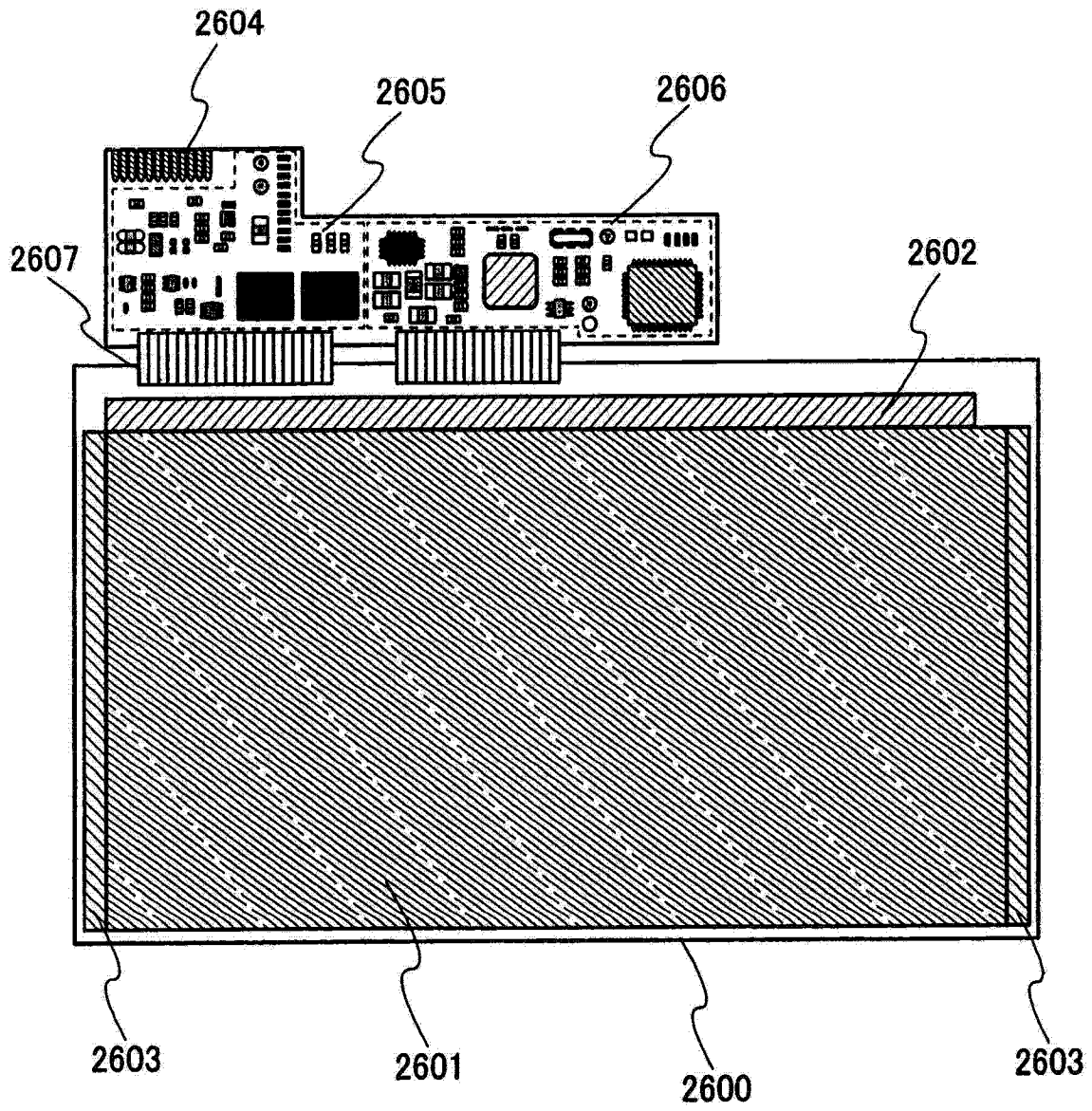


图 26

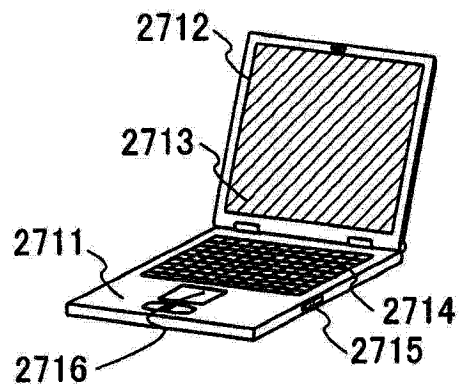


图 27A

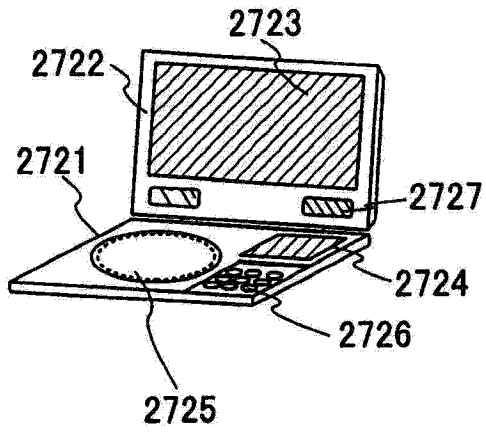


图 27B

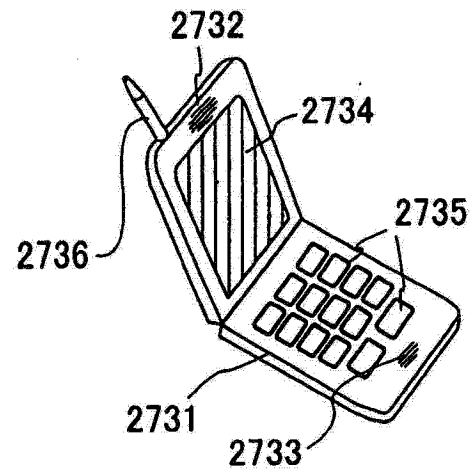


图 27C

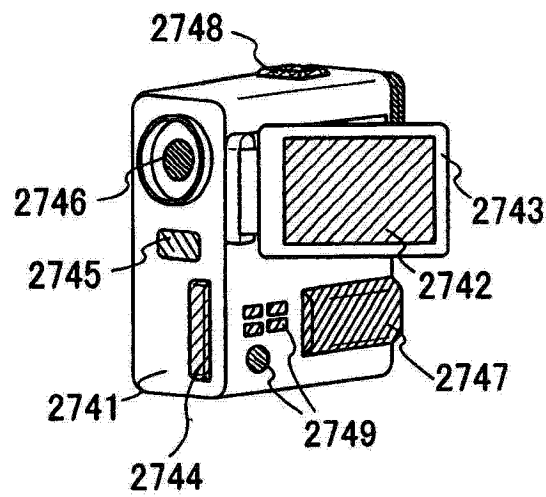


图 27D

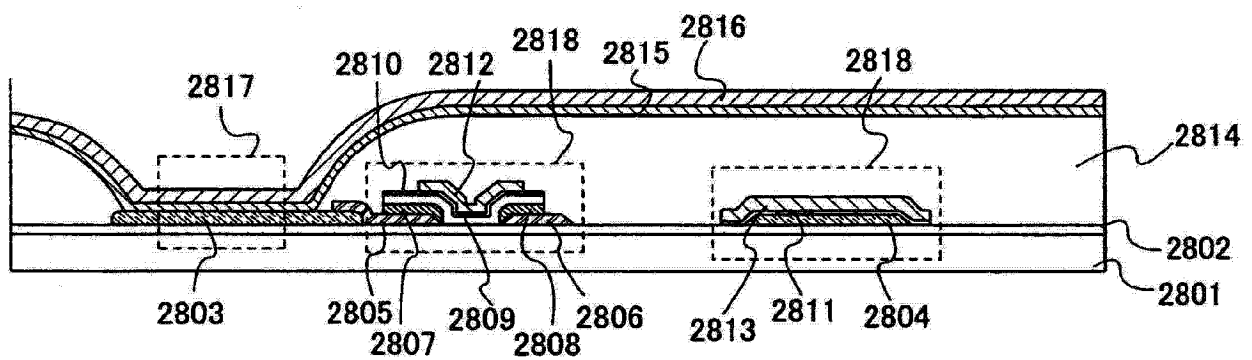


图 28A

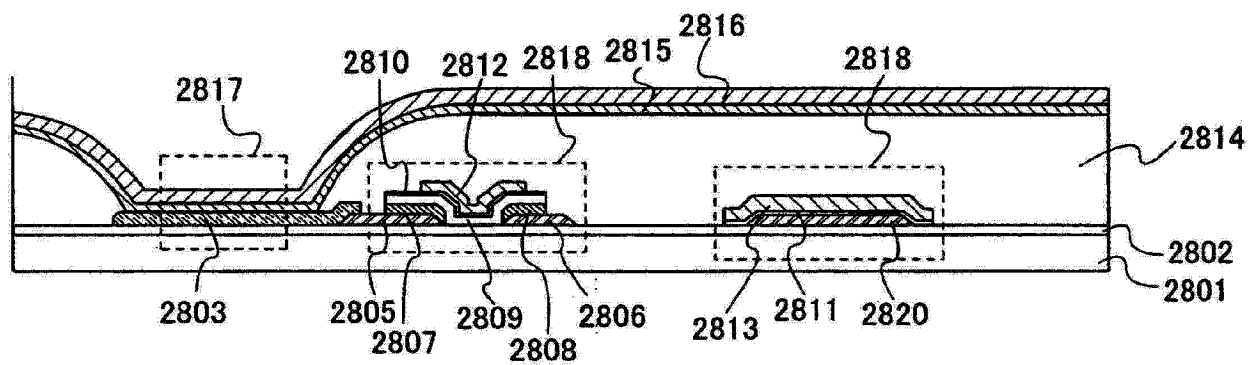


图 28B

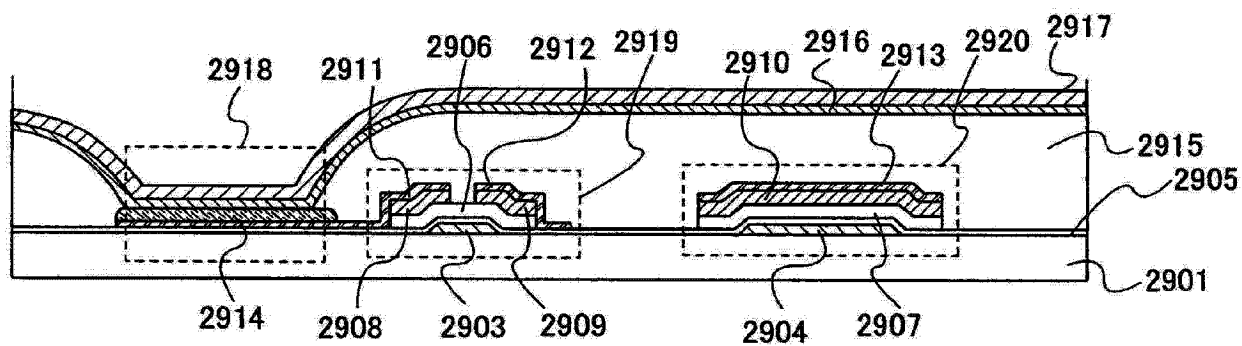


图 29A

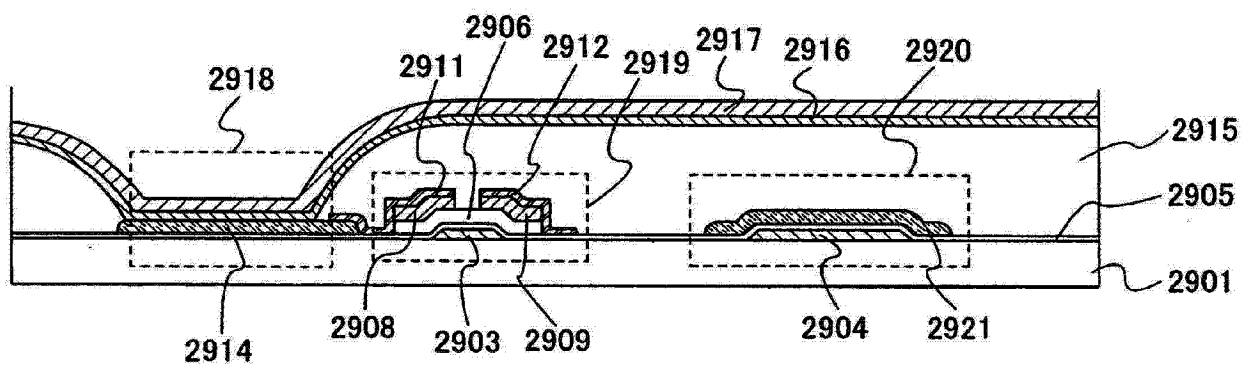


图 29B

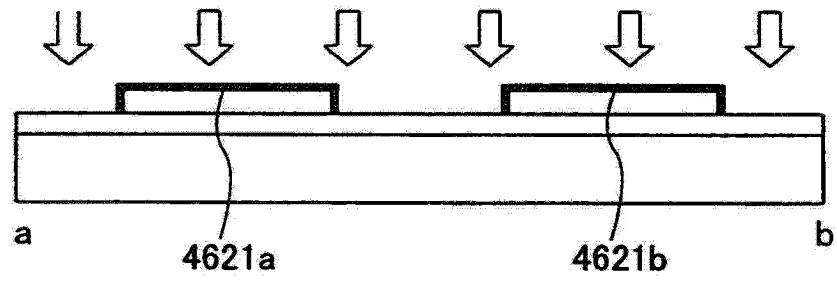


图 32B-1

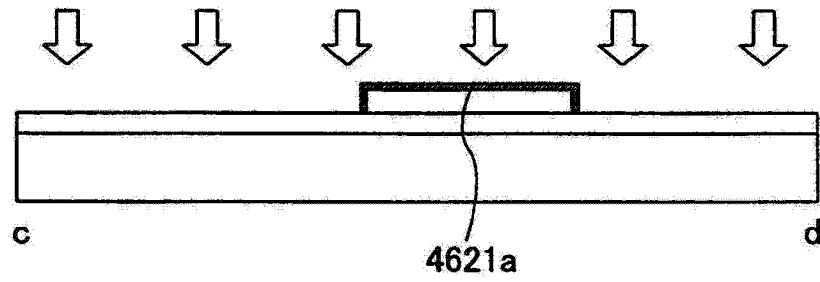


图 32B-2

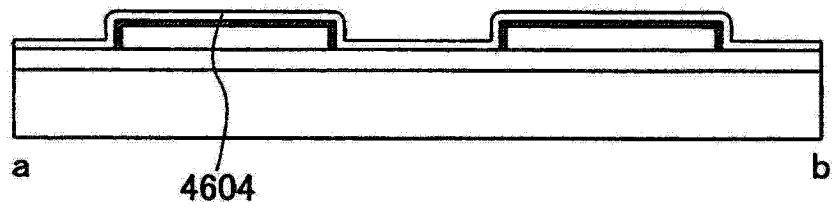


图 32C-1

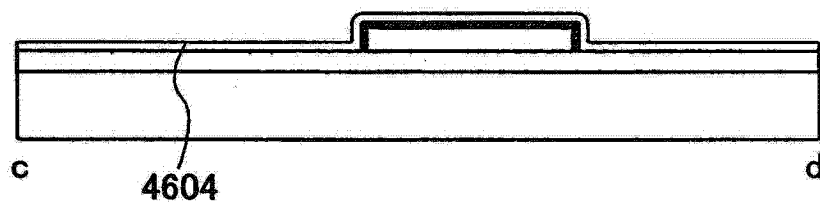


图 32C-2

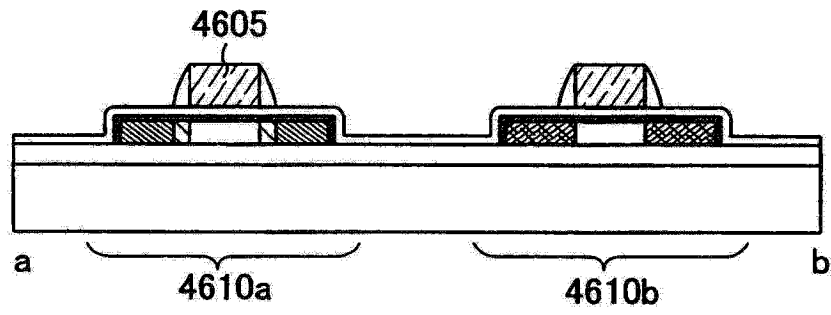


图 32D-1

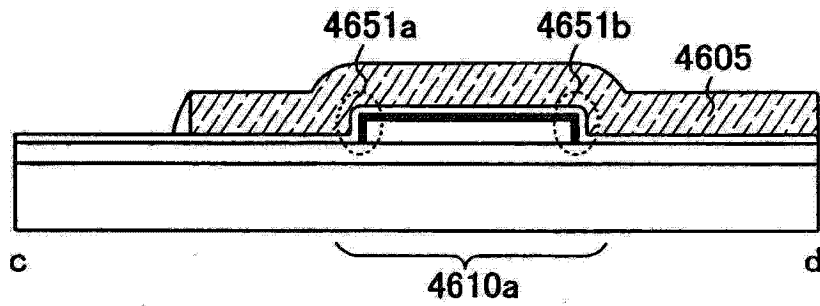


图 32D-2

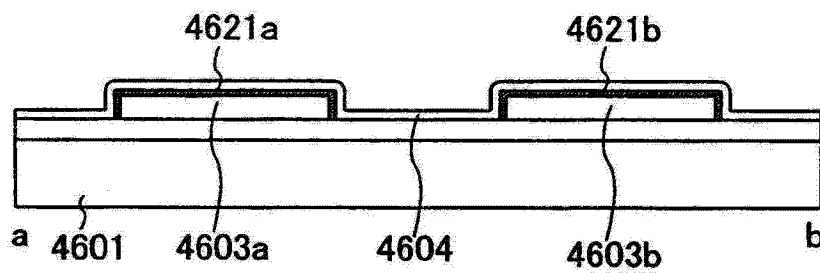


图 33A-1

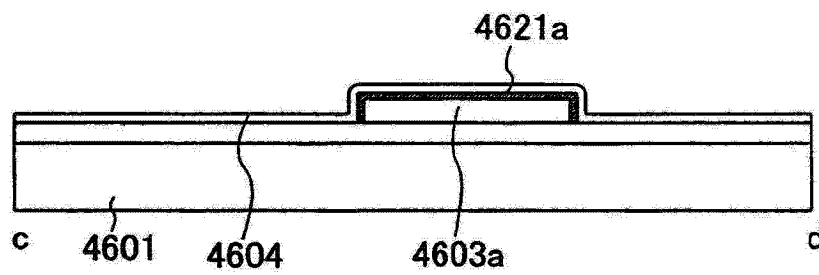


图 33A-2

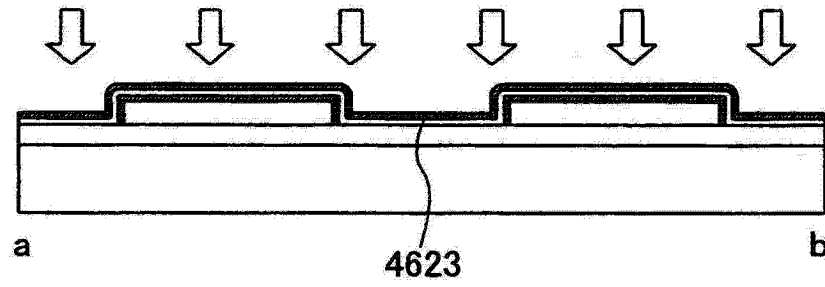


图 33B-1

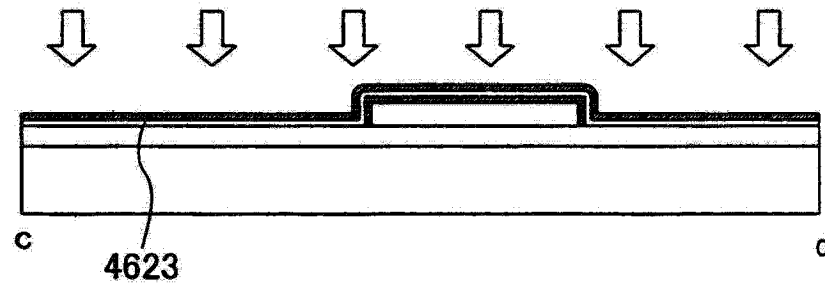


图 33B-2

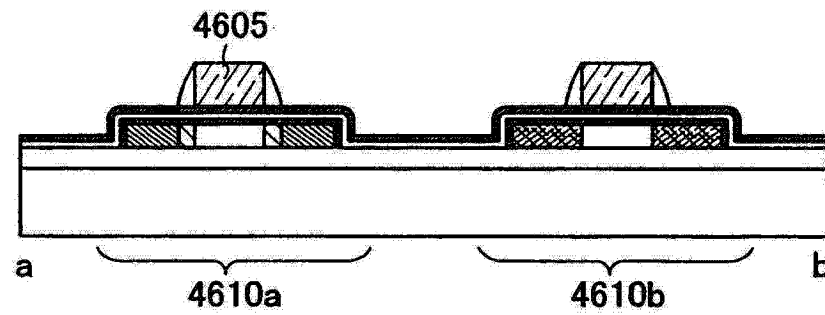


图 33C-1

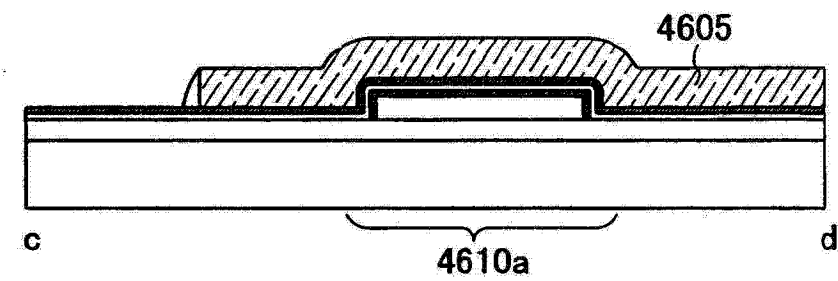


图 33C-2

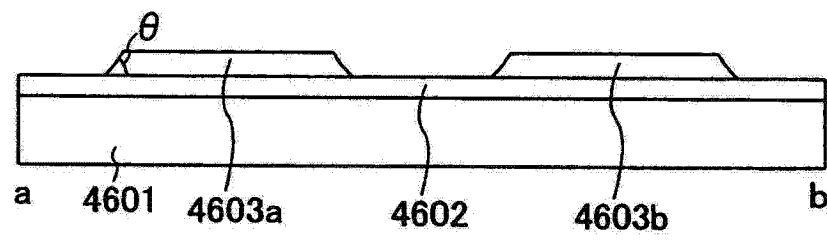


图 34A-1

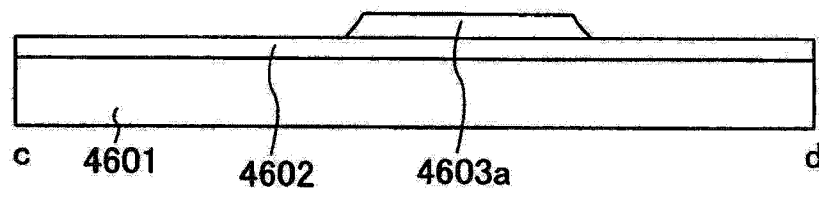


图 34A-2

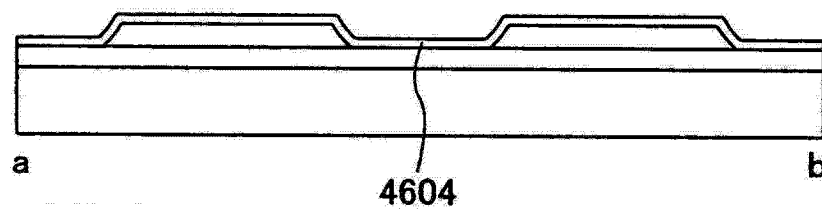


图 34B-1

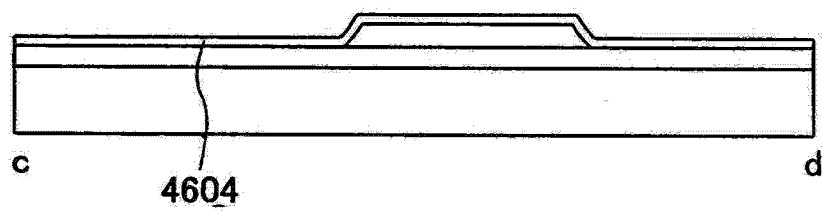


图 34B-2

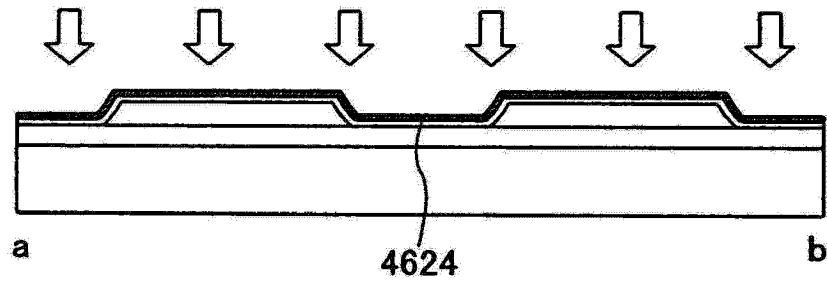


图 34C-1

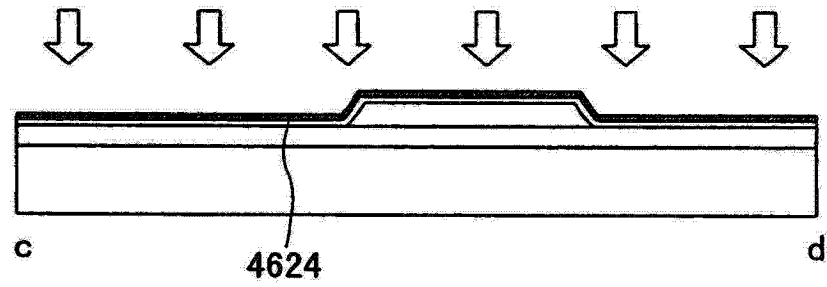


图 34C-2

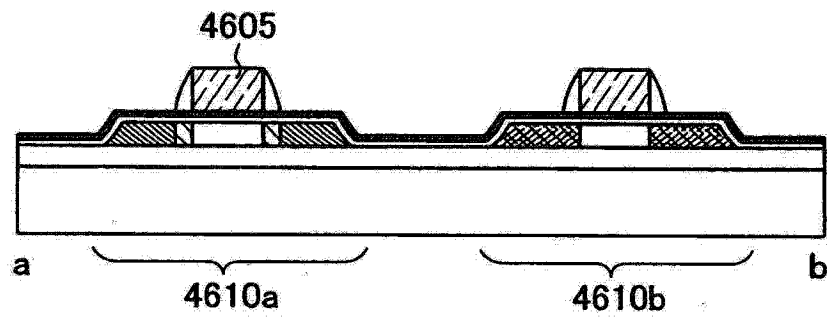


图 34D-1

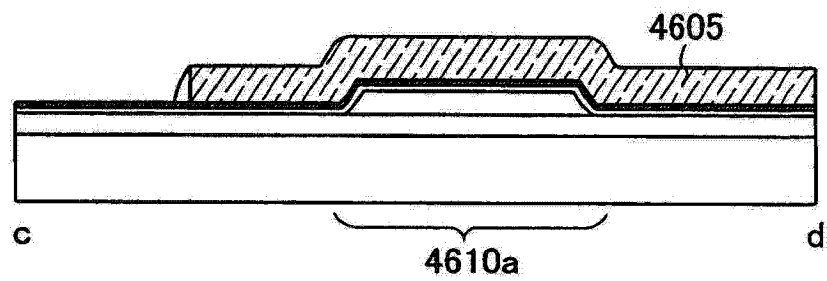


图 34D-2

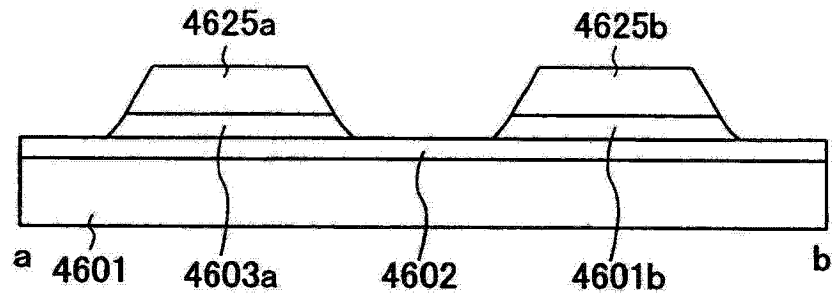


图 35A-1

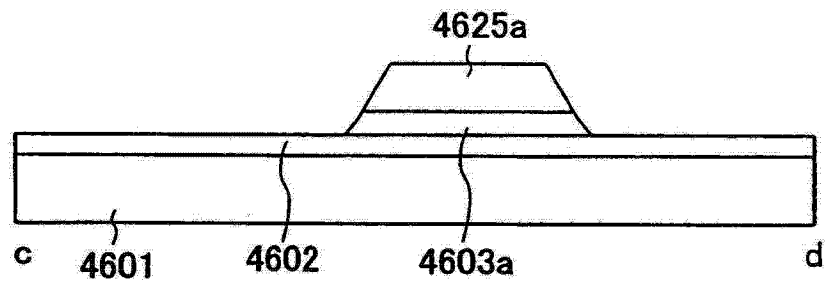


图 35A-2

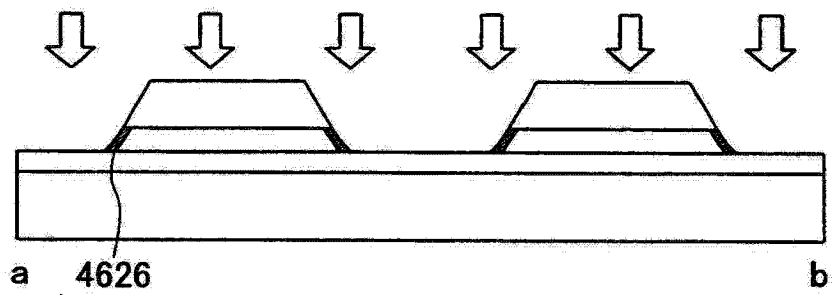


图 35B-1

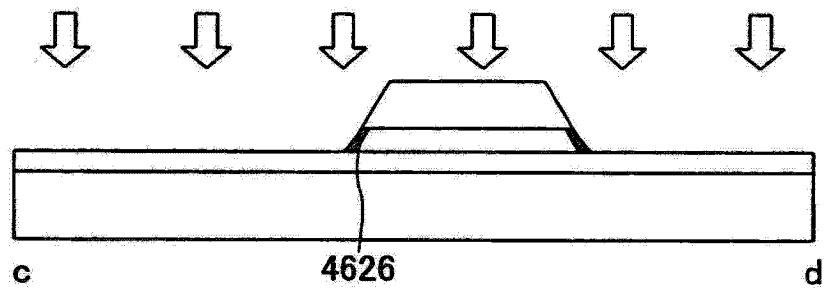


图 35B-2

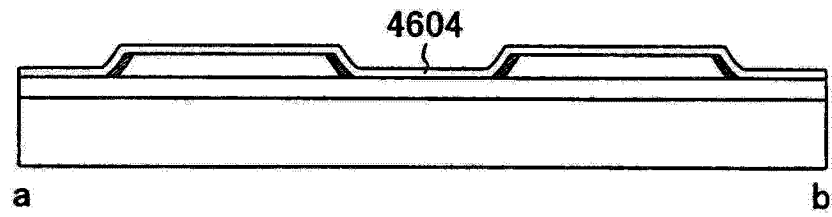


图 35C-1

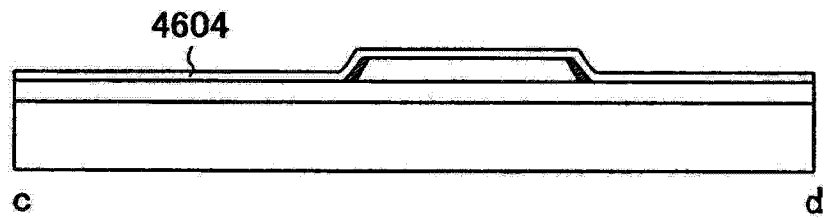


图 35C-2

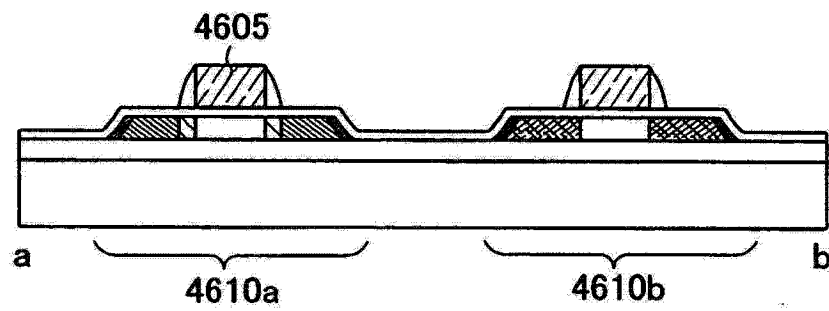


图 35D-1

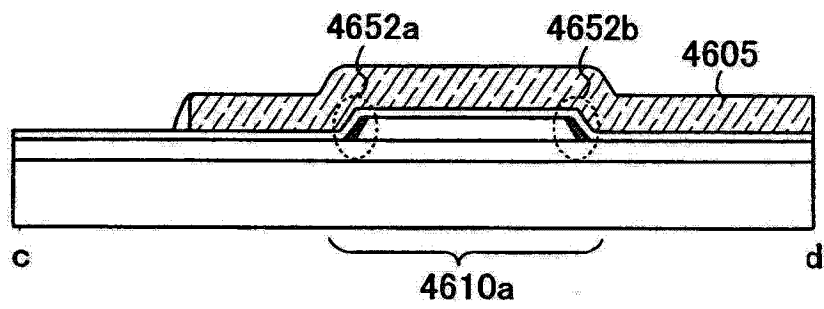


图 35D-2

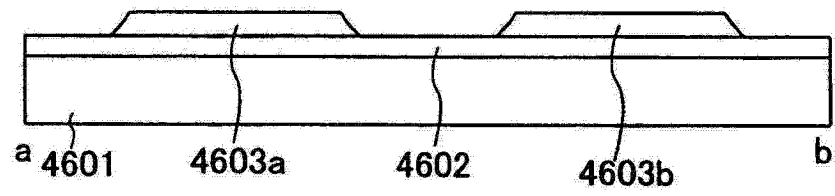


图 36A-1

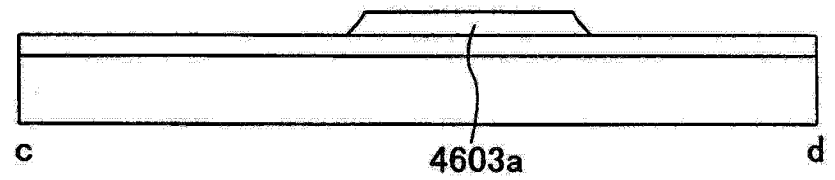


图 36A-2

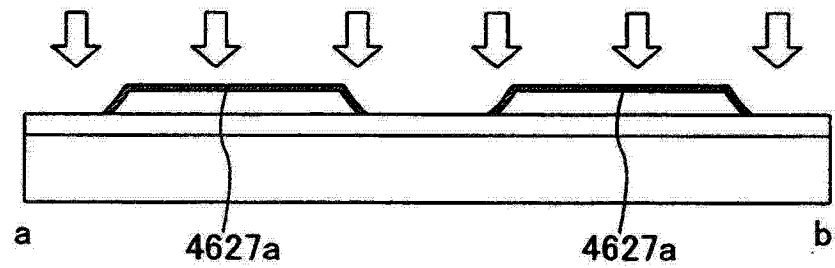


图 36B-1

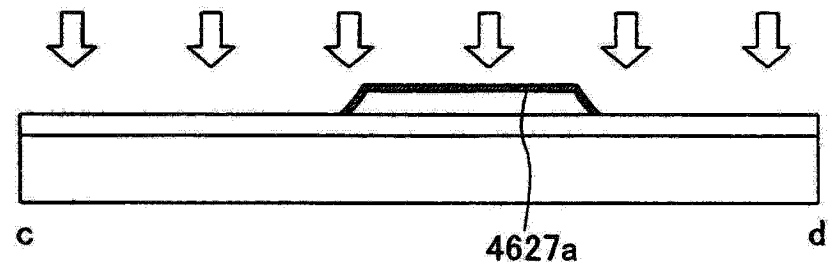


图 36B-2

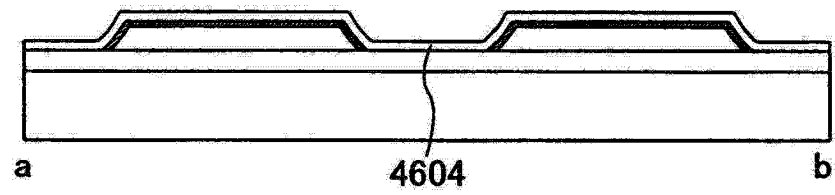


图 36C-1

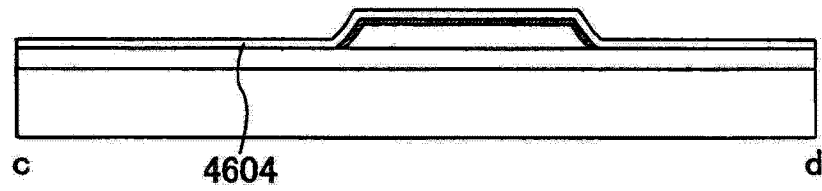


图 36C-2

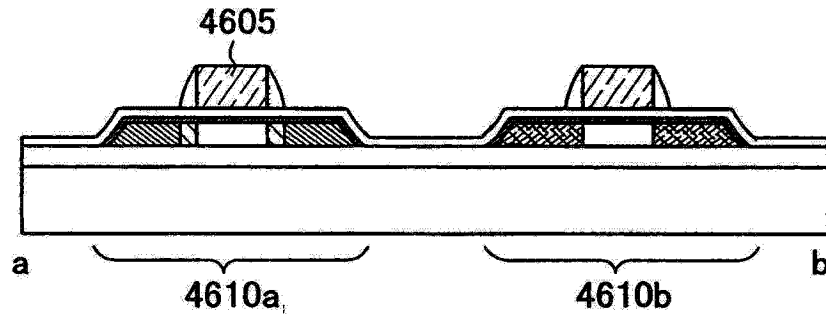


图 36D-1

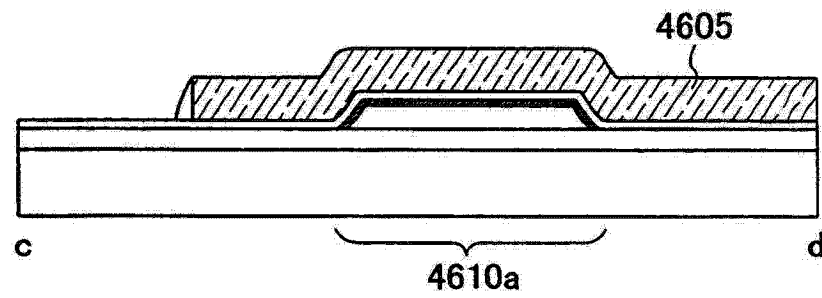


图 36D-2

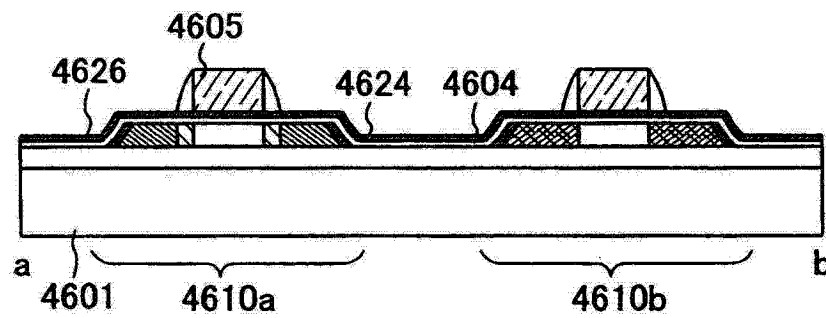


图 37A-1

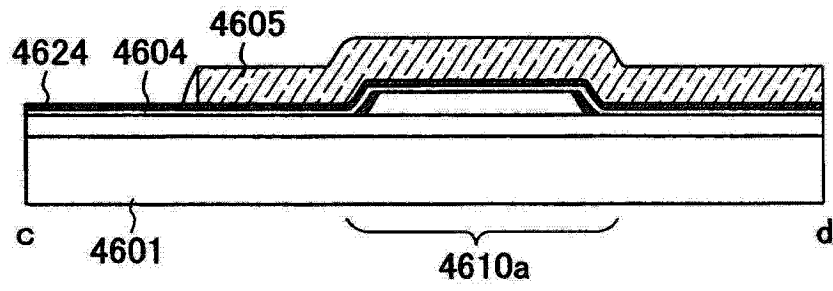


图 37A-2

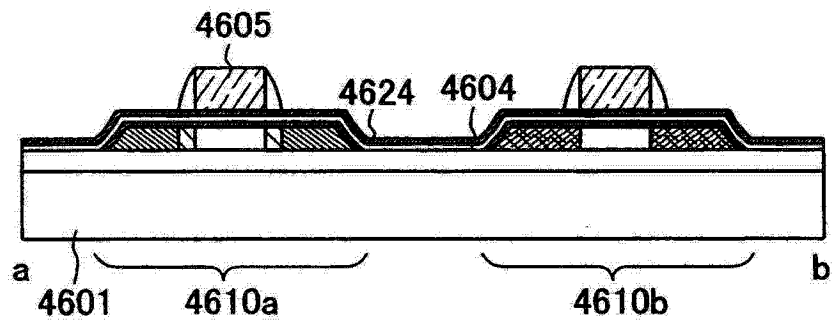


图 37B-1

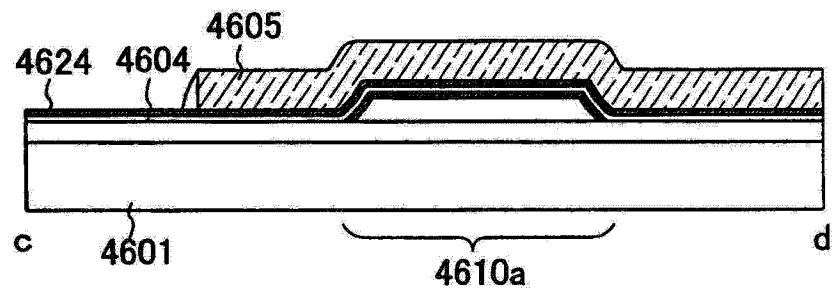


图 37B-2

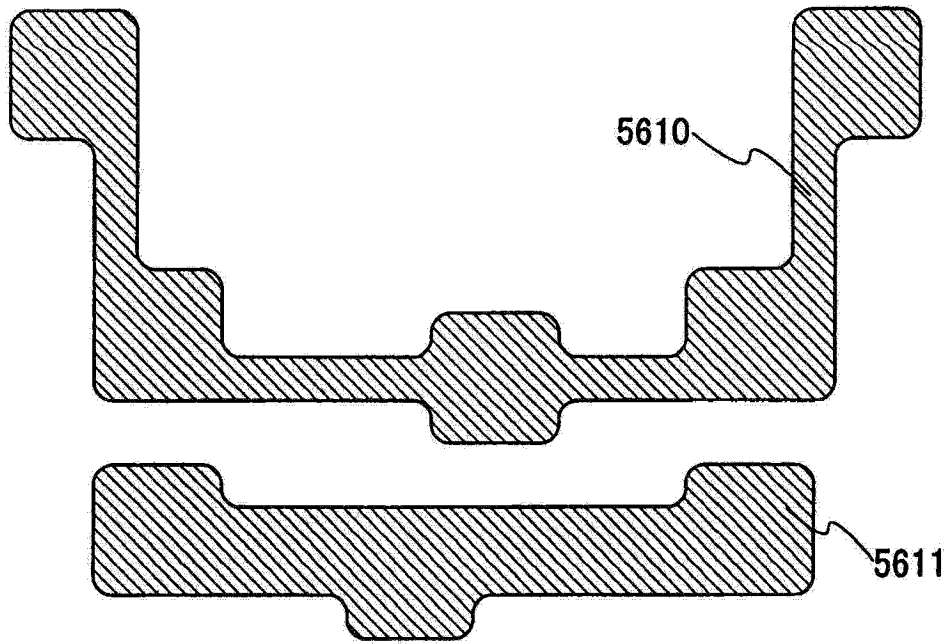


图 38A

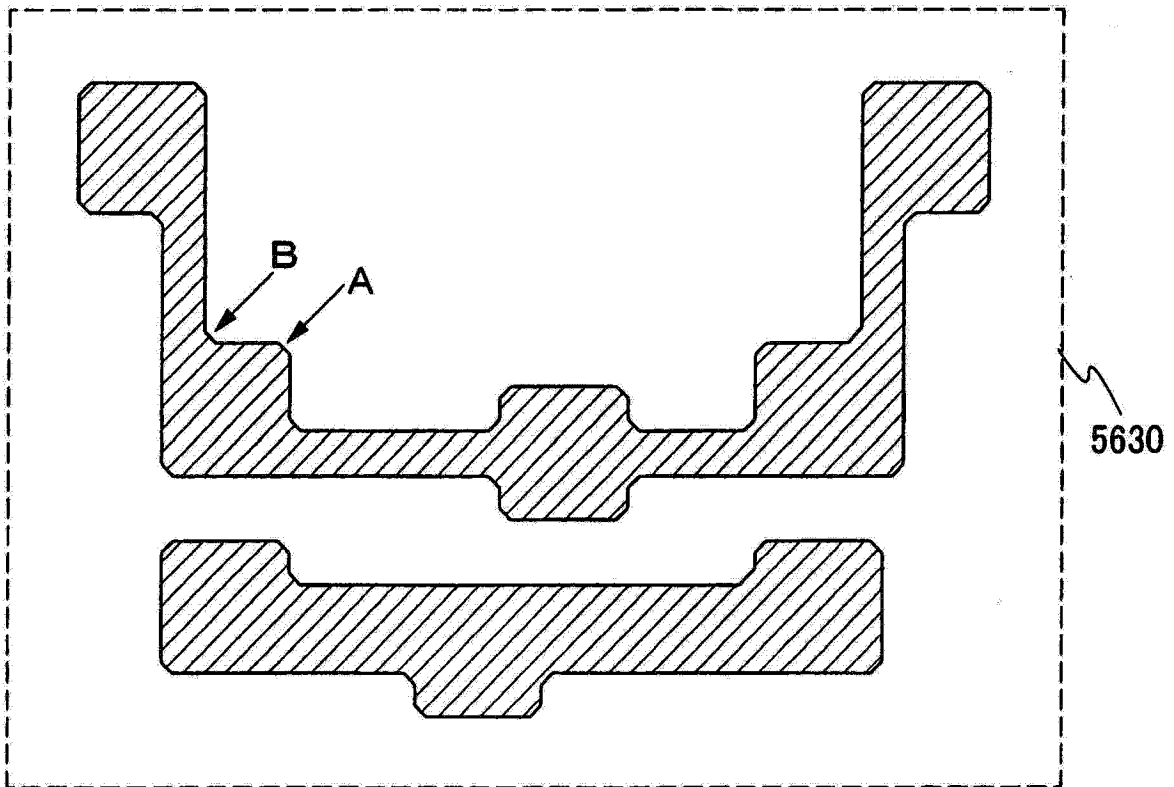


图 38B

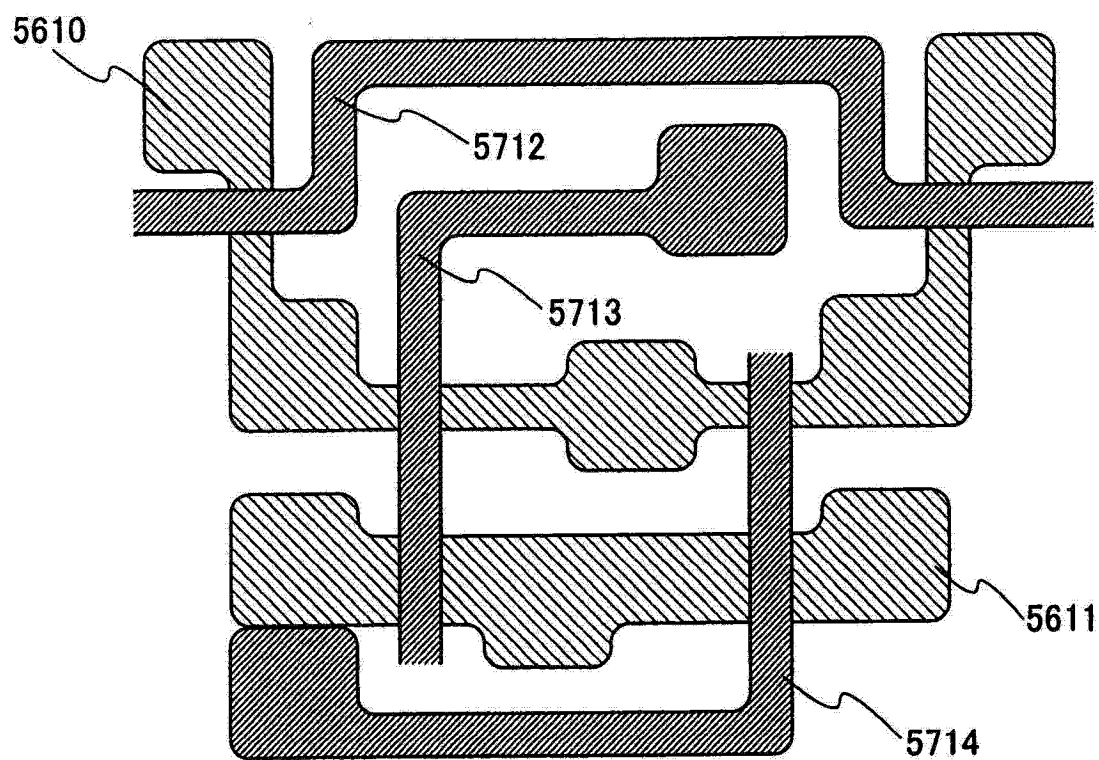


图 39A

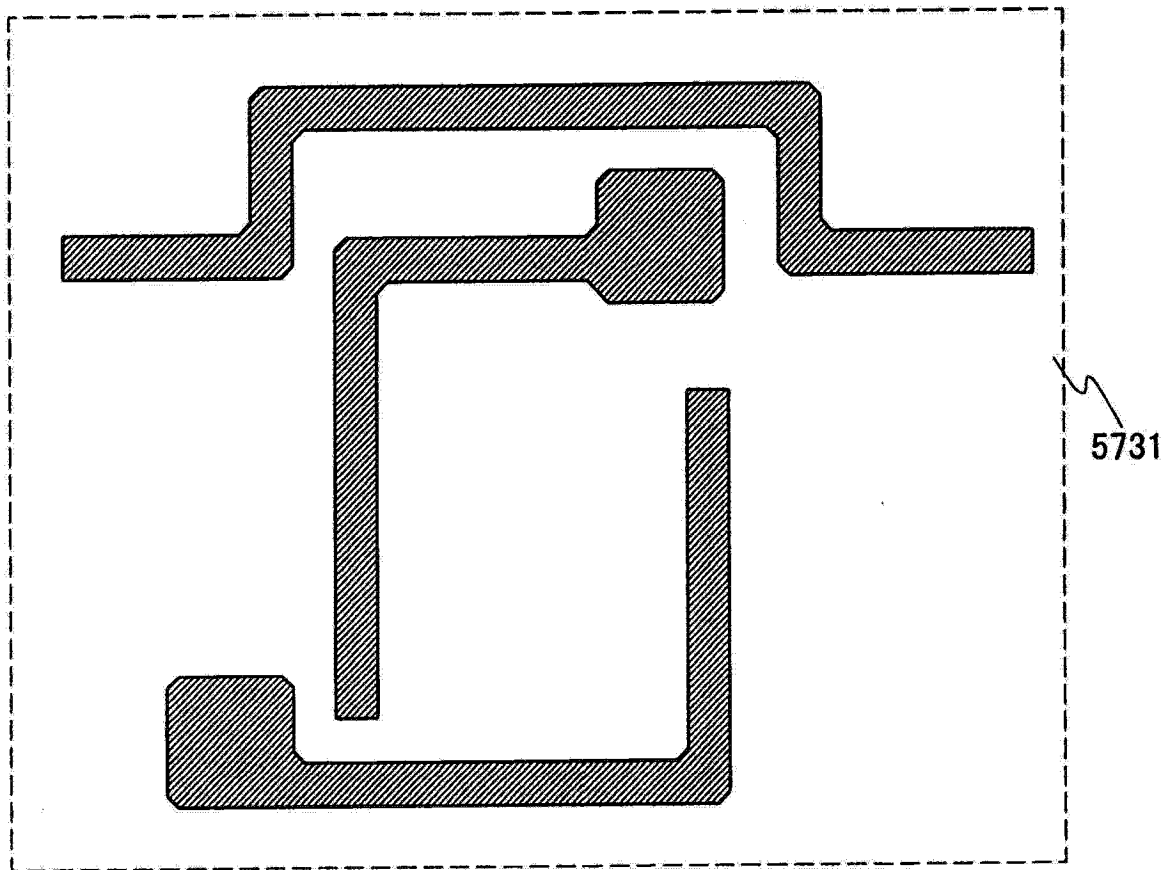


图 39B

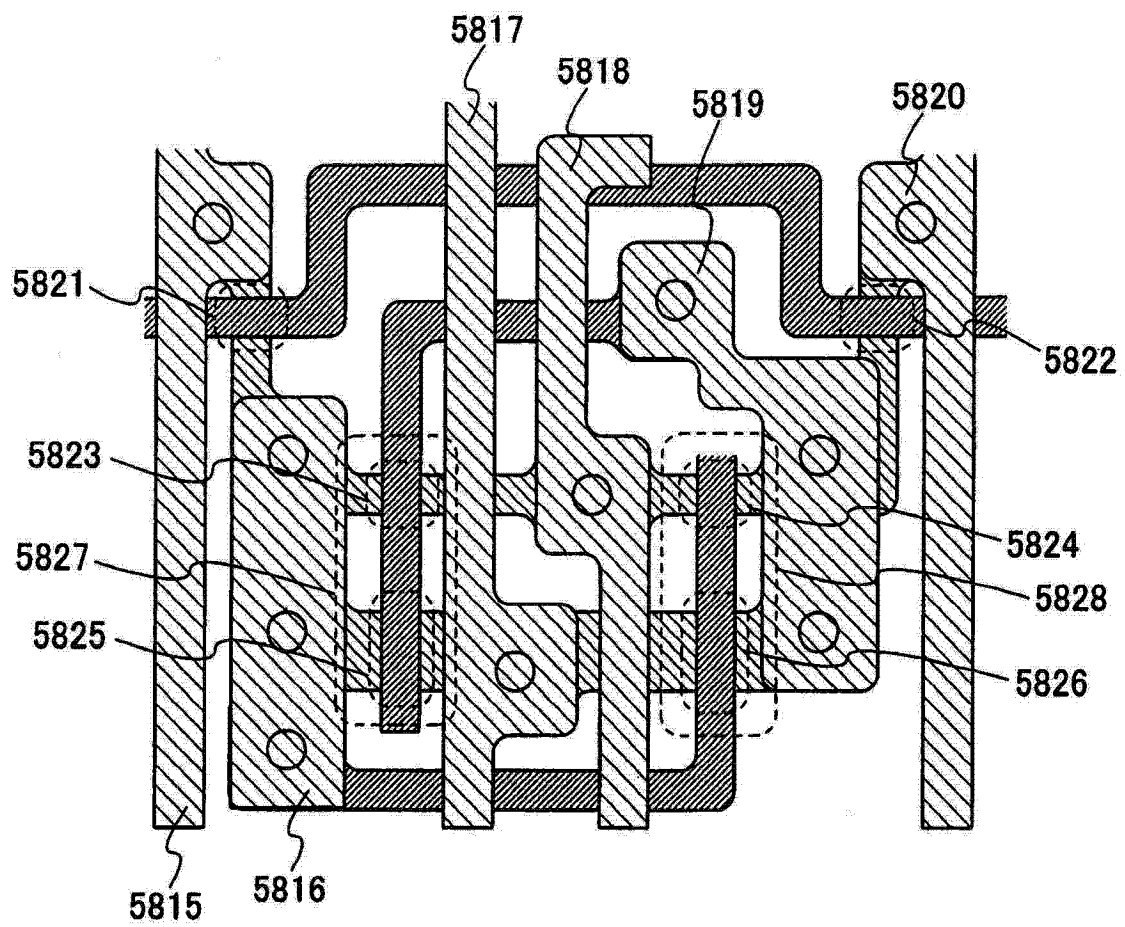


图 40A

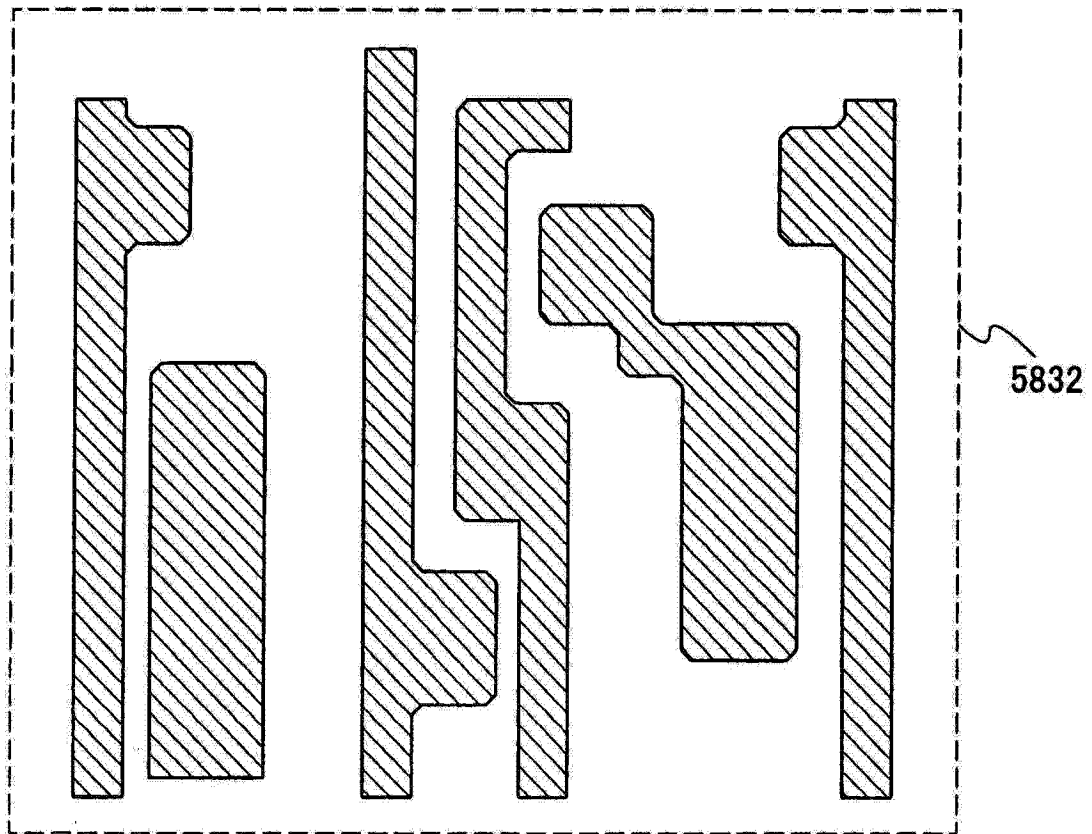


图 40B

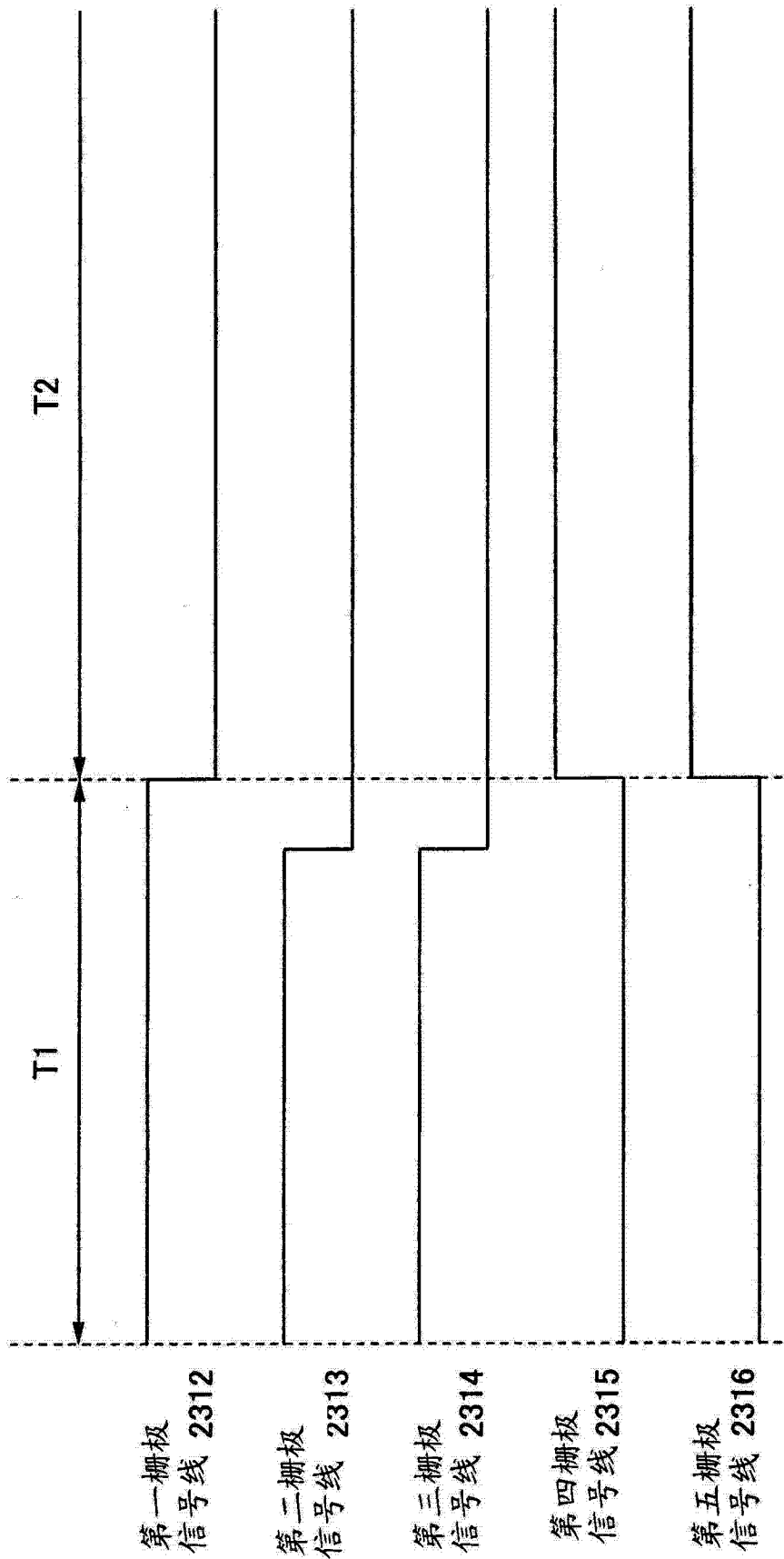


图 41

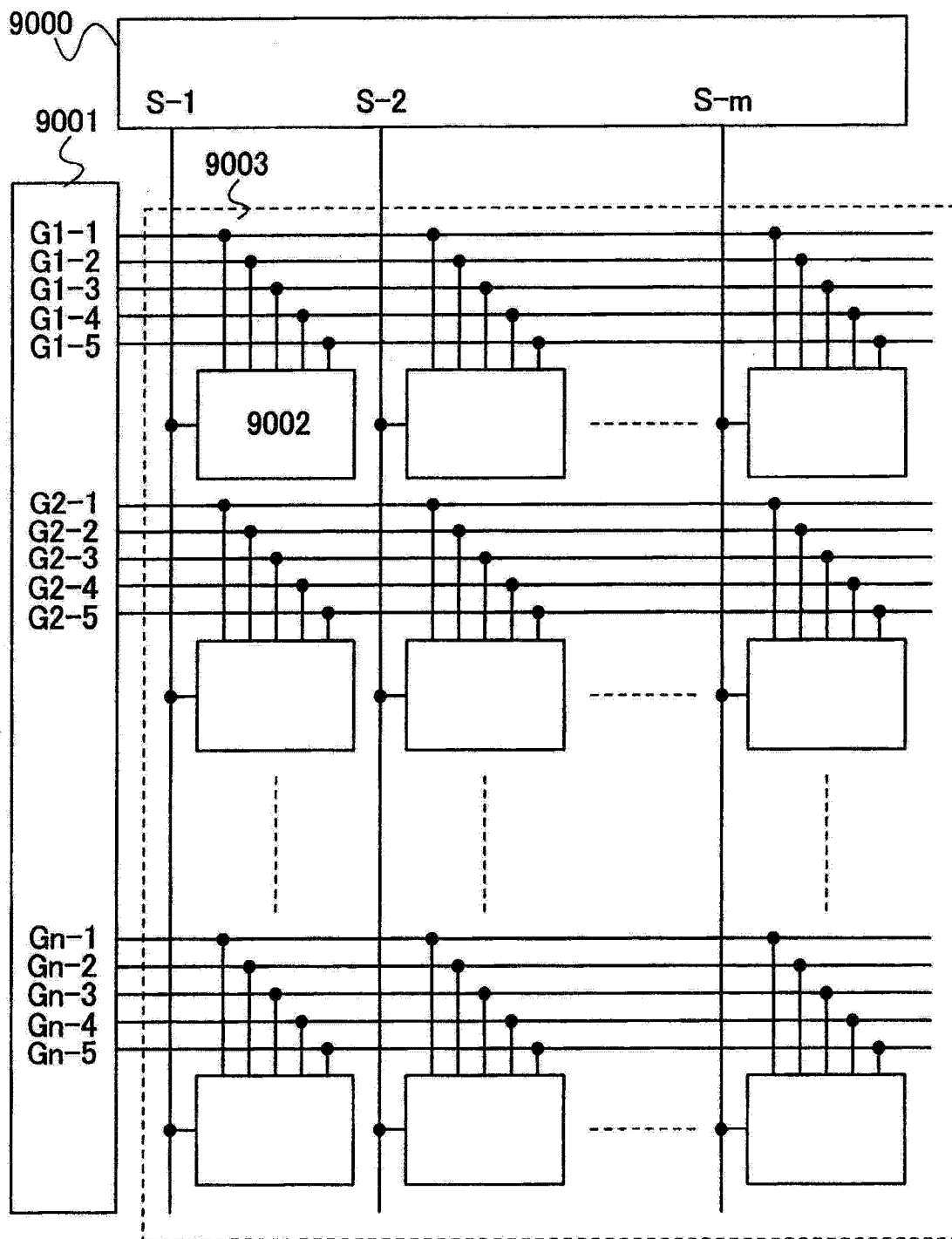


图 42

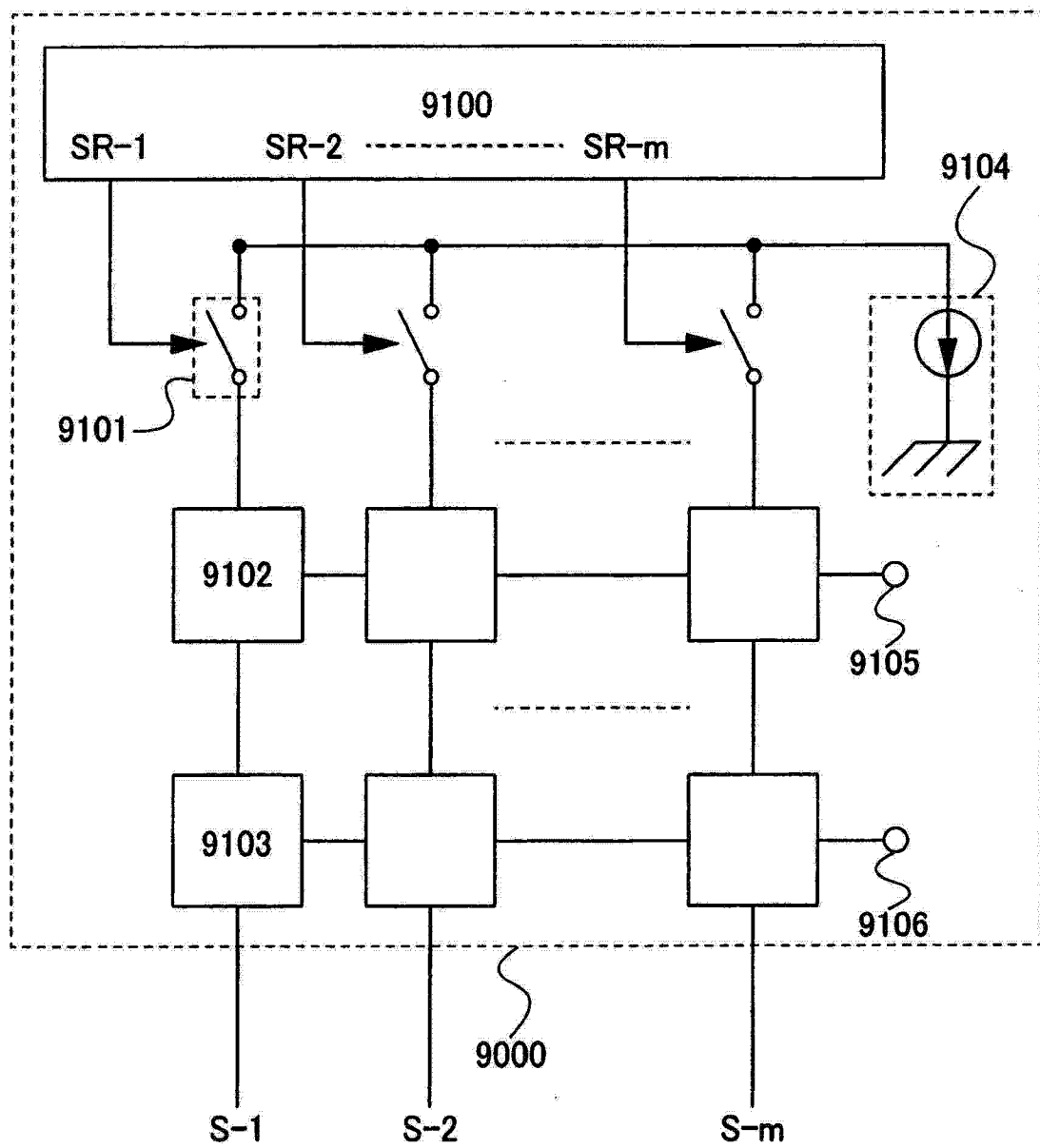


图 43

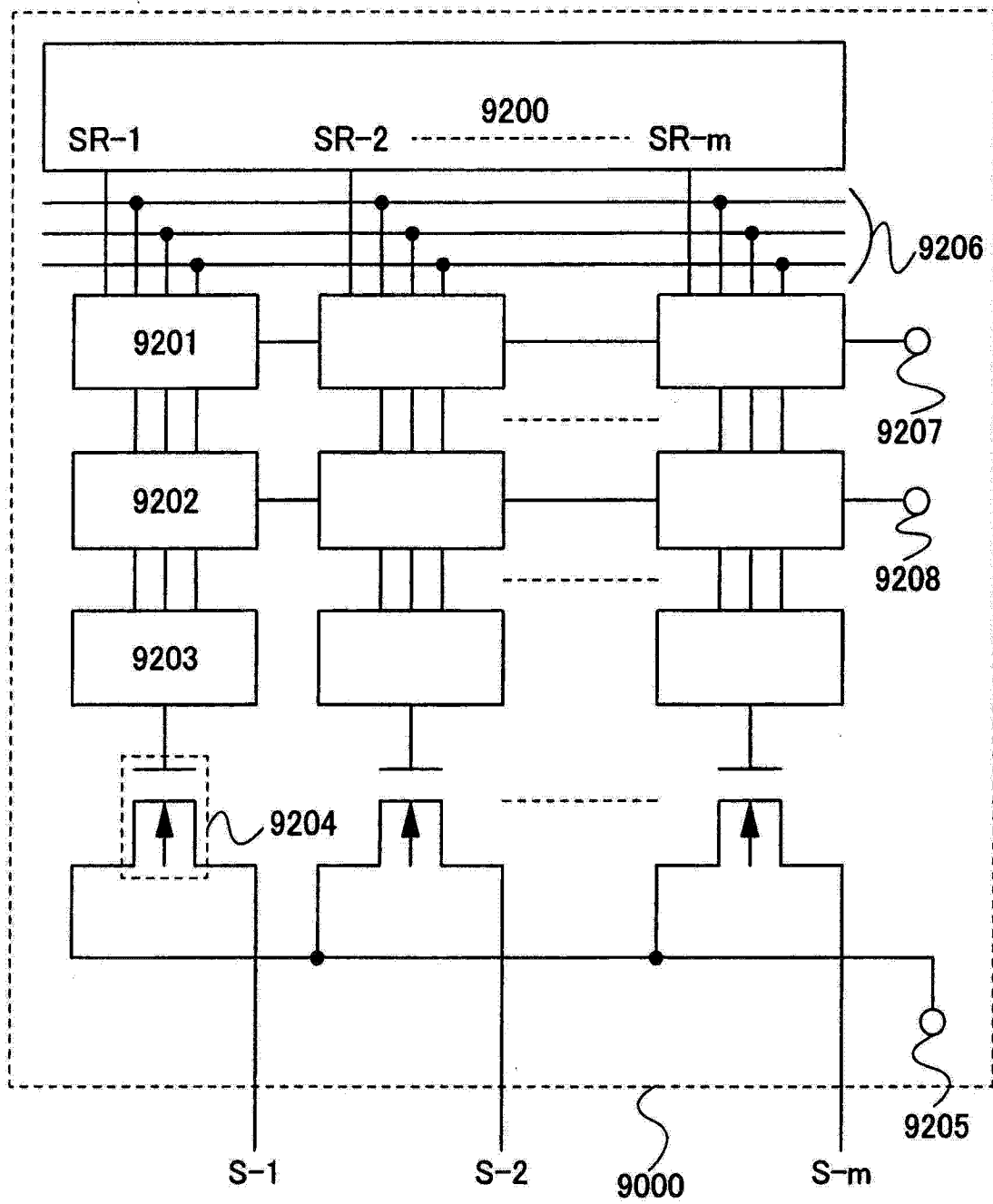


图 44

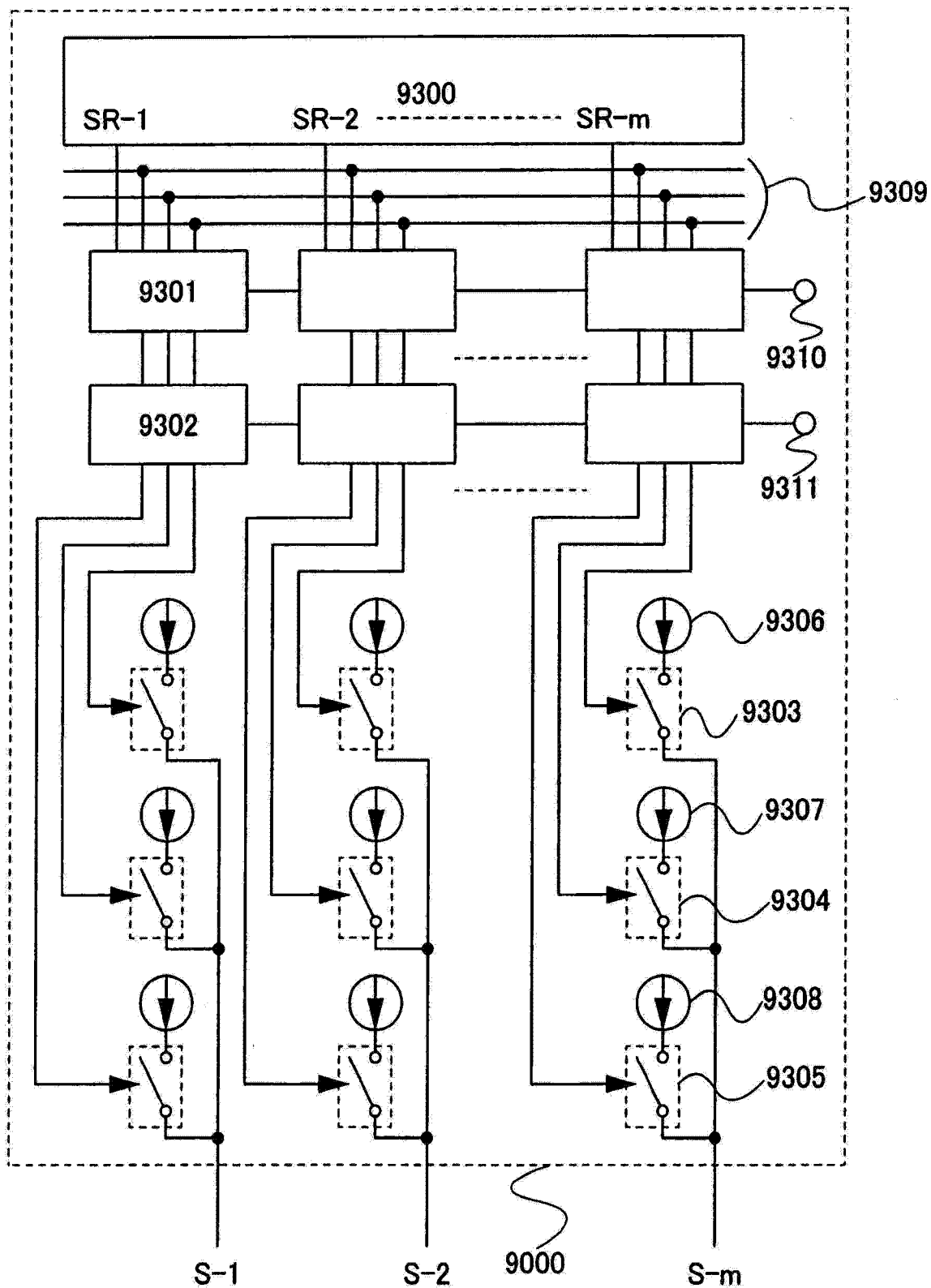


图 45

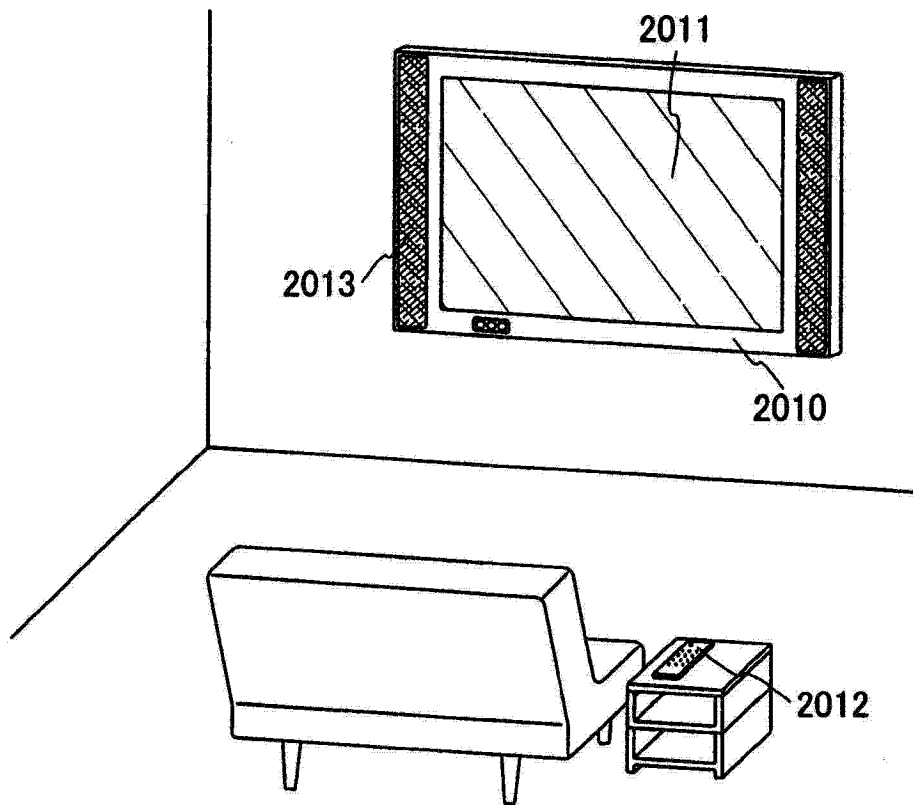


图 46

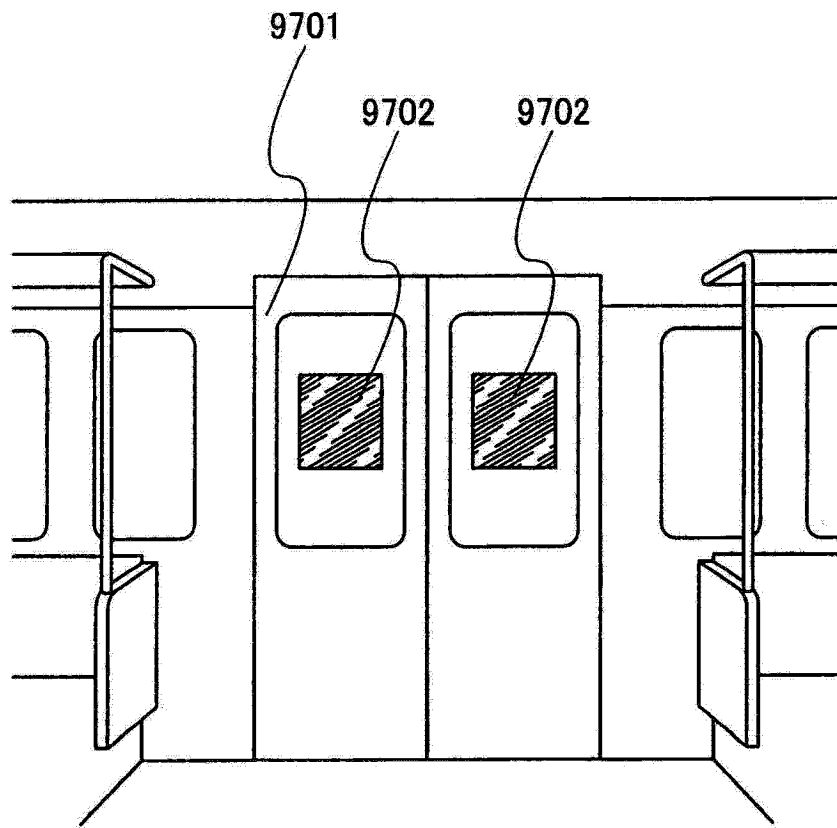


图 47A

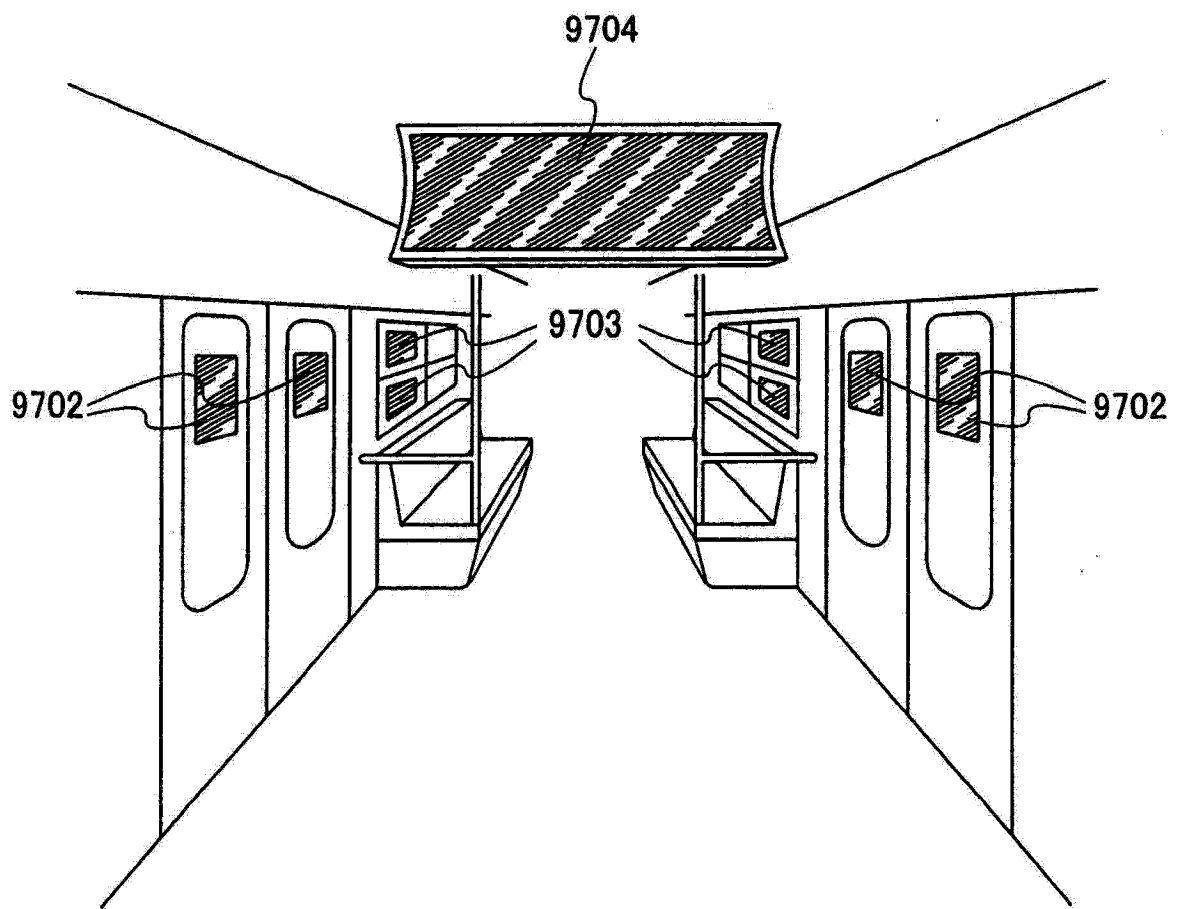


图 47B

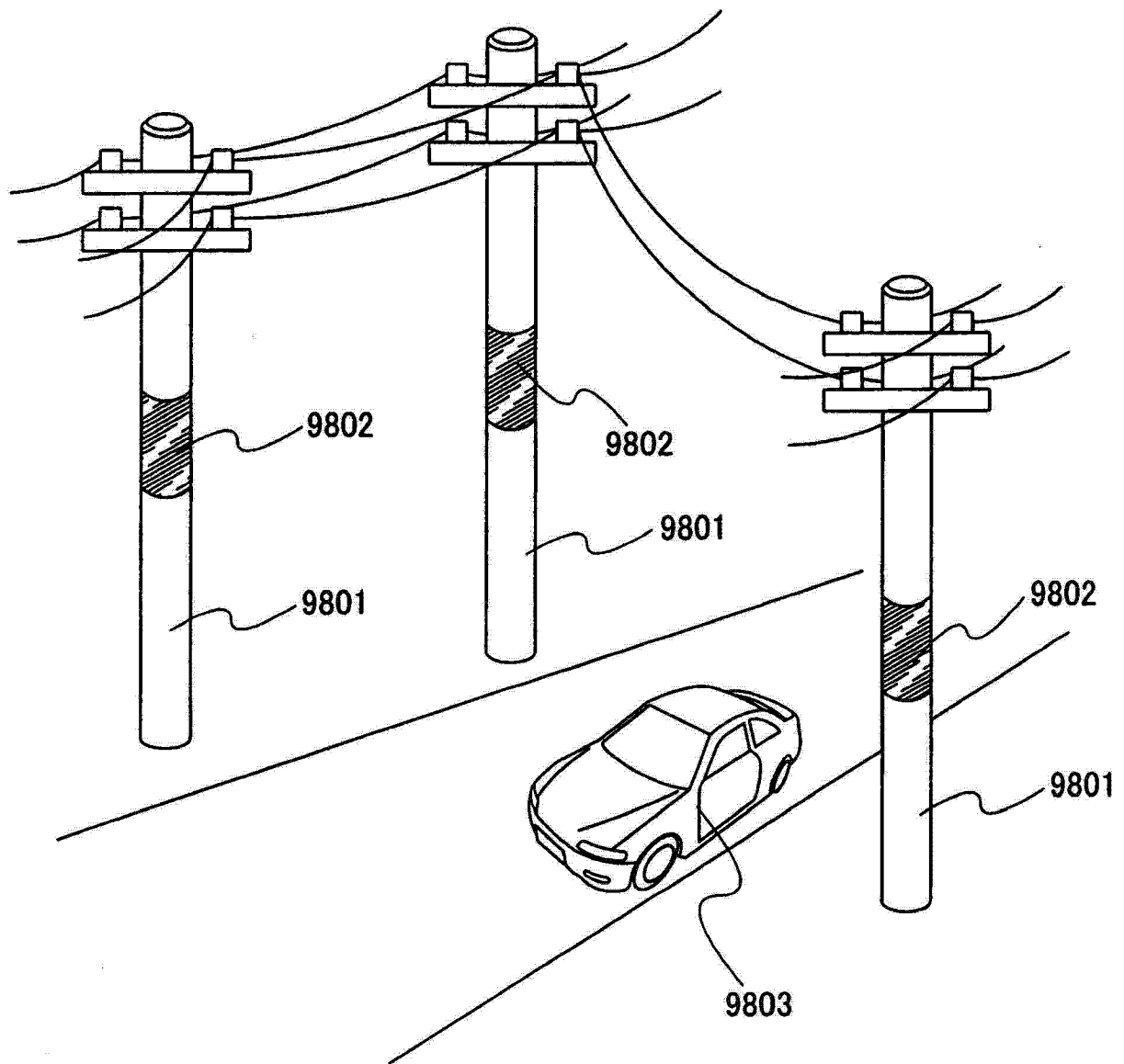


图 48

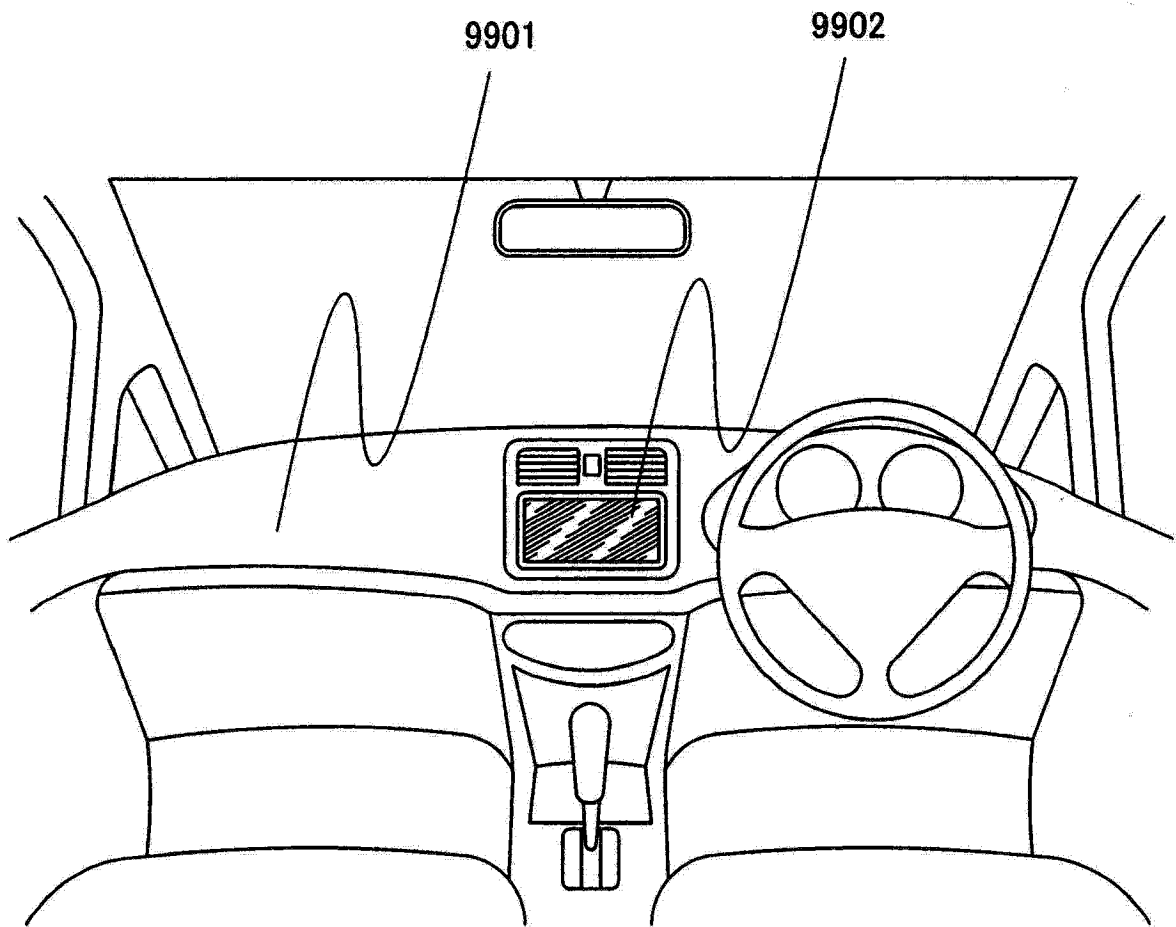


图 49

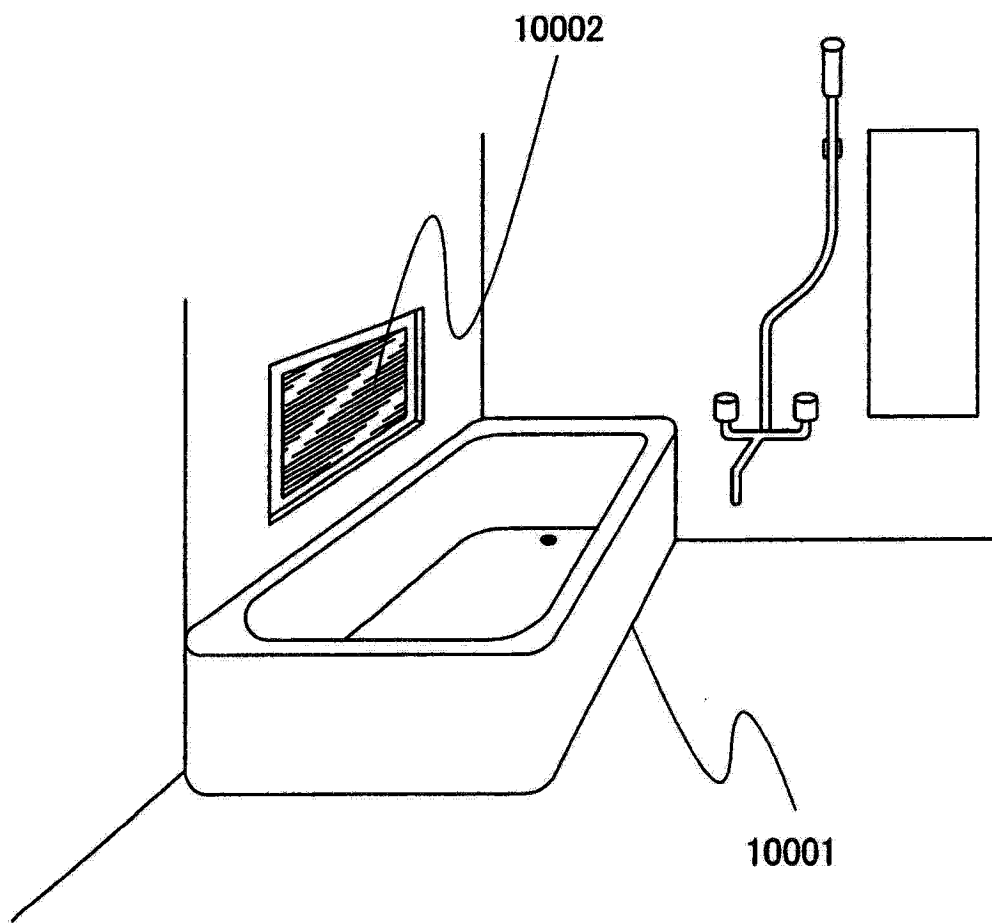


图 50

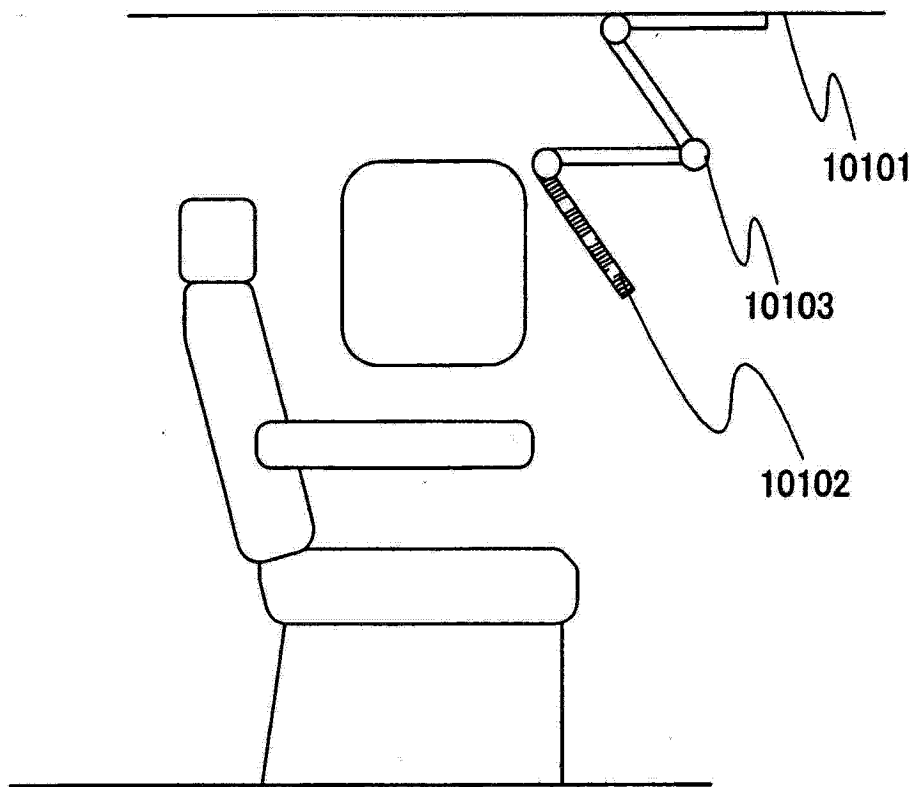


图 51A

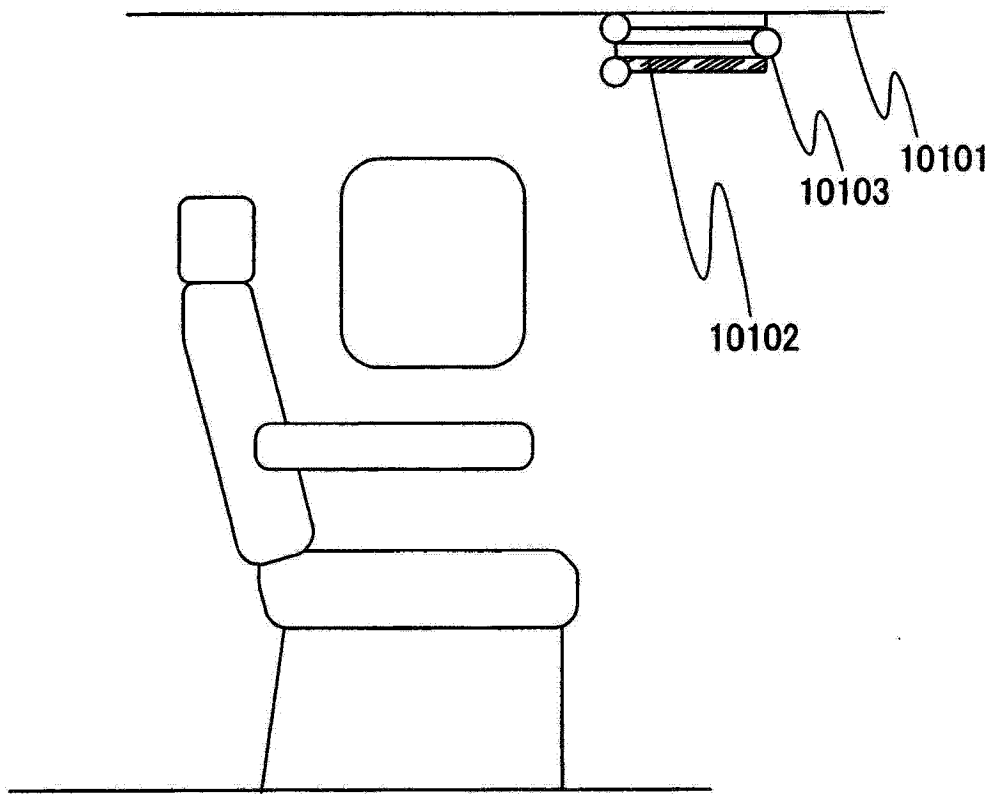


图 51B