

(19) 日本国特許庁 (JP)

## (12) 特 許 公 報 (B2)

(11) 特許番号

特許第5384038号  
(P5384038)

(45) 発行日 平成26年1月8日 (2014.1.8)

(24) 登録日 平成25年10月11日 (2013.10.11)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 29/792 (2006.01)

H O 1 L 21/265 Q

H O 1 L 21/8247 (2006.01)

H O 1 L 21/20

H O 1 L 27/115 (2006.01)

H O 1 L 27/12 B

請求項の数 5 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2008-156353 (P2008-156353)

(22) 出願日 平成20年6月16日 (2008.6.16)

(65) 公開番号 特開2009-33118 (P2009-33118A)

(43) 公開日 平成21年2月12日 (2009.2.12)

審査請求日 平成23年5月19日 (2011.5.19)

(31) 優先権主張番号 特願2007-166495 (P2007-166495)

(32) 優先日 平成19年6月25日 (2007.6.25)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 冢田 義紀

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

## 【請求項1】

絶縁表面上に、

チャネル形成領域と高濃度不純物領域を有する島状半導体膜と、

前記島状半導体膜上に、トンネル絶縁膜と、

前記トンネル絶縁膜上に、フローティングゲートと、

前記フローティングゲート上に、ゲート絶縁膜と、

前記ゲート絶縁膜上に、コントロールゲートと、

前記トンネル絶縁膜と前記フローティングゲートとの間に、第1の絶縁膜と、

を有し、

前記フローティングゲートの材料は、チタン、タンタル、タングステンのいずれか1つであり、

前記第1の絶縁膜は、前記フローティングゲートの材料の酸化膜で形成されており、前記フローティングゲートの材料が、前記トンネル絶縁膜に拡散するのを防ぐことを特徴とする半導体装置。

## 【請求項2】

請求項1において、

前記フローティングゲートと前記ゲート絶縁膜との間に、第2の絶縁膜と、

を有し、

前記第2の絶縁膜は、前記フローティングゲートの材料の酸化膜で形成されており、前

記フローティングゲートの材料が、前記ゲート絶縁膜に拡散するのを防ぐことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 の絶縁膜は、酸化チタン、酸化タンタル、酸化タングステンのいずれか 1 つであることを特徴とする半導体装置。

【請求項 4】

請求項 2 において、

前記第 2 の絶縁膜は、酸化チタン、酸化タンタル、酸化タングステンのいずれか 1 つであることを特徴とする半導体装置。

10

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記島状半導体膜は、単結晶半導体層により形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は記憶素子を有する半導体装置とその作製方法に関するものである。

【0002】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。

20

【背景技術】

【0003】

現代のように、多くの電子機器を使用する社会では、さまざまなデータが生成、使用されており、これらのデータを保存するためには、記憶素子（以下、メモリともいう）が必要である。生産及び使用されているさまざまなメモリは、各々に長所、短所が存在し、保存、使用するデータの種類に応じて使い分けられている。

【0004】

メモリの種類は大きく 2 つに分けられる。すなわち、揮発性メモリと不揮発性メモリである。揮発性メモリとは、電源を切ると記憶内容が失われてしまうメモリであり、不揮発性メモリとは、電源を切っても記憶内容が保持されているメモリである。例えば揮発性メモリには、DRAM (Dynamic Random Access Memory) や SRAM (Static Random Access Memory) がある。揮発性メモリは、電源を切ると記憶内容が失われてしまうために、その用途が大きく限定されてしまうが、アクセスに要する時間が短いので、コンピュータのキャッシュメモリ等に使用されている。DRAM は、メモリセルのサイズが小さいので、大容量化が容易であるが、制御方法が複雑であり、消費電力が大きい。SRAM のメモリセルは CMOS で構成されており、作製工程や制御方法が簡単であるが、1 つのメモリセルに 6 つのトランジスタを必要とするため、大容量化には不向きである。

30

【0005】

電源を切っても記憶内容が保持される不揮発性メモリの種類は大きく 3 つに分けられる。すなわち、リライタブル型、ライトワンス型、マスク ROM (Read Only Memory) である。リライタブル型は有限回数内で何度も記憶内容を書き換えることができる。ライトワンス型はメモリの使用者が一度だけデータを書き込むことができる。マスク ROM はメモリの製造時にデータの内容が決定され、そのデータ内容を書き換えることができない。

40

【0006】

リライタブル型不揮発性メモリとしては、EPROM、フラッシュメモリ、強誘電体メモリ等が挙げられる。EPROM は書き込み操作が容易であり、ビットあたりの単価も比較的小さいが、書き込みや消去に専用のプログラム装置と消去装置が必要である。フラッ

50

シュメモリや強誘電体メモリは、使用している基板上で書き換えが可能で、アクセスに要する時間も短く、低消費電力である。

【 0 0 0 7 】

フラッシュメモリの構造の1つとして、活性層上に、トンネル絶縁膜、フローティングゲート、ゲート絶縁膜、コントロールゲートを形成した構造が挙げられる（特許文献1参照）。フローティングゲート型の不揮発性メモリは、活性層中に形成されたチャンネル形成領域上の、トンネル絶縁膜を介してフローティングゲートに電荷を注入して保持させるものである。

【特許文献1】特開2006-13481号公報

【発明の開示】

10

【発明が解決しようとする課題】

【 0 0 0 8 】

フローティングゲートを金属膜、例えばチタン膜を用いて形成すると、作製工程中の加熱処理の温度により、チタンの原子がトンネル絶縁膜に拡散してしまうことがある。チタンの原子がトンネル絶縁膜に拡散してしまうと、トンネル絶縁膜の厚さが薄くなってしまい、トンネル絶縁膜の厚さを制御できないという問題が発生してしまう。

【 0 0 0 9 】

これにより記憶素子そのものの信頼性が低下してしまう恐れがあり、本発明は上記の問題を解決することを課題とする。

【課題を解決するための手段】

20

【 0 0 1 0 】

本発明では、フローティングゲートの材料を含む酸化膜を、フローティングゲートとトンネル絶縁膜との間に形成する。これによりフローティングゲートを構成する元素が熱により拡散したとしても、酸化膜があるのでトンネル絶縁膜まで拡散しない。酸化膜はフローティングゲートを構成する元素を元々有しているので、フローティングゲートを構成する元素が拡散しても問題はない。

【 0 0 1 1 】

さらにフローティングゲートとゲート絶縁膜との間にも、フローティングゲートの材料を含む酸化膜を形成すると、フローティングゲートを構成する元素の拡散がゲート絶縁膜まで達しないので、より信頼性の高い記憶素子を得ることが可能となる。

30

【 0 0 1 2 】

本発明は、以下の不揮発性半導体記憶装置、記憶素子及びその作製方法に関するものである。

【 0 0 1 3 】

絶縁表面上に、チャンネル形成領域と高濃度不純物領域を有する島状半導体膜と、前記島状半導体膜上に、トンネル絶縁膜と、前記トンネル絶縁膜上に、フローティングゲートと、前記フローティングゲート上に、ゲート絶縁膜と、前記ゲート絶縁膜上に、コントロールゲートと、前記トンネル絶縁膜と前記フローティングゲートとの間に、第1の絶縁膜とを有し、前記第1の絶縁膜は、前記フローティングゲートの材料の酸化膜で形成されており、前記フローティングゲートの材料が、前記トンネル絶縁膜に拡散するのを防ぐことを特徴とする半導体装置に関するものである。

40

【 0 0 1 4 】

本発明において、前記フローティングゲートと前記ゲート絶縁膜との間に、第2の絶縁膜とを有し、前記第2の絶縁膜は、前記フローティングゲートの材料の酸化膜で形成されており、前記フローティングゲートの材料が、前記ゲート絶縁膜に拡散するのを防ぐ。

【 0 0 1 5 】

本発明において、前記フローティングゲートの材料は、チタンであり、前記第1の絶縁膜は、酸化チタンである。

【 0 0 1 6 】

本発明において、前記フローティングゲートの材料は、チタンであり、前記第2の絶縁

50

膜は、酸化チタンである。

【 0 0 1 7 】

本発明において、前記フローティングゲートの材料は、チタン、タンタル、タングステンのいずれか1つであり、前記第2の絶縁膜は、酸化チタン、酸化タンタル、酸化タングステンのいずれか1つである。

【 0 0 1 8 】

本発明において、前記島状半導体膜は、単結晶半導体層により形成されている。

【発明の効果】

【 0 0 1 9 】

本発明により、フローティングゲートを構成する元素が拡散しても、トンネル絶縁膜やゲート絶縁膜には影響がなく、トンネル絶縁膜やゲート絶縁膜の膜厚を制御することができる。これにより信頼性の高い記憶素子を得ることができる。

【発明を実施するための最良の形態】

【 0 0 2 0 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 1 】

[ 実施の形態 1 ]

本実施の形態を、図1、図2(A)～図2(C)、図3(A)～図3(D)、図4(A)～図4(C)、図5を用いて説明する。

【 0 0 2 2 】

図1は、本実施の形態の記憶素子の断面構造を示している。絶縁表面101上に、活性層である島状半導体膜102が形成されており、島状半導体膜102中には、チャンネル形成領域103、低濃度不純物領域105、ソース領域またはドレイン領域である高濃度不純物領域104が形成されている。

【 0 0 2 3 】

島状半導体膜102上には、トンネル絶縁膜106、絶縁膜131、フローティングゲート107、絶縁膜132、ゲート絶縁膜108、コントロールゲート109が形成されている。

【 0 0 2 4 】

絶縁表面101は、基板でもよいし、基板上に絶縁膜を形成したものでもよい。基板としては、ガラス基板、プラスチック基板、SOI(Silicon On Insulator)基板等が挙げられる。基板上に絶縁膜を形成する場合、絶縁膜は、酸化珪素膜、窒化珪素膜、酸素を含む窒化珪素膜、窒素を含む酸化珪素膜を用いてもよい。

【 0 0 2 5 】

活性層である島状半導体膜102としては、珪素(Si)を用いればよく、その膜厚は例えば60nmであればよい。またトンネル絶縁膜106は、酸化珪素を用いればよく、その膜厚を8nm～10nmとする。

【 0 0 2 6 】

本発明では、フローティングゲート107と同じ材料の酸化膜にて絶縁膜131及び絶縁膜132を形成する。これによりフローティングゲート107の金属元素が熱により拡散したとしても、絶縁膜131及び絶縁膜132は同じ材料を含んでいるので問題はなく、金属元素がトンネル絶縁膜106やゲート絶縁膜108に拡散しない。これにより記憶素子の信頼性を向上させることができる。

【 0 0 2 7 】

フローティングゲート107として、チタン(Ti)がよく、その他にもタンタル(Ta)、タングステン(W)等を用いることができる。よって絶縁膜131及び絶縁膜132として、酸化チタンがよく、フローティングゲート107をタンタル(Ta)やタング

10

20

30

40

50

ステン(W)で形成した場合は、絶縁膜131及び絶縁膜132として、酸化タンタル、酸化タングステン等を用いることが可能である。

【0028】

ただし、後の工程で形成されるゲート絶縁膜108の膜厚が厚く、フローティングゲート107の金属元素が拡散しても、ゲート絶縁膜108が機能を損なわない程度に残っていれば、絶縁膜132は形成しなくてもよい。

【0029】

絶縁膜132上には、ゲート絶縁膜108、コントロールゲート109が形成される。絶縁膜132が形成されなかった場合には、フローティングゲート107上に、ゲート絶縁膜108、コントロールゲート109を形成する。

10

【0030】

ゲート絶縁膜108は、酸化珪素膜、窒化珪素膜、酸素を含む窒化珪素膜、窒素を含む酸化珪素膜等を用いて形成すればよい。またコントロールゲート109は、タングステン(W)、タンタル(Ta)、チタン(Ti)、アルミニウム(Al)等を用いて形成すればよい。

【0031】

以下に本実施の形態の記憶素子の詳細な作製方法について述べる。

【0032】

基板111上に、下地膜112を形成し、さらに非晶質半導体膜113を形成する(図2(A)参照)。基板111は、例えば、ガラス基板、石英基板等を用いればよい。また下地膜112を、酸化珪素膜、窒化珪素膜、窒素を含む酸化珪素膜、酸素を含む窒化珪素膜、あるいはそれらの積層膜、例えば膜厚100nmの酸化珪素膜を用いればよい。非晶質半導体膜113は、膜厚20~150nmの範囲で成膜するが、本実施の形態では膜厚60nmの非晶質珪素膜を成膜する。

20

【0033】

次いで非晶質半導体膜113を結晶化して結晶性半導体膜114を形成する。結晶化を促進する元素を導入後加熱処理を行って結晶化してもよいし、レーザー光を照射して結晶化してもよい。本実施の形態では、非晶質珪素膜にレーザー光115を照射して非晶質珪素膜を結晶化し、結晶性珪素膜を形成する(図2(B)参照)。

【0034】

次いで得られた結晶性半導体膜114を用いて島状半導体膜102を形成する(図2(C)参照)。

30

【0035】

島状半導体膜102を形成後、トンネル絶縁膜(トンネル酸化膜ともいう)106を8nm~10nmの膜厚にて形成する(図3(A)参照)。ここではトンネル絶縁膜106を10nmの膜厚で形成する。

【0036】

次いで後の工程でフローティングゲート107を構成する材料の酸化膜(第1の酸化膜)を成膜する。フローティングゲート107は、好ましくはチタン(Ti)、あるいはタンタル(Ta)、タングステン(W)を用いて形成すればよいので、酸化チタン、あるいは酸化タンタル、酸化タングステン等を用いて第1の酸化膜を形成すればよい。本実施の形態では、酸化チタンをスパッタ法で5nmの膜厚で成膜したものを、第1の酸化膜とする。

40

【0037】

次いで、第1の酸化膜上に、フローティングゲート107を形成するための導電膜、ここではチタン膜をスパッタ法で、膜厚20nmで成膜する。上述したように、フローティングゲート107を形成するための導電膜として、タンタル(Ta)膜、タングステン(W)膜等を用いてもよい。

【0038】

次いでフローティングゲート107を形成するための導電膜上に、第1の酸化膜と同じ

50

材料を用いて第2の酸化膜を、例えば膜厚5nmの厚さで形成する。

【0039】

次いで、第1の酸化膜、導電膜、第2の酸化膜をエッチングして、それぞれ、絶縁膜131、フローティングゲート107、絶縁膜132を形成する(図3(B)参照)。

【0040】

なお、後の工程で形成されるゲート絶縁膜108の膜厚が厚く、フローティングゲート107の金属元素が拡散しても、ゲート絶縁膜108が機能を損なわない程度に残っていれば、絶縁膜132は形成しなくてもよい(図5参照)。

【0041】

絶縁膜131、フローティングゲート107、絶縁膜132を形成したら、絶縁膜131、フローティングゲート107、絶縁膜132をマスクとして、島状半導体膜102に一導電性を付与する不純物を添加する。本実施の形態では、一導電性を付与する不純物としてリン(P)を用い、40keVの加速電圧にて、 $1.0 \times 10^{14} \text{ atoms/cm}^2$ のドーズ量で添加する。これにより、島状半導体膜102の、絶縁膜131、フローティングゲート107、絶縁膜132と重ならない領域に、濃度 $1 \times 10^{12} \text{ atoms/cm}^3$ のリンを含む低濃度不純物領域121が形成される(図3(C)参照)。

【0042】

次いで絶縁膜132上、あるいは絶縁膜132を形成していない場合にはフローティングゲート107上、並びに、トンネル絶縁膜106上に、ゲート絶縁膜108を20nm~50nmの膜厚にて形成する(図3(D)参照)。

【0043】

さらにゲート絶縁膜108上に、TaやW等からなる導電膜を用いてコントロールゲート109を形成する(図4(A)参照)。コントロールゲート109は、後の工程で低濃度不純物領域105を形成する際のマスクとするために、低濃度不純物領域121の一部と重なるように配置する。

【0044】

次いで、島状半導体膜102に、コントロールゲート109をマスクとして、一導電性を付与する不純物元素を添加して、ソース領域またはドレイン領域である高濃度不純物領域104、低濃度不純物領域105、及び、チャネル形成領域103を形成する(図4(B)参照)。本実施の形態では、ドーピング法により、25keVの加速電圧にて、 $3.0 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量にてリン(P)を添加する。なお、この一導電性を付与する不純物元素の添加は、コントロールゲート109をマスクとして行われるので、高濃度不純物領域104と低濃度不純物領域105の境界は、コントロールゲート109の端部と一致する。

【0045】

次いで、島状半導体膜102、コントロールゲート109を覆って、層間絶縁膜118を形成する。さらに層間絶縁膜118中に、ソース領域またはドレイン領域である高濃度不純物領域104に達するコンタクトホールを形成する。

【0046】

さらに層間絶縁膜118上に、導電膜を形成し、この導電膜を用いて、層間絶縁膜118中のコンタクトホールを介して、ソース領域またはドレイン領域である高濃度不純物領域104に電氣的に接続される配線119を形成し、記憶素子を形成する(図4(C)参照)。

【0047】

本実施の形態により、フローティングゲート107を構成する元素が熱により拡散したとしても、絶縁膜131が形成されているために、トンネル絶縁膜106に拡散することはない。さらに絶縁膜132が形成されているために、ゲート絶縁膜108に元素が拡散することはない。以上により信頼性の高い記憶素子を得ることができる。

【0048】

[実施の形態2]

10

20

30

40

50

本実施の形態では、無線交信可能な半導体装置において、本発明の記憶素子を用いた場合について、図6、図7(A)～図7(B)を用いて説明する。

【0049】

図6に示すように、本実施の形態の無線交信可能な半導体装置200は、演算処理回路201、記憶回路202、アンテナ203、電源回路204、復調回路205、変調回路206を有する。無線交信可能な半導体装置200は、アンテナ203と電源回路204を必須の構成要素としており、他の要素は、無線交信可能な半導体装置200の用途に従って、適宜設けられる。

【0050】

演算処理回路201は、復調回路205から入力される信号に基づき、命令の解析、記憶回路202の制御、外部に送信するデータの変調回路206への出力などを行う。

10

【0051】

記憶回路202は、記憶素子を含む回路と、データの書き込みやデータの読み出しを行う制御回路を有する。記憶回路202には、少なくとも、半導体装置自体の個体識別番号が記憶されている。個体識別番号は、他の半導体装置と区別するために用いられる。また、記憶回路202は、実施の形態1で述べた記憶素子を用いて形成すればよい。

【0052】

アンテナ203は、リーダ/ライタ207から供給された搬送波を、交流の電気信号に変換する。また、変調回路206により、負荷変調が加えられる。電源回路204は、アンテナ203が変換した交流の電気信号を用いて電源電圧を生成し、各回路に電源電圧を供給する。

20

【0053】

復調回路205は、アンテナ203が変換した交流の電気信号を復調し、復調した信号を、演算処理回路201に供給する。変調回路206は、演算処理回路201から供給される信号に基づき、アンテナ203に負荷変調を加える。

【0054】

リーダ/ライタ207は、アンテナ203に加えられた負荷変調を、搬送波として受信する。また、リーダ/ライタ207は、搬送波を無線交信可能な半導体装置200に送信する。なお、搬送波とは、リーダ/ライタ207が送受信する電磁波であり、リーダ/ライタ207は変調回路206により変調された搬送波を受信する。

30

【0055】

記憶回路202に本発明を適用した記憶素子を搭載し、マトリクス状に配置した構成について図7(A)に示す。なお、図7(A)では記憶素子の全てに本発明の記憶素子を用いているが、これに限定されるものではなく、半導体装置の個体識別情報を記憶する、本発明の記憶素子を用いたメモリ部と、その他のメモリ部を記憶回路202内に搭載してもよい。

【0056】

図7(A)に示すのは本発明の記憶素子をマトリクス状に配置した記憶回路202の構成の一例である。記憶回路202にはメモリセル1021がマトリクス状に設けられたメモリセルアレイ1023、カラムデコーダ1025と読み出し回路1026とセクタ1027を有するビット線駆動回路1024、ロウデコーダ1030とレベルシフタ1031を有するワード線駆動回路1029、書き込み回路等を有し外部とのやりとりを行うインターフェース1028を有している。なお、ここで示す記憶回路202の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

40

【0057】

メモリセル1021は、ワード線 $W_y(1 \leq y \leq n)$ を構成する第1の配線と、ビット線 $B_x(1 \leq x \leq m)$ を構成する第2の配線と、TFT1032と、記憶素子1033とを有する。

【0058】

50

次に、本発明のメモリセルへの書き込み及び読み込み動作について、図 7 ( B ) を参照しながら説明する。なお、ここではメモリセルに「 0 」が書き込まれた状態を第 2 の状態、「 1 」が書き込まれた状態を第 1 の状態とする。

#### 【 0 0 5 9 】

まず、メモリセル 1 0 2 1 に「 0 」を書き込むための回路動作の一例を述べる。書き込み処理は、メモリセル 1 0 2 1 のワード線  $W_0$  を選択し、ビット線  $B_0$  に電流を流すことで行われる。つまり、書き込みを行いたいメモリセルをワード線  $W_0$  により選択し、記憶素子 1 0 3 3 が第 1 の状態から第 2 の状態へ移行し、絶縁させることが可能な電圧をかければよい。例えば、この電圧を 1 0 V とする。このとき、他のメモリセル内の記憶素子 5 0 6、記憶素子 5 0 7 及び記憶素子 5 0 8 に書き込みが行われることを防止するために T F T 5 0 2、T F T 5 0 3 及び T F T 5 0 4 をオフにする。例えばワード線  $W_1$  及びビット線  $B_1$  は 0 V としておくといよい。ワード線  $W_0$  のみが選択された状態で、ビット線  $B_0$  に、記憶素子 1 0 3 3 を第 1 の状態から第 2 の状態へと移行するのに十分な電圧をかけることで、記憶素子 1 0 3 3 に「 0 」が書き込まれた状態にすることができる。

#### 【 0 0 6 0 】

次に、メモリセル 1 0 2 1 の読み出し操作の例を示す。読み出し操作は、メモリセル 1 0 2 1 の記憶素子 1 0 3 3 に「 1 」が書き込まれた第 1 の状態であるか、「 0 」が書き込まれた第 2 の状態であるかを判別すればよい。例えば、メモリセル 1 0 2 1 に「 0 」が書き込まれている状態であるか、「 1 」が書き込まれている状態であるかを読み出す場合について説明する。記憶素子 1 0 3 3 は「 0 」が書き込まれた状態、つまり、絶縁状態である。ワード線  $W_0$  を選択して T F T 1 0 3 2 をオンにする。ここで、T F T 1 0 3 2 がオンの状態でビット線  $B_0$  に所定の電圧以上の電圧をかける。ここでは、所定の電圧を 5 V とする。このとき、記憶素子 1 0 3 3 が第 1 の状態、つまり、絶縁されていない状態であれば、電流はメモリセル 1 0 2 1 内の接地している配線へと流れてしまい、ビット線  $B_0$  の電圧は 0 V になる。逆に、記憶素子 1 0 3 3 が第 2 の状態、つまり、絶縁状態であれば、電流はメモリセル 1 0 2 1 内の接地している配線に流れてしまうことなく、ビット線  $B_0$  の電圧は 5 V で維持される。このように、ビット線の電圧により「 0 」が書き込まれているか、「 1 」が書き込まれているかを判別することができる。

#### 【 0 0 6 1 】

以上のようにして、本発明の記憶素子は無線交信可能な半導体装置に適用することが可能である。

#### 【 0 0 6 2 】

##### [ 実施の形態 3 ]

実施の形態 2 に基づいて作製された、無線交信可能な半導体装置 2 0 0 は、電磁波の送信と受信ができるという機能を活用して、様々な物品やシステムに用いることができる。物品とは、例えば、鍵 ( 図 8 ( A ) 参照 )、紙幣、硬貨、有価証券類、無記名債券類、証書類 ( 運転免許証や住民票等、図 8 ( B ) 参照 )、書籍類、容器類 ( シャーレ等、図 8 ( C ) 参照 )、包装用容器類 ( 包装紙やボトル等、図 8 ( E ) ( F ) 参照 )、記録媒体 ( ディスクやビデオテープ等 )、乗物類 ( 自転車等 )、装身具 ( 靴や眼鏡等、図 8 ( D ) 参照 )、食品類、衣類、生活用品類、電子機器 ( 液晶表示装置、E L 表示装置、テレビジョン装置、携帯端末等 ) 等である。

#### 【 0 0 6 3 】

本発明を適用して作製された、無線交信可能な半導体装置 2 0 0 は、上記のような様々な形状の物品の表面に貼り付けたり、埋め込んだりして、固定される。また、システムとは、物品管理システム、認証機能システム、流通システム等であり、本発明の半導体装置を用いることにより、システムの高機能化、多機能化、高付加価値化を図ることができる。

#### 【 0 0 6 4 】

##### [ 実施の形態 4 ]

本実施の形態では、実施の形態 1 の島状半導体膜 1 0 2 を、S O I 構造を有する基板を

10

20

30

40

50



用いて形成する方法について、図9(A)～図9(B)、図10(A)～図10(C)、図11(A)～図11(C)、図12(A)～図12(B)、図13(A)～図13(C)、図14(A)～図14(C)、図15(A)～図15(B)、図16(A)～図16(C)を用いて説明する。

【0065】

まずSOI構造を有する基板の構造について、図9(A)～図9(B)、図10(A)～図10(C)を用いて説明する。

【0066】

図9(A)において支持基板300は絶縁性を有するものまたは絶縁表面を有するものであり、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板(「無アルカリガラス基板」とも呼ばれる)が適用される。

10

【0067】

すなわち、支持基板300として、熱膨張係数が $25 \times 10^{-7} /$  から $50 \times 10^{-7} /$  (好ましくは、 $30 \times 10^{-7} /$  から $40 \times 10^{-7} /$ ) であって歪み点が580 から680 (好ましくは、600 から680) のガラス基板を適用することができる。その他に石英基板、セラミック基板、表面が絶縁膜で被覆された金属基板なども適用可能である。

【0068】

LTSS(Low Temperature Single crystal Semiconductor)層301は単結晶半導体層であり、代表的には単結晶シリコン(単結晶珪素)が適用される。

20

【0069】

その他に、LTSS層301として、水素イオン注入剥離法のようにして単結晶半導体基板もしくは多結晶半導体基板から剥離可能であるシリコン、ゲルマニウム、その他、ガリウムヒ素、インジウムリンなどの化合物半導体による結晶性半導体層を適用することもできる。

【0070】

支持基板300とLTSS層301の間には、平滑面を有し親水性表面を形成する接合層302を設ける。この接合層302は平滑面を有し親水性表面を有する層とする。このような表面を形成可能なものとして、化学的な反応により形成される絶縁層が好ましい。例えば、熱的または化学的な反応により形成される酸化半導体膜が適している。主として化学的な反応により形成される膜であれば表面の平滑性を確保できるからである。

30

【0071】

また、平滑面を有し親水性表面を形成する接合層302は0.2nm乃至500nmの厚さで設けられる。この厚さであれば、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。

【0072】

LTSS層301がシリコンによるものであれば、酸化性雰囲気下において熱処理により形成される酸化シリコン、酸素ラジカルの反応により成長する酸化シリコン、酸化性の薬液により形成されるケミカルオキサイドなどを接合層302とすることができる。

40

【0073】

接合層302としてケミカルオキサイドを用いる場合には0.1nmから1nmの厚さであれば良い。また、好適には化学気相成長法により堆積される酸化シリコンを接合層302とすることができる。この場合、有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。

【0074】

有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメ

50

チルジシラザン ( $\text{HMDS}$ )、トリエトキシシラン ( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、トリスジメチルアミノシラン ( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 等のシリコン含有化合物を用いることができる。

#### 【0075】

接合層 302 は L T S S 層 301 側に設けられ、支持基板 300 の表面と密接することで、室温であっても接合をすることが可能である。より強固に接合を形成するには、支持基板 300 と L T S S 層 301 を押圧すれば良い。異種材料である支持基板 300 と接合層 302 を接合するには表面を清浄化する。支持基板 300 と接合層 302 の互いに清浄化された表面を密接させると表面間引力により接合が形成される。

#### 【0076】

さらに、支持基板 300 の表面に複数の親水基を付着させる処理を加えると、接合を形成するのにより好ましい態様となる。例えば、支持基板 300 の表面を酸素プラズマ処理もしくはオゾン処理して親水性にすることが好ましい。

#### 【0077】

このように支持基板 300 の表面を親水性にする処理を加えた場合には、表面の水酸基が作用して水素結合により接合が形成される。さらに清浄化された表面同士を密接させて接合を形成したものに對して、室温以上の温度で加熱すると接合強度高めることができる。

#### 【0078】

異種材料である支持基板 300 と接合層 302 を接合するための処理として、接合を形成する表面にアルゴンなどの不活性ガスによるイオンビームを照射して清浄化しても良い。イオンビームの照射により、支持基板 300 もしくは接合層 302 の表面に未結合種が露呈して非常に活性な表面が形成される。

#### 【0079】

このように活性化された表面同士を密接させると、支持基板 300 と接合層 302 の接合を低温でも形成することが可能である。表面を活性化して接合を形成する方法は、当該表面を高度に清浄化しておくことが要求されるので、真空中で行うことが好ましい。

#### 【0080】

L T S S 層 301 は結晶半導体基板を薄片化して形成されるものである。例えば、単結晶半導体基板として単結晶シリコン基板を用いて場合、単結晶シリコン基板の所定の深さに水素またはフッ素をイオン注入し、その後熱処理を行って表層の単結晶シリコン層を剥離するイオン注入剥離法で形成することができる。また、ポーラスシリコン（多孔性シリコン）上に単結晶シリコンをエピタキシャル成長させた後、ポーラスシリコン層をウォータージェットで劈開して剥離する方法を適用しても良い。L T S S 層 301 の厚さは 5 nm 乃至 500 nm、好ましくは 10 nm 乃至 200 nm の厚さである。

#### 【0081】

図 9 (B) は支持基板 300 にバリア層 303 と接合層 302 を設けた構成を示す。バリア層 303 を設けることで、支持基板 300 として用いられるガラス基板からアルカリ金属もしくはアルカリ土類金属のような可動イオン不純物が拡散して L T S S 層 301 が汚染されることを防ぐことができる。バリア層 303 上には接合層 302 を設けることが好ましい。

#### 【0082】

支持基板 300 において、不純物の拡散を防止するバリア層 303 と接合強度を確保する接合層 302 とによる機能が異なる複数の層を設けることにより、支持基板の選択範囲を広げることができる。L T S S 層 301 側にも接合層 302 を設けておくことが好ましい。すなわち、支持基板 300 に L T S S 層 301 を接合するに際し、接合を形成する面の一方もしくは双方に接合層 302 を設けることが好ましく、それにより接合強度を高めることができる。

#### 【0083】

図 10 (A) は L T S S 層 301 と接合層 302 の間に絶縁層 304 を設けた構成を示

10

20

30

40

50

す。絶縁層 304 は窒素を含有する絶縁層であることが好ましい。例えば、窒化シリコン膜、酸素を含む窒化シリコン膜もしくは窒素を含む酸化シリコン膜から選ばれた 1 つまたは複数の膜を積層して形成することができる。

【0084】

例えば、絶縁層 304 として、LTSS 層 301 側から窒素を含む酸化シリコン膜、酸素を含む窒化シリコン膜を積層した積層膜を用いることができる。接合層 302 が支持基板 300 と接合を形成する機能を有するのに対し、絶縁層 304 は不純物により LTSS 層 301 が汚染されることを防止する。

【0085】

なお、ここで窒素を含む酸化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が 55 ~ 65 原子%、窒素が 1 ~ 20 原子%、Si が 25 ~ 35 原子%、水素が 0.1 ~ 10 原子% の範囲で含まれるものをいう。また、酸素を含む窒化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が 15 ~ 30 原子%、窒素が 20 ~ 35 原子%、Si が 25 ~ 35 原子%、水素が 15 ~ 25 原子% の範囲で含まれるものをいう。

【0086】

図 10 (B) は、支持基板 300 に接合層 302 を設けた構成である。支持基板 300 と接合層 302 との間にはバリア層 303 が設けられていることが好ましい。支持基板 300 として用いられるガラス基板からアルカリ金属もしくはアルカリ土類金属のような可動イオン不純物が拡散して LTSS 層 301 が汚染されることを防ぐためである。LTSS 層 301 には直接酸化で形成された酸化シリコン層 305 が形成されている。この酸化シリコン層 305 が接合層 302 と接合を形成し、支持基板 300 上に LTSS 層を固定する。酸化シリコン層 305 は熱酸化により形成されたものが好ましい。

【0087】

図 10 (C) は、支持基板 300 に接合層 302 を設けた別の構成である。支持基板 300 と接合層 302 との間にはバリア層 303 が設けられている。

【0088】

図 10 (C) では、バリア層 303 は一層または複数の層をもって構成する。例えば、ナトリウムなどのイオンをブロッキングする効果の高い窒化シリコン膜または酸素を含む窒化シリコン膜を第 1 層目として用い、その上層に第 2 層目として酸化シリコン膜または窒素を含む酸化シリコン膜を設ける。

【0089】

バリア層 303 の第 1 層目は不純物の拡散を防止する目的を持った絶縁膜であり緻密な膜であるのに対し、第 2 層目は第 1 層目の膜の内部応力が上層に作用しないように、応力を緩和することを一つの目的としている。このように支持基板 300 にバリア層 303 を設けることで、LTSS 層を接合する際の基板の選択範囲を広げることができる。

【0090】

バリア層 303 には接合層 302 が形成されており、支持基板 300 と LTSS 層 301 を固定する。

【0091】

図 9 (A) ~ 図 9 (B)、図 10 (A) ~ 図 10 (C) に示す SOI 構造を有する基板の作製方法について、図 11 (A) ~ 図 11 (C)、図 12 (A) ~ 図 12 (B)、図 13 (A) ~ 図 13 (C)、図 14 (A) ~ 図 14 (C)、図 15 (A) ~ 図 15 (B)、図 16 (A) ~ 図 16 (C) を用いて説明する。

【0092】

清浄化された半導体基板 306 の表面から電界で加速されたイオンを所定の深さに注入して分離層 307 を形成する (図 11 (A) 参照)。半導体基板 306 に形成される分離層 307 の深さは、イオンの加速エネルギーとイオンの入射角によって制御する。半導体基板 306 の表面からイオンの平均進入深さに近い深さ領域に分離層 307 が形成される。例えば、LTSS 層の厚さは 5 nm 乃至 500 nm、好ましくは 10 nm 乃至 200 nm

10

20

30

40

50

mの厚さであり、イオンを注入する際の加速電圧はこのような厚さを考慮して行われる。イオンの注入はイオンドーピング装置を用いて行うことが好ましい。すなわち、ソースガスをプラズマ化して生成された複数のイオン種を質量分離しないで注入するドーピング方式を用いる。

#### 【0093】

本実施の形態の場合、一または複数の同一の原子から成る質量数の異なるイオンを注入することが好ましい。イオンドーピングは、加速電圧10 keVから100 keV、好ましくは30 keVから80 keV、ドーズ量は $1 \times 10^{16} / \text{cm}^2$ から $4 \times 10^{16} / \text{cm}^2$ 、ビーム電流密度が $2 \mu\text{A} / \text{cm}^2$ 以上、好ましくは $5 \mu\text{A} / \text{cm}^2$ 以上、より好ましくは $10 \mu\text{A} / \text{cm}^2$ 以上とすれば良い。

10

#### 【0094】

水素イオンを注入する場合には、 $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$ イオンを含ませると共に、 $\text{H}_3^+$ イオンの割合を高めておくことが好ましい。水素イオンを注入する場合には、 $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$ イオンを含ませると共に、 $\text{H}_3^+$ イオンの割合を高めておくこと注入効率を高めることができ、注入時間を短縮することができる。それにより、半導体基板306に形成される分離層307の領域には $1 \times 10^{20} / \text{cm}^3$ （好ましくは $5 \times 10^{20} / \text{cm}^3$ ）以上の水素を含ませることが可能である。

#### 【0095】

半導体基板306中において、局所的に高濃度の水素注入領域を形成すると、結晶構造が乱されて微小な空孔が形成され、分離層307を多孔質構造とすることができる。この場合、比較的低温の熱処理によって分離層307に形成された微小な空洞の体積変化が起こり、分離層307に沿って劈開することにより薄いLTSS層を形成することができる。

20

#### 【0096】

イオンを質量分離して半導体基板306に注入しても、上記と同様に分離層307を形成することができる。この場合にも、質量数の大きいイオン（例えば $\text{H}_3^+$ イオン）を選択的に注入することは上記と同様な効果を奏することとなり好ましい。

#### 【0097】

イオンを生成するイオン種を生成するガスとしては水素の他に重水素、ヘリウムのような不活性ガスを選択することも可能である。原料ガスにヘリウムを用い、質量分離機能を有さないイオンドーピング装置を用いることにより、 $\text{He}^+$ イオンの割合が高いイオンビームが得ることができる。このようなイオンを半導体基板306に注入することで、微小な空孔を形成することができ上記と同様な分離層307を半導体基板306中に設けることができる。

30

#### 【0098】

分離層307の形成に当たってはイオンを高ドーズ条件で注入する必要があり、半導体基板306の表面が粗くなってしまう場合がある。そのためイオンが注入される表面に緻密な膜を設けておいても良い。例えば、窒化シリコン膜もしくは酸素を含む窒化シリコン膜などによりイオン注入に対する保護膜を50 nm乃至200 nmの厚さで設けておいても良い。

40

#### 【0099】

次に、支持基板300と接合を形成する面に接合層302として酸化シリコン膜を形成する（図11（B）参照）。酸化シリコン膜の厚さは10 nm乃至200 nm、好ましくは10 nm乃至100 nm、より好ましくは20 nm乃至50 nmとすれば良い。

#### 【0100】

酸化シリコン膜としては上述のように有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。その他に、シランガスを用いて化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法による成膜では、単結晶半導体基板に形成した分離層307から脱ガスが起こらない温度として、例えば350 以下の成膜温度が適用される。また、単結晶もしくは多結晶半導体基板からLTSS

50

S層を剥離する熱処理は、成膜温度よりも高い熱処理温度が適用される。

【0101】

支持基板300と、半導体基板306の接合層302が形成された面を対向させ、密接させることで接合を形成する(図11(C))。接合を形成する面は十分に清浄化しておく。そして、支持基板300と接合層302を密接させることにより接合が形成される。接合は初期の段階においてファンデルワールス力が作用するものと考えられ、支持基板300と半導体基板306とを圧接することで水素結合により強固な接合を形成することが可能である。

【0102】

良好な接合を形成するために、表面を活性化しておいても良い。例えば、接合を形成する面に原子ビームもしくはイオンビームを照射する。原子ビームもしくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビームもしくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射もしくはラジカル処理を行う。このような表面処理により200乃至400の温度であっても異種材料間の接合強度を高めることが可能となる。

【0103】

半導体基板306と支持基板300を重ね合わせた状態で第1の熱処理を行う。第1の熱処理により支持基板300上に薄い半導体層(LTSS層)を残して半導体基板306を分離を行う(図12(A))。第1の熱処理は接合層302の成膜温度以上で行うことが好ましく、400以上600未満の温度で行うことが好ましい。この温度範囲で熱処理を行うことで分離層307に形成された微小な空孔に体積変化が起こり、分離層307に沿って半導体層を劈開することができる。接合層302は支持基板300と接合しているため、支持基板300上には半導体基板306と同じ結晶性のLTSS層301が固定された形態となる。

【0104】

次に支持基板300にLTSS層301が接合された状態で第2の熱処理を行う(図12(B))。第2の熱処理は、第1の熱処理温度よりも高い温度であって支持基板300の歪み点を超えない温度で行うことが好ましい。或いは、第1の熱処理と第2の熱処理は同じ温度であっても、第2の熱処理の処理時間を長くすることが好ましい。熱処理は、熱伝導加熱、対流加熱または輻射加熱などにより支持基板300及び/またはLTSS層301が加熱されるようにすれば良い。熱処理装置としては電熱炉、ランプアニール炉などを適用することができる。第2の熱処理は多段階に温度を変化させて行っても良い。また瞬間熱アニール(RTA)装置を用いても良い。RTA装置によって熱処理を行う場合には、基板の歪み点近傍またはそれよりも若干高い温度に加熱することもできる。

【0105】

第2の熱処理を行うことでLTSS層301に残留する応力を緩和することができる。すなわち、第2の熱処理は、支持基板300とLTSS層301の膨張係数の違いにより生じる熱歪みを緩和する。また、第2の熱処理は、イオンを注入することによって結晶性が損なわれたLTSS層301の結晶性を回復させるためにも有効である。さらに、第2の熱処理は、半導体基板306を支持基板300と接合させた後、第1の熱処理によって分割する際に生じるLTSS層301のダメージを回復させることにも有効である。また、第1の熱処理と第2の熱処理を行うことで水素結合を、より強固な共有結合に変化させることができる。

【0106】

LTSS層301の表面をより平坦化する目的で化学的機械研磨(CMP)処理を行っても良い。CMP処理は第1の熱処理後もしくは第2の熱処理後に行うことができる。尤も、第2の熱処理前に行えば、LTSS層301の表面を平坦化すると共にCMP処理によって生じる表面の損傷層を第2の熱処理で修復することができる。

【0107】

いずれにしても、第1の熱処理と第2の熱処理を本形態のように組み合わせて行うこと

10

20

30

40

50

で、ガラス基板のような熱的に脆弱な支持基板の上に、結晶性に優れた結晶半導体層を設けることが可能となる。

【0108】

図11(A)～図11(C)及び図12(A)～図12(B)の工程を経て、図9(A)に示すSOI基板が形成される。

【0109】

図9(B)に示すSOI構造の基板を作成する方法について、図15(A)～図15(B)を用いて説明する。

【0110】

図11(A)～図11(B)に示す作製工程に基づいて、半導体基板306中に分離層307を形成し、さらに、半導体基板306の、支持基板300と接合を形成する面に、接合層302を形成する。

10

【0111】

次いで、バリア層303及び接合層302が形成された支持基板300と、半導体基板306の接合層302を密着させて接合を形成する(図15(A))。

【0112】

この状態で第1の熱処理を行う。第1の熱処理は接合層302の成膜温度以上で行うことが好ましく、400 以上600 未満の温度で行うことが好ましい。それにより分離層307に形成された微小な空孔に体積変化が起こり、半導体基板306を劈開することができる。支持基板300上には半導体基板306と同じ結晶性を有するLTSS層301が形成される(図15(B))。

20

【0113】

次に支持基板300にLTSS層301が接合された状態で第2の熱処理を行う。第2の熱処理は、第1の熱処理温度よりも高い温度であって支持基板300の歪み点を超えない温度で行うことが好ましい。或いは、第1の熱処理と第2の熱処理は同じ温度であっても、第2の熱処理の処理時間を長くすることが好ましい。熱処理は、熱伝導加熱、対流加熱または輻射加熱などにより支持基板300及び/またはLTSS層301が加熱されるようにすれば良い。第2の熱処理を行うことでLTSS層301に残留する応力を緩和することができ、第1の熱処理によって分割する際に生じるLTSS層301のダメージを回復させることにも有効である。

30

【0114】

以上のようにして、図9(B)に示すSOI基板が形成される。

【0115】

次いで図10(A)に示すSOI構造の基板の作製方法について、図16(A)～図16(C)を用いて説明する。

【0116】

まず図11(A)に示す作製工程に基づいて、半導体基板306中に分離層307を形成する。

【0117】

次に、半導体基板306の表面に絶縁層304を形成する。絶縁層304は窒素を含有する絶縁層であることが好ましい。例えば、窒化シリコン膜、酸素を含む窒化シリコン膜もしくは窒素を含む酸化シリコン膜から選ばれた1つまたは複数の膜を積層して形成することができる。

40

【0118】

さらに、絶縁層304上に接合層302として酸化シリコン膜を形成する(図16(A))。

【0119】

支持基板300と、半導体基板306の接合層302が形成された面を対向させ、密接させることで接合を形成する(図16(B))。

【0120】

50

この状態で第1の熱処理を行う。第1の熱処理は接合層302の成膜温度以上で行うことが好ましく、400 以上600 未満の温度で行うことが好ましい。それにより分離層307に形成された微小な空孔に体積変化が起こり、半導体基板306を劈開することができる。支持基板300上には半導体基板306と同じ結晶性を有するLTSS層301が形成される(図16(C))。

#### 【0121】

次に支持基板300にLTSS層301が接合された状態で第2の熱処理を行う。第2の熱処理は、第1の熱処理温度よりも高い温度であって支持基板300の歪み点を超えない温度で行うことが好ましい。或いは、第1の熱処理と第2の熱処理は同じ温度であっても、第2の熱処理の処理時間を長くすることが好ましい。熱処理は、熱伝導加熱、対流加熱または輻射加熱などにより支持基板300及び/またはLTSS層301が加熱されるようにすれば良い。第2の熱処理を行うことでLTSS層301に残留する応力を緩和することができ、第1の熱処理によって分割する際に生じるLTSS層301のダメージを回復させることにも有効である。

#### 【0122】

図16(A)~図16(C)に示すように、絶縁層304を半導体基板306上に形成すると、絶縁層304によって不純物がLTSS層301に混入するのを防ぐので、LTSS層301が汚染されるのを防止することが可能となる。

#### 【0123】

図13(A)~図13(C)は、支持基板側に接合層を設けてLTSS層を有するSOI構造の基板を製造する工程を示す。

#### 【0124】

まず、酸化シリコン層305が形成された半導体基板306に電界で加速されたイオンを所定の深さに注入し、分離層307を形成する(図13(A))。酸化シリコン層305は、半導体基板306上に酸化シリコン層をスパッタ法やCVD法で成膜してもよいし、半導体基板306が単結晶シリコン基板の場合、半導体基板306を熱酸化して形成してもよい。本実施の形態では、半導体基板306が単結晶シリコン基板として、酸化シリコン層305は単結晶シリコン基板を熱酸化して形成する。

#### 【0125】

半導体基板306へのイオンの注入は図11(A)の場合と同様である。半導体基板306の表面に酸化シリコン層305を形成しておくことでイオン注入によって表面がダメージを受け、平坦性が損なわれるのを防ぐことができる。

#### 【0126】

バリア層303及び接合層302が形成された支持基板300と半導体基板306の酸化シリコン層305が形成された面を密着させて接合を形成する(図13(B))。

#### 【0127】

この状態で第1の熱処理を行う。第1の熱処理は接合層302の成膜温度以上で行うことが好ましく、400 以上600 未満の温度で行うことが好ましい。それにより分離層307に形成された微小な空孔に体積変化が起こり、半導体基板306を劈開することができる。支持基板300上には半導体基板306と同じ結晶性を有するLTSS層301が形成される(図13(C))。

#### 【0128】

次に支持基板300にLTSS層301が接合された状態で第2の熱処理を行う。第2の熱処理は、第1の熱処理温度よりも高い温度であって支持基板300の歪み点を超えない温度で行うことが好ましい。或いは、第1の熱処理と第2の熱処理は同じ温度であっても、第2の熱処理の処理時間を長くすることが好ましい。熱処理は、熱伝導加熱、対流加熱または輻射加熱などにより支持基板300及び/またはLTSS層301が加熱されるようにすれば良い。第2の熱処理を行うことでLTSS層301に残留する応力を緩和することができ、第1の熱処理によって分割する際に生じるLTSS層301のダメージを回復させることにも有効である。

10

20

30

40

50

## 【 0 1 2 9 】

以上のようにして、図 1 0 ( B ) に示す S O I 基板が形成される。

## 【 0 1 3 0 】

図 1 4 ( A ) ~ 図 1 4 ( C ) は支持基板側に接合層を設けて L T S S 層を接合する場合における他の例を示す。

## 【 0 1 3 1 】

最初に半導体基板 3 0 6 に分離層 3 0 7 を形成する ( 図 1 4 ( A ) ) 。分離層 3 0 7 を形成するためのイオンの注入はイオンドーピング装置を用いて行う。この工程では電界で加速された質量数の異なるイオンが高電界で加速されて半導体基板 3 0 6 に照射される。

## 【 0 1 3 2 】

このとき、半導体基板 3 0 6 の表面はイオンの照射により平坦性が損なわれるおそれがあるので、保護膜として酸化シリコン層 3 0 5 を設けておくことが好ましい。酸化シリコン層 3 0 5 は熱酸化により形成しても良いし、ケミカルオキサイドを適用しても良い。ケミカルオキサイドは酸化性の薬液に半導体基板 3 0 6 を浸すことで形成可能である。例えば、オゾン含有水溶液で半導体基板 3 0 6 を処理すれば表面にケミカルオキサイドが形成される。

## 【 0 1 3 3 】

また保護膜として、プラズマ C V D 法で形成した窒素を含む酸化シリコン膜、酸素を含む窒化シリコン膜、または T E O S を用いて成膜した酸化シリコン膜を用いてもよい。

## 【 0 1 3 4 】

支持基板 3 0 0 にはバリア層 3 0 3 を設けることが好ましい。バリア層 3 0 3 を設けることで、支持基板 3 0 0 として用いられるガラス基板からアルカリ金属もしくはアルカリ土類金属のような可動イオン不純物が拡散して L T S S 層 3 0 1 が汚染されることを防ぐことができる。

## 【 0 1 3 5 】

バリア層 3 0 3 は一層または複数の層をもって構成する。例えば、ナトリウムなどのイオンをブロッキングする効果の高い窒化シリコン膜または酸素を含む窒化シリコン膜を第 1 層目として用い、その上層に第 2 層目として酸化シリコン膜または窒素を含む酸化シリコン膜を設ける。

## 【 0 1 3 6 】

バリア層 3 0 3 の第 1 層目は不純物の拡散を防止する目的を持った絶縁膜であり緻密な膜であるのに対し、第 2 層目は第 1 層目の膜の内部応力が上層に作用しないように、応力を緩和することを一つの目的としている。このように支持基板 3 0 0 にバリア層 3 0 3 を設けることで、L T S S 層を接合する際の基板の選択範囲を広げることができる。

## 【 0 1 3 7 】

バリア層 3 0 3 の上層に接合層 3 0 2 を設けた支持基板 3 0 0 と半導体基板 3 0 6 を接合させる ( 図 1 4 ( B ) ) 。半導体基板 3 0 6 の表面は保護膜として設けた酸化シリコン層 3 0 5 をフッ酸で除去しておき、半導体表面が露出する状態となっている。半導体基板 3 0 6 の最表面はフッ酸溶液の処理により水素で終端されている状態であれば良い。接合形成に際して表面終端水素により水素結合が形成され、良好な接合を形成することができる。

## 【 0 1 3 8 】

また、不活性ガスのイオンを照射して半導体基板 3 0 6 の最表面に未結合手が露出するようにして、真空中で接合を形成しても良い。

## 【 0 1 3 9 】

この状態で第 1 の熱処理を行う。第 1 の熱処理は接合層 3 0 2 の成膜温度以上で行うことが好ましく、4 0 0 以上 6 0 0 未満の温度で行うことが好ましい。それにより分離層 3 0 7 に形成された微小な空孔に体積変化が起こり、半導体基板 3 0 6 を劈開することができる。支持基板 3 0 0 上には半導体基板 3 0 6 と同じ結晶性を有する L T S S 層 3 0 1 が形成される ( 図 1 4 ( C ) ) 。

10

20

30

40

50



## 【 0 1 4 0 】

次に支持基板 3 0 0 に L T S S 層 3 0 1 が接合された状態で第 2 の熱処理を行う。第 2 の熱処理は、第 1 の熱処理温度よりも高い温度であって支持基板 3 0 0 の歪み点を超えない温度で行うことが好ましい。或いは、第 1 の熱処理と第 2 の熱処理は同じ温度であっても、第 2 の熱処理の処理時間を長くすることが好ましい。

## 【 0 1 4 1 】

熱処理は、熱伝導加熱、対流加熱または輻射加熱などにより支持基板 3 0 0 及び / または L T S S 層 3 0 1 が加熱されるようにすれば良い。第 2 の熱処理を行うことで L T S S 層 3 0 1 に残留する応力を緩和することができ、第 1 の熱処理によって分割する際に生じる L T S S 層 3 0 1 のダメージを回復させることに有効である。

10

## 【 0 1 4 2 】

以上のようにして図 1 0 ( C ) に示す S O I 基板を形成する。

## 【 0 1 4 3 】

本実施の形態によれば、ガラス基板等の耐熱温度が 7 0 0 以下の支持基板 3 0 0 であっても接合部の接着力が強固な L T S S 層 3 0 1 を得ることができる。支持基板 3 0 0 として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。

## 【 0 1 4 4 】

実施の形態 1 に示す島状半導体膜 1 0 2 は、L T S S 層 3 0 1 を島状に加工することで得ることが可能である。本実施の形態で得られる L T S S 層 3 0 1 は、単結晶半導体層なので、応答速度の速い半導体装置を作製することができる。

20

## 【図面の簡単な説明】

## 【 0 1 4 5 】

【図 1】本発明の記憶素子の断面図。

【図 2】本発明の記憶素子の作製工程を示す断面図。

【図 3】本発明の記憶素子の作製工程を示す断面図。

【図 4】本発明の記憶素子の作製工程を示す断面図。

【図 5】本発明の記憶素子の断面図。

【図 6】本発明の記憶素子を用いた無線交信可能な半導体装置のブロック図。

30

【図 7】本発明の記憶素子を用いた無線交信可能な半導体装置の回路図

【図 8】本発明の半導体装置を利用した一形態を示す図。

【図 9】S O I 構造を有する基板の構成を示す断面図。

【図 1 0】S O I 構造を有する基板の構成を示す断面図。

【図 1 1】S O I 構造を有する基板の作製方法を説明する断面図。

【図 1 2】S O I 構造を有する基板の作製方法を説明する断面図。

【図 1 3】S O I 構造を有する基板の作製方法を説明する断面図。

【図 1 4】S O I 構造を有する基板の作製方法を説明する断面図。

【図 1 5】S O I 構造を有する基板の作製方法を説明する断面図。

【図 1 6】S O I 構造を有する基板の作製方法を説明する断面図。

40

## 【符号の説明】

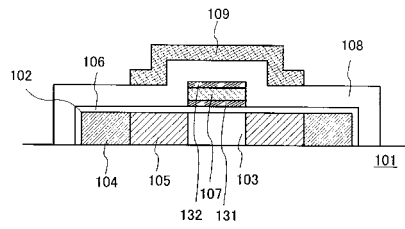
## 【 0 1 4 6 】

- 1 0 1 絶縁表面
- 1 0 2 島状半導体膜
- 1 0 3 チャネル形成領域
- 1 0 4 高濃度不純物領域
- 1 0 5 低濃度不純物領域
- 1 0 6 トンネル絶縁膜
- 1 0 7 フローティングゲート
- 1 0 8 ゲート絶縁膜

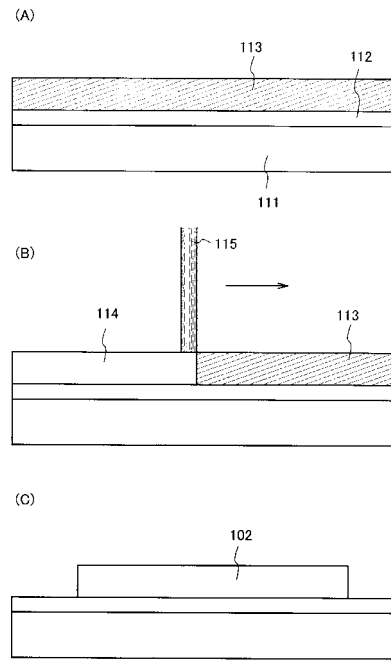
50

1 0 9	コントロールゲート	
1 1 1	基板	
1 1 2	下地膜	
1 1 3	非晶質半導体膜	
1 1 4	結晶性半導体膜	
1 1 5	レーザ光	
1 1 8	層間絶縁膜	
1 1 9	配線	
1 2 1	低濃度不純物領域	
1 3 1	絶縁膜	10
1 3 2	絶縁膜	
2 0 0	半導体装置	
2 0 1	演算処理回路	
2 0 2	記憶回路	
2 0 3	アンテナ	
2 0 4	電源回路	
2 0 5	復調回路	
2 0 6	変調回路	
2 0 7	リーダ/ライタ	
3 0 0	支持基板	20
3 0 1	L T S S 層	
3 0 2	接合層	
3 0 3	バリア層	
3 0 4	絶縁層	
3 0 5	酸化シリコン層	
3 0 6	半導体基板	
3 0 7	分離層	
5 0 2	T F T	
5 0 3	T F T	
5 0 4	T F T	30
5 0 6	記憶素子	
5 0 7	記憶素子	
5 0 8	記憶素子	
1 0 2 1	メモリセル	
1 0 2 3	メモリセルアレイ	
1 0 2 4	ビット線駆動回路	
1 0 2 5	カラムデコーダ	
1 0 2 6	読み出し回路	
1 0 2 7	セレクトラ	
1 0 2 8	インターフェース	40
1 0 2 9	ワード線駆動回路	
1 0 3 0	ロウデコーダ	
1 0 3 1	レベルシフタ	
1 0 3 2	T F T	
1 0 3 3	記憶素子	

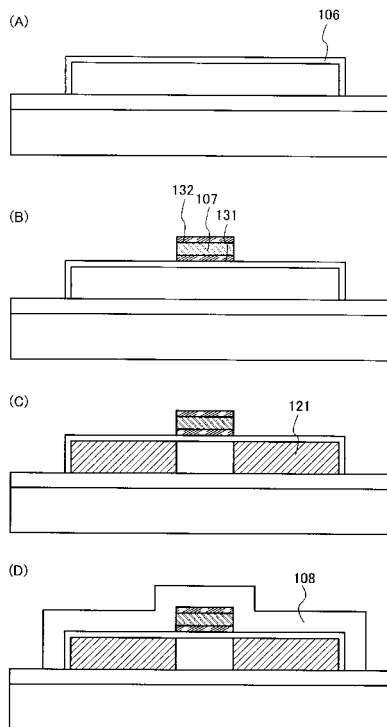
【図 1】



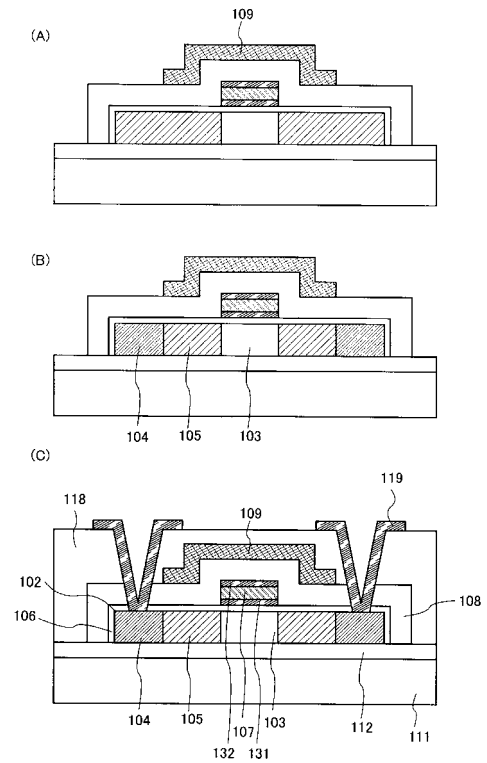
【図 2】



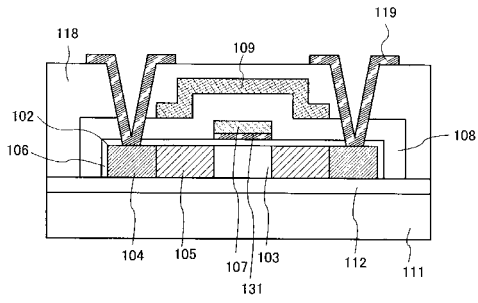
【図 3】



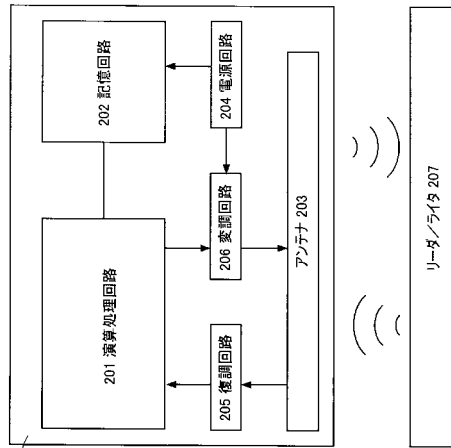
【図 4】



【図 5】

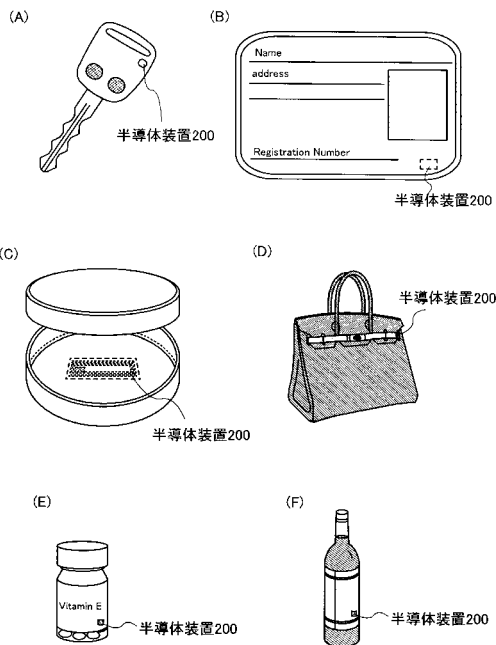


【図 6】

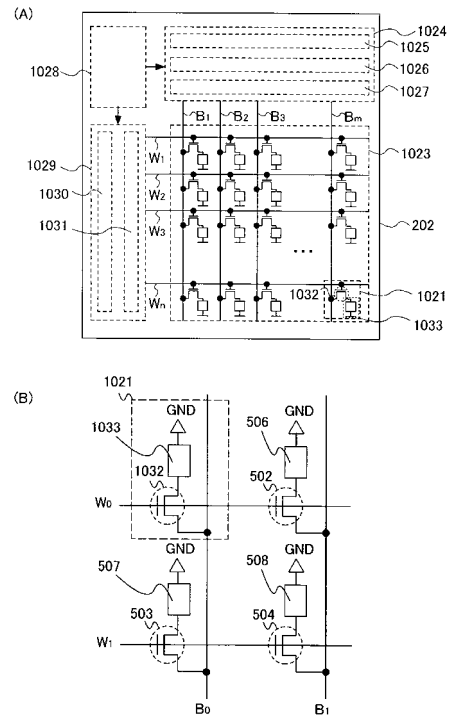


200 半導体装置

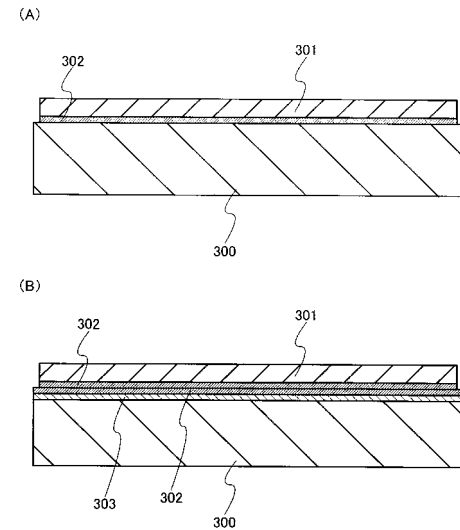
【図 8】



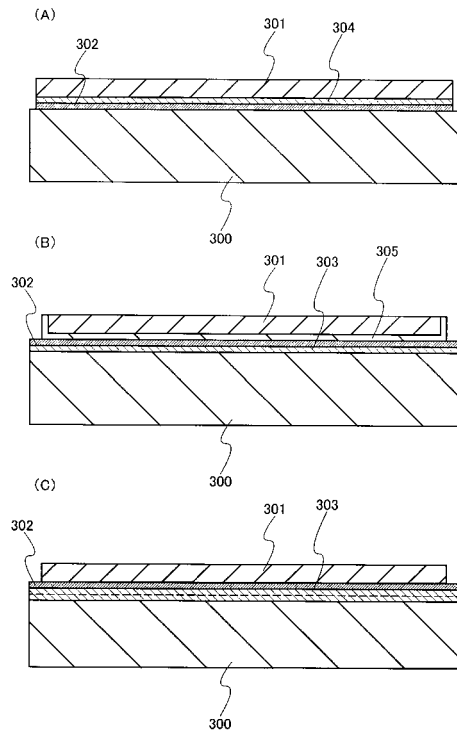
【図 7】



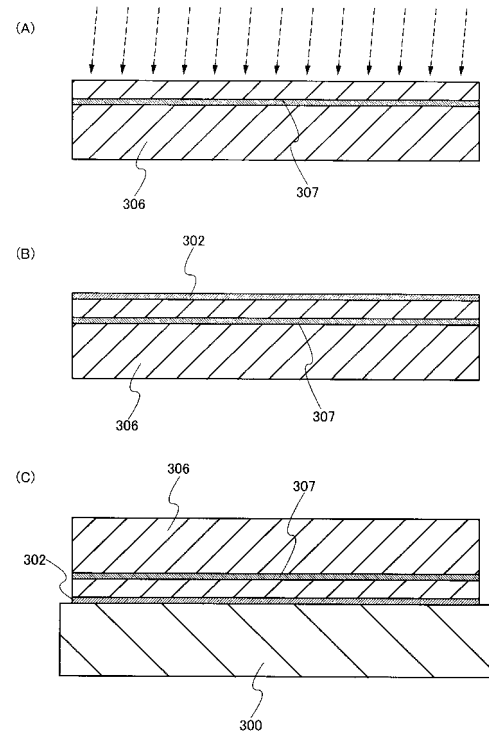
【図 9】



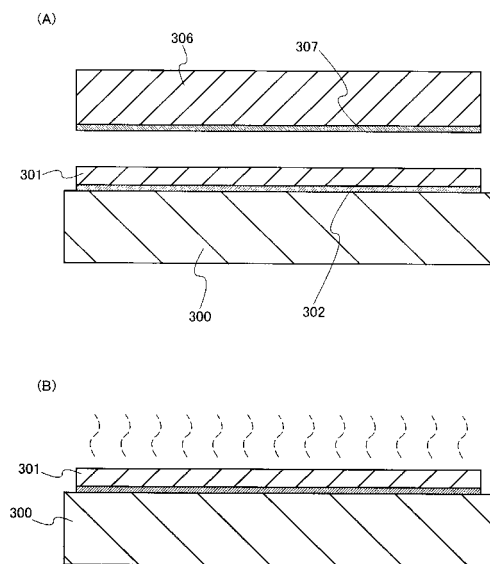
【図 10】



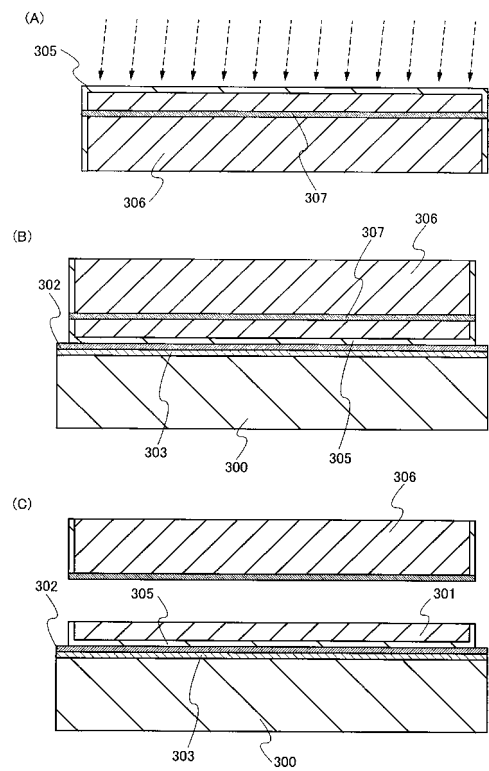
【図 11】



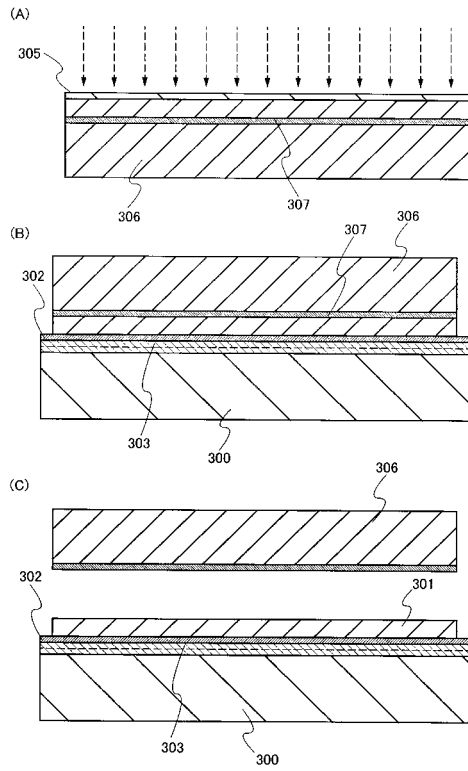
【図 12】



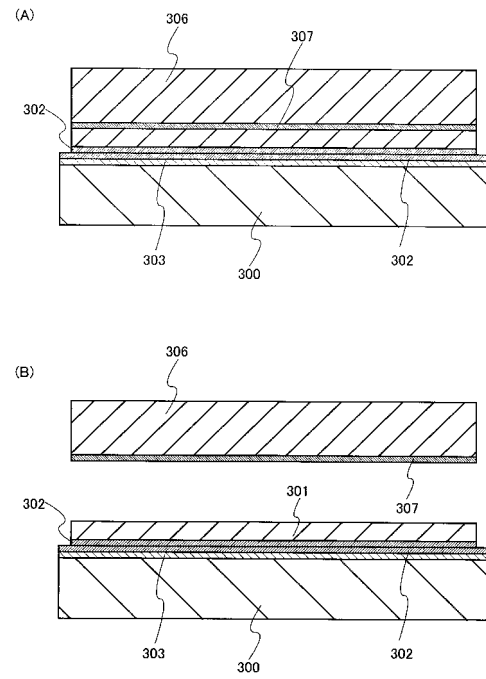
【図 13】



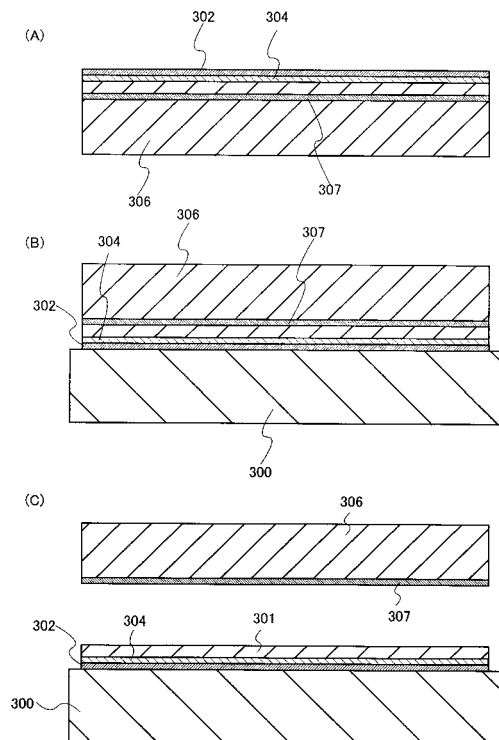
【図 14】



【図 15】



【図 16】



---

 フロントページの続き

(51) Int.Cl. F I

H 0 1 L 21/265 (2006.01)  
 H 0 1 L 21/20 (2006.01)  
 H 0 1 L 21/02 (2006.01)  
 H 0 1 L 27/12 (2006.01)

(56) 参考文献 特開 2 0 0 7 - 0 1 2 9 2 2 ( J P , A )  
 特開平 1 1 - 1 5 4 7 1 4 ( J P , A )  
 特開 2 0 0 7 - 0 5 3 1 7 1 ( J P , A )  
 特開 2 0 0 7 - 0 8 0 9 4 4 ( J P , A )  
 特開平 0 7 - 0 5 8 2 2 5 ( J P , A )  
 特開 2 0 0 5 - 2 5 9 3 3 4 ( J P , A )  
 特開 2 0 0 7 - 1 3 4 6 8 1 ( J P , A )  
 特開平 1 0 - 2 3 3 5 0 5 ( J P , A )  
 特開 2 0 0 6 - 1 1 4 9 0 5 ( J P , A )

(58) 調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 0 2  
 H 0 1 L 2 1 / 2 0  
 H 0 1 L 2 1 / 2 6 5  
 H 0 1 L 2 1 / 8 2 4 7  
 H 0 1 L 2 7 / 1 1 5  
 H 0 1 L 2 7 / 1 2  
 H 0 1 L 2 9 / 7 8 8  
 H 0 1 L 2 9 / 7 9 2