



(12) 发明专利申请

(10) 申请公布号 CN 103648363 A

(43) 申请公布日 2014. 03. 19

(21) 申请号 201280032569. 5

杰雷米亚·D·亨利

(22) 申请日 2012. 05. 14

唐纳德·M·维歇恩

(30) 优先权数据

(74) 专利代理机构 北京品源专利代理有限公司

61/485, 435 2011. 05. 12 US

11332

61/485, 426 2011. 05. 12 US

代理人 杨生平 钟锦舜

61/485, 432 2011. 05. 12 US

(51) Int. Cl.

61/485, 440 2011. 05. 12 US

A61B 1/04 (2006. 01)

(85) PCT国际申请进入国家阶段日

2013. 12. 30

(86) PCT国际申请的申请数据

PCT/US2012/037859 2012. 05. 14

(87) PCT国际申请的公布数据

W02012/155152 EN 2012. 11. 15

(71) 申请人 橄榄医疗公司

地址 美国犹他州盐湖城

(72) 发明人 洛朗·布朗卡尔

乔舒亚·D·塔尔伯特

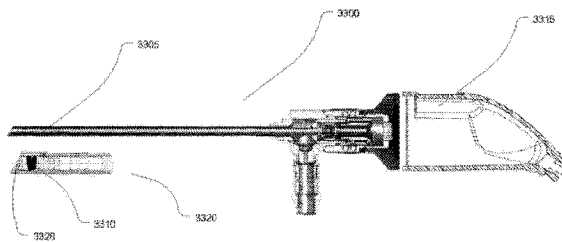
权利要求书4页 说明书28页 附图56页

(54) 发明名称

用于内窥镜的改进的图像传感器

(57) 摘要

本发明公开了具有混合成像传感器的实施例的内窥镜装置, 其中, 该混合成像传感器在堆叠的基板之间使用相关电路与最小化的纵向互连的放置的堆叠方案和其他特征来优化基板上的像素阵列区域。公开了最大化的像素阵列尺寸/裸片尺寸(区域最优化) 实施例, 并且还公开了最优化的成像传感器, 该成像传感器为共用与数字成像行业的具体应用提供改进的图像质量、改进的功能和改进的形状因素。上述实施例可以包括用于在列中错开 ADC 或者列电路凸块的系统、方法和处理, 或者还公开了使用纵向互连的子列混合图像传感器。



1. 一种内窥镜装置包括：
管腔；
靠近所述管腔的远侧尖端设置的成像传感器；
其中，所述成像传感器包括：
多个基板，所述多个基板至少包括第一基板和第二基板；
像素阵列，所述像素阵列位于所述第一基板上并且包括多个像素列，其中，所述多个像素列中的每个像素列的宽度被限定为一个像素宽并且长度被限定为多个像素；
多个支持电路，所述多个支持电路位于所述第二基板上并且包括多个电路列，其中，一个电路列与一个像素列对应，其中，所述多个电路列中的每个电路列被限定为具有与对应像素列的面积对应的面积；
多个总线，其中，位于所述第一基板上的每至少一个像素列具有一个像素列总线并且位于所述第二基板上的每个电路列具有一个电路列总线；
其中，每个所述像素列总线的至少一部分与每个对应的电路列总线的至少一部分叠加，并且至少一个互连提供一个像素列总线和一个对应的电路列总线之间的电通信；以及
其中，所述至少一个互连位于一个像素列总线和一个对应的电路列总线之间的任何地方并且关于彼此叠加。
2. 根据权利要求 1 所述的内窥镜，还包括设置在所述基板之间的多个互连，并且其中，所述多个互连相对于彼此间隔比所述像素阵列的像素间距更大的距离。
3. 根据权利要求 1 所述的内窥镜，其中，所述第一基板和第二基板是对齐的。
4. 根据权利要求 1 所述的内窥镜，其中，在所述第一基板上的一个所述像素列的面积基本上等于在所述第二基板上的一个所述对应的电路列的面积。
5. 根据权利要求 1 所述的内窥镜，其中，所述第二基板具有与所述第一基板基本上相同的大小。
6. 根据权利要求 1 所述的内窥镜，其中，在所述第一基板上的一个所述像素列的面积大于在所述第二基板上的一个所述对应的电路列的面积。
7. 根据权利要求 1 所述的内窥镜，其中，在所述第一基板上的一个所述像素列的面积小于在所述第二基板上的一个所述对应的电路列的面积。
8. 根据权利要求 1 所述的内窥镜，其中，一个所述像素列的长宽比与一个所述电路列的长宽比基本上近似。
9. 根据权利要求 1 所述的内窥镜，其中，多个互连将像素列总线连接到对应的电路列总线。
10. 根据权利要求 1 所述的内窥镜，其中，一个所述像素列的长宽比与一个所述电路列的长宽比不同。
11. 根据权利要求 1 所述的内窥镜，其中，一个所述电路列的长宽比与一个所述像素列的长宽比相比，宽度为四倍并且长度为四分之一。
12. 根据权利要求 8 所述的内窥镜，其中，一个所述电路列的长宽比与一个所述像素列的长宽比相比，宽度为二倍并且长度为二分之一。
13. 一种内窥镜包括：
管腔；

设置在所述内窥镜之内的成像传感器,所述成像传感器包括:
多个基板,所述多个基板包括第一基板和至少一个第二后续支持基板;
像素阵列;
多个互连;以及
多个支持电路;

其中,所述多个基板中的所述第一基板包括所述像素阵列;

其中,所述多个支持电路设置在远离所述第一基板设置的所述至少一个第二后续支持基板上;

其中,所述多个支持电路经由设置在所述第一基板和所述至少一个第二后续支持基板之间的所述多个互连与所述像素阵列电连接并且电通信;

其中,所述第二后续支持基板被设置为相对于待成像物体在所述像素阵列的后面;

其中,所述多个互连相对于彼此间隔比所述像素阵列的像素间距更大的距离。

14. 根据权利要求 13 所述的内窥镜,其中,位于所述第一基板上的所述像素阵列包括多个像素列,其中,所述多个像素列中的每个像素列的宽度被限定为一个像素宽并且长度被限定为多个像素。

15. 根据权利要求 14 所述的内窥镜,还包括:多个支持电路,所述多个支持电路位于所述第二基板上并且包括多个电路列,其中,一个电路列与一个像素列对应,其中,所述多个电路列中的每个电路列被限定为具有与对应像素列的面积对应的面积。

16. 根据权利要求 14 所述的内窥镜,还包括多个总线,其中,位于所述第一基板上的每至少一个像素列具有一个像素列总线并且位于所述第二基板上的每个电路列具有一个电路列总线。

17. 根据权利要求 16 所述的内窥镜,其中,每个所述像素列总线的至少一部分与每个对应的电路列总线的至少一部分叠加,并且至少一个互连提供一个像素列总线和一个对应的电路列总线之间的电通信;以及

其中,所述至少一个互连位于一个像素列总线和一个对应的电路列总线之间的任何地方并且关于彼此叠加。

18. 根据权利要求 13 所述的内窥镜,其中,所述成像传感器是背面照明的。

19. 根据权利要求 13 所述的成像传感器,其中,所述像素阵列覆盖所述第一基板的基本上大部分表面。

20. 根据权利要求 13 所述的成像传感器,其中,所述像素阵列覆盖所述第一基板的超过 25% 的表面。

21. 根据权利要求 13 所述的成像传感器,其中,所述第一基板主要由硅材料制成。

22. 根据权利要求 13 所述的成像传感器,其中,所述第一基板主要由“高阻抗”半导体材料(碲化镉)制成。

23. 根据权利要求 13 所述的成像传感器,其中,所述第一基板主要由 III-V 半导体材料(砷化镓)制成。

24. 根据权利要求 23 所述的成像传感器,其中,所述像素阵列包括多个像素列,其中,每个像素列包括多个像素;

其中,在所述像素阵列之内的所述多个像素列中的每个像素列从读取自公共原点的第

一列开始被读取给总线,其中,从第一行读取第二列,其中,该第一行不同于先前关于第二列读取的像素列并且不同于后续关于第二列读取的像素列。

25. 根据权利要求 24 所述的成像传感器,其中,所述第一行与先前读取的像素列的行位置并且与后续读取的像素列的行位置间隔至少两个行位置。

26. 一种内窥镜装置包括:

管腔;

靠近所述管腔的远侧尖端设置的成像传感器;

其中,所述成像传感器包括:

多个基板,所述多个基板至少包括第一基板和第二基板;

像素阵列,所述像素阵列位于所述第一基板上并且包括多个像素列,其中,所述多个像素列中的每个像素列的宽度被限定为一个像素宽并且长度被限定为多个像素,以足以覆盖所述阵列的尺寸;

其中,所述像素列被分成像素子列,从而每个像素子列与其他像素子列电隔离;

多个支持电路,所述多个支持电路位于所述第二基板上并且包括多个电路列,其中,一个电路列与一个像素子列对应,其中,所述多个电路列中的每个电路列被限定为具有与对应像素子列的区域对应的面积;

多个总线,其中,位于所述第一基板上的每至少一个像素子列具有一个像素子列总线并且位于所述第二基板上的每个电路列具有一个电路列总线;

其中,每个所述像素子列总线的至少一部分与每个所述对应的电路列总线的至少一部分叠加,并且至少一个互连提供一个像素子列总线和一个对应的电路列总线之间的电通信;以及

其中,所述至少一个互连位于一个像素子列总线和一个对应的电路列总线之间的任何地方并且关于彼此叠加。

27. 根据权利要求 26 所述的内窥镜,还包括设置在所述基板之间的多个互连,并且其中,所述多个互连相对于彼此间隔比所述像素阵列的像素间距更大的距离。

28. 根据权利要求 26 所述的内窥镜,其中,所述第一基板和第二基板是对齐的。

29. 根据权利要求 26 所述的内窥镜,其中,在所述第一基板上的一个所述像素子列的面积基本上等于在所述第二基板上的一个所述对应的电路列的面积。

30. 根据权利要求 26 所述的内窥镜,其中,所述第二基板基本上具有与所述第一基板相同的大小。

31. 根据权利要求 26 所述的内窥镜,其中,在所述第一基板上的一个所述像素子列的面积大于在所述第二基板上的一个所述对应的电路列的面积。

32. 根据权利要求 26 所述的内窥镜,其中,在所述第一基板上的一个所述像素子列的面积小于在所述第二基板上的一个所述对应的电路列的面积。

33. 根据权利要求 26 所述的内窥镜,其中,一个所述像素子列的长宽比与一个所述电路列的长宽比基本上近似。

34. 根据权利要求 26 所述的内窥镜,其中,多个互连将像素子列总线连接到对应的电路列总线。

35. 根据权利要求 26 所述的内窥镜,其中,一个所述像素子列的长宽比不同于一个所

述电路列的长宽比。

36. 根据权利要求 26 所述的内窥镜,其中,一个所述电路列的长宽比与一个所述像素子列的长宽比相比,宽度为四倍并且长度为四分之一。

37. 根据权利要求 26 所述的内窥镜,其中,一个所述电路列的长宽比与一个所述像素子列的长宽比相比,宽度为二倍并且长度为二分之一。

用于内窥镜的改进的图像传感器

技术领域

[0001] 本公开整体涉及电磁感测和传感器,并且还涉及低能量电磁输入条件以及低能量电磁吞吐量条件。具体而言,本公开涉及(但不必纯粹涉及)优化用于内窥镜装置的图像传感器。

背景技术

[0002] 由于成像传感器非常普及,市场中对于越来越小的高清晰度的成像传感器的需求显著地增加。高分辨率和高清晰度意味着必须在相对较小的空间内移动更多的数据。本公开的装置、系统和方法可以用于考虑尺寸和形状因素的任何成像应用中。本公开可以利用多种不同类型的成像传感器,例如,电荷耦合装置(CCD)或者互补金属氧化物半导体(CMOS)、或者目前已知的或可以在将来变得已知的任何其他图像传感器。

[0003] CMOS 图像传感器典型地将整个像素阵列和有关的电路(例如,模数转换器和/或放大器)安装在单个芯片上。CMOS 图像传感器的尺寸限制通常要求在越来越小的范围内移动越来越多的数据。由于在 CMOS 图像传感器的设计和制造中需要解决多个考虑,所以可以在传感器和其他重要功能(例如,信号处理)之间将电路之间的接触垫片制造得越来越小。因此,例如,由于有关电路可能占据的区域被减少,所以增加像素阵列区域可能伴随其他区域中的折衷(例如,A/D 转换或其他信号处理功能)。

[0004] 本公开的特征和优势将在如下的描述中阐述,并且部分地从描述中变得显而易见,或者可在无需过度的试验的情况下通过本公开的实践了解到。可以通过在所附权利要求中具体地指出的仪器和组合来实现并且获得本公开的特征和优势。

附图说明

[0005] 通过考虑结合附图给出的后续详细描述,本公开的特征和优势将变得显而易见,其中:

[0006] 图 1a 是构建在单个基板上的成像传感器的实施例的示意图;

[0007] 图 1b 是根据本公开的教导和原理用于示出处理电路相对于像素阵列的远程设置的成像传感器的实施例的示意图;

[0008] 图 2 示出根据本公开的教导和原理的在多个基板上建立的成像传感器的实施例的示意图;

[0009] 图 3a 示出在单片上制造的成像传感器的实施例的透视图,并且示出包括像素和支持电路的多个列,其中,支持电路的宽度为一个像素;

[0010] 图 3b 示出在单片上制造的成像传感器的实施例的俯视图,并且示出包括像素和支持电路的多个列,其中,支持电路的宽度为一个像素;

[0011] 图 3c 示出从图 3a 中取出的包括像素和支持电路的单个列的透视图;

[0012] 图 3d 示出从图 3b 中取出的包括像素和支持电路的单个列的俯视图;

[0013] 图 3e 示出在单片上制造的成像传感器的实施例的透视图,并且示出包括像素和

支持电路的多个列,其中,支持电路的宽度为两个像素;

[0014] 图 3f 示出在单片上制造的成像传感器的实施例的俯视图,并且示出包括像素和支持电路的多个列,其中,支持电路的宽度为两个像素;

[0015] 图 3g 示出根据本公开的教导和原理的在多个基板上建立的成像传感器的实施例的透视图,该像素阵列在第一基板上并且支持电路位于第二基板或后续基板上,其中该基板具有示出连接多个基板的互连和过孔;

[0016] 图 3h 示出在图 3g 的多个基板上建立的成像传感器的实施例的正视图;

[0017] 图 3i 示出在多个基板上建立的成像传感器的实施例的透视图,其中,形成像素阵列的多个像素列位于第一基板上并且多个电路列位于第二基板上,并且示出一个像素列和与该像素列相关联的或对应的电路列之间的电连接和通信;

[0018] 图 3j 示出从图 3i 中取出的单个像素列和单个电路列的透视图,以示出单个像素列和单个电路列之间的电连接;

[0019] 图 3k 示出从图 3i 和图 3j 中取出的单个像素列和单个电路列的正视图,以示出单个像素列和单个电路列之间的电连接;

[0020] 图 3l 示出从图 3i 和图 3j 中取出的单个像素列和单个电路列的侧视图,以示出单个像素列和单个电路列之间的电连接;

[0021] 图 3m 示出在多个基板上建立的成像传感器的实施例的透视图,其中,形成像素阵列的多个像素列位于第一基板上并且多个电路列位于第二基板上,并且示出多个像素列和与该多个像素列相关联的或对应的多个电路列之间的多个电连接和通信;

[0022] 图 3n 示出在多个基板上建立的成像传感器的实施例的透视图,其中,形成像素阵列的多个像素列位于第一基板上并且多个电路列位于第二基板上,其中,电路列的宽度为两个像素并且电路列的长度为像素列的长度的一半,并且示出多个像素列和与该多个像素列相关联的或对应的电路列之间的多个电连接和通信;

[0023] 图 3o 示出从图 3n 的最右边列中取出的单个像素列和单个电路列的透视图,以示出单个像素列和单个电路列之间的电连接;

[0024] 图 3p 示出从图 3n 和图 3o 中取出的单个像素列和单个电路列的正视图,以示出单个像素列和单个电路列之间的电连接;

[0025] 图 3q 示出从图 3n 和图 3o 中取出的单个像素列和单个电路列的侧视图,以示出单个像素列和单个电路列之间的电连接;

[0026] 图 3r 示出从图 3n 的最左边列中取出的单个像素列和单个电路列的透视图,以示出单个像素列和单个电路列之间的电连接;

[0027] 图 3s 示出从图 3n 和图 3r 中取出的单个像素列和单个电路列的正视图,以示出单个像素列和单个电路列之间的电连接;

[0028] 图 3t 示出从图 3n 和图 3r 中取出的单个像素列和单个电路列的侧视图,以示出单个像素列和单个电路列之间的电连接;

[0029] 图 3u 示出在多个基板上建立的成像传感器的实施例的透视图,其中,形成像素阵列的多个像素列位于第一基板上并且多个电路列位于第二基板上,其中,电路列的宽度为四个像素,并且示出多个像素列和与该多个像素列相关联的或对应的电路列之间的多个电连接和通信;

[0030] 图 3v 示出从图 3u 的最右边列中取出的单个像素列和单个电路列的透视图,以示出单个像素列和单个电路列之间的电连接;

[0031] 图 3w 示出从图 3u 和图 3v 中取出的单个像素列和单个电路列的正视图,以示出单个像素列和单个电路列之间的电连接;

[0032] 图 3x 示出从图 3u 和图 3v 中取出的单个像素列和单个电路列的侧视图,以示出单个像素列和单个电路列之间的电连接;

[0033] 图 3y 示出从与图 3u 的最右边列相邻的左边列中取出的单个像素列和单个电路列的透视图,以示出单个像素列和单个电路列之间的电连接;

[0034] 图 3z 示出从图 3u 和图 3y 中取出的单个像素列和单个电路列的正视图,以示出单个像素列和单个电路列之间的电连接;

[0035] 图 3aa 示出从图 3u 和图 3y 中取出的单个像素列和单个电路列的侧视图,以示出单个像素列和单个电路列之间的电连接;

[0036] 图 4 示出根据本公开的教导和原理的在多个基板上建立的成像传感器的实施例,并且还示出支持电路的具体设置的实施例;

[0037] 图 5 示出根据本公开的教导和原理在多个基板上建立的成像传感器的实施例,并且还示出支持电路的具体设置的实施例,其中,这些电路中的一些电路相对远距离地设置;

[0038] 图 6 示出根据本公开的教导和原理的通过不同像素阵列而具有不同覆盖百分比的第一基板的实施例;

[0039] 图 7 示出根据本公开的教导和原理的具有多个像素阵列的实施例;

[0040] 图 8 示出根据本公开的教导和原理的具有最优化的像素阵列和有关的或堆叠的支持电路的图像传感器的实施例,并且示出光源;

[0041] 图 9 示出根据本公开的教导和原理的具有最优化的像素阵列和有关的或堆叠的支持电路的图像传感器的背面照明的实施例;

[0042] 图 10 示出根据本公开的教导和原理的图像传感器的实施例,其中,像素阵列离所有所述支持电路更远距离地放置;

[0043] 图 11 示出根据本公开的教导和原理的具有不同尺寸的堆叠的基板的图像传感器的实施例;

[0044] 图 12 示出像素架构的实施例,其中,每个像素列不与另一个像素列共享读取总线;

[0045] 图 13 示出像素架构的实施例,其中,存在关于读取总线的像素列的水平双向共享,从而每两个像素列具有一个读取总线。

[0046] 图 14 示出根据本公开的教导和原理的在具有前面照明的像素阵列多个基板上建立的成像传感器的实施例;

[0047] 图 15 示出具有被划分成包含多个像素的读取区域的像素阵列的成像传感器的实施例;

[0048] 图 16 示出具有多个基板和用于访问来自被划分成包含多个像素的读取区域的像素阵列的数据的多个总线的连接的成像传感器的实施例;

[0049] 图 17a 示出根据本公开的教导和原理的像素阵列的实施例,其中,在像素阵列内

相对于像素隔开互连；

[0050] 图 17b 示出根据本公开的教导和原理的像素阵列的实施例，其中，在像素阵列内相对于像素隔开互连；

[0051] 图 17c 示出根据本公开的教导和原理的像素阵列的实施例，其中，在像素阵列内相对于区域隔开互连；

[0052] 图 18a- 图 18f 示出根据本公开的教导和原理的像素阵列的实施例，其中，在像素阵列内可以相对于限定的像素区域隔开互连；

[0053] 图 19 示出根据本公开的教导和原理的隔开互连 / 凸块 (bump) 的方法；

[0054] 图 20 示出了这样一种实施例，其中，在该实施例中可以使用像素区域专用支持电路，从而每个像素区域可以具有至少一个专用于仅处理由专用的像素区域内的像素产生的数据的支持电路；

[0055] 图 21 示出显示本公开的教导和原理的可伸缩性的示意性地大图像传感器的实施例；

[0056] 图 22 示出显示本公开的教导和原理的可伸缩性的示意性地大图像传感器的实施例；

[0057] 图 23 示出在多个基板上建立的成像传感器的实施例的俯视图，其中，形成像素阵列的多个像素列和子列位于第一基板上并且多个电路列位于第二基板上，并且显示一个像素列和与该像素列相关联的或对应的电路列之间的电连接和通信；

[0058] 图 24 示出根据本公开的教导和原理的用于一起形成位于第一基板上的像素阵列和位于第二基板上的多个电路列的多个列和子列的实施例的透视图，并且显示一个像素子列和与该像素子列相关联的或对应的电路列之间的电连接和通信。

[0059] 图 24a- 图 24c 分别示出已经分成两个单独的像素子列的单个像素列的透视图、正视图和侧视图，其中，每个像素子列附接到不同的像素列读取总线，并且示出从图 24 中取出的两个电路列，示出两个像素子列和两个电路列之间的电连接；

[0060] 图 25 示出根据本公开的教导和原理的用于一起形成位于第一基板上的像素阵列和专用于位于第二基板上的一个或多个像素子列的多个电路列的多个列和子列的实施例的透视图，并且显示一个像素子列和与该像素子列相关联的或对应的电路列之间的电连接和通信；

[0061] 图 25a 示出已经分成两个单独的像素子列的单个像素列的透视图，其中，两个像素子列都附接到不同的像素列读取总线，并且示出读取总线到从图 25 中取出的电路列之间的电连接；

[0062] 图 26 示出根据本公开的教导和原理的用于一起形成位于第一基板上的像素阵列和位于第二基板上的多个电路列的多个列和子列的实施例的透视图，并且示出每个像素子列和与该像素子列相关联的或对应的电路列之间的电连接和通信；

[0063] 图 26a- 图 26c 分别示出已经分成两个单独的像素子列的单个像素列的透视图、正视图和侧视图，其中，每个像素子列附加到不同的像素列读取总线，并且示出从图 26 中取出的两个电路列，示出两个像素子列和两个电路列之间的电连接；

[0064] 图 27- 图 29 示出根据本公开的教导和原理的用于一起形成位于第一基板上的像素阵列和位于第二基板上的多个电路列的多个列和子列的多个实施例的透视图，并且示出

每个像素子列和与该像素子列相关联的或对应的电路列之间的电连接和通信；

[0065] 图 30 示出显示本公开的教导和原理的可伸缩性的示意性地大的图像传感器；

[0066] 图 31 示出具有根据本公开的教导和原理制造的并且具有设置在内窥镜的管腔内的图像传感器的内窥镜的实施例；

[0067] 图 32a-图 32c 示出根据本公开的教导和原理制造的并且设置在内窥镜的管腔内的图像传感器上的像素阵列的最大化；

[0068] 图 33a、图 33b、图 33c 示出根据本公开的教导和原理的内窥镜和可用于堆叠在内窥镜处电路的顺序的各种实施例；

[0069] 图 34 示出根据本公开的教导和原理制造的并且设置在内窥镜的管腔内的图像传感器中的两个基板的详细视图。

具体实施方式

[0070] 出于促进理解根据本公开的原理的目的，现在参考附图中所示出的实施例，并且使用特定语言来描述所述实施例。然而，应当理解的是，这并不用于由此限制本公开的范围。对如本文中所描述的发明特征的任何变换和进一步修改，以及对本文所示出的本公开的原理的任何额外应用（通常被相关领域的并且拥有本公开的技术人员想到）都将被认为是在所要求的本公开的范围之内。

[0071] 在公开并且描述通过使用纵向互连来在列或子列混合图像传感器中错开 ADC 或列电路凸块的装置、系统、方法和过程之前，应当理解的是，本公开不限于本文所公开的特定结构、构造、处理步骤和材料，因为这些结构、构造、处理步骤和材料可以稍有变化。还应当理解的是，本文中采用的术语仅被用来描述特定的实施例而不旨在限制，这是因为本公开的范围将仅由所附权利要求及其等同体来限制。

[0072] 必须注意的是，如在该说明书和所附权利要求中所使用的那样，除非上下文中清楚地做出相反指示之外，单数形式的“一”、“一个”、“和”、“该”也包括复数指示物。

[0073] 当描述和要求本公开的主题时，将根据下面所作的限定使用以下术语。

[0074] 如在本文中所使用的那样，术语“包括”、“包含”、“含有”、“具有……的特征”以及其语法等同体是不排除额外的、未叙述的元件或方法步骤的包含型的或开放型的术语。

[0075] 如在本文中所使用的那样，短语“由……组成”以及其语法等同体排除在权利要求书中没有指定的任何元件或步骤。

[0076] 如在本文中所使用的那样，短语“主要由……组成”以及其语法等同体将权利要求书的范围限制为指定的物质或步骤以及那些不会实质上影响所要求的公开的基础和新颖性特点的物质或步骤。

[0077] 本文中所使用的术语“近侧的”应当广泛地指代最接近原点的部分的概念。

[0078] 本文中所使用的术语“远侧的”应当通常指代近侧的相反，并且因此取决于上下文而指代离原点更远的部分或者最远的部分的概念。

[0079] 数字成像，无论是静止的还是电影的，对于用于记录图像数据的装置来说都受到许多约束。如本文所讨论的，成像传感器可以包括设置在至少一个基板上的像素阵列和支持电路。装置通常取决于应用而具有在成像传感器的形状因素上的实用的和最佳的约束。在大多数应用中，尤其针对商业使用来说，尺寸通常是一个约束。甚至在尺寸貌似为最少约

束的外太空应用中,尺寸仍然是一个问题,这是因为成像装置需要被轨道发射并且克服重力。此外,尤其在消费性电子产品中,由成像装置/相机增加的任何体积减损了可能的其他功能性硬件或电池容量/寿命。因此,尺寸几乎总是在使用成像传感器的任何应用中必须解决的约束。

[0080] 在许多情况中,成像装置的形状因素是受到约束的。可以存在相对于像素阵列横向地或水平的无限制的区域或基板面(real estate),或者可以存在纵向地直接在像素阵列之后的充足空间。通常,对于设备来说,像素阵列不是唯一的考虑因素,而且也需要容纳支持电路。支持电路可以是但不必限于模数转换器、电力电路、电力采集器、放大器电路、专用信号处理器和滤波器、用于数据传输的串行器等。除了这些电路之外,还可以需要物理性能元件,例如滤光器和镜头。当决定并且设计成像装置的形状因素时必须考虑上述全部,并且当设计今天的图像传感器时传统上工业已经选择支持电路的横向设置或水平设置。但是,存在许多受益于纵向形状因素而不是横向或水平形状因素的应用。

[0081] 将从(相对于像素阵列而言)具有相对纵向的形状因素的成像装置中获益的应用的实例是需要使用观察仪器的使用领域。例如,工业观察仪器和医学内窥镜将从可以被容纳于装置的管腔室内的图像传感器中获益。在该观察仪器应用中,可能设置在该观察仪器的管腔室内的图像传感器可以是有利的。管腔室的内径(如果是圆的)随后将限定图像传感器(圆)的最大直径。针对普遍的管腔室尺寸为 3mm 到 15mm 的范围,应当明白的是,由于内径的约束,在横向中因形状因素考虑而极大地限制了图像传感器。因此,更多的纵向配置可能是有利的。

[0082] 如上所述,虽然尺寸是一个问题,但是,在整个行业中不管对于什么具体应用,像素计数数量都持续上升,且通常遮蔽了用于在已经记录图像之后实际观看图像的媒体(例如计算机显示器或电视机)。然而,应当理解的是,所有的像素被创建得一模一样。在上述的实例中,观察仪器配置可以用于有限的光应用中。像这样,在低光情况下运行良好的基于观察仪器的图像传感器可以是有利的。仅仅由于大像素和小像素不同的尺寸,大像素就具有比小像素收集更多光的能力。然而,市场中的趋势增加在给定的形状因素中的像素的数量。逻辑上,在给定区域中的更多像素通常意味着更小的像素尺寸。更小的像素存在以下不足:在较低光中工作很差并且由于电子拥挤而造成了噪声。此外,相对于光聚集空间来说,更多的像素相当于更多的边界空间。因为较大的像素只是具有较大的光感测部分对边缘部分之比,所以较大的像素趋向于产生更好图像和更高图像质量。这两个问题导致了今天小的图像传感器的较差图像质量。

[0083] 随着在给定的空间中像素计数持续上升,像素间距下降,由此对于互连电接触需要更大精度。因此,因为针对增加的像素间距对数据处理要求更大精度的需要,所以图像传感器生产的成本可能增加。现有技术可以用于实现具有增加的能力的图像传感器,但是由于在制造期间产量下降而增加成本。

[0084] 针对像素间距与凸块间距之比,本文公开的技术和结构将允许:

[0085] • 由于对所提供的交替互连的增加了的能力(即互连的冗余度)而导致提高制造可靠性;

[0086] • 对每使用的应用或领域以成本有效方式最大化凸块间距尺寸;

[0087] • 由于使用较大像素间距的能力而允许更经济的 CMOS 工艺;

[0088] • 允许更有效的凸块技术访问,即从多个总线或者直接地读出像素阵列的读取数据;

[0089] • 允许 CMOS 工艺的冗余度以提高产量;

[0090] • 在预先确定的或限定的像素区域中使用本地化的 ADC ;并且

[0091] • 允许利用多个像素阵列的几何尺寸、多个总线和列凸块配置。

[0092] 上述问题描述了关于行业内几个需求的现有技术。需要这样一种图像传感器,其中,该图像传感器具有通过像素计数的足够分辨率、纵向架构和形状因素、以及尽可能大的像素尺寸,所有的这些同时约束在有限的空间中。本公开考虑并且将讨论这样一种实施例和设计方法,其中,该实施例和设计方法通过优化基板 / 芯片上的像素阵列的尺寸、并且以大体纵向配置方式将支持电路远距离地放置在一个或多个支持基板 / 芯片上,来解决这些问题以及潜在的其他问题。

[0093] 使用片上模数转换器(ADC)、片上模数算法、片上复杂时序和片上复杂模拟功能的高性能图像传感器提供了高质量图像是由于下面理由(下面的列表不是完整的列表,而是仅仅为了示例性目的给出):

[0094] 由于长的片外模拟数据线而没有拾音器噪音(如果没有片上 ADC,则模拟信号需要能够被片外发送);

[0095] 因为在数据路径中早期实施数字转换而时间噪音较低(没有额外放大器、缓冲器增加额外噪音);

[0096] 使用复杂的片上时序发生器的局部时序最优化。由于垫片计数限制,可以使用外部系统来仅执行简单的时序;

[0097] 由 I/O 生成的较低噪音。片上系统允许减少的垫片计数 ;并且

[0098] 可以实现较快的操作(更多的串行片上操作,减少的寄生电容和电阻)。

[0099] 然而,用于提供该高质量图像的详细功能和处理占据了像素阵列周围的很大区域并且像素阵列尺寸与裸片尺寸之比明显较低。在使用片上处理和电路(包括 ADC 和上面提到的其他详细的功能)的成像系统中,像素阵列尺寸与裸片尺寸之比低于 25% 是很常见的。因此,存在像素阵列尺寸与裸片尺寸之比和片上功能之间的折衷。

[0100] 因此,需要使用最优化的像素阵列尺寸与裸片尺寸之比的大多数技术应用使用了定制的图像传感器,该图像传感器没有数字转换(模拟输出)或者具有减少的模拟 / 数字功能以及低级的模数转换。甚至在那样的情况中,大于 50% 的像素阵列尺寸与裸片尺寸之比是难以实现的。

[0101] 本公开说明并且设想在不牺牲图像质量的情况下增加像素阵列尺寸与裸片尺寸之比的系统和方法。本公开设想在要求最大化的像素阵列尺寸的情况中使用给定的裸片尺寸来成像应用或者在要求更小的裸片尺寸的情况中使用给定的像素阵列尺寸来成像应用。

[0102] 三维堆叠技术的关键问题之一是凸块间距。目前的技术实现大约 50mm 到 100mm 的凸块间距。在接下来的 3 年到 10 年中,预期不断发展的技术将允许凸块间距的尺寸减少到与像素间距的相同尺寸等于或接近的范围。

[0103] 此外,堆叠的基板 / 芯片生产量直接取决于凸块间距。在堆叠的基板 / 芯片中的最常见的故障是两个互连或凸块之间的电短路。因为凸块间距减少了尺寸并且变得更小,所以晶片的平面化规格必须更紧密。为了缓冲晶片的平面化误差,互连或凸块变得或增长

得较高。然而,在较高的互连 / 凸块中的多余金属倾向于在晶片的结合处理期间移动到侧面,这可能使相邻的或邻近的凸块短路。可以通过放宽互连或凸块间距来实现由于所放宽的晶片对齐过程而导致的较高生产量和较低的成本。

[0104] 本公开提出一种放宽凸块间距同时在更紧密的像素间距上工作的装置、系统和方法。

[0105] 本公开还设想一种图像传感器,该图像传感器可以另外地与其像素阵列和支持电路一起被制造在单独的、单片基板 / 芯片上并且将像素阵列与所有或大部分支持电路分离。本公开可以使用至少两个基板 / 芯片,将使用三维堆叠技术来将该至少两个基板 / 芯片堆叠在一起。可以使用图像 CMOS 工艺来处理两个基板 / 芯片中的第一基板 / 芯片。第一基板 / 芯片可以唯一地包括像素阵列或者包括由限制电路包围的像素阵列。可以使用任何工艺进行处理第二或后续基板 / 芯片,并且不必是来自图像 CMOS 工艺。第二基板 / 芯片可以是但不限于高密度数字处理以在基板 / 芯片上的很有限的空间或区域中集成各种及许多功能,或者可以是但不限于混合模式或模拟处理以集成例如精确的模拟功能,或者可以是但不限于 RF 处理以实现无线能力,或者可以是但不限于 MEMS (微型机电系统) 以集成 MEMS 装置。图像 CMOS 基板 / 芯片可以使用任何三维技术来与第二或后续基板 / 芯片进行堆叠。第二基板 / 芯片可以支持大多数或大部分电路,否则该电路将作为外围电路经被实现在第一图像 CMOS 芯片中(假设被实现在单片基板 / 芯片上)并且因此增加了整个系统区域,同时保持像素阵列尺寸恒定并尽可能最大限度地被优化。可以通过互连(该互连可以为焊线、凸块和 / 或 TSV (硅通孔)) 来实行两个基板 / 芯片之间的电连接。

[0106] 现在参照图 1a 和图 1b,图 1a 是单片设计的成像传感器的实例,其中单个基板被用作芯片构建的基础。如图 1a 所示,基板 100a 可以包括像素阵列 150a,其中,该像素阵列 150a 配置为接收电磁能,将该电磁能转化为数据,并且随后将该数据传递给支持电路 110a、120a、130a 以进行处理,该处理最终导致数字图像或视频。该支持电路可以包括信号处理电路,例如(就举几个例子),模数转换器 110a,放大器电路 130a,滤波器电路,电力供应和收集电路 120a 和串行处理器。支持电路中的一些电路可以比其他电路被放置得更靠近像素阵列,并且经由总线连接到像素阵列中的每个像素。例如,放大电路和数字转换电路可以优选被放置得更靠近像素阵列,这是因为该架构可以增加数据流的清晰度并且向系统引入最小噪音。如图 1a 所示,图像传感器 100a 是关于图像传感器在市场中典型地可用的那些的示意性说明。

[0107] 图 1a 示出支持电路相对于像素阵列 150a 的一般横向设置,其由于成本和制造限制而主导今天的市场。在与像素阵列 150a 相同的基板上的、并且相对于像素阵列 150a 的支持电路的横向设置简化了架构并且减少了生产成本。然而,单个基板的使用具有一些弊端和限制,例如形状因素问题,这是因为不是所有的应用都适用于如上论述那样的横向或水平的电路设置。

[0108] 如图 1b 所示,当将支持电路如,110a,120a,130a 从第一基板 160 移除时,对于能够位于第一基板 160 上的更大像素阵列 150a 来说剩余相当大的空间,这意味着可以使用更多或更大的像素。允许使用成像传感器的电子装置中的相同物理限制,使用本文所公开的技术以及特征组合允许能够使用增加的像素分辨率或者增加的像素尺寸。在该情况中,可以减少图像传感器基板的尺寸,并且图像传感器基板可以用在尺寸是主要关注并且还期望高

质量图像的更多装置中。具体地,图 1b 示出相对于像素阵列远距离地放置支持电路 110b、120b 和 130b 的设计构思。

[0109] 主要参照图 2,将讨论用于承载支持电路的支持基板的使用。在示例性图像传感器 200 的实施例中,像素阵列 205 被定位在第一基板 210 的表面上,该像素阵列 205 可以包括被形成为多个像素列的多个像素。位于第一基板 210 上的该多个像素列中的每个像素列可以电连接到读取总线 240。可以由位于第二基板 220 上的支持电路执行信号处理和图像增强。电路可以包括信号处理电路例如模数转换器 228、放大器电路 226、滤波器电路 224、电力供应和收集电路 222,这些电路可以形成与第一基板 210 上的多个像素列对应的多个电路列。每个电路列可以包括多个支持电路,该多个支持电路与读取总线 230 进行电子通信,或者与每个电路列对应的多个读取总线进行电子通信。换言之,信号处理电路可以位于第二基板或支持基板 220 上。第二基板 220 上的多个电路列中的每个电路列随后可以通过可以位于沿着用于叠加或叠放读取总线 230、240 的物理路径的任何地方的互连如焊锡凸块、焊锡球、或过孔,电连接到位于第一基板 210 上的对应像素列。在本公开的范围还设想使用多个次级基板,其中,每个基板取决于图像传感器期望的功能容纳按照任意次序的或者与支持电路结合的、用于图像传感器的任何需要的电路。

[0110] 如图 3a 到图 3f 所示,图像传感器 300a 通常可以包括像素阵列 350a 和支持电路 370a,支持电路 370a 可以包括模数转换器 317a,放大器 315a 和滤波器 314a 和时钟 316a,所有的这些电路可以都设置在单片基板 310a 上。在图 3a 和图 3b 中,在透视图和俯视图中分别示出单片图像传感器。像素阵列 350a 可以包括多个像素列,其中,多个像素列 352a 中的每个像素列包括多个单独的像素。支持电路 370a 可以包括多个电路列 356a,其中,每个电路列 356a 包括用于支持对应的像素列 352a 的电路。如附图所示,单片电路列 356a 的宽度为一个像素并且相对于与该单片电路列对应的像素列局部地放置。附图示出非共享像素的像素阵列,其中,每像素列一条读取总线仅电连接到在图像传感器的一侧上对应的列电路。应当明白的是,在一个实施例中,对应的电路为一个像素宽,然而,下面所讨论的支持电路的其他配置也被设想在本公开的范围并且可以用于增加图像传感器设计选项。

[0111] 现在参照图 3c 和图 3d,分别在透视图和俯视图中示出单个电路列 356a 和包括多个像素的单个像素列 352a。应当明白的是,附图中示出的单个像素列 352a 和对应的电路列 356a 从图 3a 和图 3b 中示出的图像传感器 300a 中取出的,并且仅仅表示电连接到单个电路列 356a 的单个像素列 352a。

[0112] 图 3e 和图 3f 示出了在单片基板上制造的成像传感器 300a 的实施例的透视图和俯视图,并且示出了包括像素和支持电路的多个列。与图 3a 和图 3b 形成对比,图 3e 和图 3f 示出了宽度为两个像素的支持电路。在附图中可以看出,交替的像素列 352a 读出给位于像素列 352a 的相对端的对应电路。该配置提供对应的电路列 356a 区域的长宽比的各种变型。因为总线 330a 读出给像素阵列 350a 的交替端,所以电路列 356a 可以为两个像素的宽度。对比图 3b 和图 3f 中示出的传感器,图 3b 中示出的像素列 352a 具有 6 个像素(单元)长乘 1 个像素(单元)宽的长宽比(6/1),并且电路列 356a 具有类似的长宽比。相反地,图 3f 中所示出的图像传感器具有长宽比为 6 个像素(单元)长乘 1 个像素(单元)宽的长宽比(6/1)的像素列 352a 和宽长比为 2 个像素宽乘 3 个像素长的宽长比(2/3)的电路列 356a。

[0113] 与此相反,可以在(至少在横向中)尺寸比单片基板或芯片更小得多(并且具有更

小的区域和形状因素)的成像传感器 300 中设置并且提供与建立在单片基板上的成像传感器 300a (图 3a-图 3f 中示出)相同的功能。现在将参照图 3g 到图 3aa,讨论可以包括可以设置在第一基板 310 上的像素阵列 350a 的成像传感器 300,同时所有的支持电路 370 可以(关于像素阵列 350 和第一基板 310)远距离地放置于一个或多个支持基板(例如第二基板 311 和第三基板 312)。

[0114] 应当注意的是,图像传感器可以被建立并且制造在多个基板上。多个基板中的每个基板可以以堆叠的配置和形式关于彼此放置,其中在包括像素阵列 350 的第一基板 310 之后并且相对于待成像物体来堆叠或者对齐所有的基板。堆叠中的每个基板可以通过互连 321 (例如,焊锡凸块或焊锡球、过孔或者其他形式的电通信)进行电连接。应当明白的是,在不脱离本公开的范围的情况下,互连 321 可以包括用于将电信号传导到相同或不同基板上的各种电路的任何已知的装置或方法。

[0115] 在图 3g、图 3i、图 3m、图 3n 和图 3u 中,包括图像传感器 300 的像素阵列 350 和各种支持电路 370 的多个基板中的每个基板可以在堆叠中为相似的尺寸,从而多个基板在堆叠中基本对齐。在一个实施例中,可以基本对齐地堆叠第一基板 310 和多个后续支持基板 311,从而在基本上相同长度和宽度的多层堆叠中形成多个通信列。

[0116] 应当注意的是,在将被形状因素允许的其他实施例中,在堆叠中可以使用并且优选具有不同长度和宽度的不同尺寸的基板。当设计堆叠配置时,可以解决多个顾虑如散热、噪音以及许多顾虑。例如,在一个实施例中,高热电路如放大电路可以位于堆叠内的支持基板中的一个支持基板的凸出部分上(在图 11 中最好地示出)。

[0117] 应当注意的是,可以将像素阵列 350 形成为多行像素和多列像素。每个像素列 352 可以以线性形状因素包括多个像素,每个像素列为一个像素宽和 AN 个像素长。还应当注意的是,每个像素列 352 将具有这样一种区域值,该区域值大体上与像素间距一样宽并且与由传感器设计预先确定的长度一样长。相反地,本文所称电路列 356 是在这样基板上所分配的空间,其中,该基板与包括像素阵列 350 的第一基板 310 不同并且包括专用于并且电连接到对应的像素列 352 或者与该对应的像素列 352 进行电通信的至少一个支持电路 370。应当理解的是,由像素列 352 占据的空间可以与由对应于像素列 352 的电路列 356 所占据的空间相同或者基本上相同。因此,第二基板或支持基板 311 可以包括多个电路列 356,其中每个电路列 356 在第二基板 311 上包括与对应的像素列 352 所具有的在第一基板 310 上的区域基本上相同或类似的基板面区域。

[0118] 此外,每个像素列 352 与或者可以与在第一基板 310 上的读取总线 330 进行电通信,同时电路列 356 与或者可以与在第二基板 311 上的读取总线 340 进行电通信。如图 3g 到图 3aa 中所示出的,两个前述的总线 330、340 可以由至少一个互连 321 进行电连接,该互连 321 位于沿着由两个总线 330、340 的或之间的叠加所创建或之内创建的路径的任何地方。在一个实施例中,多个互连 321 可以用于将单个像素列 352 连接到单个对应的电路列 356。在这样的实施例中,所使用的互连 321 的数量的冗余度可以为增加的产品产量或增加的功能做好准备。

[0119] 如本文中谈论的那样,长宽比将用作指代基板上的区域的一般形状。例如,限定为宽 4 个像素单元和长为 5 个像素单元的区域将具有 $4/5$ 或 $5/4$ 的长宽比。术语长宽比可以通常用于表示:区域的形状被认为是重要的的情况。例如,长宽比的概念可以用于表示位于

不同的基板上的两个对应区域的长宽比的差。应当注意的是,图 3g-图 3aa 中示出的像素列 352 和电路列 356 的长宽比可以是相同的或者可以是不同的,像素列 352 的覆盖区的区域和该像素列对应的电路列 356 的覆盖区的区域可以为基本上相同的或相等的。图 3g 到图 3aa 示出不同长宽比的多个实例,但是应当注意的是,本公开的原理可以应用于任何数量的长宽比配置。然而,如图中所示的那样,电路列 356 的覆盖区或基板面的区域基本上与像素列 352 的覆盖区或基板面的区域相同或者相等。随着制造技术提高或者设计参数改变,对于电路列 356 的支持电路 370 可能需要更多或更少的区域。

[0120] 具体地参照图 3g 和图 3h,包括放大器、滤波器、时钟或者支持图像传感器所需要的其他电路的该支持电路 370 都可以设置在一个或多个支持基板(例如,第二基板 311)上。然而,应当明白的是,该电路可以分散在一个或多个基板(例如,第二基板 311、或者第三基板)上。此外,模数转换器可以远距离地位于支持基板中的一个支持基板上。应当明白的是,可以改变支持基板 370 的顺序和位置,并且支持基板 370 可以位于所期望的任何支持基板上。

[0121] 如图所示,每个像素列 352 可以关联到并且电连接到第一基板 310 上的一个读取总线 330,同时每个电路列 356 可以通过一个或多个互连 321 关联到并且电连接到支持基板 311 上的一个读取总线 340,该互连 321 可以包括凸块 321a 和过孔 321b(在图 3h 中最佳示出)。至少一个互连 321 可以用于将第一基板 310 上的像素列总线 330 连接到支持基板 311 上的电路列总线 340,如所示的那样。图 3i、图 3j、图 3l、图 3o、图 3q、图 3r、图 3t、图 3v、图 3x、图 3y 和图 3aa 中的虚线箭头示出互连 321 可以位于沿着每个对应的像素列 352 和电路列 356 的两个读取总线 330 和 340 的叠加路径的任何地方。

[0122] 现在参照图 3i 到图 3m,示出了在多个基板上建立的成像传感器 300 的实施例的各种视图。图 3i 和图 3m 示出在第一基板 310 上形成像素阵列 350 的多个像素列 352 和在第二基板 311 上(用于表示支持电路 370 的)的多个电路列 356。如所示出的,电路列 356 可以为一个像素宽和 $N \times$ 个像素长,以直接对应于与电路列 356 关联的像素列 352。附图示出每个像素列 352 与它在电路列 356 中的关联电路 370 之间的连接的实例。附图还示出每个像素列 352 有一个读取总线 330 和每个电路列 356 有一个读取总线 340。其中,电路列 356 中的关联电路 370 为一个像素列宽。

[0123] 如本文上述所示的,每个像素列 352 可以电气地关联或者连接到一个像素列总线 330,并且每个电路列 356 可以电气地关联或者连接到一个电路列总线 340。图 3j 到图 3l 分别示出与图 3i 中所示出的多个像素列 352 和多个电路列 356 分离的单个像素列 352 和单个电路列 356 的透视图、正视图和侧视图。图 3j 到图 3l 还示出像素列 352 的总线 330 和电路列 356 的总线 340 之间使用一个或多个互连 321 的电连接。虽然可以使用一个或多个互连 321 电连接总线 330 和总线 340,但是附图示出互连 321 可以在不脱离本公开的精神或者范围的情况下位于沿着总线 330 和总线 340 的叠加路径的任何地方。

[0124] 现在参照图 3n 到图 3t,这些图示出了在多个基板上建立的成像传感器 300 的实施例的各种视图,其中用于形成像素阵列 350 的多个像素列 352 位于第一基板 310 上,并且多个电路列 356 位于第二基板 311 上。在该实施例中,电路列 356 的宽可以为两个像素或两个像素列。在该实施例中,每个像素列 352 与它在对应的电路列 356 中的关联电路 370 之间的连接可以是每个像素列 352 的一个读取总线 330 和每个电路列 356 的一个读取总线

340。如图所示,由在第一基板 310 上的像素列 352 消耗的区域对应于由对应的电路列 356 消耗的区域。该对应允许基板(例如 310 和 311)的直接覆盖,从而将堆叠电路列 356 中的支持电路 370 与支持电路 370 所支持的像素列 352 直接堆叠。

[0125] 还应当注意的是,在该配置中,像素列的长宽比 352 将基本上等于电路列 356 的长宽比,然而,如下面进一步讨论的,该长宽比相等不是需要的。如图 3m 所示,像素列是一个像素列宽与六个像素长,所以长宽比为 1/6。电路列也具有相同的长宽比 1/6。与此对比,图 3n 示出了这样一种设计,其中,在该设计中电路列长宽比为像素列长宽比两倍并且电路列的长度为像素列长度的一半,由此提供用于放置支持电路的可能的更多可用的覆盖区。在图 3m 和图 3n 中,尽管长宽比不同,但是像素列 352 和电路列 356 两者的覆盖区的区域基本上彼此相等。

[0126] 图 3n 还示出基板之间不同的长宽比可以如何允许总线接触点中的灵活性。在一个实施例中,列电路总线 340 已经被设计成通用 Au@ 形状,以更均匀地占据电路列 356 的区域,由此提供用于连接互连 321 遍及整个电路列 356 的选项。注意像素列总线 330 通常不是 U 形的,但是电路列总线 340 通常可以为 U 形的,从而可以将相同的列电路 356 用于图 3o 和图 3r 的两种不同的像素列配置。U 形的电路列总线 340 的第一分叉可以被叠加到第一像素列 352 的读取总线 330(如图 3o 所示),并且 U 形的电路列总线 340 的第二分叉可以被叠加到下一个、邻近的像素列 352 的读取总线 330(如图 3r 所示)。图 3o 和图 3r 示出从图 3n 的像素阵列 350 中取出的像素列 352。图 3o 和图 3r 示出定位在电路列 356 的覆盖区之内的互连 321 的三个选项。应当注意的是,如图 3q 所示,因为电路列 356 的长宽比被示出为对应的像素列 352 的两倍宽、一半长,所以互连 321 位置选项仅为可用于像素列 352 长度的部分。图 3p 示出,对于复杂的总线形状,沿着电路列 356 中的总线 340 可以存在两条互连位置路径选项,其中,电路列 356 的宽度为电路列 356 所支持的像素列 352 的宽度的两倍。图 3p 示出 U 形的电路列总线 340 的第一分叉到第一像素列 352 的读取总线 330 的叠加的正视图,并且与如图 3r 和图 3s 所示的总线 340 的最内层部分相反,使用总线 340 的最外层部分来放置互连 321,以便将互连 321 放置到下一个相邻像素列 352。图 3r 示出位于图 3n 和图 3o 中示出的第一像素列(最右边的像素列)的左边并且相关的下一个像素列 352。如图所示,图 3r 中示出的第二像素列 352 的总线 330 可以电连接到总线 340 的第二分叉。应当注意的是,因为电路列 356 的覆盖区具有长宽比 2/3,所以像素列总线 330 到电路列总线 340 的叠加要求电路列总线 340 的第二分叉大体上是 U 形的,以由此允许总线 330 和 340 与关于图 3r 和图 3s 中所示出的下一个像素列 352 的自然匹配或者叠加。

[0127] 图 3u 示出在多个基板上建立的成像传感器 300 的实施例的透视图,其中,用于形成像素阵列 350 的多个像素列 352 位于第一基板 310 上,并且多个电路列 356 位于第二基板 311 上,其中,电路列 356 的宽度为四个像素,但是也为长度的四分之一。附图还示出多个像素列 352 和关联的或对应的电路列 356 之间的多个电连接和通信路径。

[0128] 图 3v 示出从图 3u 的最右边列中取出的单个像素列 352 和单个电路列 356 的透视图,以示出单个像素列和单个电路列之间的电连接和容纳该架构的说明性总线配置。如图所示,实施例可以包括与对应的电路列 356(和关联的总线 340)具有最小部分重叠的像素列 352(和关联的总线 330)。换言之,在基板之间要求很小的总线叠加。然而,如图 3u 所示,在基板水平面上可以存在叠加。

[0129] 图 3w 示出从图 3v 中取出的单个像素列 352 和单个电路列 356 的正视图, 以示出单个像素列 352 和单个电路列 356 之间的电连接。如图所示, 将像素列 352 连接到电路列 356 仅需要很小横向部分的总线叠加。

[0130] 图 3x 示出从图 3v 中取出的单个像素列 352 和单个电路列 356 的侧视图, 以示出单个像素列 352 和单个电路列 356 之间的电连接。如图所示, 一个或多个互连 321 可以用于一些实施例中, 并且附图还示出互连 321 的放置可以为沿着总线 330 和 340 的叠加的任何地方。

[0131] 图 3y 示出从与图 3u 的最右边列 356 的左边相邻的列中取出的单个像素列 352 和单个电路列 356 的透视图, 以示出单个像素列 352 和单个电路列 356 之间的电连接。图 3z 示出从图 3y 中取出的单个像素列 352 和单个电路列 356 的正视图, 以示出单个像素列 352 和单个电路列 356 之间的电连接。图 3v 和图 3y 示出从图 3u 的像素阵列 350 中取出的像素列 352。图 3v 和图 3y 示出位于电路列 356 覆盖区之内的互连 321 的两个选项。应当注意的是, 如图 3aa 所示, 因为电路列的长宽比比对应的像素列 352 的长宽比更宽但是更短, 所以互连位置选项仅可用于像素列 352 长度的一部分。图 3z 示出, 对于复杂的总线形状, 沿着在电路列 356 中的总线 340 可以存在四个互连位置路径选项, 其中, 电路列 356 为电路列 356 所支持的像素列 352 的四倍宽和四分之一长。因此, 可以看出虽然电路列 356 的长宽比不同于像素列 352 的长宽比, 但是对应的覆盖区的区域基本上相同或者相等。随着制造技术提高或者设计参数改变, 电路列 356 的支持电路可能需要更多或更少的区域。

[0132] 图 3v 和图 3w 示出第一像素列读取总线 330 与电路列读取总线 340 的第一分叉的叠加。图 3y 示出相对于图 3v 中示出的像素列的下一个、邻近的像素列。应当注意的是, 因为电路列 356 的覆盖区具有长宽比 $4/2$, 但是将像素列总线 330 到电路列总线 340 的叠加要求相应形状的电路列总线 340 的第二分叉, 以由此允许总线 330 和 340 与关于图 3y 和图 3z 中所示出的下一个像素列 352 的自然匹配或者叠加。图 3aa 示出从图 3y 中取出的单个像素列和单个电路列的侧视图, 以示出单个像素列和单个电路列之间的电连接。

[0133] 应当明白的是, 可以取决于可能影响像素设计和架构的现有的条件来与读取总线共享或者不共享每个像素列。图 12 和图 13 示出像素架构的两个实例。图 12 示出每个像素列不与另一个像素列共享读取总线的像素架构。当每个像素列仅具有一个读取总线时, 该实例示出了不共享像素架构。相反地, 图 13 示出水平双向像素共享。在图 13 中, 每两个像素列仅具有一个读取总线。注意的是, 在像素阵列 350 在第一基板上被优化并且与位于如本文所讨论的三维堆叠实施例中的第二基板或支持基板上的大部分支持电路分离的实施例中, 每个像素列的读取总线的数量可能是重要的考虑。应当注意的是, 在本公开的范围之内允许多个像素列对应于电路列中的支持电路集合。例如, 因为某些支持电路的处理功率可以大于由像素列所生成的数据所需要的功率, 所以多个像素列可以对应于一个电路列。反过来也在本文的考虑中, 在某些实施例中, 多个电路列可以对应于像素阵列中的单个像素列。

[0134] 在上述具体过程和实现的实施例中, 可以通过位于两个基板 / 芯片之间的互连 (例如, 凸块) 来完成连接。两个基板 / 芯片的金属层可以面向彼此, 因此, 可以在包括像素阵列的 CMOS 图像传感器芯片上需要背面照明 (第一芯片的前侧可以被绑定到第二芯片的前侧)。在一个实施例中, 第一基板 / 芯片和第二基板 / 芯片之间的每个列 352、356 可以仅

使用一个互连。在一个实施例中,每个列 352、356 可以使用两个或更多个互连,并且两个或更多个互连可以用于冗余度的目的(工艺生产量)。与传统技术(如图 3a 到图 3f 中所示出的单片 CMOS 图像传感器)相比,读取总线可以在像素阵列的边缘处被中断并且可以在第二基板 / 芯片中被折叠。凸块可以随后在列之内的任何地方连接两个总线。应当明白的是,两个或更多个基板 / 芯片之间的功率分布或者其他信号(例如,垂直译码器)可能需要更多的互连例如凸块。

[0135] 现在参照图 4, 示出使用背面照明在多个基板上建立的具有图像传感器像素阵列和支持电路的图像传感器实施例。如图所示, 像素阵列 450 可以设置在第一基板 452 上。该第一基板 452 可以由硅树脂或者另一种材料制成以控制光传输特性。焊锡球、凸块或过孔 421 可以用于将一个基板电连接到另一个基板。堆叠的图像传感器的实施例可以包括第一基板 452 上的像素阵列 450。像素阵列 450 可以覆盖第一基板 452 的第一表面 451 的至少 40%。在背面照明的配置中, 像素阵列 950 可以被设置在如图 9 中最佳示出的所述第一基板 952 的背面上。此外, 在背面照明结构中, 基板 452 可以是薄的以用于控制光传输通过该基板。在利用背面照明的实施例中, 第一基板可以主要由硅材料制成, 或者第一基板可以主要由“高阻抗”半导体材料(例如, 碲化镉)制成, 或者第一基板可以主要由 III-V 半导体材料(例如, 砷化镓)制成。

[0136] 在一个实施例中, 像素阵列 450 可以覆盖第一基板 452 的第一表面 451 的大部分。在该实施例中, 像素阵列 450 可以处于或者位于所述第一表面 451 的任何部分上。第一表面 451 上的剩余空间可以用于如果需要的次级电路的放置。可能出现次级电路的大小可能被设置为使得像素阵列的中心放置不可行的情况。

[0137] 现在参照图 5, 将讨论这样一种实施例, 其中, 在该实施例中支持电路和组件中的至少一些远离其他支持电路和组件放置以为了预先确定的目的进行工作。对于一些应用来说, 某些次级处理器可能期望更加远离像素阵列放置。例如, 在医疗观察仪器(例如内窥镜)中, 可能在像素阵列周围不存在足够的空间以包含所有所需要的支持电路。在该情况中, 包含像素阵列的基板 510 可以远离图像传感器 500 之外的其他支持基板放置。在一个实施例中, 包含像素阵列的基板 510 可以与远离包含像素阵列的基板放置的支持基板 520 相邻或靠近。支持基板 520 可以包括在该支持基板 520 上的放大器电路, 同时其他支持电路可以位于比远离像素阵列基板 510 放置的支持基板 520 更加远离像素阵列基板 510 放置的另一个基板 530 上。在一个实施例中, 更加远距离地放置的基板 530 可以由有线过孔 522 连接到图像传感器 500 中的其他基板或者可以与其他基板和电路无线地进行通信。邻近的基板可以通过凸块或焊锡球 521 彼此连接。由于像素阵列和其他电路随着时间变得更有效率, 提供使包含像素阵列的基板更加远离所有其他支持电路的图像传感器是在本公开的范围内的。图 10 描写了该电路, 其中, 包含像素阵列的基板 1010 通过过孔 1022 离支持基板 1020、1030、1040 更远距离地被放置, 其中每个支持基板包括支持电路, 例如信号处理电路和电力电路。

[0138] 在一个实施例中, 图像传感器的像素阵列可以占据第一基板 570 的可用表面区域的大的百分比。如图 6 所示, 各种尺寸的像素阵列 572、574、576 (以虚线示出) 被本公开考虑并且落入所公开的设计的范围之内。像素阵列 576 示意性地给出这样一种配置, 其中, 在该配置中像素阵列 576 覆盖第一基板 570 的大百分比, 但是不覆盖基板 570 的大部分。像

素阵列 576 虽然不是覆盖大部分的区域,但是可以覆盖该大百分比的可用区域,从而支持电路的至少一些可以不位于第一基板 570 上。

[0139] 像素阵列 574 示意性地示出与像素阵列 576 和 572 分离的配置,其中像素阵列 574 大约覆盖第一基板 570 的一半。像素阵列 572 示意性地示出与像素阵列 576 和 574 分离的配置,其中该像素阵列 572 覆盖第一基板 570 的绝大部分。应当从上述讨论明白的是,优化过程可以允许找到提供最佳可能的图像和图像质量的像素阵列大小,同时在由应用、功能或目的所规定的约束之内进行工作。因此,甚至在成像传感器具有固定第一基板尺寸的应用中,由位于第一基板上的像素阵列占据的表面区域的百分比可以不同并且覆盖第一基板上可用的总表面区域的许多不同百分比。

[0140] 因此,应当明白的是,像素阵列可以占据的表面区域可以落入第一基板的一个表面的总表面区域的大约 25% 到大约 99% 的范围之内,或者可以落入第一基板的一个表面的总表面区域的大约 40% 到大约 99% 的范围之内,或者可以落入第一基板的一个表面的总表面区域的大约 50% 到大约 99% 的范围之内,或者可以落入第一基板的一个表面的总表面区域的大约 60% 到大约 99% 的范围之内,或者可以落入第一基板的一个表面的总表面区域的大约 70% 到大约 99% 的范围之内,或者可以落入第一基板的一个表面的总表面区域的大约 80% 到大约 99% 的范围之内,或者可以落入第一基板的一个表面的总表面区域的大约 90% 到大约 99% 的范围之内。应当明白的是,落入所声明范围之内的所有百分比旨在落入到本公开的范围之内。还将明白的是,落入到第一基板的一个表面的总表面区域的大约 25% 到大约 99% 的范围之内所有子范围旨在落入本公开的范围之内。

[0141] 由于背面照明的像素阵列的性质,上文所讨论的基板表面可以与包括背面照明的像素阵列的图像传感器无关。因此,在背面照明的应用中,基板表面可以被去除或者与像素阵列整体集成。

[0142] 像素阵列覆盖或表面区域可以落入像素阵列所处的基板的总表面区域的大于 40% 到大约 70% 的范围之内,并且在该情况中,可以在不减小图像传感器的设计的情况下将某些支持电路放置在基板上。在一个实施例中,光发射电路可以占据第一基板上的一些空间以在使用期间提供光亮。对于,尺寸是极其紧密的并且被最紧密地约束的许多应用,最优化的成像传感器可以覆盖第一基板的表面区域的 90% 或者更多直到基本上所有区域。应当注意的是,在本公开的范围之内设想具有集成的基板而不是被添加到基板的像素阵列。

[0143] 图 7 示出具有多个像素阵列的成像传感器的实施例。如图所示,图像传感器 700 可以包括第一图像传感器 710 和第二图像传感器 711,其中,第一图像传感器 710 和第二图像传感器 711 与基板 715 或可以被纵向地堆叠或者否则被关于待成像物体堆叠的多个基板电通信。在一个实施例中,支持电路可以远距离地位于上文所讨论的后续基板或支持基板上。对于可能在使用期间偏置两个像素阵列的三维图像获取而言,可能需要该配置。在另一个实施例中,第一像素阵列和第二像素阵列可以专用于接收电磁辐射的预先确定的波长范围,其中第一像素阵列与第二像素阵列相比专用于电磁辐射的不同波长范围。

[0144] 图 14 和图 15 示出用于从具有用于位于一个或多个第二基板或支持基板 1554(见图 14)上的图像传感器 1500 的支持电路 1510 的第一基板 1552(见图 15)上已被优化的像素阵列 1510 的数据的实施例,它们可以被配置成堆叠的配置(结合图 14 和图 15)。如图所示,像素阵列 1510 可以放置在第一基板 1552 上并且可以电连接到支持电路 1520,该支持电

路 1520 可以位于具有一个或多个互连 1521 的一个或多个后续基板或支持基板 1554 上(见图 14)。在图 14 和图 15 所示出的实施例中,像素阵列 1510 可以包括多个像素列 1550a-f。像素列 1550a-f 中的每个像素列可以包括多个单独的像素,并且可以通过对应的像素列总线 1551 读取像素列 1550a-f。应当明白的是,可以在整个像素阵列 1510 之内,每个像素列 1550 具有一个读取总线 1551。应当注意的是,可以将多个单独的像素 1526 形成在用于表示或者限定像素阵列 1510 之内的单独像素 1526 的位置的列(y 轴)和行(x 轴)中。

[0145] 如图所示,多个像素列读取总线 1551 中的每个像素列读取总线可以给预先确定的或限定的像素列 1550 (例如,图 15 中的 1550a、1550b、1550c、1550d、1550e 和 1550f) 提供电连接。在这个实施例中,可以将从预先确定的或限定的像素列(例如,1550a) 之内像素 1526 收集的数据经由电路列读取总线 1516 (见图 14) 和 / 或通过一个或多个互连 1521 传输到位于一个或多个第二后续基板或支持基板 1554 上的支持电路 1520。电路 1520 可以位于支持基板 1554 的任意一侧,并且可以通过设置在基板材料中并且穿过基板的过孔来助于电接触。后续基板 1554 可以包括多个电路列,每个电路列包括多个电路 1520 和用于电连接在图像传感器 1500 之内的电路列之内的各种电路 1520 的总线 1516。应当注意的是,在图中已经通过相对于像素列 1550a-f 错开互连 1521 来增加可以用于将像素列总线 1551 连接到电路列总线 1516 的互连 1521 之间的间隔。基板 1554 上所示出的虚线示出与由第一基板 1552 上的像素列 1550 所消耗的区域对应的基板上的区域。

[0146] 在一个实施例中,可能期望设计这样的图像传感器 1500,其中,在该图像传感器中用于任何给定的像素列 1550 的支持电路 1520 被放置在位于第二基板上的对应的区域之内。应当注意的是,在一个实施例中,每个像素列或区域 1550 可以使用一个或多个专用支持电路 1520,从而每个像素区域 1550a-1550f 具有至少一个支持电路 1520 专用于仅处理由专用于支持电路的像素列 1550a-1550f 所表示的该预先确定的或限定的像素列之内的像素 1526 产生的数据。例如,每个像素列区域 1550a-1550f 可以具有专用模数转换电路,该专用模数转换电路用于转换从相关联的像素列 1550 之内的相关联的像素 1526 读取的模拟数据。专用电路的该密切和直接关联可以用于简化图像传感器 1500 之内的数字信号处理,由此极大地简化图像传感器 1500 之内的定时和序列化处理。该特征还可以用于控制图像传感器 1500 之内的热量生产和能量消耗。

[0147] 主要参照图 16,该图示出具有读取总线配置的多基板图像传感器 1600。如图所示,基板 1652 可以包括像素阵列 1610 并且可以通过多个像素列读取总线电连接到支持基板 1654 和 1656。可以通过将支持电路放置在一个或多个后续基板 1654 和 1656 上来极大地简化图像传感器架构。后续基板 1654 和 1656 可以紧靠第一基板 1652,但是在第一基板 1652 之后。支持电路 1622 和 1663 可以位于后续基板 1654 和 1656 上,以便允许在所示纵向配置允许堆叠基板。经过基板的过孔可以用于允许经过任何基板的前后通信。堆叠中的第二基板 1654 可以包括次级电路,该次级电路专用于位于第一基板 1652 上的像素列 1650 并且与该像素列 1650 电连接。第三基板 1654 可以包括额外的数据处理电路 1663,该额外的数据处理电路可以专用于第二基板上的支持电路 1622,并且可以用于处理来自第二基板的多个支持电路的数据。应当注意的是,第三基板 1656 上的电路 1663 可以专用于第一基板 1652 上的具体像素列 1650,或者可以专用于处理来自多个像素列 1650 的数据。换言之,位于第三基板 1656 上的电路 1663 可以与第二基板 1654 上的具体电路 1622 或者第一基板

1652 上的具体像素列 1650 直接地对应。应当注意的是,每个基板可以包括电连接所有基板上的电路的至少一个总线。因此,可以叠加每个基板的总线 1623a-1623c,从而设置在基板之间的互连 1621 导致总线 1623a-1623c 之间的电连接。

[0148] 如图所示,通过像素列 1650 或总线系统 1623a-1623c 之内的一个或多个战略性地放置的互连 1621 的布置,第一基板 1652 上的像素列 1650 可以通过直接像素列读取来电连接到位于一个或多个支持基板 1654、1656 上的支持电路。组成图像传感器 1600 的多个基板 1652、1654、1656 中的每个基板可以分别地包括该基板自己的总线或总线系统 1623a、1623b 和 1623c。因此,将总线 1623 中的每一个总线连接到一起以形成从一个基板层到下一个基板层的总线骨架系统 1630 是有利的。例如,包括如本文所公开的已优化的像素阵列 1610 的第一基板 1652 可以通过使用位于预先确定的或限定的像素列 1650 之内的互连 1621 和可以位于沿着叠加总线系统 1623 的路径的任何地方的互连 1621,连接到位于第二后续基板 1654 的支持电路 1622。

[0149] 如所示出的,第一互连 1621a 可以用于将第一像素列 1650 和像素列总线 1623a 直接地连接到位于第二基板 1654 上的第二总线或总线系统 1623b 和支持电路 1622,同时第二互连 1621b 可以用于将位于第二基板 1654 上的第二总线或总线系统 1623b 连接到位于第三基板 1656 上的第三总线 1623c。此外如图 16 所示,总线骨架系统 1630 可以被延伸超过第一基板 1652 和第二基板 1654,并且可以继续,并且将第二基板 1654 电连接到第三基板 1656 等等直到已经通过总线骨架系统 1630 电连接所有的基板为止。位于第二基板 1654 上的总线 1623b 可以连接到可能位于第三基板 1656 上的第三总线 1623c 等等直到所有基板已经被电连接到一起。因此,预先确定的或限定的像素列 1650 可以通过位于多个基板上的各自的总线 1623a-1623c 与可以远距离地位于第二基板 1654 上的支持电路 1622 或可以远距离地位于第三基板 1656 上的支持电路 1663 进行电通信。

[0150] 应当注意的是,因为单个互连 1621 可以用于读取包括多个像素的列 1650,所以互连间隔或间距可以远大于像素阵列 1610 的像素间距。

[0151] 在使用期间,必须由支持电路处理由像素阵列上的单独像素创建的数据,因而每个像素 1726 必须电连接到第二基板 1754 上的支持电路 1770。理想地可以同时读取每个像素,由此创建全局快门。现在参照图 17a,应当明白的是,读取来自作为全局快门的成像装置的数据的能力需要每个像素 1726 存在一个互连 1724,由于在制造公差中的凸块间距,所以这在实践中难以实现。图 17b 示出像素 1726 已经组成列 1728 并且凸块间距要求在水平方向保持相同的情况。对于接近该尺寸的像素来说,需要大约 5mm 的凸块间距,然而使用三维堆叠技术和本文所公开的互连错开可以在实际生产中允许大约 20mm 到大约 200mm 的凸块间距。因此,同样使用三维堆叠技术的超高帧率卷帘型快门可以被认为实质性改进。在卷帘快门的情况中,每个像素列 1728 仅需要一个互连 / 凸块 1724 而不是每个像素 1726 需要一个互连 / 凸块 1724。

[0152] 图 17a 示出每个像素列 1726 使用一个凸块 1724 的凸块配置或方案,这近似于全局快门操作。在该配置中,凸块间距在 X 和 Y 轴或方向中都等于或基本上等于像素间距。

[0153] 图 17b 示出每个像素列 1728 使用一个互连 / 凸块 1724 的凸块配置或方案。该配置可以用在卷帘快门操作中。与图 17a 的仅在纵向中的凸块间距相比,该凸块间距或方案更宽松。然而,应当注意的是,在该配置中,仍然要求凸块间距与像素间距在一个方向或维

度至少相同。图 17b 示出多个列 1728, 其中每个列 1728 包括多个像素 1726。每个像素列可以在 Y 方向(y 轴)延伸一小段并且可以为如所示出的一个像素宽度。可以通过在每个列 1728 的一个末端的单个连接点读取每个像素列。尽管该配置简化了芯片结构, 但是必须仍然维持紧密的公差, 因为像素之间的横向(水平)距离继续限制凸块(互连)间距, 这是因为互连必须不与邻近的互连接触并且必须被相应地设置尺寸。

[0154] 图 17c 示出凸块配置, 该凸块配置比图 17a 或图 17b 所示出的凸块配置甚至更宽松。在该图中, 凸块间距是宽松的, 并且可以通过在列 1728 的交替末端和相反末端增加或者引入第二互连集合 1724 来在像素阵列 1710 的每侧处理互连 / 凸块 1724 的一半。如图 17c 所示, 第二互连集合可以与第一互连集合结合地使用, 并且可以用于允许在像素阵列 1710 的每侧处理或者读取数据的一半。与在至少一个维度中的像素间隔相比, 该配置可以允许几乎双倍的凸块间隔(互连)尺寸, 这将极大地减少生产图像传感器 1700 的成本。在一个实施例中, 每个像素列 1728 可以使用多个互连或凸块 1724, 从而可以从像素列 1728 的每个末端读取数据。

[0155] 图 18a- 图 18f 示出具有位于基板 / 芯片上的错开的互连或凸块 1824 的像素阵列 1810 的实施例和配置。如上所示的, 因为每个像素列 1828 有一个读取总线并且每个电路列有一个读取总线, 并且因为读取总线从列的顶部延伸到列的底部, 互连 / 凸块 1824 可以位于在列之内沿着总线的叠加路径的任何地方。为了放宽凸块间距, 可以从列到列通过在下一列中(在 Y 方向)或向上地或向下地移动下一列凸块 1824 来增加凸块距离。

[0156] 例如, 应当明白的是, 像素间距可以为大约 5mm 并且像素列可以为任意长度, 例如在大约 2mm 到大约 15mm 之间的长度。应当注意的是, 凸块间距取决于像素间距, 从而像素间距将决定理想的凸块间距。例如, 假设期望的凸块间距大约 100mm, 然后可以通过在第一列的顶部开始并且将下一列互连或凸块向下移动 100mm, 完成放置第一互连或凸块 1824。类似地放置所有其他凸块直到线路的第 20 列中的互连或凸块将位于像素列的底部为止。在此时, 第 21 列中的互连或凸块可以再次位于像素列的顶部。然后可以重复该相同模式直到像素阵列的末端为止。可以由 20 列 \times 5mm=100mm 水平地分离互连或凸块。在该实例中, 虽然像素间距为大约 5mm, 但是随后将由超过 100mm 分离所有的凸块。随后可以为了生产量的目的在像素列中引入冗余度。例如, 可以将所有列中的凸块翻倍(即, 两个读取总线由 2 个互连或凸块附接)。该技术将极大地增加堆叠的生产量并且降低整个工艺的成本。

[0157] 如图 18a 所示, 可以经由第一互连 1824a 电气地接入像素 1826 的第一列 1828。在一个实施例中, 可以通过第二互连 1824b 电气地接入第二像素列 1830, 其中, 该第二互连 1824b 在制造期间被放置成相对于所述第一互连 1824a 的错开的配置。如图所示, 第二互连 1824b 的位置和定位可以在 X 和 Y 维度或方向都远离第一互连 1824b (并且远离任何其他互连 1824)的位置至少两个像素宽度。可以随后将第三互连 1824c 以类似的方式放置在第三像素列中, 针对像素阵列 1810 上的 N 个数量的互连 1824 以此类推。该配置提供是像素间距的至少三倍的互连间距。应当明白的是, 在标准条件下, 互连间距中的增加可以大于像素间距的三倍。然而, 应当明白的是, 互连间距中的增加可以是上文所示的像素间距的至少三倍。

[0158] 同样地, 可以用基于区域的间隔而不是基于逐列的连接来实现较大的互连增加(见图和关于图 3m、图 3n 和图 3u 的讨论, 该讨论示出像素列长宽比 6/1 和电路列长宽比 6/1

(针对图 3m) 和 3/2 (针对图 3n), 和像素列长宽比 8/1 和电路列长宽比 2/4 (针对图 3u))。这可以用附加更多总线结构或直接读取到后续基板的使用来实现。在任何一个配置中, 互连间距可以因此被描述为如下:

$$[0159] \quad \text{Interconnect_Pitch} = \sqrt{(N * \text{PixelPitch}_x)^2 + (M * \text{PixelPitch}_y)^2}$$

[0160] 其中, N 是在 X 方向中两个邻近的互连之间的像素的数量, 并且 M 是在 Y 方向中两个邻近的互连之间的像素的数量。应当明白的是, 多个互连中的每个互连可以是这样一种凸块, 其中, 该凸块的凸块到凸块的距离可以大于两个像素宽度或者大于四个像素宽度或者大于八个像素宽度。

[0161] 在许多应用中, X 方向中的 N× 像素间距将等于 Y 方向中的 M× 像素间距。如图 18b- 图 18f 所示, 通过额外的迭代来外推的上述过程, 可以容纳或者设计较大的像素阵列 1810。图 18b 示出叠加的硅基板堆叠。在该附图中, 包括像素阵列的第一基板 1852 被示出为覆盖在包括支持电路的支持基板 1854 的顶部上。为了简单和讨论起见, 以虚线形式描述并且标记针对第一像素列 1881 的可用于放置支持电路的区域的轮廓。应当明白的是, 电路列的实际区域不由虚线表示, 而是可以大于、小于或等于像素列的区域。如上所讨论的, 支持电路区域直接相互关联与支持电路区域对应的像素列区域。每个像素列可以为一个像素宽与六十四像素长, 并且可以具有从像素列的顶部延伸到底部的一个读取总线。在图 18b 中, 如图中的加粗的纵向线示出的可用于支持电路放置的区域可以等于一个像素单元宽乘以六十四像素单元长。因此, 图 18b 中的基板之间的互连 1824 必须落入六十四像素单元区域之内的某个地方, 以便读取那个列, 这是因为沿着六十四像素的路径叠加像素列读取总线 and 电路列读取总线, 从而可以沿着那些六十四像素的任何地方放置互连 1824 以连接读取总线。

[0162] 此外, 因为互连可以仅发生在像素列读取总线和支持电路读取总线叠加的地方, 所以为了读取对应的像素列, 互连范围是 1 个像素宽和 64 个像素长 (针对该实例), 这是像素列和要连接的支持电路之间的交点。

[0163] 应当注意的是, 图 18b 中的支持电路区域的示例性长宽比示出为 1/64。在那个区域之内存在用于定位或者放置互连 1824 的多个选项, 并且随后可以由设计者选择最终的位置从而允许从互连到互连之间的期望间隔。例如, 如图 18b- 图 18f 中最佳示出的, 应当理解的是, 在互连或凸块 1824 被错开的配置的实施例中, 每个像素组 1826 可以有一个互连或凸块 1824。

[0164] 此外, 应当注意的是, 可以取决于期望的应用来利用各种读取总线架构。如上文所讨论的, 可以使用较大的专用支持电路来处理通过每个互连 1824 所读取的数据。错开每个互连 / 凸块 1824 的位置还可以为支持电路提供相对于像素阵列 1810 之内每个区域或像素组的甚至更大的空间。

[0165] 还应当注意的是, 针对基于相同的传感器, 已经用如图 18b 到图 18f 中所示出的不同支持电路的长宽比来找到多个最佳的错开配置。可以通过改变像素列和支持电路之间的交点的范围之内的互连的位置和支持电路到每个像素列的分配模式来找到最佳的配置。还应当注意的是, 图 18b 到图 18f 中所示出的所有互连彼此距离超过 7 个像素。

[0166] 在图 18c 中, 如图中的加粗的纵向线示出的可用于支持电路放置的区域可以等于

两个像素单元宽乘以三十二个像素单元长。因此,基板 1852 和基板 1854 之间的互连必须落入六十四个像素单元区域中的某个地方,以便读取那个列。还应当注意的是,在该实例中的支持电路区域的长宽比为 2/32。每个像素列是或者可以是一个像素宽和六十四个像素长并且可以具有从像素列的顶部延伸到底部的一个读取总线。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。此外,因为互连可以仅位于像素列读取总线和支持电路读取总线叠加的地方,所以为了读取对应的像素列,互连范围可以是一个像素宽和三十二个像素长(针对该实例),这是连接的像素列和支持电路之间的交点。

[0167] 在图 18d 中,如图中的加粗的纵向线示出的可用于支持电路放置的区域可以等于四个像素单元宽乘以十六个像素单元长。因此,基板之间的互连必须落入六十四个像素单元区域中的某个地方,以便读取对应的像素列。应当注意的是,在该实例中的支持电路区域的长宽比为 4/16。每个像素列是或者可以是一个像素宽和六十四个像素长并且可以具有从像素列的顶部延伸到底部的一个读取总线。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。

[0168] 此外,因为互连仅可以位于像素列读取总线和支持电路读取总线叠加的地方,为了读取对应的像素列,互连范围可以是一个像素宽和十六个像素长(针对该实例),这是连接的像素列和支持电路之间的交点。

[0169] 在图 18e 中,如图中的加粗的纵向线示出的可用于支持电路放置的区域可以等于八个像素单元宽乘以八个像素单元长。因此,基板 1852 和基板 1854 之间的互连 1824 必须落入六十四个像素单元区域中的某个地方,以便读取对应的像素列。应当注意的是,在该实例中的支持电路区域的长宽比为 8/8。每个像素列是或者可以是一个像素宽和六十四个像素长并且可以具有从像素列的顶部延伸到底部的一个读取总线。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。

[0170] 此外,因为互连仅可以位于像素列读取总线和支持电路读取总线叠加的地方,为了读取对应的像素列,互连范围可以是一个像素宽和八个像素长(针对该实例),这是连接的像素列和支持电路之间的交点。

[0171] 在图 18f 中,如图中的加粗的纵向线示出的可用于支持电路放置的区域可以等于十六个像素单元宽乘以四个像素单元长。因此,基板之间的互连必须落入六十四个像素单元区域中的某个地方,以便读取对应的像素列。应当注意的是,在该实例中的支持电路区域的长宽比为 16/4,该实例示出本文所公开的这些方法和装置可以提供的灵活性。每个像素列是或者可以是一个像素宽和六十四个像素长并且可以具有从像素列的顶部延伸到底部的一个读取总线。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。

[0172] 此外,因为互连仅可以位于像素列读取总线和支持电路读取总线叠加的地方,为了读取对应的像素列,互连范围可以是一个像素宽和四个像素长(针对该实例),这是连接的像素列和支持电路之间的交点。

[0173] 还应当注意的是,支持电路关联到像素列的关联模式可以与图 18b 到图 18f 的支持电路到像素列的关联模式不同,并且该关联可以最终提供彼此远离的互连的最佳距离。例如,互连可以被最佳地放置为至少相距两个像素宽度、相距四个像素宽度、相距八个像素

宽度或者彼此相距更多宽度。设计者可以基于下面的两个自由度来最佳确定互连可以被彼此远离地放置的距离：(1)每个列的像素数量，和(2)电路长宽比和位置。在图 18b- 图 18f 中所示出的实例中，互连 1824 可以被放置为彼此距离大约八个像素。然而，应当理解的是，可以在不脱离本公开的精神或范围的情况下实现其他设计。

[0174] 例如，如图 18b 所示，每个互连 1824 可以被放置为彼此在长度上距离八个像素并且在宽度是距离一个像素。因为每个电路列具有一个像素宽和六十四个像素长的长宽比，然后可以如图 18b 中所示出的，在邻近的列中彼此距离八个像素放置每个互连 1824，直到达到电路 1800 的底部为止，在该情况中，随后将互连 1824 移动到下一列的顶部并且针对像素阵列 1810 的整个宽度继续。相反地，在图 18f 中，互连 1824 仍然被放置为彼此在长度上距离八个像素并且在宽度是距离一个像素。然而，在该实例中，电路列长宽比现在是四个像素长度和十六个像素宽度。因此，对于彼此距离至少八个像素的互连 1824 来说，由于长宽比仅为四个像素长度，所以必须跳过一个电路列 1856b，从而互连 1824 维持最佳的间隔。因此，例如，在图 18f 中的像素阵列的左上角中（在第一列 1828 的第一个像素上）放置互连 1824 并且随后移动到下一个像素列 1830 并且向下计数八个像素长度，然后可以在第三个电路列 1856c 中放置下一个互连 1824，总而言之，跳过第二个电路列 1856b。可以遍及像素阵列使用该模式。然后通过位于第九像素列中的互连 1824a 将第二所跳过的电路列 1856b 连接到像素阵列，并且针对所有跳过的电路列重复该模式。因此，如所示出的，在不脱离本公开的范围的情况下可以实现最佳的互连间隔并且可以适应各种电路设计。

[0175] 往回参照图 7，除了与基板 715 或多个基板进行电通信的第一图像传感器 710 和第二图像传感器 711 之外，示出了具有多个像素阵列的成像传感器的实施例，其中，该多个像素阵列可以被配置为具有本文上文所讨论的错开的互连。对于可能在使用期间偏置两个像素阵列的三维图像获取而言，可能需要该配置。在另一个实施例中，第一像素阵列和第二像素阵列可以专用于接收电磁辐射的预先确定的波长范围，其中第一像素阵列与第二像素阵列相比专用于电磁辐射的不同波长范围。

[0176] 图 19 示出与优化第一基板上的像素阵列有关的设计和测试方法。一个步骤可以是决定成像传感器的制造的可用的公差。然后可以处理设计并且可以针对某个标准确定凸块间距。如果需要可以随后测试、读取和重新设计模拟测试传感器。

[0177] 图 20 示出针对给定的像素区域具有至少一个专用支持电路的实施例。多个专用支持电路 2060a-2060f 可以用在成像装置 2000 中并且可以根据本公开的原理与像素阵列 2010 堆叠。像素阵列 2010 可以包括多个像素区域 2050。多个像素区域中的每个像素区域（例如，2050a-2050f）可以包括至少一个支持电路 2060，该支持电路 2060 专用于仅处理由该支持电路 2060 所投身于的给定的预先确定的或限定的像素区域 2050 之内的多个像素 2026 产生的数据。例如，每个像素区域 2050 可以具有专用模数转换电路，该专用模数转换电路用于转换从来自相关联的像素区域 2050 之内的相关联的像素 2026 读取的模拟数据。该密切和直接关联的专用电路可以用于简化图像传感器之内的数字信号处理，由此极大地简化图像传感器之内的定时和序列化处理。该特征还可以用于控制图像传感器之内的热量生产和能量消耗。

[0178] 在图 21 中，该图示意性地示出用于显示本公开的教导和原理的可伸缩性的大的图像传感器。每个像素列是或者可以是一个像素宽和一百二十八个像素长。注意的是，这

被选择作为用于表示本公开的教导的实例,但是应当注意的是,针对列长度来说,在不脱离本公开的范围的情况下任何数量的像素是可能的并且可以被使用。还应当注意的是,针对列长度来说,像素的数量可以是偶数或者奇数并且不必是 2 的幂。如图所示,如图中的加粗的纵向线示出的可用于支持电路放置的区域可以等于四个像素单元宽乘以十六个像素单元长。因此,基板之间的互连必须落入六十四像素单元区域中的某个地方。此外,因为互连仅可以位于像素列读取总线和支持电路读取总线叠加的地方,为了读取对应的像素列,互连范围可以是一个像素宽和十六个像素长(针对该实例),这是连接的像素列和支持电路之间的交点。应当注意的是,在该实例中的支持电路区域的长宽比为 4/16。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。如附图所示,通过重复本文的公开的方法,甚至最新的成像传感器技术可用于这些方法。还应当注意的是,针对任何给定的像素列可以存在多个互连(2516 和 2518),从而允许针对大的阵列配置的更多灵活性(例如,像素列平行处理)。

[0179] 在图 22 中,该图示意性地示出用于显示本公开的教导和原理的可伸缩性的大的图像传感器。每个像素列是或者可以是一个像素宽和一百二十八个像素长。注意的是,这被选择作为用于表示本公开的教导的实例,但是应当注意的是,针对列长度来说,可以在不脱离本公开的范围的情况下任何数量的像素是可能的并且被使用。还应当注意的是,针对列长度来说,像素的数量可以是偶数或者奇数并且不必是 2 的幂。如图所示,如图中的加粗的纵向线示出的可用于支持电路放置的区域可以等于两个像素单元宽乘以三十二个像素单元长。因此,基板之间的互连必须落入六十四像素单元区域中的某个地方。此外,因为互连仅可以位于像素列读取总线和支持电路读取总线叠加的地方,以便读取对应的像素列,互连范围可以是一个像素宽和十六个像素长(针对该实例),这是连接的像素列和支持电路之间的交点。还应当注意的是,支持电路区域的长宽比为 2/32。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。如附图所示,通过重复本文的公开的方法,甚至最新的成像传感器技术可用于这些方法。还应当注意的是,针对任何给定的像素列可以存在多个互连(2616 和 2618),从而允许针对大的阵列配置的更多灵活性(例如,像素列平行处理)。应当注意的是,图 21 和图 22 表示相同的像素阵列,两幅图之间的唯一不同在于支持电路的长宽比已经改变(即图 21 中的长宽比 4/16 并且图 22 中的长宽比 2/32)。

[0180] 现在参照图 23,将讨论具有列和子列的像素阵列 2310。如图 23 所示,示出其中具有六列的像素阵列 2310 的一部分,每个列被示出从像素阵列的一部分的顶部延伸到像素阵列的底部。应当明白的是,新电路 2300 将具有像素阵列 2310,其中,该像素阵列 2310 包括用于形成该阵列 2310 的更多的像素列(在附图中在 Y 方向延伸的多个像素)和行(在附图中在 X 方向延伸的多个像素)。为说明性目的和为了讨论和简单起见,本文仅示出有限数量的像素列和行。

[0181] 像素阵列 2310 中的每个像素列 2328 可以被分成子列。子列可以被限定为小于整个像素列的列之内的多个像素并且子列电连接到像素子列总线。因此,每个像素列 2328 可以存在多个像素子列。每个子列可以具有如 2351、2352、2353 和 2354 所示出的接触垫片和/或互连以将第一基板上的每个子列总线电连接到位于支持基板上的相关联的或对应的电路列总线。

[0182] 至少一个像素列总线可以用于提供列 2328 中的每个像素的电连接。列 2328 可以被分成多个子列,其中,每个像素子列存在至少一个像素子列总线。每个子列总线可以由分隔器 2362、2363、2364 进行区分,分隔器可以是物理空间或间隙或者用于将像素子列和 / 或子列总线与另一个子列和 / 或子列总线电隔离的其他装置。在使用期间,可以以卷帘类型快门方式读取来自像素的数据,即从(如图 23 中的四个子列所示出的)每个子列中的每个像素行基本上同时地。在该配置中,可以由于经由像素子列读取总线和电路列读取总线来连接到专用电路列的大量子列以及用于将总线电连接在一起的互连而基本上减少读取时间。因此,该大量子列总线理论上可以针对整个列(该列在图 23 中包括四个子列)减少所示出的实施例中的读取时间(即增加读取速度)。在图 23 中,存在四个子列和子列总线,从而读取时间减少了 75%(速度增加了四倍)。应当明白的是,不论子列的数量或配置怎样,卷帘快门可以与其他子列同时地在每个子列的开始处逐行地进行操作,递增地读取子列中的每个像素直到该子列的末端(从位于 2351、2352、2353、2354 的像素行处开始同时读取像素行)。

[0183] 在其他实施例中,列可以被分成任何数量的子列,列的每个划分(例如,增加子列)接近全局快门功能。如图所示,可以在每个列中错开接触垫片和互连位置。如图所示,来自标记为“A”的列的互连与来自标记为“B”的列中的互连。对于 N 个列来说,子列的迭代和互连错开是可能的。

[0184] 现在参照图 24 到图 26c,示出在具有子列读取功能和远距离放置的支持电路的多个基板上建立的成像传感器 2400 的实施例的各种视图。图 24 和图 26 示出在第一基板 2410、2610 上形成像素阵列 2450、2650 的多个像素列 2452 和 2652 和在第二基板 2411、2611 上的多个电路列 2456、2656 (该电路列表示支持电路 2470、2670)。

[0185] 如图 24 和图 24c 所示,像素阵列 2450 可以被分成多个列和子列 2452。列和子列的尺寸例如可以基于相关联的电路 2470 和电路列 2456 的尺寸。例如,像素子列 2452 可以为一个像素宽和“N”个像素长(在图 24- 图 24c 中,像素子列被示出为一个像素宽和六个像素长)并且电路列 2456 被示出为具有一个像素宽乘以六个像素长的长宽比。应当理解的是,电路列 2456 的尺寸和面积规定并且指导像素子列 2452 的尺寸,因为像素子列 2452 应当具有基本上与电路列 2456 相同的面积。像素子列 2452 可以通过用于将像素读取总线 2430 电连接到电路读取总线 2440 的互连 2424 之间的电连接直接与电路列 2456 相关联。这些附图示出每个像素子列 2452 通过读取总线 2430 和 2440 连接到该像素子列在电路列 2456 中的关联电路 2470 的实例。

[0186] 这些附图还示出每个子列 2452 有一个读取总线 2430 并且每个电路列 2456 有一个读取总线 2440。在该实施例中,电路列 2456 中的相关联电路 2470 是一个像素宽和六个像素长,但是应当理解的是,本公开可以使用任何电路列长宽比。如图 24- 图 24c 所示,这些列都已经被分成两个子列 2487、2488。因此,像素列读取总线 2430 可以被制造成对应的像素子列读取总线 2430a 和 2430b。像素子列 2487、2488 中的每一个可以首先连接到像素列总线 2430a 或 2430b 并且随后连接到支持电路 2470 和电路列 2456,或者子列 2487、2488 中的每一个可以通过它们自己的互连 2424a 和 2424b 分别直接地连接到电路 2470 和电路列 2456 并且连接到相关联的电路总线 2440a 和 2440b。

[0187] 如上本文所示,每个像素子列 3452 可以电气地关联或者连接到一个像素子列总线 2430,并且每个电路列 2456 可以电气地关联或者连接到一个电路列总线 2440。图

24a-图 24c 分别示出单个像素列 2452 的透视图、正视图和侧视图,其中,像素列 2452 已经分成与图 24 中示出的多个像素列 2452 和多个电路 2456 分离的子列 2487、2488 和两个相关联电路列 2456。如图 24a-图 24c 所示,每个像素列有两个读取总线 2430a、2430b,其由此将列分成两个子列。两个支持电路(每个像素子列读取总线一个支持电路)。在该配置中,电路列的长宽比为 6/1,像素子列的长宽比也为 6/1,并且整个像素列的长宽比为 12/1。

[0188] 图 24a-图 24c 还进一步示出在像素子列 2487、2488 的像素子列总线 2430a 和 2430b 与电路列 2456 之间对每个子列连接使用一个或多个互连 2424 的电连接。虽然可以使用一个或多个互连 2424 来电连接像素子总线 2430a 和 2430b 和总线 2440a 和 2440b,但是这些附图示出互连 2424 可以在不脱离本公开的精神和范围的情况下位于沿着像素子总线 2430a 和 2430b 与总线 2440 的叠加路径的任何地方。

[0189] 图 25 和图 25a 示出像素列已经被分成多个子列的可替选的实施例,每个子列具有它们自己的总线。然而,子列被示出为通过它们单个总线连接到单独的电路列。

[0190] 类似于图 24-图 24c,图 26-图 26c 示出被分成多个列和子列 2652 的像素阵列 2650。列和子列的尺寸可以例如基于相关联电路 2670 和电路列 2656 的尺寸。例如,像素子列 2652 可以为一个像素宽和“N”个像素长(在图 26-图 26c 中,像素子列被示出为一个像素宽和六个像素长,然而,整个列被示出为一个像素宽和十二个像素长)并且电路列 2656 被示出为具有两个像素宽乘以三个像素长的长宽比。应当理解的是,电路列 2656 的尺寸和面积可以规定并且指导像素子列 2652 的尺寸,因为像素子列 2652 应当具有基本上与电路列 2656 相同的面积。像素子列 2652 可以通过互连 2624 之间的电连接直接与电路列 2656 相关联,其中,互连 2624 将像素读取总线 2630 电连接到电路读取总线 2640。这些附图示出每个像素子列 2652 通过读取总线 2630 和 2640 连接到该像素子列在电路列 2656 中关联电路 2670 的实例。

[0191] 附图还示出每个像素子列 2652 有一个读取总线 2630 并且每个电路列 2656 有一个读取总线 2640。在该实施例中,电路列 2656 中的相关联电路 2670 是两个像素宽和三个像素长,但是应当理解的是,本公开可以使用任何电路列长宽比。如图 26-图 26c 所示,这些列都已经被分成两个子列 2687、2688。因此,像素列读取总线 2630 可以被制造成对应的像素子列读取总线 2630a 和 2630b。每个像素子列 2687、2688 可以首先连接到像素列总线 2630a 或 2630b 并且随后连接到支持电路 2670 和电路列 2656,或者每个子列 2687、2688 可以通过它们自己的互连 2624a 和 2624b 分别直接地连接到电路 2670 和电路列 2656 并且连接到相关联的电路总线 2640a 和 2640b。

[0192] 如上文所示,每个像素子列 2652 可以电气地关联或者连接到一个像素子列总线 2630,并且每个电路列 2656 可以电气地关联或者连接到一个电路列总线 2640。图 26a-图 26c 分别示出单个像素列 2652 的透视图、正视图和侧视图,其中,像素列 2652 已经分成图 26 中示出多个像素列 2652 和多个电路 2656 分离的子列 2687、2688 和两个相关联电路列 2656。如图 26a-图 26c 所示,整个像素列存在两个读取总线。然而,如所示出的两个读取总线 2630a、2630b 的出现被示出为彼此不电连接的、分开并且不同的总线,从而存在将列隔成两个子列的间隔或分隔器(如上述涉及图 11 中讨论的)。因此,还可以存在两个支持电路和电路列读取总线(每个像素子列读取总线一个支持电路和电路列总线)。在该配置中,电路列的长宽比为 3/2,像素子列的长宽比也为 6/1,并且整个像素列的长宽比为 12/1。

[0193] 图 26a-图 26c 进一步示出在像素子列 2687、2688 的像素子列总线 2630a 和 2630b 与电路列 2656 之间使用每个子列连接一个或多个互连 2624 的电连接。虽然可以使用一个或多个互连 2624 电连接像素子总线 2630a 和 2630b 和电路列总线 2640a 和 2640b,但是附图示出互连 2624 可以在不脱离本公开的精神和范围的情况下位于沿着像素子总线 2630a 和 2630b 与电路列总线 2640 的叠加路径的任何地方。

[0194] 图 26-图 26c 还示出基板之间的长宽比不同可以如何允许总线接触点中的灵活性。在一个实施例中,列电路总线 2640 已经被设计成通用 Au@ 形状,以更均匀地占据电路列 2656 的区域,由此提供遍及整个电路列 2656 用于连接互连 2624 的选项。注意像素列总线 2630 不是大体上 U 形的,但是电路列总线 2640 可以为大体上 U 形的,从而可以将相同的列电路 2656 用于两种邻近的、但不同的像素列配置。U 形的电路列总线 2640a 和 2640b 的第一分叉可以被叠加到像素子列 2687 和 2688 的读取总线 2630a 和 2630b (如图 26a 所示)。位于电路列总线 2640a 和 2640b 之间的 U 形的电路列总线 2642 的第二分叉可以被叠加到下一个、邻近的像素列 2652 的读取总线 2630 (如图 26 中最佳所示出的)。图 26a-图 26c 示出从图 26 的像素阵列 2650 中取出的单个像素子列集合 2687 和 2688。应当注意的是,因为电路列 2656 的长宽比被示出为两个像素宽乘以三个像素长,其是对应的像素子列 2687 和 2688 的长度的一半,并且互连 2624 位置选项仅为可用于像素子列长度的部分。

[0195] 图 26b 示出,对于复杂的总线形状,沿着电路列 2656 中的总线 2640a 和 2640b 可以存在两条互连位置路径选项,其中,电路列 2656 的宽度为电路列 2656 所支持的像素子列 2687 和 2688 宽度的两倍。图 26b 示出 U 形的电路列总线 2640b 的第一分叉到像素子列 2688 的读取总线 2630b 的叠加的正视图,并且与如图 26 和图 26a 所示的总线 2640b 的最内层部分相反,使用总线 2640b 的最外层部分来放置互连 321,以便将互连 321 到放置到下一个相邻像素列 2652。

[0196] 图 26 示出位于图 26a-图 26c 中所示出的像素子列 2687 和 2688 的左边并且相对于该像素子列 2687 和 2688 的下一个像素子列 2652。图 26 中所示出的下一个像素子列 2652 的总线 2630 可以电连接到如所示出的可以位于电路总线 2640a 和 2640b 之间的不同的电路总线 2642。应当注意的是,因为电路列 2656 的覆盖区具有 2 个像素宽乘以 3 个像素长的长宽比,所以将像素子列总线 2630 叠加到电路列总线 2642 需要大体上 U 形的电路列总线 2642 的第二分叉,以由此允许总线 2642 关于图 26 中示出的下一个像素子列 2652 和该像素子列对应的总线(关于子列 2687)的自然匹配或者叠加。

[0197] 图 27 示出在基板/芯片上具有错开的互连或凸块 2724 定位和子列的像素阵列 1810 的实施例和配置。如上所示,因为每个像素列 2728 (或子列)有一个读取总线并且每个电路列有一个读取总线,并且因为读取总线从列的顶部延伸到列的底部,并且因为像素列可以被分成子列,每个子列具有它们自己的像素列总线,所以互连/凸块 2724 可以位于沿着子列总线和电路列总线的叠加路径的任何地方。在附图中,分隔器 2766 可以是物理空间或间隙或者用于将像素子列和/或子列总线与另一个子列和/或子列总线电隔离的某些其他装置,该分隔器可以将像素列总线分成像素子列总线。

[0198] 如图 27 所示,像素 2726 的第一子列 2728a 可以经由第一互连 2724a 电连接到该第一子列对应的电路列 2756,其中,该第一互连 2724a 连接到总线 2730 和 2740,并且第二子列 2728b 由第二互连 2724b 以类似的方式电连接。在一个实施例中,可以通过第二子列

互连集合电气地接入第二像素列,其中该第二子列互连集合已经在制造期间在子列配置中相对于所述第一列互连被定位。如所示出的,第二互连的位置或定位可以在 X 和 Y 维度或方向与第一互连的定位相距两个像素宽度。第三互连集合可以后续以类似方式定位在第三像素列中并且针对像素阵列 2710 上 N 个互连集合以此类推。

[0199] 图 28 示出被配置为使得每个列分成两个子列并且随后错开的像素阵列。可用于放置第一像素列 2881 的支持电路的区域与上述所描述的像素子列配置相互关联。如上面进一步讨论的,支持电路区域直接地与该支持电路区域对应的像素列区域相互关联。在图 28 中,如图中的加粗的纵向线示出可用于支持电路放置的区域可以等于一个像素单元宽乘以六十四个像素单元长。此外,每个电路列可以与子列中的一个子列相互关联,或者可替换的,电路列还可以以与像素列对应的方式相互关联。

[0200] 应当注意的是,图 28 中的支持电路区域的示例性的长宽比被示出为 1/64。在那个区域之内存在定位或者放置子列的互连的多个选项,并且随后可以由设计者选择最终的位置从而允许从互连到互连之间的期望间隔。

[0201] 图 29 示出显示本公开的教导和原理的可伸缩性的示意性地大的图像传感器。如图所示,可用于支持电路放置的区域可以等于四个像素单元宽乘以十六个像素单元长,其如图中的加粗的纵向线示出的。如所示出的,每个用于表示像素子列的像素列可以有多个互连 2916 和 2918,从而允许用于大的阵列配置的更多子列功能。因此,基板之间的互连必须落入子列像素单元区域中的某个地方,以便读取对应的像素列。应当注意的是,在该实例中的支持电路区域的长宽比为 4/16,子列长宽比为 1/64 并且像素列为 1/128。因此,每个像素列存在像素子列。在该实例中,如果不划分该阵列,则帧读取时间(一个卷帘周期)是划分该阵列的帧读取时间的一半。同时存在两个行地址。整个像素阵列可以作为两个独立的、自我一致的子阵列。该实施例为自身适用于支持直接对应像素子列的支持电路。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。如附图所示,通过重复本公开的方法,甚至可以将这些方法用于最新的成像传感器技术。

[0202] 图 30 示出显示本公开的教导和原理的可伸缩性的示意性地大的图像传感器。每列多个互连 3016、3018 指示像素列已经被划分成子列。如图所示,可用于像素子列的支持电路放置的区域可以等于两个像素单元宽乘以三十二个像素单元长,其如图中的加粗的纵向线示出的。因此,基板之间的互连必须落入六十四个像素单元区域中的某个地方,以便读取对应的像素子列。应当注意的是,支持电路区域的长宽比为 2/32。互连的放置选择在该区域中具有多个选项并且可以被选择为使得允许从互连到互连的期望间隔。如附图所示,通过重复本公开的方法,甚至可以将这些方法用于最新的成像传感器技术。

[0203] 现在参照图 31,将讨论具有位于内窥镜的管腔之内的图像传感器 3310 的内窥镜 3300 的实施例。如图所示,并且内窥镜 3300 可以包括管腔 3305 和手柄部分 3315。在横截视图额外讨论中示出了管腔 3305 的尖端的 I 详细部分 3320。在管腔的内壁之内,在管腔 3305 的最远侧尖端处是外透镜 3328 或者密封内窥镜的尖端的密封件。在一些实施例中,还可以出现额外的光元件例如棱镜或者其他透镜。恰当地配置的图像传感器 3310 还被设置在管腔的尖端附近。

[0204] 图 32a 和图 32b 示出设置在内窥镜的管腔之内的图像传感器上的像素阵列的最大化。图 32a 示出设置在由内窥镜的管腔 3404 的内壁形成的边界之内的单片类型的图像传

感器 3412。为了医疗目的,管腔的内径的范围可以典型地从 1mm 到 12mm。图像传感器 3412 示出由支持电路 3418 包围的像素阵列 3415。如图所示,像素阵列在尺寸方面是极大地受限于其他电路。图 32b 示出如果支持电路位于如上面所讨论的第二基板之上的像素阵列之后的像素阵列的可用基板空间。

[0205] 图 33a、图 33b、图 33c 示出可用于堆叠内窥镜和电路的顺序的各种实施例。图 33a 示出在基板层包括模数转换器、随后 RF 功率采集器电路和最后放大电路之前堆叠像素阵列的实施例。如图所示,密封件 3507 或透镜在管腔 3505 的远侧上。在带角度的内窥镜中,棱镜 3509 还可以被设置在管腔 3505 中。次级棱镜 3512 可以处于像素阵列 3515 前面的右侧。模数转换器 3518 或者 RF 功率采集器电路 3520 可以与像素阵列 3515 相邻。可以在次级处理 3525 之前使用放大电路 3522 来加强信号。可以在空间限制不这么大的系统中进一步完成剩余的处理。在另一个实施例(图 33b)中,紧挨着像素阵列 3515 放置放大电路 3522,同时在更下游完成剩余的信号处理。图 33c 示出仅最大化的像素阵列 3515 位于内窥镜的管腔 3505 之中并且远距离地执行所有其他处理的实施例。应当注意的是,在第一基板上具有至少最优化的像素阵列的内窥镜的实施例被设想在本申请的范围之内。

[0206] 图 34 示出设置在内窥镜的管腔 3601 之内的图像传感器中的两个基板的详细视图。如图所示,第一基板 3602 具有包括用于组成上文所讨论的像素列 3608 的多个像素的像素阵列。此外,如图所示,第二基板 3610 包含支持电路,该第二基板上的支持电路组成与该电路列对应的像素列 3608 对应的电路列 3616。应当注意的是,每个像素列 3608 具有像素列总线 3609 并且第一基板 3602 上的每个像素列总线被叠加到第二基板 3610 上的电路列总线 3622,并且两个总线通过设置在如上所讨论的两个基板之间的互连 3321 进行电连接。管腔内设置的图像传感器可以配置有如上文所讨论的子列总线并且可以错开如上文所讨论的互连。本公开打算将上文所讨论的每个技术与内窥镜成像装置一起结合使用。

[0207] 应当明白的是,本文所公开的结构和设备仅仅是用于优化成像传感器的实例,并且应当明白的是,用于执行与本文所公开的那些相同或等同的功能的、使用三维堆叠技术以及错开堆叠中的基板之间的互连来优化图像传感器上的像素阵列的结构、设备或系统,包括现在是已知的或者可以在将来变得可用的用于成像的那些结构、设备或者系统,旨在落入本公开的范围之内。与用于使用三维堆叠技术以及错开堆叠中的基板之间的互连来优化图像传感器上的像素阵列的装置功能相同或等同的任何事物落入本公开的范围之内。

[0208] 相关领域中的那些普通技术人员将理解由本公开的特征提供的优点。例如,本公开的潜在特征在于提供成像传感器上的最优化像素阵列,这在设计和制造中是简单的。本公开的另一个潜在特征在于提供相对于全部尺寸来说具有较大像素的该成像传感器。另一个潜在特征在于使用三维堆叠技术以及错开堆叠中的基板之间的互连来提供图像传感器上的最优化像素阵列。

[0209] 在前述详细说明中,为了简化公开,公开的多种特征被集合在单个实施例中。该公开的方法不被解释为反映意图使所要求的公开需要比每个权利要求中所目前地记载的特征更多的特征。相反,如所附权利要求所反映的,创造性的方案包括比单个前文所公开的实施方式的全部特征更少的特征,并且可以组合独立的实施方式中公开的各种创造性的特征以形成如所附权利要求中更完整地要求的它自己的实施方式。因此,通过参考的方式将所附权利要求并入说明书中,其中,每个权利要求自己代表本文的公开的独立的实施方式。

[0210] 应当理解的是,以上描述的设置仅仅是对本文的公开原理的示例性应用。在不脱离本公开的精神和范围的情况下,本领域的那些技术人员可以设计多种改进和可替换的设置,并且本文的公开意欲覆盖这些改进和设置。因此,尽管已经在附图中示出了并且在上文利用特性和细节描述了对本文的公开,但是对于本领域普通技术人员来说,在不脱离本文中阐述的原理和概念的情况下,显然可以进行多种改进(包括但不限于尺寸、材料、形状、形式、功能和延伸方式、组装和使用上的变化)。

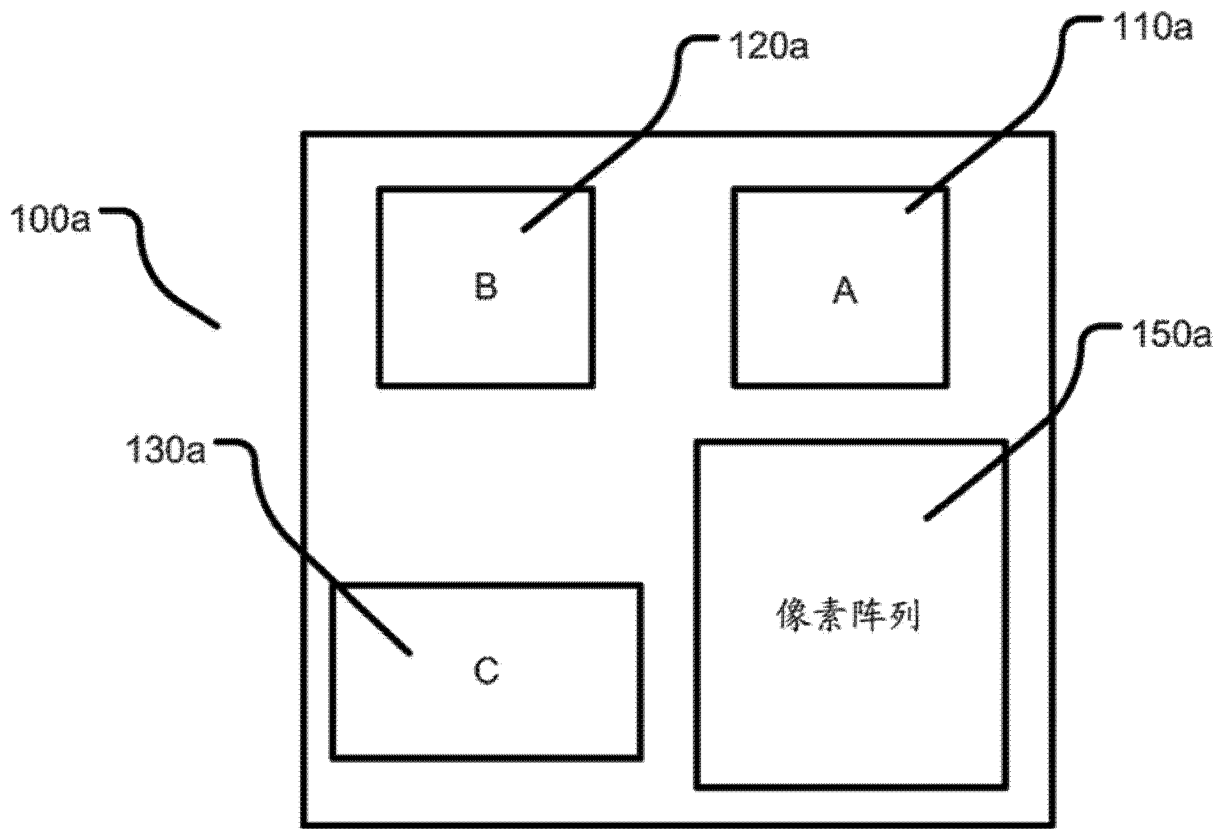


图 1a

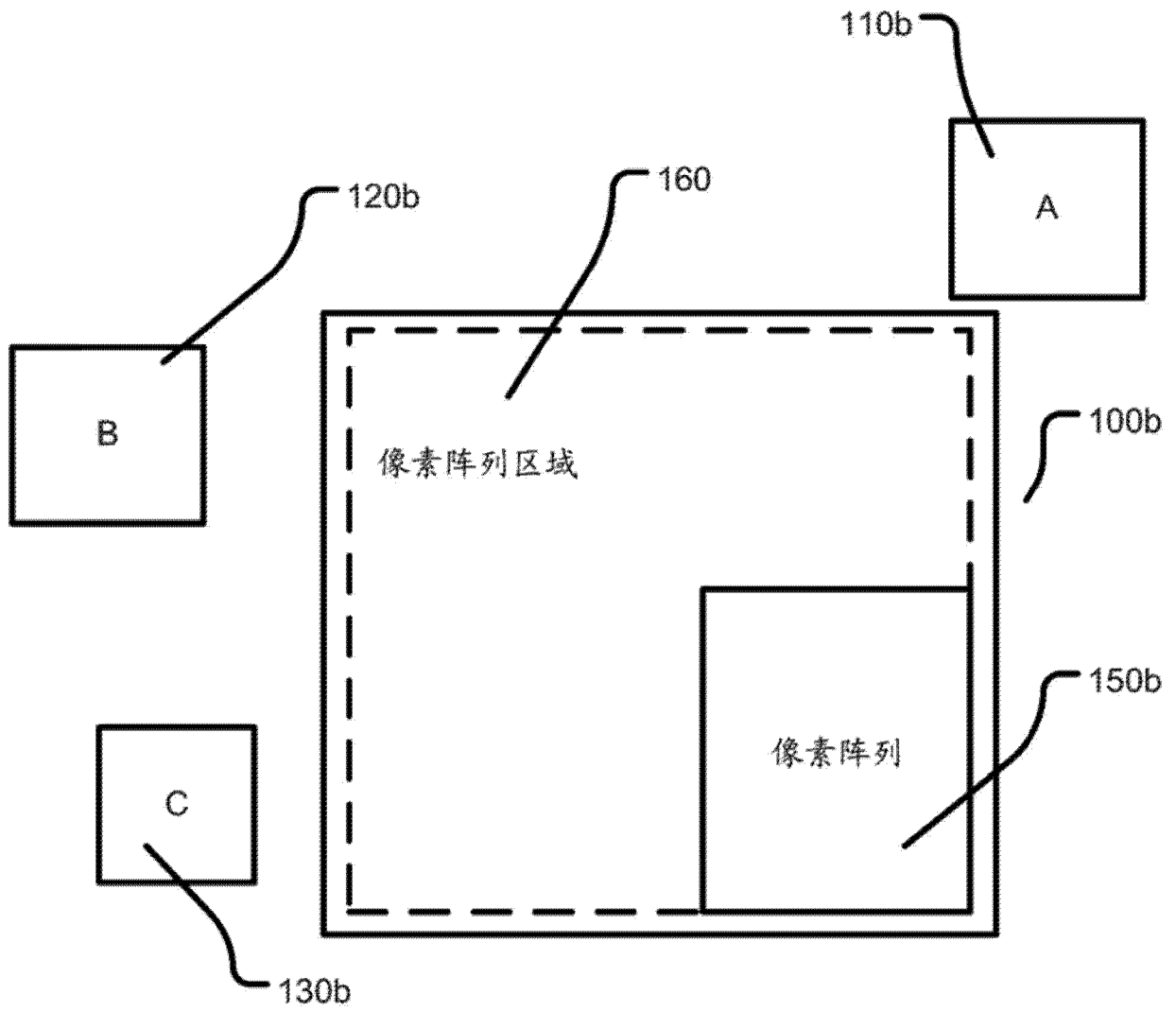


图 1b

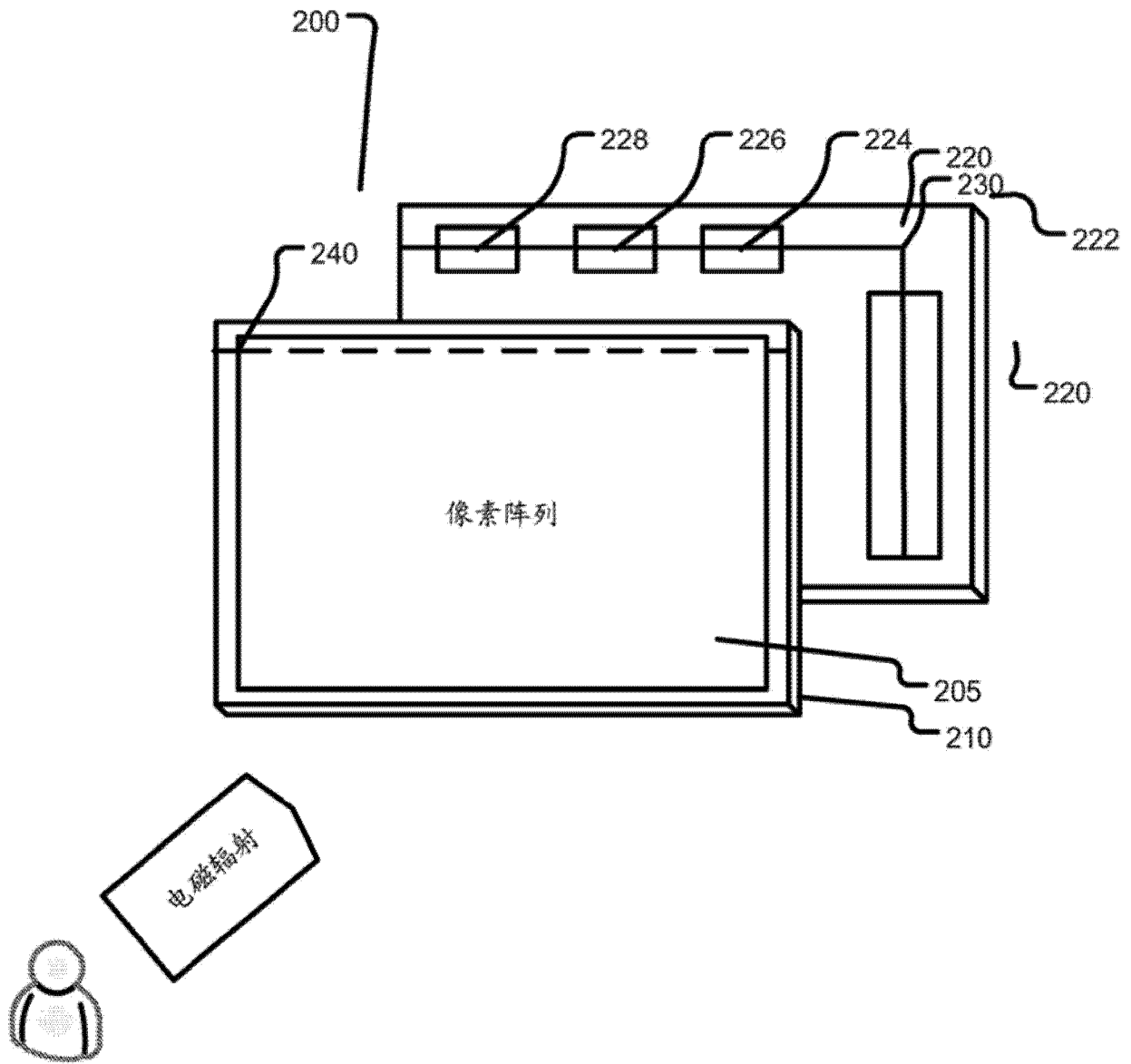


图 2

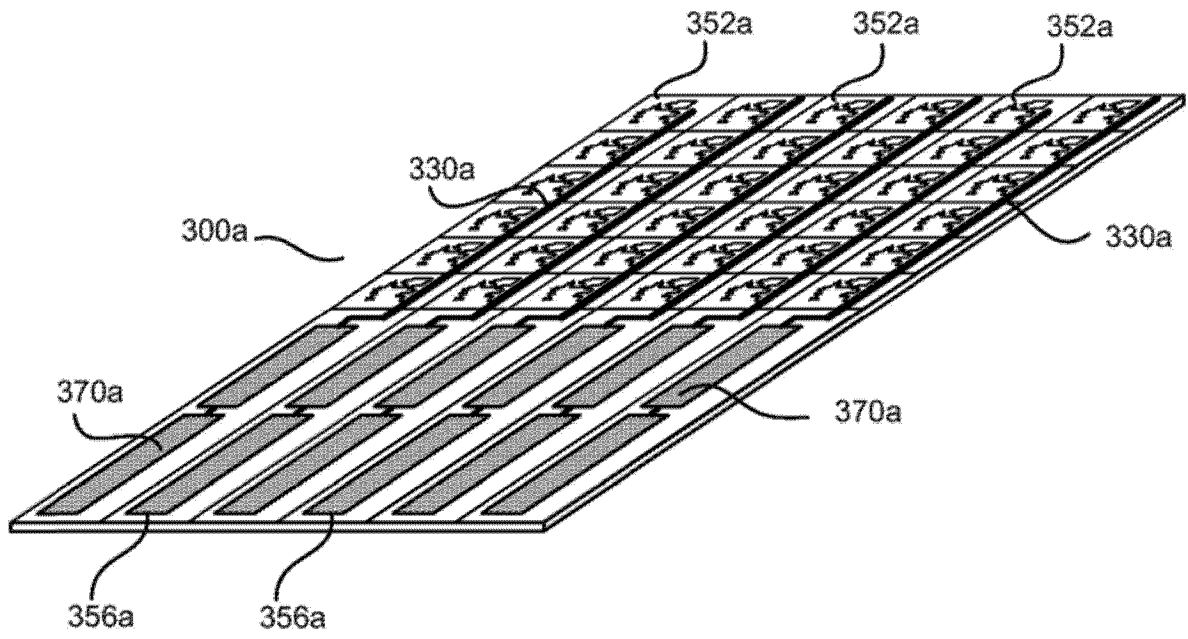


图 3a

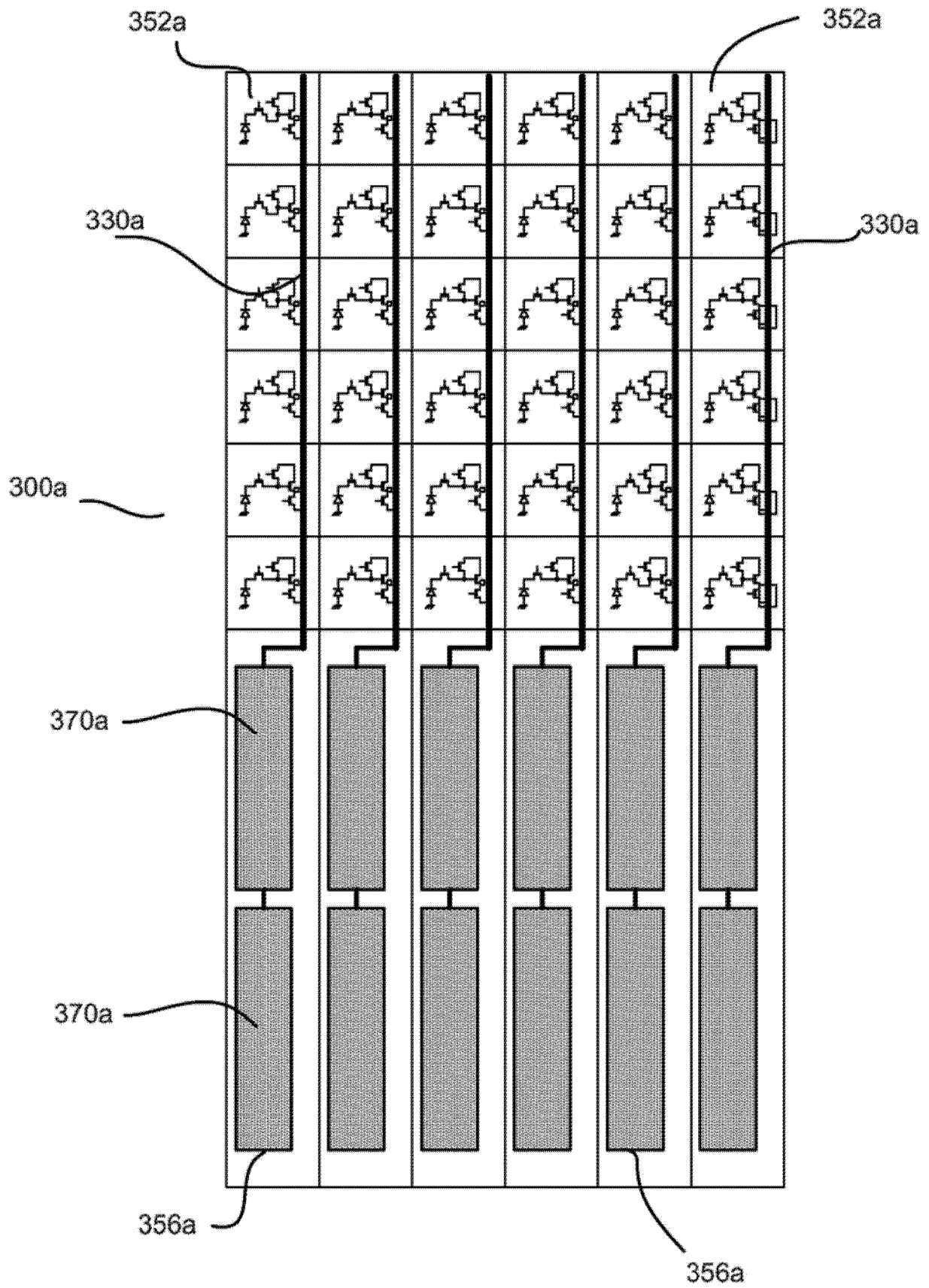


图 3b

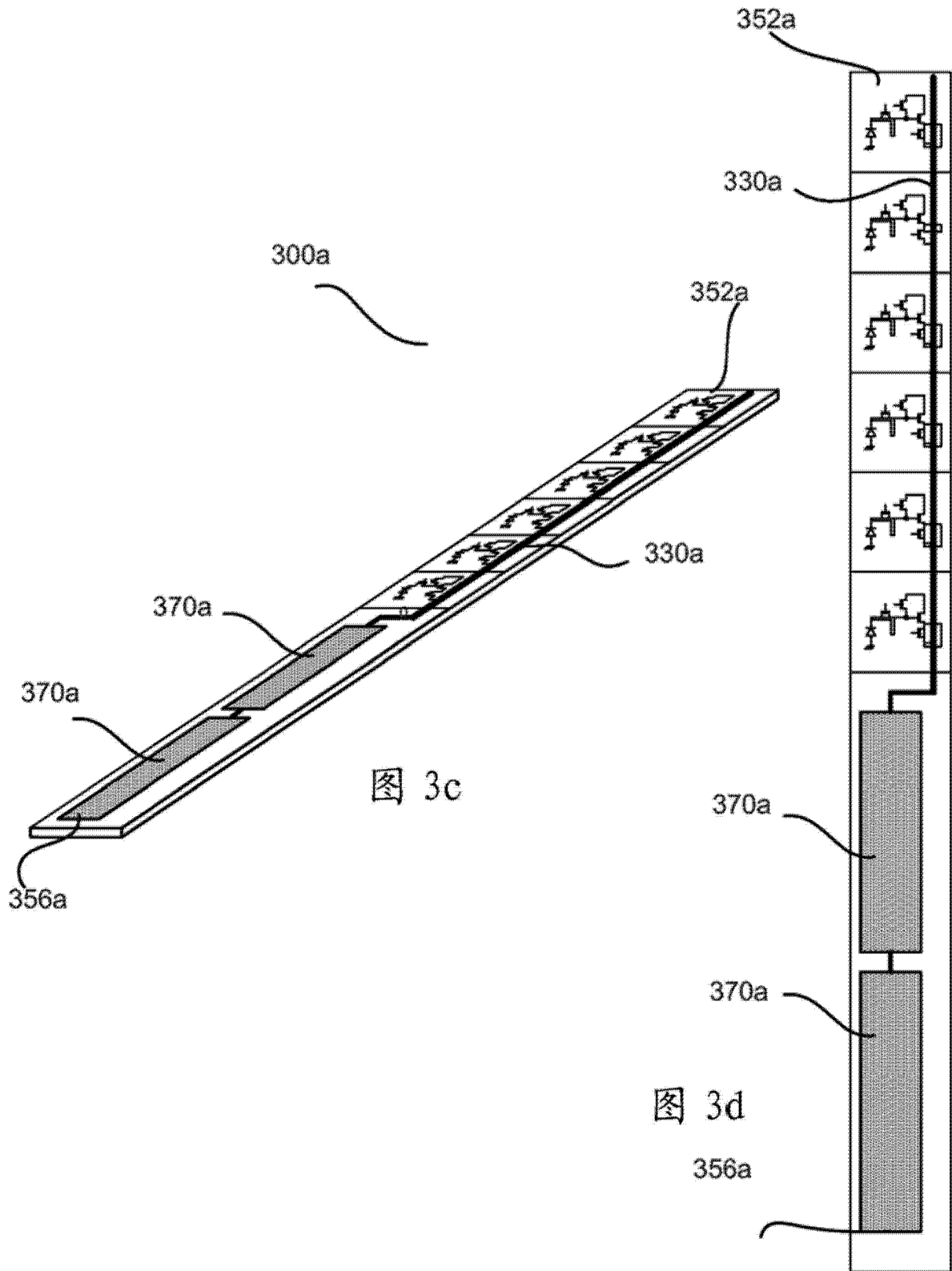


图 3c

图 3d

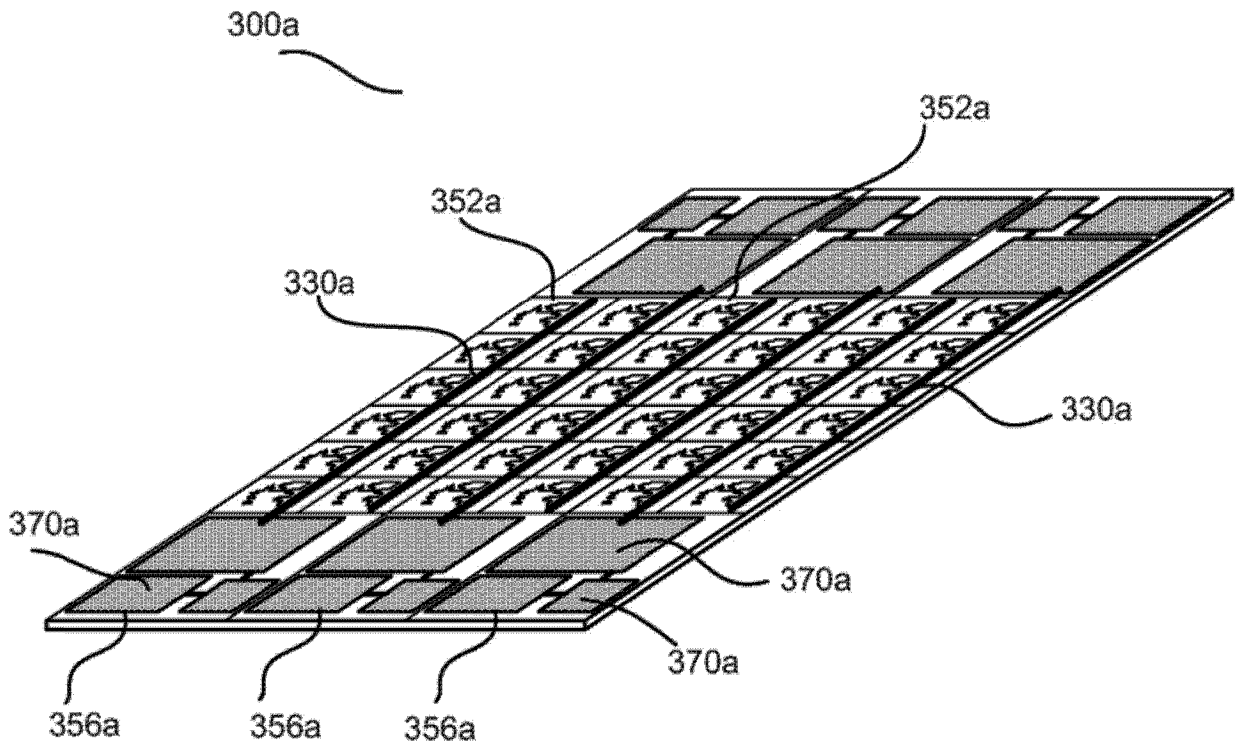


图 3e

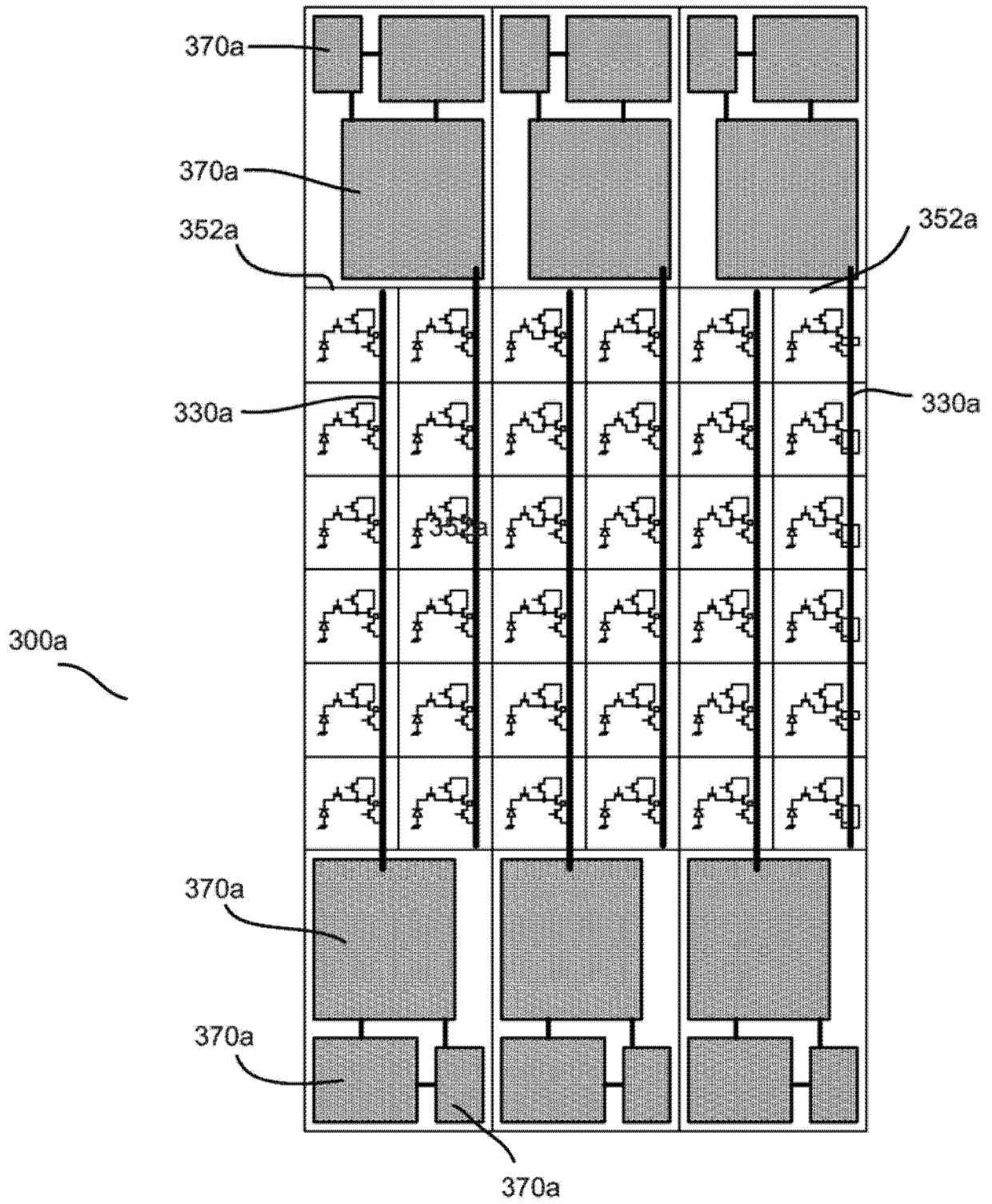


图 3f

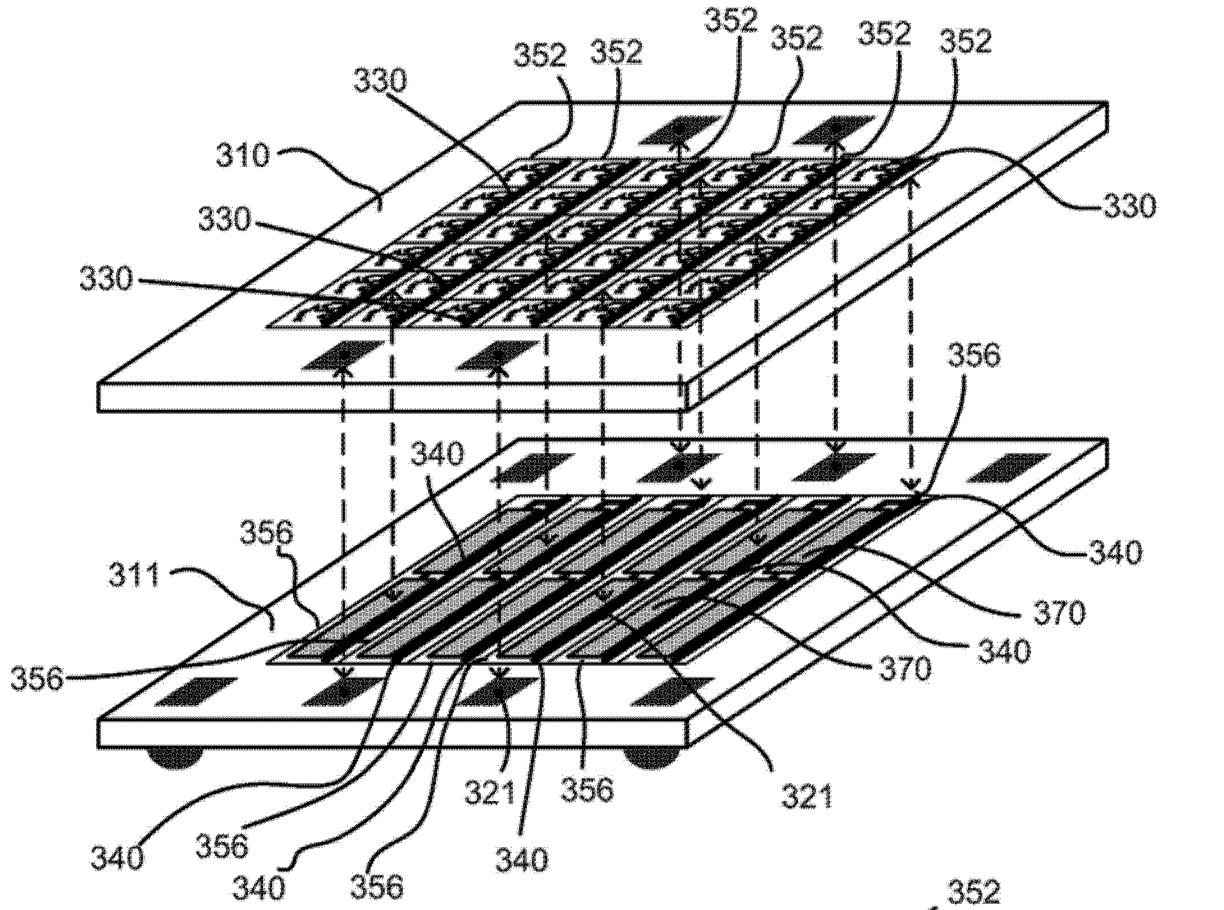


图 3g

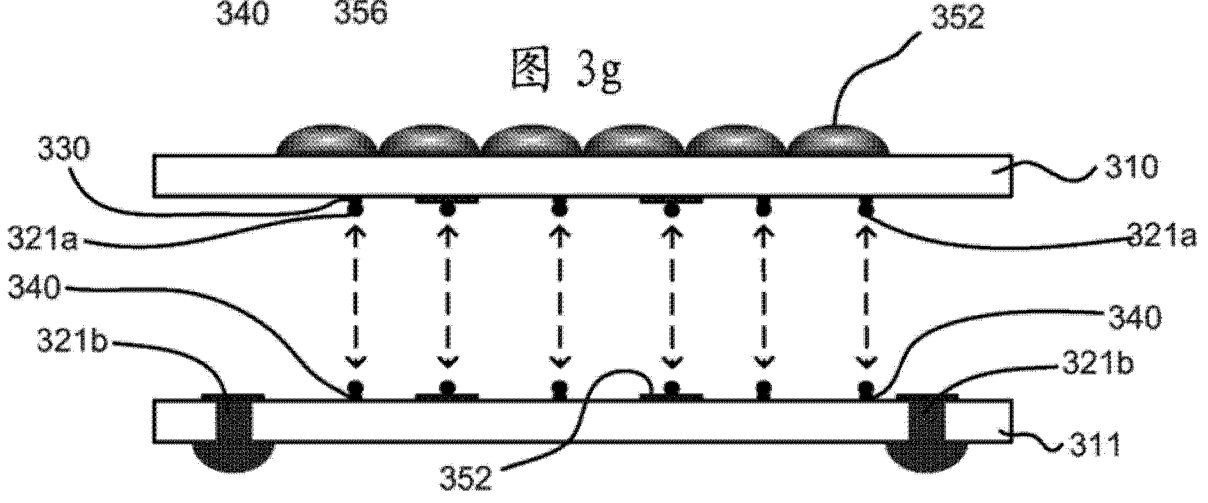


图 3h

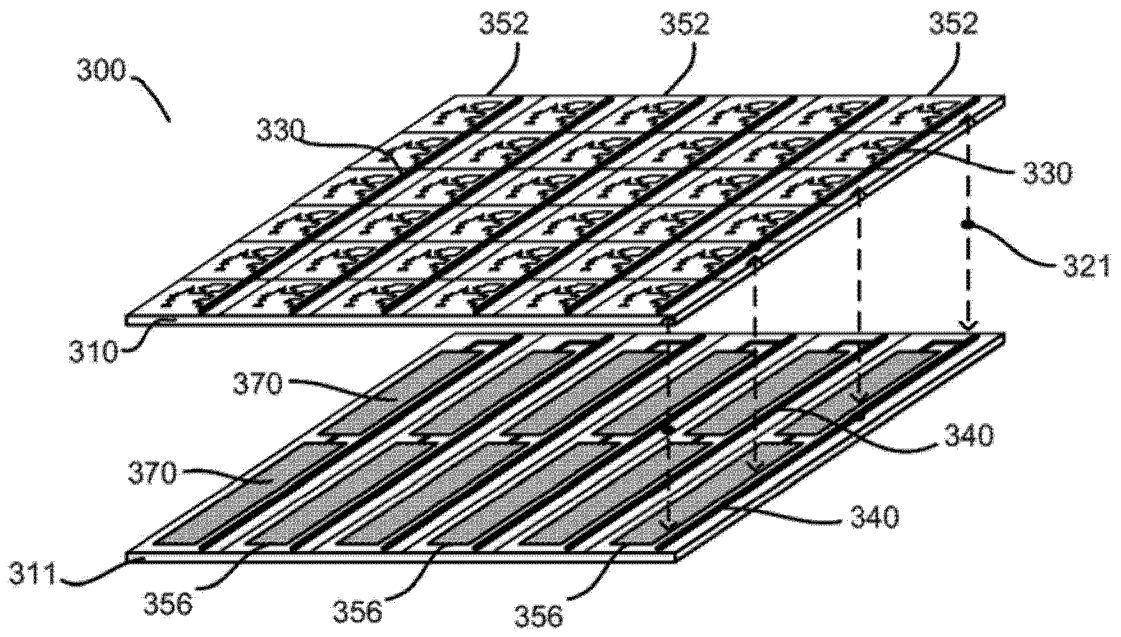


图 3i

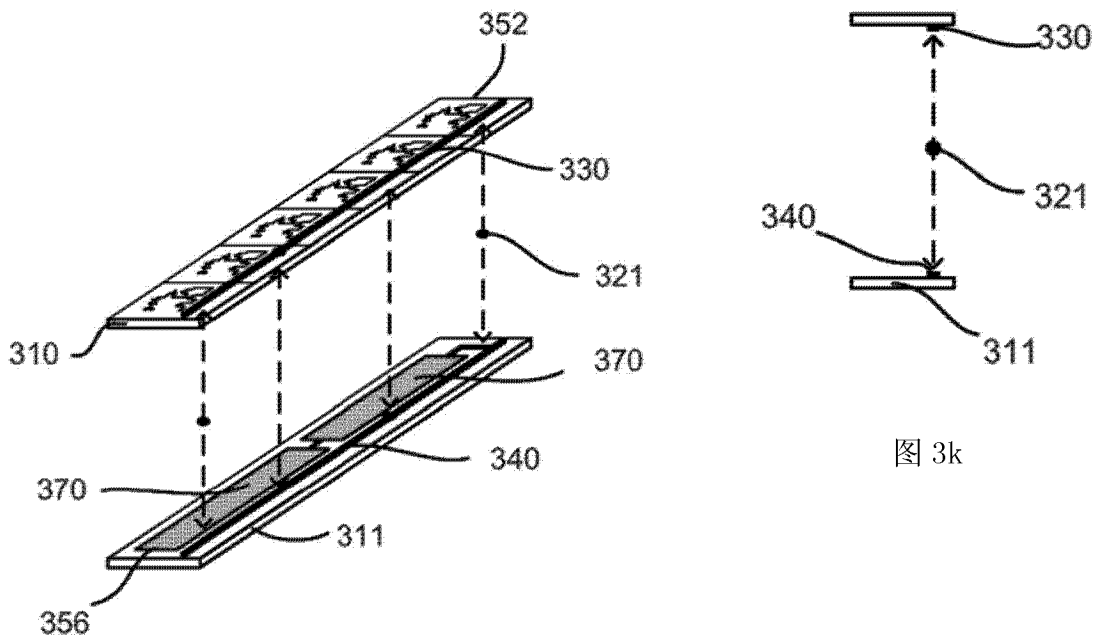


图 3k

图 3j

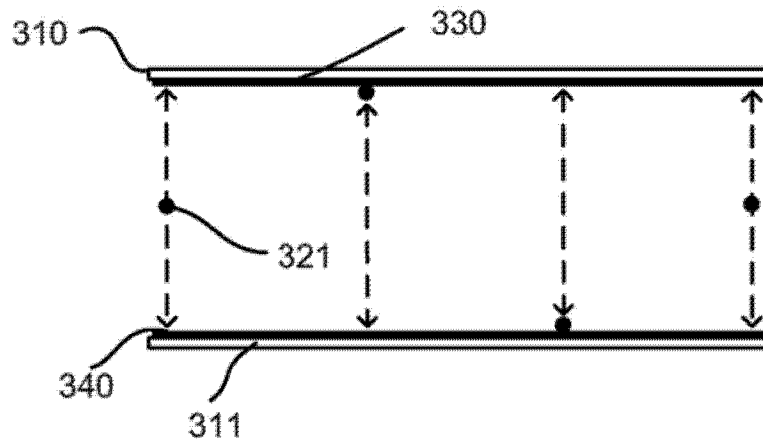


图 31

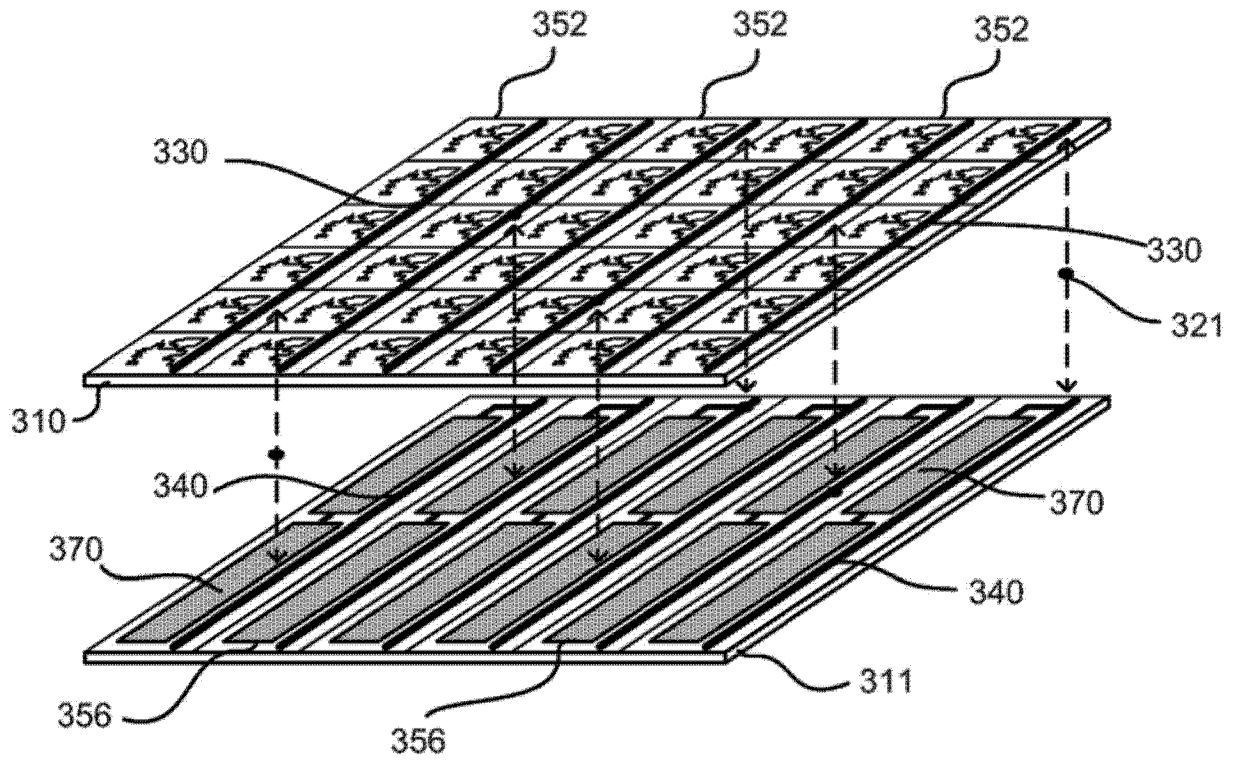


图 3m

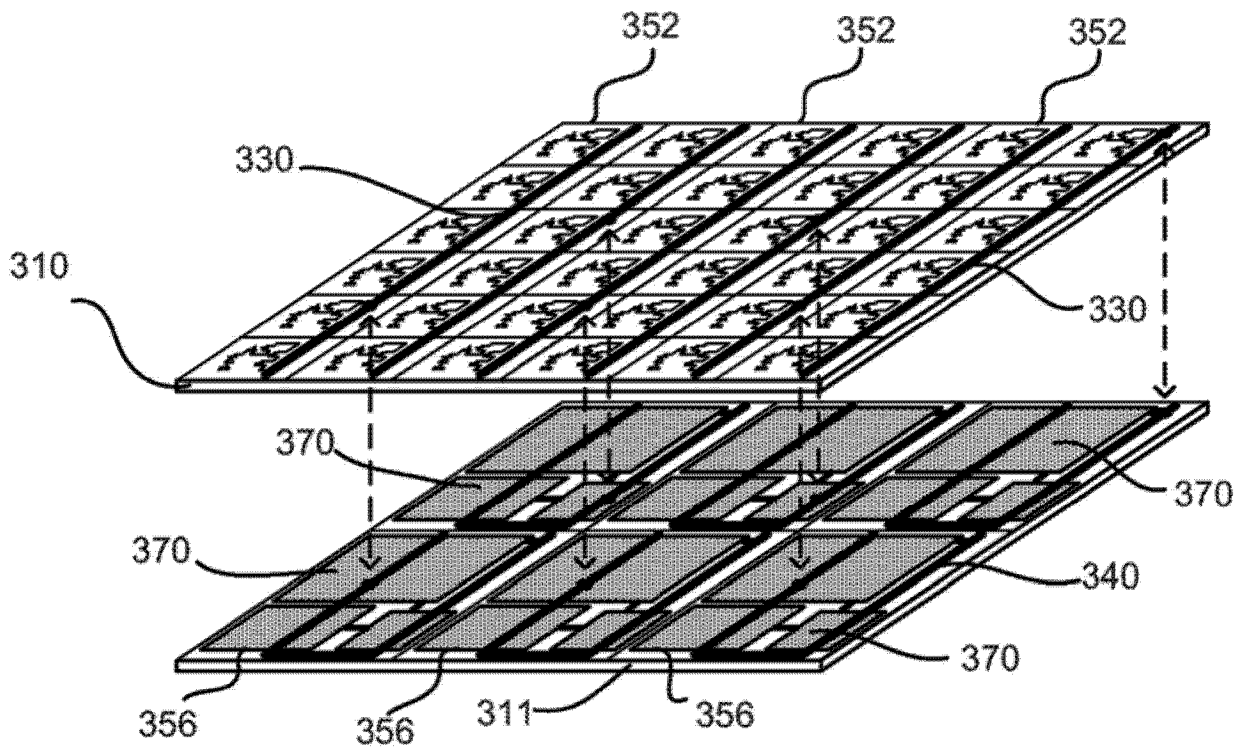
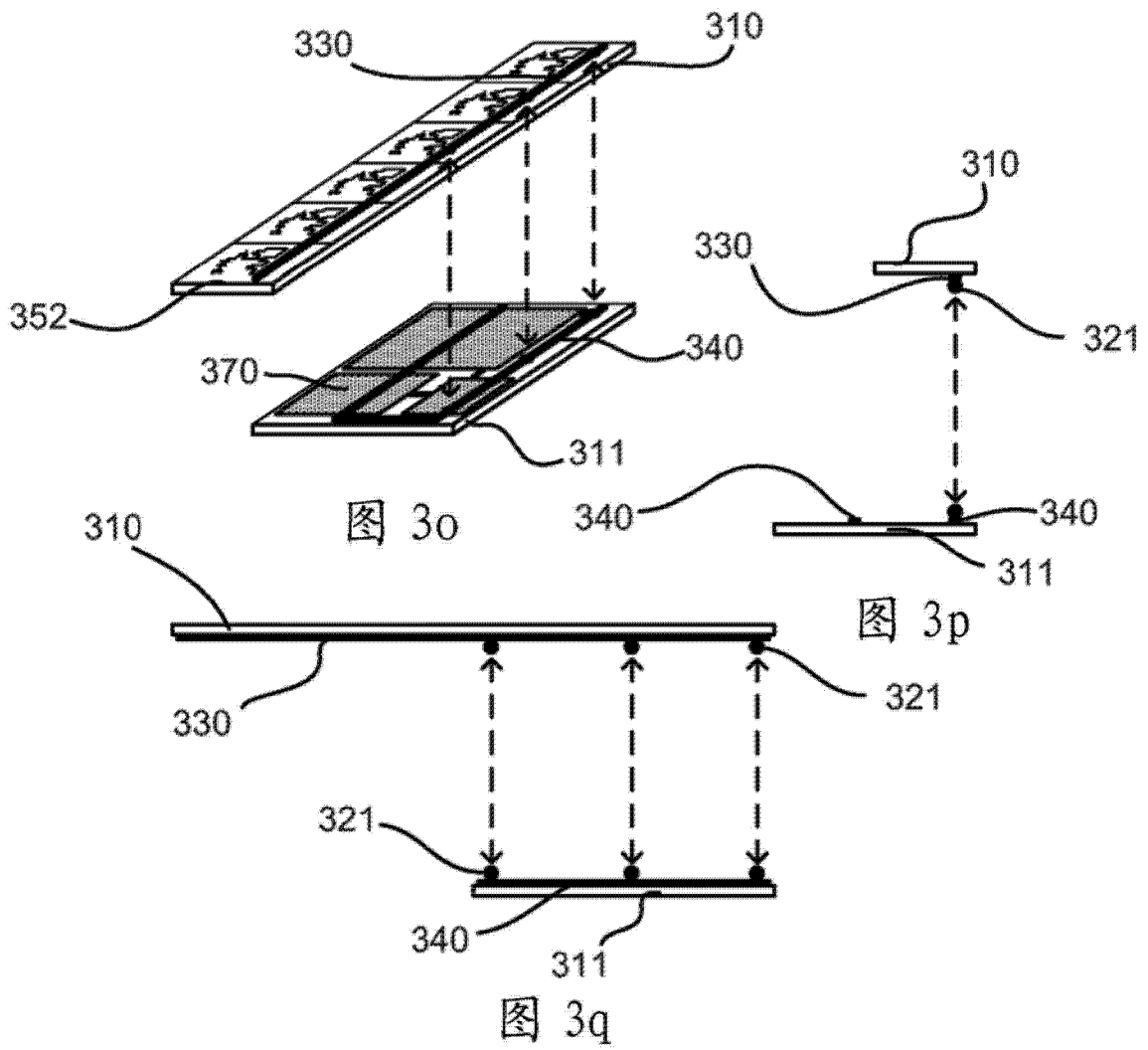


图 3n



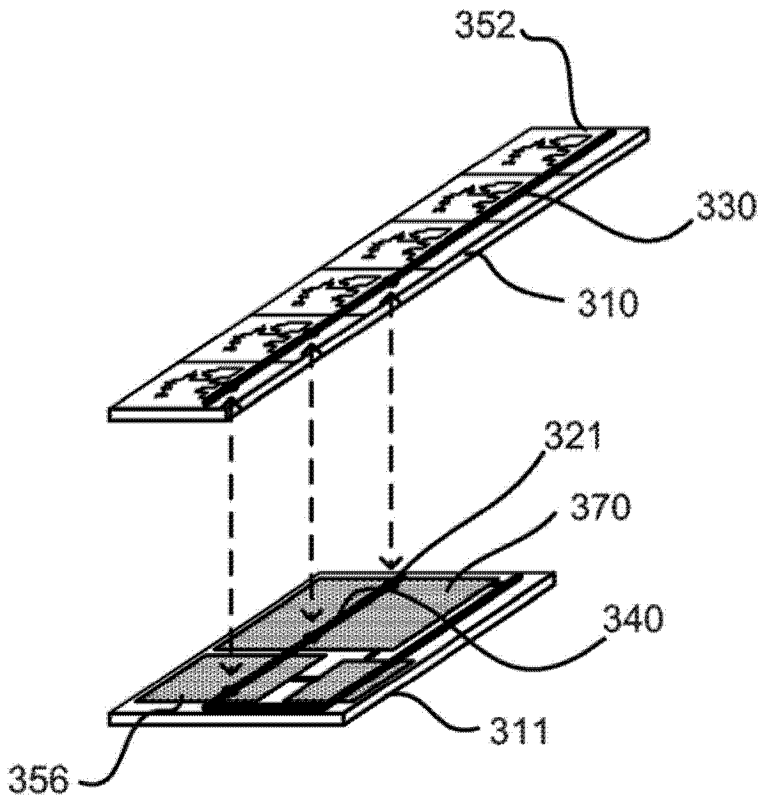


图 3r

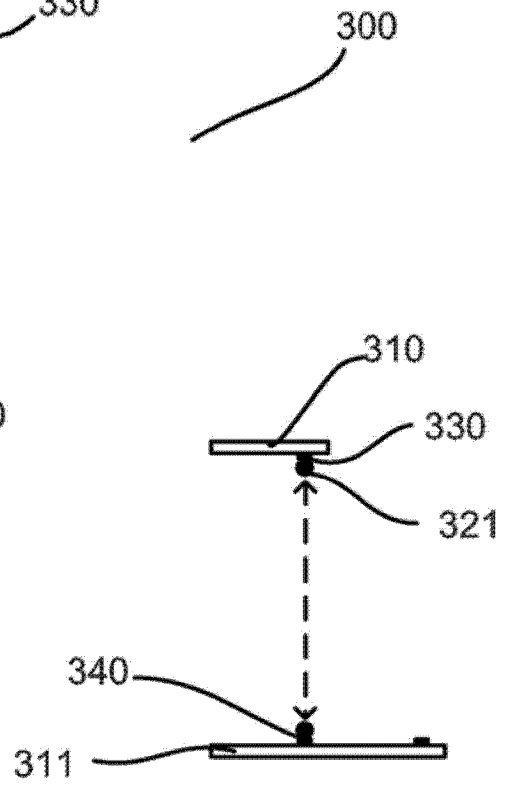


图 3s

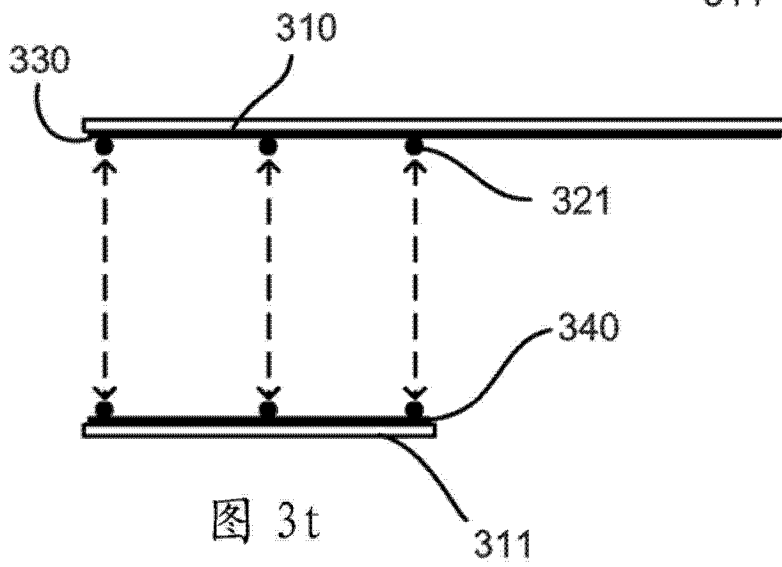


图 3t

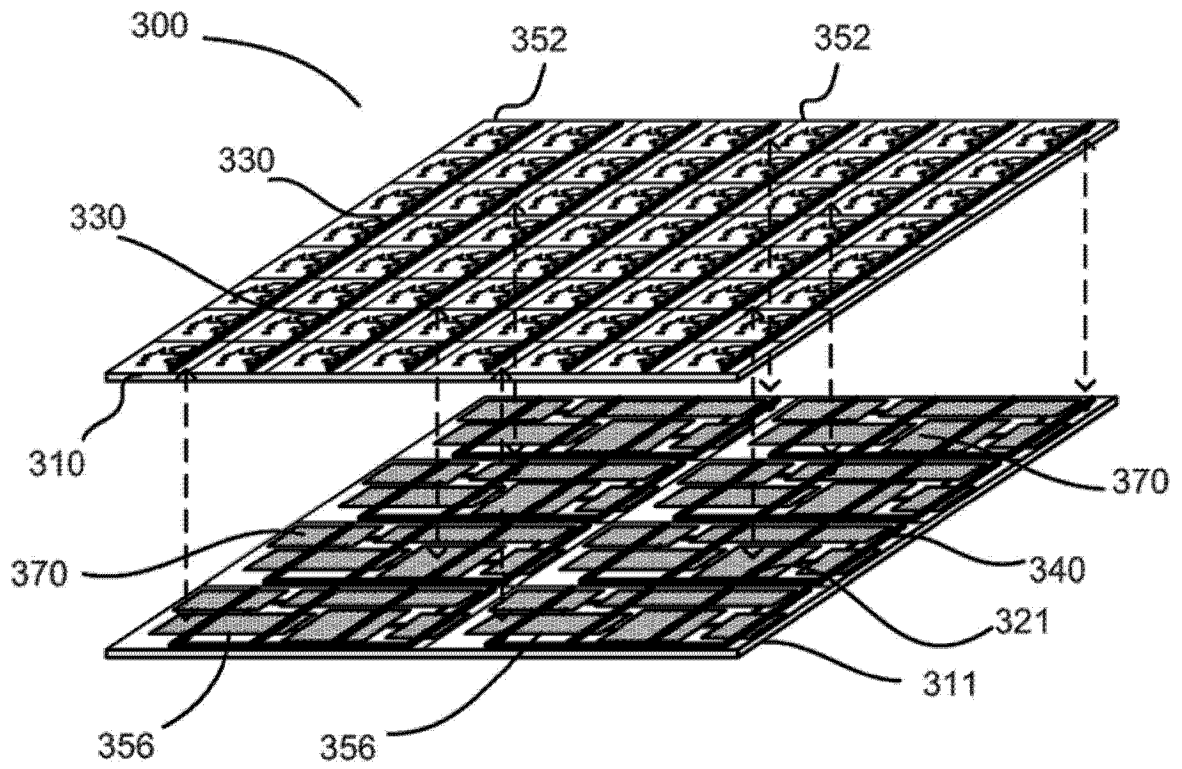


图 3u

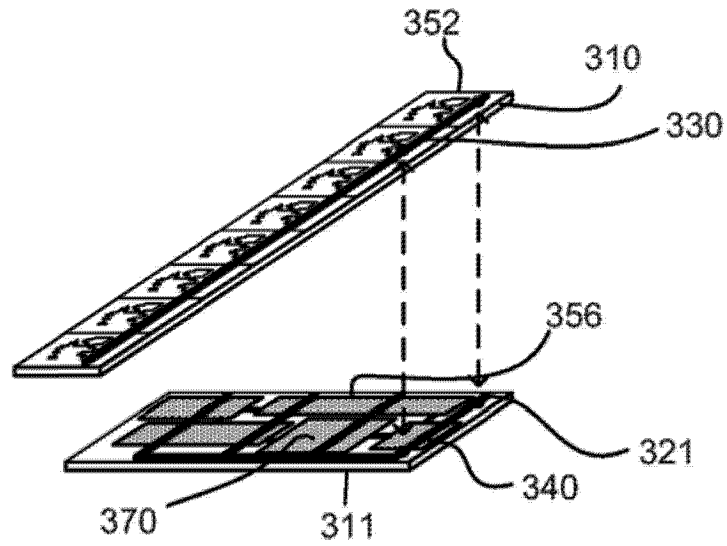


图 3v

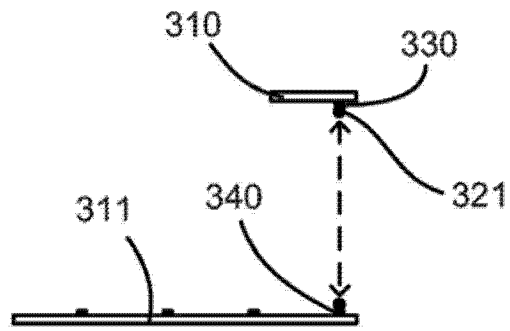


图 3w

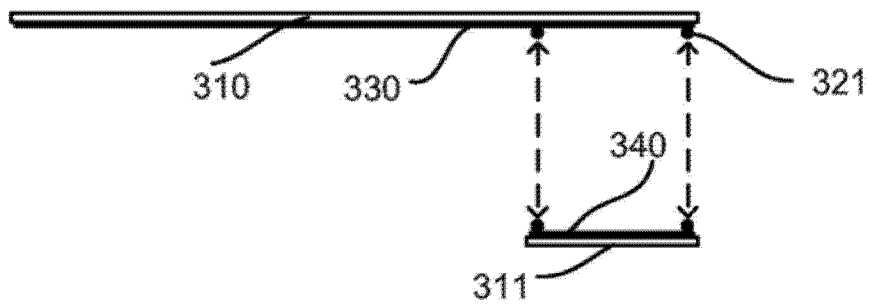


图 3x

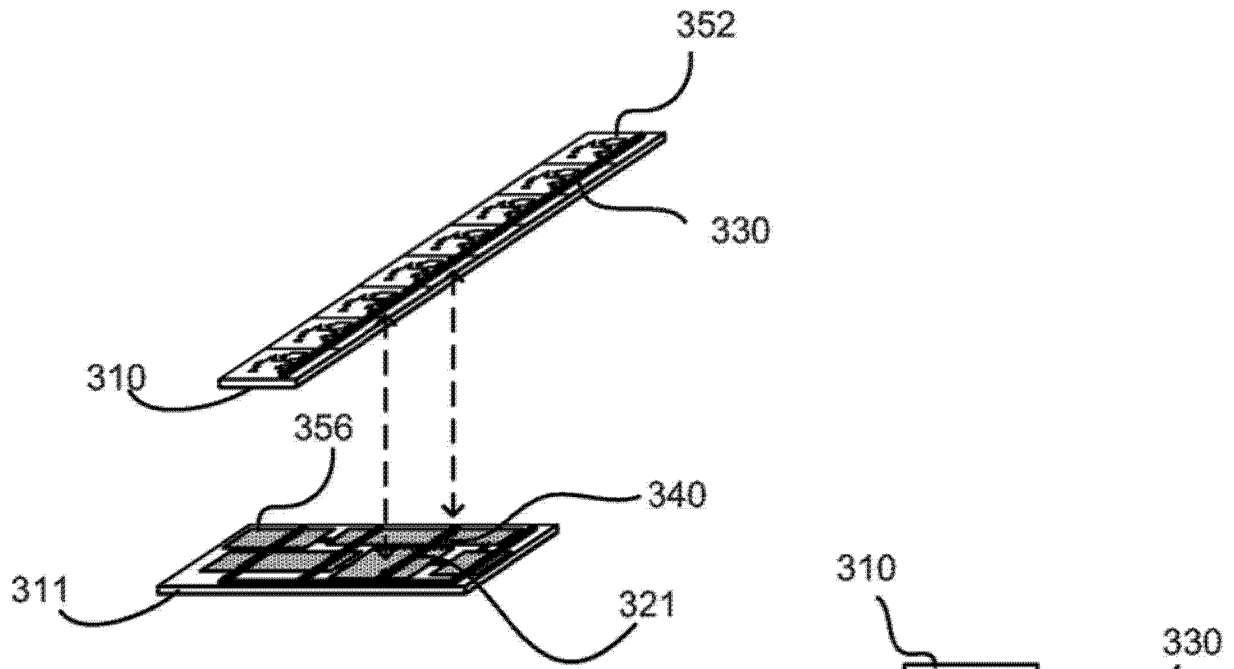


图 3y

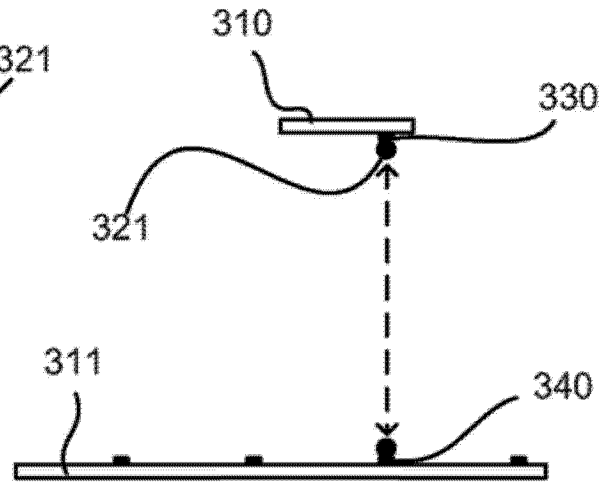


图 3z

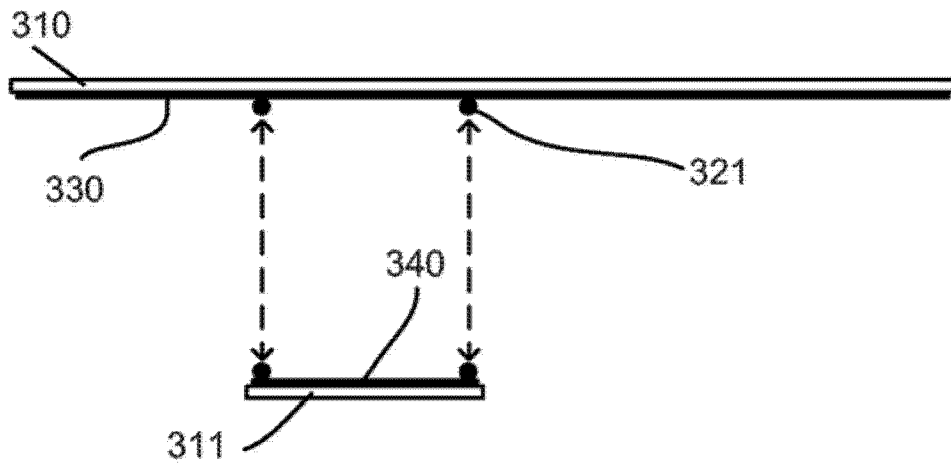


图 3aa

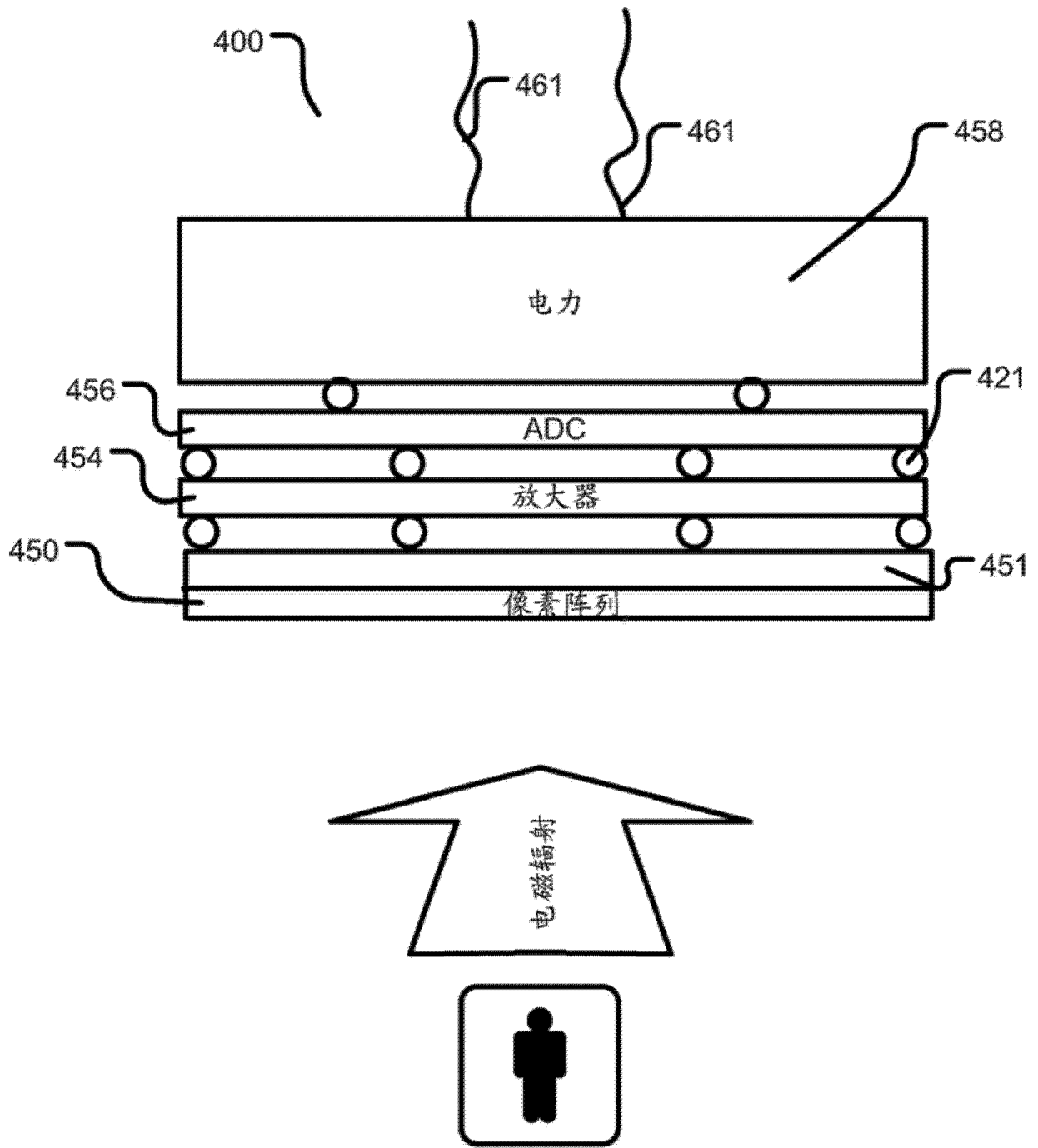


图 4

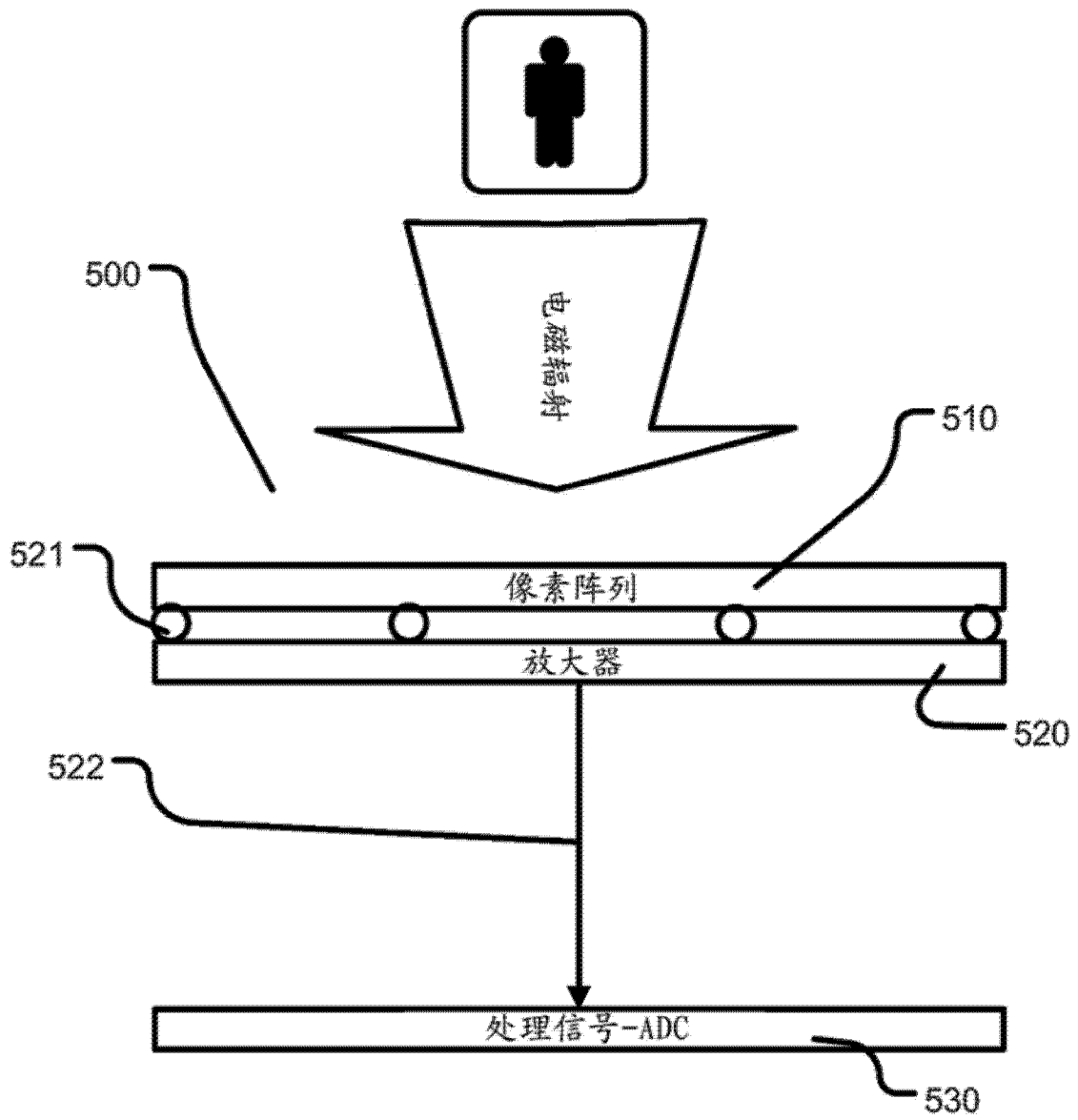


图 5

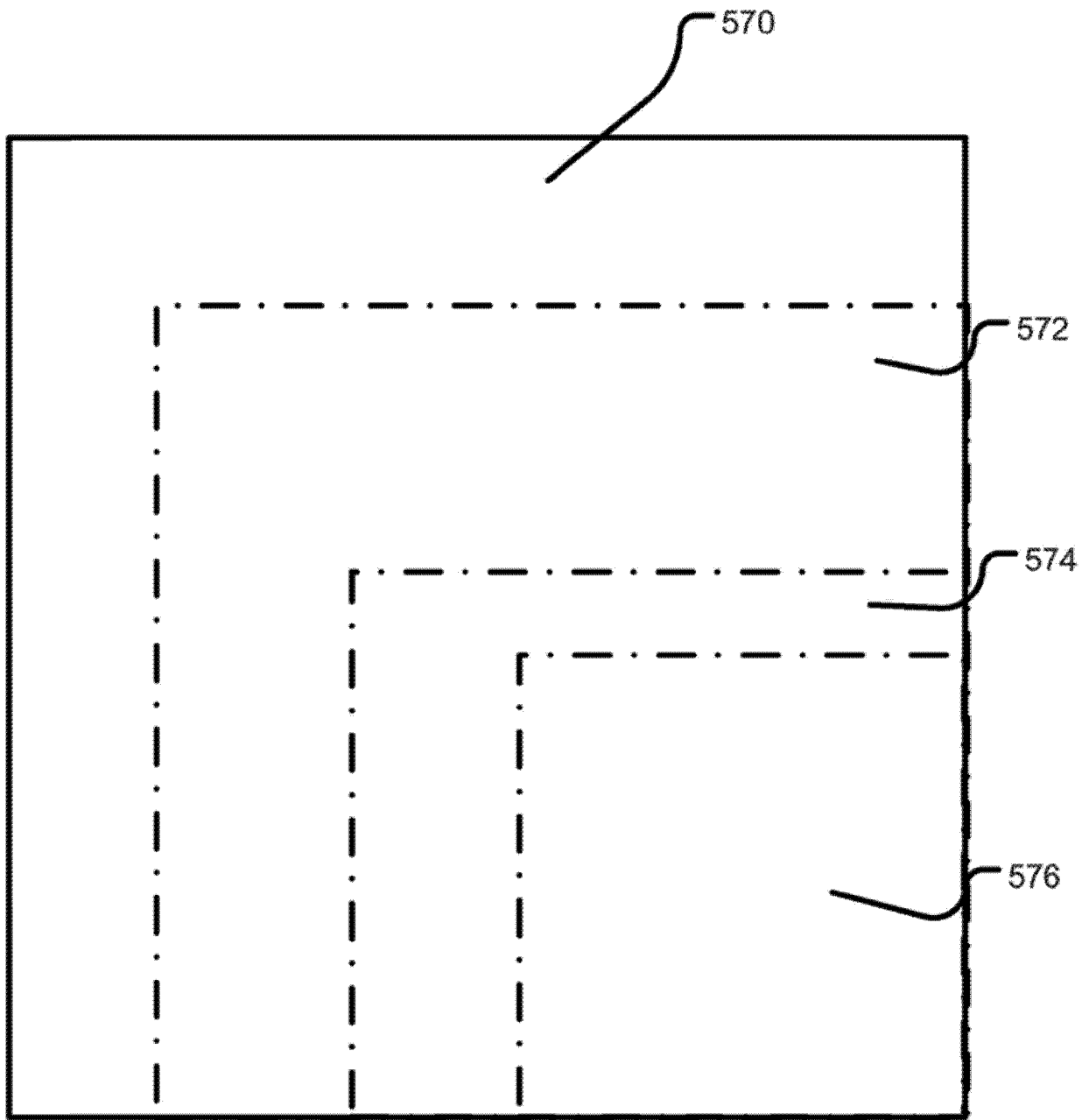


图 6

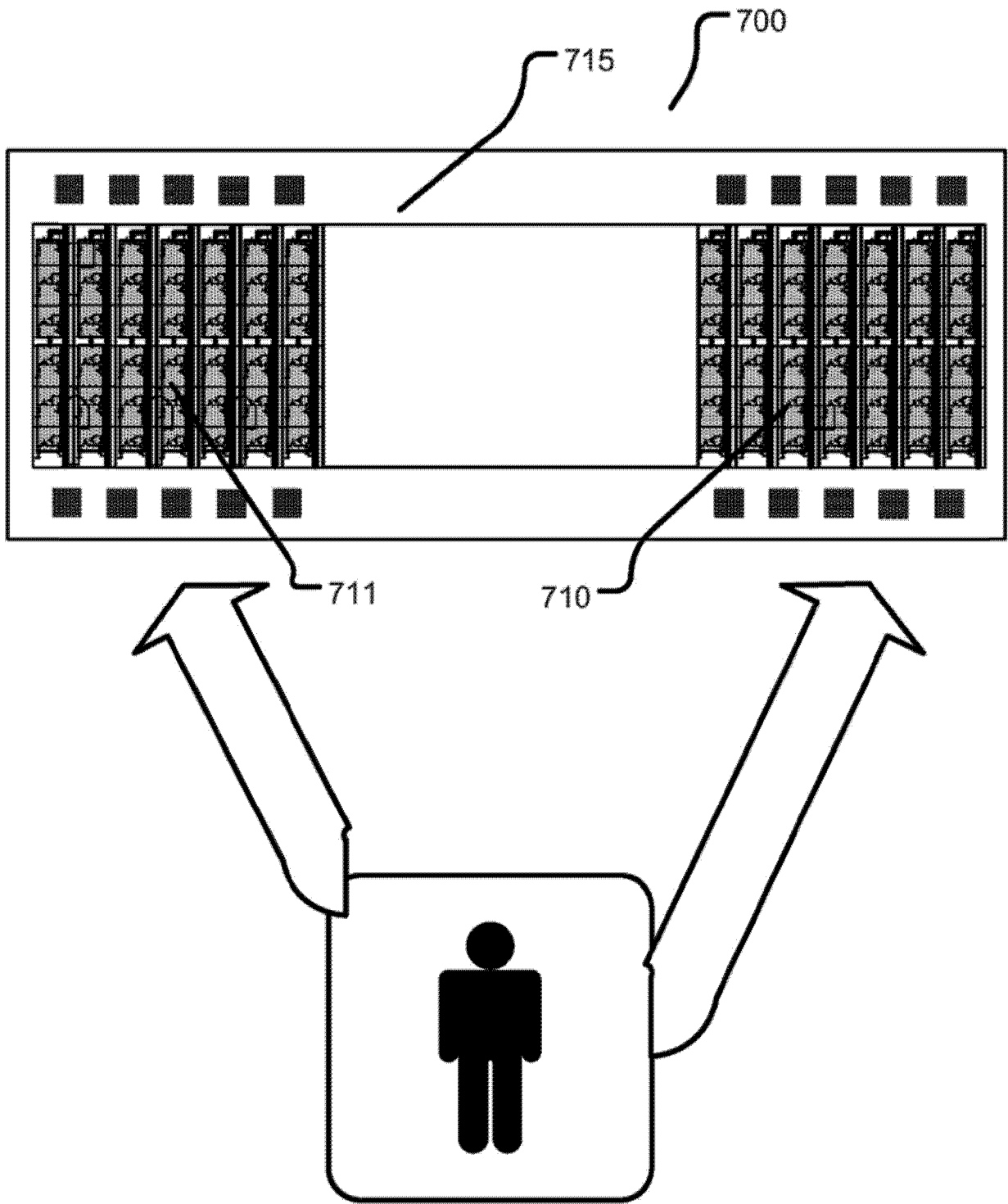


图 7

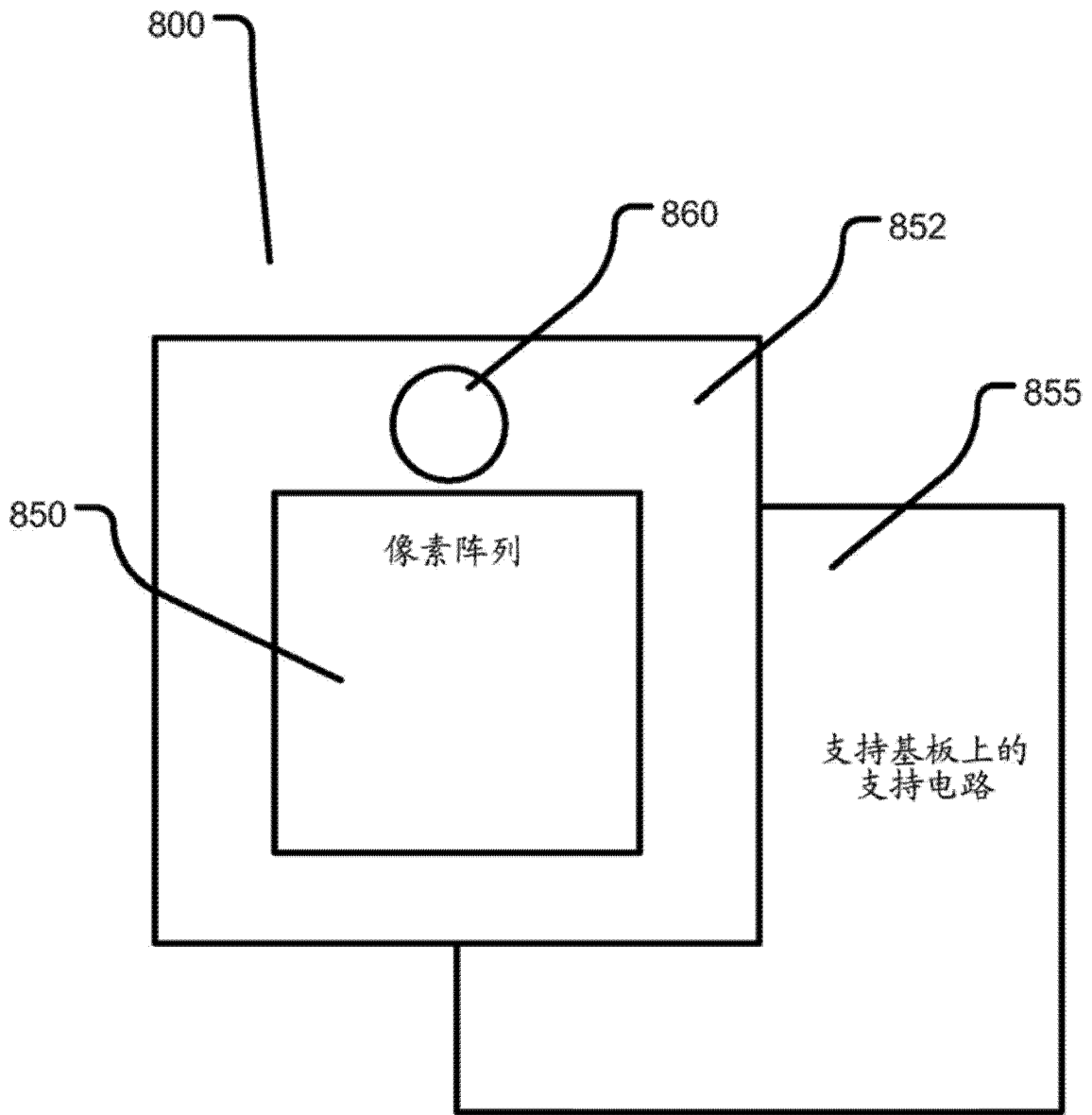


图 8

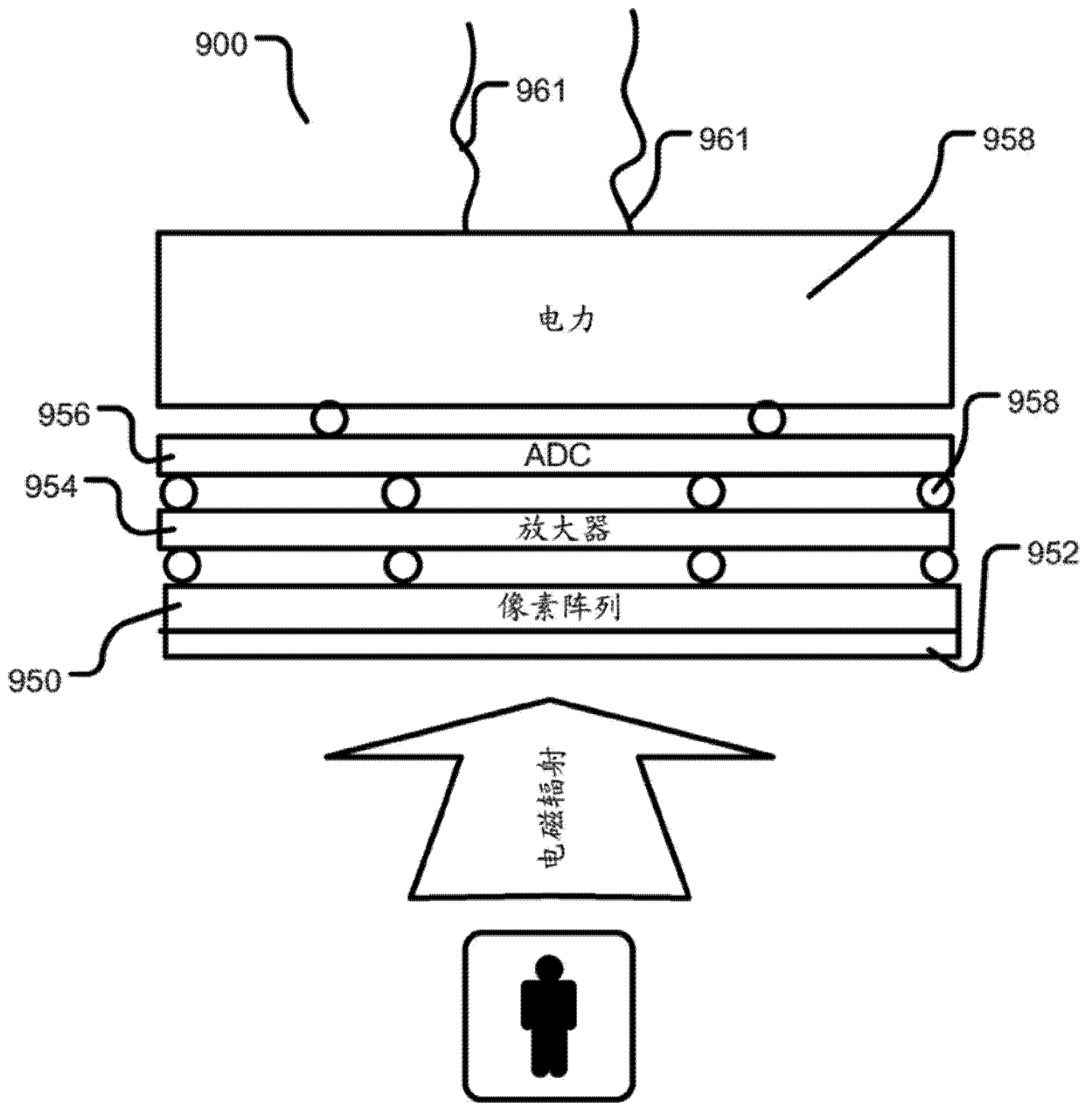


图 9

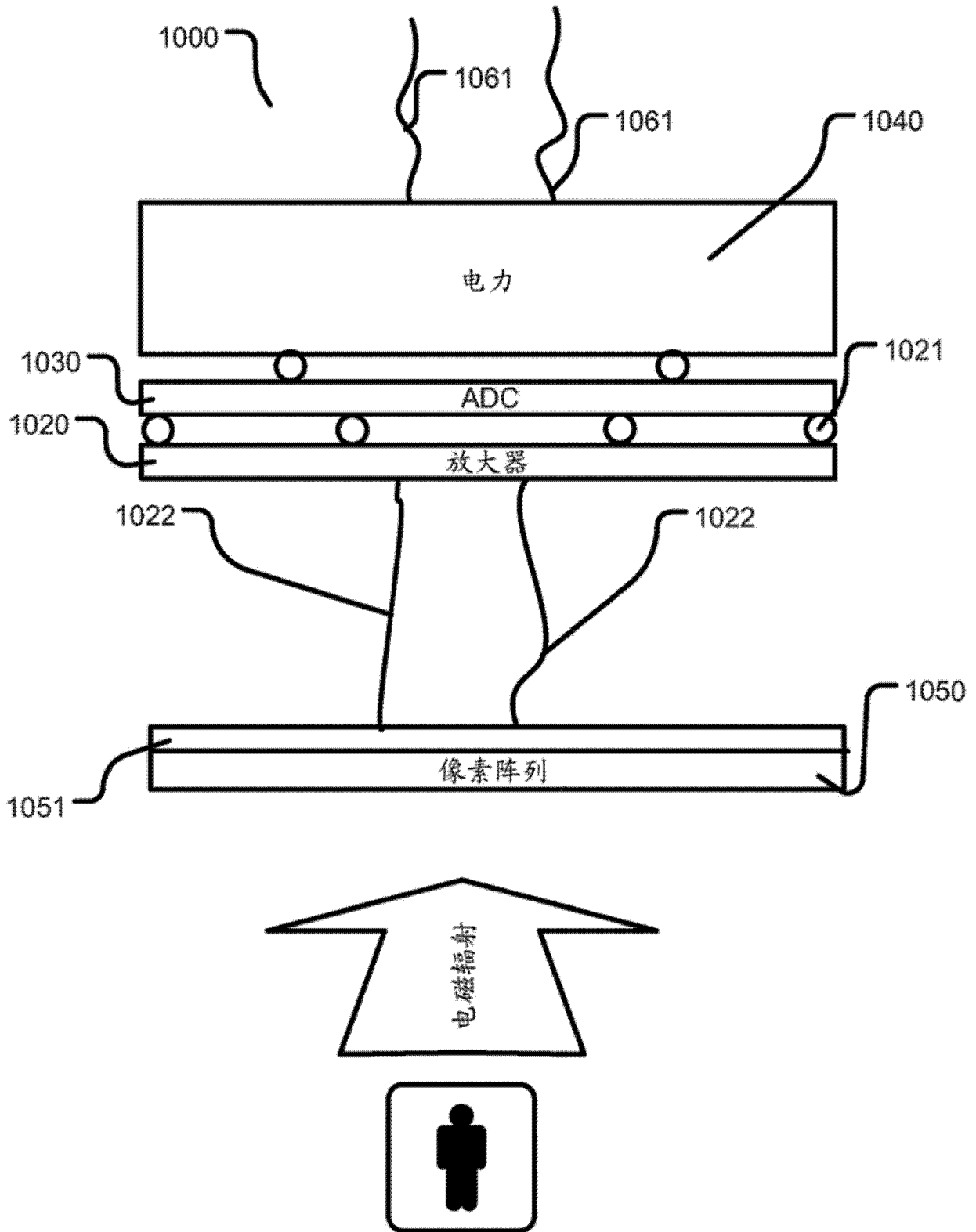


图 10

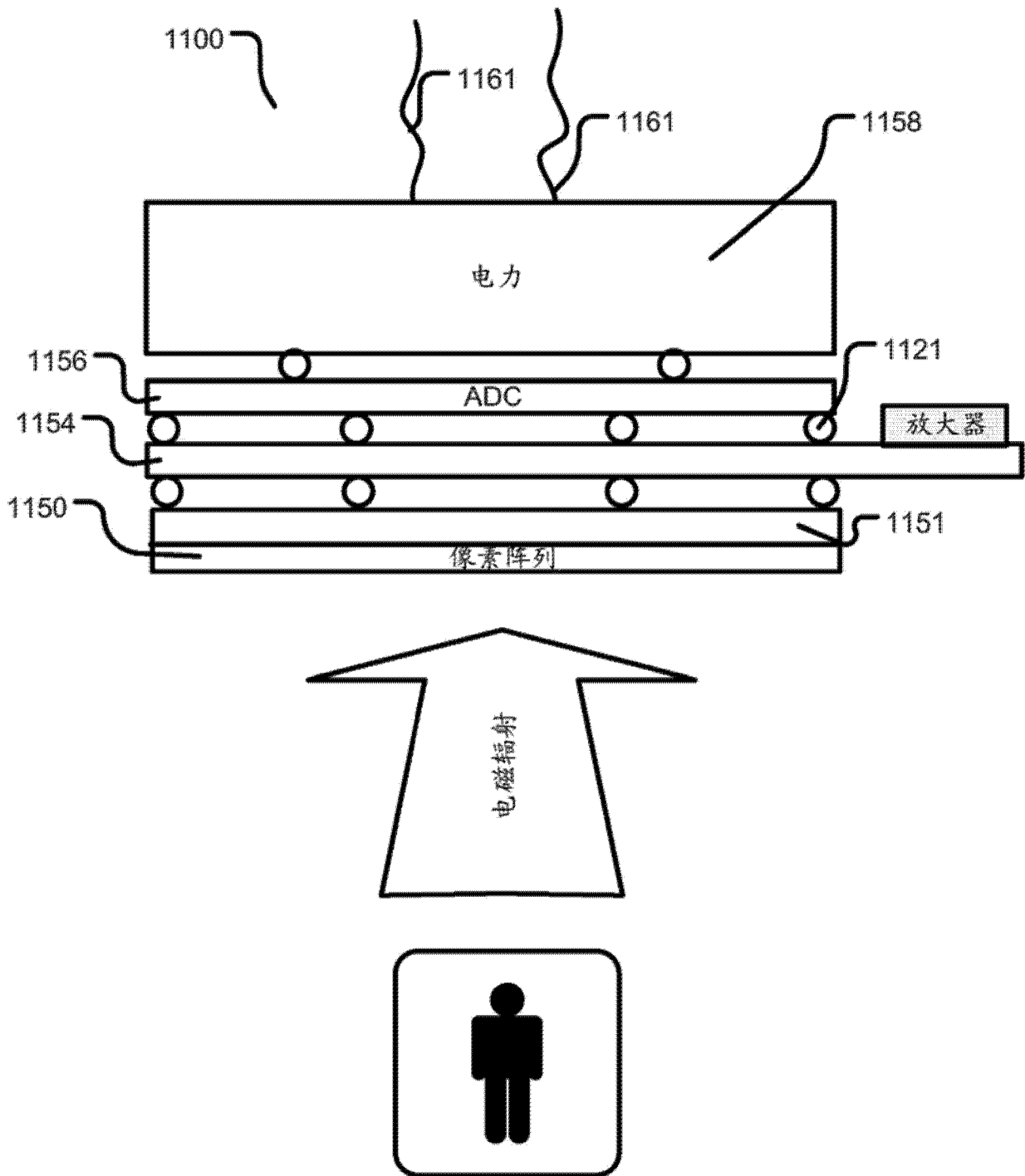


图 11

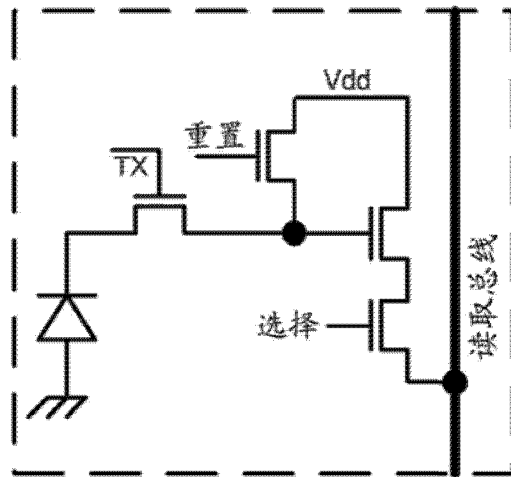


图 12

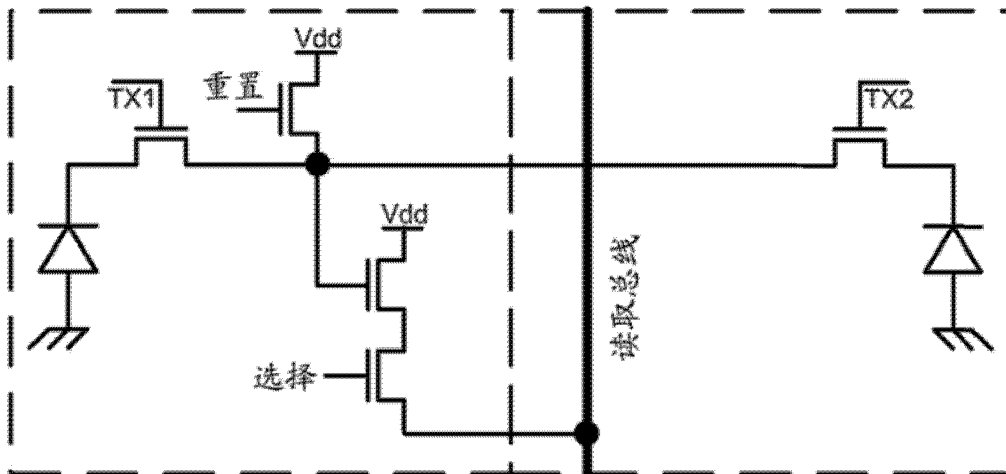


图 13

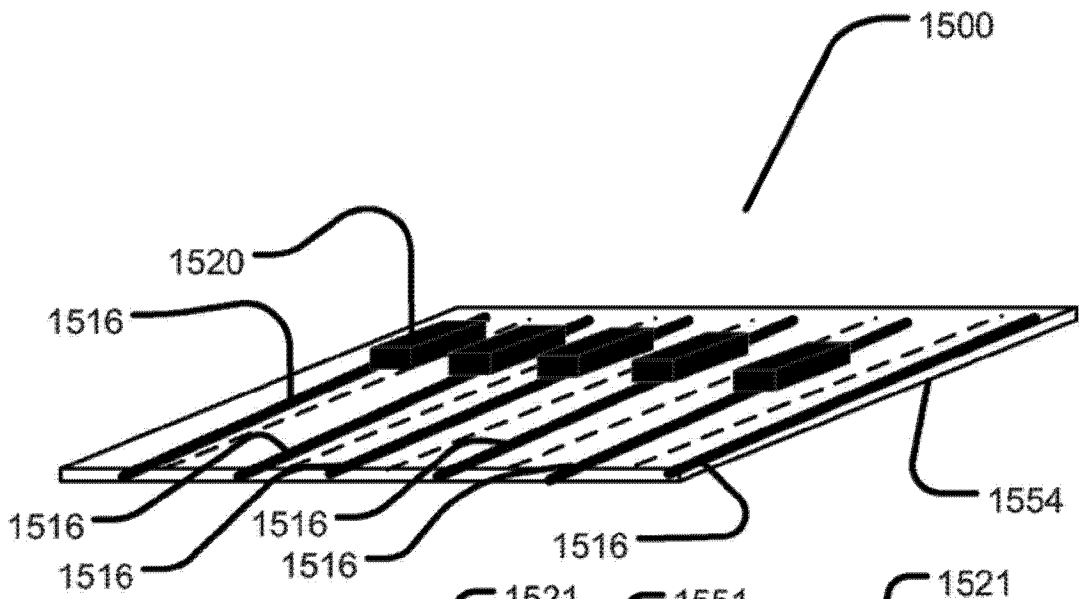


图 14

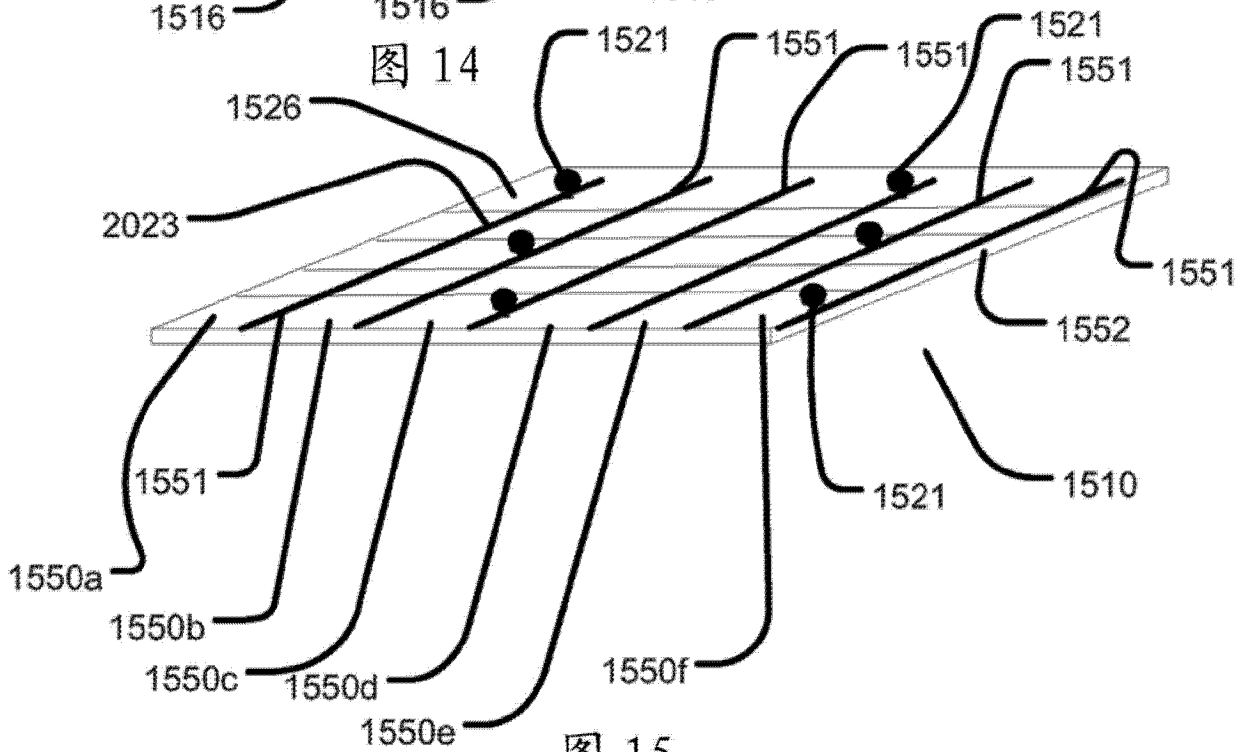


图 15

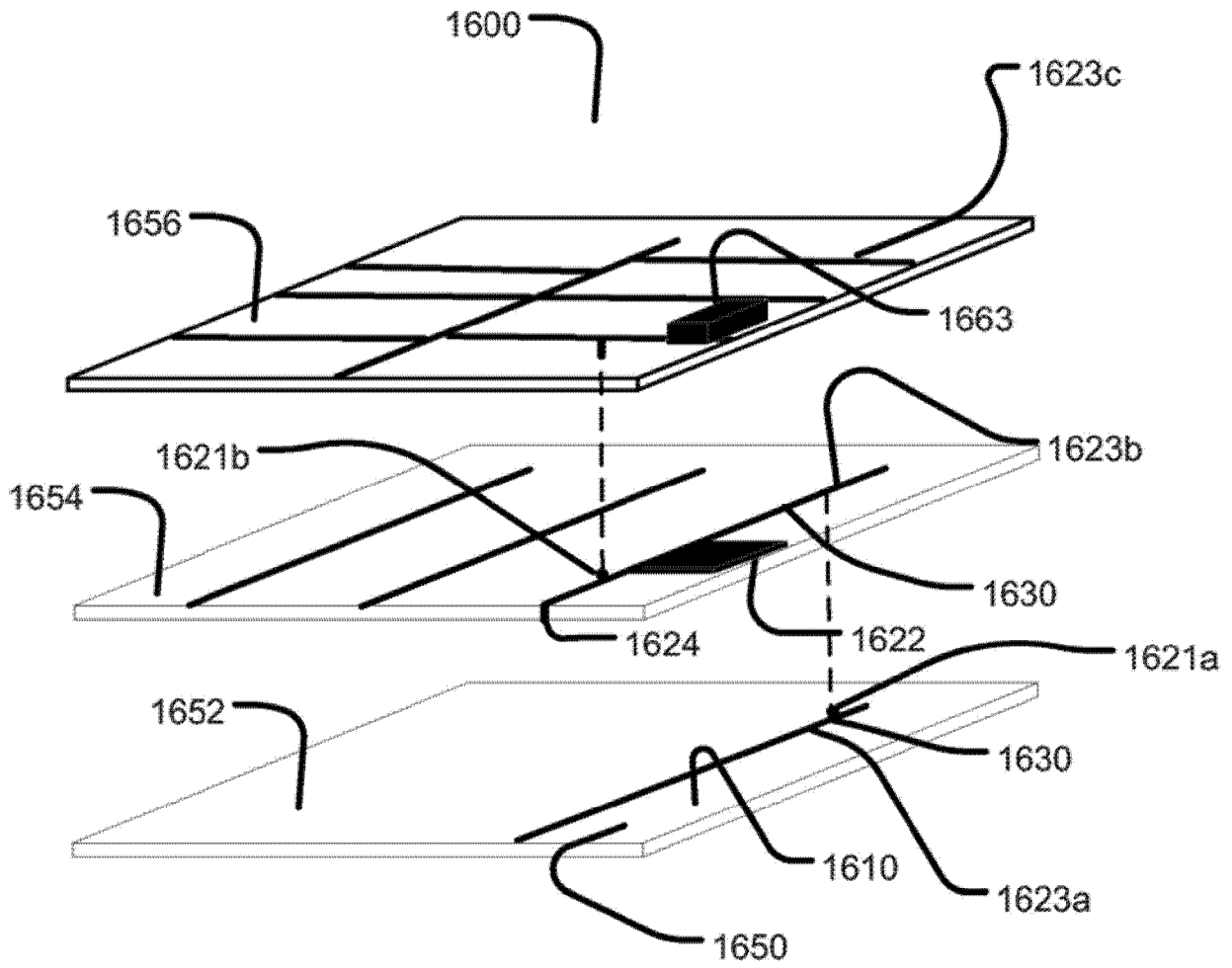


图 16

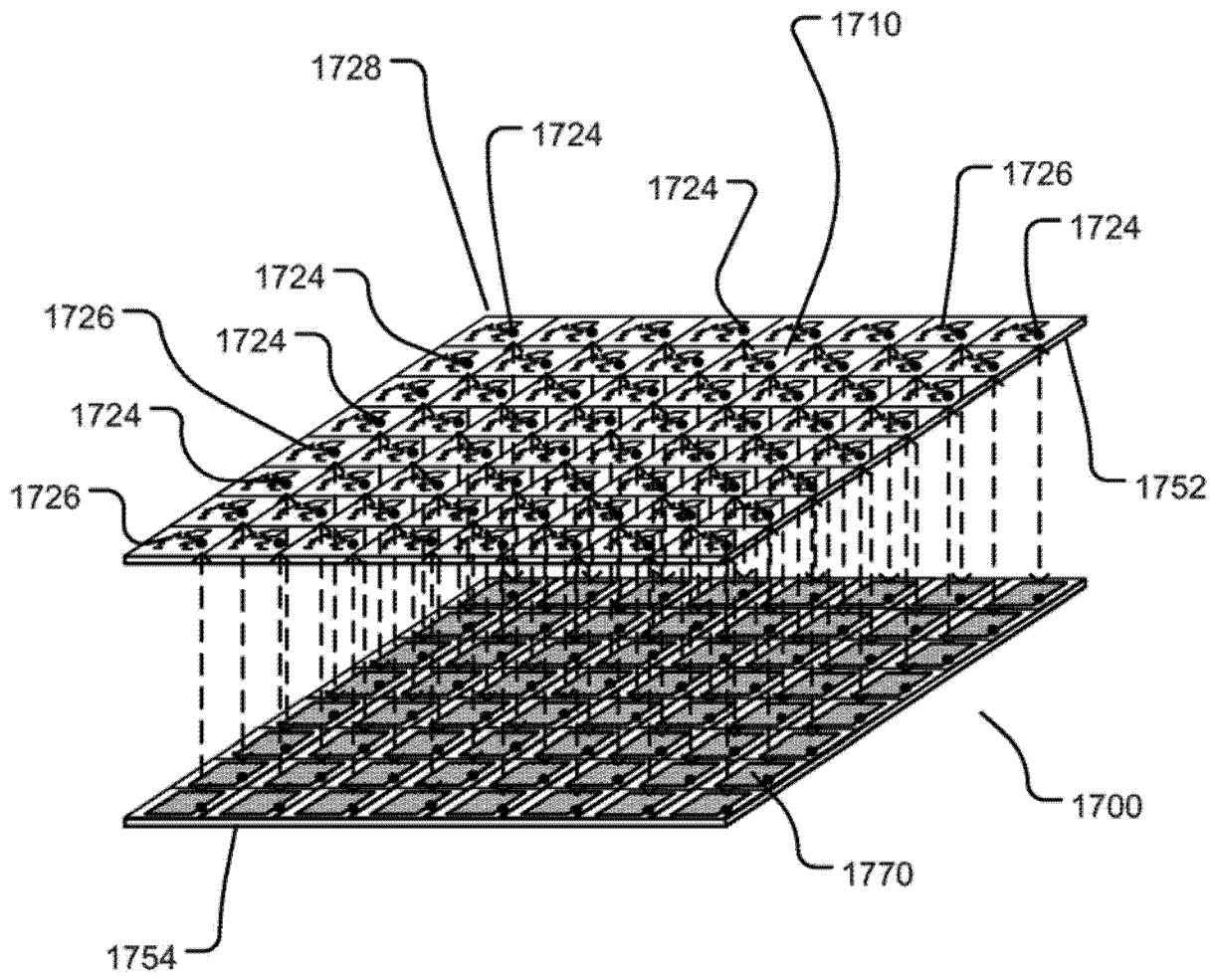


图 17a

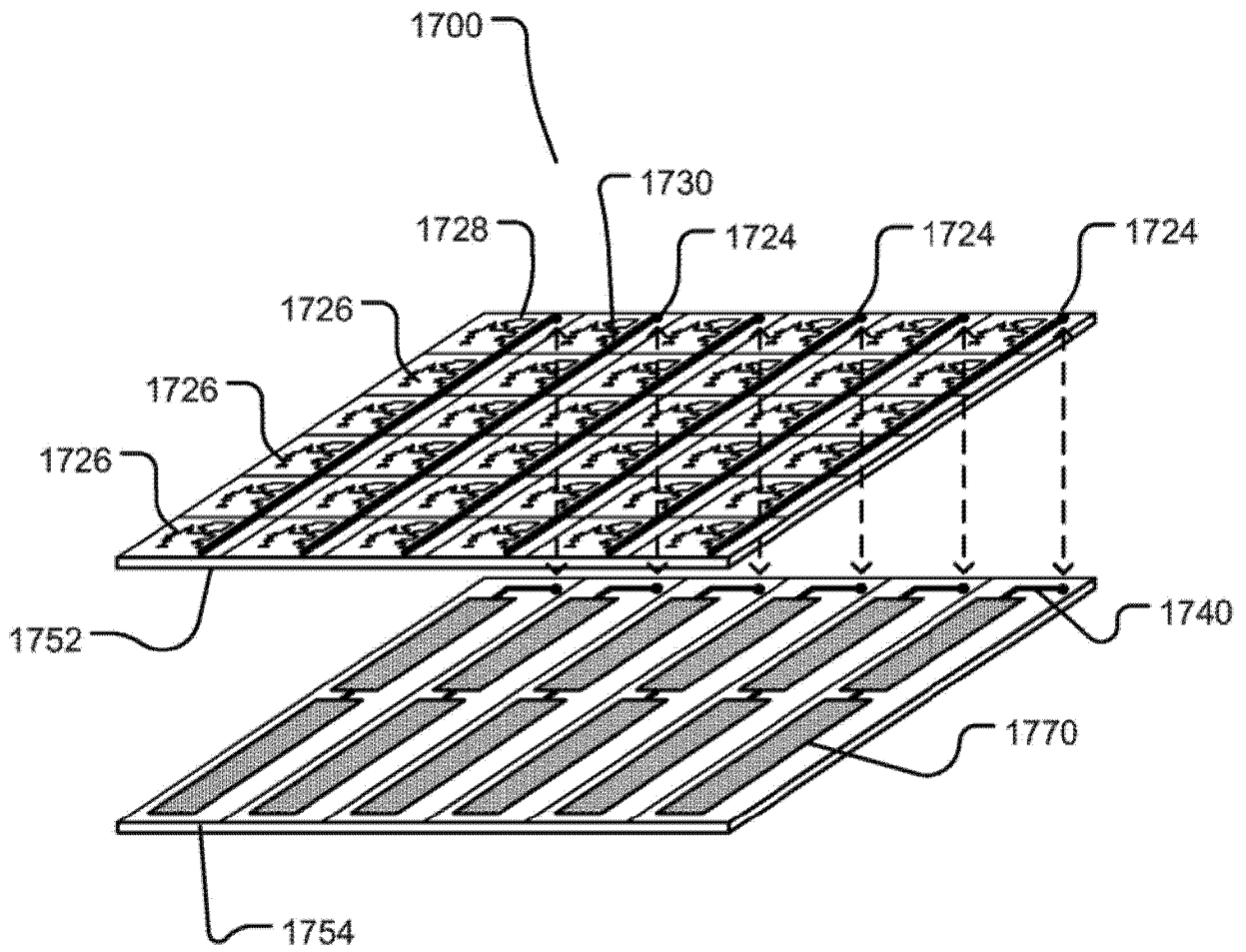


图 17b

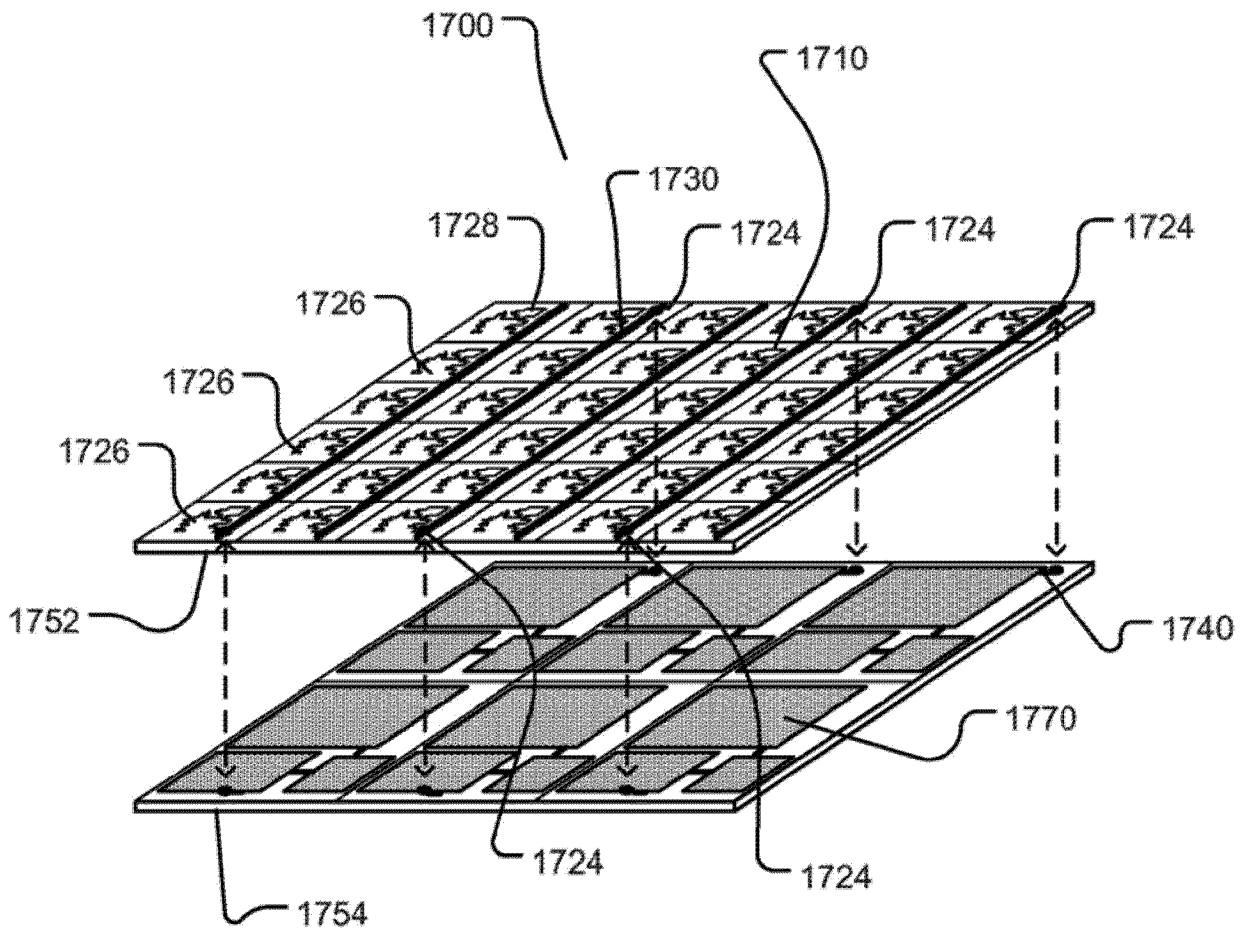


图 17c

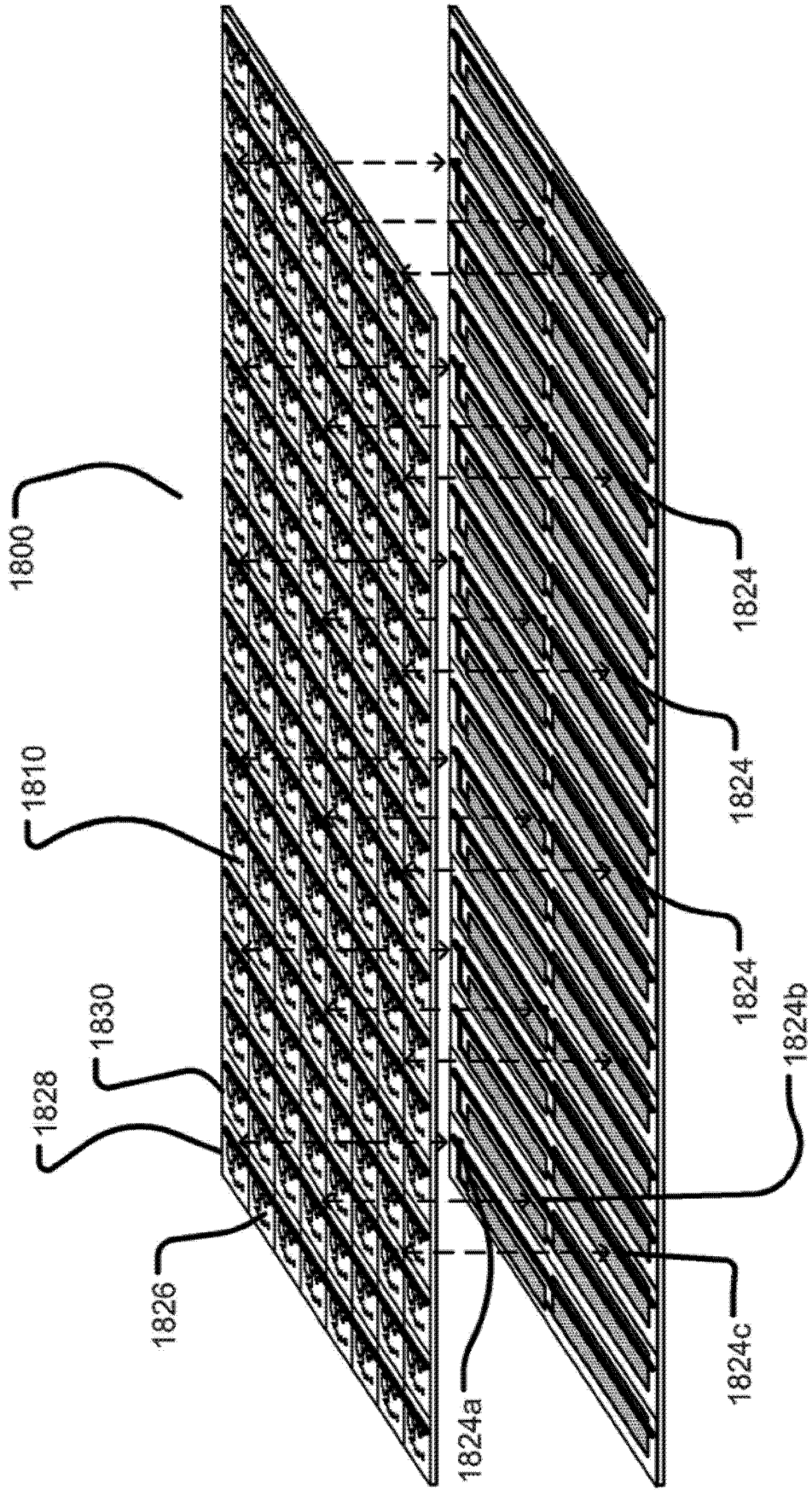


图 18a

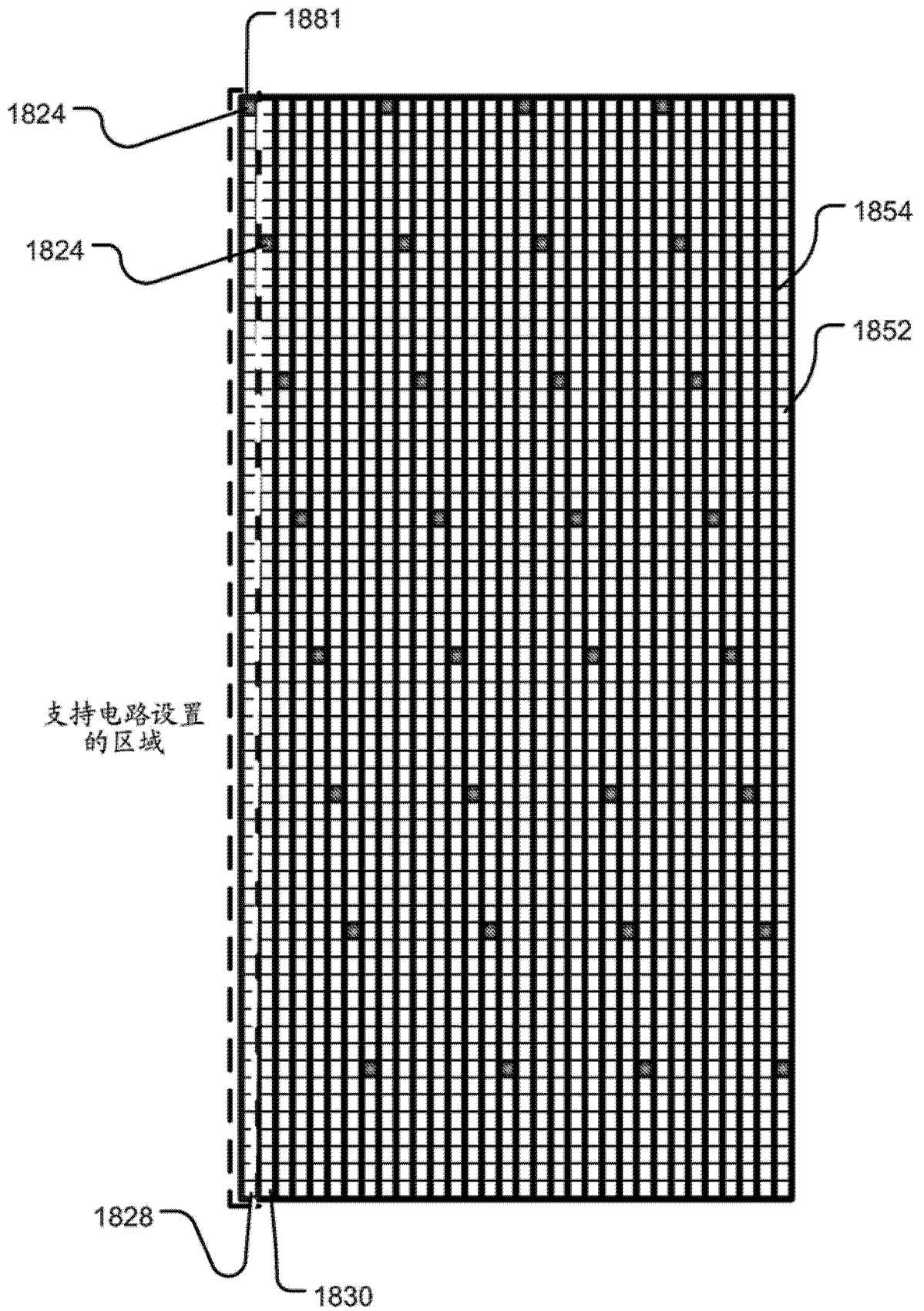


图 18b

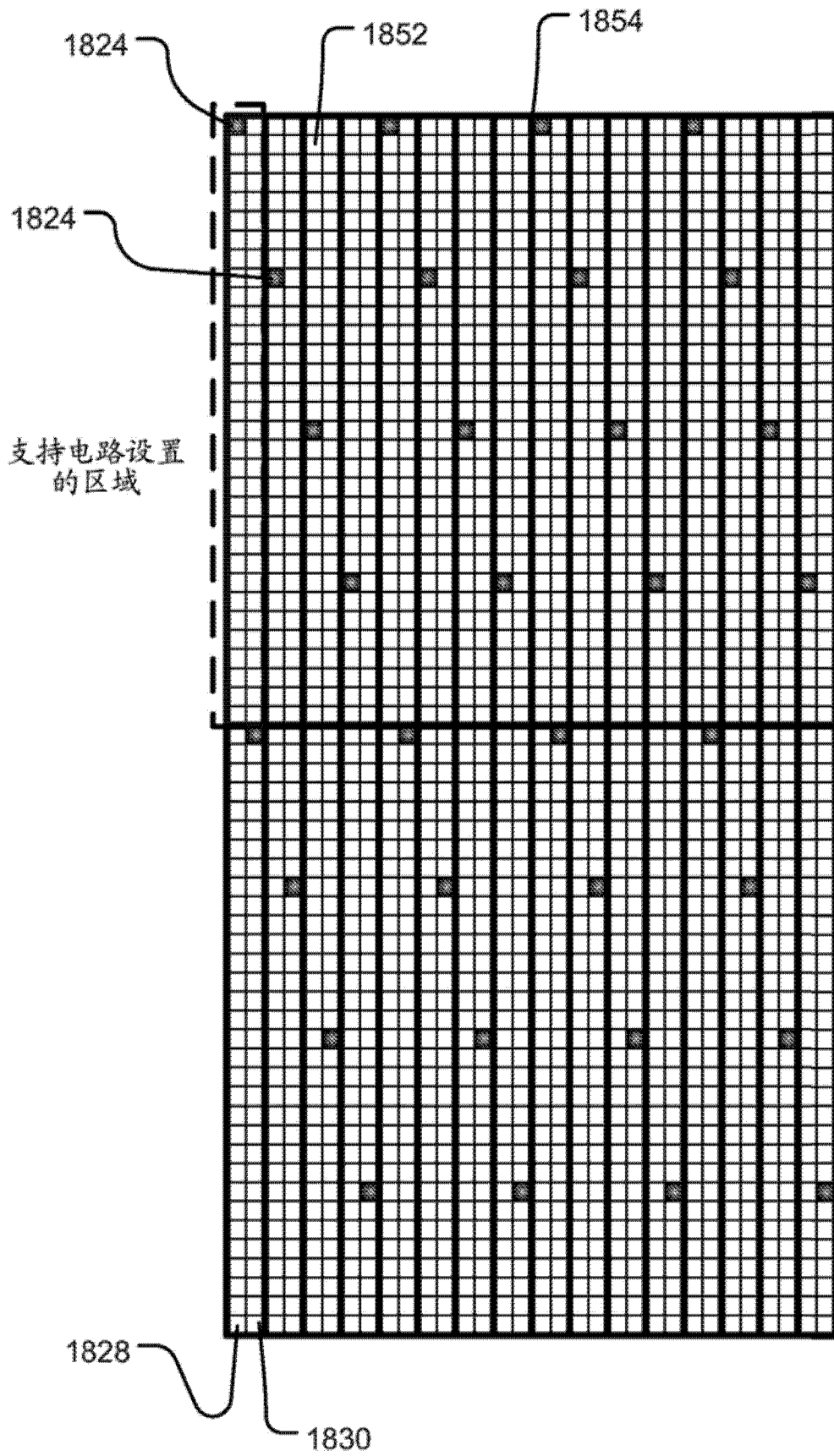


图 18c

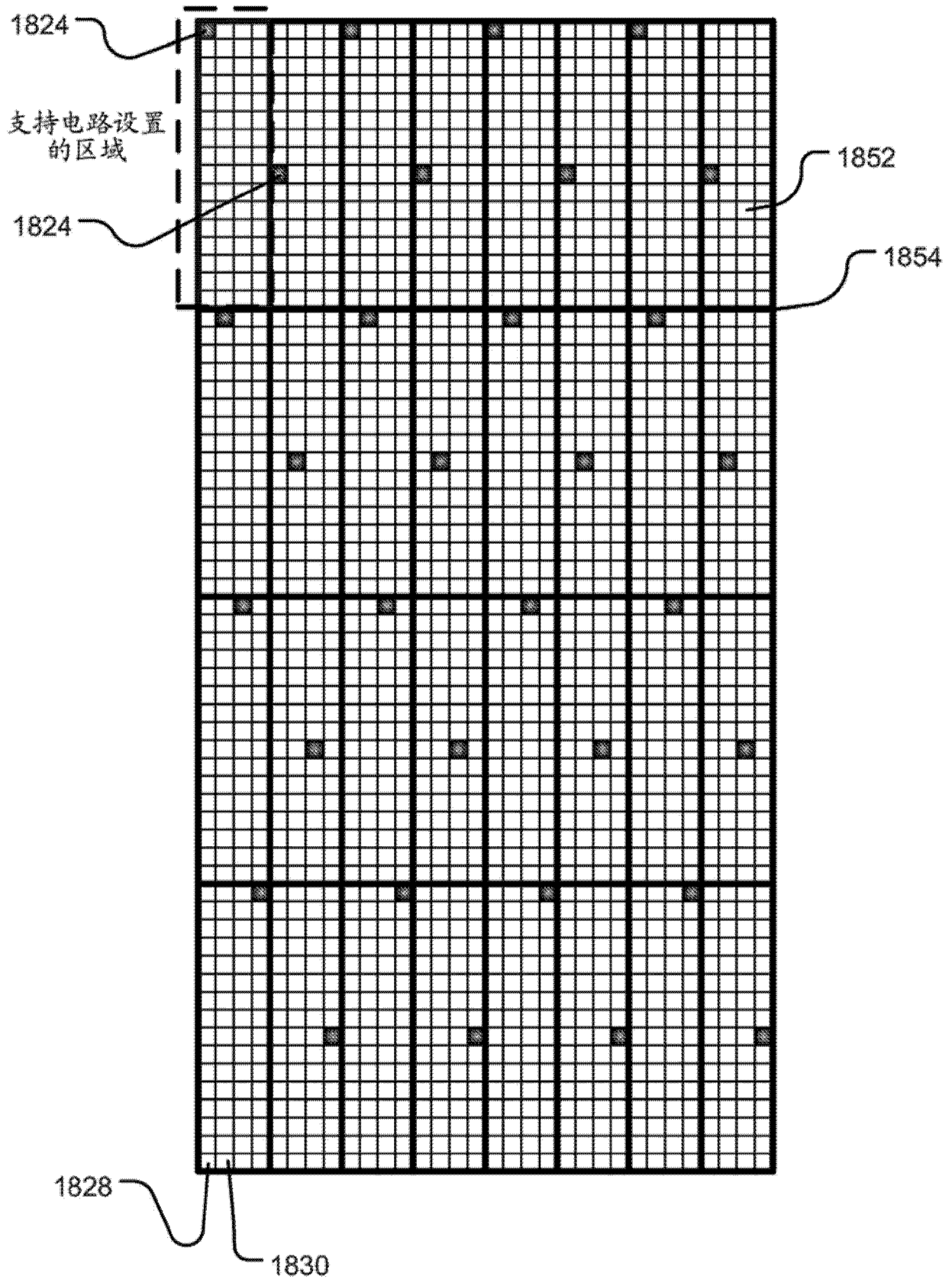


图 18d

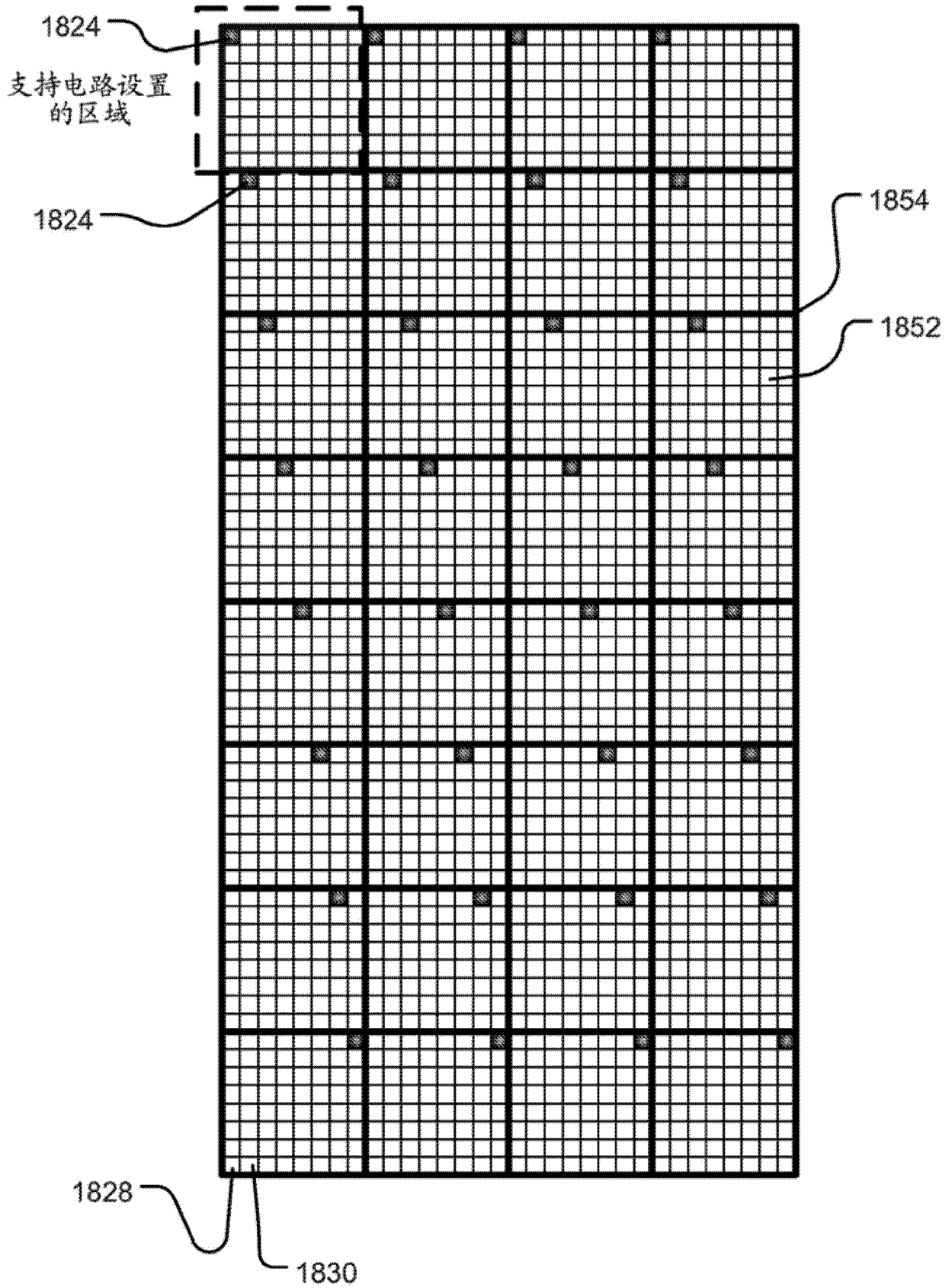


图 18e

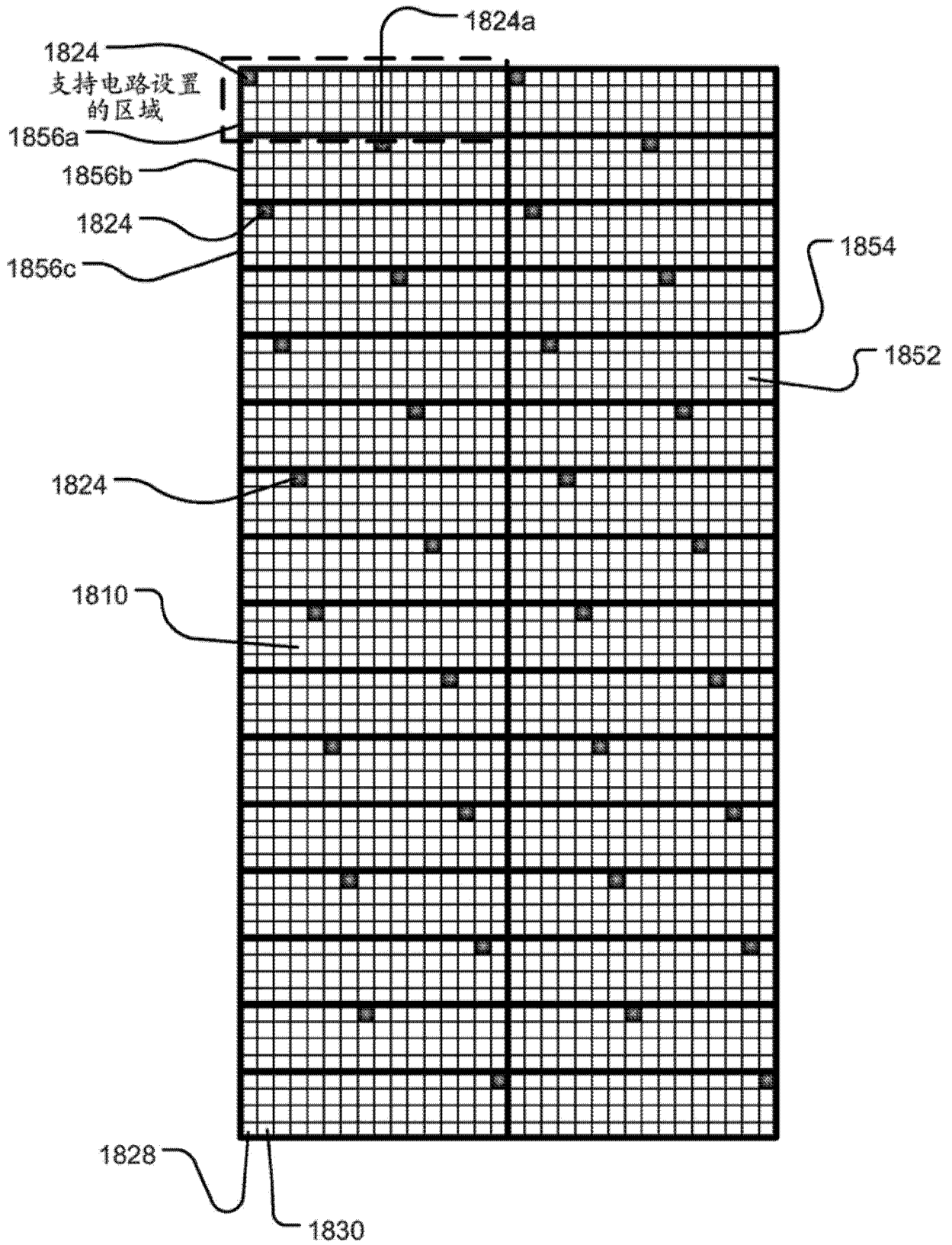


图 18f

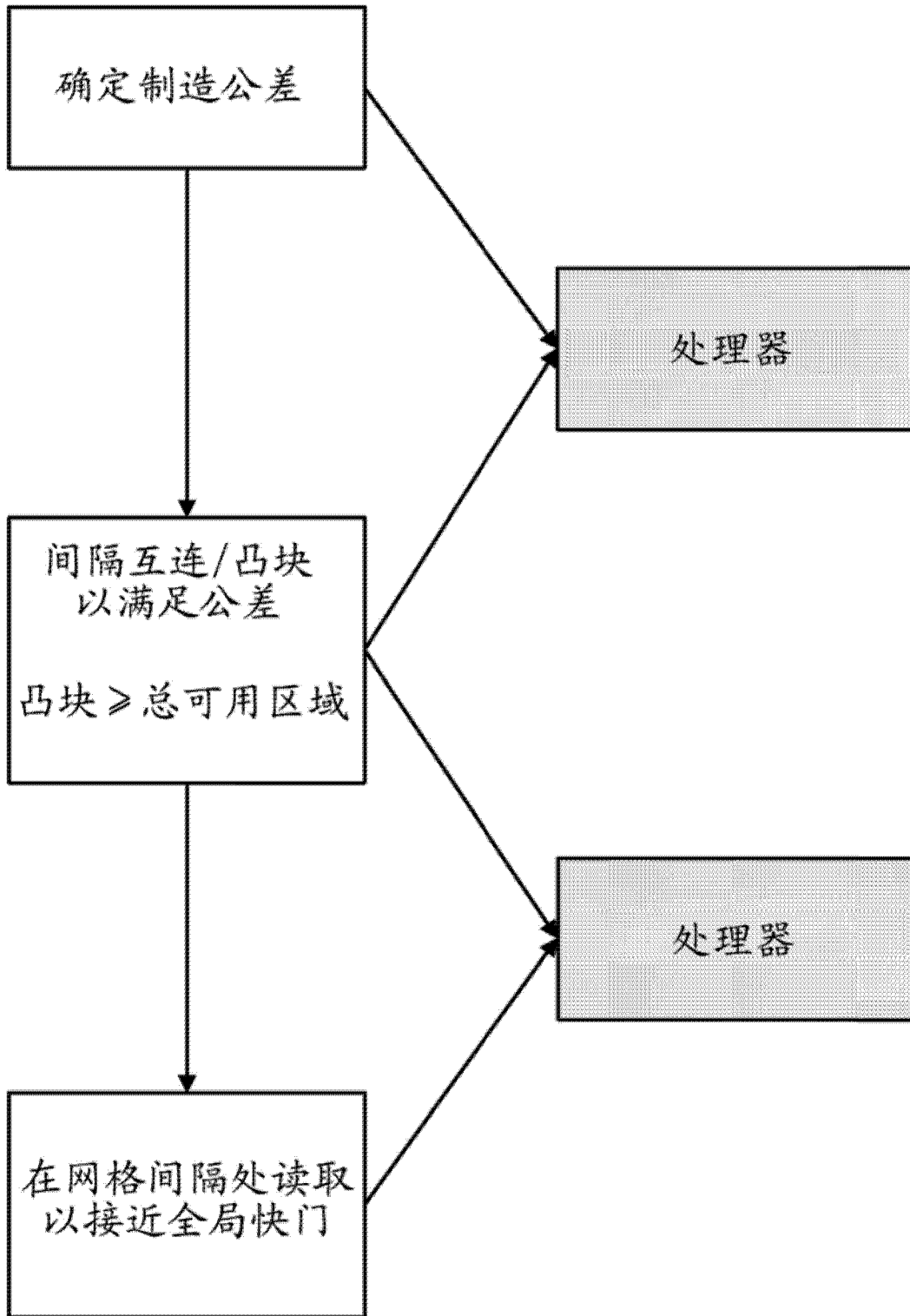


图 19

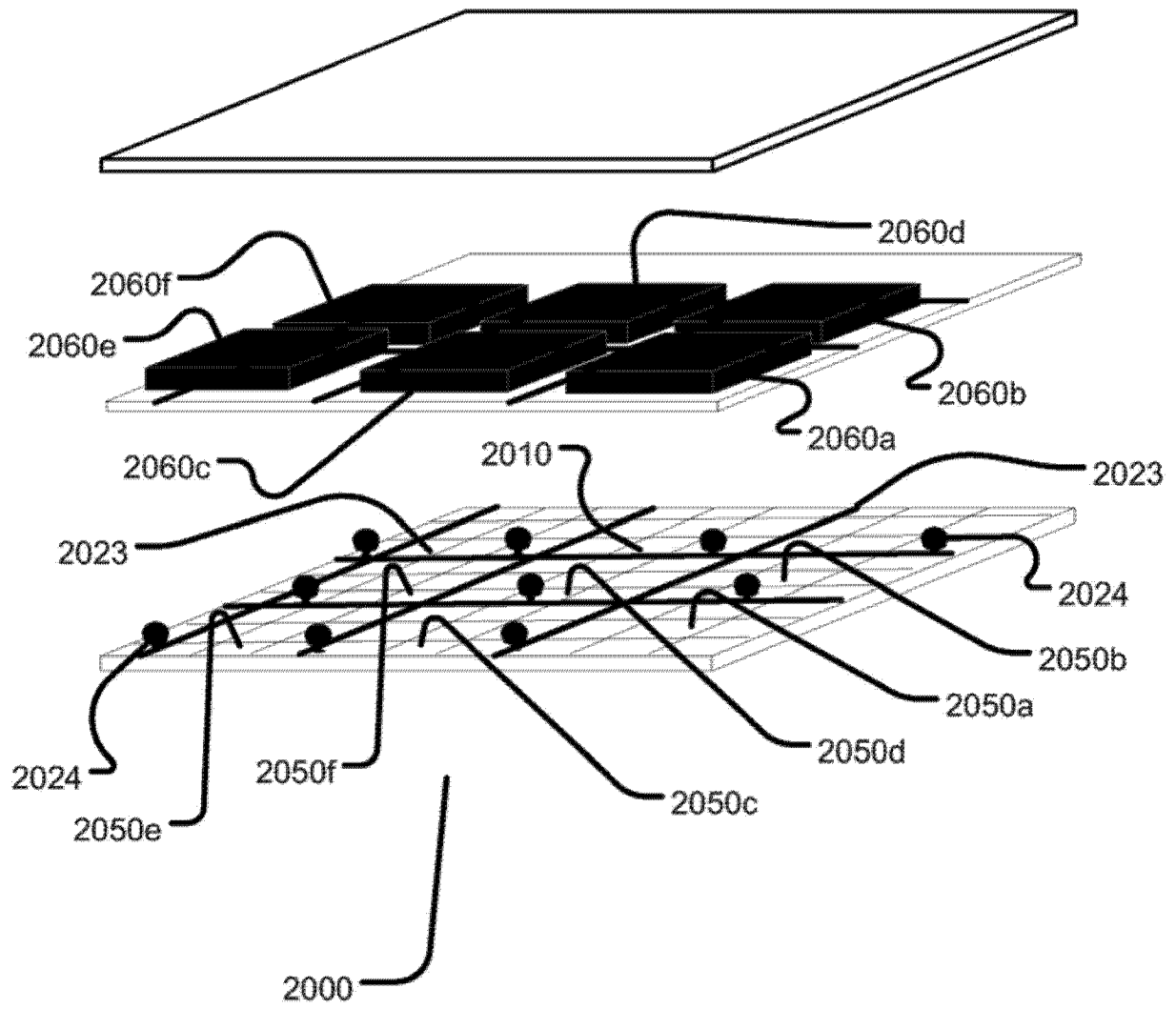


图 20

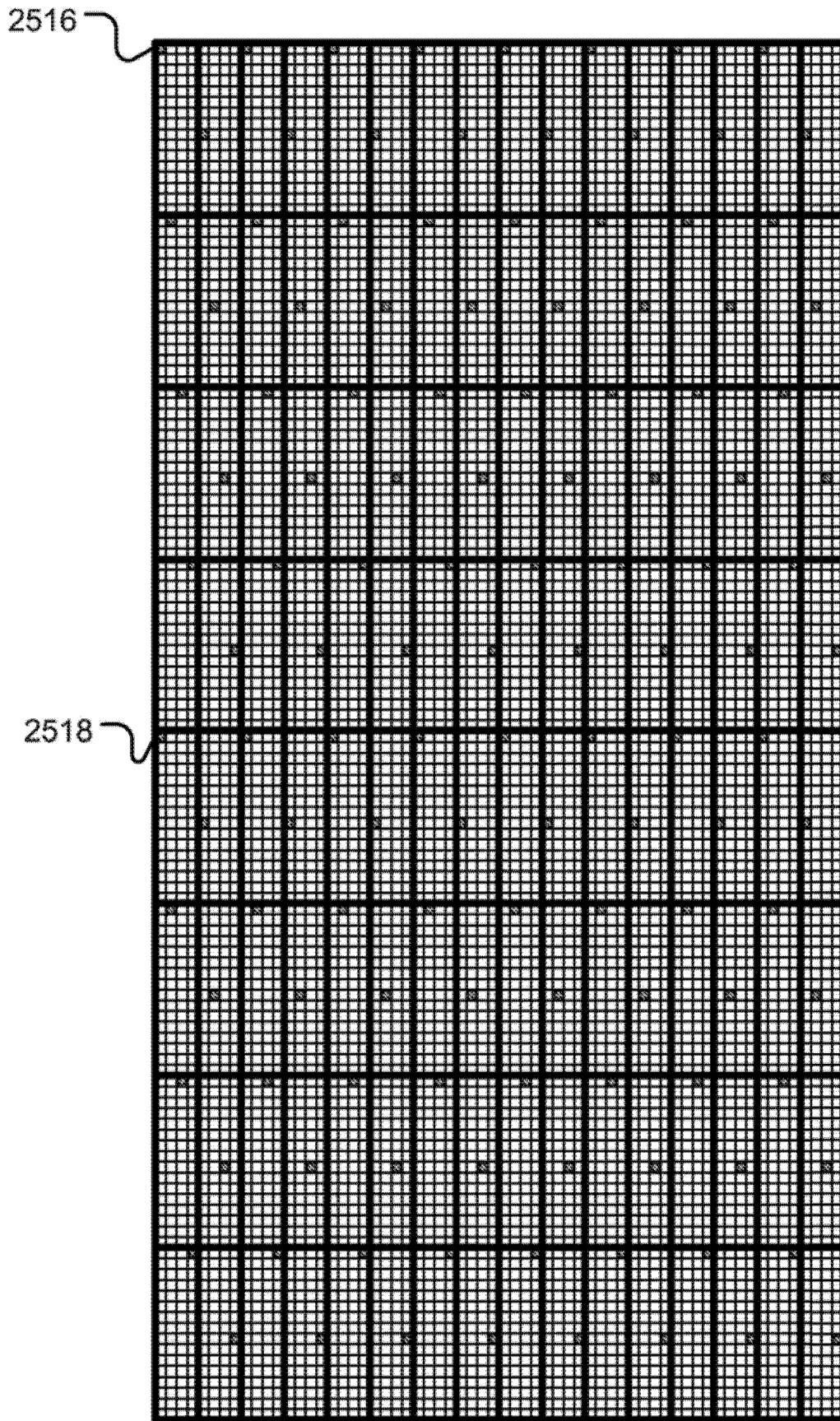


图 21

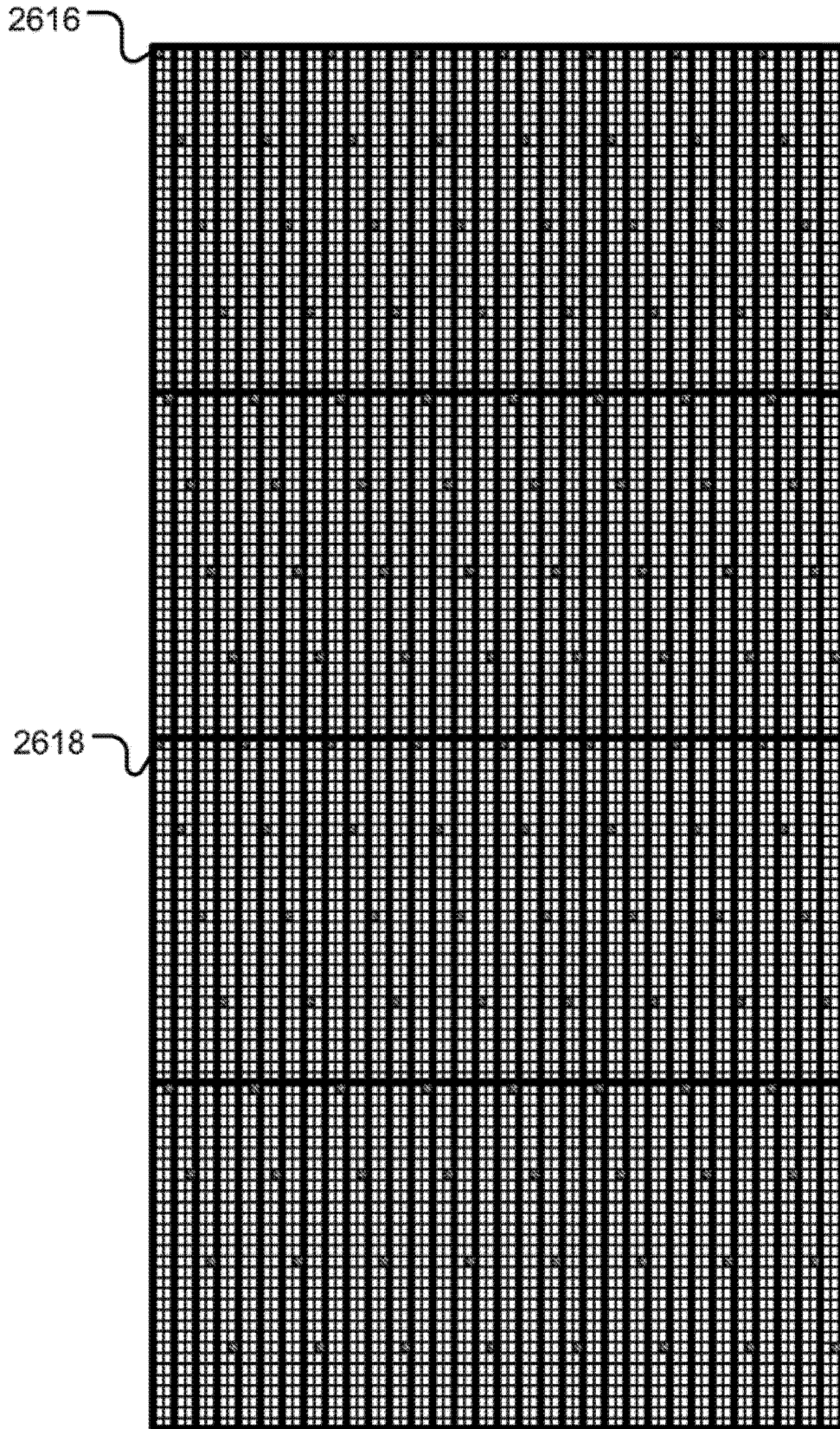


图 22

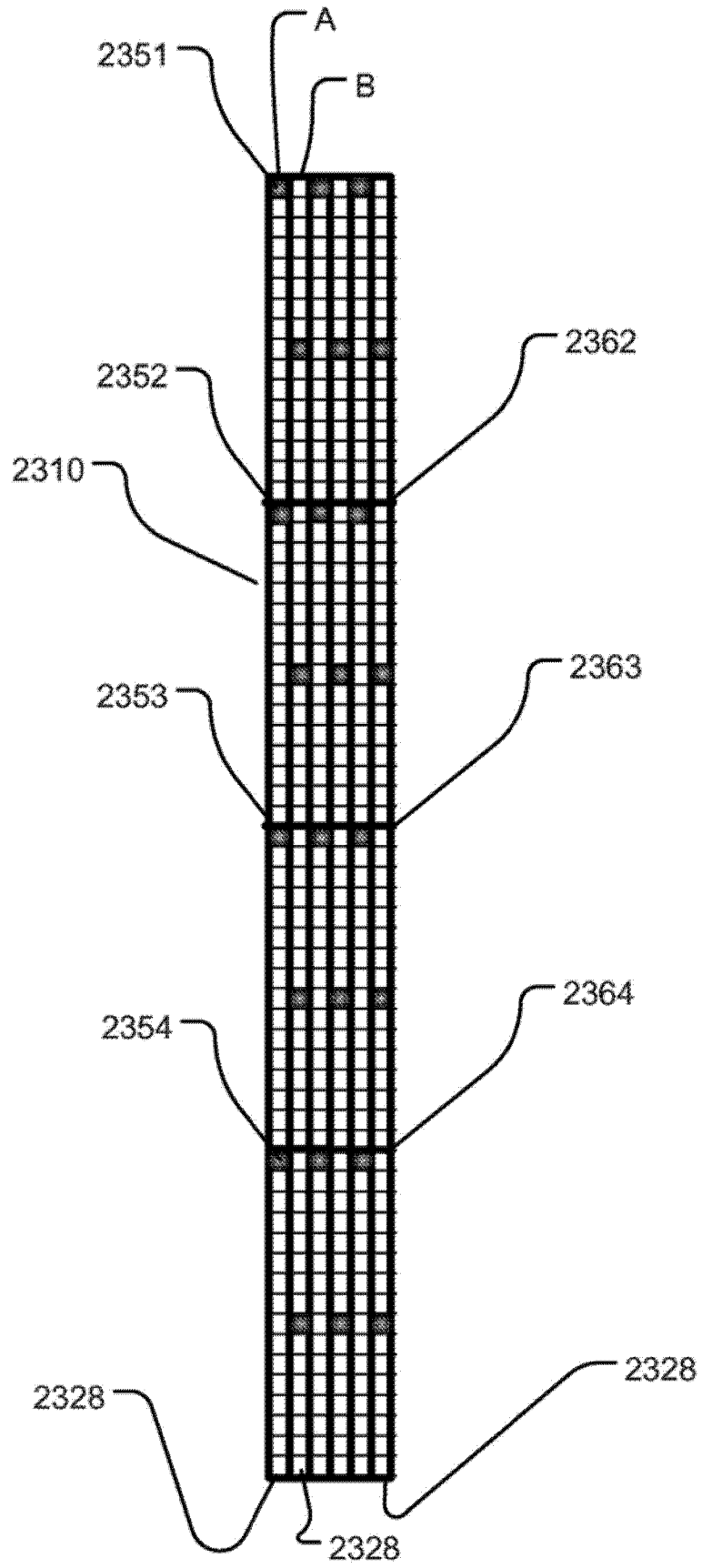


图 23

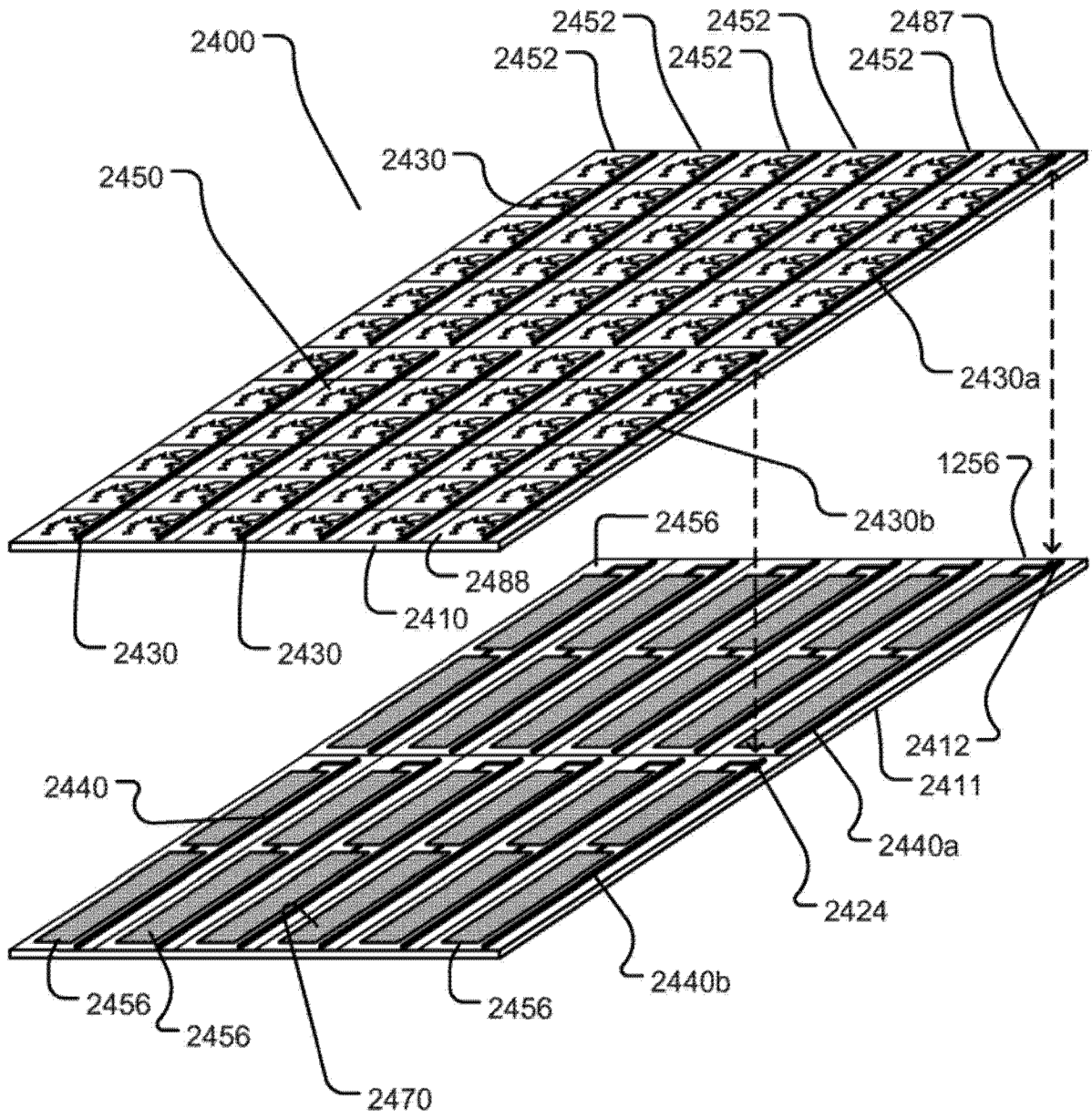


图 24

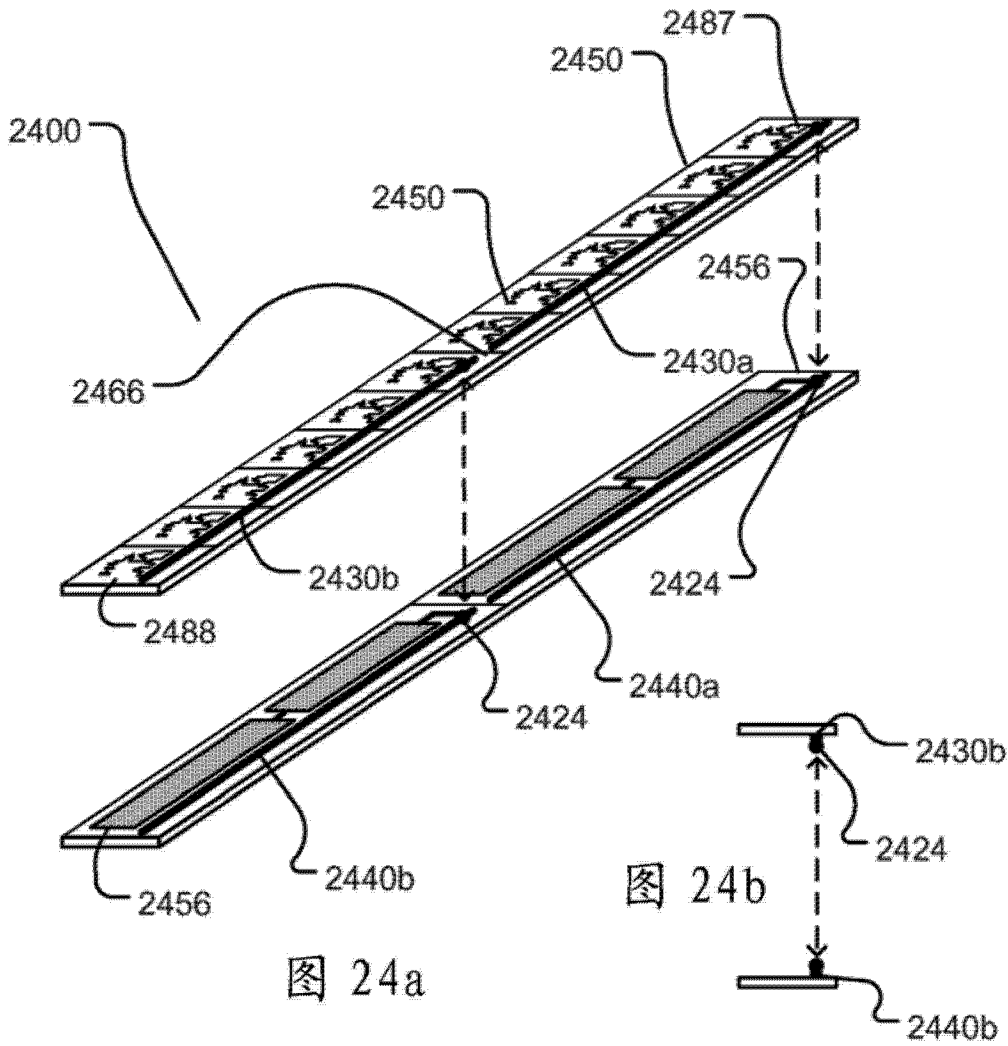


图 24a

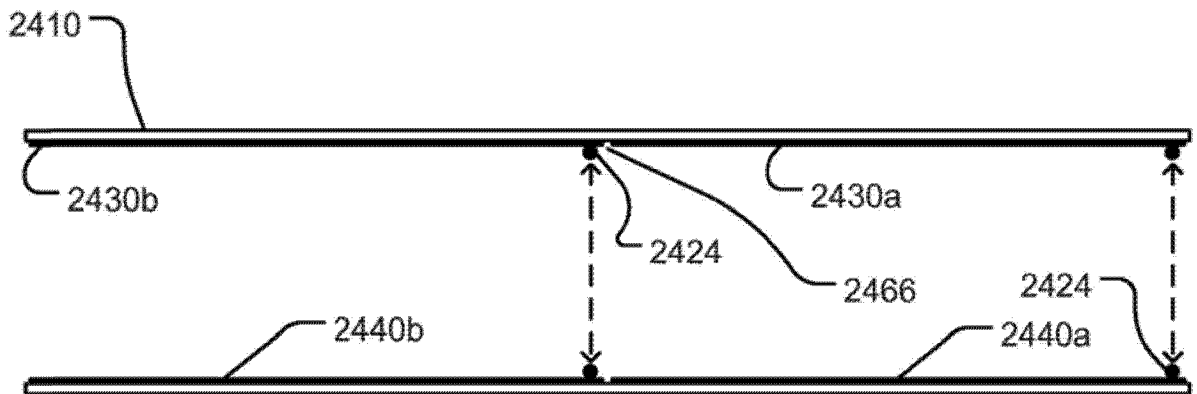


图 24c

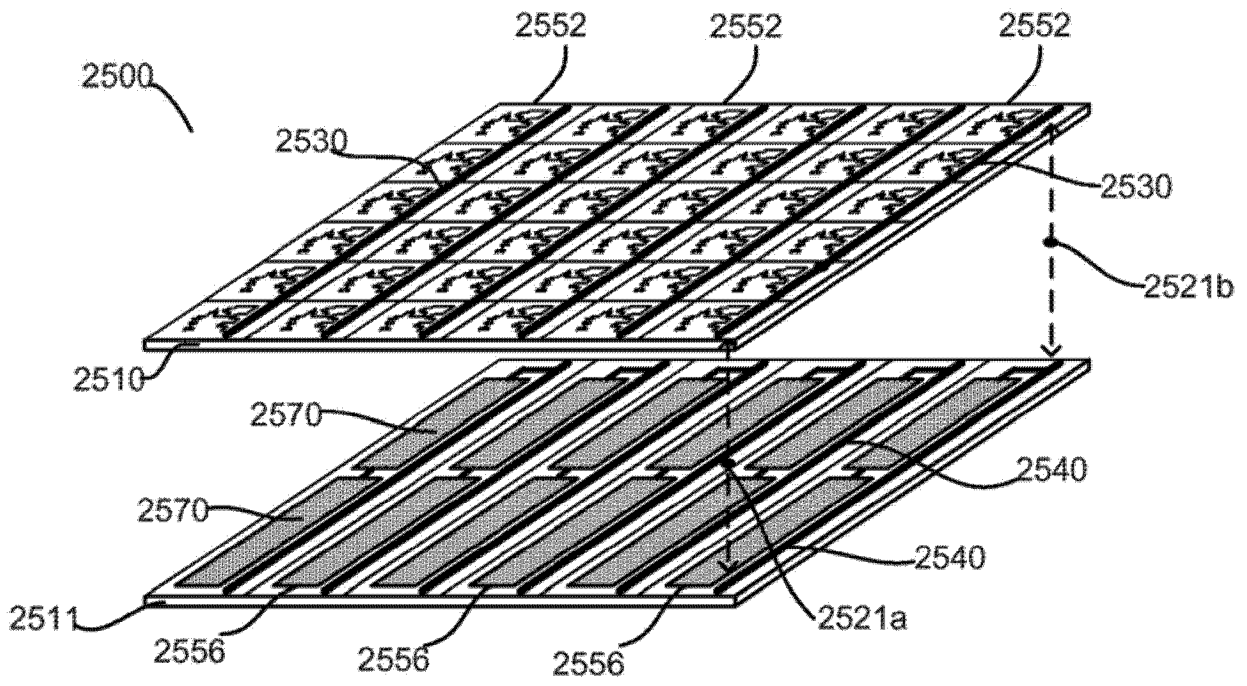


图 25

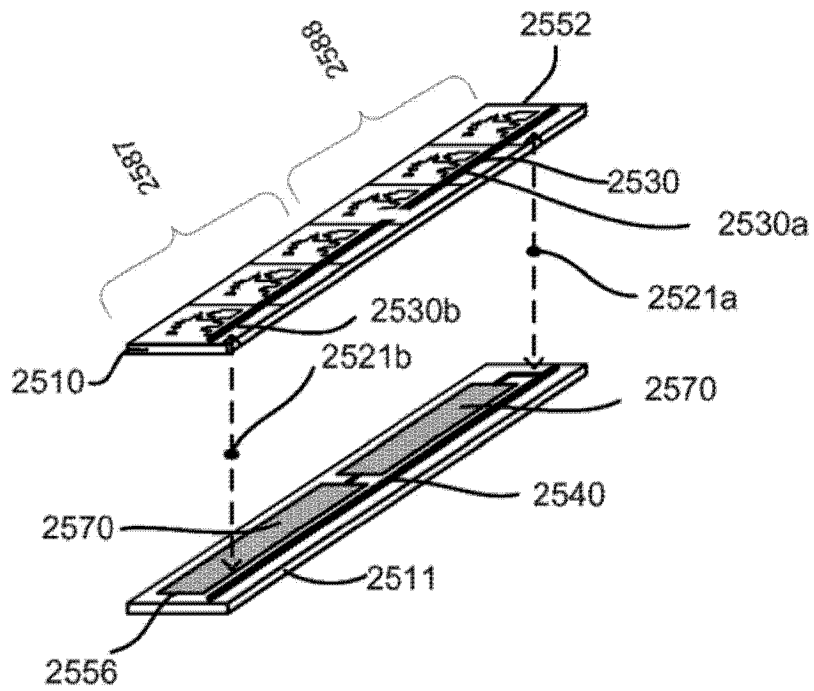


图 25a

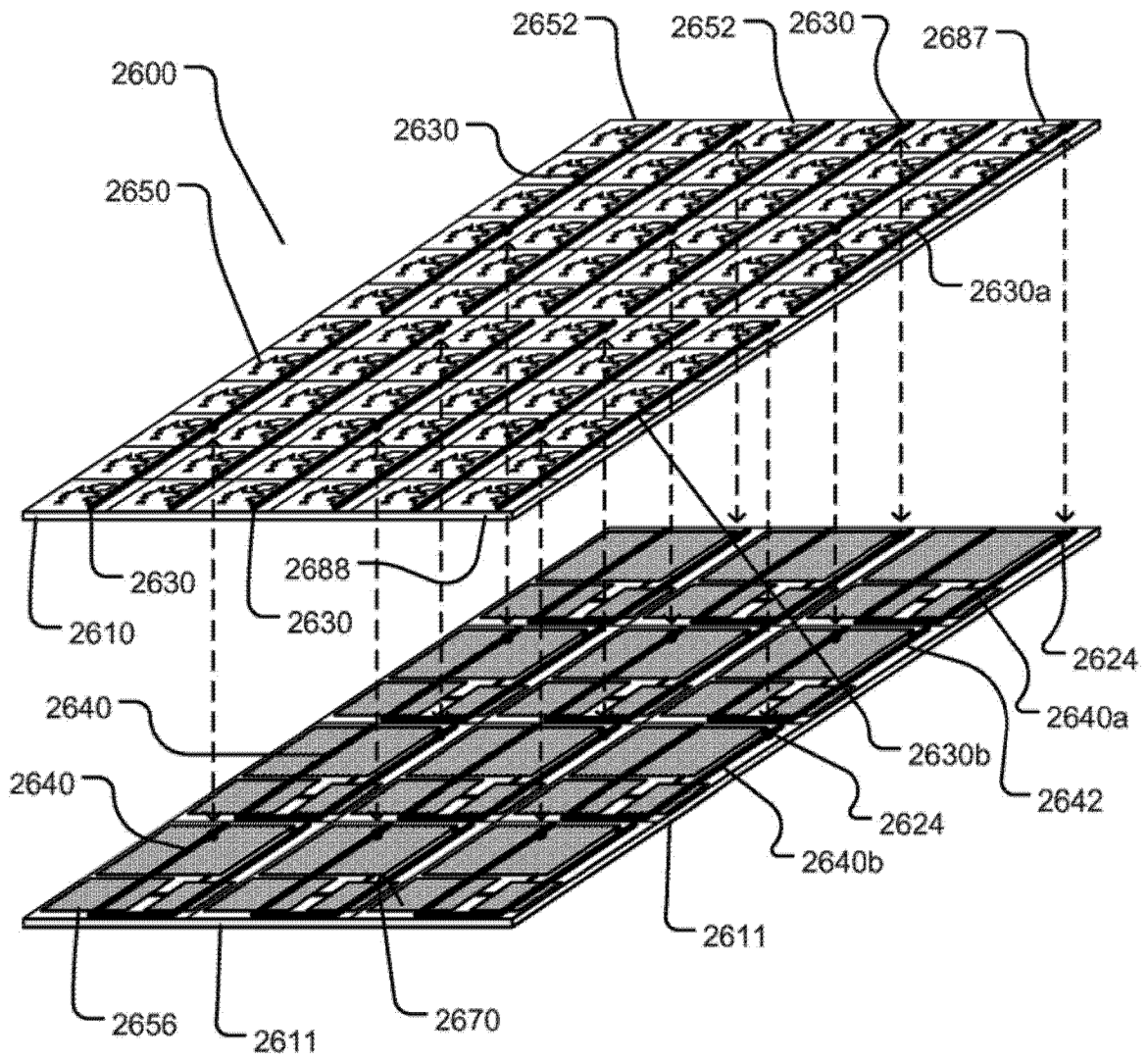


图 26

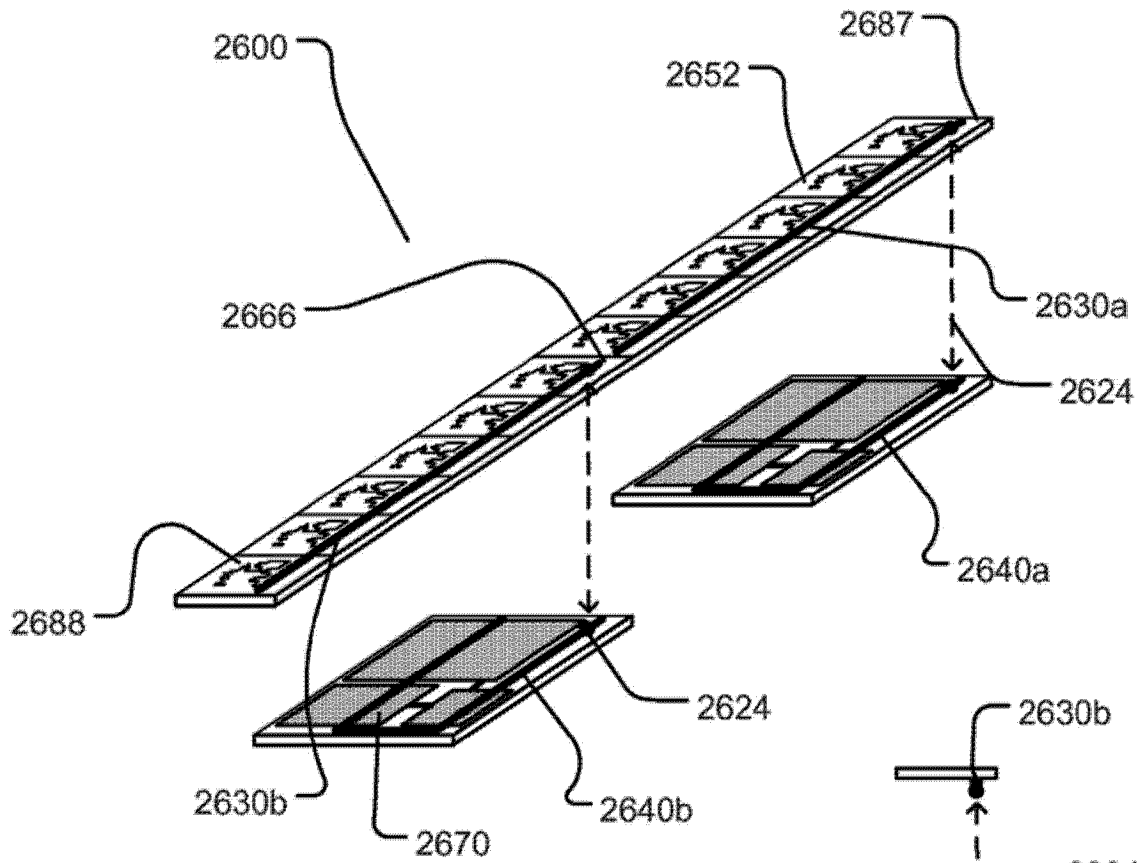


图 26a

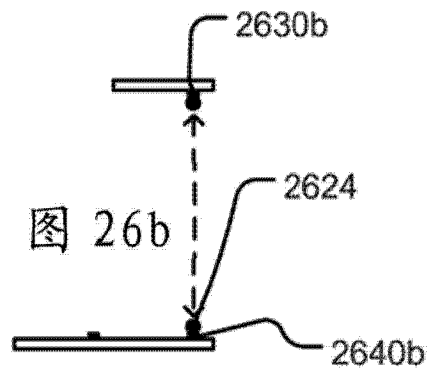


图 26b

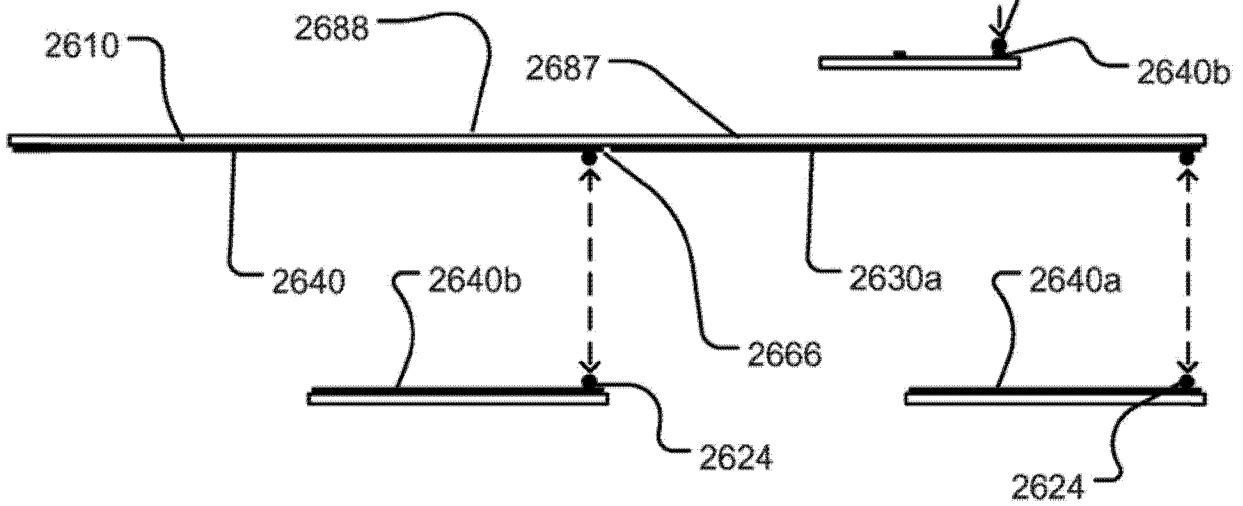


图 26c

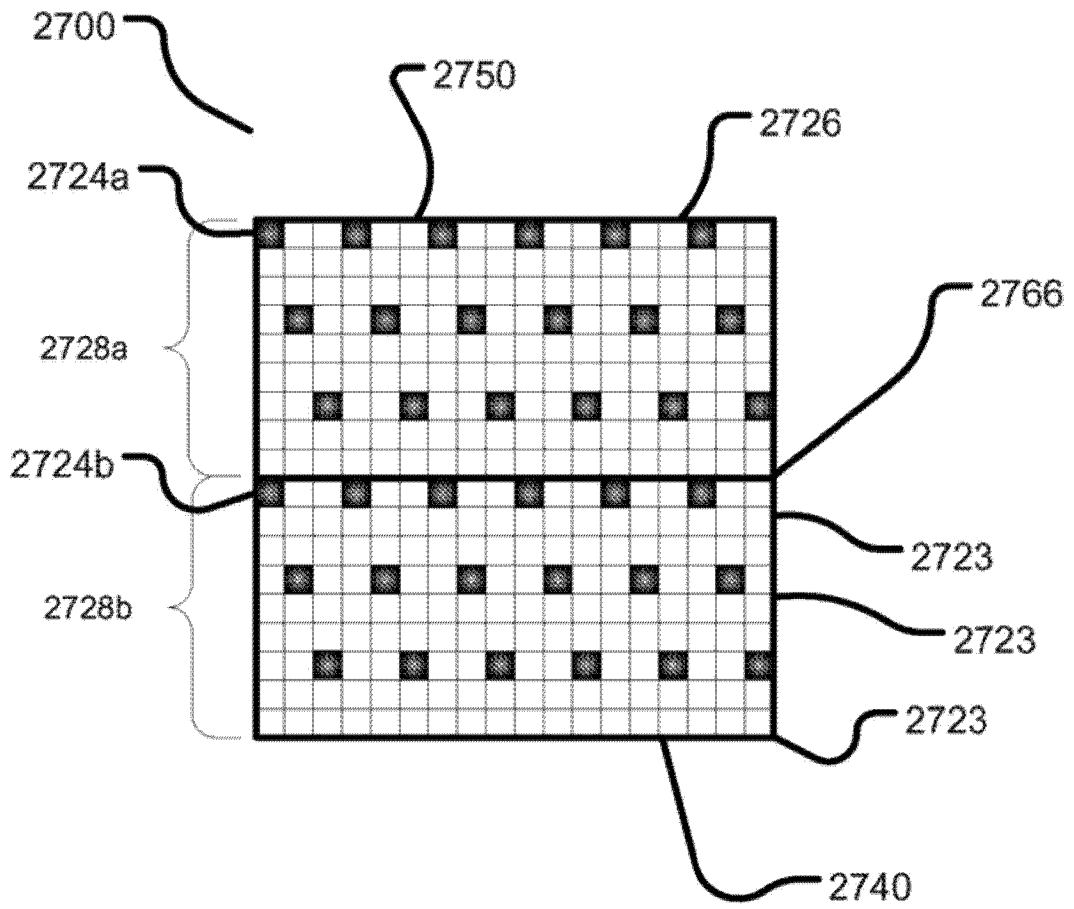


图 27

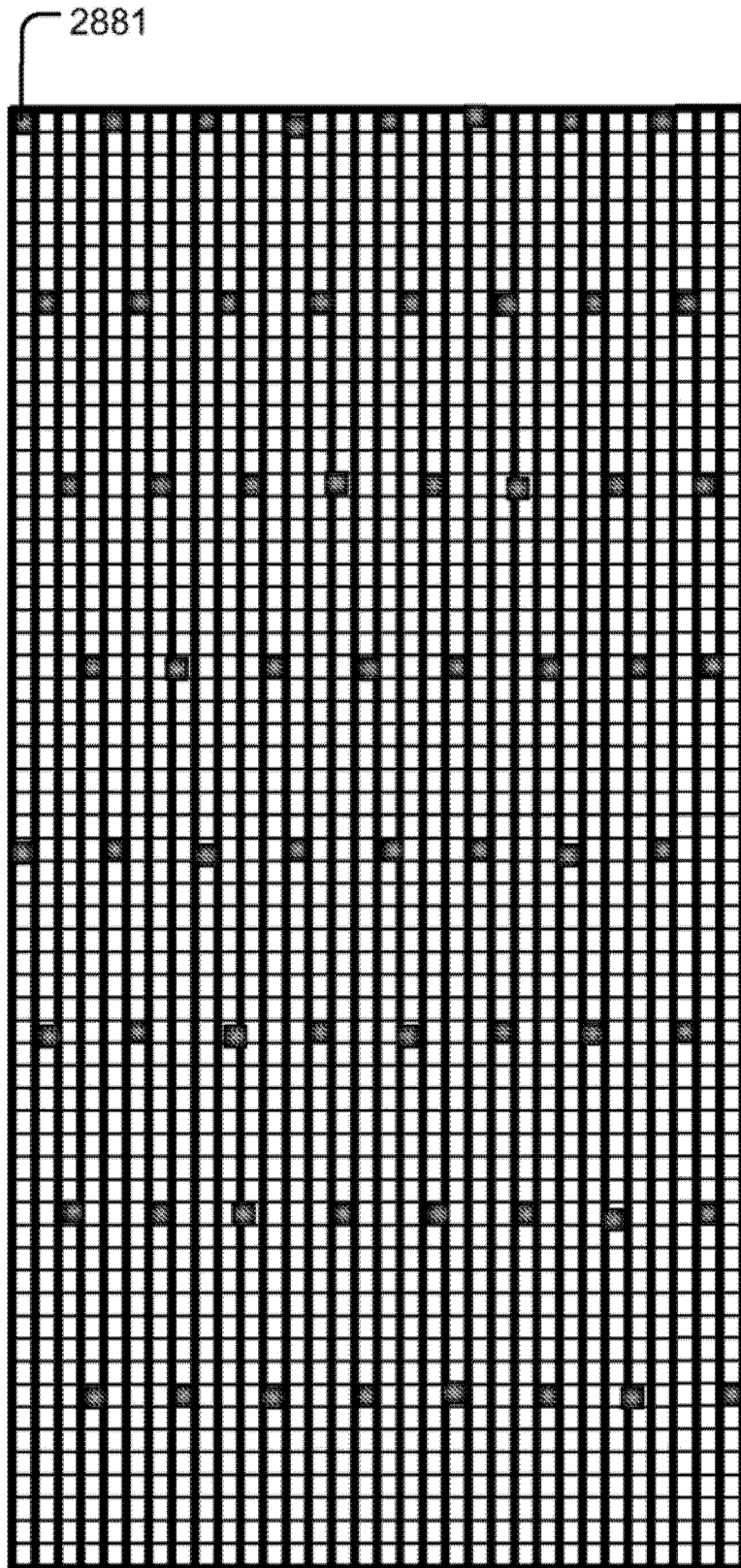


图 28

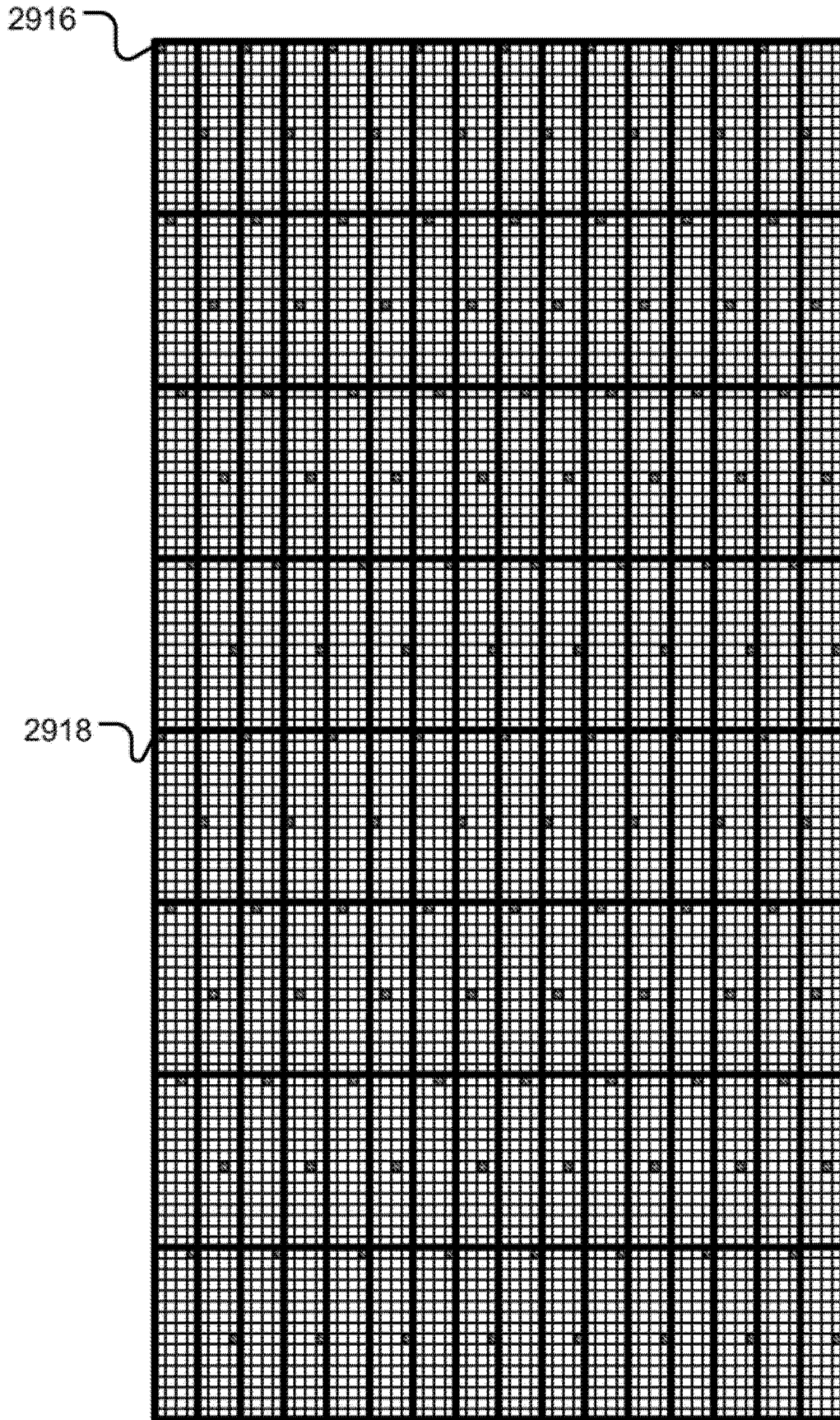


图 29

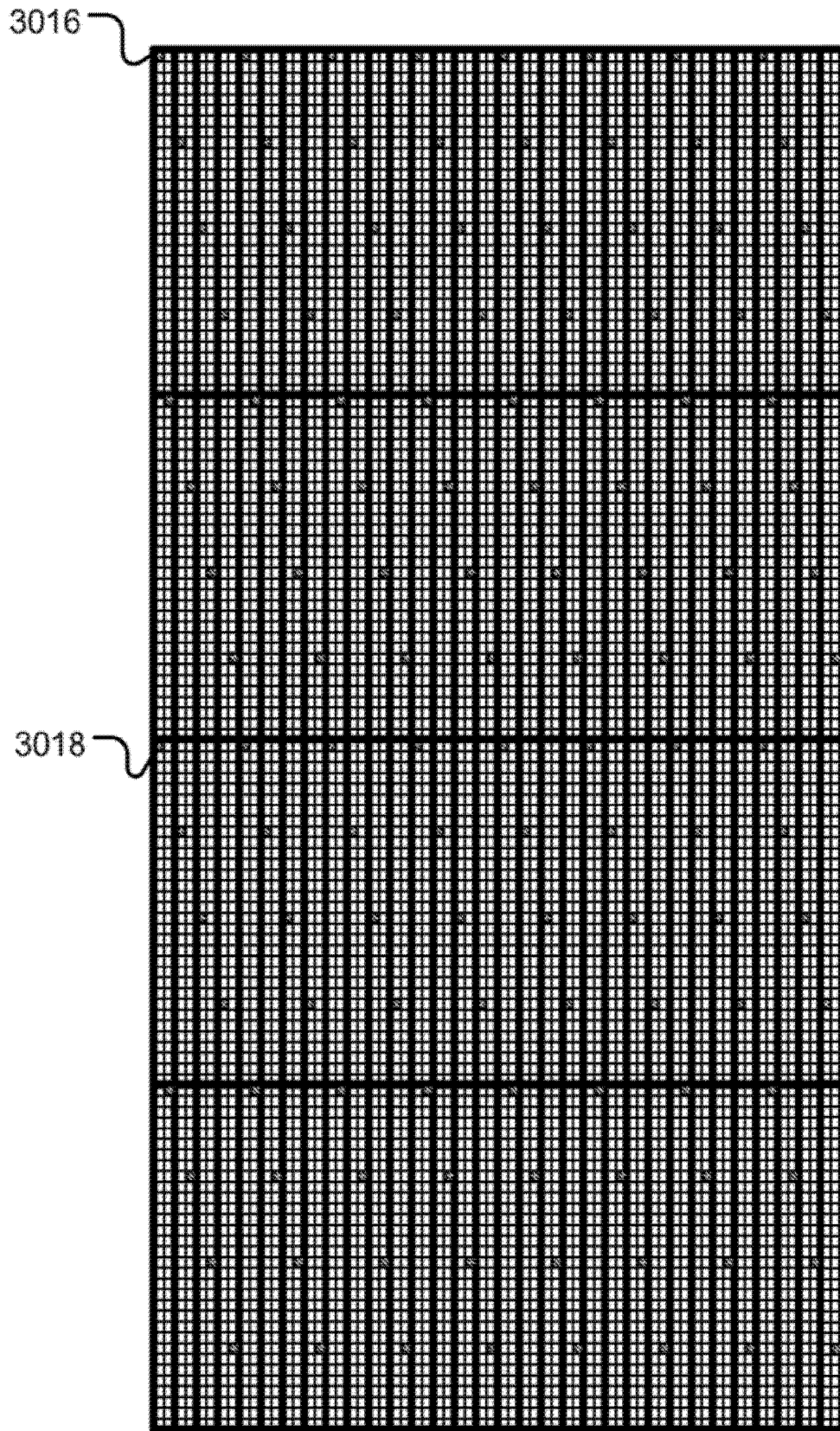


图 30

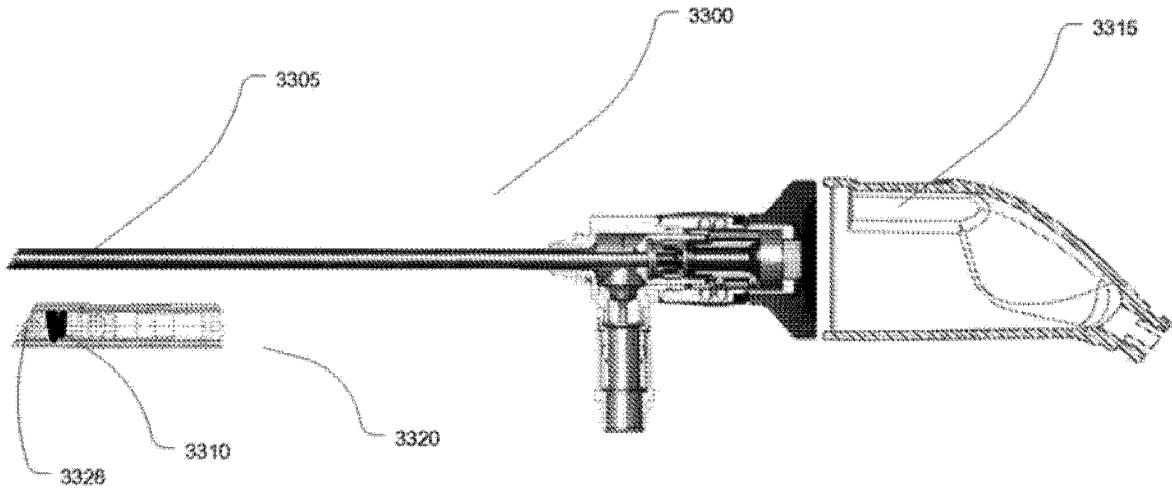


图 31

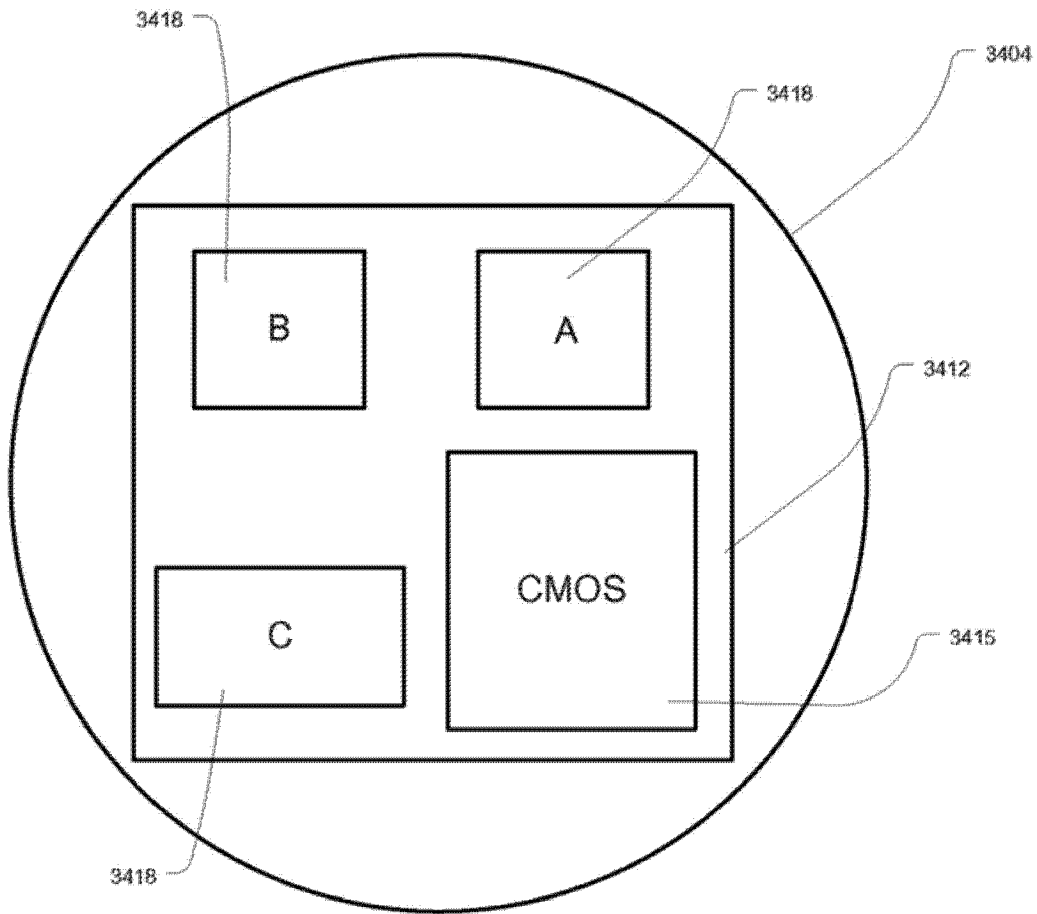


图 32a

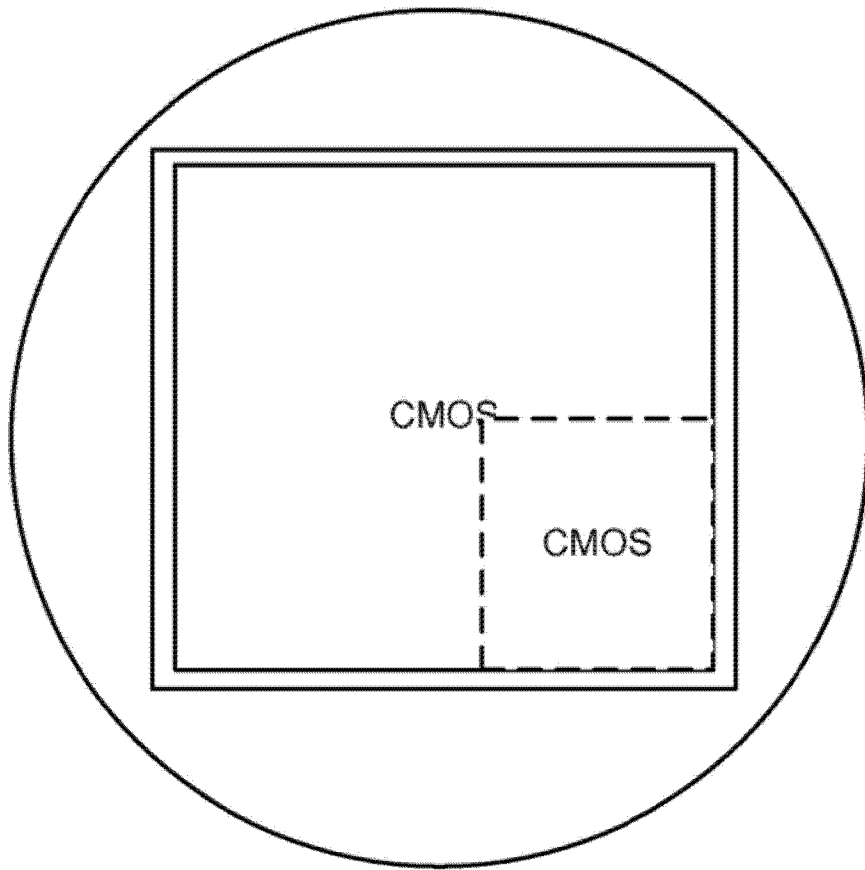


图 32b

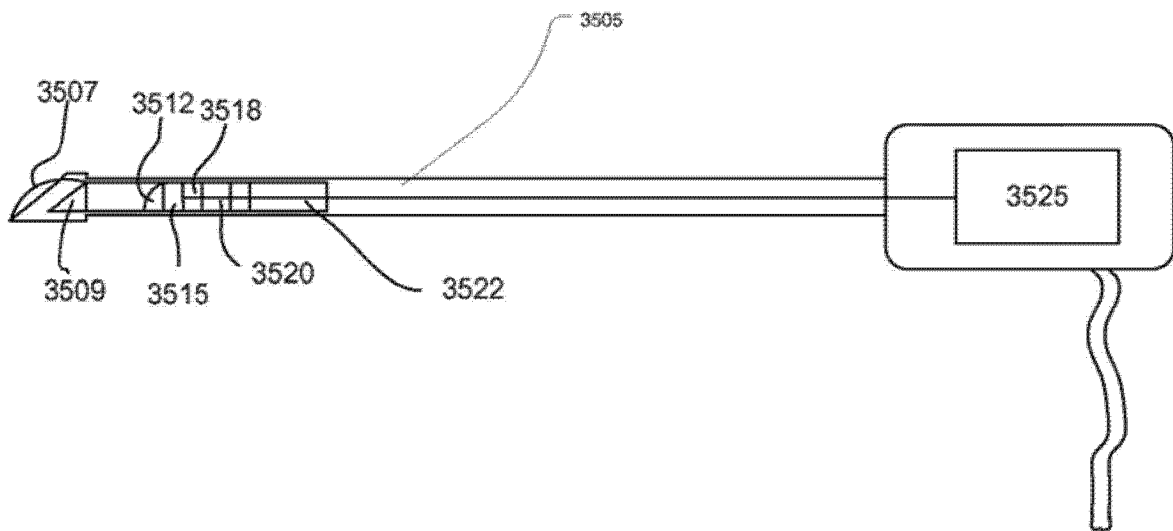


图 33a

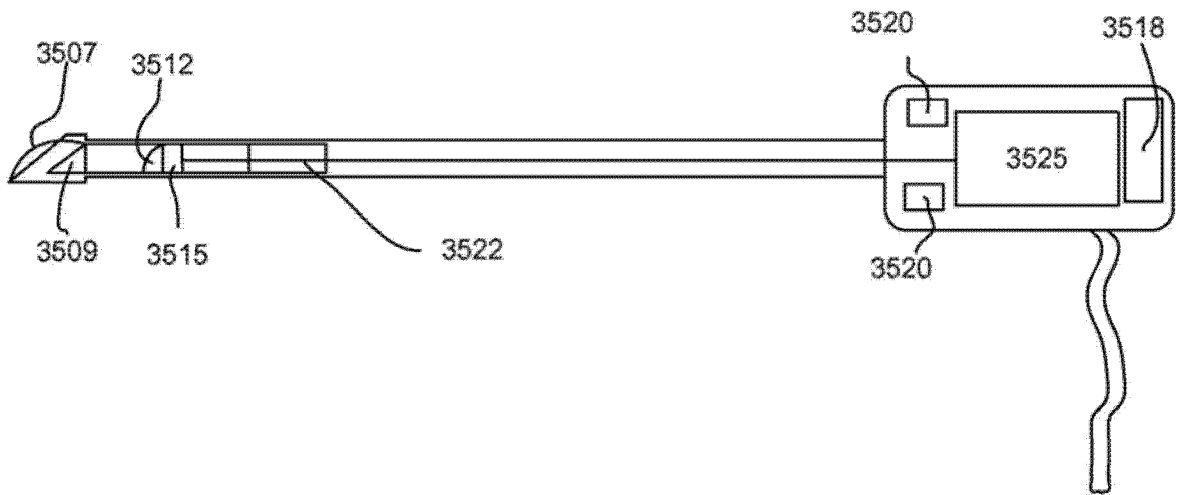


图 33b

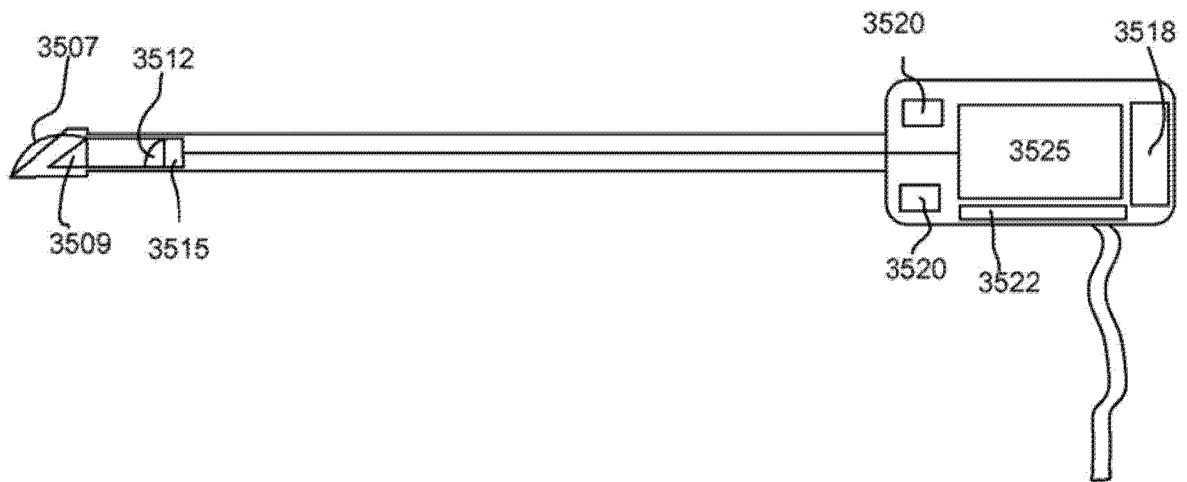


图 33c

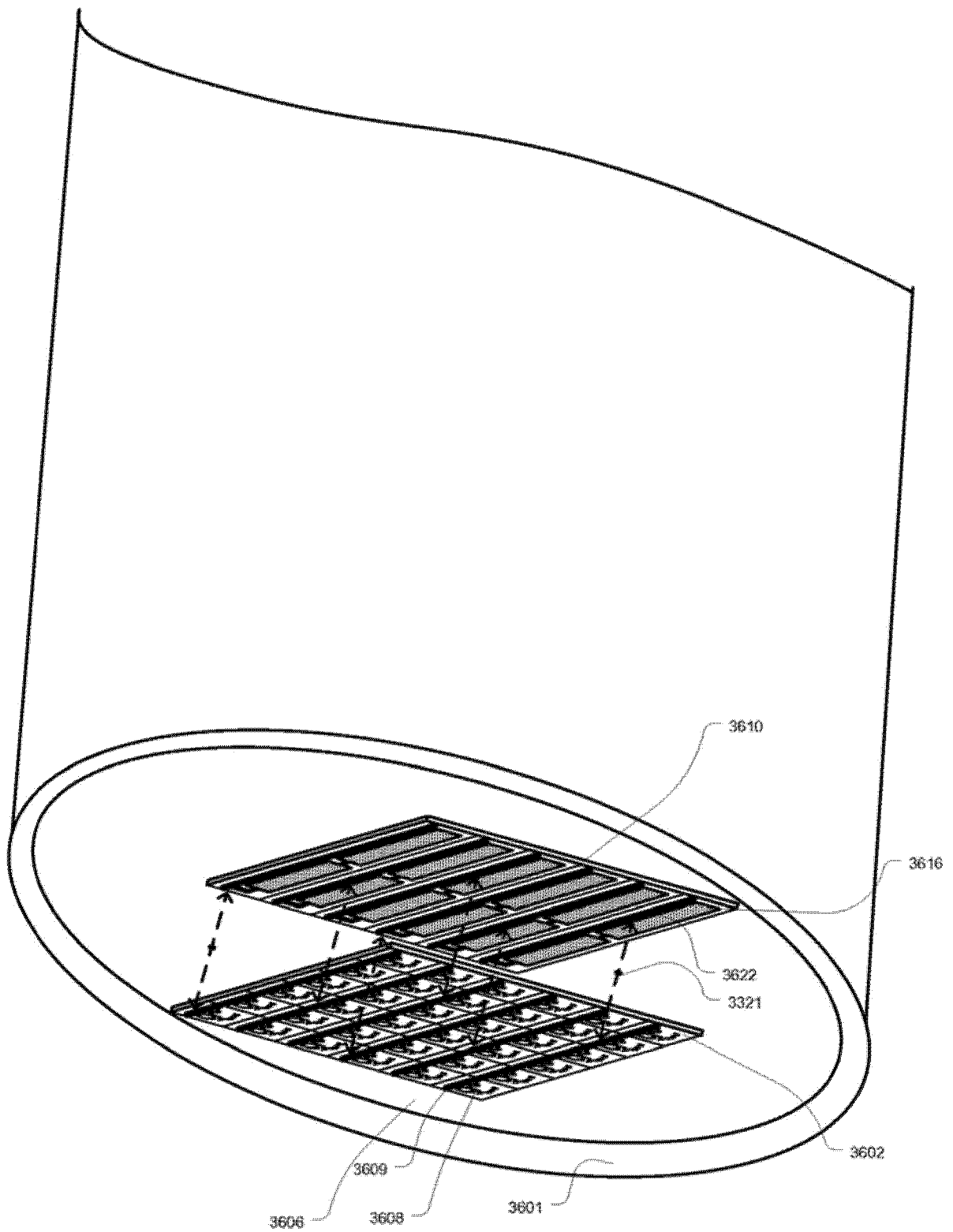


图 34