

發明專利說明書

200414673

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92120980

※ 申請日期：92-07-31

※IPC 分類：H03F3/45

壹、發明名稱：(中文/英文)

一種可調整偏移量之差動放大器

AN ADJUSTABLE OFFSET DIFFERENTIAL AMPLIFIER

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·惠普研發公司/HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.

代表人：(中文/英文)

蓋伊 J. 凱利/Guy J. Kelley

住居所或營業所地址：(中文/英文)

美國德州休士頓市 S. H. 249 20555 號/20555 S.H. 249, HOUSTON, TEXAS 77070, USA

國籍：(中文/英文)

美國/USA

參、發明人：(共 1 人)

姓名：(中文/英文)

佛列德里克 A. 派尼爾/Frederick A. Perner

住居所地址：(中文/英文)

美國加州帕羅亞托·拉摩納街 3234 號

3234 Ramona Street, Palo Alto, CA 94306, USA

國籍：(中文/英文)

美國/USA

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2003,01,23；10/350,398

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

- 本發明係大致有關於一種放大器。更特別地，本發明
- 5 係有關於一種可調整偏移量之差動放大器。

【先前技術】

發明背景

- 差動放大器有很多用途。例如，差動放大器係普遍地被使用在運算放大器之內，其在電子學上是為很流行的。
- 10 差動放大器亦能夠被使用來感測在一記憶體細胞陣列之內之記憶體細胞的邏輯狀態。

- 差動放大器的偏移量誤差會限制差動放大器的性能。例如，差動放大器能夠被使用來感測一電阻記憶體細胞的電阻。差動放大器的偏移量誤差會妨礙該等電阻記憶體細胞之電阻狀態之感測的可靠性。
- 15

第1圖顯示一個包括一偏移量誤差的典型差動放大器100。該差動放大器100可以包括一第一輸入電晶體110、一第二輸入電晶體120、一第一輸出電晶體130和一第二輸出電晶體140。

- 20 該差動放大器100的輸出訊號VO通常係與一個在一第一輸入V+與一第二輸入V-之間的差成線性關係。該輸出訊號VO通常包括一偏移量誤差VOFF。該輸出訊號可以由 $VO = A(V+ - V-) + VOFF$ 來表示，其中，A是為該差動放大器100的增益。

差動放大器的偏移量誤差會由物理設計，或者該等差動放大器的處理變化引起。電路裝置臨界值、裝置尺寸的不匹配、及電路裝置運作條件全部是為偏移量誤差的可能原因。在積體電路製造處理中固有的處理變化和物理尺寸變化是為偏移量誤差的原因。處理誤差是為在包括差動放大器之CMOS運作放大器中之偏移量誤差的主要原因。

一種業已被使用來使偏移量誤差減至最小程度的技術包括巧妙運用電晶體定尺寸與物理電路元件佈局。另一種技術包括一個切換電容器電路的使用。這些技術皆需要特殊的製造處理步驟。

一種用於降低與一差動放大器相關之偏移量誤差的裝置和方法係被希望。合意的是，該裝置和方法提供是為線性之偏移量誤差的調整，並且以一正或負校正來降低該偏移量誤差。合意的是，該裝置和方法是堅固的、對溫度不敏感而且係簡單製造。

【發明內容】

發明概要

本發明包括一種用於降低與一差動放大器相關之偏移量誤差的裝置及方法。本發明的差動放大器係適於在MRAM之感應放大器之內使用。

本發明之第一實施例包括一可調整偏移量的差動放大器。該可調整偏移量的差動放大器包括一個接收一第一差動輸入的第一差動電晶體，及一個接收一第二差動輸入的第二差動電晶體。一差動放大器輸出係包括一個具有一與

在該第一差動輸入與該第二差動輸入之間之差成正比例之
振幅的訊號。該第一差動電晶體包括數個副第一差動電晶
體。每一個副第一差動電晶體包括一可調整的後閘極偏
壓。控制電路能夠被連接到該等副第一差動電晶體中之每
5 一者之可調整的後閘極偏壓俾可降低該差動放大器輸出的
偏移量誤差。

本發明之其他特徵與優點將會由於後面配合該等舉例
描繪本發明之原理之附圖的詳細說明而變得清楚了解。

圖式簡單說明

10 第1圖顯示一個包括一偏移量的差動放大器。

第2圖顯示本發明之一實施例之一包括偏移量縮減電
路的差動放大器。

第3圖顯示一個包括電晶體的基體，該等電晶體包括後
閘極偏壓調整。

15 第4圖顯示本發明之另一實施例之一包括偏移量縮減
電路的差動放大器。

第5圖顯示本發明之另一實施例之一包括偏移量縮減
電路的差動放大器。

第6圖顯示本發明之另一實施例之一包括偏移量縮減
20 電路的差動放大器。

第7圖顯示本發明之一實施例之一差動電晶體之副差
動放大器電晶體的物理尺寸。

第8圖顯示本發明之一實施例之一偏移量調整控制器。

第9圖顯示本發明之一實施例之一包括偏移量縮減電

路的差動放大器與一電阻交點記憶體細胞。

第10圖顯示一電阻交點記憶體細胞的例子。

第11圖顯示本發明之一實施例的電阻交點記憶體細胞陣列。

5 第12圖顯示本發明之一實施例之一包括一電阻交點記憶體細胞陣列的電腦計算系統。

第13圖顯示被包括在本發明之一實施例之縮減一差動放大器之偏移量誤差之方法之內的步驟。

【實施方式】

10 較佳實施例之詳細說明

如在該等作為例證用途的圖式中所示，本發明係被實施在一種用於縮減與一差動放大器相關之偏移量誤差的裝置和方法。該裝置和方法提供典型地為線性之偏移量誤差的調整，及以一正或負校正來縮減該偏移量誤差。該裝置

15 和方法係堅固且通常係不對溫度敏感。

第2圖顯示本發明之一實施例之一包括偏移量縮減電路的偏移量差動放大器200。該偏移量差動放大器200包括一個接收一第一差動輸入(V_+)的第一差動電晶體210。一第二差動電晶體220接收一第二差動輸入(V_-)。一差動放大器
20 輸出(OUTPUT)包括一個通常具有一與在該第一差動輸入(V_+)與該第二差動輸入(V_-)之間之差成正比例之訊號振幅的訊號。

該第一差動電晶體210可以包括數個副第一差動電晶體212,214,216。每一個副第一差動電晶體212,214,216包括

一可調整的後閘極偏壓。

偏移量調整控制電路250可以被連接到該等副第一差動電晶體212,214,216中之每一者之該可調整的後閘極偏壓俾可縮減該差動放大器輸出(OUTPUT)的偏移量誤差。

- 5 通常，該等副第一差動電晶體212,214,216中的每一者包括與其他副第一差動電晶體212,214,216中之每一者不同的物理尺寸。一實施例包括該等被構築以致於該等副第一差動電晶體212,214,216的物理尺寸係漸進地變大的副第一差動電晶體212,214,216。即，每一個副第一差動電晶體212, 10 214,216係被物理地按比例作成成為一個比該等副第一差動電晶體212,214,216之另一者大之預定比率。例如，每一個副第一差動電晶體212,214,216的物理尺寸可以大約為另一個副第一差動電晶體212,214,216之物理尺寸的兩倍。另一個例子包括每一個副第一差動電晶體212,214,216的物理 15 尺寸是大約為另一個副第一差動電晶體212,214,216之物理尺寸的十倍。

- 該輸出(OUTPUT)係由一第一輸出電晶體230與一第二輸出電晶體240的結合所產生。如先前所述，該輸出(OUTPUT)包括一個可以由 $VO = A(V+ - V-) + VOFF$ 來表 20 示的訊號。該等副第一差動電晶體212,214,216的後閘極偏壓控制可以被調整俾使VOFF減至最小程度。該後閘極偏壓控制如何被調整的細節將會於稍後作說明。

要了解的是，第2圖僅是為本發明之一實施例的例子。其他等效的實施例可以包括NMOS差動輸入電晶體與

PMOS輸出電晶體。其他等效的實施例可以包括三個以上的副第一差動電晶體或三個以下的副第一差動電晶體。

第3圖顯示一個包括電晶體的基體300，該等電晶體包括一後閘極偏壓調整。該基體300包括一PMOS電晶體310
5 和一NMOS電晶體320，在其中，被施加到後閘極控制端(B)312,322的電壓提供一個後閘極偏壓到該等電晶體310,320中之每一者。被施加到該等後閘極控制端(B)的電壓係能夠被偏壓俾影響流過該等電晶體310,320中之每一者的電流。

如同大多數之電晶體的情況一樣，一電壓電位係能夠
10 被施加到該等電晶體310,320的閘極(G)313,323俾可產生要被收集於該等電晶體310,320之通道314,324內的電荷，致使該等電晶體310,320導通電流。被導通之電流的振幅通常係與被施加之電壓電位的振幅有關。

一電壓電位係能夠被施加到該等電晶體310,320的後
15 閘極(B)312,322(或主體)俾可額外地控制由該等電晶體310,320之通道314,324所收集的電荷，其額外地控制由該等電晶體310,320所導通的電流。

PMOS電晶體310與NMOS電晶體320皆業已被揭露，因為本發明之該等實施例中之每一者通常係能夠以PMOS或
20 NMOS電晶體來實現。通常，被揭露的該等實施例包括N-井後閘極偏壓電晶體。要了解的是，等效的實施例能夠包括P-井後閘極偏壓電晶體。

第4圖顯示本發明之另一實施例之一包括偏移量調整控制電路450的差動放大器400。另一實施例的第二差動電

晶體420包括一可調整的後閘極偏壓。該第二差動電晶體420的後閘極偏壓提供在與該第一差動電晶體210相反之方向上的輸出偏移量調整。

該偏移量調整控制電路450包括用於調整該第二差動電晶體420之後閘極偏壓的額外電路。該偏移量調整控制電路450的細節將會在稍後作說明。

第5圖顯示本發明之另一實施例之一包括偏移量調整控制電路550的差動放大器500。這實施例之可調整的偏移量差動放大器包括一個包括數個副第二差動電晶體522, 524的第二差動電晶體520。僅兩個副第二差動電晶體係被包括在這實施例中。然而，清楚地更多的副第二差動電晶體係能夠被包括。每一個副第二差動電晶體522,524包括一個用於提供該差動放大器500之偏移量之調整之可調整的後閘極偏壓。

該偏移量控制電路550包括一個到該等副第二差動電晶體522,524中之每一者之可調整之後閘極偏壓的連接俾可縮減該差動放大器輸出(OUTPUT)的偏移量誤差。該偏移量調整控制電路550的細節將會在稍後作說明。

該等副第二差動電晶體522,524中之每一者可以包括與該等其他之副第二差動電晶體中之每一者不同的物理尺寸。該等副第二差動電晶體包括漸進地加大物理尺寸的副第二差動電晶體。例如，每一個漸進地加大物理尺寸的副第二差動電晶體可以大約是為一先前之副第二差動電晶體之物理尺寸的兩倍。另一個例子包括每一個漸進地加大物

理尺寸之副第二差動電晶體大約是為一先前之副第二差動電晶體之物理尺寸的十倍。

第6圖顯示本發明之另一實施例之一包括偏移量縮減控制電路650的差動放大器600。該實施例包括一個不包括
5 一後閘極偏壓控制的第一差動輸入電晶體610，和一個與第5圖之第二輸入差動電晶體520相同的第二輸入差動電晶體520。

第7圖顯示本發明之一實施例之一差動輸入電晶體720之副差動放大器電晶體722,724,726的物理尺寸。該等副差
10 動放大器電晶體722,724,726的物理尺寸係被設置緊鄰於該等副差動放大器電晶體722,724,726。該等物理尺寸表示對應之電晶體之通道的寬度對長度比率。例如，一第一副差動放大器電晶體722的通道寬度對長度比率是為2/10。一第二副差動放大器電晶體724的通道寬度對長度比率是為
15 2/1。一第三副差動放大器電晶體726的通道寬度對長度比率是為20/1。該第一副差動放大器電晶體722的偏移量調整敏感度可以被指定為非常靈敏。該第二副差動放大器電晶體724的偏移量調整敏感度可以被指定為靈敏。該第三副差動放大器電晶體726的偏移量調整敏感度可以被指定為普
20 通。每一個副差動放大器電晶體722,724,726的敏感度係與該副差動放大器電晶體722,724,726的通道寬度對長度比率成正比例。

該偏移量縮減控制電路750的實施例包括該等副差動放大器電晶體722,724,726之非常靈敏、靈敏和普通的後閘

極偏壓調整。

第8圖顯示本發明之一實施例的一偏移量調整控制器800。通常，該偏移量調整控制器800可以被連接到一單一
5 副差動放大器電晶體的後閘極偏壓。即，就數個副差動放
大器電晶體而言，一偏移量調整控制器800可以被連接到該
數個副差動放大器電晶體中之每一者的後閘極。

第8圖的偏移量調整控制器800包括一個用於產生該等
副差動放大器電晶體中之一者之隔離井之後閘極偏壓電壓
的可規劃分壓器。該分壓器係連接在運作電位(VDD)之來
10 源與一參考電位(GND)之間。

該分壓器係由上和下電晶體810,820，及四個具有不同
之汲極-源極路徑電阻的中間電晶體830,840,850,860形成。
轉變該等中間電晶體830,840,850,860的不同組合改變在
VDD與GND之間的電壓降，藉此，設定VBGbias的電壓電
15 位。該分壓器電壓降係被施加到一對應之副差動放大器電
晶體的後閘極。

在運作的正常模式期間，該等中間電晶體830,840,850,
860係根據被儲存於第一組之門872,874,876,878內的第一
數目來被打開和關閉。第8圖的實施例包括該以 2^4 個不同水
20 平來控制該後閘極偏壓電壓的偏移量調整控制器800。控制
線S0,S1,S2,S3決定該等中間電晶體830,840,850,860中之哪
一者係被包括在該分壓器之內。

該上電晶體810可以被使用來控制送到該等後閘極偏
壓電路的電力。該下電晶體820可以被使用來選擇2個中之

一者或者更多個後閘極偏壓電路。該等後閘極偏壓電路可以成對地運作並且共享一共用組的閘電路872,874,876,878。一第一後閘極偏壓電路可以被使用來在一第一方向調整該偏移量，而一第二後閘極偏壓電路可以被使用來在一第二(相反)方向調整該偏移量。當該下電晶體820是關閉時，VBGbias的電壓電位通常係與VDD的電壓電位相等。當該下電晶體820是開啟時，VBGbias的電壓電位通常係由該分壓器設定。

第9圖顯示本發明之一實施例之一包括偏移量縮減電路的差動放大器與一電阻交點記憶體細胞(RMEM)。一運算放大器905可以包括先前說明的差動放大器200,400,500。該電阻交點記憶體細胞包括一個端視一被儲存於該電阻交點記憶體細胞之內之邏輯狀態而定的電阻。一輸出SENSE可以藉由施加一感應電壓與感測一最終電流來感測該交點記憶體細胞RMEM的邏輯狀態。

一感應電壓VA係被施加到該運算放大器905的第一輸入V+。一最終第二感應電壓VA'係被產生橫跨該交點記憶體細胞RMEM。該感應電壓亦由於急忽而被施加橫跨在一由RS所表示之交點陣列之內的所有其他交點記憶體細胞。

感測在一記憶體細胞陣列中之一單一記憶體細胞的電阻狀態可能是不可靠的。通常，在該陣列中所有的記憶體細胞係透過很多平行路徑來被連接在一起。在一個交點的電阻通常係等於該交點的電阻與在列中之其他行之記憶體細胞的電阻並聯(記憶體細胞陣列的特點為一交點電阻器

網路)。如果被感測的記憶體細胞係由於被儲存的磁化而具有不同的電阻的話，微小不同的電壓會產生。這微小不同的電壓會導致寄生或”潛行路徑”電流。該寄生電流典型地比該感應電流大，而因此，會遮蔽該感應電流。因此，該寄生電流會防止電阻被感測。

理想地，該感應電壓 V_A 與該第二感應電壓 V_A' 係相同的。在該感應電壓 V_A 與該第二感應電壓 V_A' 上的差異致使電流(“潛行路徑”電流)流過一電阻記憶體細胞陣列之未被選擇的電阻記憶體細胞。 R_S 表示該電阻記憶體細胞陣列之未被選擇之記憶體細胞的電阻。流過該等未被選擇之記憶體細胞的電流係由於該感應電壓 V_A 而引致在該SENSE輸出所偵測之電流上的誤差，而因此，引致在該交點記憶體細胞 R_{MEM} 之電阻狀態之偵測上的不準確。

在該運算放大器905內部之差動放大器的偏移量誤差致使該感應電壓 V_A 與該第二感應電壓 V_A' 偏差。本發明能夠被使用來縮減在該運算放大器905之內之差動放大器的偏移量誤差。因此，本發明能夠被使用來藉由縮減流過未被選擇之電阻記憶體細胞的電流來改進一電阻記憶體細胞的表現。

後面的表提供第9圖之包括偏移量縮減電路之差動放大器與電阻交點記憶體細胞(R_{MEM})之如在第7圖中所示之非常靈敏、靈敏與普通之後閘極偏壓調整的實際模擬敏感度。該差動放大器模擬包括3.3V的供應電壓 V_{DD} 、3.2至3.3V的後閘極電壓範圍、0.5V的 V_A 值、1百萬歐姆的 R_{MEM}

值、及1千歐姆的RS值。

範圍	敏感度	範圍	最小階梯尺寸
普通	196 mV/v	19.6 mV	1.22 mV
靈敏	15.1 mV/V	1.51 mV	94 uV
非常靈敏	1.67 mV/V	170 uV	1.1 uV

該表描繪，在第7圖的副差動放大器電晶體，和第8圖的偏移量控制器下，第9圖之電阻交點記憶體細胞與差動放大器之偏移量調整的範圍與最小階梯尺寸。就這實施例而言，該普通的偏移量控制具有19.6 mV的範圍及1.22 mV之最小偏移量控制階梯尺寸。就這實施例而言，該靈敏的偏移量控制具有1.51 mV的範圍和95 uV的最小偏移量控制階梯尺寸。就這實施例而言，該非常靈敏的偏移量控制具有170 uV的範圍與1.1 uV的最小偏移量控制階梯尺寸。

在該後閘極偏壓控制器(例如，偏移量調整控制器800)中之門(例如，在第8圖中的門872,874,876,878)的狀態係在該感應放大器的校準刻度運作期間被設定。典型地，在校準刻度期間，該感應放大器(差動放大器)的偏移量係被改變直到一測試條件係符合為止。一旦該測試條件係符合，符合該測試條件的偏移量設定係由該後閘極偏壓控制器保持。即，該偏移量設定狀態係由該等後閘極控制器門(例如，在第8圖中的門872,874,876,878)保持。

該測試條件可以包括調整該感應放大器偏移量直到一個相等於VA/RMEM的目標感應電流被得到為止。一旦該目標感應電流係被得到，該等後閘極控制器門的設定係被維持。

決定最佳校準刻度所需的時間係能夠藉由包括數個校

準刻度的範圍來被減至最小程度。例如，該先前所述之校準刻度之普通、靈敏和非常靈敏的範圍係可以被使用來決定該最佳的偏移量調整。該普通的校準刻度調整係可以被使用來迅速地限制該校準刻度的範圍。該靈敏與非常靈敏的校準刻度調整係可以被使用來決定該最佳校準刻度點。被感測之記憶體的尺寸係由在校準刻度期間之偏移量調整控制的準度來限制。因此，一堅固非常靈敏的校準刻度，比在其他方面會有可能，允許一較大尺寸記憶體陣列的適當感測。

10 第10圖顯示一能夠被使用作為電阻記憶體細胞之磁隧道接面1000的實施例。該磁隧道接面1000包括一刺穿層1034、一感應層1032和一絕緣隧道障壁1036。

該刺穿層1034具有一個被固定的磁方向，而且於一個在一範圍內之被施加之磁場的面前將不會旋轉。該感應層15 1032具有一個能夠被定向在兩個方向中之任一者的磁化。該感應層1032之第一磁化方向係在與該刺穿層1034之被固定之磁化相同的方向。該感應層1032的第二磁化方向係在與該刺穿層1034之被固定之磁化相反的方向。

橫跨該磁隧道接面1000的電阻在大小上將會端視該感應層1032之相對於該刺穿層1034之磁方向的磁方向而定來變化。典型地，如果該感應層1032具有一個處於與該刺穿層1034相反之方向的磁方向的話，那麼橫跨該磁隧道接面1000的電阻將會是大。如果該感應層1032具有一個處於與該刺穿層1034相同之方向的方向的話，那麼橫跨該磁隧道

接面1000的電阻將會是小。

該磁隧道接面的電阻狀態係藉由把一被感測的電阻與一預定的電阻臨界值作比較，及根據該比較作成一磁隧道接面狀態決定來被決定。即，如果該被感測的電阻係比該
5 預定的臨界值小的話，那麼該磁隧道接面的狀態是為一第一狀態。如果該被感測的電阻係比該預定的臨界值大的話，那麼該磁隧道接面的狀態是為該第二狀態。

如果該感應層的磁化與一磁隧道接面的參考層係處於相同的方向的話，該磁隧道接面的方向可以被稱為”平行”
10 行”。如果該感應層的磁化與該磁隧道接面的參考層係處於相反的方向的話，該磁隧道接面的方向可以被稱為”反-平行”。該兩個方向，平行與反-平行，會對應於低或高電阻的磁隧道接面狀態。

該絕緣隧道障壁1036允許量子力學隧穿在該參考層
15 1034與該感應層1032之間發生。該隧穿是電子旋轉從屬性，引致該磁隧道接面1000的電阻是為該參考層1034與該感應層1032之磁化方向之相關方向的函數。一磁場的呈現可以藉由建立該參考層1034與該感應層1032的磁化方向來被偵測。

20 如果該磁隧道接面1000的磁化方向是平行的話，該磁隧道接面1000的電阻是為一第一值(R)，而如果該磁化方向是反-平行的話則是為一第二值($R + \delta$)。

該絕緣隧道障壁1036可以由氧化鋁、二氧化矽、氧化鈮、氮化矽、氮化鋁、或氧化鎂製成。該感應層1032可以

由鐵磁材料製成。

第11圖顯示本發明之一實施例的電阻交點記憶體細胞1110陣列。該交點記憶體陣列1110可以是為一交點記憶體系統的部分。每一個電阻交點記憶體細胞可以包括一
5 MRAM記憶體細胞。通常，一個列解碼器1120與一個行解碼器1130選擇一個記憶體細胞。該被選擇之記憶體細胞的邏輯狀態可以由一感應放大器1140感測。

第12圖顯示本發明之一實施例之一包括一電阻交點記憶體細胞陣列的電腦計算系統1200。該電腦計算系統1200
10 包括一中央處理單元1210。該電腦計算系統1200更包括一交點記憶體細胞1230陣列。該中央處理單元1210可以儲存及存取在該交點記憶體細胞1230陣列之內的資料。通常，一個列解碼器1260與行解碼器1240選擇一個要被感測的記憶體細胞。數個電阻交點記憶體細胞感應器1250可以電氣
15 地連接到該等交點記憶體細胞中之每一者。每一個電阻交點記憶體可以包括一MRAM記憶體細胞。

第13圖顯示被包括於本發明之一實施例之一個縮減差動放大器之偏移量誤差之方法之內的步驟。

一第一步驟1310包括一普通的校準刻度調整。一普通
20 之校準刻度暫存器的狀態會被改變直到一普通的校準刻度狀態滿足一校準刻度測試基準(如先前所述)為止。該普通的調整可以根據該感應放大器之運作的一般知識來被初始地設定。

一第二步驟1320包括一靈敏的校準刻度調整。用於執

行該靈敏之校準刻度的過程係與用於執行該普通之校準刻度的過程相似。然而，對應於該靈敏之校準刻度之副差動放大器電晶體的後閘極偏壓(通常，一第二副差動放大器電晶體)係由一靈敏的校準刻度控制器改變俾可利用該靈敏的階梯控制來控制該偏移量。再次，該靈敏的調整係能夠根據該感應放大器之運作的一般知識來被初始地設定。

一第三步驟1330包括一非常靈敏的校準刻度調整。用於執行一非常靈敏之校準刻度的過程係與用於執行該靈敏之校準刻度的過程相似。然而，對應於該非常靈敏之校準刻度之副差動放大器電晶體的後閘極偏壓(通常，一第三副差動放大器電晶體)係由一非常靈敏的校準刻度控制器改變俾可利用該等靈敏的階梯控制來控制該偏移量。再次，該非常靈敏的調整係可以根據該感應放大器之運作的一般知識來被初始地設定。

一第四步驟1340包括選擇在一記憶體細胞陣列之內之一記憶體細胞的列與行位址，並且執行一對應之被選擇之記憶體細胞的第一感測。

一第五步驟1350包括一個在完成一感測運作之前被執行的校準刻度測試。如果該感應電流係在一預定的範圍之內的話，該感測運作是成功的。如果該感應電流不是在該預定的範圍之內的話，該非常靈敏之校準刻度的狀態(設定)係被改變，而該感測運作係被重覆。

一第六步驟1360包括完成該感測運作，及從該被選擇的記憶體細胞產生被感測的資料。該被感測的資料係被傳

輸到該記憶體細胞陣列的輸出。該感測運作然後能夠就一個新的位址來被重覆。注意的是，該普通與靈敏的校準刻度設定通常係維持，而該新的位址會僅需要非常靈敏的校準刻度調整俾可感測該對應於該新位址的記憶體細胞。

- 5 雖然本發明的特定實施例係業已被說明和描繪，本發明並不受限於如此說明與描繪之部件的配置或特定形式。本發明係僅由後附的申請專利範圍限制。

【圖式簡單說明】

第1圖顯示一個包括一偏移量的差動放大器。

- 10 第2圖顯示本發明之一實施例之一包括偏移量縮減電路的差動放大器。

第3圖顯示一個包括電晶體的基體，該等電晶體包括後閘極偏壓調整。

- 15 第4圖顯示本發明之另一實施例之一包括偏移量縮減電路的差動放大器。

第5圖顯示本發明之另一實施例之一包括偏移量縮減電路的差動放大器。

第6圖顯示本發明之另一實施例之一包括偏移量縮減電路的差動放大器。

- 20 第7圖顯示本發明之一實施例之一差動電晶體之副差動放大器電晶體的物理尺寸。

第8圖顯示本發明之一實施例之一偏移量調整控制器。

第9圖顯示本發明之一實施例之一包括偏移量縮減電路的差動放大器與一電阻交點記憶體細胞。

第10圖顯示一電阻交點記憶體細胞的例子。

第11圖顯示本發明之一實施例的電阻交點記憶體細胞陣列。

第12圖顯示本發明之一實施例之一包括一電阻交點記憶體細胞陣列的電腦計算系統。

第13圖顯示被包括在本發明之一實施例之縮減一差動放大器之偏移量誤差之方法之內的步驟。

【圖式之主要元件代表符號表】

100	差動放大器	250	偏移量調整控制電路
110	第一輸入電晶體	300	基體
120	第二輸入電晶體	310	PMOS電晶體
130	第一輸出電晶體	320	NMOS電晶體
140	第二輸出電晶體	312	後閘極控制端
VO	輸出訊號	322	後閘極控制端
V+	第一輸入	313	閘極
V-	第二輸入	323	閘極
VOFF	偏移量誤差	314	通道
200	偏移量差動放大器	324	通道
210	第一差動電晶體	400	差動放大器
220	第二差動電晶體	450	偏移量調整控制電路
OUTPUT	差動放大器輸出	420	第二差動電晶體
212	副第一差動電晶體	500	差動放大器
214	副第一差動電晶體	550	偏移量調整控制電路
216	副第一差動電晶體	520	第二差動電晶體

522	副第二差動電晶體	S3	控制線
524	副第二差動電晶體	905	運算放大器
600	差動放大器	SENSE	輸出
650	偏移量縮減控制電路	RMEM	交點記憶體細胞
610	第一差動輸入電晶體	VA	感應電壓
720	差動輸入電晶體	VA'	最終第二感應電壓
722	副差動放大器電晶體	1000	磁隧道接面
724	副差動放大器電晶體	1034	刺穿層
726	副差動放大器電晶體	1032	感應層
750	偏移量縮減控制電路	1036	絕緣隧道障壁
800	偏移量調整控制器	1110	交點記憶體陣列
810	上電晶體	1120	列解碼器
820	下電晶體	1130	行解碼器
830	中間電晶體	1140	感應放大器
840	中間電晶體	1200	電腦計算系統
850	中間電晶體	1210	中央處理單元
860	中間電晶體	1230	交點記憶體細胞陣列
872	門	1240	行解碼器
874	門	1260	列解碼器
876	門	1250	感應器
878	門	1310	步驟
S0	控制線	1320	步驟
S1	控制線	1330	步驟
S2	控制線	1340	步驟

1350 步驟

1360 步驟

伍、中文發明摘要：

本發明包括一可調整偏移量之差動放大器。該可調整偏移量之差動放大器包括一個接收一第一差動輸入的第一差動電晶體[210]，及一個接收一第二差動輸入的第二差動電晶體[220]。一差動放大器輸出包括一個與一在該第一差動輸入與該第二差動輸入之間之差成正比例的振幅。該第一差動電晶體[210]包括數個副第一差動電晶體[212,214,216]。每一個副第一差動電晶體[212,214,216]包括一可調整的後閘極偏壓。控制電路[250]可以被連接到該等副第一差動電晶體[212,214,216]中之每一者之可調整的後閘極偏壓俾可縮減該差動放大器輸出的偏移量誤差。

陸、英文發明摘要：

The invention includes an adjustable offset differential amplifier. The adjustable offset differential amplifier includes a first differential transistor [210] receiving a first differential input, and a second differential transistor [220] receiveing a second differential input. A differential amplifier output includes an amplitude proportional to a difference between the first differential input and the second differential input. The first differential transistor [210] includes a plurality of sub first differential transistors [212, 214, 216]. Each sub first differential transistor [212, 214, 216] includes an adjustable back gate bias. Control circuitry [250] can be connected to the adjustable back gate bias of each of the sub first differential transistors [212, 214, 216] for reducing offset errors of the differential amplifier output.

拾、申請專利範圍：

1.一種可調整偏移量的差動放大器，包含：

一第一差動電晶體[210]，該第一差動電晶體[210]接收一第一差動輸入；

5 一第二差動電晶體[220]，該第二差動電晶體[220]接收一第二差動輸入；

一差動放大器輸出，該差動放大器輸出具有一個與一在該第一差動輸入與該第二差動輸入之間之差成正比例的振幅；

10 該第一差動電晶體[210]包含：

數個副第一差動電晶體[212,214,216]，每一個副

第一差動電晶體具有一可調整的後閘極偏壓；

控制電路[250]，該控制電路[250]係連接到該等副第一差動電晶體[212,214,216]中之每一者之可調整的後閘極偏壓俾可縮減該差動放大器輸出的偏移量誤差。

15

2.如申請專利範圍第1項所述之可調整偏移量的差動放大器，其中，該等副第一差動電晶體[212,214,216]中之每一者包含與其他副第一差動電晶體中之每一者不同的物理尺寸。

20 3.如申請專利範圍第2項所述之可調整偏移量的差動放大器，其中，該等副第一差動電晶體[212,214,216]包括漸進地加大物理尺寸副第一差動電晶體。

4.如申請專利範圍第3項所述之可調整偏移量的差動放大器，其中，每一個漸進地加大物理尺寸副第一差動電晶

體是大約為該先前之副第一差動電晶體之物理尺寸的兩倍。

5.如申請專利範圍第3項所述之可調整偏移量的差動放大器，其中，每一個漸進地加大物理尺寸副第一差動電晶體是大約為該先前之副第一差動電晶體之物理尺寸的十倍。

6.如申請專利範圍第1項所述之可調整偏移量的差動放大器，其中，該第二差動電晶體[420]包含可調整的後閘極偏壓。

10 7.如申請專利範圍第1項所述之可調整偏移量的差動放大器，其中，該第二差動電晶體[520]包含：

數個副第二差動電晶體[522,524]，每一個副第二差動電晶體[522,524]具有一可調整的後閘極偏壓；及該控制電路[550]係連接到該等副第二差動電晶體中之每一者之可調整的後閘極偏壓俾可縮減該差動放大器輸出的偏移量誤差。

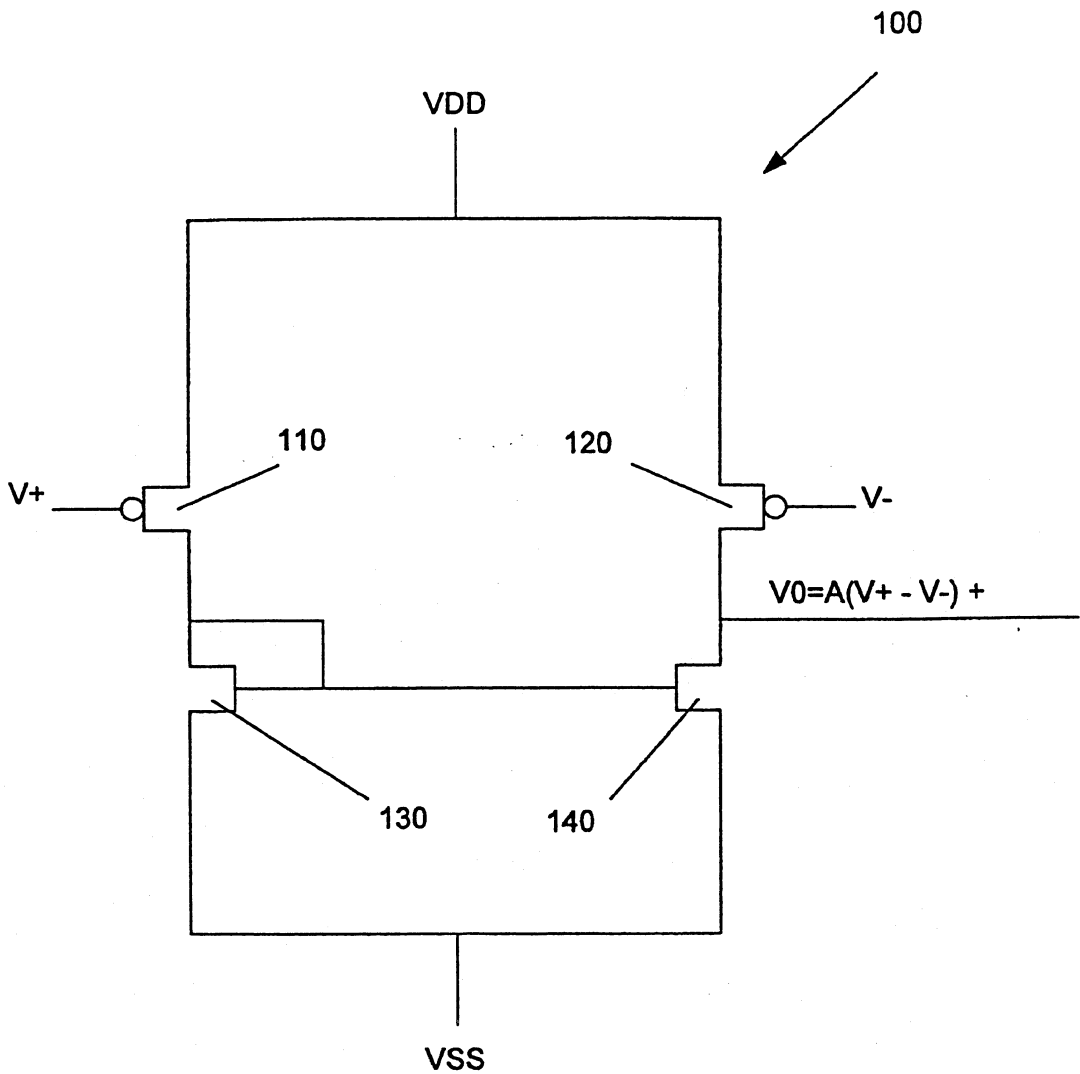
8.如申請專利範圍第7項所述之可調整偏移量的差動放大器，其中，該等副第二差動電晶體中之每一者包含與其他之副第二差動電晶體中之每一者不同的物理尺寸。

20 9.如申請專利範圍第8項所述之可調整偏移量的差動放大器，其中，該等副第二差動電晶體包括漸進地加大物理尺寸副第二差動電晶體。

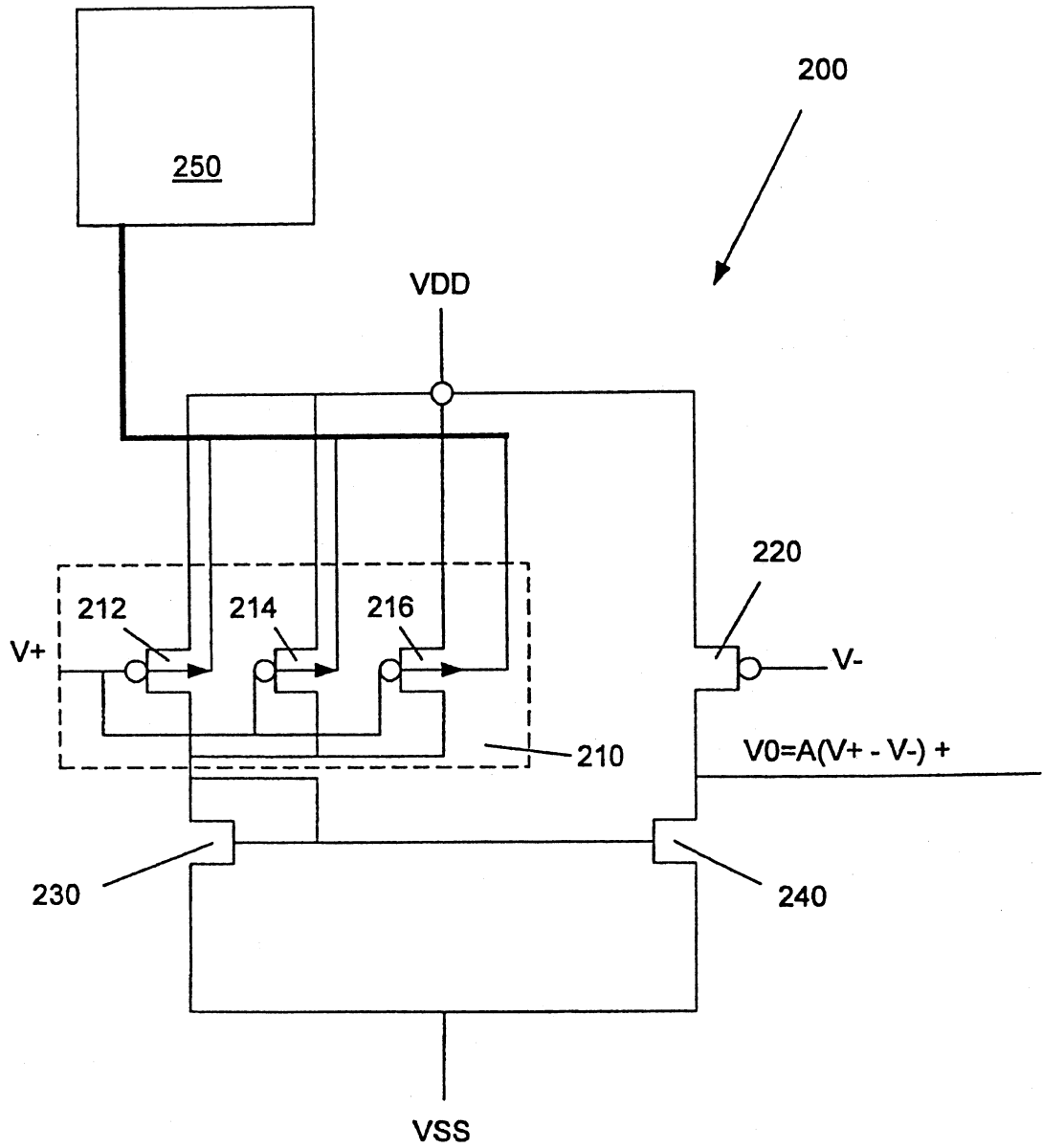
10.如申請專利範圍第9項所述之可調整偏移量的差動放大器，其中，每一個漸進地加大物理尺寸副第二差動電晶

體是大約為該先前之副第二差動電晶體之物理尺寸的兩倍。

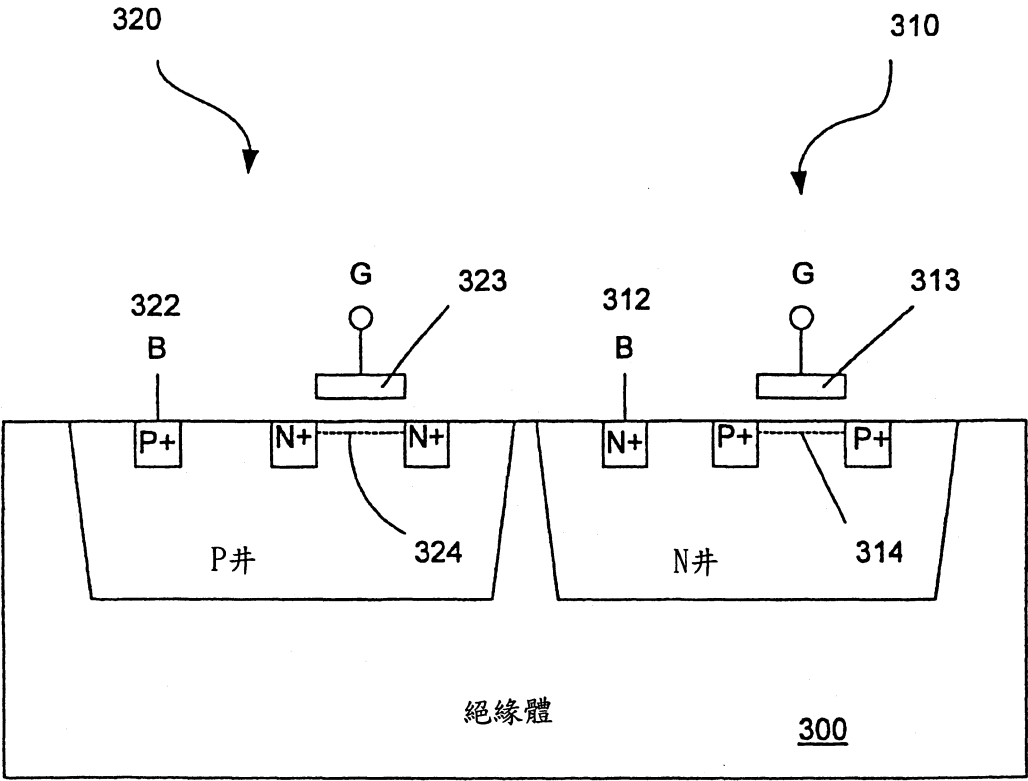
92120980



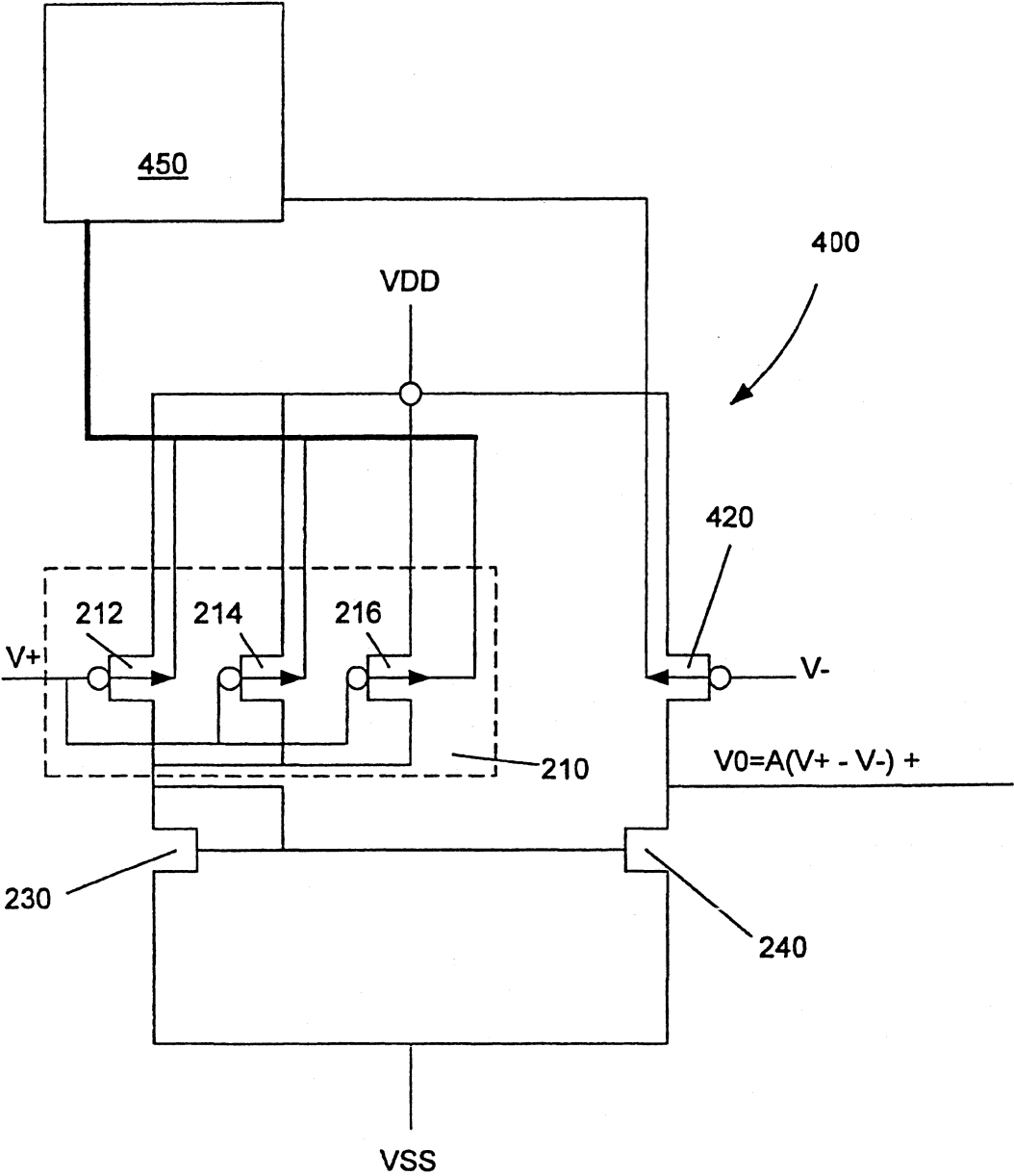
第 1 圖



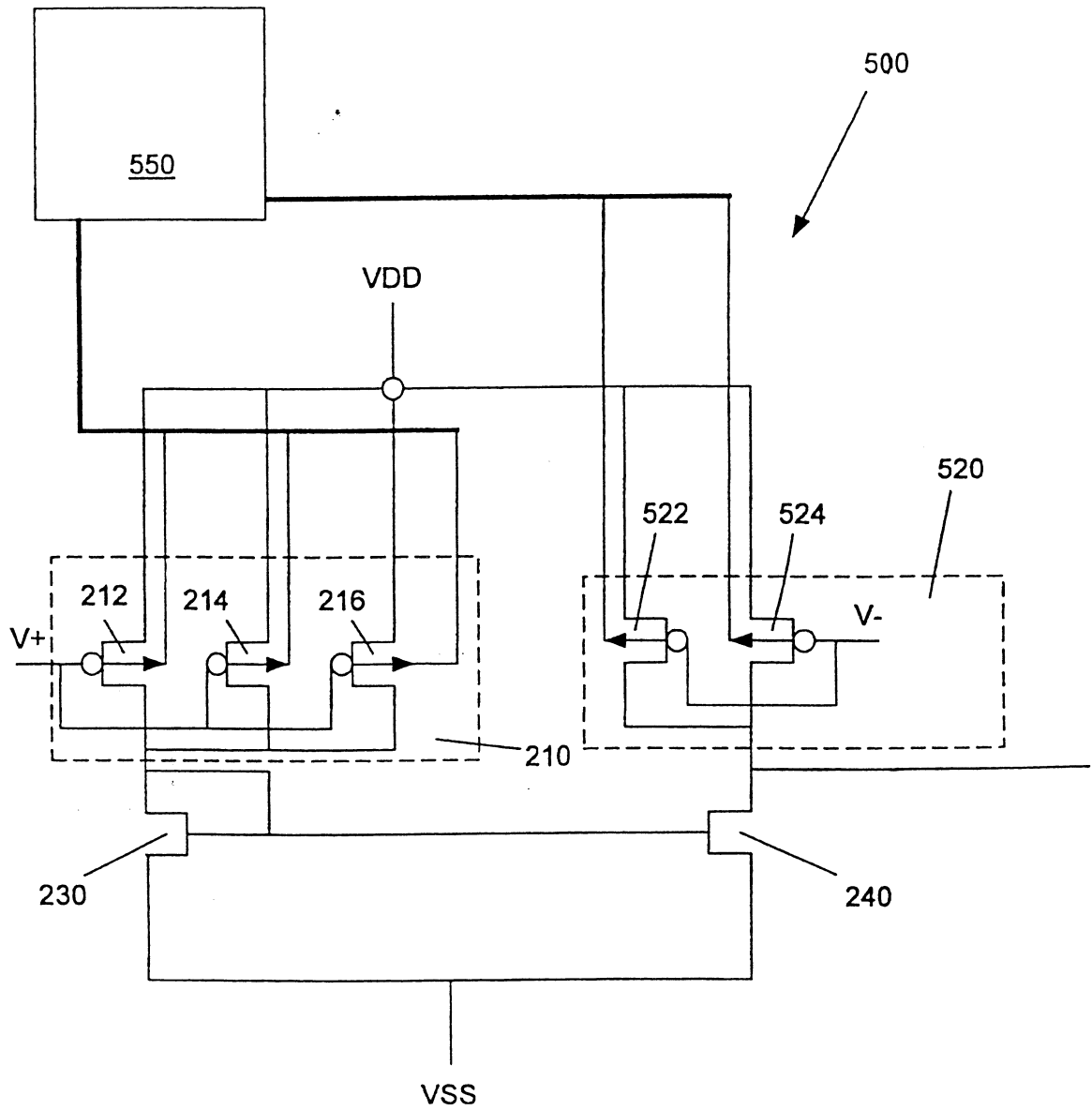
第 2 圖



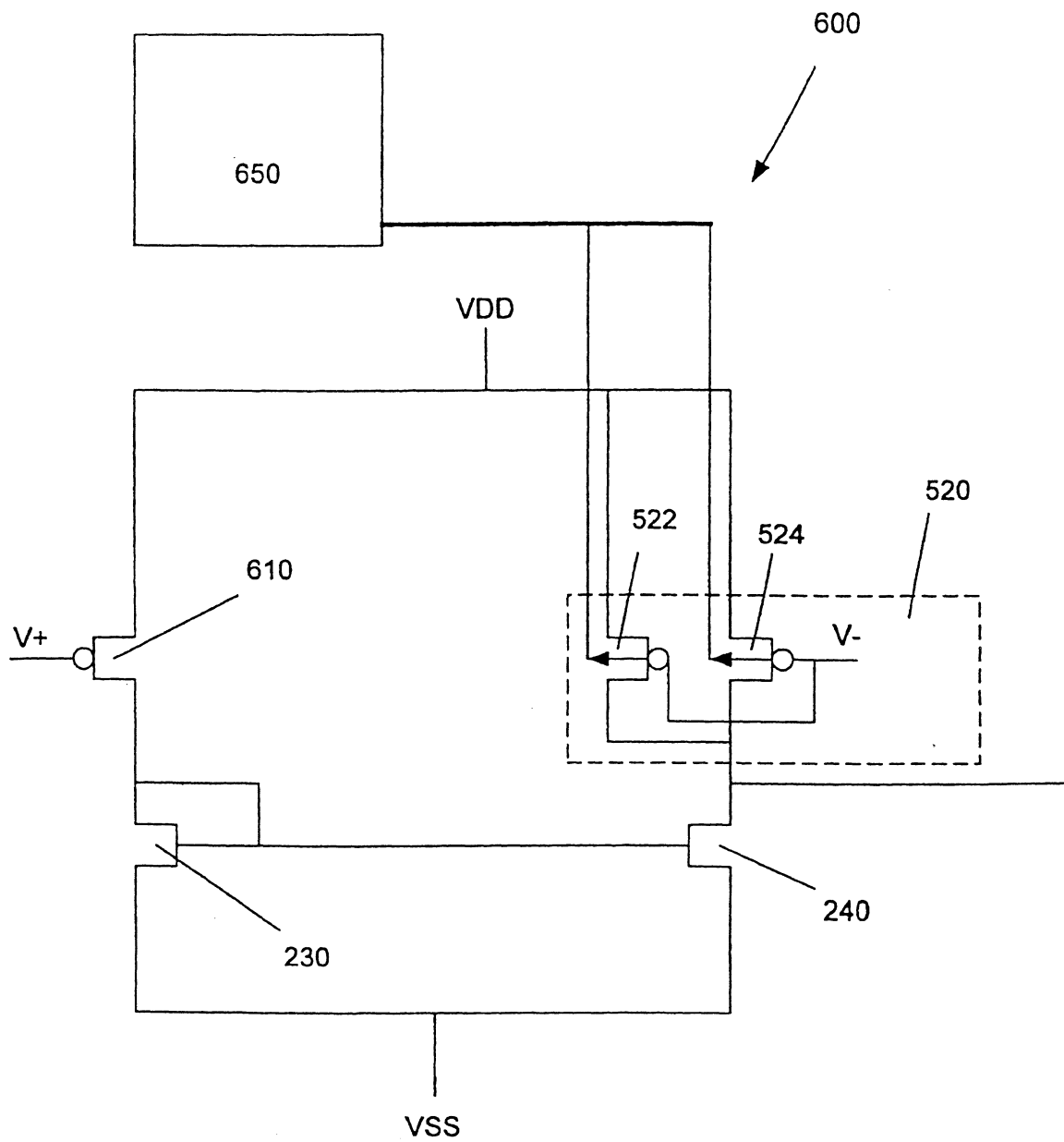
第 3 圖



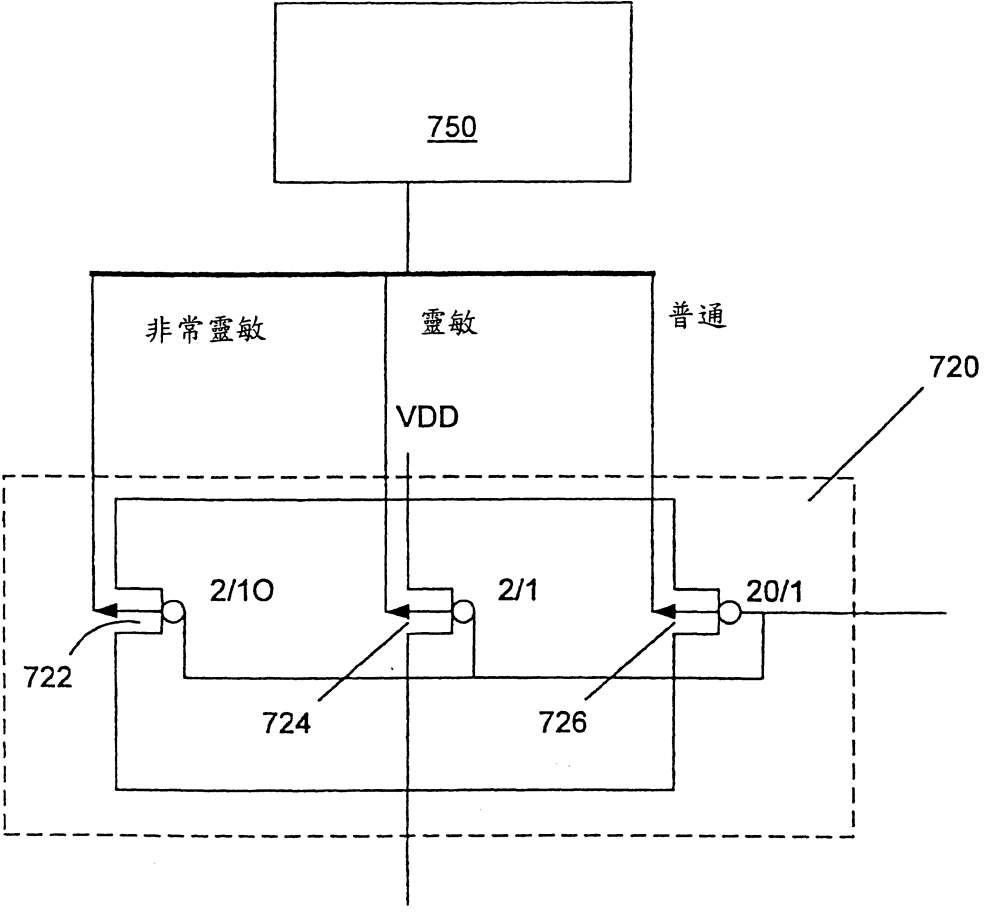
第 4 圖



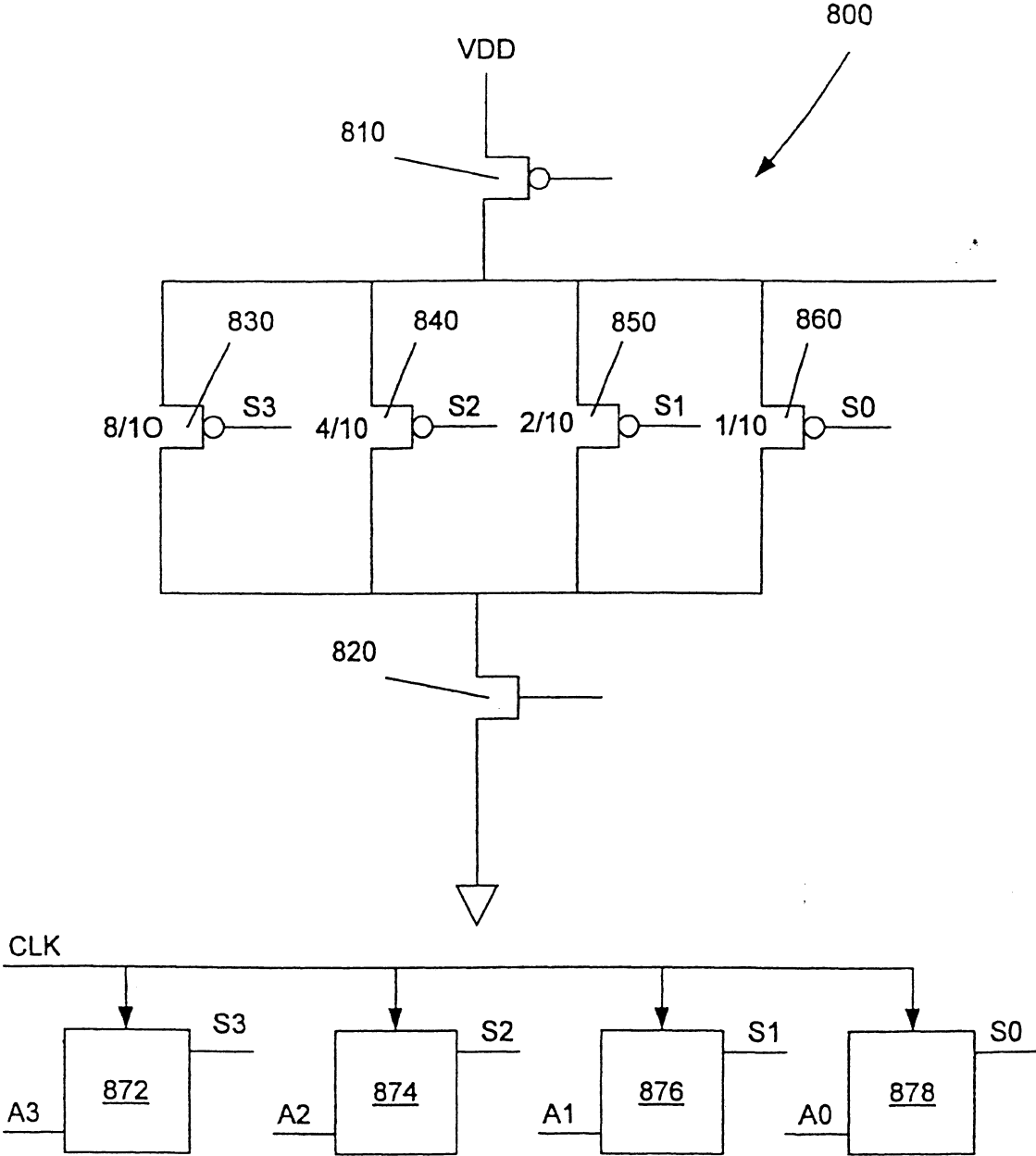
第 5 圖



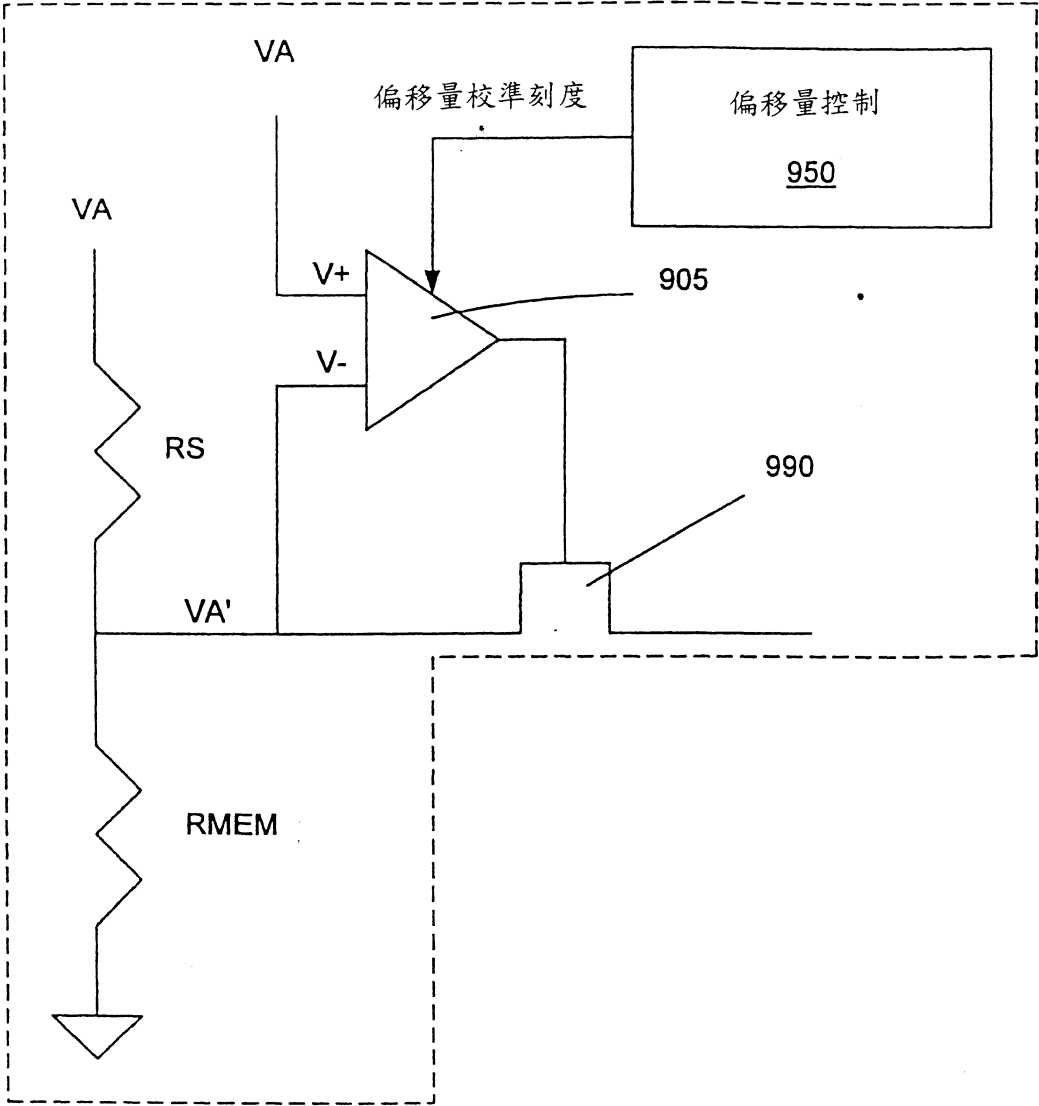
第 6 圖



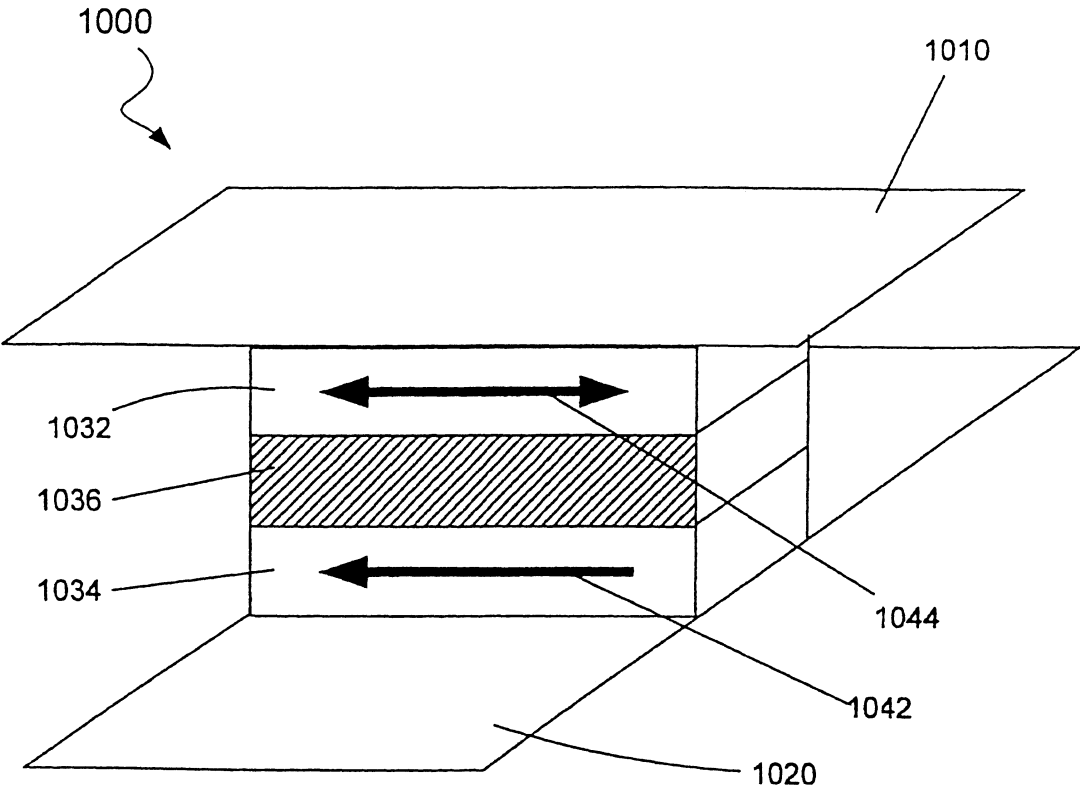
第 7 圖



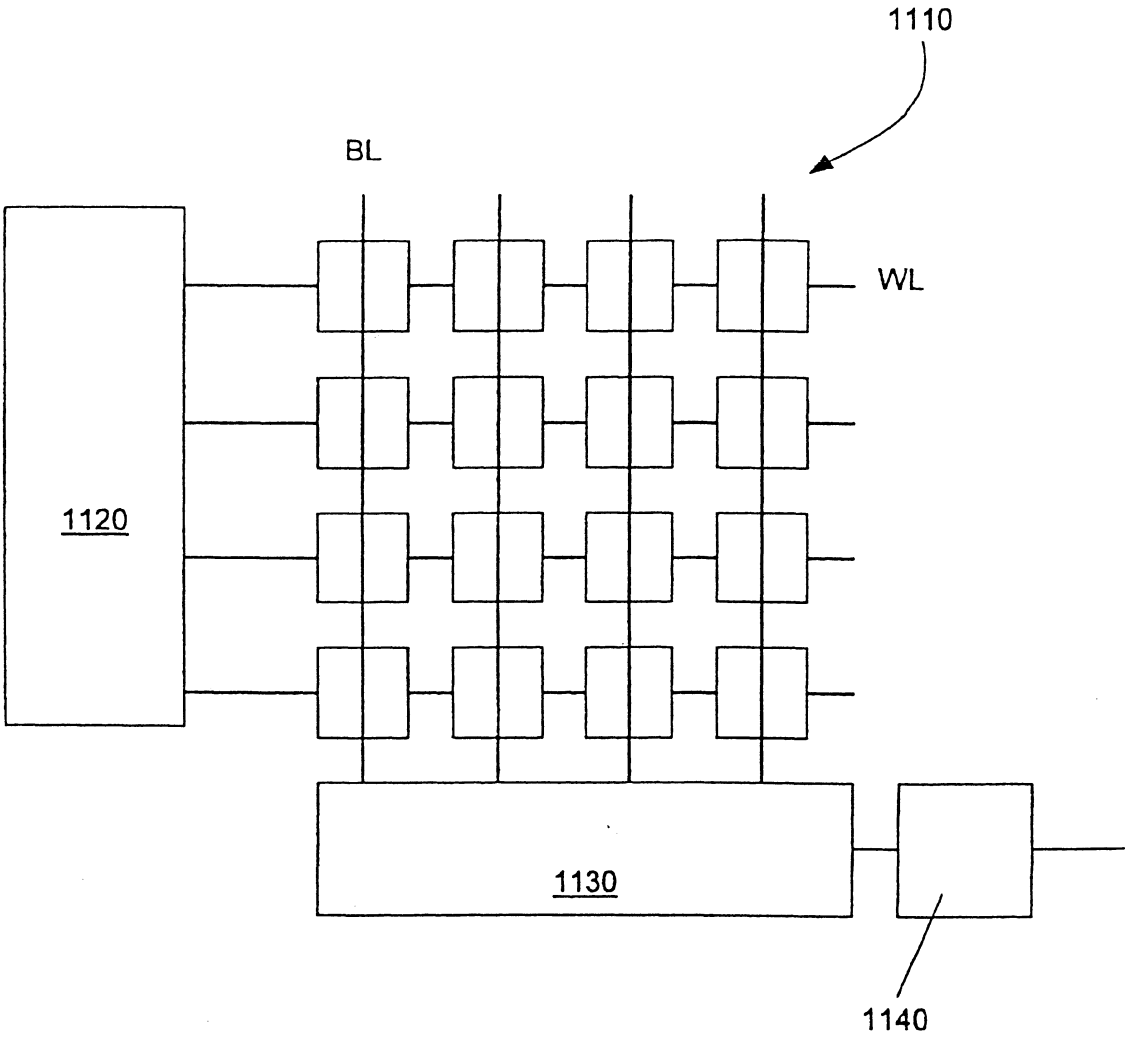
第 8 圖



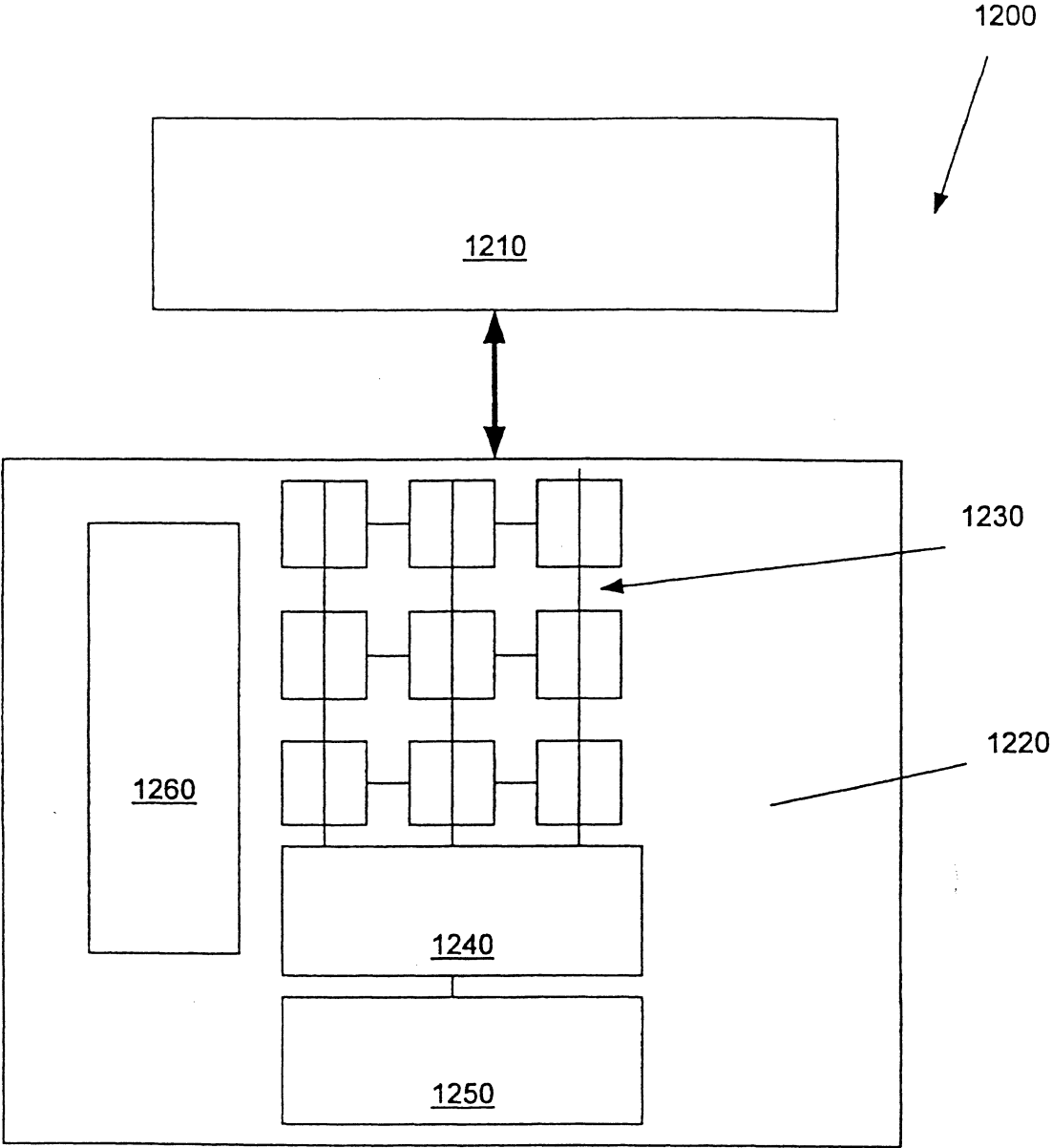
第 9 圖



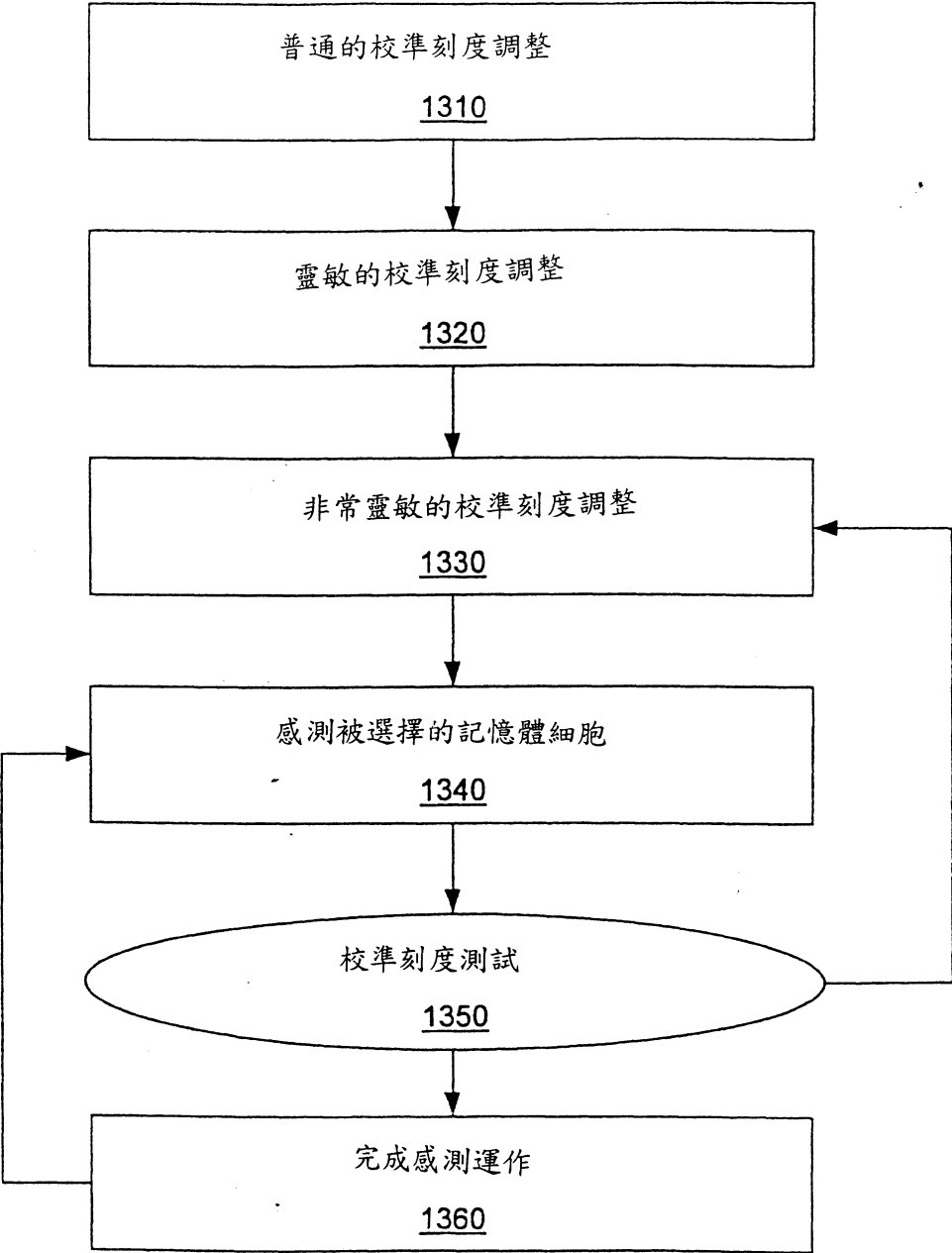
第 10 圖



第 11 圖



第 12 圖



第 13 圖

柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

200	偏移量差動放大器
210	第一差動電晶體
220	第二差動電晶體
212	副第一差動電晶體
214	副第二差動電晶體
216	副第三差動電晶體
250	偏移量調整控制電路
VO	輸出訊號
V+	第一輸入
V-	第二輸入
VOFF	偏移量誤差
VDD	電壓電位
VSS	電壓電位

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：