

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年2月3日(2005.2.3)

【公開番号】特開2002-158300(P2002-158300A)

【公開日】平成14年5月31日(2002.5.31)

【出願番号】特願2000-353423(P2000-353423)

【国際特許分類第7版】

H 01 L 21/8247

H 01 L 27/115

H 01 L 29/788

H 01 L 29/792

【F I】

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成16年3月1日(2004.3.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性半導体記憶装置を含む半導体集積回路装置であって、

正面を有する半導体基板と、

前記半導体基板の正面に互いに隣接して形成され、それぞれが第1ゲート絶縁膜と、フローティングゲート電極と、第2ゲート絶縁膜と、コントロールゲート電極と、両側壁部にエッチング防止膜を有する第1保護絶縁膜とからなり、それらの順で積層された少なくとも一対の積層構造体と、

前記一対の積層構造体の互いに対向する側壁部間に位置する前記半導体基板の正面に形成され、ソース領域またはドレイン領域として作用する第1不純物導入領域と、

前記一対の積層構造体のそれぞれの側壁部を覆って形成され、その底部が前記第1不純物導入領域の一表面部に延在する第2保護絶縁膜と、

前記一対の積層構造体の互いに対向する前記側壁部を覆う前記第2保護絶縁膜によって規定された接続孔を埋めるように形成され、前記第1不純物導入領域に電気的に接続された第1導体層と、

を有することを特徴とする半導体集積回路装置。

【請求項2】

請求項1記載の半導体集積回路装置において、前記第1ゲート絶縁膜は、酸化シリコン膜からなり、前記第1保護絶縁膜は、少なくともその一部に酸化シリコン膜を含み、前記エッチング防止膜および前記第2保護絶縁膜は、窒化シリコン膜からなることを特徴とする半導体集積回路装置。

【請求項3】

請求項2記載の半導体集積回路装置において、前記第1保護絶縁膜は、酸化シリコン膜とその上部に積層された窒化シリコン膜とからなることを特徴とする半導体集積回路装置。

【請求項4】

請求項1記載の半導体集積回路装置において、前記第1不純物導入領域は、ドレイン領域として作用し、前記第1導体層は、データ線の一部として作用することを特徴とする半導

体集積回路装置。

【請求項 5】

請求項 4 記載の半導体集積回路装置において、前記少なくとも一対の積層構造体の上部には、少なくとも一層以上の酸化シリコン膜からなる層間絶縁膜が形成され、前記データ線は、前記層間絶縁膜上に形成されていることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 4 記載の半導体集積回路装置において、前記一対の積層構造体の前記第 1 不純物導入領域が形成された側壁部とは反対側の側壁部に位置する前記半導体基板の主面には、ソース領域として作用する第 2 不純物領域が形成され、前記第 2 不純物領域には、ソース線の一部として作用する第 2 導体層が電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 6 記載の半導体集積回路装置において、前記ソース領域として作用する第 2 導体層は、前記第 2 不純物領域を挟む前記一対の積層構造体の互いに対向する前記側壁部を覆う前記第 2 保護絶縁膜によって規定された接続孔を埋めるように形成されていることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 1 記載の半導体集積回路装置において、前記第 2 ゲート絶縁膜は、酸化シリコン膜と窒化シリコン膜とを交互に 3 層以上積層した絶縁膜からなることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 1 記載の半導体集積回路装置において、前記少なくとも一対の積層構造体のそれぞれは、フラッシュメモリのメモリセルを構成し、前記メモリセルの書き込みは、前記フローティングゲート電極に電荷を注入して行うことの特徴とする半導体集積回路装置。

【請求項 10】

請求項 9 記載の半導体集積回路装置において、前記フラッシュメモリは、NOR 型フラッシュメモリであることを特徴とする半導体集積回路装置。

【請求項 11】

半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面に電界効果トランジスタ構造を形成するための第 1 ゲート絶縁膜を形成する工程、

(b) 前記第 1 ゲート絶縁膜上の一層を覆う第 1 ゲート電極と、前記第 1 ゲート電極上を覆う第 1 絶縁膜との 2 層を含み、前記第 1 絶縁膜の側壁部にエッティング防止膜が形成された少なくとも一対の積層構造体を形成する工程、

(c) 前記 (b) 工程の後、前記積層構造体によって覆われていない領域の前記第 1 ゲート絶縁膜を除去する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 12】

請求項 11 記載の半導体集積回路装置の製造方法において、前記 (c) 工程の後、

(d) 前記積層構造体の上部および側壁部を覆う第 2 絶縁膜を形成する工程、

(e) 前記第 2 絶縁膜によって覆われた前記積層構造体を覆い、かつ前記積層構造体間のスペースを埋めるように、前記第 2 絶縁膜上に第 3 絶縁膜を形成する工程、

(f) 前記第 2 絶縁膜をエッティングするよりも速いエッティングレートで前記第 3 絶縁膜をエッティングで除去することによって、前記第 3 絶縁膜にコンタクトホールを形成する工程、

をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 13】

請求項 12 記載の半導体集積回路装置の製造方法において、前記 (f) 工程の後、

(g) 前記コンタクトホールを埋め込む配線用導体層を形成する工程、

をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】

請求項 1 1、1 2または1 3記載の半導体集積回路装置の製造方法において、前記積層構造体を構成する前記第1ゲート電極と前記第1絶縁膜との間には、第2ゲート絶縁膜とその上部に積層された第2ゲート電極とが介在していることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 5】

請求項 1 1、1 2、1 3または1 4記載の半導体集積回路装置の製造方法において、前記第1ゲート絶縁膜、前記第1絶縁膜および前記第3絶縁膜は、酸化シリコン膜からなり、前記エッチング防止膜および前記第2絶縁膜は、窒化シリコン膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】

請求項 1 1～1 5のいずれか一項に記載の半導体集積回路装置の製造方法において、前記第1ゲート電極および前記第2ゲート電極は、多結晶シリコン膜からなり、前記第2ゲート絶縁膜は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜がそれらの順に積層された3層膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】

請求項 1 1～1 6のいずれか一項に記載の半導体集積回路装置の製造方法において、前記第1絶縁膜は、酸化シリコン膜および窒化シリコン膜がそれらの順に積層された2層膜からなり、前記エッチング防止膜は、前記2層膜の側壁部を覆うように形成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 8】

以下の工程を有する半導体集積回路装置の製造方法：

(a) 半導体基板の正面に酸化シリコン膜からなる第1ゲート絶縁膜を形成し、前記第1ゲート絶縁膜上に第1導電膜、第2ゲート絶縁膜および第2導電膜をこの順に形成する工程、

(b) 前記第2導電膜上に酸化シリコン膜の単層膜、または酸化シリコン膜上に窒化シリコン膜を形成した積層膜からなる第1保護絶縁膜を形成する工程、

(c) 前記第1保護絶縁膜をパターニングすることにより、前記第1保護絶縁膜からなるエッチングマスクを形成する工程、

(d) 前記エッチングマスクをマスクに用いたドライエッチングで前記第2導電膜、前記第2ゲート絶縁膜および前記第1導電膜をこの順にパターニングすることにより、前記第1導電膜からなるフローティングゲート電極と前記第2導電膜からなるコントロールゲート電極とを有し、前記コントロールゲート電極の上部が前記第1保護絶縁膜で覆われた積層構造のゲート電極を複数形成する工程、

(e) 前記(c)工程の後、前記(d)工程に先立って、または前記(d)工程の後、パターニングされた前記第1保護絶縁膜の両側壁部に窒化シリコン膜からなるエッチング防止膜を形成する工程、

(f) 前記(e)工程の後、フッ酸を含んだエッチング液を用いて前記半導体基板の表面を処理することにより、前記複数のゲート電極の互いに対向する側壁部間に位置する前記第1ゲート絶縁膜を洗浄する工程、

(g) 前記(f)工程の後、前記複数のゲート電極のそれぞれの上部および両側壁部を覆い、前記複数のゲート電極の互いに対向する側壁部間に埋め込まない程度の膜厚を有する窒化シリコン膜からなる第2保護絶縁膜を形成する工程、

(h) 前記第2保護絶縁膜の上部に酸化シリコン膜からなる層間絶縁膜を形成し、前記複数のゲート電極の互いに対向する側壁部間に前記層間絶縁膜で埋め込む工程、

(i) 前記複数のゲート電極の互いに対向する側壁部間に位置する前記層間絶縁膜および前記第2保護絶縁膜をエッチングすることにより、接続孔を形成する工程。

【請求項 1 9】

請求項 1 8記載の半導体集積回路装置の製造方法において、前記複数のゲート電極のそれぞれは、フラッシュメモリのメモリセルを構成し、前記メモリセルの書き込みは、前記フ

ローティングゲート電極に電荷を注入して行い、前記メモリセルの消去は、前記フローティングゲート電極に注入された前記電荷を前記半導体基板に放出して行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 2 0】

半導体集積回路装置の製造方法であつて、

(a) 半導体基板の主面にM I Sトランジスタ構造を形成するための第1ゲート絶縁膜を形成する工程、

(b) 前記第1ゲート絶縁膜上の一層を覆う第1ゲート電極と、前記第1ゲート電極上を覆う第1絶縁膜との2層を含み、前記第1絶縁膜の側壁部にエッティング防止膜が形成された少なくとも一対の積層構造体を形成する工程、

(c) 前記(b)工程の後、前記積層構造体によって覆われていない領域を洗浄する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 1】

請求項20記載の半導体集積回路装置の製造方法において、前記(c)工程の後、

前記第1ゲート絶縁膜が除去された領域の前記半導体基板の主面を酸化することによって、前記主面に絶縁膜を形成する工程、

をさらに有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 2】

請求項20記載の半導体集積回路装置の製造方法において、前記(c)工程の後、

(d) 前記積層構造体の上部および側壁部を覆う第2絶縁膜を形成する工程、

(e) 前記第2絶縁膜によって覆われた前記積層構造体を覆い、かつ前記積層構造体間のスペースを埋めるように、前記第2絶縁膜上に第3絶縁膜を形成する工程、

(f) 前記第2絶縁膜をエッティングするよりも速いエッティングレートで前記第3絶縁膜をエッティングで除去することによって、前記第3絶縁膜にコンタクトホールを形成する工程、

をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2 3】

請求項22記載の半導体集積回路装置の製造方法において、前記(f)工程の後、

(g) 前記コンタクトホールを埋め込む配線用導体層を形成する工程、

をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2 4】

請求項20～23のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記積層構造体を構成する前記第1ゲート電極と前記第1絶縁膜との間には、第2ゲート絶縁膜とその上部に積層された第2ゲート電極とが介在していることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 5】

請求項20～24のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記第1ゲート絶縁膜、前記第1絶縁膜および前記第3絶縁膜は、酸化シリコン膜からなり、前記エッティング防止膜および前記第2絶縁膜は、窒化シリコン膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 6】

請求項20～25のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記第1ゲート電極および前記第2ゲート電極は、多結晶シリコン膜からなり、前記第2ゲート絶縁膜は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜がそれらの順に積層された3層膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 7】

請求項20～26のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記第1絶縁膜は、酸化シリコン膜および窒化シリコン膜がそれらの順に積層された2層膜からなり、前記エッティング防止膜は、前記2層膜の側壁部を覆うように形成されている

ことを特徴とする半導体集積回路装置の製造方法。