



[12] 发明专利申请公开说明书

[21]申请号 94116422.5

[51]Int.Cl⁶

H03K 19/0175

[43]公开日 1995年9月20日

[22]申请日 94.9.19

[30]优先权

[32]93.9.20 [33]JP[31]256385 / 93

[32]93.12.28[33]JP[31]350856 / 93

[71]申请人 株式会社鹰山

地址 日本东京

[72]发明人 寿国梁 高取直 山本诚

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 范本国

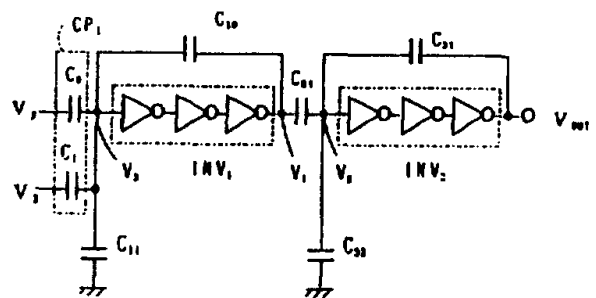
说明书页数:

附图页数:

[54]发明名称 计算电路

[57]摘要

计算电路有为加权用的耦合电容, 通过耦合电容可实现加法, 通过连结和断开耦合电容, 由于改变权重执行乘法, 具有反馈电容的反相器连到计算电路以改进计算精度。电容器包括分散分布的单位电容, 所以电容的偏离最小。



权 利 要 求 书

1. 计算电路包括:

耦合电容,有很多电容其容量与数字数据的位的权对应,电容的容量二倍于所说位的最大权重,所说的电容共同连到一公共输出端;

很多接收模拟输入电压的开关电路它与所说电容对应,根据所说数据的数字位输入到所说相应开关电路与所说开关电路连结或断开;

借此实现所说模拟输入与所说数字数据的乘法。

2. 根据权利要求 1 的计算电路,所说开关电路包括一 cMOS。

3. 根据权利要求 2 的计算电路还包括封底(*Dummy*)晶体管。

4. 根据权利要求 1 的计算电路还包括连到上述公共输出端的第一反相器,连到所说第一反相器的输出端的连结电容和连结到所说电容的第二反相器,借此,所说第一反相器,电容器和第二反相器实现顺序连结。

5. 根据权利要求 4 的计算电路还包括连结第一反相器的输出到第一反相器输入的第一反馈电容,所说第一反馈电容的容量等于所说耦合电容的总容量。

6. 根据权利要求 4 的计算电路还包括连结第二反相器的输出

到第二反相器的输入的第二反馈电容，所说第二反馈电容的容量等于所说连结电容的容量。

7. 根据权利要求 4 的计算电路还包括为了改变对第一反相器或第二反相器输出的开关电路。

8. 计算电路包括：

第一运算放大器，它在非反相输入端接收模拟输入电压的输入；

第二运算放大器，它的非反相输入端接地；

第一开关电路，它连到所说第一运算放大器的输出端；

第二开关电路，它连到所说第二运算放大器的输出端；

第一电容器，它通过所说开关电路连到所说运算放大器的输出端；

第二电容器，它连结第一电容器到地；

第一反馈线，它从所说第一和第二电容连结处连到所说第一运算放大器的反相输入端；

第二反馈线，它从所说第二运算放大器的输出端连到所说第一运算放大器的反相输入端；

第三电容，通过所说第一和第二开关电路连到所说第一和第二运算放大器的输出；

数字信号为了关闭和打开所说第一和第二开关电路，其中一个打开时另一个关闭。

9. 计算电路包括：

很多第一输入线，它们共同连到一输入模拟电压；

很多第一电容器，它们中每个同第一输入线相对应并连到公共输出端；

很多第一开关电路，它用来改变连结，连到对应于输入线的第一电容或到地；

第一反相器，它连到所说第一个电容的公共输出端；

很多第一反馈线，它们共同地连到第一反相器的输出端；

很多第二电容，它们每个同所说一个第一反馈线对应；

很多第二开关电路，它们用来改变连结，连结所说第二个电容到所说第一反相器的输入端或到地；

很多连结线，它们共同连到所述第一反相器的输出；

很多第三个电容器，它们每个同相应连结线之一对应，所说第三电容的组合电容实质上等于第一电容的组合电容；

很多第三个开关电路，它们用来改变连结，连结所说的第3个电容到的说第一反相器的输出或到地；

第二个反相器，它连到所说第一电容的公共输出端并连到公共输出端；

很多第二反馈线，它公共连到所说第二反相器的输出端；

很多第4个电容，它们每个同所说的第二反馈线之一对应。

很多第4开关电路，它们用来改变连结，把所说第4电容连

到所说第二反相器的输出端或接地；

所说的第 2, 第 3 和第 4 开关电路共同受控制, 所以第 2, 第 3 和第 4 电容的实际组合电容彼此相等；

借此, 通过所说的第一和第三电容器组成的电容, 所说模拟输入电压的乘法得以实现。

10. 计算电路包括：

耦合电容有很多电容, 它们连到很多模拟输入电压端, 所说的耦合电容共同连到输出端；

第一反相器将其输入连到所说输出端；

连结电容, 它连到所说第一反相器的输出端；

第二反相器, 它经过所说连结电容连到第一反相器的输出端；

第一反馈电容, 它把所说第一反相器输出端连到第一反相器的输入端；

第二反馈电容, 它把所说第二反相器的输出连到第二反相器的输入端；

附加接地电容, 它连结所说耦合电容和所说的连结电容, 所说的附加电容使所说第一和第二反相器的闭环增益实质上彼此相等；

因此输入模拟电压被加权。

11. 根据权利要求 10, 计算电路还包括：

第二耦合电容, 它连到所说第二反相器的输入端, 平行连结到

电容,所说第二耦合电容其容量等于所说第一耦合电容的容量;

很多开关电路与所说第一和第二耦合电容相对应,它可改变连结,把每个模拟输入电压连到所说第一耦合电容或连到所说的第二耦合电容。

12. 根据权利要求 10 的计算电路还包括

第二耦合电容,它有很多电容连到很多模拟输入电压,所说耦合电容共同连到输出端。

第三反相器,将输入连到所说的输出端

第二连结电容,它把第 3 反相器的输出端连到所说第二反相器的输入端;

第 3 反馈电容,它把所说第 3 反相器的输出端连到第三反相器的输入端;

附加接地电容,它连到所说第 2 耦合电容,所说的附加电容使第 3 反相器的闭环增益实质上等于第一和第二反相器的增益。

13. 计算电路包括:

很多顺序相连的采样部件;

很多计算部件,它用来计算每个采样保持电路的输出;

借此可以实现顺序计算。

14. 根据权利要求 13 所说采样保持部件包括:

输入模拟输入电压的输入开关;

顺序地连到所说输入开关上的输入电容;

顺序地连到所说输入电容上的第一放大器；
顺序地连到所说输入电容上的中间开关；
顺序地连到所说中间开关上的中间电容；
顺序地连到所说中间电容上的第二放大器；
第一反馈电容，它把第一放大器的输出连到第一放大器的输入；
第二反馈电容，它把第二放大器的输出连到第二放大器的输入。

15. 根据权利要求 13 的计算电路，其中每个采样/保持部件包括：

在非负输入端接收模拟输入电压的第一运算放大器；
连到第一个运算放大器输出的第一开关；
第二运算放大器，它通过第一开关把非负输入端连到第一运算放大器的输出；
连到第二个运算放大器输出的第二开关；
第一电容器，它通过所说的第一开关，把它的第一输入端连到所说第一运算放大器的输出，其第二个输入端接地；
第二电容器，它通过所说的第二开关，把所说的第一端连到所说第二运算放大器的输出，其第二端接地；
第一反馈线，它把所说的第一个电容的第一端连到所说第一运算放大器的反相输入端；

16. 根据权利要求 13 的计算电路, 其中每个采样保持部件包括:

很多第一开关, 其第一端点连到模拟输入电压;

很多第一电容, 它通过所说的第一开关连到所说模拟输入电压上;

很多第一反相器, 它们每个顺序连到各个第一电容上;

很多第二开关, 它们每个顺序连到各个第一反相器上;

第二电容, 它有第一各第二端, 其第一端共同连到所说的第二开关上;

第二反相器, 它连到所说的第二电容的第二端;

很多第一反馈电容, 它把第一反相器的输出连到所说第一反相器的输入;

很多第二反馈电容, 它们把第二反相器的输出连到所说第二反相器的输入。

17. 根据权利要求 14 的计算电路, 其中每个采样保持电路还包括:

第一初始化开关, 它连到与所说输入开关平行的所说输入电容上;

第二初始化开关, 它连到与所说中间开关平行的中间电容上;

第三初始化开关连接所说的第一放大器的输出到所说第一放大器的输入;

第四初始化开关连接所说第三放大器的输出到所第二放大器的输入；

所说的第二,第三和第四个初始化开关在第一初始化开关打开足够长时间后关闭,所说第一初始化开关在所说第二,第三和第四初始化电路打开后关闭。

18. 根据权利要求 13 的计算电路,其中每个采样保持部件包括:

很多有第一,第二和第三端的第一开关,在第一端共同连结一模拟输入电压,所说的第一端可改为所说第二或第三端;

很多第一电容,它们都顺序连到所说第一开关之一的第二端;

很多第二电容,它们都顺序连到所说第一开关之一的第三端;

很多第一反相器,它们都顺序连到所说第一电容之一;

很多第二反相器,它们都顺序连到所说第二电容之一;

很多具有第一第二和第三端的第二开关,它们都把第一端连到所说第一反相器的输出,第二端连到所说第二反相器之一的输出,并可把所说第一端或第二端改变为所说的第三端;

第三电容共同连到所有第二开关的第三端;

第三反相器顺序连到所说第三电容;

很多第一反馈电容把所说第一反相器的输出连到所说第一反相器的输入;

很多第二反馈电容,把所说第二反相器的输出连到所说第二

反相器的输入；

很多第三反馈电容，把所说第三反相器的输出连到所说第三反相器的输入；

19. 根据权利要求 13 计算电路，所说的每个计算部件包括：

很多电容，它们都同所说模拟输入电压权重对应；

很多开关，它都提供选择，把模拟输入电压连到所说的电容的一个或多个；

数字信号用每位控制所说开关；

20. 根据权利要求 19 计算电路，所说每个计算部件包括：

一个数据寄存器，它保持所说的数字信号作为乘数。

21. 根据权利要求 20 计算电路，所说的数据寄存器是静态读存取存储器。

22. 根据权利要求 21 计算电路，还包括 *EEPROM* 作为附加数据寄存器。

23. 根据权利要求 19 计算电路，还包括一移位寄存器，它把数据寄存器的并行数据转成串行数据输出，并把所说输入到数据寄存器的事行数据转成并行数据。

24. 根据权利要求 19 计算电路，所说的电容包括在 *LSI* 中形成的一个或多个单元电容，所说每个单元电容作为一个电容不同于单元电容附近的用单元电容组的很多电容。

25. 根据权利要求 24 计算电路，所说每个单元电容其形状为

具有圓角的矩形。

说明书

计算电路

本发明涉及一种计算电路,这种电路可实现模拟数据的计算。

传统的计算机是数字型的,通过许多简单数字逻辑电路组合实现计算,数字型计算在精度和冗余度上是很好的,而由于较精细的主产过程使设备成本大,它的局限性已开始出现。模拟计算通常出现于工程中,主要用于解微分方程,但它脱离技术的发展。由于上述限制,目前,模拟计算再度吸引人们注意,运算放大器被用于传统模拟计算中,但是由于它是靠电流驱动的,对大规模计算需要很多电能。因此对大规模复杂计算:提供实用电路是困难的。

本发明目的是为大规模复杂计算提供可用的模拟型的计算电路。

根据本发明不同的组合电路被提供,其中通过电容耦合实现加法,通过电容耦合的加权实现乘法。

乘法亦可通过对数计算型电路实现,这种电路把电压转换成时间长度,它也适用于指数计算。

图 1 是根据本发明用来加权加的第一种实施例的电路图。

图 2 是加权加电路的第二种实施例。

图 3 是乘法电路,用在图 2 的加法电路中。

图 4 是第 3 个实施例。

图 5 是图 4 中第 3 个实施例的开关装置。

图 6 是乘法电路的第 2 个实施例。

图 7 是滤波电路,用在图 6 的乘法电路中。

图 8 是图 7 中滤波电路的保持电路。

图 9 是图 7 加法电路中耦合电容的实施例。

图 10 是滤波电路的第 2 个实施例。

图 11 是图 10 中第 2 个实施例的加法电路。

图 12 是乘法电路的第 3 个实施例。

图 13 是图 12 中反相器 *INV1* 和 *INV2* 的电路。

图 14 显示图 13 中反相器。

图 15 显示了开关电路 *SW1* 到 *SW8* 的电路。

图 16 显示了开关电路 *SW9* 的电路。

图 17 是乘法电路的第 4 个实施例。

图 18 是乘法电路的第 5 个实施例。

图 19 是作为第 3 实施例的滤波电路。

图 20 是采样/保持电路的第一个实施例。

图 21 是乘法电路的第 6 个实施例。

图 22 是加法电路的第 4 个实施例。

图 23 是开关装置的时序图。

图 24 是采样/保持电路的第 2 个实施例。

图 25 是图 27 中电路的采样/保持部份。

图 26 显示前沿保持部份。

图 27 显示后沿保持部份。

图 28 是另一个前沿保持部份。

图 29 是图 28 中电路的变化。

图 30 是保持电路的第 3 个实施例。

图 31 是滤波电路的第 4 个实施例。

图 32 是乘法电路的第 7 个实施例。

图 33 是用在图 32 电路中的耦合电容。

图 34 是滤波电路的第 4 个实施例。

图 35 是图 34 中滤波电路中的加法电路。

图 36 是滤波电路的第 5 个实施例。

图 37 显示了数据寄存器,移位寄存器和图 36 中滤波电路的控制部份。

图 38 是滤波电路的第 6 个实施例。

图 39 显示了图 41 的滤波电路中保持电路。

图 40 显示了图 38 中滤波电路的乘法电路。

图 41 是一电路图它显示了在 *LSI* 计算电路中电容器布局的第一实施例。

图 42 是电容器布局的第 2 个实施例。

图 43 是电容器布局的第 3 个实施例。

图 44 显示了用在上面计算电路中 LSI 的结构的一个实施例。

图 45 显示了转换电路,它将二进制数转成多值数。

图 46 显示了信号电平图。

图 47 是一个将多值数变成二进制数的转换电路。

图 48 显示了信号电平。

图 49 显示了开关电路。

下文参照附图叙述本发明的加权加法电路的实施例。

在图 1 中加权加法电路的第一实施例由耦合电容 CP1,反相器 1NV1 及 1NV2 串联组成,而 CP1 由电容 C0 和 C1 并联连结。

反相器 1NV1 的输出经电容 C10 反馈到它输入端,并通过电容 C21 输出到反相器 1NV2。反相器 1NV2 的输出经电容 C31 反馈到它的输入端,附加电容 C11 和 C32 平行连到 CP1 和 C21 上。

在 CP1 上,输入电压 V1 和 V2 分别输入到电容器 C0 和 C1。

假设在 1NV1 和 1NV2 的输入端形成的失调电压彼此相等,电压值定义成 Voff,INV1 的输入和输出电压定义为 V3 和 V4,INV2 的输入电压定义为 V5,那么就定义公式 1

$$(C_0V_1 + C_1V_2 + C_{10}V_4) / (C_0 + C_1 + C_{10} - C_{11}) = V_3 \dots \dots (1)$$

由公式 1 得到公式 2 和 3

$$V_4 = \{ V_3 (C_0 + C_1 + C_{10} - C_{11}) - (c_0v_1 + c_1v_2) \} / c_{10} \dots \dots (2)$$

$$(C_{21}V_4 + C_{31}V_{out}) / (C_{21} + C_{31} - C_{32}) = V_5 \dots \dots (3)$$

由公式 3 得到公式 4

$$V_{out} = \{V_5(C_{21} + C_{31} - C_{32}) - C_{21}V_4\} / C_{31} \dots \dots (4)$$

公式 2 代入公式 4 得到公式 5

$$\begin{aligned} V_{out} = & V_5(C_{21} + C_{31} - C_{32}) / C_{31} - V_3 \\ & C_{21}(C_0 + C_1 + C_{10}C_{11}) / C_{10}C_{31} - \\ & (C_0V_1 + C_1V_2)C_{21} / C_{10}C_{31} \dots \dots (5) \end{aligned}$$

如果 $V_1 = V_2 = 0$ 那么 $V_3 = V_5 = V_{off}$ 公式 6 就成立。

$$\begin{aligned} V_{out} = & V_{off}(C_{21} + C_{31} - C_{32}) / C_{31} - V_{off}C_{21}(C_0 + C_1 + C_{10} - C_{11}) / \\ & C_{10}C_{31} \dots \dots (6) \end{aligned}$$

如果消去失调, $V_{out} = 0$

那么公式 6 的右边成为 0

$$\begin{aligned} (C_{21} + C_{31} - C_{32})C_{10} = & (C_0 + C_1 + C_{10} - C_{11})C_{21} \text{ 所以 } (C_{21} + C_{31} - \\ C_{32}) / C_{21} = & (C_0 + C_1 + C_{10} - C_{11}) / C_{10} \dots \dots (7) \end{aligned}$$

公式 7 表示 1NV1 和 1NV2 的闭环增益相等。如果 C_{11} 和 C_{32} 不存在, 那么公式 7 变成公式 8, 对电容 C_0, C_1, C_{10}, C_{21} 和 C_{31} 的范围限制不大。

$$C_{32} / C_{21} = (C_0 + C_1) / C_{10}$$

也就是说电容 C_0, C_1, C_{10}, C_{21} 和 C_{32} 的范围是可增大。

图 2 显示第 2 个实施例, 它包括为输入电压 V_1 到 V_4 的第一个及第 2 个耦合电容 $CP1$ 和 $CP2$, V_1 和 V_2 是通过电容 $CP1$ 加到 $INV1$ 输入端, V_3 和 V_4 是通过电容 $CP2$ 加到 $INV2$ 输入端。这些

电路同图 1 中 CP1 和 INV1 电路相同。INV1 和 INV2 的输出通过耦合电容 CP3 相加输入到 INV3。反相器 INV1, INV2 及 INV3 的输出经电容 C₁₀, C₁₂ 和 C₃₁ 反馈到它输入端, 而 CP1, CP2 和 CP3 经附加电容 C₁₁, C₁₃ 及 C₃₂ 接地。

在 CP1 和 CP2 中, 输入电压 V₁, V₂, V₃ 和 V₄ 被输入到电容 C₀, C₁, C₂ 和 C₃ 上, 若分别定义反相器 1INV1, 1INV2 和 1INV3 的输入电压为 V₅, V₇ 及 V₉, 其输出电压为 V₆, V₈ 及 V_{out} 可得到如下公式。

$$V_6 = \frac{V_5(C_0 + C_1 + C_{10} - C_{11}) - C_0 V_1 - C_1 V_2}{C_{10}} \dots \dots (9)$$

$$V_8 = \frac{V_7(C_2 + C_3 + C_{12} - C_{13}) - C_2 V_3 - C_3 V_4}{C_{12}} \dots (10)$$

这两公式代入公式 11

$$C_{21} V_6 + C_{22} V_8 + C_{31} V_{out} + V_9 (C_{32} - C_{21} - C_{22} - C_{31}) = 0 \dots \dots (11)$$

将公式 (9), (10) 代入 (11) 得公式 12

$$\begin{aligned} V_{out} = & V_9 (C_{21} + C_{22} + C_{31} - C_{32}) / C_{31} \\ & - C_{21} \{ V_5 (C_0 + C_1 + C_{10} - C_{11}) - (C_0 V_1 + C_1 V_2) \} / C_{10} C_{31} \\ & - C_{22} \{ V_7 (C_2 + C_3 + C_{12} - C_{13}) - (C_2 V_3 + C_3 V_4) \} / C_{12} C_{31} \\ & \dots \dots (12) \end{aligned}$$

同图 1 电路相同, 当 V₁ = V₂ = V₃ = V₄ = 0, V₅ = V₇ = V₉ = V_{off}

那么可得到公式 13

$$\begin{aligned} V_{out} = & V_{off} (C_{21} + C_{22} + C_{31} - C_{32}) / C_{31} \\ & - V_{off} (C_0 + C_1 + C_{10} - C_{11}) C_{21} / C_{10} C_{31} \end{aligned}$$

$$-V_{off}(C_2+C_3+C_{12}-C_{13})C_{22}/C_{12}C_{31}\cdots\cdots(13)$$

若消去失调 $V_{out}=0$ 公式 12 右边为 0

$$(C_{21}+C_{22}+C_{31}-C_{32})/C_{31}=(C_{21}/C_{31})(C_0+C_1+C_{10}-C_{11})/C_{10} \\ + (C_{22}/C_{31})(C_2+C_3+C_{12}-C_{13})/C_{12}\cdots\cdots(14)$$

公式 14 表示 1NV1 和 1NV2 的加权加闭环加闭环增益等于 1NV3 的闭环增益,加外在设计中电容器 C_{11}, C_{13} 和 C_{32} 对电容器 $C_0, C_1, C_2, C_3, C_{10}, C_{12}, C_{22}, C_{21}$ 及 C_{31} 的灵活选择是有影响的。

下文叙述经过加权加法和乘法电路的实施例。

图 3 中乘法电路的第一个实施例包括对输入的模拟数据 V_{in} 进行选择的开关装置 SW_0 到 SW_7 这些开关装置受数字数据 b_0 到 b_7 的每一位控制。

开关装置可分成两组,第一组 G_1 包括 SW_0 到 SW_3 ,第二组 G_2 包括 SW_4 到 SW_7 ,每组通过耦合电容 $CP1$ 和 $CP2$ 集合而成。

耦合电容 $CP1$ 由电容器 C_0 到 C_3 组成, $CP2$ 由电容器 C_4 到 C_7 组成。 C_0 到 C_3 的容量同 b_0 到 b_3 权重成比例,而 C_4 到 C_7 的容量同 b_4 到 b_7 权重成比例,而且, $CP1$ 和 $CP2$ 通过电容 C_{11} 和 C_{13} 接地。

电容器 $CP1$ 和 $CP2$ 的输出输入到反相器 $INV1$ 和 $INV2$ 。每个反相器 $INV1$ 和 $INV2$ 的输出通过耦合电容 $CP3$ 联在一起。 $CP3$ 的输出经反相器 $INV3$ 作为输出模拟数据 V_{out} 输出,并且 $CP3$ 经电容 C_{32} 接地。

反相器 $INV1$ 到 $INV3$ 串联地连成 3 级,所以每个反相器的

精度可保证,在每个反相器中,它的输出经 C_{10}, C_{12} 或 C_{31} 反馈到它的输入,电容器容量根据公式 15,16 和 17 决定。

$$C_{C10}-C_{11}=C_0+C_1+C_2+C_3\cdots\cdots(15)$$

$$C_{C12}-C_{13}=C_4+C_5+C_6+C_7\cdots\cdots(16)$$

$$C_{C31}+C_{32}=C_{21}+C_{22}\cdots\cdots(17)$$

当 $INV1$ 到 $INV3$ 有增益 G ,在 C_0 到 C_7 上加的电压是 V_0 到 V_7 , $INV1$ 和 $INV2$ 的输入电压是 V_{11} 和 V_{12} , $INV1$ 和 $INV2$ 的输出电压是 V_{21} 和 V_{22} , $INV3$ 的输出是 V_{31} ,那么可得到下面公式

$$\sum_{i=1}^3 C_i (V_i - V_{11}) + C_{10} (V_{11} - V_{21}) + C_{11} V_{11} = 0 \quad (18)$$

$$\sum_{i=4}^7 (V_i - V_{12}) + C_{12} (V_{12} - V_{22}) + C_{12} V_{12} = 0 \quad (19)$$

$$C_{21} V_{21} + C_{22} V_{22} + C_{31} (V_{31} - V_{out}) + C_{32} V_{31} = 0 \quad (20)$$

$$V_{21} = G V_{11}, \quad V_{22} = G V_{12} \text{ and } V_{out} = G V_{31} \quad (21)$$

近似地

$$V_{21} = \sum_{i=0}^3 C_i V_i / C_{10} \quad (22)$$

$$V_{22} = \sum_{i=4}^7 C_i V_i / C_{12} \quad (23)$$

$$V_{out} = (C_{21} V_{21} + C_{22} V_{22}) / C_{31} \quad (24)$$

在此,相应于 b_0 到 b_7 , $SW_{\text{猫}}$ 被连到 V_{in} 或地,即 $V_i = V_{in}$ 或 $V_i =$

0,下面公式就成立

$$C_i = 2^i \times C_u \quad (i=0 \text{ to } 3) \quad (25)$$

$$C_i = 2^{i-4} \times C_u \quad (i=4 \text{ to } 7) \quad (26)$$

$$C_{11} = C_{13} = C_{32} = C_u \quad (27)$$

C_u 为电容量的单位

$$C_{22} = 2^4 \times C_{21} \quad (28)$$

$$C_{31} = 2^4 \times C_u \quad (29)$$

因此最后输出是模拟数据和数字数据的相乘结果如下所示。

$$V_{out} = \sum_{i=0}^7 2^i b_i V_{in} / 2^8 \quad (30)$$

$$C_{31} = 2^3 \times C_u \quad (31)$$

成立那么得到公式 32, 它的电平是公式 30 的 2 倍。

$$V_{out} = \sum_{l=0}^7 2^l b_l V_{in} / 2^7 \quad (32)$$

对每个控制电平, 工作范围成为可选的

如公式 26 所示, 作为乘法的位权重可分成 b_0 到 b_3 和 b_4 到 b_7 两组, 两组相加的结果进一步相加, 对每个两级的乘法电路, 每个电容减小范围小于 2^3 。

如上所述, 第一和第二反相器的闭环增益实质上彼此相等, 反相器的耦合电容经附加电容连到地, 所以增益被平衡, 而本实施例具有使失调电压的影响降到最小的作用。

在图 4 中加法电路的第 3 实施例包括两个串行连结的反相器 $INV1$ 和 $INV2$, $INV1$ 的输出经电容 C_{22} 连到 $INV2$, $INV1$ 的输出经电容 C_{21} 反馈到 $INV1$ 的输入, 而 $INV2$ 的输出经电容 C_{23} 反馈到它的输入。 $INV1$ 和 $INV2$ 通过足够大的增益和反馈电路保证其输出精度和线性特性。

用 C_{11} 到 C_{18} 多个电容平行相连的耦合电容 $CP1$ 连到反相器

INV1 的输入。用多个电容 C_{31} 到 C_{38} 平行相连的耦合电容 $CP2$ 连到 INV2 的输入，耦合电容 $CP1$ 和 $CP2$ 对应电容 $C1_i$ 和 $C3_i$ 连到公共开关装置 SW_i 的输出端，输入电压 D_i 和表示输入数据是正或负的符号信号 S_i 输入到 SW_i ， D_i 的电压值永远是正，它显示输入数据的绝对值。

开关装置 SW_i 通过符号信号 S_i 进行转换。当符号是正时，那么 D_i 从 $CP1$ 输入到 INV1。当符号是负时 D_i 输入到 INV2。 SW_i 交替连结电容 $C1_i$ 或 $C3_i$ ，因而 D_i 是不会同地相连的。（见图 5），在此， S_i 是 0 或 1 的二进制信号。当 D_i 是正， S_i 等于 0，当 D_i 是负 S_i 等于

1。对应于 INV1 和 INV2 的输入电压 V_1 和 V_2 用如下公式计算

$$V_1 = - \sum_{i=1}^8 D_i S_i C1_i / CT1 \quad (33)$$

$$CT1 = \sum_{i=1}^8 C1_i \quad (34)$$

$$V_2 = \sum_{i=1}^8 (D_i S_i C3_i - C2_2 V_1 (CT1 / C2_1)) / CT2 \quad (35)$$

$$CT2 = \sum_{i=1}^8 C3_i + C2_2 \quad (36)$$

下面条件是成立的 $C1_9 = C2_1 = C2_2 = C2_3 = 16C11$

$C1_i = C3_i =$ 常数，而下面条件可得到

$$V_2 = (- \sum_{i=1}^8 D_i S_i C1_i + \sum_{i=1}^8 D_i S_i C3_i) / 24 \quad (37)$$

在此 INV2 的输出 D_{out} 被如下计算

$$\begin{aligned} D_{out} &= - (CT2 / C2_3) V_2 \\ &= (\sum_{i=1}^8 D_i S_i - \sum_{i=1}^8 D_i S_i) / 16 \end{aligned} \quad (38)$$

这公式表示归一化带符号加电路。

图 5 是第 3 实施例中开关装置 SW 的电路它由触发器 A 和 B 组成。

触发装置 A 由晶体管 $Tr1$ 到 $Tr4$ 及反相器 $INV3$ 组成, 电压 V_{in} 输入到 $Tr1$ 和 $Tr3$ 的漏, $Tr1$ 和 $Tr3$ 的源连到输出端 a 。符号信号 $Sign$ 输入到 $Tr1$ 的栅, 信号 $Sign$ 经反相器 $INV3$ 输入到 $Tr3$ 的栅, $Tr2$ 和 $Tr4$ 的源接地, $Tr2$ 和 $Tr4$ 的漏连到输出端 a 。符号信号 $Sign$ 输入到 $Tr2$ 的栅, 同时符号信号 $Sign$ 经反相器 $INV4$ 输入到 $Tr4$ 的栅。

触发器装置 B 由 $Tr5$ 到 $Tr8$, $INV4$ 及 $INV5$ 组成。

电压 V_{in} 输入到 $Tr5$ 和 $Tr7$ 的漏, $Tr5$ 和 $Tr7$ 的源连到输出端 b , 符号信号 $Sign$ 经 $INV4$ 输入到 $Tr5$ 的栅, 符号信号 $Sign$ 经 $INV4$ 和 $INV5$ 输入到 $Tr7$ 的栅, $Tr6$ 及 $Tr8$ 的源接地, $Tr6$ 和 $Tr8$ 的漏连到输出端 b 。符号信号 $Sign$ 经 $INV4$ 输入到 $Tr6$ 的栅, 同时符号信号 $Sign$ 经 $INV4$ 和 $INV5$ 输入到 $Tr8$ 的栅。

当符号信号 $Sign$ 等于 1 时, 触发装置 A 的 $Tr1$ 和 $Tr3$ 导通, 而电压 V_{in} 输入到输出端 a , 此电压再输入到 $INV2$ 。另一方面, 在触发器装置 B 上, $Tr6$ 和 $Tr8$ 导通, 输出端 b 接地成 $0V$ 电压。

同上相反, 当符号信号等于 0 时, 触发器装置 a 的输出端接地成 $0V$ 电压, 在触发器装置 b 的输出端 b , 输出 V_{in} , 同时此电压再输

入到 INV1。

上面加法电路通过包括反馈电路的串联连结的二级反相器保证输出精度,由于数据进入第一级或第二级反相器是对应于数据的正/负符号,故执行带符号模拟数据加法是可能的。

下文参考附图叙述乘法电路的实施例。

在图 6 中,乘法电路的第二实施例由一对运算放大器 $Amp3$ 及 $Amp4$,和一对场效应晶体管 $Tr3$ 和 $Tr4$ 组成。模拟输入数据 AX 输入到不反相的 $Amp3$ 的输入端, $Amp3$ 的输出连到 $Tr3$ 的漏, $Tr3$ 的源经电容 C_3 和 C_4 接地,当数字输入电压 B 是高电平输入到 $Tr3$ 栅极 C_3 和 C_4 间的电压反馈到不反相的 $Amp3$, $Tr3$ 导通,此时,因 AX 电压加到 C_4 , $Amp3$ 的输出受控制,在 C_4 中储存的电荷形成电荷电压等于 AX 。 $Tr3$ 的源电压由如下公式所示

$$AX\{(C_3 - C_4)/C_3\}$$

在 $Amp4$ 中,一个非反相输入到地,输出连到 $Tr4$ 的源。 $Tr4$ 的漏连到 C_3 ,并反馈到 $Amp4$ 的非反向输入端,数字数据 B 经反相器 INV 反相输入到 $Tr4$ 的栅,当 B 是低电平时 $Tr4$ 导通,此时, $Amp4$ 的输出因 $Tr4$ 的漏形成 $0V$ 而被控制。

$Tr3$ 的源和 $Tr4$ 的漏相连到电容 C_5 输出,其输出是经包括 C_5 的耦合电容决定权重的加权输出,也就是相应于 AX, M 由 $\{(C_3 - C_4)/C_3\}C_{pp}$ 表示, C_{pp} 是经耦合电容预先确定的加权值,或用 0 作为乘数的乘。

耦合电容是由很多电容(C_{51} 到 C_{588} 个电容)组成的电路,如图 9 所示它们共同连到一输入端,当电压 V_1 到 V_8 加到这些电容上,输出电压 V_8 由下面公式表示并且加权加法就实现,

$$V_8 = (C_{51}V_1 + C_{52}V_2 + \dots + C_{588}V_8) / (C_1C_2 + \dots + C_8) \dots \dots (39)$$

如图 6 所示的很多电路平行相连,以便将模拟数据直接乘以数字数据,其中 $\{(C_3 - C_4) / C_3\} C_{DD}$ 被定义成 2^n 。

上面涉及的乘法电路有各种用途,图 7 所示的滤波电路是可选的应用之一。在图中乘法电路由 M_{11} 到 M_{18} 及 M_{21} 到 M_{28} 表示。

在图 7 中,滤波电路有第一加法及乘法电路 $MC1$ 和第二加法及乘法电路 $MC2$ 。第一个电路 $MC1$ 包括很多平行相连的保持电路 H_{11} 到 H_{18} ,每个保持电路 H_{1K} 的输出端输入到乘法电路。而第二电路 $MC2$ 包括很多串行相连的保持电路 H_{21} 到 H_{28} ,每个保持电路 H_{2K} 的输出输入到乘法电路 M_{2K} 。

在第一个加法和乘法电路中,输入数据 D_{1n} 被输入, D_{1n} 在每个保持电路保持一次再传到下个保持电路,而在每个保持电路中, D_{1n} 数据顺序被保持,顺序数据可用 $X(t-k)$ 表达。在每个乘法电路 M_{11} 到 M_{18} ,预定的乘数 a_1 到 a_8 事先被输入,电路如下对顺序数据执行乘法。

$$M_{1K} = a_k \times X(t-k) \dots \dots (40)$$

M_{1k} 是乘法电路 M_{1K} 的乘结果。

乘法电路 M_{1K} 及 $M_{1(k+1)}$ 的输出经加法电路 A_{1K} 相加,加

的结果输出到下一个加法电路 $A1((k+1))$ 。因此,加法电路 A_{17} 按照下面公式在第一个加法和乘法电路中计算所有乘法电路输出的总和。

$$\sum_{i=1}^8 a_{10i} X(t-k) \quad (41)$$

对第二加法和乘法电路, A_{17} 或 H_{18} 的输出作为第二输入数据 D_m 输入, D_m 在保持电路 H_{21} 到 H_{28} 中被保持并传送到下个保持电路, D_m 的顺序数据被保存在每个保持电路中, 在乘法电路 M_{21} 到 M_{28} 的每一个中, 预定乘数 b_1 到 b_8 被输入, 并对顺序数据执行乘法。

$$M2k = b_k \times Y(t-k)$$

$M2K$ 是乘法电路 $M2K$ 的乘法结果。

乘法电路 $M2K$ 和 $M2(k+1)$ 的输出经加法电路 $A2K$ 相加, 加结果输出到下一个加法电路 $A2(K-1)$ 。因此, 加法电路 $A27$ 在第二加法和乘法电路中按照下面公式计算所有乘法电路输出的总和,

$$\sum_{i=1}^8 b_{10i} Y(t-k)$$

加法电路 $A21$ 的输出输入到第一加法电路和乘法电路 $MC1$ 中加法电路 A_{17} , 同时 A_{17} 的输出成为 $MC1$ 和 $MC2$ 乘法结果总和。

当 sw 连到 H_{18} 上, D_m 成为 $X(t-8)$, $MC2$ 的输出如下面公式所示

$$\sum_{i=1}^8 b_{10i} X(t-k-8)$$

经表达式 $b_k = a(k+8)$ 从 A17 输出的 MC1 和 MC2 总和用下面公式显示,因而 FIR(有限冲击响应)型滤波器特性就得到。

$$\sum_{i=1}^N a_i \alpha X(t-k) \quad (42)$$

当 sw 连到 A 17 葛得到下面公式

$$D_m = \sum_{i=1}^N a_i \alpha X(t-k) + \sum_{i=1}^N b_i \alpha Y(t-k) \quad (43)$$

$$Y(t) = D_m \quad (44)$$

这些公式意思是得到 IIR(无限冲击响应)型特性。

如上所述,经开关 sw ,可实现 FIR 和 IIR 两种类型滤波器,对 FIR 型,滤波器用全部保持电路和乘法电路具有比较大级数实现的,这样,得到用途广速度高的滤波器。

图 8 是保持电路 Hjk 的实施例。Hjk 由一对运算放大器 Amp1 及 Amp2 和一对场效应晶体管 Tr1 和 Tr2 组成。输入数据 Din 输入到非反相输入端, Amp1 的输出连到 Tr1 的漏, Tr1 的源经电容 C1 接地,同时反馈到 Amp1 的非反相输入端。时钟 CLK0 输入到栅,当 CLK0 是高电平时 Tr1 导通,当 Tr1 导通时,控制 Amp1 的输出,因此等于 Din 的电压加到 C1,同时电荷被存储形成充电电压是 d_{in} 。

充电电压 C_1 输入到 Amp2 的非反相输入端, Amp2 的输出连到 Tr2 的漏, Tr2 的源通过电容 C_2 接地,同时反馈到 Amp2 的反相输入端, CLK0 的反相时钟 CLK1 输入到 Tr2 的栅,依靠反相时钟 CLK1 使 Tr2 导通,当 Tr2 导通时, Amp2 的输出被控制,以使

电压等于 C_1 的充电电压 din , 电荷存于 C_2 中直到充电电压成为 din , 使输出 $dout$ 等于 din 被输出。

Din 仅在时钟时序为 1 时保持, 因为当 C_1 充电时随着 C_1 充电对电路产生各种影响。

加法电路 Ajk 通过同图 9 相同电路用 2 输入或 3 输入来实现。

从上面电路输出的输出信号 $Dout$ 被一次保持在 $Hout$ 。

图 10 表示的是滤波电路的第二个实施例, 它使用一个加法电路 At 代替所用加法电路 Ajk , 定义每个乘法电路 Mjk 的输出为 Mjk 如图 11 所示, 耦合电容由电容器 Cjk 平行联接组成以实现加权加。这电路的工作同图 9 电路相同。

下文参考附图叙述乘法电路的第 3 个实施例。

在图 12 中乘法电路 M 由很多开关电路 $SW1$ 到 $SW8$ 组成, 模拟输入数据 X 输入给它, 而数字数据的数据位 b_0 到 b_7 输入到 M 作为这些开关电路的控制信号, 开关电路的输出连到由很多电容 $CC0$ 到 $CC7$ 平行连结的耦合电容 C_p 中的每个电容上。 CP 的输出连到反相器电路 $INV1$ 。

电容器 $CC0$ 到 $CC7$ 的容量同权 b_0 到 b_7 相对应, 它们正比于 2^0 到 2^7 。当电容单位是 $C[F]$ 时 下面公式成立。

$$CC0 = 2^0 \times C \quad [F] \quad (45)$$

$$CC1 = 2^1 \times c \quad [F] \quad (46)$$

$$CC2 = 2^2 \times C \quad [F] \quad (47)$$

$$CC3 = 2^3 \times C \quad [F] \quad (48)$$

$$CC4 = 2^4 \times C \quad [F] \quad (49)$$

$$CC5 = 2^5 \times C \quad [F] \quad (50)$$

$$CC6 = 2^6 \times C \quad [F] \quad (51)$$

$$CC7 = 2^7 \times C \quad [F] \quad (52)$$

模拟输入电压 X 通过各个开关电路 SW_i 乘以同 2^i 成正比的权重。因此,通过开关电路 SW_1 到 SW_8 ,得到下述 CP 的 V_1 输出。

$$V_1 = X \times \sum_{i=0}^7 (2^i \times b_i) \times C \quad (53)$$

在 INV_1 中通过电容 C_1 , 输出被反馈到输入端, C_1 的电容显示于公式 10

$$C_1 = \sum_{i=0}^7 CC_i \quad (54)$$

INV_1 形成高精度的反相电压 ($-X$)。

反相器电路 INV_2 经电容 C_2 连到反相器 INV_1 的输出, 反相器 INV_2 有包括电容器 C_3 的反馈电路。

在 INV_2 中, 通过使 $C_2 = C_3$ 形成公式 11 的输出, 并使公式 12 成立。

$$V_3 = -V_2 (C_3 / C_2) = X (C_3 / C_2) \dots \dots (55)$$

$$Y = X \dots \dots (56)$$

如上所述, 在乘法电路中, 模拟输入电压 X 和输入电压 (b_0 到 b_7) 相乘作为 V_3 直接从 INV_2 输出, 同时从 INV_1 输出反相的输出。

$INV1$ 和 $INV2$ 的输出连到开关电路 $sw9$, $sw9$ 由数字数据的符号位 S 控制转换,用来选择 V_2 或 V_3 作为输出电压 Y 输出,当 $S=1$ (高电平)时 V_2 反相输出,当 $S=0$ (低电平)时 V_3 非反相输出。

图 13 详述反相器电路 $INV1$ 和 $INV2$,图 14 显示反相器电路 $INV1$ 和 $INV2$ 的一个反相器。

如图 13 所示,利用串联连结的很多反相器 I_1 到 I_3 ,输出精度得以改进。反相器 I_1 到 I_3 由 $pMOS$ 和 $nMOS$ 组成, $pMOS$ 的源连到 $nMOS$ 的漏, $nMOS$ 的源连到一电压源,输入电压输入到这些 MOS 上,在两种 MOS 相联结处形成输出。

图 15 详细显示开关电路 $SW1$ 到 $SW8$ 。它们每个开关由 $cMOS$ 开关组成,这些开关有一个 $cMOS$ $Tr1$ 和一个封底晶体管 $Tr2$ 串连到它输入端组成,输入电压 X 输入到 $Tr1$ 的漏,而输出电压由 $Tr1$ 和 $Tr2$ 相联结处形成。数字输入电压被反向输入到 $Tr1$ 中 $pMOS$ 和 $Tr2$ 中 $nMOS$ 的栅极,而非反相的输入到 $Tr1$ 中 $nMOS$ 和 $Tr2$ 中 $pMOS$ 的栅极,结果及有电压下降而实现 X 的开关。

图 16 详细显示开关电路 $SW9$, V_2 和 V_3 连到在各个 $cMOS$ $Tr3$ 和 $Tr4$ 中的 $pMOS$ 的源, $pMOS$ 的漏连到公共电容 C_4 符号位 S 直接连到 $Tr3$ 中 $nMOS$ 的栅和 $Tr4$ 中 $pMOS$ 的栅极,经反相器 I_4 反相信号连到 $Tr3$ 中 $pMOS$ 的栅和 $Tr4$ 中 $nMOS$ 的栅极。当符号位是“1”, $Tr3$ 导通同时一反相输出 V_2 加到 C_4 。当符号信号是“0”, $Tr4$ 导通,非反相输出 V_3 加到 C_4 。因此,对应于符号位可能形

成正/负输出。

如上所述,模拟输入电压通过数字输入电压的开关信号被控制传送到输出端。很多位数字输入信号被用来对很多模拟输出经耦合电容加权和综合,符号位以数字信号的最高位权重的 2 倍而被加到耦合电容上。结果,模拟数据和数字数据可直接相乘不需 A/D 或 D/A 转换。

下文参考附图叙述乘法电路的第 4 种实施例。

在图 17 中乘法电路 M 有很多开关电路 $SW1$ 到 $SW8$ 同模拟输入电压 X 相连,数字输入数据 b_0 到 b_7 同数字数据各位相对应作为这些开关电路的控制信号的输入。

开关电路的输出连到耦合电容 CP 中的各个电容器, CP 由很多电容 $CC0$ 到 $CC7$ 平行连结而成, CP 经反相电路 $1NV1$ 和 $1NV2$ 输出输出电压 Y 。电容器 $CC0$ 到 $CC7$ 的容量与 b_0 到 b_7 权相对应。即相应于 2^0 到 2^7 ,当单位电容 C 是 $[F]$,那么可得到如下公式。

$$CC0 = 2^0 \times C \quad [F] \quad (57)$$

$$CC1 = 2^1 \times C \quad [F] \quad (58)$$

$$CC2 = 2^2 \times C \quad [F] \quad (59)$$

$$CC3 = 2^3 \times C \quad [F] \quad (60)$$

$$CC4 = 2^4 \times C \quad [F] \quad (61)$$

$$CC5 = 2^5 \times C \quad [F] \quad (62)$$

$$CC6 = 2^6 \times C \quad [F] \quad (63)$$

$$CC7 = 2^7 \times C \quad [F] \quad (64)$$

根据这些公式,经各个开关电路 SW_i 的模拟输入电压按比例于 2^i 被加权。

另外,耦合电容包括电容 $CC8$, $CC8$ 经反相器 $INV1$ 和开关电路 $SW8$ 将模拟输入电压 X 反相。与数字数据的符号位相对应的数字输入电压输入到 $SW8$, $INV1$ 的输出经电容 C_2 反馈到输入端,而 $C_1 = C_2$, $INV1$ 以高精度形成 X 的反相电压 $-X$ 。

电容器 $CC8$ 的电容量用下面公式 9 得到,而经过开关电路 $SW1$ 到 $SW8$ 开关转换得到 CP 的输出 V_1 。

$$CC8 = \sum_{i=0}^7 C \dots \dots (65)$$

$$V_1 = X \left\{ \sum_{i=0}^7 (2^i \times b_i) - 2^8 \times c_s \right\} \quad (66)$$

输出 V_1 经带有电容器 C_3 反馈电路的反相器电路 $INV2$ 转换到下个公式。

$$V_2 = -V_1 (C_3 / \sum_{i=0}^7 CC_i) \quad (67)$$

在此下面公式被建立而公式 13 被确定。

反相器电路 $INV3$ 和 $INV2$ 的输出经电容 C_4 相连,包括电容 C_5 的反馈电路置于 $INV3$ 上。

在 $INV3$ 中,形成公式 14 的输出,而 $C_4 = C_5$ 那么得到公式 15。

$$Y = -V_2 (C_5 / C_4) = V_1 (C_5 / C_4) \dots \dots (68)$$

$$Y = V_1 \quad (69)$$

为了将模拟输入数据 X 同数字输入电压 (b_0 到 b_7) 直接相乘提供一乘法电路, 根据符号位 S 可选择输出数据反相或非反相。

反相器 $INV1, INV2$ 及开关电路 $SW1$ 到 $SW9$ 其电路与图 13 到 15 的相同。

下文参考附图描述定标电路。

在图 19 中为用作定标电路的乘法电路的第 5 个实施例, 第一个耦合电容 $CP1$ 第一个反相器 $INV1$, 第 2 个耦合电容 $CP2$ 和第二个反相器 $INV2$ 串联, 输入电压 V_{in} 输入到 $CP1$ 。

$CP1$ 由很多输入电路 L_{11}, L_{12}, L_{13} 和 L_{14} 包括电容 C_{11}, C_{12}, C_{13} 和 C_{14} 。电容器通过选择器 $SW11, SW12$ 和 $SW13$ 选择性地连到输入电路 L_{12}, L_{13} 及 L_{14} 或地。

C_{11}, C_{12}, C_{13} 和 C_{14} 的组合电容量为 $(C_{11} + C_{12} + C_{13} + C_{14})$, 耦合电容 (下面以有效组合电容量表示) 把 V_{in} 连到 $INV1$, 其容量为 $(C_{11} + \sum c_{1i})$, $\sum c_{1i}$ 是电容 C_{1i} 通过 SW_{1i} 连到输入端的组合电容。

在 $INV1$ 中, 很多反馈电路 L_{21}, L_{22}, L_{23} 和 L_{24} 把反相器输出反馈到输入。在 L_{21}, L_{22}, L_{23} 和 L_{24} 中连有电容 C_{21}, C_{22}, C_{23} 和 C_{24} , C_{22}, C_{23}, C_{24} 经选择器 SW_{21}, SW_{22} 和 SW_{23} 选择连到反馈电路 L_{22}, L_{23} , 和 L_{24} 或选择接地, C_{21}, C_{22}, C_{23} 和 C_{24} 的组合容量为 $(C_{21} + C_{22} + C_{23} + C_{24})$, 耦合电容把 $INV1$ 的输出连到输入 (下面以有效组合电容量表示)。 $\sum C_{2i}$ 的组合容量, 它经 $SW2$ 连到反馈

端。

CP2 由很多连结电路 L_{31} , L_{32} , L_{33} 和 L_{34} 包括电容器 C_{31} , C_{32} , C_{33} 和 C_{34} 电容器 C_{32} , C_{33} 和 C_{34} 通过选择器 SW_{31} , SW_{32} 和 SW_{33} 选择连到连结电路 L_{32} , L_{33} 和 L_{34} 或地, C_{31} , C_{32} , C_{33} 和 C_{34} 的组合容量为 $(C_{31} + C_{32} + C_{33} + C_{34})$ 。耦合电容连结 1NV1 和 1NV2 (下面以有效组合电容表示) 的容量变为 $(C_{31} + \sum C_{3i})$ 。 $\sum C_{3i}$ 是电容 C_{3i} 的组合它通过 SW_3 连到连结端。

在 1NV2 中很多反馈电路 L_{41} , L_{42} , L_{43} 和 L_{44} 把反相器输出反馈到输入, 在 L_{41} , L_{42} , L_{43} 和 L_{44} 中连有电容 C_{41} , C_{42} , C_{43} 和 C_{44} 。 C_{42} , C_{43} 和 C_{44} 经选择器 SW_{41} , SW_{42} 和 SW_{43} 选择连到反馈电路 L_{42} , L_{43} 和 L_{44} 或选择接地。 C_{41} , C_{42} , C_{43} 和 C_{44} 的组合容量为 $(C_{41} + C_{42} + C_{43} + C_{44})$ 。耦合电容的容量把 1NV1 的输出连到输入 (下面以有效组合电容表示)。 $\sum C_{4i}$ 是电容器 C_{4i} 的组合电容, 它通过 SW_4 的连到反馈端。

1NV1 和 1NV2 在输入和输出之间有很好的线性特性关系, 它的输出是 $V_{\text{输出}} = 1n$ 与有效组合电容相乘的结果, 如下式所示。

$$M = (c_{11} + \sum c_{1i}) / (C_{21} + \sum C_{2i}) \dots \dots (70)$$

项 M 受开关 SW_{11} 到 SW_{13} 和 SW_{21} 到 SW_{23} 控制, 它的精度取决于电容器的电容分配的精度 (因为它不是绝对值) 在 LSI 中这精度比较容易保证。

在 CP2 和 1NV2 中, 电容由公式 2 确定, 而 SW_{21} , SW_{31} 及

SW41, SW22, SW32 及 SW42, SW23, SW33 及 SW43 和 SW24, SW34 及 SW44 在开关中彼此内锁。

$$C_{21} = C_{31} = C_{41}, C_{22} = C_{32} = C_{42}$$

$$C_{23} = C_{33} = C_{43}, C_{24} = C_{34} = C_{44} \dots \dots (71)$$

因此,公式 3 的关系总是保证

$$(C_{21} + \sum C_{2i}) = (C_{31} + \sum C_{3i}) = (C_{41} + \sum C_{4i}) \dots \dots (72)$$

因此,公式 4 被确定

$$(C_{11} + C_{12} + C_{13} + C_{14}) = (C_{31} + C_{32} + C_{33} + C_{34}) \dots \dots (73)$$

在此,假定 1NV1 和 1NV2 的输入端的失调电压 V_{off} 彼此相等,输入和输出电压 V_{in} 和 V_{out} 之间关系可用公式 5 和 6 计算, 1NV1 的输出定义成 V_{11} 。

$$(\sum C_{1i}V_{in} + \sum C_{2i}V_{11}) / (\sum C_{1i} + \sum C_{2i}) = V_{off} \tag{74}$$

$$(\sum C_{3i}V_{11} + \sum C_{4i}V_{out}) / (\sum C_{3i} + \sum C_{4i}) = V_{off} \tag{75}$$

按照上述关系得到公式 76。

$$V_{out} = mV_{in} \{ (C_{31} + \sum C_{3i}) / (C_{4a} + \sum C_{4a}) \}$$

$$+ [\{ (C_{41} + \sum C_{4i} + C_{31} + C_{32} + C_{34}) / (C_{41} + \sum C_{4i}) \}$$

$$- \{ (C_{31} + \sum C_{3i}) (C_{21} + \sum C_{2i}) \}$$

$$/ \{ (C_{41} + \sum C_{4i}) (C_{21} + \sum C_{2i}) \}] V_{off} \dots \dots (76)$$

通过公式 2,3 和 4 关系得到公式 8

$$mV_{in} \{ (C_{31} + \sum C_{3i}) / (C_{41} + \sum C_{4i}) \}$$

$$\begin{aligned} & \{(C_{41} + \sum C_{4i} + C_{31} + C_{32} + C_{34}) / (C_{41} + \sum C_{4i})\} \\ & - u \{(C_{31} + \sum C_{3i})(C_{21} + \sum C_{2i})\} \\ & / \{(C_{41} + \sum C_{4i})(C_{21} + \sum C_{2i})\} = 0 \dots \dots (77) \end{aligned}$$

那么,失调被消去。

上述认为 *INV1* 和 *INV2* 的失调相等的假设被认为是比较好的近似。

标量电路实现输出电平的精度控制,它能消除失调的影响。

如上所述,带有反馈电容的反相器是串联连结的,乘法同输入电容和反馈电容有关,第一和第二反相器的失调电压可互相取消,那么电平控制可精确实现。

在图 19 中,滤波电路的第三个实施例由很多采样保持电路 H_1 到 H_{10} 通过转换电路串联而成,很多乘法电路 M_1 到 M_{10} 连结到采样保持电路 H_1 到 H_{10} 的输出分支,每个乘法电路的输出全部连到多路输入加法器。

在图 20 中为采样保持电路 H_0 到 H_{10} 的第一个实施例。

每个采样保持电路有输入端开关 *SW1*,输入端电容 *C11*,第一放大器 *AMP1*,中间开关 *SW5*,中间电容 *C21* 和第二放大器 *Amp2* 串联组成,第一个输入预置开关 *SW1* 和第二个预置开关 *SW4* 分别平行相连到输入端开关 *SW2* 及中间开关 *SW5*。

而且,反相器 *INV* 是串联地连到开关 *SW1* 和开关 *SW4*,在第一和第二放大器 *AMP1* 和 *AMP2* 中,输入和输出经反馈电容 *C12*

和 C22 连结,同时输入和输出经第一和第二开关 SW3 和 SW6 可转换相连。

图 23 是开关 SW1 到 SW6 的开和关时序图。

在初始状态,第一个输入预置开关 SW1 和第一个放大器 AMP1 的预置开关 SW3 同时关闭,因为 3 个反相器 INV 形成在同一晶片上,参考电压 A 和 B 的电位相等电压差几乎为 0,在第一个放大器 AMP1 中 P1 的初始化被实现,电荷引起误差可以消除。

在预定时间后,第一个放大器 AMP1 的第一个初始化开关 SW3 打开,第一初始化开关 SW1 亦同时打开,输入端开关 SW2 关闭,而模拟电压 X1 被输入到第一个放大器 AMP1 参考电压由 INV 保持稳定。

如上所述,P1 的初始化正好在模拟电压 X1 输入到第一个放大器 AMP1 之前,所以模拟电压 X1 几乎没有误差地输入到第一个放大器 AMP1。

而通过预定时间之后,输入端开关 SW2 被打开,在预定时间后第二个初始化开关 SW4 和第二放大器 AMP2 的第二个初始化开关 SW6 同时被关闭。

当第二个初始化开关 SW4 和第二个放大器中的第二个初始化开关 SW6 同时关闭时,因 3 级反相器 INV 形成在同一晶片上,参考电压 A 和 C 电位相等,它们电位差几乎为 0,在第二个放大器 AMP2 中 P2 的初始化实现,电荷引起误差可消除。

而在预定时间后,第二个放大器 $AMP2$ 的第二个初始化开关 $SW6$ 关闭,第二个输入预置开关 $SW4$ 亦被打开,同时,第二个输入预置开关 $SW4$ 被打开。中间开关 $SW5$ 打开。从第一放大器 $AMP1$ 输出的模拟电压 $X1$ 被输入到第二个放大器。

如上所述,因为 $P2$ 初始化正好在模拟电压 $X1$ 输入到第二个放大器之间,模拟电压几乎不带误差而输入到第二放大器。

如在图 23 所示时序图,开关打开是顺序实现的,在下一周期,模拟数据 $X2$ 被输入,以后 $X3, \dots, Xn$ 一个接一个连续输入到电路 $H1$ 。

如上所述,第二个放大器的输出模拟电压 $X1$ 如同采样保持电路 $H1$ 到采样保持电路 $H2$,而模拟电压 $X1$ 顺序传送到保持电路 $H10$,用同样方法,下面模拟电压 $X2 \dots$ 和 Xn 是顺序传送到各个采样保持电路 $H0$ 到 $H10$ 。

每个采样保持电路 $H1$ 到 $H10$ 传送模拟电压 $X1 \dots Xn$ 到下面采样保持电路。另一方面,模拟电压 $X1 \dots$ 和 Xn 经分支电路输出到同每个保持电路相对应的乘法器 $M1$ 到 $M9$,而采样保持电路 $H10$ 及有紧跟的采样保持电路,它仅顺序输出模拟电压 $X1 \dots Xn$ 到乘法电路 $M10$ 。

图 24 显示了乘法电路 $M1$ 到 $M10$ 的第 6 个实施例的电路图,一个乘法器有多路开关转换器 MUX_{11} , MUX_{22} 及 MUX_{33} ,放大器 1,2,和与放大器 1,2 相连的第 3 个初始化开

关 $SW7$ 组成,放大器 1 和 2 的转换操作经第 3 个初始化开关 $SW7$ 实现。

模拟数据 $X1$ 和参考电压输入到多路开关选择器 MUX_{11} , MUX_{22} 和 MUX_{33} 的 $IN0$ 同时打开时,因为 3 级反相器在同一晶片上形成,参考电压的电位 A 和 D 的电压相等。其电压差几乎等于零,放大器 1 的 $P3$ 和放大器 2 的 $P4$ 的初始化被实现,电荷引起误差可消除。

在预定时间后,放大器 1 和 2 的第 3 个初始化开关 $SW7$ 打开,而且多路开关选择器 MUX_{11} , MUX_{22} 和 MUX_{33} 的 $IN0$, 这些多路开关选择器的 $INV1$ 同时关闭,模拟电压 $X1$ 输 MUX_{11} 和 MUX_{22} , 多路开关选择器 11 和 22 输出模拟电压 $X1$ 到放大器 1。

放大器 1 的 $P3$ 好在模拟电压 $X1$ 输入之前初始化,因此模拟电压 $X1$ 实质上几乎无误差地输入到放大器 1。放大器 1 输出模拟电压 $X1$ 经多路开关选择器 MUX_{33} 到放大器 2。

$P4$ 在模拟电压 $X1$ 输入到放大器 2 之前初始化,所以模拟电压 $X1$ 没有误差输入到放大器 2。

乘法器 $M1$ 到 $M10$ 中每个把模拟电压 $X1, \dots, Xn$ 乘以从采样保持电路 $H1$ 到 $H10$ 顺序输入的系数,它从乘法器 2 输出乘法结果到加法器 ADD 。

在图 22 中作为加法电路的第 5 个实施例,显示了加法器 ADD 的电路图。

加法器 *ADD* 是由很多多路开关转换器 *MUX1* 到 *MUX10* 和 *MUX11* 到 *MUX20*, 放大器 3 及 4 和置于放大器 3 和 4 之间的多路开关选择器 *MUX30* 组成。

第 3 个初始化开关 *SW8* 连到放大器 3 和 4 放大器 3 和 4 的转换操作通过第 3 个初始化开关 *SW8* 实现。

模拟数据 *X1* 到 *X10* 及参考电压输入到多路开关选择器 *MUX1* 到 *MUX10*, *MUX11* 到 *MUX20* 及 *MUX30*, 它们都是通过控制信号 *CTL* 控制的。

当放大器 3 和 4 的第 3 个初始化开关 *SW8* 和多路开关选择器 *MUX1* 到 *MUX10*, *MUX11* 到 *MUX20* 及 *MUX30* 同时打开时, 参考电压的电位 *A* 和 *E* 相等其电压差几乎为零, 放大器 3 的 *P5* 和放大器 4 的 *P6* 中初始化实现, 电荷引起误差可消除。

而在预定时间后, 放大器 3 和 4 的第 3 个初始化开关打开, 而多路开关选择器 *MUX* 到 *MUX10*, *MUX11* 到 *MUX20* 及 *MUX30* 的 *INO*, 这些多路开关选择器的 *1NV1* 同时关闭, 模拟电压 *X1* 到 *X10* 输入到多路开关选择器 *MUX1* 到 *MUX10* 或 *MUX11* 到 *MUX20*。

模拟电压 *X1* 到 *X10* 输入到多路开关选择器 *MUX1* 到 *MUX10*, 同时这些多路开关选择器输出模拟电压 *X1* 到 *X10*。

在放大器 3 中 *P5* 在模拟电压 *X1* 输入之前初始化, 因此, 无误差的模拟电压 *X1* 到 *X10* 输入到放大器 3, 放大器 3 输出加的结果

的模拟电压 $X1$ 到 $X10$ 的乘法经多路开关选择器 $MUX30$ 到乘法器 4。

在放大器 4 中 $P6$ 在模拟电压 $X1$ 到 $X10$ 的计算结果输入到放大器 4 之前初始化,无误差数据就输入到放大器 4。

另一方面,当模拟电压 $X1$ 到 $X10$ 输入到多路开关选择器 $MUX11$ 到 $MUX20$ 时,这些多路开关输出模拟电压 $X1$ 到 $X10$ 的加法和乘法结果到放大器 4。无误差的模拟电压 $X1$ 到 $X10$ 的计算结果输入到放大器 4,加法器 ADD 的放大器 4 计算模拟电压 $X1$ 到 $X10$ 的结果作为连续操作的电路的操作结果。

上述第 2 和第 3 个初始化开关在经足够时间在第 2 和第 3 个初始化开关打开之后,第一初始化开关关闭后,关闭第 2 和第 3 个初始化开关,这可以防止因初始化由充电电压引起的误差。

在图 24 中,显示了采样保持电路的第 2 个实施例的总电路,采样保持电路有很多起始采样保持部份 $SH1$ 到 $SH16$,而 $SH1$ 到 $SH8$ 及 $SH9$ 到 $SH16$ 是串行相连的,输入电压 Din 直接输入到 $SH1$,输入电压 Din 经采样保持电路 $FH1$ 到 $FH8$ 和 $SH9$ 中 BH 输入。

图 25 显示了 $SH1$ 到 $SH16$ 的组成,这些 SHS 在图中是以 SH 来表示的, SH 包括开关装置 $SW10$,电容 $C10$,反相器 $INV10$,开关装置 $SW11$ 电容 $C13$ 和串行连结的反相器 $INV11$, $INV10$ 和 $INV11$ 的输出经电容 $C11$ 和 $C14$ 反馈到它们的输入端。当 $SW10$ 关闭的 $SW11$ 打开时, $C10$ 由连到 $SW10$ 的电压 Vin 充电, $C10$ 的

充电电压受 $INV10$ 和 $C11$ 控制, 因为有 $INV10$ 的输出电压所以等于 V_{in} 。在 $SW10$ 和 $C10$ 之间, 连接接地电容 $C12$, 它在高速充电和放电期间补偿电荷, 而 SH 输出曾经获得的输入电压 V_{in} 作为输出电压 V_{out} 。

一旦获得电压后, $SH_i (i=1$ 到 $8)$ 传送输入电压 $D_{in} (i=1)$ 或前一级 $SH_{i-1} (i \geq 2)$ 的输出电压, 并产生输出电压 D_i 。 $SH_i (i=9$ 到 $16)$ 在采样保持后向下传输 $SH_i (i=9)$ 的输出电压或输出前级 $(i \geq 10)$ 的输出电压到下级 SH_{i+1} , 并产生输出电压 i 。

为实现这种采样保持, 晶体管的漂移引起 $INV10$ 和 $INV11$ 的输出误差及 D_i 的误差, 当数据顺序传送时误差被累加和扩大。

为了防止误差累加超过允许值, D_{in} 的传送在 $SH1$ 到 $SH8$ 上执行, D_{in} 通过在 $SH9$ 到 $SH16$ 中的采样保持电路 SH 输入。

采样保持电路 SH' 由很多保持电路的前面部份 $FH1$ 到 $FH8$ 同 D_{in} 平行连结, 而保持电路的后面部份 BH 共连到输出端。

图 26 所示由 $FH1$ 到 $FH8$ 组成。它们在图中以 FH 表示。 FH 包括开关装置 $SW1$, 电容 $C1$, 反相器 $INV1$ 和开关装置 $SW2$ 串联联结, $INV1$ 的输出经电容 $C2$ 反馈到输入端, 当 $SW1$ 关闭时 $C1$ 被 D_{in} 充电。 $C1$ 的充电电压被 $INV1$ 和 $C2$ 控制, 所以 $INV1$ 的输出电压等于 D_{in} 。在 $SW1$ 和 $C1$ 之间连接接地电容, 它用以补偿在 $C1$ 高速充电和放电期间电荷, 而采样/保持输入电压 D_{in} 被执行。

采样保持在 $FH1$ 到 $FH8$ 中之一执行, 例如它以循环次序如

$FH1 \rightarrow FH2 \rightarrow FH3 \rightarrow FH4 \rightarrow FH5 \rightarrow FH6 \rightarrow FH7 \rightarrow FH8 \rightarrow FH9$ 执行,然后 Din 经 7 个时钟延迟并输出到 BH 。

BH 如图 27 组成,它串行地联结电容 $C4$ 和反相器 $INV2$, $INV2$ 的输出经电容 $C5$ 反馈到输入,当 $SW2$ 在 FH 的一个关闭时, $C4$ 经 $INV1$ 的输出电压充电, $C4$ 的充电电压被 $INV2$ 和 $C5$ 控制,所以 $INV2$ 的输出电压等于 $INV1$ 的输出,接地电容 $C6$ 连到 $C4$ 的前级,它补偿在 $C4$ 高速充电和放电期间电荷。

保持在 BH 上的电压传送到 $SH9$,在 Din 传送到 $SH8$ 的下一个时间, Din 传送到 $SH9$,这相当于 $SH1$ 到 $SH16$ 串联连结情况,从 FH' 到 BH 的传送仅是一步完成的,这同通过 $SH1$ 传送到 $SH8$ 相比,降低了保持误差。

如上所述,可通过将串联保持电路分成两级,经 SH' 从第一级把数据传送到第二级,可保证 $d1$ 到 $d16$ 的精度。

在下文显示保持电路的前一部份的第二种实施例,在图 28 中,前面部份 FH' 由包括电容 $C13$,反相器 $INV5$ 串联连结的电路 $CIR1$,其输出经电容 $C14$ 反馈到输入,电路 $CIR2$ 提供了包括串联连接的电容 $C16$,反相器 $INV6$,其输出经电容 $C17$ 反馈到输入, $CIR1$ 和 $CIR2$ 平行相连。

开关装置 $SW5$ 和 $SW6$ 用来分别在输入端和输出端选择 $CIR1$ 和 $CIR2$ 。 $SW5$ 和 $SW6$ 连结位置方向相反。 $CIR1$ 和 $CIR2$ 中一个实现放大和保持,另一实现数据输出,所以采样/保持和输出是同时

执行的,因此可以高速度实现采样保持和输出。

图 29 显示了图 27 的全部电路的变化,在这个电路中, $SH1$ 到 $SH16$ 分成 4 部份, $SH1$ 到 $SH4$ 直接传输 Din , $SH9$ 到 $SH12$ 如图 27 经 SH' 传送 Din ,而在 $SH5$ 到 $SH8$ 中 Din 在 SH'' 后用保持电路 4 级传送,在 $SH13$ 到 $SH16$ 中 Din 经 SH' 和 SH'' 而传送。

如上所述,为了保证电平很多电容和反相器平行提供,通过开关装置选择一个输入电压传送给电容,通过选择输出从电容器一级到下一级电容而使电压保持。因此,因为减少传输次数使传输误差最小。

在图 30 中,保持电路 H 的第 3 种实施例有一对运算放大器 $Amp1$ 和 $Amp2$,一对场效应晶体管 $Tr1$ 和 $Tr2$ 。输入模拟数据 Din 输入到 $Amp1$ 的非反相输入端, $Amp1$ 的输出连到 $Tr1$ 的漏, $Tr1$ 的源经电容 $C1$ 接地同时反馈到 $Amp1$ 的反相输入端。当时钟 $CLK0$ 输入到栅极且 $CLK0$ 是高电平时 $Tr1$ 导通。同时 $Amp1$ 的输出因加等于 din 的电压到 $C1$ 而被控制,电荷被存储在 $C1$ 上,所以电荷电压等于 din 。

$$\Delta X \{ (C3-C4) / C3 \} \quad (78)$$

在 $Amp2$ 中, C_1 的充电电压连到非反相输入端。 $Amp2$ 的输出连到 $Tr2$ 的漏, $Tr2$ 的源经电容 C_2 接地,它亦反馈到 $Amp2$ 的反相输入端, $Tr2$ 在其位与 $Tr1$ 相反对导通,而同 $CLK0$ 反相的时钟 $CLK1$ 输入到栅极,当 $Tr2$ 导通时, $Amp2$ 的输出被控制,所以等于

d_{in} 的电压作为充电电压加到 C_1 , 在 C_2 上电荷被存储, 所以充电电压成为 d_{in} , 对应于 d_{in} 的 D_{out} 放输出, D_{in} 是在一个时钟期间放保存, 因为在对 C_1 充电时间不影响下一级, 在预定时间内实现保持不会失败。

利用运算放大器 $Amp1$ 和 $Amp2$ 的反馈系统输出精度得到保证, 保持误差成最小。

保持电路用作例如滤波电路那样示于图 34 图中显示保持电路 $H11$ 到 $H18$ 和 $H21$ 到 $H28$ 。

在图 34 中, 滤波电路的第 4 实施例有第一和第二加法和乘法电路 $MC1$ 和 $MC2$ 。电路 $MC1$ 由很多保持电路 $H11$ 到 $H18$ 串联连结组成。每个保持电路的输出 $H1k$ 输入到乘法电路 $M1k$, 而第二电路 $MC2$ 由很多保持电路 $H21$ 到 $H28$ 串联连结组成, 每个保持电路 $H2k$ 的输出输入到乘法电路 $M2k$ 。

输入数据 D_{in} 输入到 $MC1$, D_{in} 在每个保持电路保持一次, 再传送到下个保持电路。在每个保持电路, D_{in} 的顺序数据被保持, 顺序数被表达成 $X(t-k)$ 。在每个乘法电路 $M11$ 到 $M18$, 乘数 a_1 到 a_8 预先输入, 电路对应于顺序数据执行乘法如下。

$$M1k = a_k \times X(t-k) \dots \dots (79)$$

$M1k$ 是乘法电路 $M1k$ 的乘法结果。

乘法电路 $M1k$ 及 $M1(k+1)$ 经加法电路 $A1k$ 相加, 加法结果输出到下一级加法电路 $A1(k+1)$ 。因此, 加法电路 $A17$ 按照如下

公式在第一个加法和乘法电路中计算所有乘法电路的总输出。

$$\sum_{i=1}^8 a_k \times X(t-k) \quad (80)$$

在第二个加法和乘法电路中, $A17$ 的输出或 $H18$ 的输出作为第二个输入数据 Din 输入, Din 在各个保持电路 $H21$ 到 $H28$ 保持一次, 并输入到下一级保持电路, Din 的顺序数据被保存在各个保持电路上, 在每个乘法电路 $M21$ 到 $M28$ 中, 预定乘数 b_1 到 b_8 被输入, 下面对应于顺序数据乘法被执行。

$$M2k = bk \times Y(t-k) \dots \dots (81)$$

$M2k$ 是乘法电路 $M2k$ 的乘法结果。

乘法电路 $M2k$ 和 $M2(k+1)$ 的输出经加法电路 $A2k$ 相加, 加法结果传到下一级加法电路 $A2(k-1)$ 。因此加法电路 $A27$ 按如下公式在第 2 个乘法求和电路中计算所有乘法电路的总输出。

$$\sum_{i=1}^8 b_k \times Y(t-k) \quad (82)$$

加法电路 $A21$ 的输出输入到第一加法和乘法电路 $MC1$ 中加法电路 $A17$ 中, $A17$ 的输出成为 $MC1$ 和 MC 的总乘法结果。

当 SW 连到 $H18$ 时, Din 变成 $X(t-8)$, $MC2$ 按下面所示公式输出。

$$\sum_{i=1}^8 b_k \times X(t-k-8) \quad (83)$$

经定义 $b_k = a(k+8)$ $MC1$ 和 $MC2$ 从 $A17$ 上总输出用如下公式表示, FIR 型滤波器就实现。

$$\sum_{i=1}^{16} a_k \times X(t-k) \quad (84)$$

当 SW 连到 $A17$ 端,得到下面公式;

$$D_m = \sum_{i=1}^3 a_k X(t-k) + \sum_{i=1}^3 b_k Y(t-k) \quad (85)$$

$$Y(t) = D_m$$

这些公式表示得到 IIR 型特性曲线

如上所述,经过转换 SW , FIR 和 IIR 型滤波器被实现,对于 FIR 滤波器,保持电路的各级保持电路都能用于构成滤波电路的更多级,实现用途宽速度高的滤波器。

图 32 是乘法电路 Mjk 的第 7 个实施例, Mjk 由一对运算放大器 $Amp3$ 和 $Amp4$ 及一对场效应晶体管 $Tr3$ 和 $Tr4$ 组成,输入模拟数据 AX 输入到 $Amp3$ 的非反相端, $Amp3$ 的输出连到 $Tr3$ 的漏, $Tr3$ 的源经电容 $C1$ 和 $C4$ 接地, $C3$ 和 $C4$ 间的电压被反馈到 $Amp3$ 的反相输入端,当数字输入 B 输入到栅极且 B 是高电位时 $Tr3$ 导通,当 $Tr3$ 导通时, $Amp3$ 的输出受控制,以使等于 AX 的电压加到 $C4$,同时电荷被存储,电荷电压是 AX ,而 $Tr3$ 的源电压成为 $AX\{(C3-C4)/C3\}$

在 $Amp4$ 中,非反相输入是接地, $Amp4$ 输出连到 $Tr4$ 的源, $Tr4$ 的漏连到 $C3$,它再反馈到 $Amp4$ 的反相输入端。在 $Tr4$ 的栅极,经反相器 INV 反相的数据 B 的反相数字数据被输入,当 B 是低电平时 $Tr4$ 导通,当 $Tr4$ 导通时,为了形成 $Tr4$ 的漏的 $0V$ 控制 $Amp4$ 输出。

$Tr3$ 的源和 $Tr4$ 的漏相连再连到电容 $C5$ 以便输出,通过耦合

电容包括 C_5 加权的电压值输出, M_{jk} 对应于 AX 用 $\{(C_3 - C_4)/C_3\}C_{pp}$ 表示, C_{pp} 是由耦合电容预先确定的权重, 或者乘法器中用“0”作乘数做乘法。

耦合电容显示于图 33 中, 很多电容平行相连(8 个电容 C_{51} 到 C_{58}), 当电压 V_1 到 V_8 加到这些电容时, 通过下面公式给出输出电压 V_8 同时加权就实现。

$$V_8 = (C_{51}V_1 + C_{52}V_2 + \dots + C_{58}V_8) / (C_1 + C_2 + \dots + C_8) \dots \dots (86)$$

在图 32 显示电路是平行安置, 用定义 $\{(C_3 - C_4)/C_3\}C_{cp}$ 作为 2^n 以及输入每个数字数据位作为 B , 那么可直接用数字数据乘模拟数据 AX 。

加法电路 A_{jk} 能通过图 33 所示的电路提供 2 或 3 个输入端实现。

输出信号 D_{out} 是从上面组成输出的, 在 H_{out} 被一次性保存。

图 37 显示了滤波电路的第 4 个实施例, 其中加法电路 A_t 代替加法电路 A_{jk} , 当各个乘法电路 M_{jk} 的输出定义成 m_{jk} 时, 通过如图 38 所示用平行连结电容 C_{jk} 成耦合电容执行加法, 运算功能同图 36 的电路相同。

如上所述, 保持电路通过两级的电容, 因运算放大器而精确地保持电压信号, 时序分成保持相位和传输相位的, 因此它有效控制保持误差为最小。

在图 38 中, 滤波电路的第 6 实施例有很多保持电路 H_1 到

$H16$,每个保持电路的输出输入到相应乘法电路 $M1$ 到 $M16$ 。而移位寄存器 SR 的每个数据区 $A1$ 到 $A16$ 连到每个乘法电路 $M1$ 到 $M16$,数据区的这些数据作为乘数与保持电路的数据相对应。

乘法电路 $M1$ 到 $M16$ 的输出同加法电路 AD 相加计算出总和。

当输入数据 Din 输入到保持电路 $H1$ 到 $H10$, Din 的顺序数据顺序保持在 $H1$ 到 $H16$,同时为从 $H1$ 保持下一个顺序数据重复执行,而在保持电路之间不传输数据,所需全部顺序数据在预定时序内得到。

在 $H1$ 到 $H16$ 用第一组顺序数据充填后,为保持下一个数据在每个保持电路中需要移动乘法器数据,如表 1 所示,用新的方式,通过输入顺序数据,一个乘法器移位到下一乘法器,最后一个乘法器移回到第一个乘法器。

在保持电路之间有保持误差传送时,在这样的保持电路中会被取消。

保持电路 $H1$ 到 $H16$ 分成第一保持电路组 $HG1$ 和第二保持电路组 $HG2$, $H1$ 到 $H8$ 和 $H9$ 到 $H16$ 分别属于 $HG1$ 和 $HG2$ 。

在 $HG1$ 和 $HG2$ 之间,连结多路开关选择器 MUX , $HG1$ 和 $HG2$ 的输入分成第一输入数据 Din 和第二输入数据 $D'in$ 。

加法电路 AD 的输出一次保持在保持电路 $Hout$, $Hout$ 的输出反馈到多路开关选择器 MUX 。 MUX 选择输入第一个输入数据之

—或选择 H_{out} 的输出到 $HG2$, 在那里定义它为 D' 。

当选择 D_{in} 作为 D 掣时, 滤波电路执行如下公式所示运算, 它成为 FIR 型滤波器。

$$Y(t) = \sum_{i=0}^L a_i X(t-1) \quad (87)$$

$Y(t)$ 是输出, $X(t)$ 和 a_i 是乘数:

当选择 H_{out} 的输出作为 D' 时, 滤波器电路执行如下公式所示的运算, 这是 IIR 型滤波器

$$Y(t) = \sum_{i=0}^L a_i X(t-1) + \sum_{i=0}^M b_i Y(t-1) \quad (88)$$

$Y(t)$ 是输出, $X(t)$ 是输入而 a_i 和 b_i 是乘数。

图 39 显示了保持电路 H 掣的实施例, H 掣由一对运算放大器 $Amp1$ 和 $Amp2$ 和一对场效应晶体管 $Tr1$ 和 $Tr2$ 组成, 输入模拟数据 d_{in} 输入到 $Amp1$ 的非负输入端, $Amp1$ 的输出连到 $Tr1$ 的漏, $Tr1$ 的源经电容 $C1$ 接地并反馈到 $Amp1$ 的反相输入端, 当时钟 $CLK0$ 输入到栅极且当 $CLK0$ 是高电平时 $Tr1$ 导通, 此时, $Amp1$ 的输出因加上等于 d_{in} 的电压到 $C1$ 而被控制, 电荷存于 $C1$ 中, 所以充电电压成为 d_{in} 。

在 $Amp2$ 中, $C1$ 的充电电压连到非负输入端, $Amp2$ 的输出连到 $Tr2$ 的漏, $Tr2$ 的源经电容 $C2$ 接地, 它亦反馈到 $Amp2$ 的反相输入端, $Tr2$ 同 $Tr1$ 相位相反而导通, 同 $CLK0$ 时反相钟的时钟 $CLK1$ 输入到栅极, 当 $Tr2$ 导通时, 因为等于 d_{in} 的电压加到 $C1$ 的

充电电压上而 $Amp2$ 的输出受控制,因充电电压等于 din 电荷被存储, $dout$ 与 din 对应输出, Din 经一个时钟时间而保持而且通过预定时序实现保持, $C1$ 的充电时间对下级无影响。

图 39 是乘法电路 Mjk 的实施例, Mjk 有一对运算放大器 $Amp3$ 和 $Amp4$,一对场效应晶体管 $Tr3$ 及 $Tr4$ 组成,输入模拟数据 AX 输入到 $Amp3$ 的非反相输入端, $Amp3$ 的输出连到 $Tr3$ 的漏, $Tr3$ 的源经电容 $C1$ 和 $C4$ 接地, $C3$ 和 $C4$ 间的电压反馈到 $Amp3$ 的反相输入端,当数字输入 B 输入到栅极且 B 是高电平时 $Tr3$ 导通,当 $Tr3$ 导通时, $Amp3$ 的输出由于等于 AX 的电压加到 $C4$ 上而受控制,因充电电压是 AX ,电荷被存储, $Tr3$ 的源电压成为 $AX\{(C_3-C_4)/C_3\}$

有 $Amp4$ 中,非反相输入端接地, $Tr3$ 的输出连到 $Tr4$ 的源, $Tr4$ 的漏连到 C_3 ,它同时反馈到 $Amp4$ 的反相输入端,经反相器 INV 反相的数据 B 信号输入到 $Tr4$ 的栅,当 B 是低电平时, $Tr4$ 导通,当 $Tr4$ 导通时 $Amp4$ 的输出因 $Tr4$ 的漏形成 $0V$ 而受控制。

$Tr3$ 的源和 $Tr4$ 的漏相连再连到 $C5$ 以输出,经耦合电容包括 $C5$ 加权的电压值输出,即 Mjk 同 AX 相对应表示成 $\{(C_3-C_4)/C_3\}C_{pp}$, C_{pp} 是耦合电容的权,或乘法器用乘数 0 执行耦合电容同图 33 的相同。

$$V_8 = (C_{51}V_1 + C_{52}V_2 + \dots + C_{58}V_8) / (C_1 + C_2 + \dots + C_8) \dots \dots (89)$$

在模拟数据 AX 和数值数据之间可直接执行乘法。

下文说明电容形成方法的实施例

图 41 显示在 LSI 中电容电路的第一个实施例,在这电路中 1 表示电容单元,1,……36 形成 6×6 方阵,每个单元电容是带圆角的方块。

在垂直方向,在圆方框内导线表示为 2,2……沿行扩展,为了使连结电容组同邻近电容所连组不同,设有两组导线,不同导线组沿方阵的行的两边提供,一根线所连的行的单元同另一根线所连的单元相间,每组导线同电容的一半相连。

虚线所围方框 A 中,每组导线引到 a 或 b 端,导线的每组所连的单位电容数为总单位电容数的一半,所以 a 端或 b 端同单位电容总数的一半的电容相连。

虚线所围方框 B 显示了导线的另一种连结,在这里有端点 a, b 和 c ,每个端点连结连到每个第 3 根线,每个端点连结总电容量的三分之一。

图 41 显示了各个电容的一端点的连结,另一端的连线同上相同,当一公共电压加到很多电容的一端时,这些电容连到一端,另一端独立连结。

在图 41 实施例中,单元电容相连,所以组合电容的电容比是 1 : 1,连结成例如 12 : 24 或 9 : 27 的比例是可能的,另外脱开某些单元电容,其它如 9 : 26 的比例亦可能。

上面单元电容的分散式分配可改进相对电容的精度,使电容的

制造偏差影响减到最小。

图 42 显示了在 *LSI* 上电容器电路的第 2 个实施例,在本实施例中,导线沿单元电容的行上扩展,所以,每根线同每行的所有单个电容相连,这种连结比图 41 更为简单,同样能得到减少相对电容偏差的优是。

图 43 显示了在 *LSI* 上电容器电路的第 3 个实施例,每行的单元电容分成很多对电容,每对由相邻两个电容组成,每对电容所连的线组不同于行向和列向相邻对,在图 48 中所用分散连结比第一种实施更为简单而同样可得到低电容偏差的优点。

图 45 是一个转换电路图,它有计算电路以将二进制数转换成多值 4 位数,*TA*,*TB*,*TC* 和 *TD* 平行相连,电阻 *R4*,*R3*,*R2*,*R1* 和 *R0* 连到晶体管的源。*TC* 和 *TB* 的源分别通过电阻 *R3* 和 *R4* 连到电源 *VCC* 及通过 *R4*,*R3* 和 *R2* 连到电源 *VCC*,*TA* 的源通过 *R4*,*R3*,*R2* 和 *R1* 连到电源 *VCC*,在此,电阻 *R4* 和 *R0* 相等,而电阻 *R3*,*R2* 和 *R1* 2 倍于 *R4* 或 *R0*。

通过电阻 *R0* 到 *R4* 构成分压器,在电阻 *R3* 和 *R4* 间得到电压 $(7/8)VCC$,在 *R2* 和 *R3* 之间得到 $(5/8)VCC$,在 *R1* 和 *R2* 间得到 $(3/8)VCC$ 而在 *R0* 和 *R1* 间得到 $(1/8)VCC$ 。电压输出点分别定为 *P3*,*P2*,*P1* 和 *P0*。这些电压中仅有一个通过晶体管引到输出端。

当 *X* 和 *Y* 均为“0”时,仅信号 *A* 输出使 *TA* 导通,输入 *P0* 电压作为 *Vout* 输出。

当 X 为“1”, Y 为“0”时, 仅信号 B 输出高电平, 仅使 TB 导通, 点 $P1$ 的电压作为 V_{out} 输出。

当 X 为“0”, Y 为“1”时, 仅信号 C 输出高电平, 仅使 TC 导通, 点 $P2$ 的电压作为 V_{out} 输出。

当 X 和 Y 均为“1”时, 仅信号 D 输出高电平, 仅使 TD 导通, 点 $P3$ 的电压作为 V_{out} 输出。

在电路中, 当信号 A, B, C 和 D 成为“1”时, 电压 V_{out} 如下式所示:

$$\text{信号 } A: \quad 0 \leq V_{out} < 1/4V_{cc}$$

$$\text{信号 } B: 1/4V_{cc} \leq V_{out} < 2/4V_{cc}$$

$$\text{信号 } C: 2/4V_{cc} \leq V_{out} < 3/4V_{cc}$$

$$\text{信号 } D: 3/4V_{cc} \leq V_{out} < V_{cc}$$

那么, 可以用二行的 2 位二进制数据表示成具有与一电压电平对应的 4 个值的一行。

图 46 中用表显示了信号 X, Y 和信号 A, B, C, D 之间关系。

在图 49 中, V_1 和 V_2 是输入电压, C_1 和 C_2 是电容器, T_1 是 $nMOS$, T_2 是 $pMOS$ 晶体管, 若 $C_1 = C_2$, 电压 V_3 将如下公式 90 所示

$$V_3 = \frac{C_1V_1 + C_2V_2}{C_1 + C_2} = \frac{V_1 + V_2}{2} \quad (90)$$

在此, 定义 T_1 和 T_2 的阈值电压为 V_T , 如果 $V_3 < V_T$ 那么信号

X' 为“1”, 如果 $V_3 \geq V_T$ 那么信号 X 掣为具有开关特性的“0”。

下文描述从多值数转成数字数的转换电路, 在图 47 中, 具有 $(1/4)V_{cc}$ 和 $(3/4)V_{cc}$ 的电压分压器给耦合电容提供输入电压, 每一耦合电容接收相位电压之一和输入电压 V_{in} , 彼此以相等权重相加, 耦合电容的输出分别为 V_C, V_B 和 V_A 。

V_A, V_B 和 V_C 的输出分别输入到反相器以输出 A', B' 和 C' , 当每个反相器的阈值定义为 $1/2V_{cc}$ 时, 反相器的输入电压 V_A, V_B 和 V_C 按照公式 90 定义成如下公式。

$$V_A = \frac{3/4V_{cc} + V_{in}}{2} \dots\dots (91)$$

$$V_B = \frac{2/4V_{cc} + V_{in}}{2} \dots\dots (92)$$

$$V_C = \frac{1/4V_{cc} + V_{in}}{2} \dots\dots (93)$$

在此输入电压 V_{in} 为如下

如果 $V_{in} < 1/4V_{cc}$ 信号 A', B' 和 C' 为“1”

如果 $V_{in} \geq 1/4V_{cc}$ 信号 A' 为“0”

如果 $V_{in} \geq 2/4V_{cc}$ 信号 A' 和 B' 为“0”

如果 $V_{in} \geq 3/4V_{cc}$ 信号 A', B' 和 C' 均为“0”

在此, 编码器接收 A', B' 和 C' 。如果所有信号 A', B' 和 C' 为“1”, 那么 Y' 和 Z' 信号电平为“0”, 如果信号 A' 为“0”, 那么信号 Y' 为“1”, Z' 为“0”, 如果信号 A' 和 B' 为“0”, 那么信号 Y' 为“0”而信号 Z' 为“1”, 如果信号 A', B' 和 C' 均为“0”, 那么信号 Y' 和 Z' 均为“1”。

因此,可以将 4 数字的 2 位数转换成二进制数。

图 48 显示了信号 A' , B' 和 C' 同信号 Y 掣和 Z 掣之间关系。

下文在二进制逻辑 LSI 的输入输出接口中具有二进制转成多值或多值转成二进制接口电路中 LSI 电路的实施例。它可以减少 LSI 上的引脚数。

在图 49 中, $I/F2A$ 为二进制多值地址信号的接口电路, I/FMA 是多值二进制地址信号的接口电路, $I/F2D$ 为二进制多值数据信号的接口电路, I/FMD 是多值二进制数据信号的接口电路, CPU 和存储器芯片中是二进制逻辑电路,用在 CPU 中二进制地址信号转成多值信号输出,通过存储器 1 的 I/FMA 输出信号转换成二进制信号并存于存储器 1 中。

用于 CPU 中二进制数据通过二进制/多值 $I/F2A$ 转换成多值并输出,输出数据经存储器 1 芯片的多值/二进制转换器转换成二进制数据并存于存储器 1。

如果要处理数据通过 CPU 以二进制形式存于存储器 1,经存储器 1 的 $I/F2D$ 实现二进制多值转换,通过 CPU 的 I/FMD 用 CPU 二进制多值转换数据被处理。

说 明 书 附 图

图 1

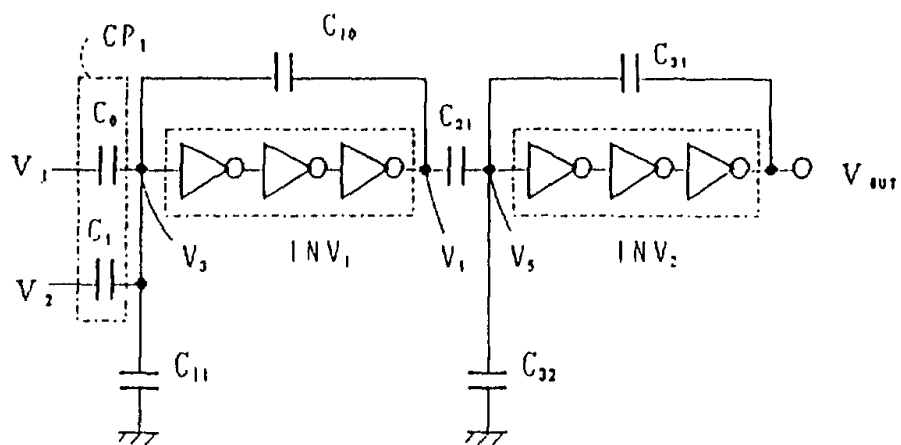


图 2

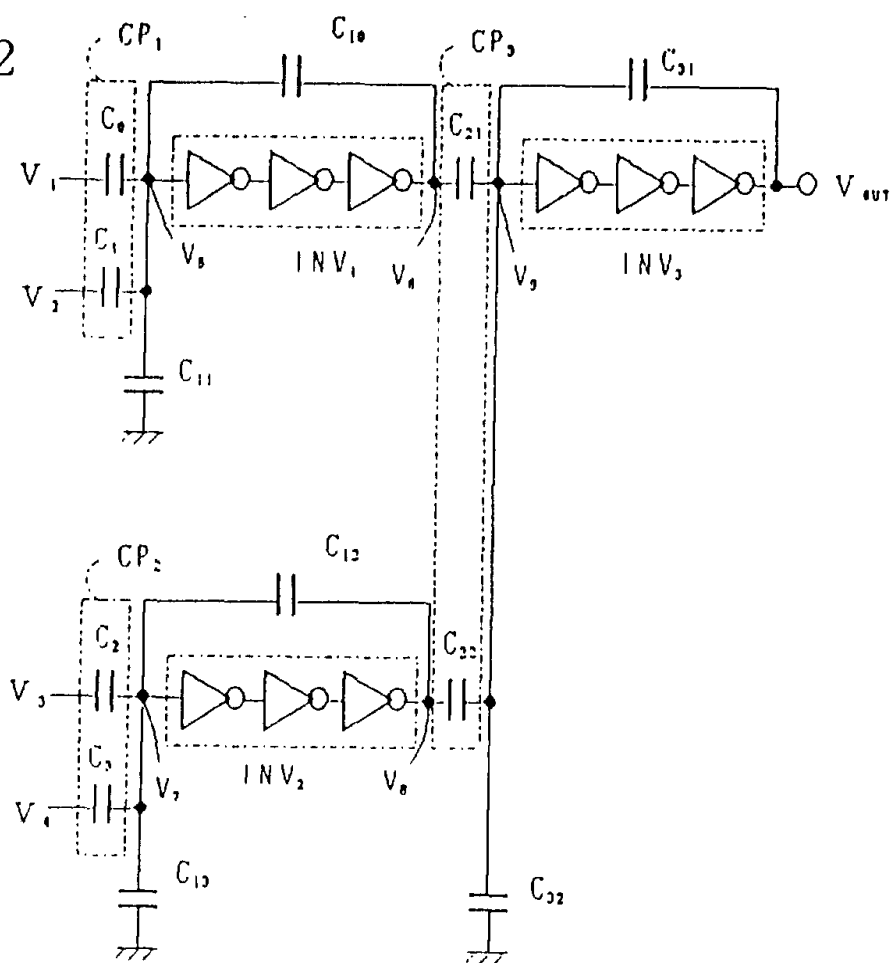


图 3

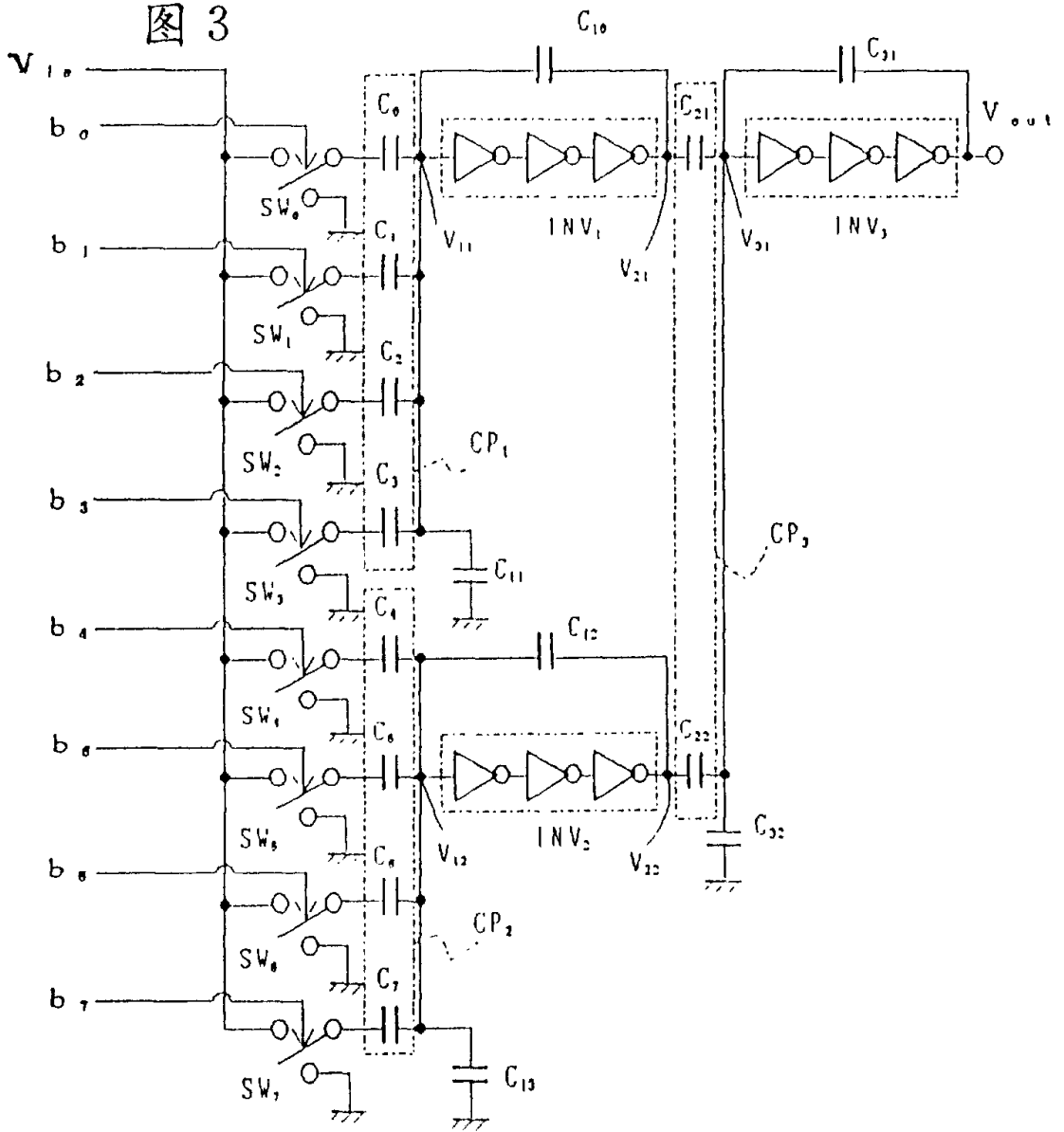


图 4

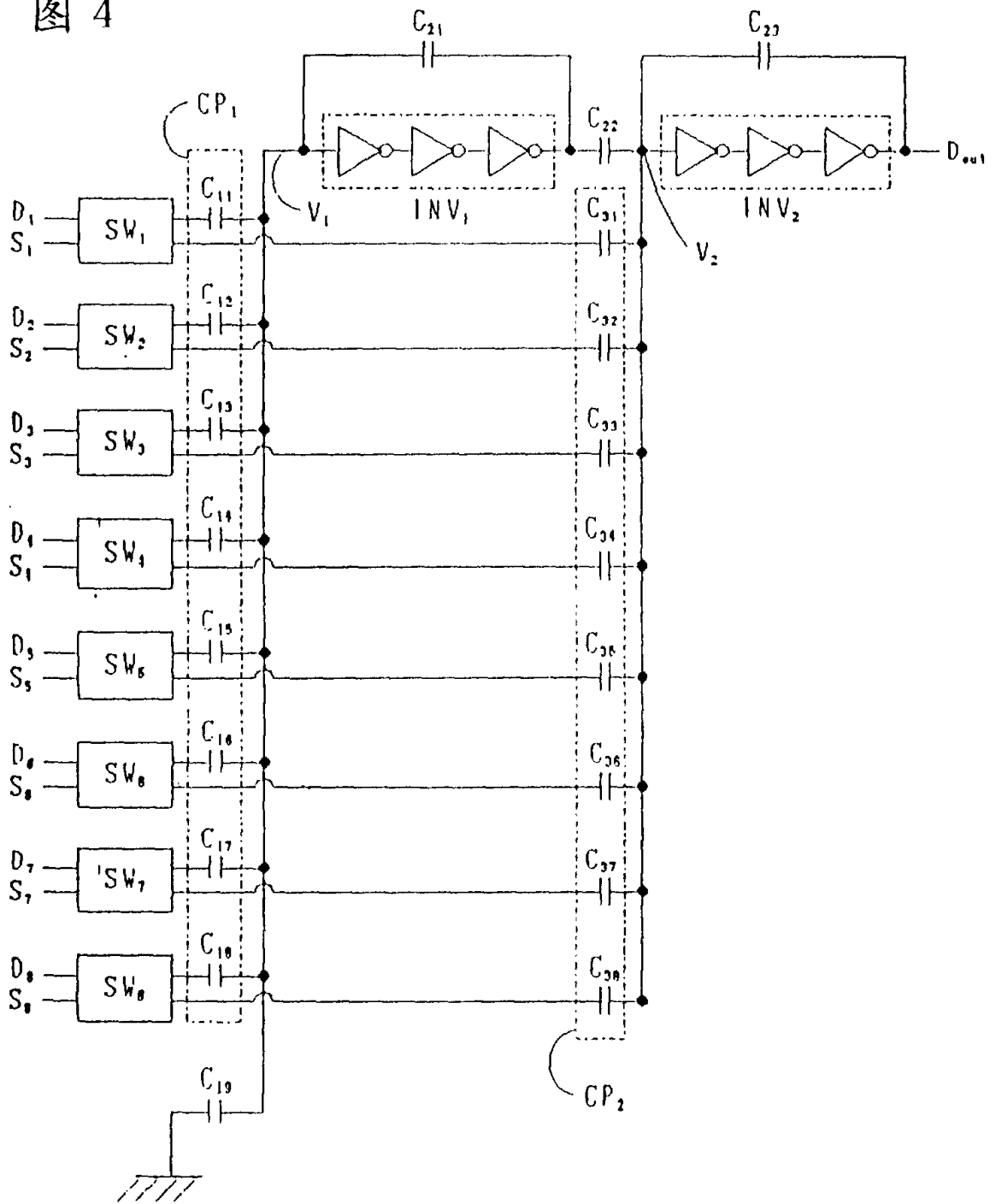


图 5

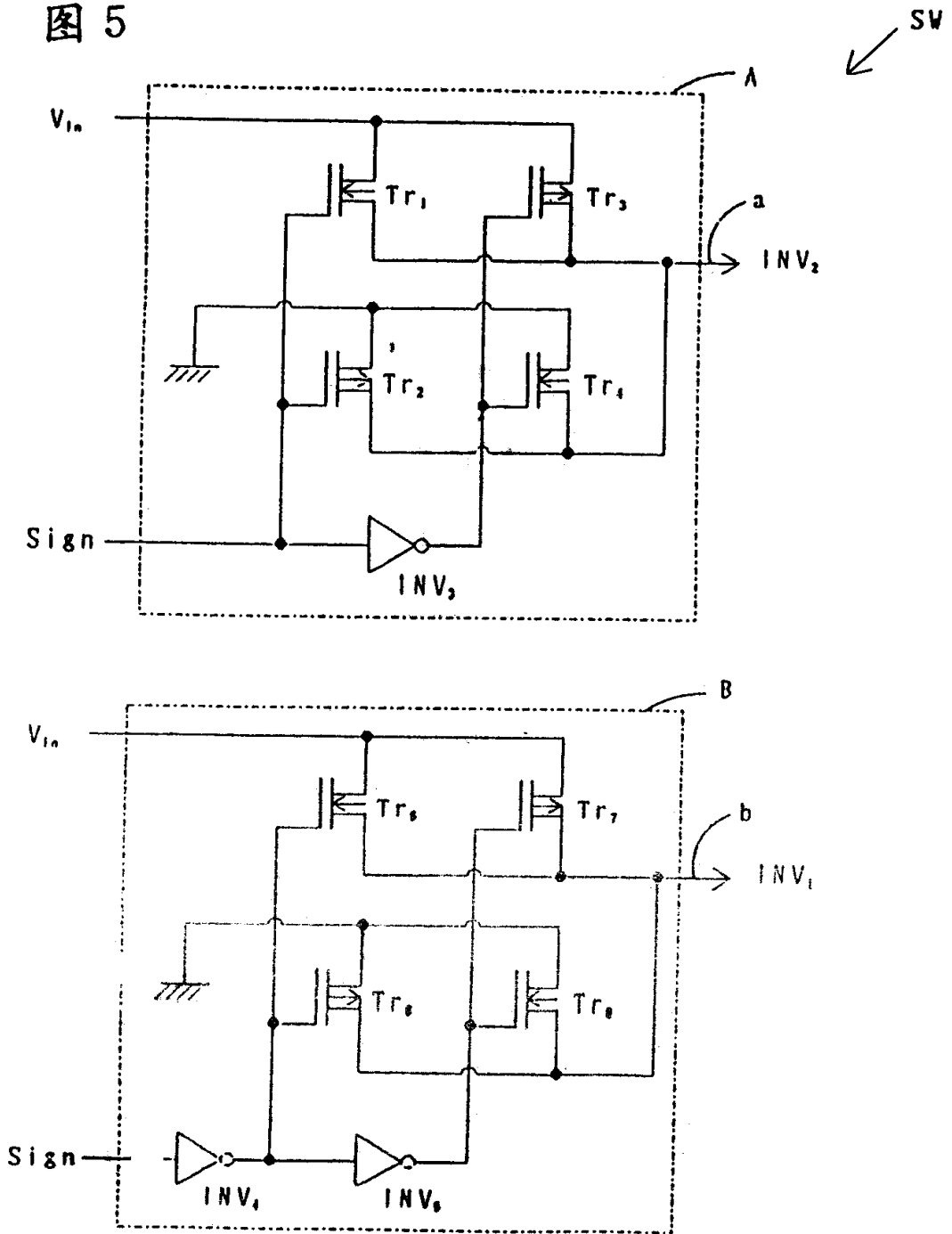


图 6

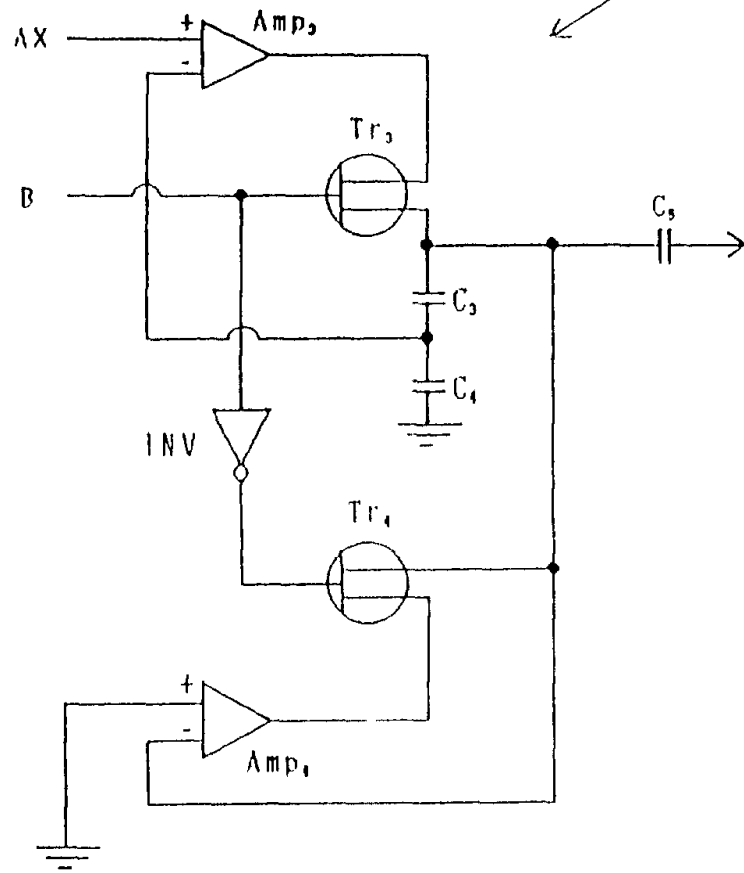


图 8

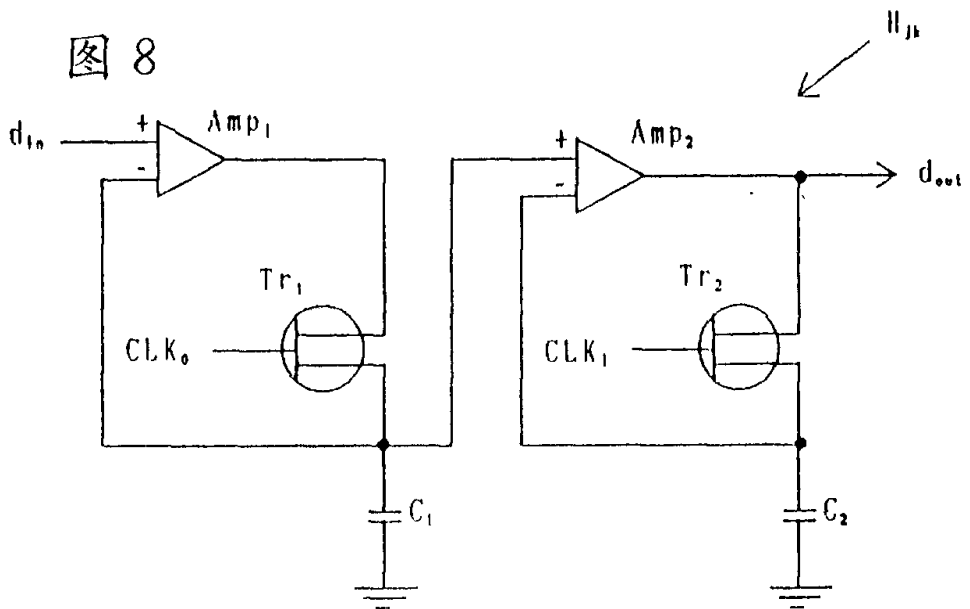
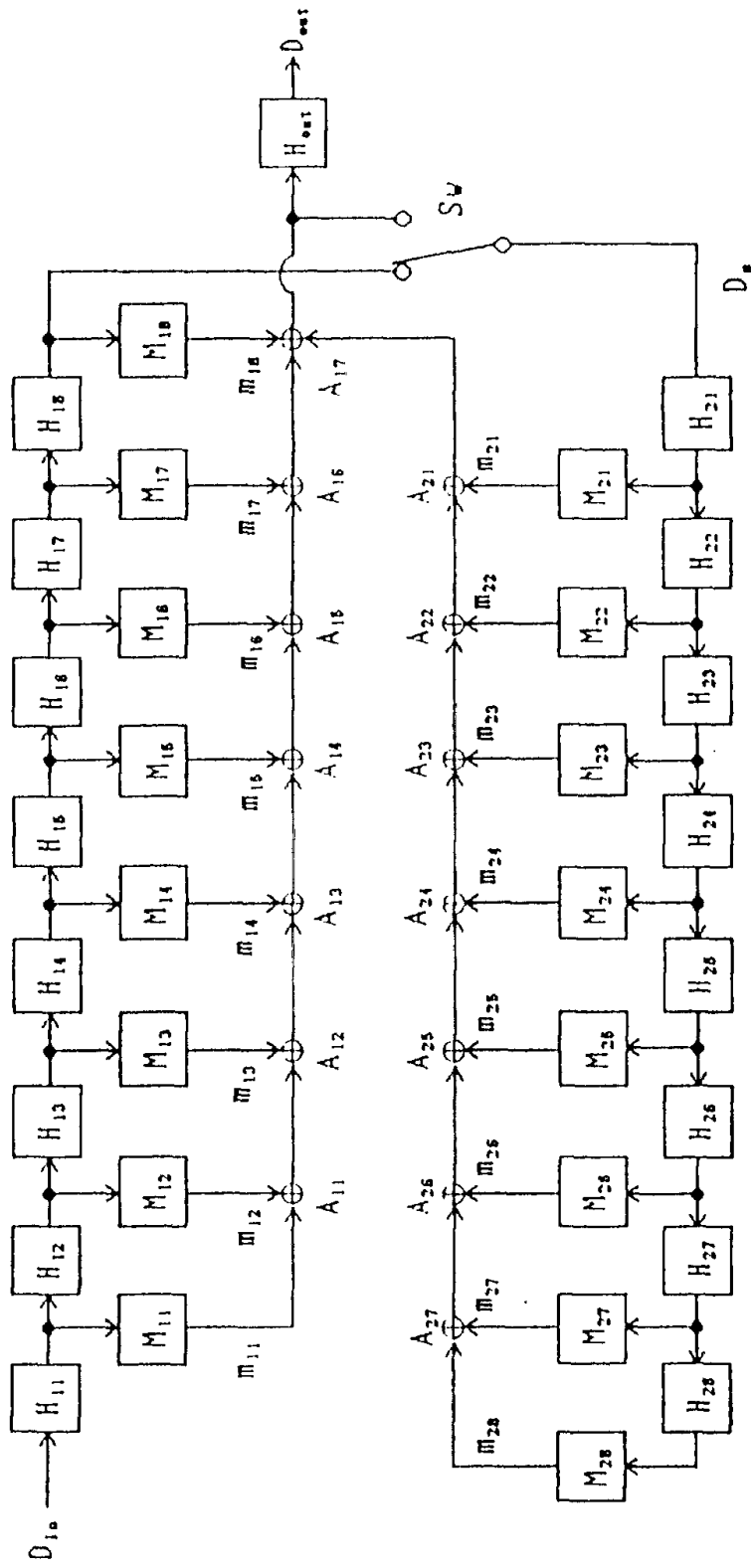


图 7

MCI



MC2

图 10

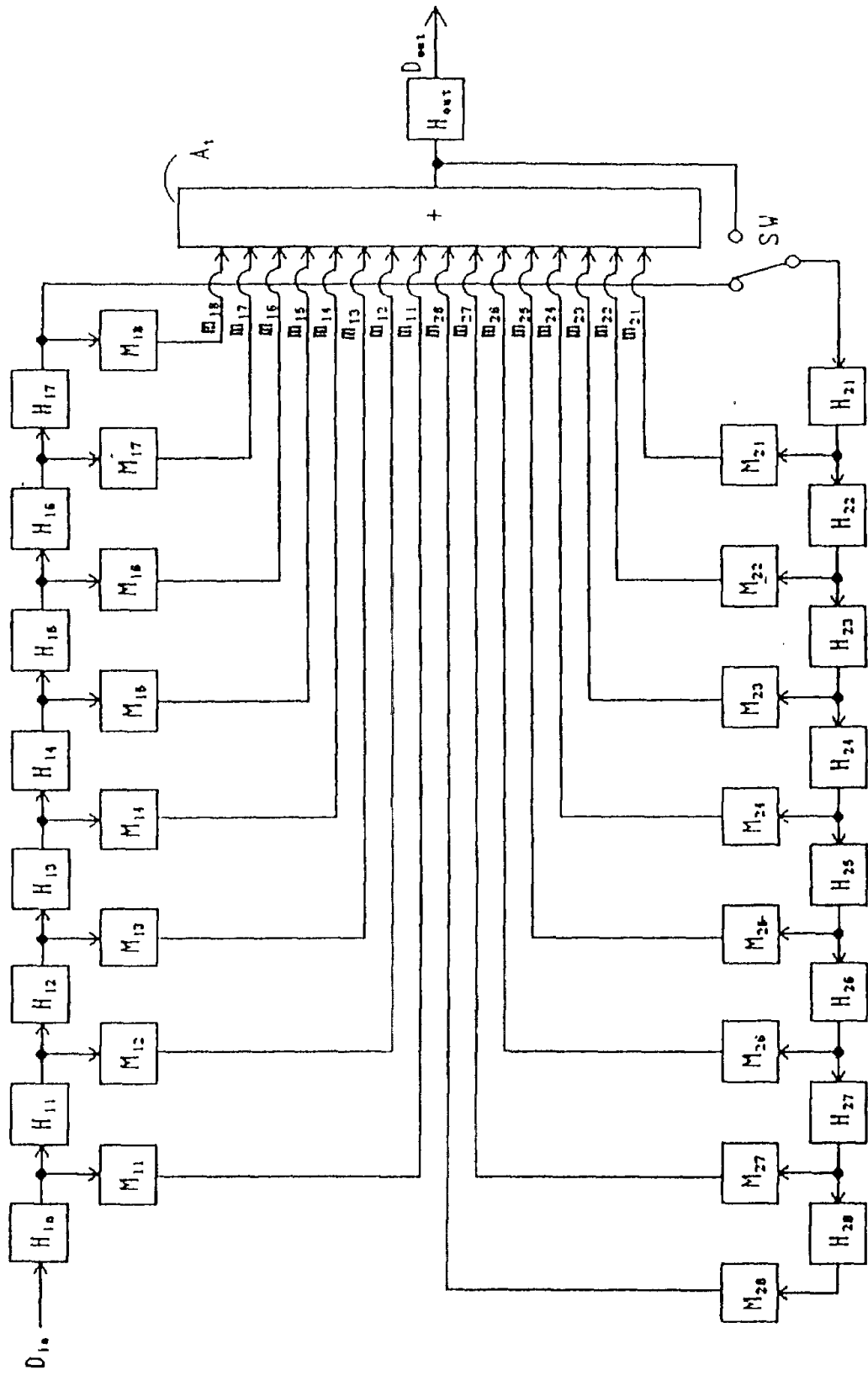


图 9

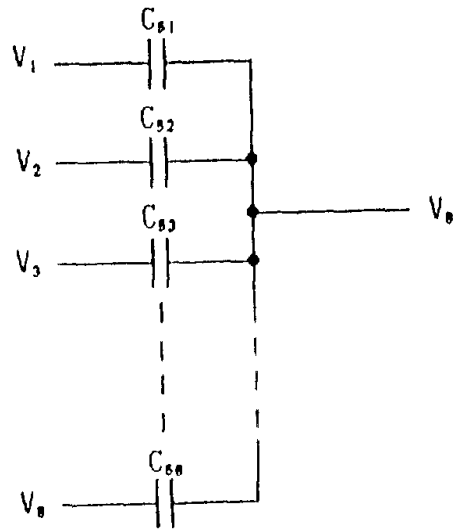


图 11

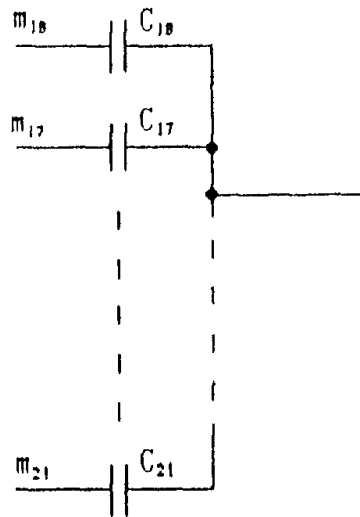


图 13

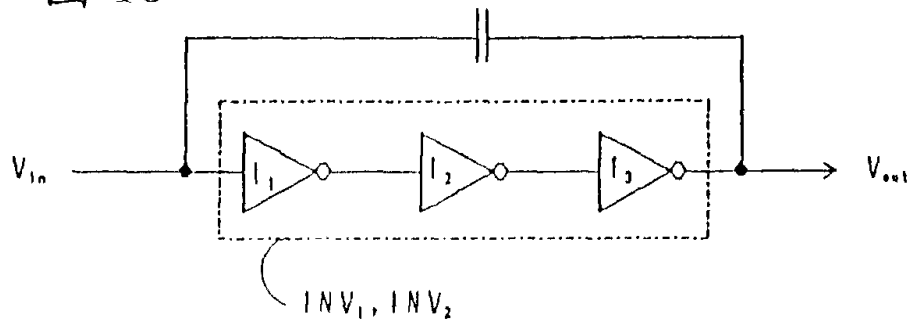


图 12

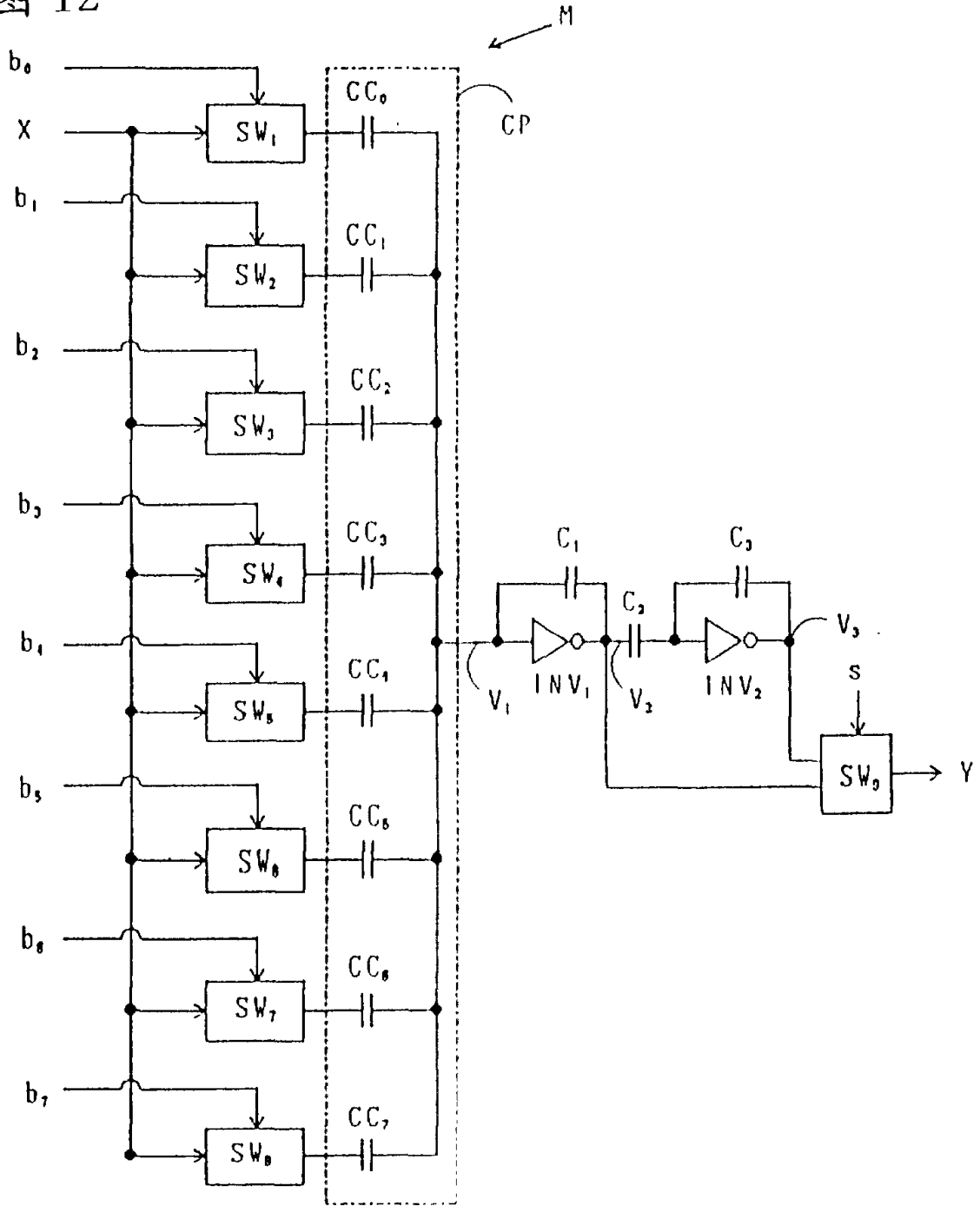


图 14

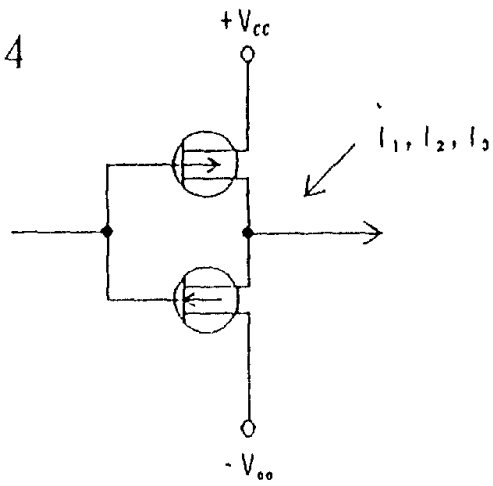


图 15

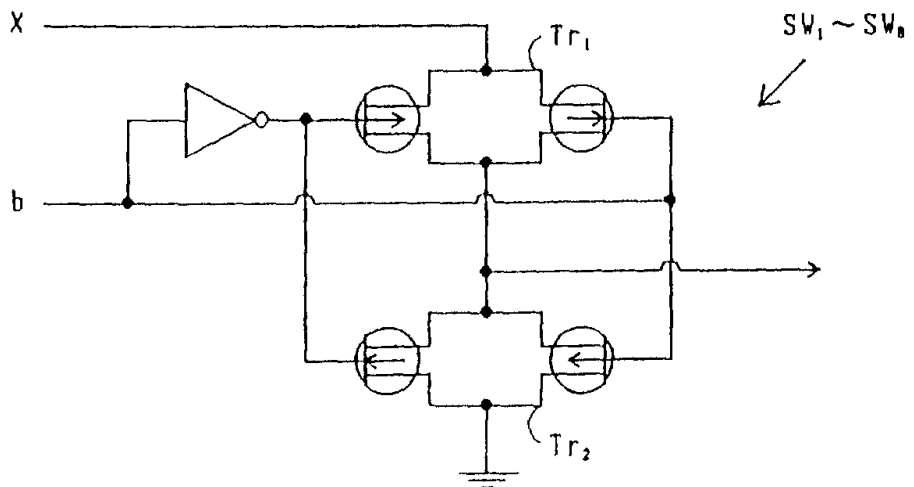


图 16

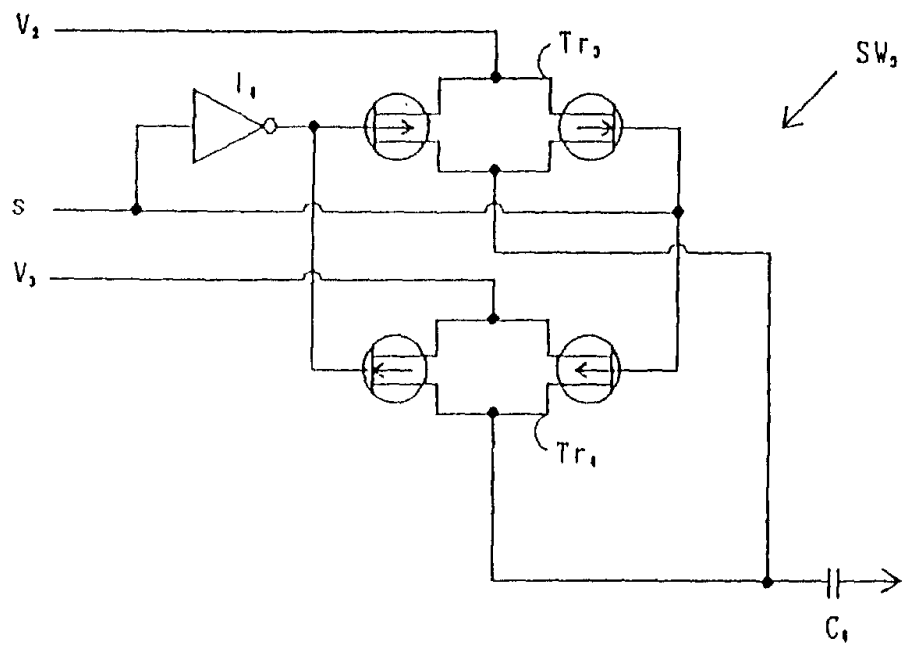


图 17

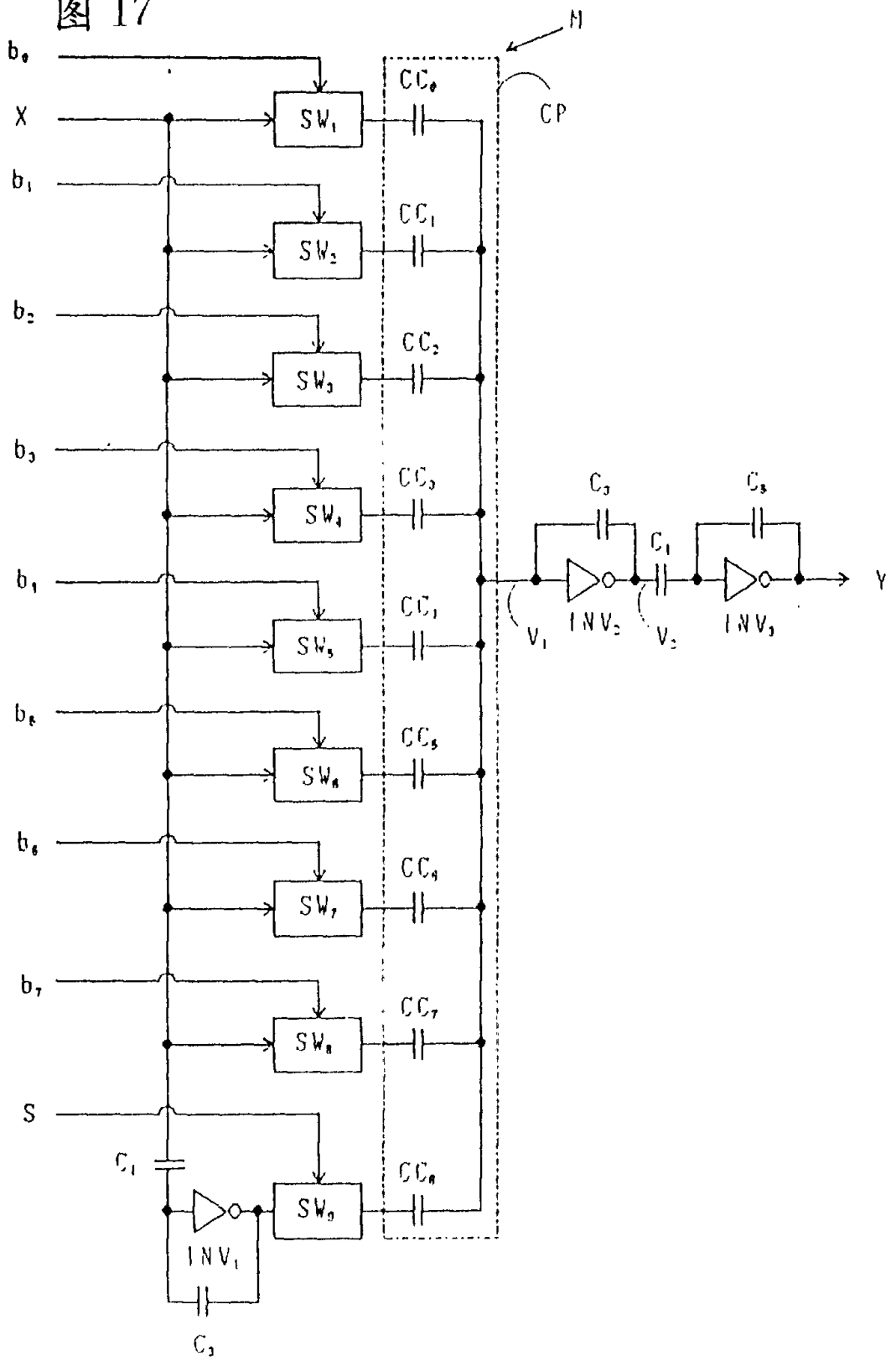


图 18

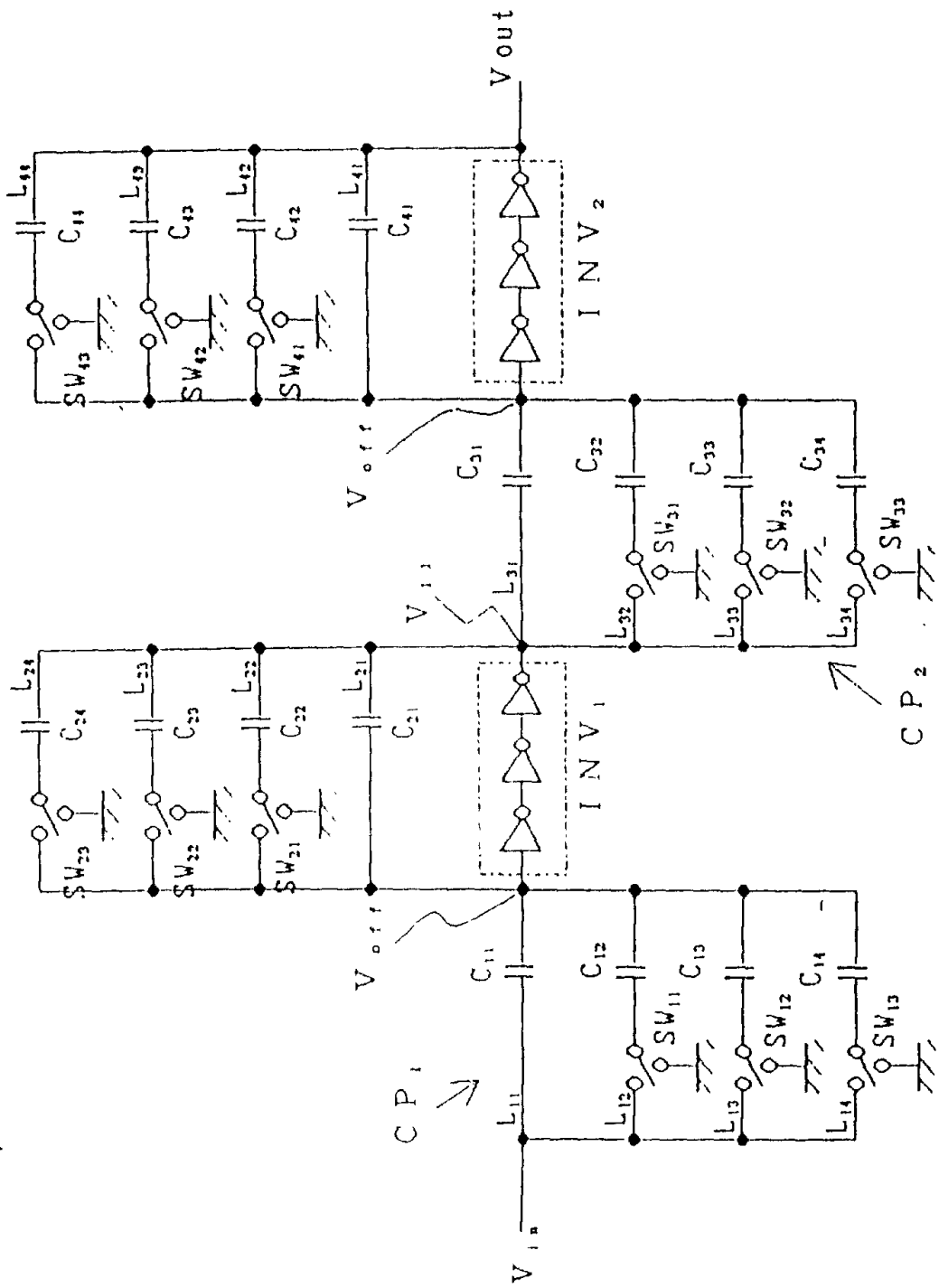
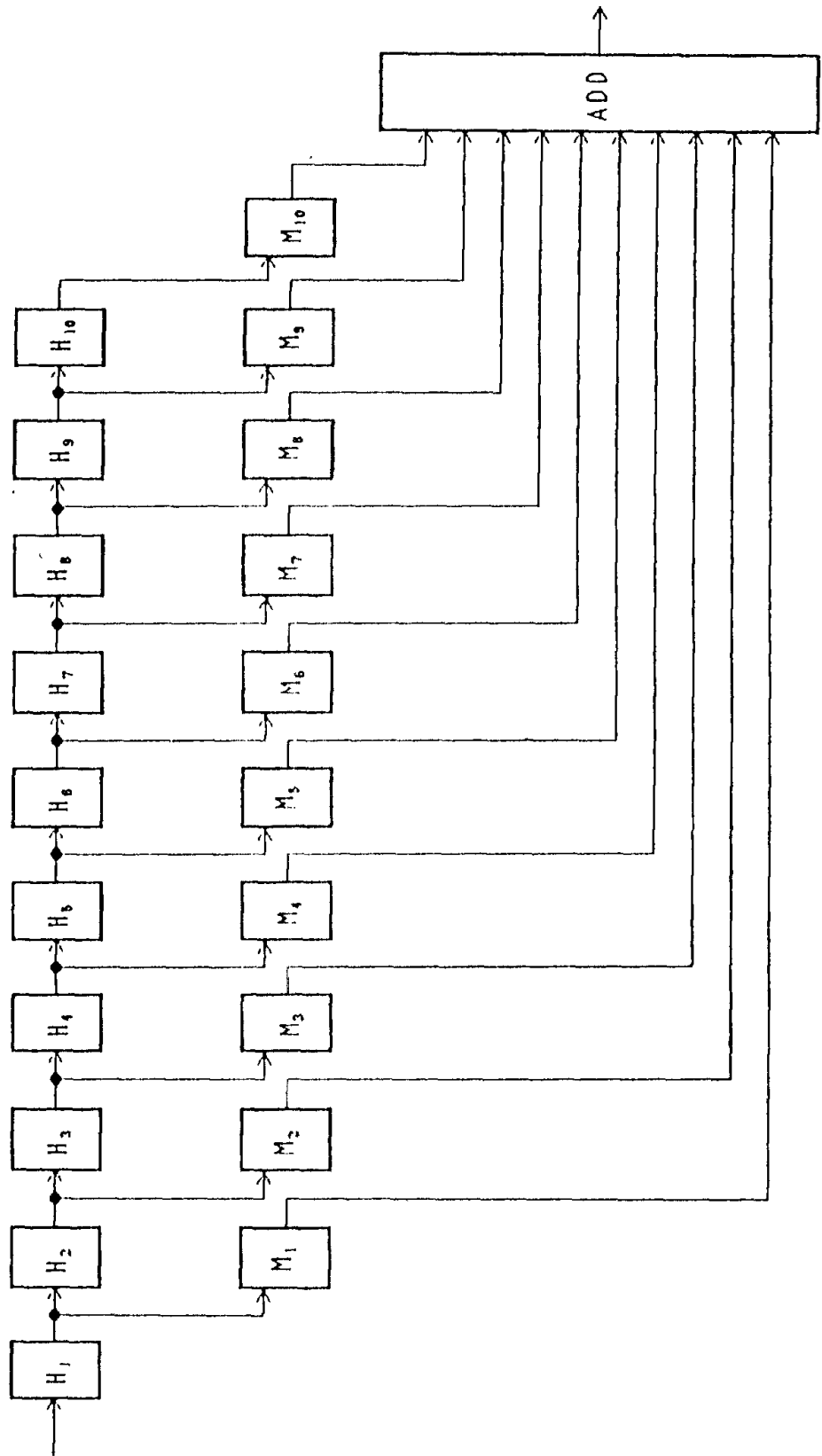


图 19




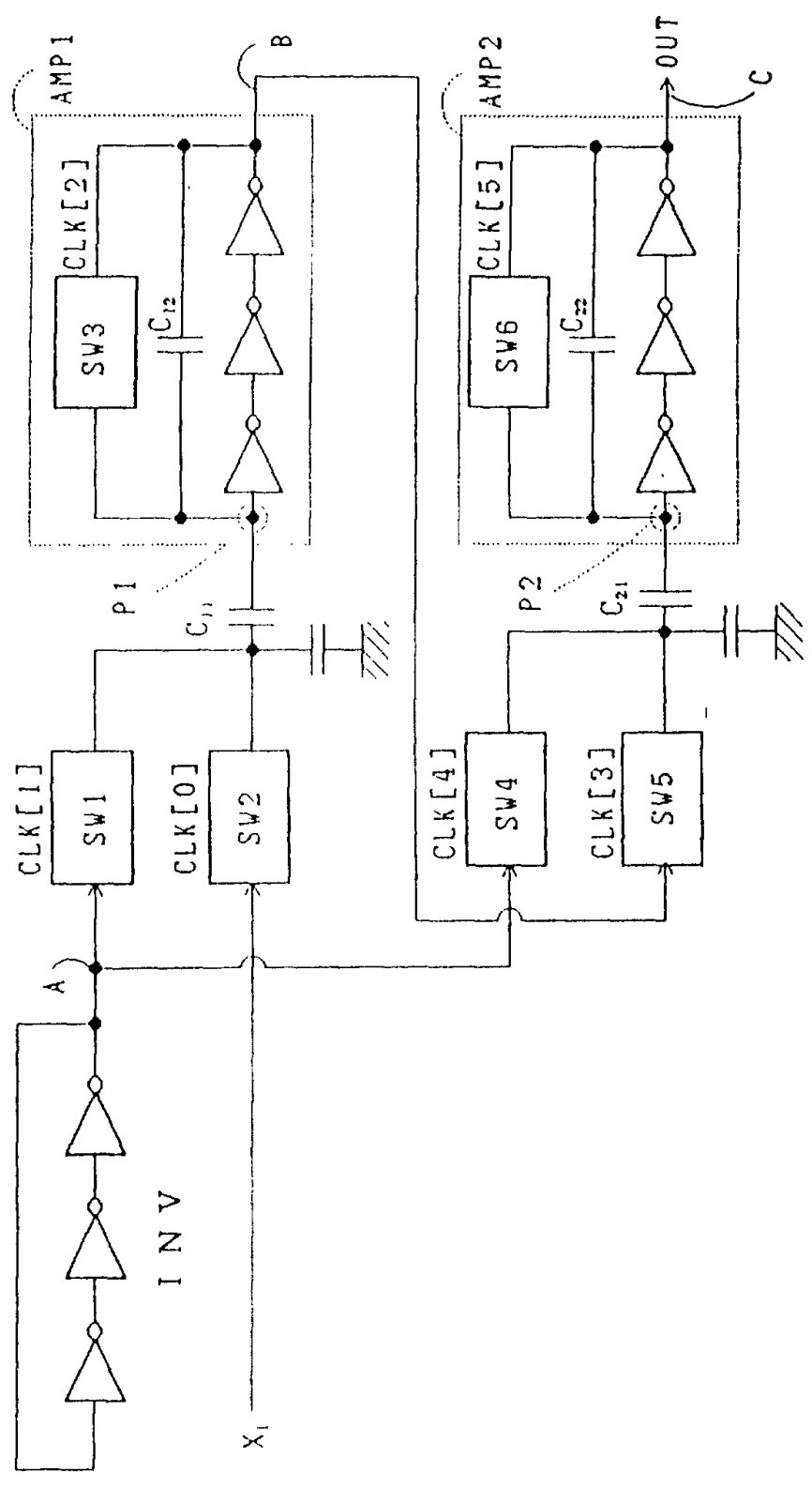
$H_1 \sim H_{10}$ 

图 20



$M_1 \sim M_{10}$

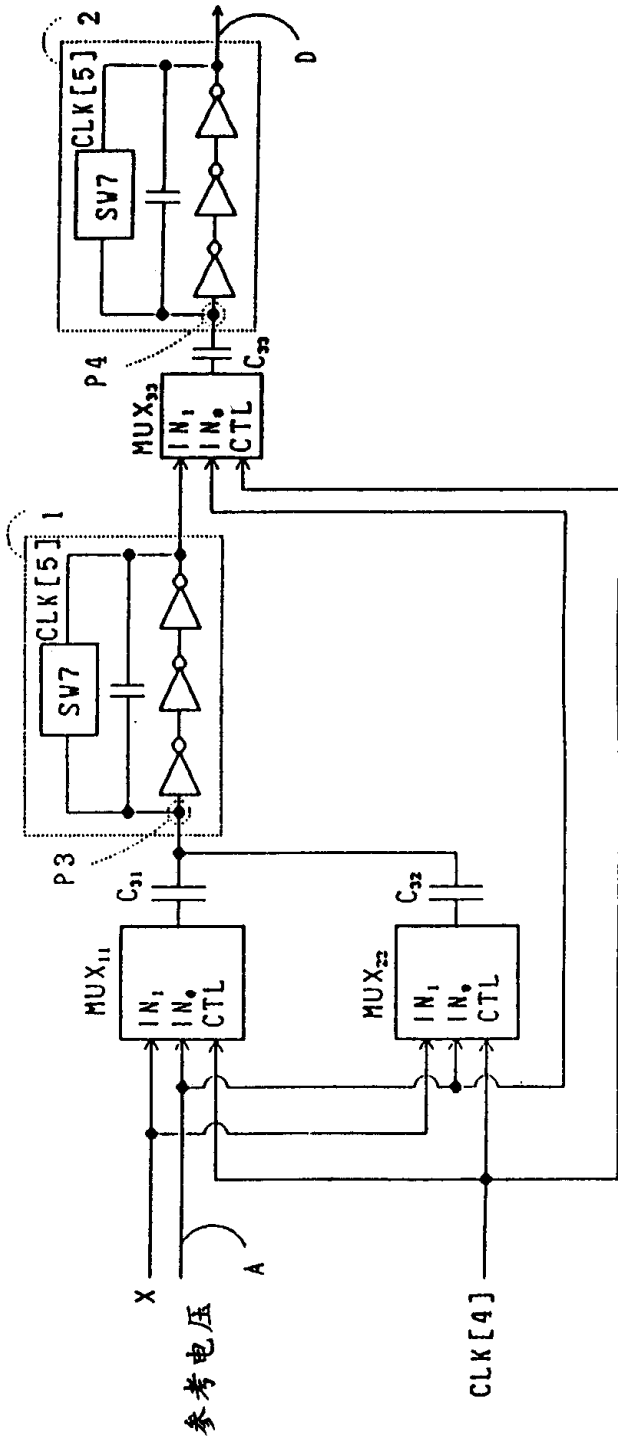


图 21

图 22

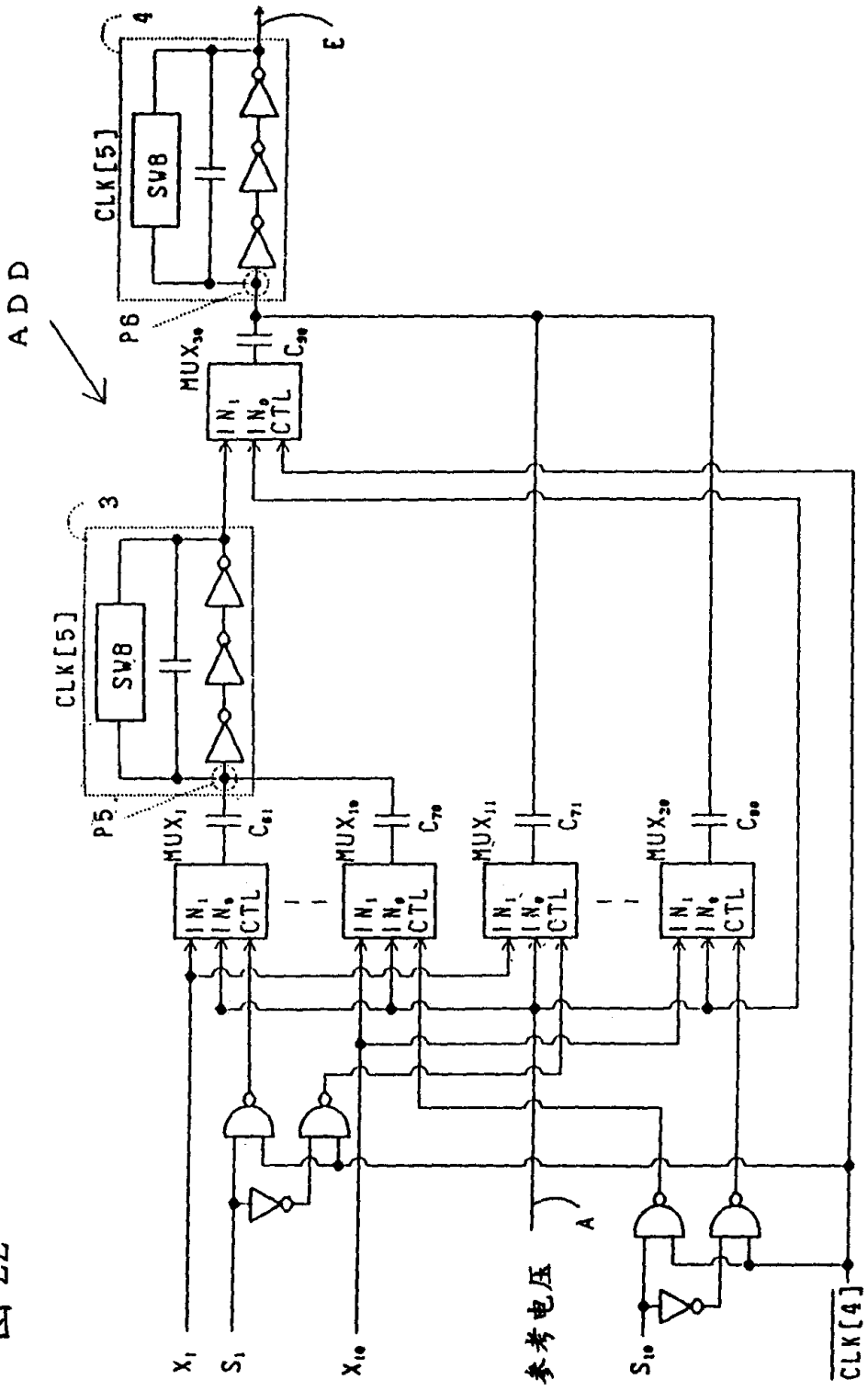


图 23

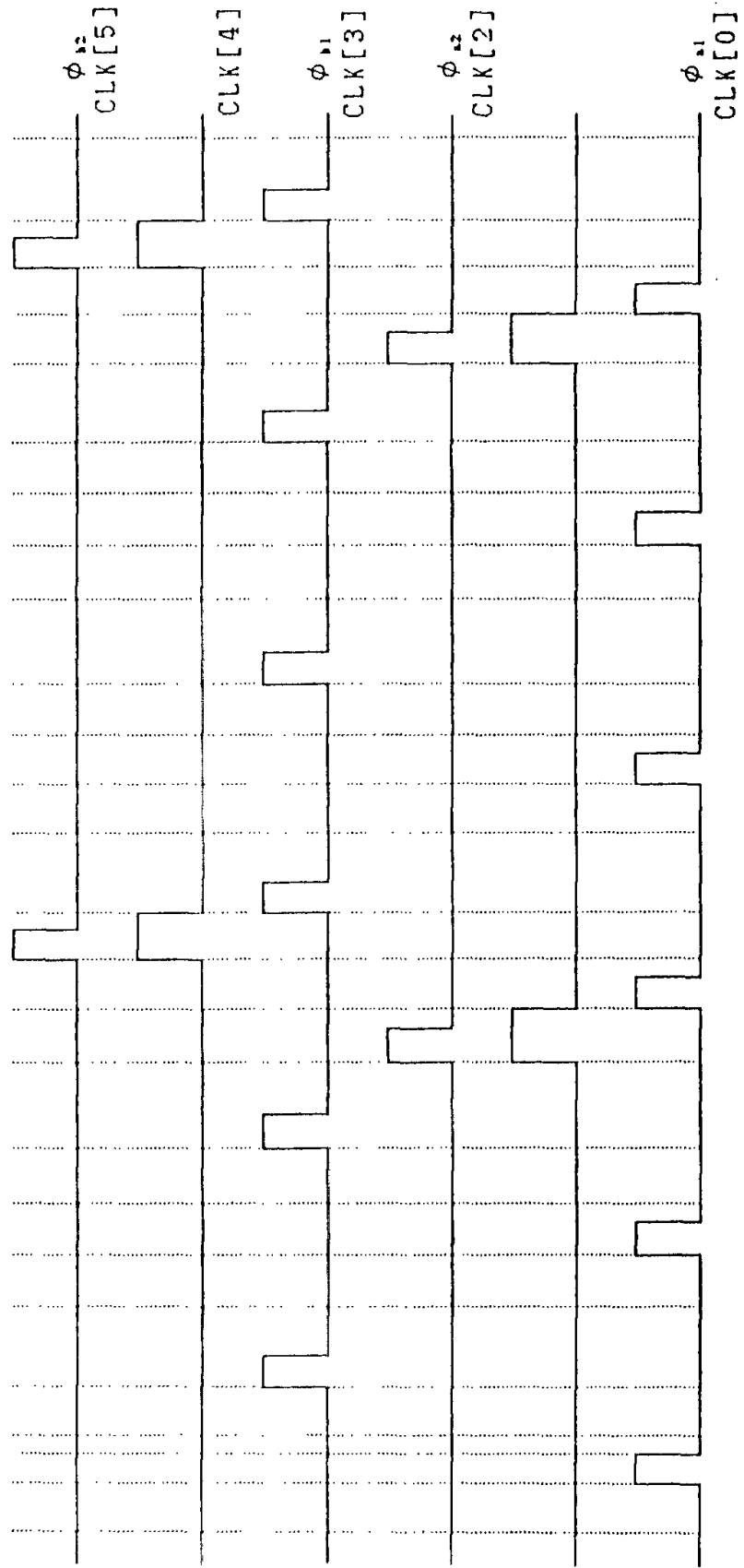


图 24

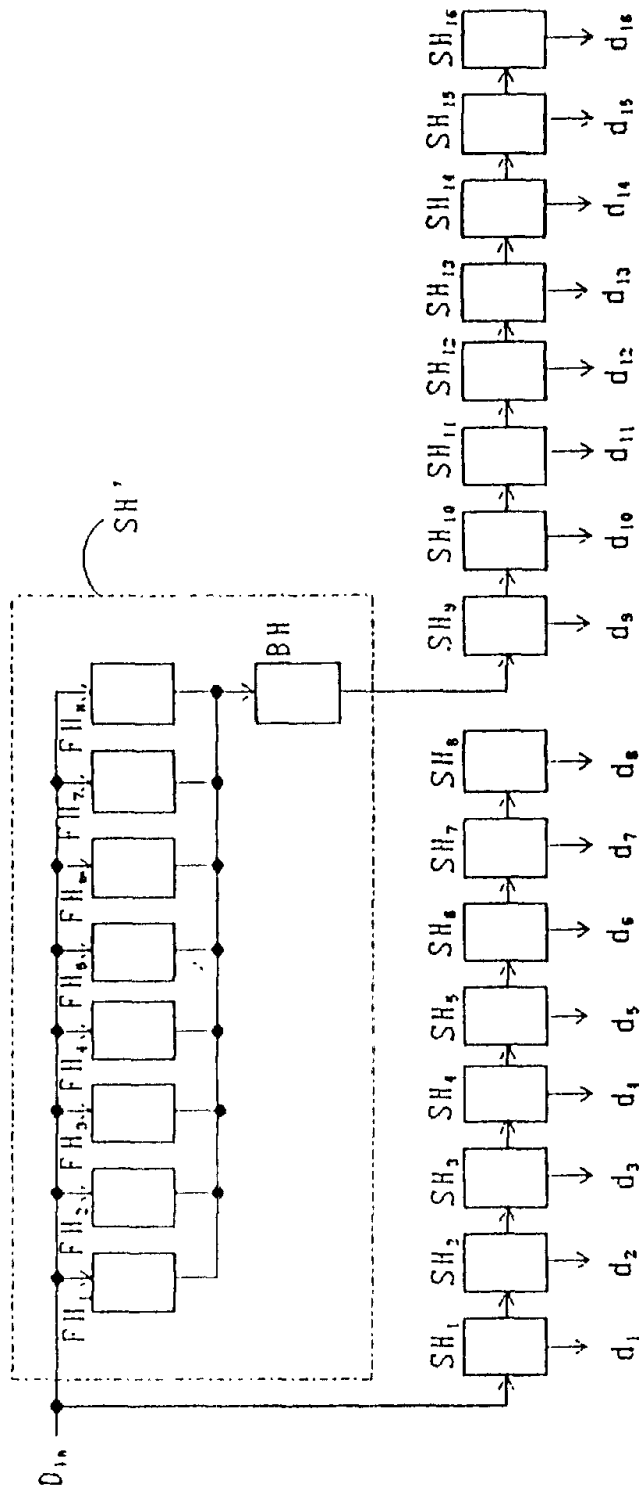


图 25

SH \nearrow

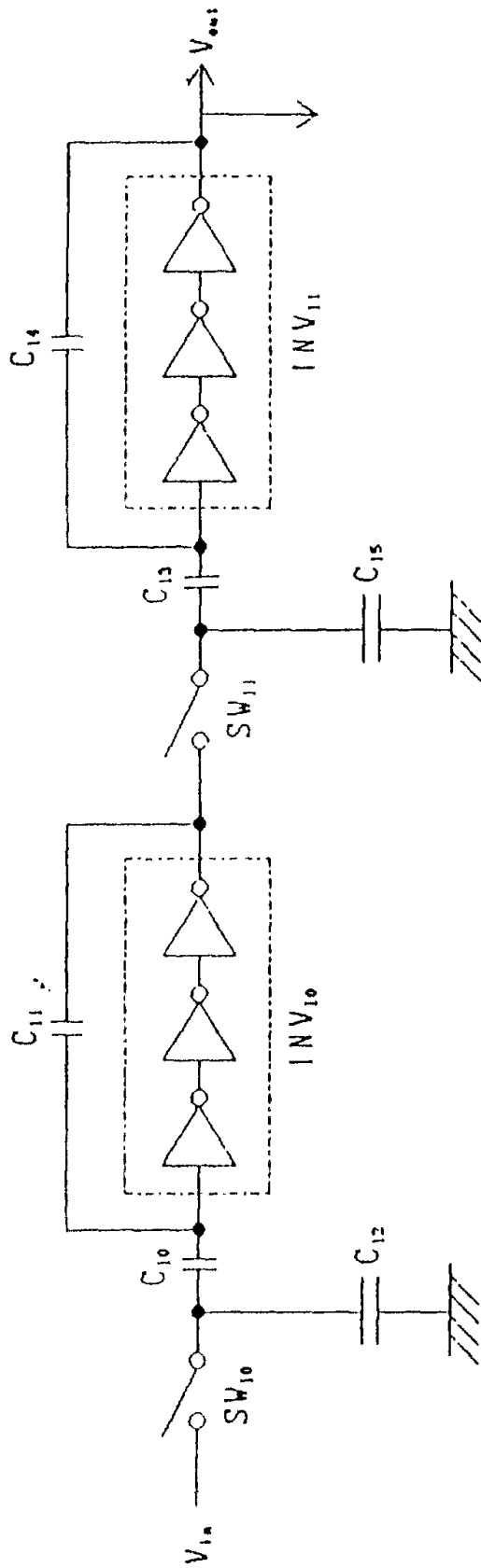


图 26

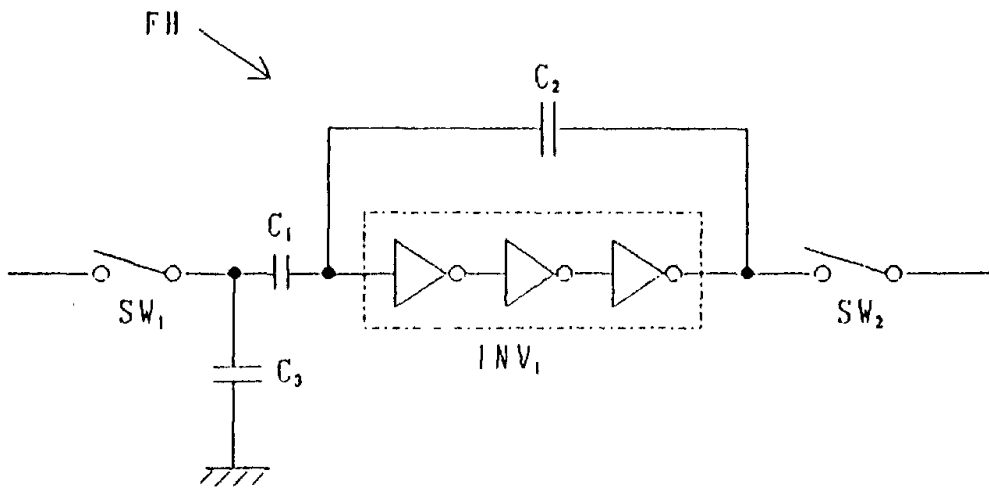


图 27

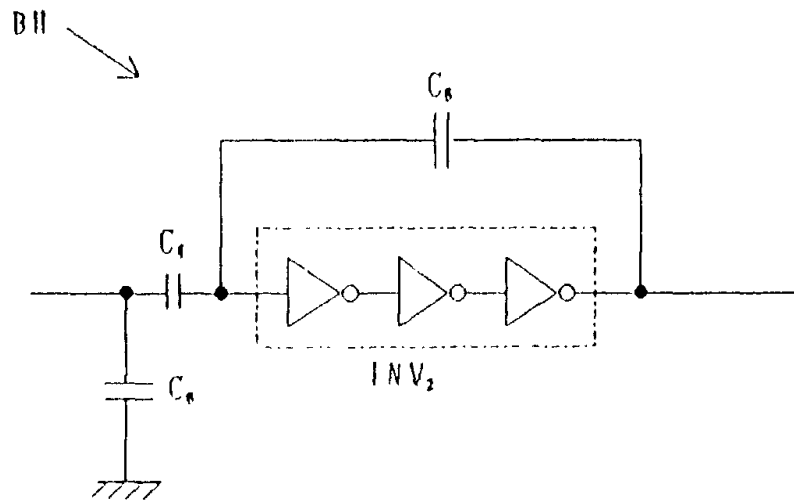


图 28

FII' →

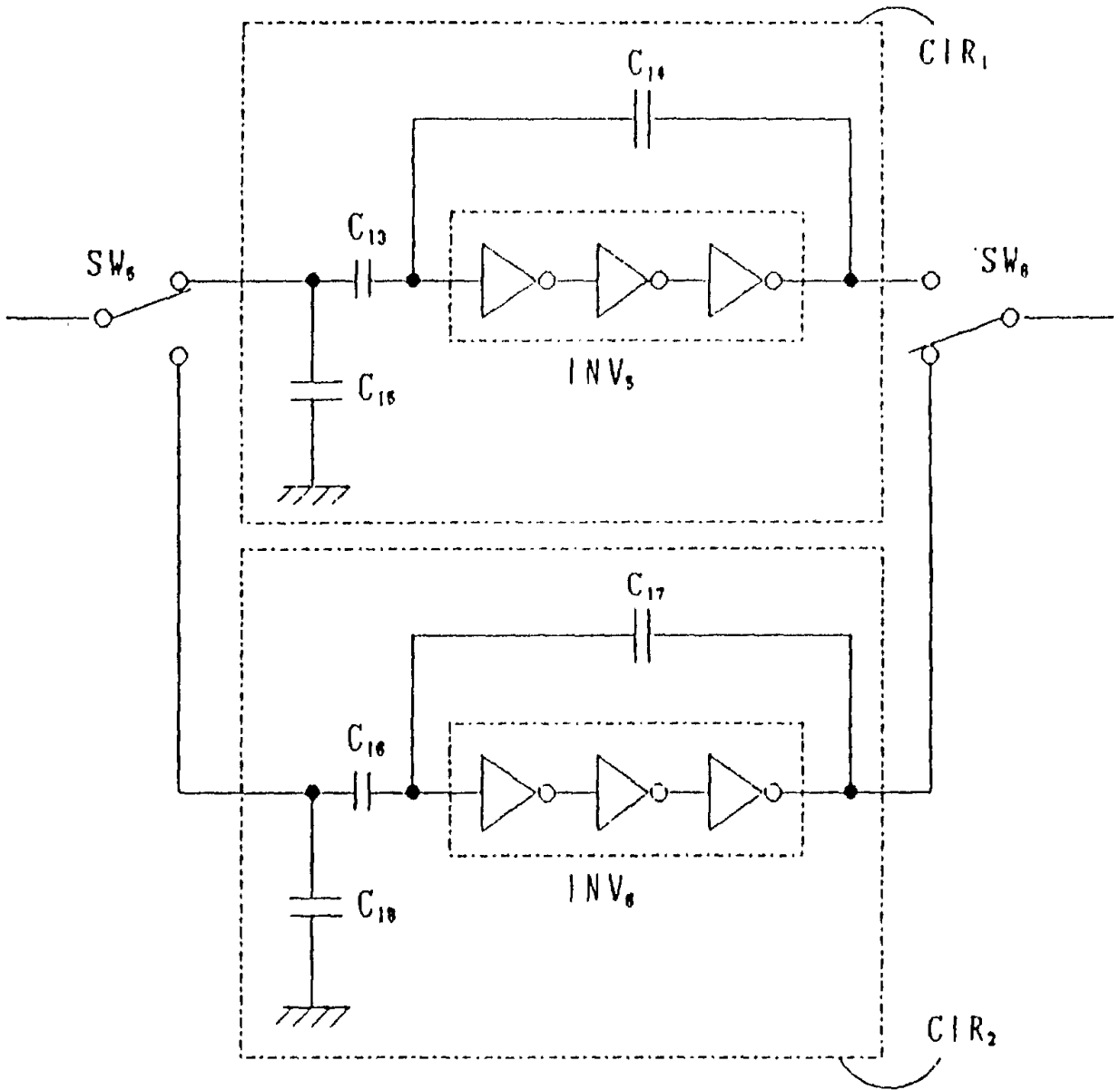


图 29

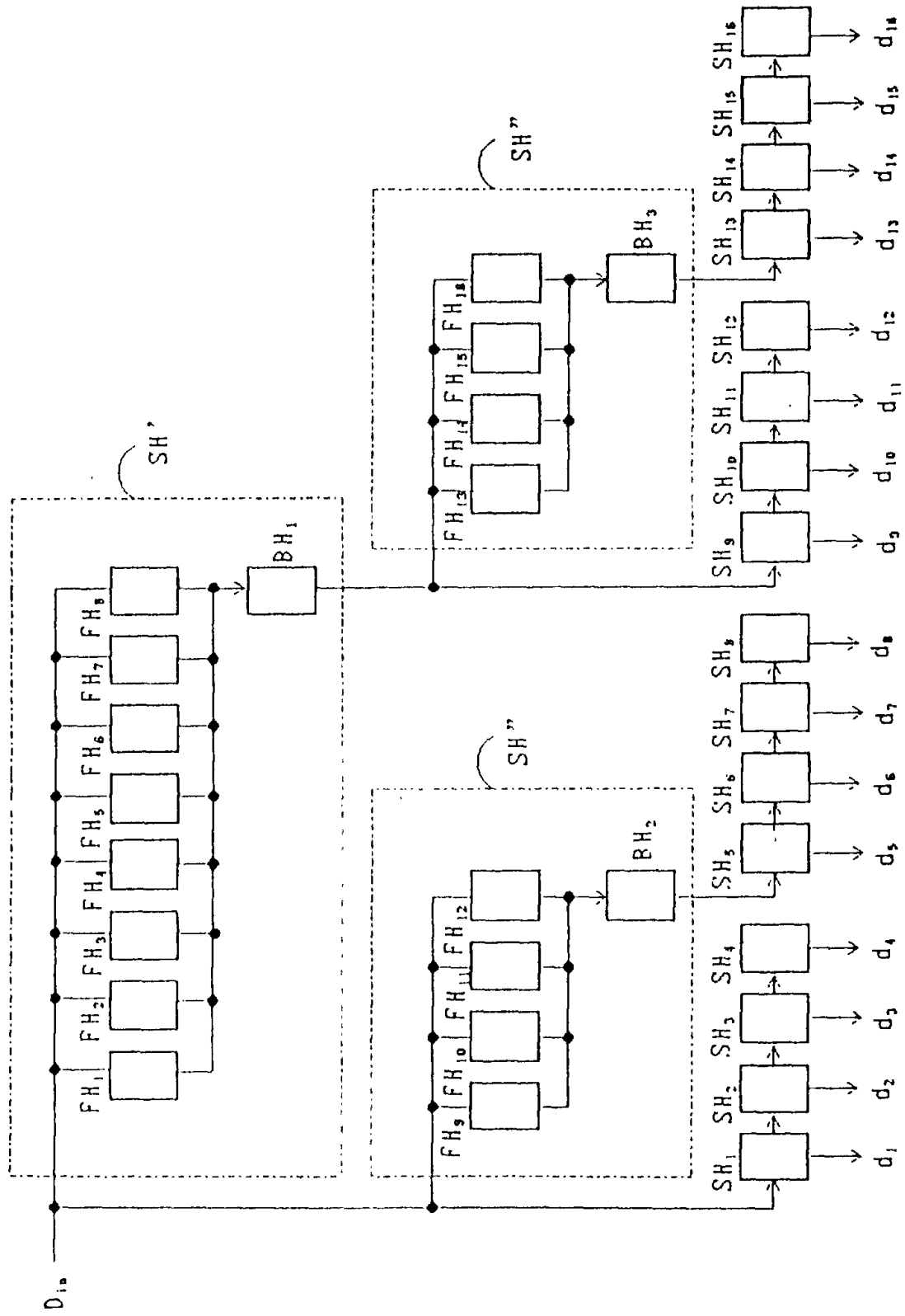


图 30

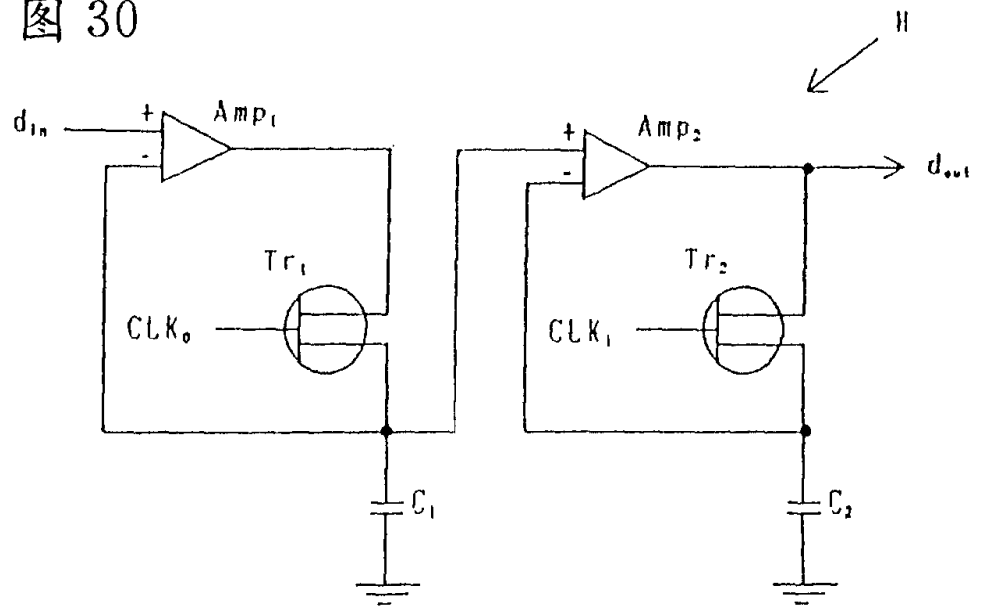


图 32

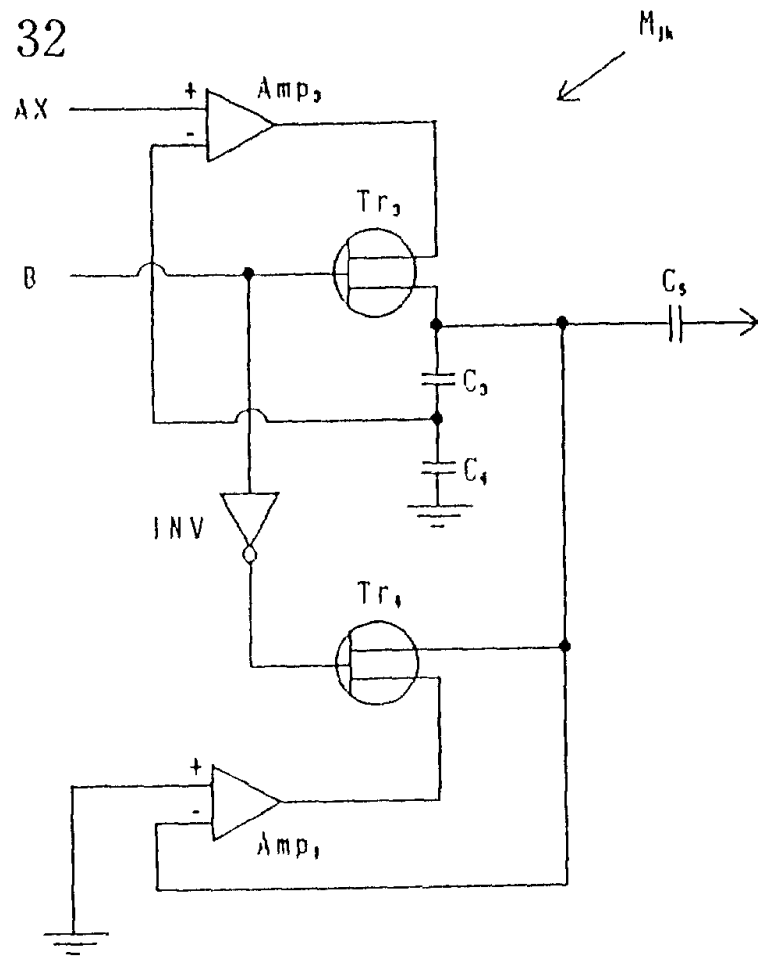
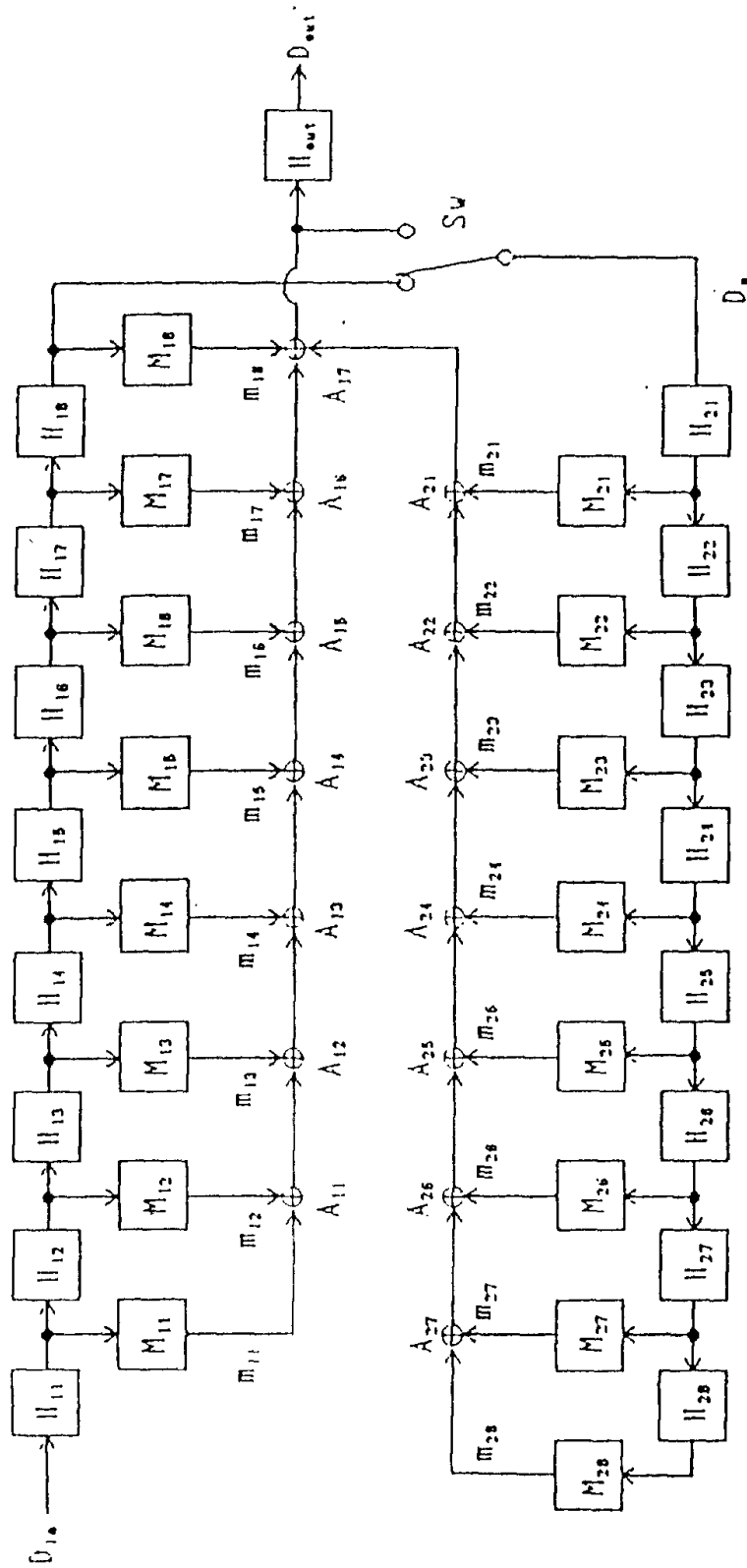


图 31

MC1



MC2

图 33

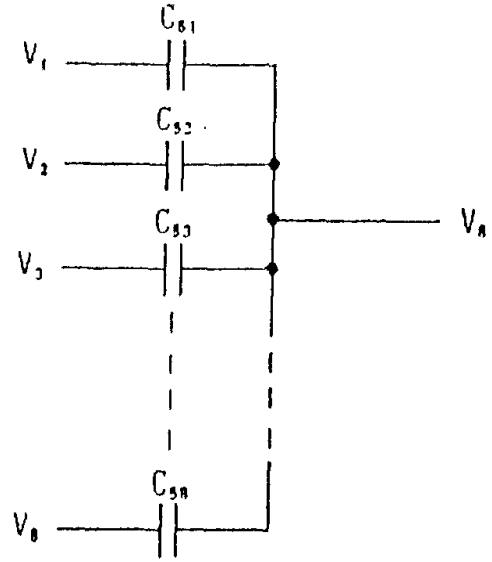


图 35

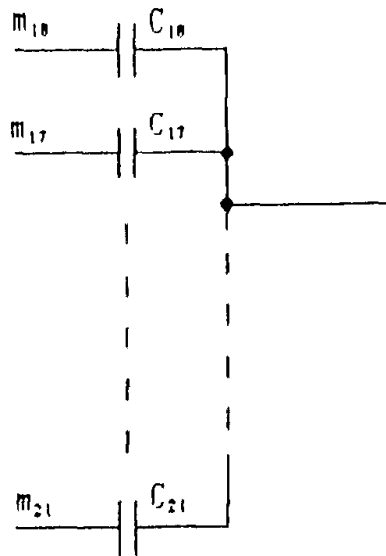


图 34

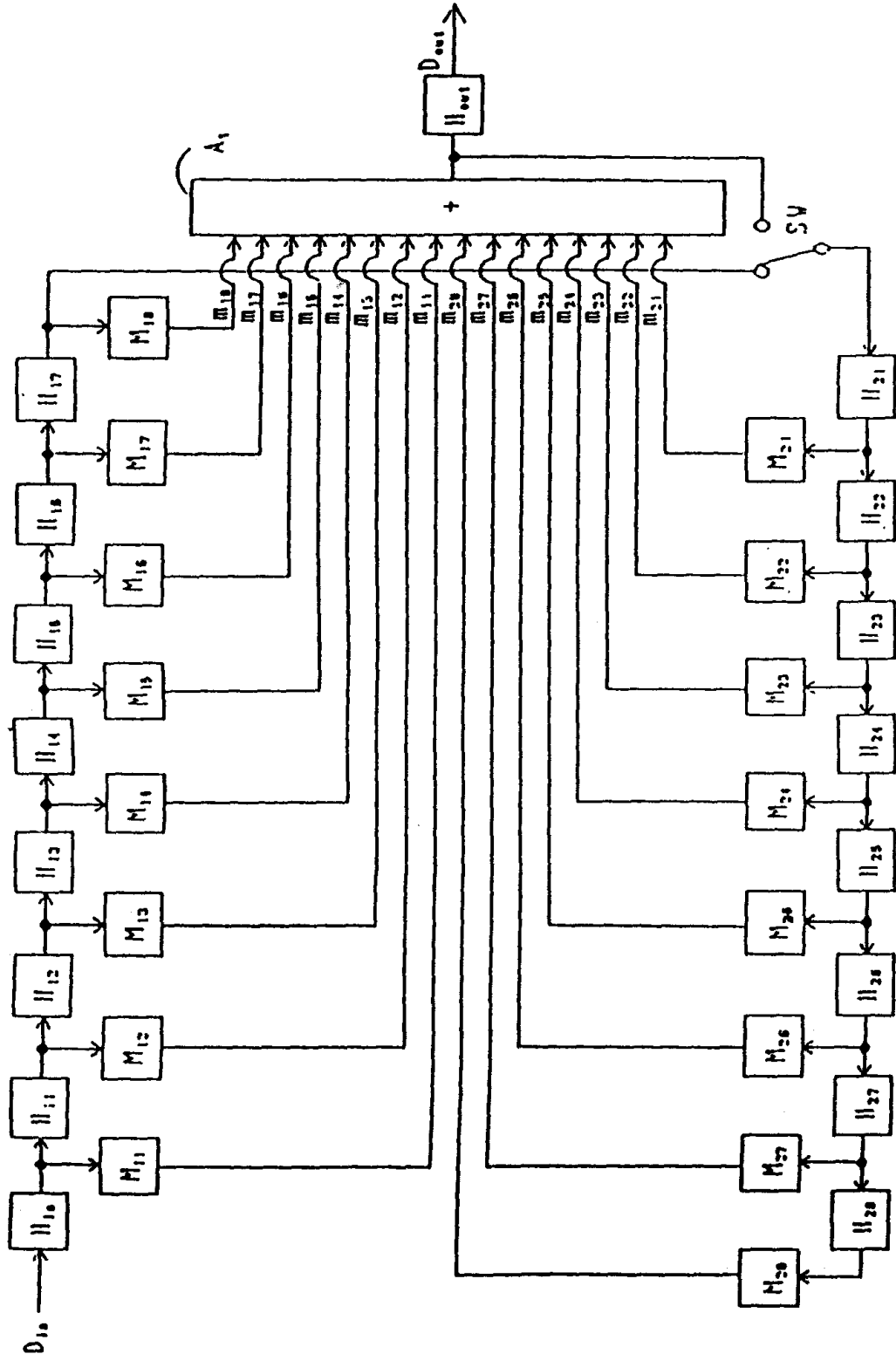


图 36

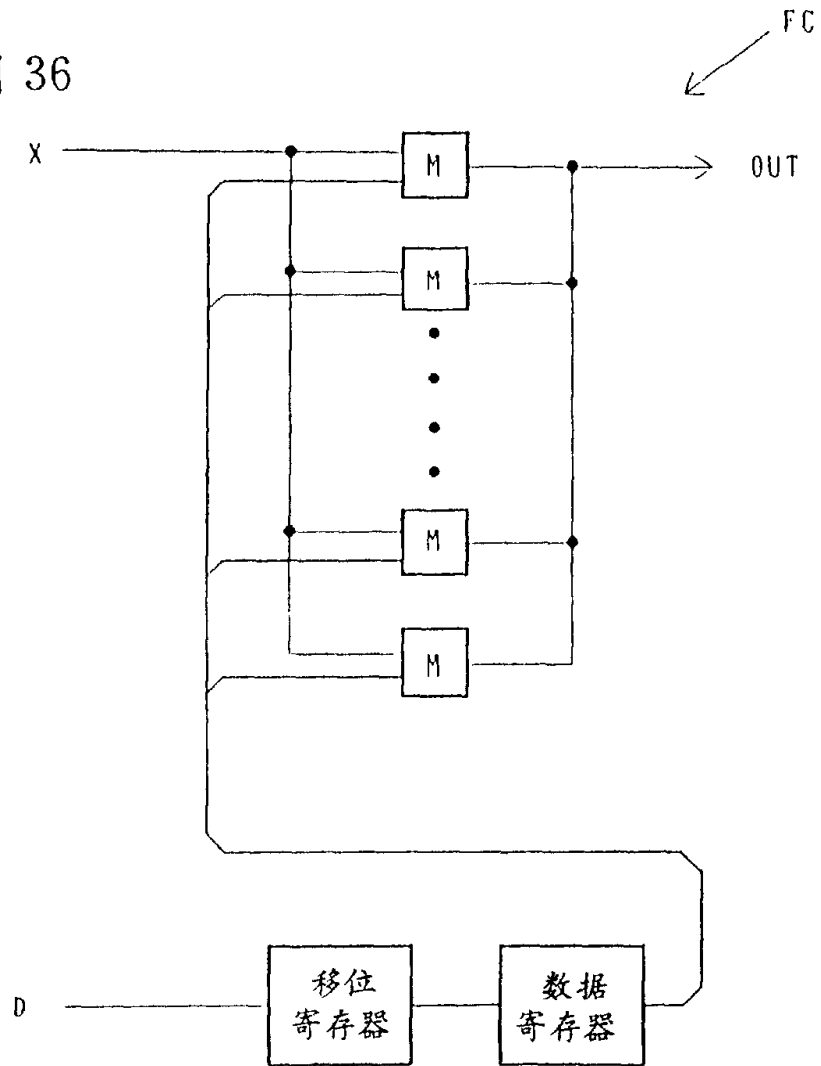


图 37

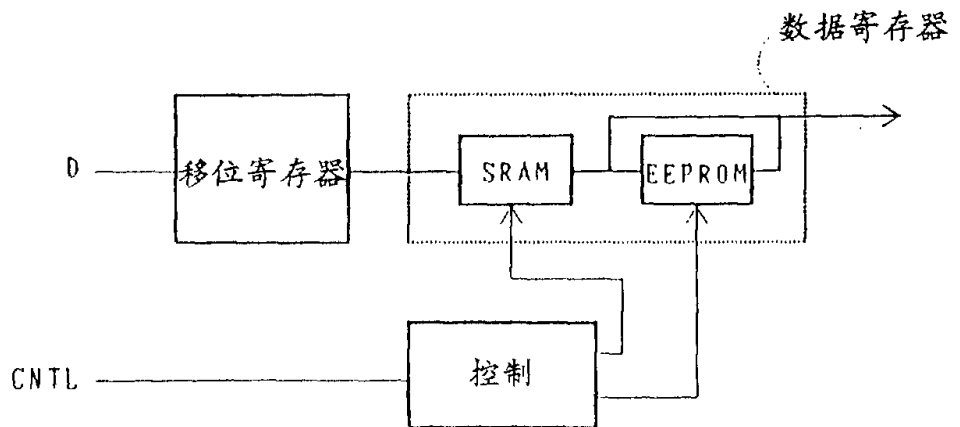


图 38

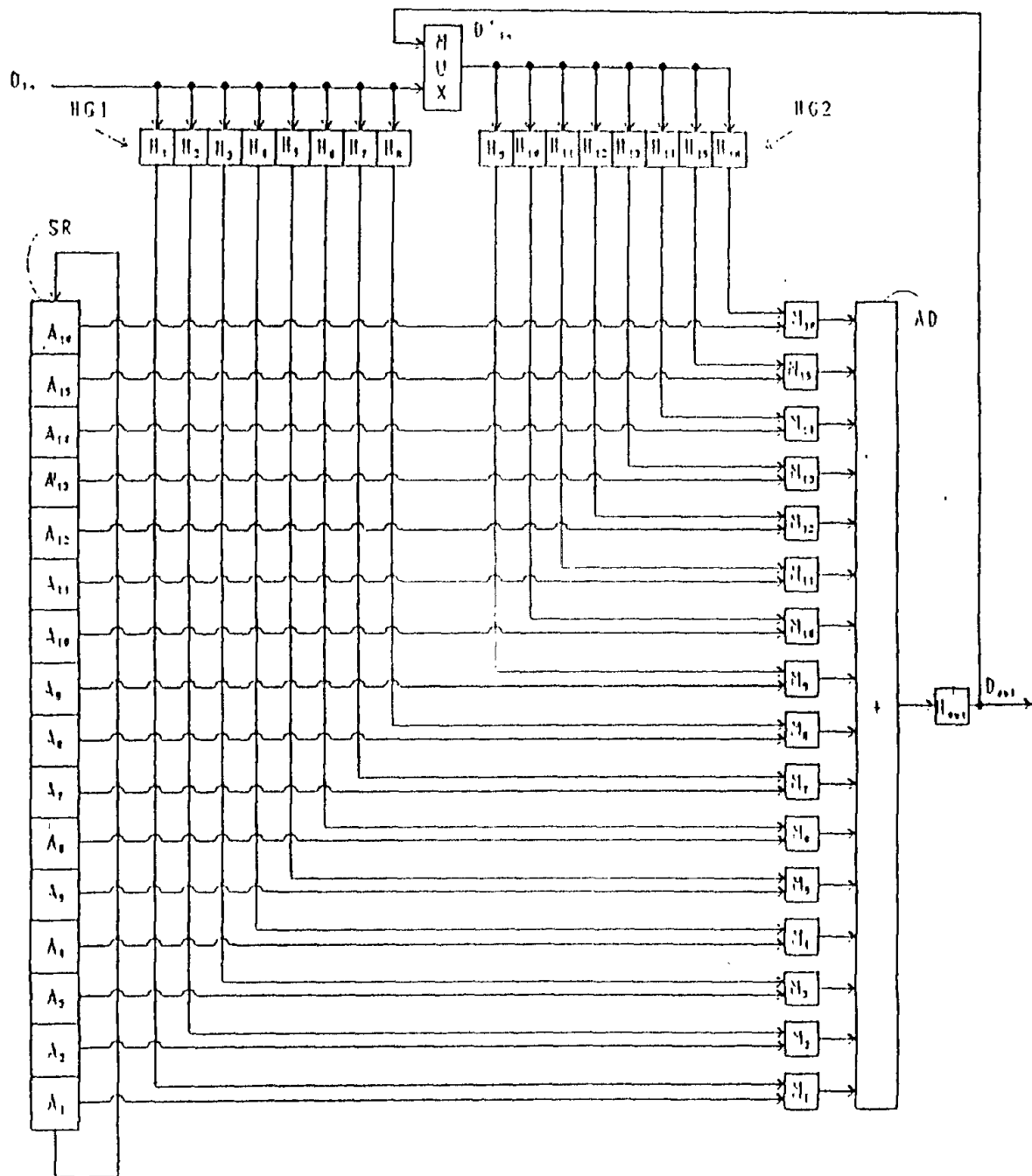


图 39

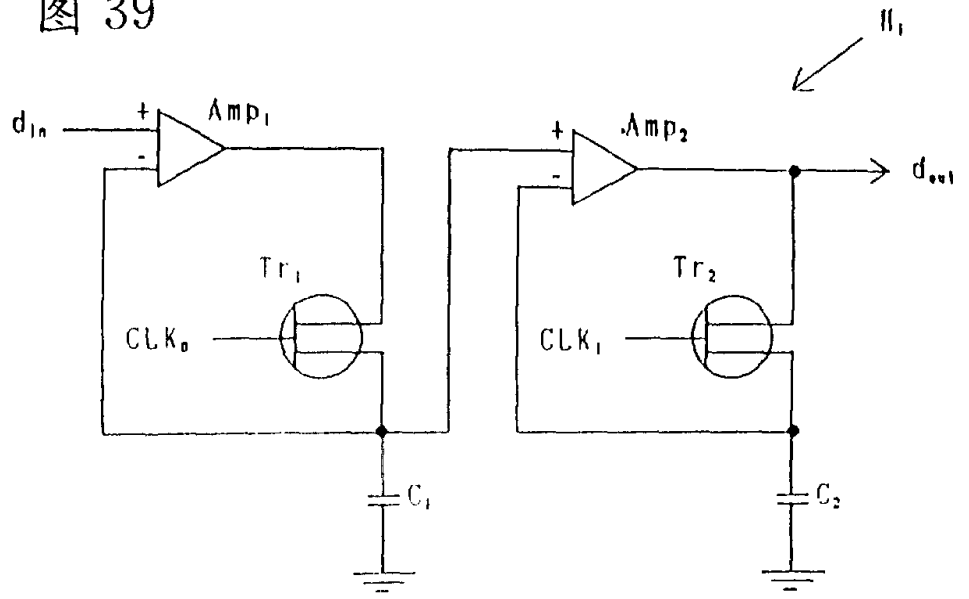


图 40

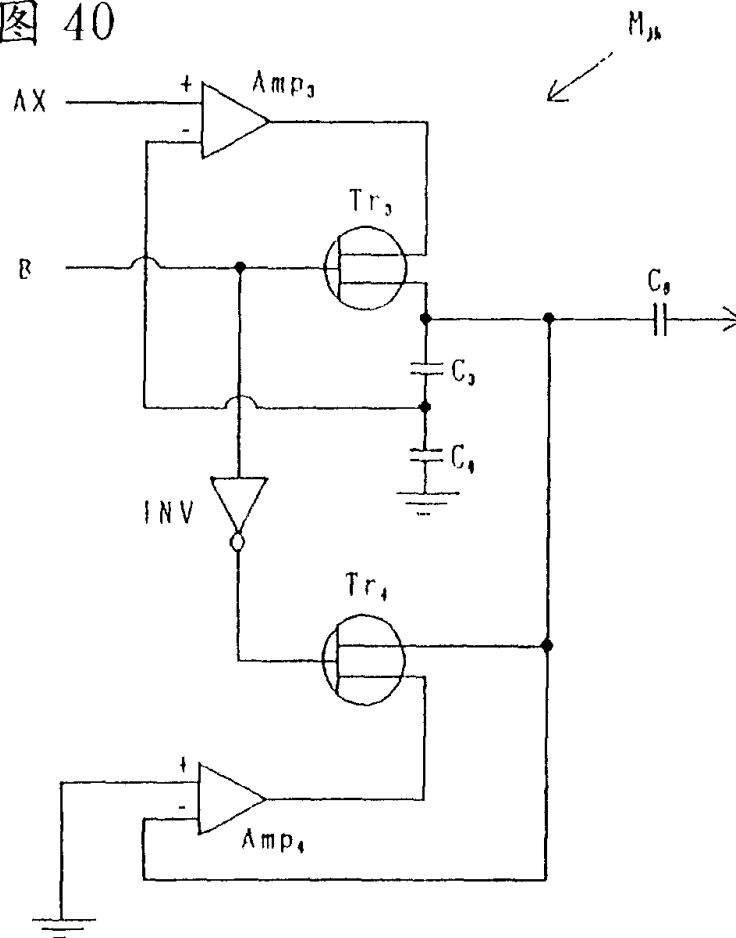


图 41

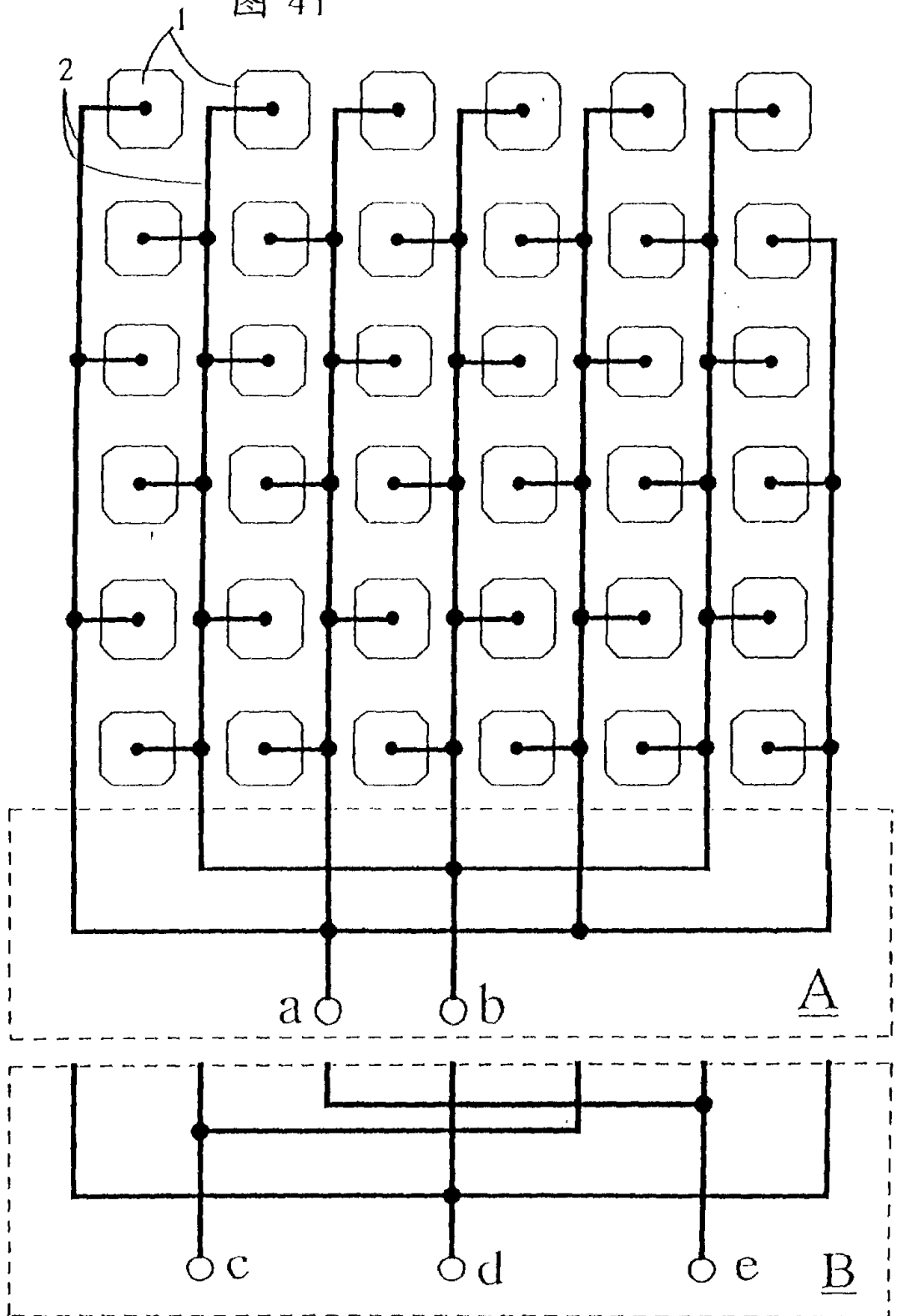


图 42

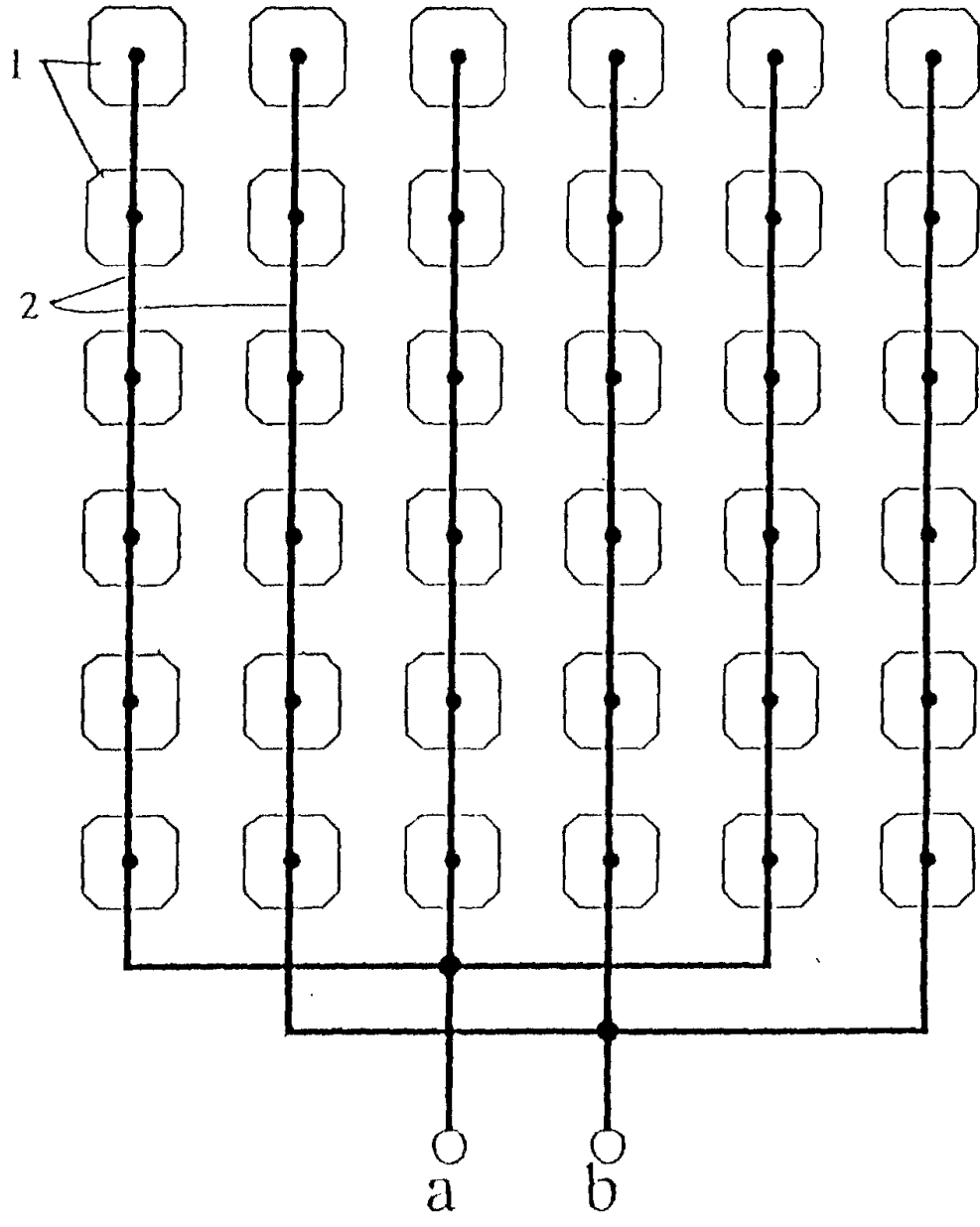


图 43

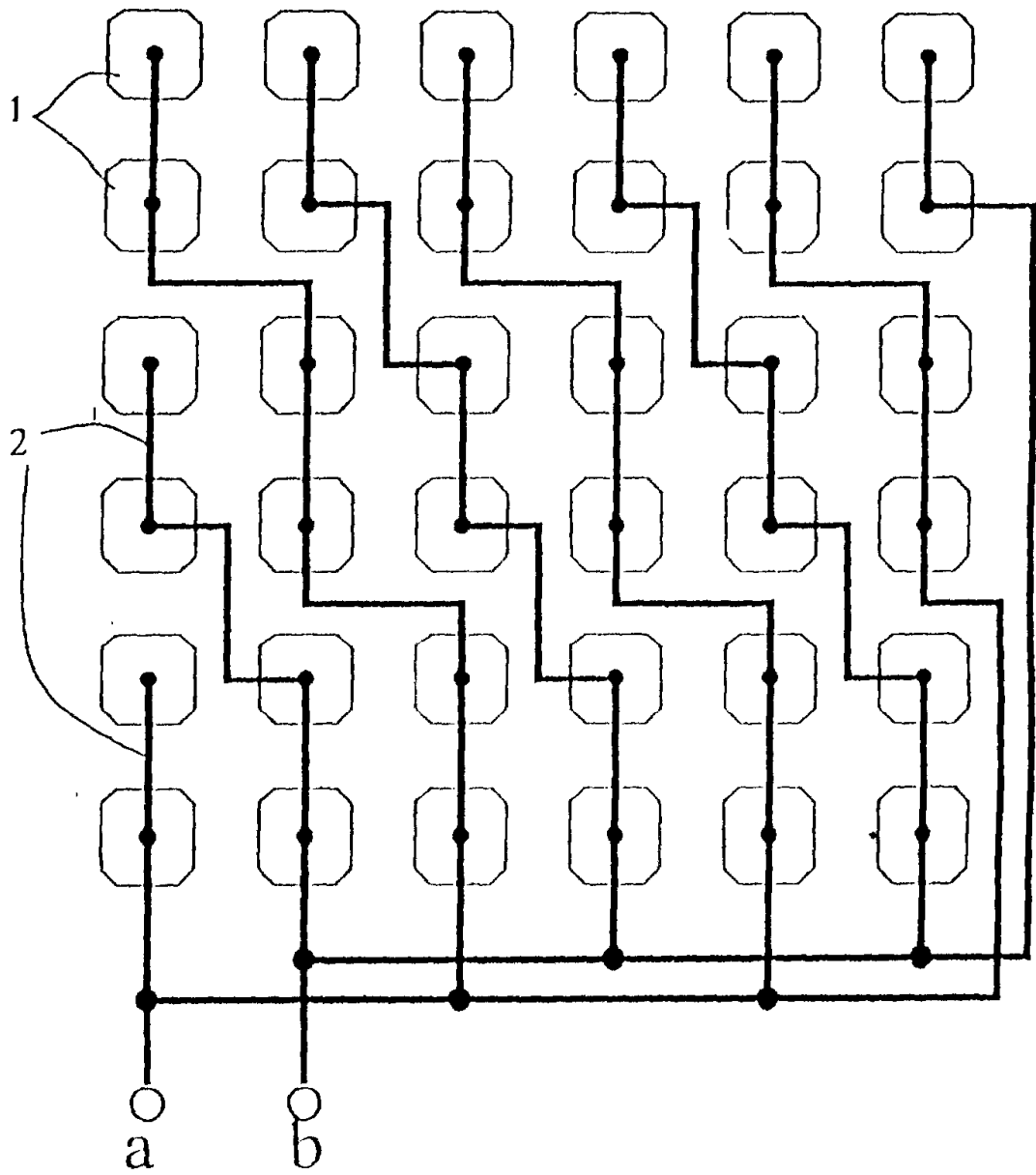


图 44

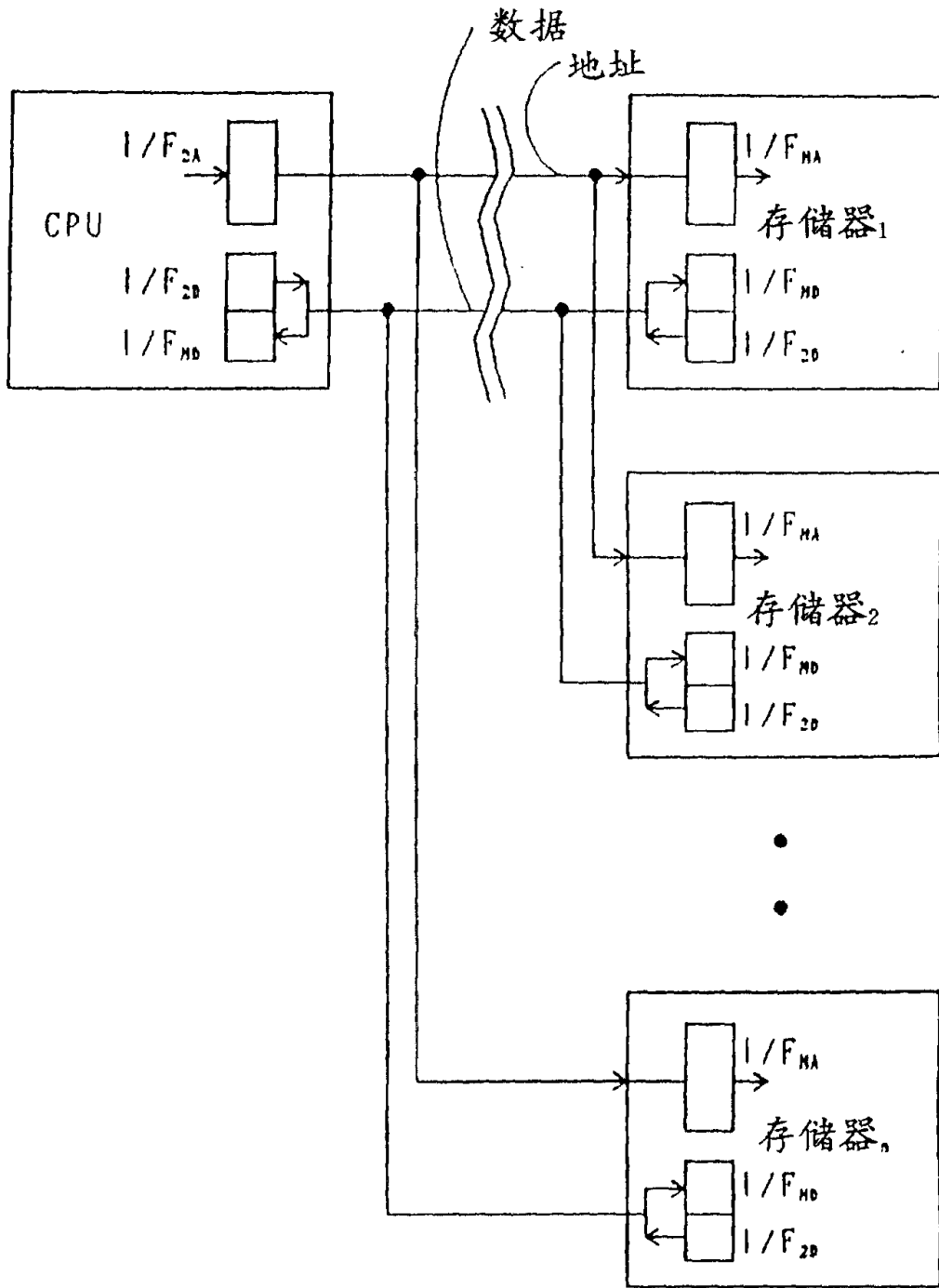


图 45

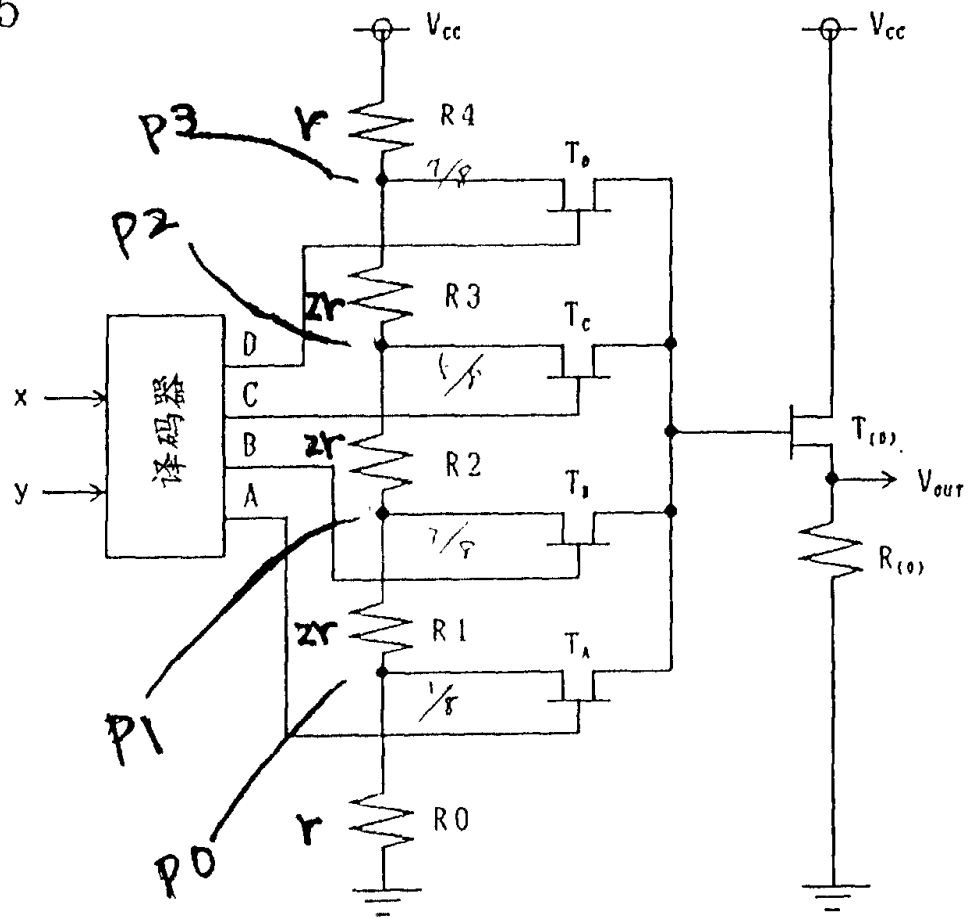


图 46

x	y	A	B	C	D
0	0	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
1	1	0	0	0	1

图 47

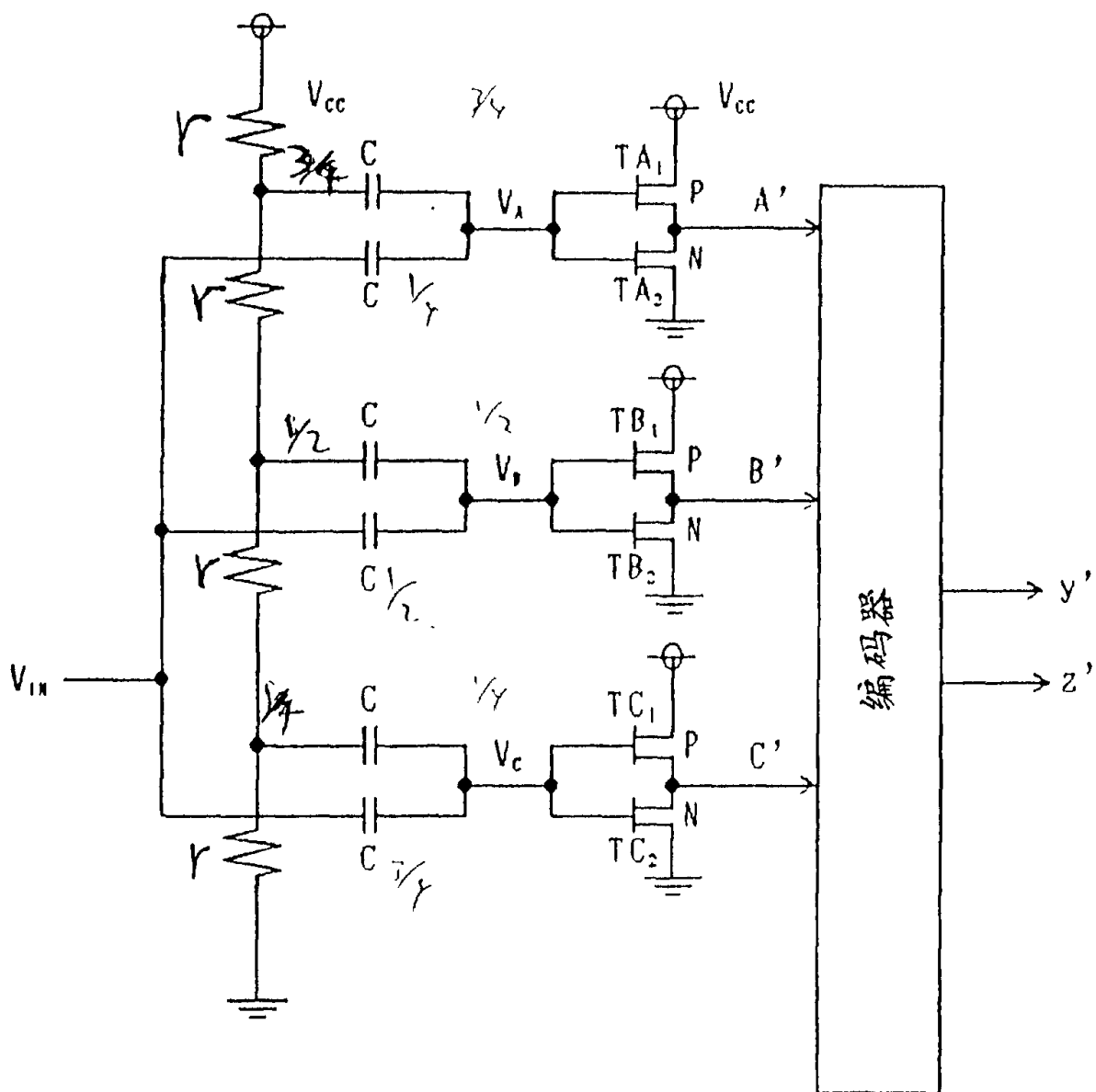


图 48

A'	B'	C'	Y'	Z'
1	1	1	0	0
0	1	1	1	0
0	0	1	0	1
0	0	0	1	1

图 49

