

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 1 月 19 日 (2006.1.19)

【公開番号】特開 2004-48025 (P2004-48025A)

【公開日】平成 16 年 2 月 12 日 (2004.2.12)

【年通号数】公開・登録公報 2004-006

【出願番号】特願 2003-207585 (P2003-207585)

【国際特許分類】

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

【F I】

H 0 1 L 21/88 S

H 0 1 L 21/90 C

H 0 1 L 27/04 D

H 0 1 L 21/82 W

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 6 8 1 F

H 0 1 L 21/88 K

【手続補正書】

【提出日】平成 17 年 11 月 24 日 (2005.11.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】半導体基板と、

前記半導体基板に形成され、能動素子の一部として機能する活性領域と、

前記半導体基板に形成された、スクライプ領域と、

前記スクライプ領域に形成され、能動素子の一部として機能しないダミー領域と、

前記活性領域およびダミー領域を規定する溝と、

前記溝に埋め込まれた絶縁膜と、

前記ダミー領域上又はダミー領域を規定する溝上に素子として機能しないダミー配線とを有していることを特徴とする半導体集積回路装置。

【請求項 2】半導体基板と、

前記半導体基板に形成され、M I S F E T の一部として機能する活性領域と、

前記半導体基板に形成され、M I S F E Tの一部として機能しないダミー領域と、  
前記活性領域を挟むように、その両側に形成された第一の溝と、  
前記ダミー領域を挟むように、その両側に形成された第二の溝と、  
前記溝に埋め込まれた第一の絶縁膜と、  
前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなる第一のM I S F E Tと、  
前記第一のM I S F E T上に位置する第二の絶縁膜と、  
前記ダミー領域上に形成されたダミー配線とを有し、  
前記ダミー領域およびダミー配線は、スクライプ領域にそれぞれ周期的に形成されることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、  
前記ダミー配線は、第一のM I S F E Tを構成するゲート電極と同一層で形成されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1において、  
前記ダミー領域またはダミー配線は、前記スクライプ領域に周期的に形成されることを特徴とする半導体集積回路装置。

【請求項5】 半導体基板と、  
前記半導体基板に形成され、M I S F E Tの一部として機能する活性領域と、  
前記半導体基板に形成され、M I S F E Tの一部として機能しないダミー領域と、  
前記活性領域を挟むように、その両側に形成された溝と、  
前記ダミー領域を挟むように、その両側に形成された溝と、  
前記溝に埋め込まれた第一の絶縁膜と、  
前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなる第一のM I S F E Tと、  
前記第一のM I S F E T上に位置する第二の絶縁膜と、  
前記第一のM I S F E Tのソース領域又はドレイン領域の一方に接続され、前記第二の絶縁膜上に延在する第一の導電性層と、  
前記第一の導電性層と同一層で形成されたダミー配線とを有し、  
前記ダミー領域はスクライプ領域上に周期的に形成され、  
前記ダミー配線は前記スクライプ領域に周期的に形成されることを特徴とする半導体集積回路装置。

【請求項6】 請求項5において、  
前記第一のM I S F E Tはダイナミック型のメモリセルを構成し、前記第一の導電性層はビット線として機能することを特徴とする半導体集積回路装置。

【請求項7】 請求項1乃至6において、  
前記ダミー領域は、前記スクライプ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項8】 請求項7において、  
前記ダミー領域は、前記スクライプ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項9】 請求項1乃至6において、  
前記ダミー配線は、前記スクライプ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項10】 請求項9において、  
前記ダミー配線は、前記スクライプ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項11】 請求項1乃至6において、  
前記ダミー配線および前記ダミー領域は、前記スクライプ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項12】 請求項11において、

前記ダミー配線および前記ダミー領域は、前記スクライプ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項 13】 半導体基板と、  
前記半導体基板に形成された第一の領域と、  
前記第一の領域に形成された第一の M I S F E T と、  
前記第一の領域に接続された第一の導電性層と、  
前記第一の領域を挟むようにその両側に形成された溝と、  
前記溝に埋め込まれた絶縁膜と、  
前記半導体基板に形成され、ソース領域およびドレイン領域が形成されない第二の領域と、

前記第二の領域を挟むようにその両側に形成された溝と、  
前記溝に埋め込まれた絶縁膜と  
前記第二の領域上に形成された第二の導電性層とを有し、  
前記第二の領域はスクライプ領域に形成され、  
前記第二の領域及び第二の導電性層はそれぞれ周期的に形成されることを特徴とする半導体集積回路装置。

【請求項 14】 請求項 13 において、  
第一の M I S F E T はダイナミック型のメモリセルを構成することを特徴とする半導体集積回路装置。

【請求項 15】 請求項 13 乃至 14 において、  
前記第二の領域は、前記スクライプ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 15 において、  
前記第二の領域は、前記スクライプ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項 17】 請求項 13 乃至 14 において、  
前記第二の導電性層は、前記スクライプ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 17 において、  
前記第二の導電性層は、前記スクライプ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項 19】 請求項 13 乃至 14 において、  
前記第二の導電性層および前記第二の領域は、前記スクライプ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項 20】 請求項 19 において、  
前記第二の導電性層および前記第二の領域は、前記スクライプ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項 21】 半導体基板と、  
前記半導体基板に形成され、能動素子の一部として機能する活性領域と、  
前記半導体基板に形成された、スクライプ領域と、  
前記スクライプ領域に形成され、能動素子の一部として機能しないダミー領域と、  
前記活性領域およびダミー領域を規定する溝と、  
前記溝に埋め込まれた絶縁膜と、  
前記スクライプ領域に形成され、素子として機能しないダミー配線を有していることを特徴とする半導体集積回路装置。

【請求項 22】 請求項 21 において、  
前記ダミー配線は、前記活性領域に形成されるトランジスタのゲート電極と同一層で形成されていることを特徴とする半導体集積回路装置。

【請求項 23】 請求項 21 において、  
前記ダミー配線は、メモリ素子の配線と同層の配線で構成されることを特徴とする半導

体集積回路装置。

【請求項 2 4】 請求項 2 1 において、

前記ダミー配線は、ダイナミック型のメモリセルのビット線と同層の配線で構成されることを特徴とする半導体集積回路装置。

【請求項 2 5】 半導体基板と、

前記半導体基板に形成された第一の領域と、

前記第一の領域に形成された第一の M I S F E T と、

前記第一の領域に接続された第一の導電性層と

前記第一の領域を挟むようにその両側に形成された溝と、

前記溝に埋め込まれた絶縁膜と、

前記半導体基板に形成され、ソース領域およびドレイン領域が形成されない第二の領域と、

前記第二の領域を挟むようにその両側に形成された溝と、

前記溝に埋め込まれた絶縁膜と、

前記第二の領域上に形成され、かつ素子として機能しない第二の導電性層とを有し、

前記第二の領域及び第二の導電性層はスクライプ領域に形成されることを特徴とする半導体集積回路装置。

【請求項 2 6】 請求項 2 5 において、

第一の M I S F E T はダイナミック型のメモリセルを構成することを特徴とする半導体集積回路装置。

【請求項 2 7】 請求項 2 において、

前記第一の溝は、前記第二の溝と一体に形成されることを特徴とする半導体集積回路装置。

【請求項 2 8】 半導体基板と、

前記半導体基板に形成され、M I S F E T として機能する活性領域と、

前記半導体基板に形成され、M I S F E T の一部として機能しないダミー領域と、

前記活性領域を挟むように、その両側に形成された溝と、

前記ダミー領域を挟むように、その両側に形成された溝と、

前記溝に埋め込まれた第一の絶縁膜と、

前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなるダイナミック型のメモリセルの第一の M I S F E T と、

前記第一の M I S F E T 上に位置する第二の絶縁膜と、

前記第一の M I S F E T のソース領域又はドレイン領域の一方に接続され、前記第二の絶縁膜上に延在するビット線と、

前記ビット線と同一層で形成されたダミー配線と、

前記ダミー配線およびビット線の上に形成された第三の絶縁膜と、

前記第三の絶縁膜上に形成され、かつ前記第一の M I S F E T のソース領域又はドレイン領域の一方に接続された前記ダイナミック型のメモリセルの容量素子と、  
を有し、

前記ダミー領域およびダミー配線はスクライプ領域上に形成されることを特徴とする半導体集積回路装置。

【請求項 2 9】 半導体基板と、

前記半導体基板に形成され、M I S F E T として機能する活性領域と、

前記半導体基板に形成され、M I S F E T の一部として機能しないダミー領域と、

前記活性領域を挟むように、その両側に形成された溝と、

前記ダミー領域を挟むように、その両側に形成された溝と、

前記溝に埋め込まれた第一の絶縁膜と、

前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなるダイナミック型のメモリセルの第一の M I S F E T と、

前記第一の M I S F E T のゲート電極と同一層で形成されたダミー配線と、

前記第一のM I S F E Tおよびダミー配線上に位置する第二の絶縁膜と、

前記第一のM I S F E Tのソース領域又はドレイン領域の一方に接続され、前記第二の絶縁膜上に延在するビット線と、

前記ビット線上に形成された第三の絶縁膜と、

前記第三の絶縁膜上に形成され、かつ前記第一のM I S F E Tのソース領域又はドレイン領域の一方に接続された前記ダイナミック型のメモリセルの容量素子と、

を有し、

前記ダミー領域およびダミー配線はスクライプ領域上に形成されることを特徴とする半導体集積回路装置。

【請求項30】 半導体基板と、

前記半導体基板に形成され、M I S F E Tとして機能する活性領域と、

前記半導体基板に形成され、M I S F E Tの一部として機能しないダミー領域と、

前記活性領域を挟むように、その両側に形成された溝と、

前記ダミー領域を挟むように、その両側に形成された溝と、

前記溝に埋め込まれた第一の絶縁膜と、

前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなるダイナミック型のメモリセルの第一のM I S F E Tと、

前記第一のM I S F E Tのゲート電極と同一層で形成された第一のダミー配線と、

前記第一のM I S F E Tおよび第一のダミー配線上に位置する第二の絶縁膜と、

前記第一のM I S F E Tのソース領域又はドレイン領域の一方に接続され、前記第二の絶縁膜上に延在するビット線と、

前記ビット線と同一層で形成された第二のダミー配線と、

前記第二のダミー配線およびビット線の上に形成された第三の絶縁膜と、

前記第三の絶縁膜上に形成され、かつ前記第一のM I S F E Tのソース領域又はドレイン領域の一方に接続された前記ダイナミック型のメモリセルの容量素子と、

を有し、

前記ダミー領域、第一のダミー配線および第二のダミー配線はスクライプ領域上に形成されることを特徴とする半導体集積回路装置。