

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年1月19日(2006.1.19)

【公開番号】特開2004-48025(P2004-48025A)

【公開日】平成16年2月12日(2004.2.12)

【年通号数】公開・登録公報2004-006

【出願番号】特願2003-207585(P2003-207585)

【国際特許分類】

H 01 L	23/52	(2006.01)
H 01 L	21/3205	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	21/82	(2006.01)
H 01 L	21/8242	(2006.01)
H 01 L	27/108	(2006.01)

【F I】

H 01 L	21/88	S
H 01 L	21/90	C
H 01 L	27/04	D
H 01 L	21/82	W
H 01 L	27/10	6 2 1 C
H 01 L	27/10	6 8 1 F
H 01 L	21/88	K

【手続補正書】

【提出日】平成17年11月24日(2005.11.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板に形成され、能動素子の一部として機能する活性領域と、

前記半導体基板に形成された、スクライプ領域と、

前記スクライプ領域に形成され、能動素子の一部として機能しないダミー領域と、

前記活性領域およびダミー領域を規定する溝と、

前記溝に埋め込まれた絶縁膜と、

前記ダミー領域上又はダミー領域を規定する溝上に素子として機能しないダミー配線と  
を有していることを特徴とする半導体集積回路装置。

【請求項2】半導体基板と、

前記半導体基板に形成され、MISFETの一部として機能する活性領域と、

前記半導体基板に形成され、MISFETの一部として機能しないダミー領域と、  
前記活性領域を挟むように、その両側に形成された第一の溝と、  
前記ダミー領域を挟むように、その両側に形成された第二の溝と、  
前記溝に埋め込まれた第一の絶縁膜と、  
前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなる第一のMISFETと、  
前記第一のMISFET上に位置する第二の絶縁膜と、  
前記ダミー領域上に形成されたダミー配線とを有し、  
前記ダミー領域およびダミー配線は、スクライブ領域にそれぞれ周期的に形成されることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、

前記ダミー配線は、第一のMISFETを構成するゲート電極と同一層で形成されることを特徴とする半導体集積回路装置。

【請求項4】 請求項1において、

前記ダミー領域またはダミー配線は、前記スクライブ領域に周期的に形成されることを特徴とする半導体集積回路装置。

【請求項5】 半導体基板と、

前記半導体基板に形成され、MISFETの一部として機能する活性領域と、  
前記半導体基板に形成され、MISFETの一部として機能しないダミー領域と、  
前記活性領域を挟むように、その両側に形成された溝と、  
前記ダミー領域を挟むように、その両側に形成された溝と、  
前記溝に埋め込まれた第一の絶縁膜と、  
前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなる第一のMISFETと、  
前記第一のMISFET上に位置する第二の絶縁膜と、

前記第一のMISFETのソース領域又はドレイン領域の一方に接続され、前記第二の絶縁膜上に延在する第一の導電性層と、

前記第一の導電性層と同一層で形成されたダミー配線とを有し、  
前記ダミー領域はスクライブ領域上に周期的に形成され、  
前記ダミー配線は前記スクライブ領域に周期的に形成されることを特徴とする半導体集積回路装置。

【請求項6】 請求項5において、

前記第一のMISFETはダイナミック型のメモリセルを構成し、前記第一の導電性層はビット線として機能することを特徴とする半導体集積回路装置。

【請求項7】 請求項1乃至6において、

前記ダミー領域は、前記スクライブ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項8】 請求項7において、

前記ダミー領域は、前記スクライブ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項9】 請求項1乃至6において、

前記ダミー配線は、前記スクライブ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項10】 請求項9において、

前記ダミー配線は、前記スクライブ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項11】 請求項1乃至6において、

前記ダミー配線および前記ダミー領域は、前記スクライブ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項12】 請求項11において、

前記ダミー配線および前記ダミー領域は、前記スクライブ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項13】半導体基板と、

前記半導体基板に形成された第一の領域と、

前記第一の領域に形成された第一のMISFETと、

前記第一の領域に接続された第一の導電性層と、

前記第一の領域を挟むようにその両側に形成された溝と、

前記溝に埋め込まれた絶縁膜と、

前記半導体基板に形成され、ソース領域およびドレイン領域が形成されない第二の領域と、

前記第二の領域を挟むようにその両側に形成された溝と、

前記溝に埋め込まれた絶縁膜と

前記第二の領域上に形成された第二の導電性層とを有し、

前記第二の領域はスクライブ領域に形成され、

前記第二の領域及び第二の導電性層はそれぞれ周期的に形成されることを特徴とする半導体集積回路装置。

【請求項14】請求項13において、

第一のMISFETはダイナミック型のメモリセルを構成することを特徴とする半導体集積回路装置。

【請求項15】請求項13乃至14において、

前記第二の領域は、前記スクライブ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項16】請求項15において、

前記第二の領域は、前記スクライブ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項17】請求項13乃至14において、

前記第二の導電性層は、前記スクライブ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項18】請求項17において、

前記第二の導電性層は、前記スクライブ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項19】請求項13乃至14において、

前記第二の導電性層および前記第二の領域は、前記スクライブ領域および回路形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項20】請求項19において、

前記第二の導電性層および前記第二の領域は、前記スクライブ領域およびパッド形成領域に形成されることを特徴とする半導体集積回路装置。

【請求項21】半導体基板と、

前記半導体基板に形成され、能動素子の一部として機能する活性領域と、

前記半導体基板に形成された、スクライブ領域と、

前記スクライブ領域に形成され、能動素子の一部として機能しないダミー領域と、

前記活性領域およびダミー領域を規定する溝と、

前記溝に埋め込まれた絶縁膜と、

前記スクライブ領域に形成され、素子として機能しないダミー配線を有していることを特徴とする半導体集積回路装置。

【請求項22】請求項21において、

前記ダミー配線は、前記活性領域に形成されるトランジスタのゲート電極と同一層で形成されていることを特徴とする半導体集積回路装置。

【請求項23】請求項21において、

前記ダミー配線は、メモリ素子の配線と同層の配線で構成されることを特徴とする半導

体集積回路装置。

【請求項24】 請求項21において、

前記ダミー配線は、ダイナミック型のメモリセルのビット線と同層の配線で構成されることを特徴とする半導体集積回路装置。

【請求項25】 半導体基板と、

前記半導体基板に形成された第一の領域と、

前記第一の領域に形成された第一のMISFETと、

前記第一の領域に接続された第一の導電性層と

前記第一の領域を挟むようにその両側に形成された溝と、

前記溝に埋め込まれた絶縁膜と、

前記半導体基板に形成され、ソース領域およびドレイン領域が形成されない第二の領域と、

前記第二の領域を挟むようにその両側に形成された溝と、

前記溝に埋め込まれた絶縁膜と、

前記第二の領域上に形成され、かつ素子として機能しない第二の導電性層とを有し、

前記第二の領域及び第二の導電性層はスクライブ領域に形成されることを特徴とする半導体集積回路装置。

【請求項26】 請求項25において、

第一のMISFETはダイナミック型のメモリセルを構成することを特徴とする半導体集積回路装置。

【請求項27】 請求項2において、

前記第一の溝は、前記第二の溝と一体に形成されることを特徴とする半導体集積回路装置。

【請求項28】 半導体基板と、

前記半導体基板に形成され、MISFETとして機能する活性領域と、

前記半導体基板に形成され、MISFETの一部として機能しないダミー領域と、

前記活性領域を挟むように、その両側に形成された溝と、

前記ダミー領域を挟むように、その両側に形成された溝と、

前記溝に埋め込まれた第一の絶縁膜と、

前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなるダイナミック型のメモリセルの第一のMISFETと、

前記第一のMISFET上に位置する第二の絶縁膜と、

前記第一のMISFETのソース領域又はドレイン領域の一方に接続され、前記第二の絶縁膜上に延在するビット線と、

前記ビット線と同一層で形成されたダミー配線と、

前記ダミー配線およびビット線上に形成された第三の絶縁膜と、

前記第三の絶縁膜上に形成され、かつ前記第一のMISFETのソース領域又はドレン領域の一方に接続された前記ダイナミック型のメモリセルの容量素子と、  
を有し、

前記ダミー領域およびダミー配線はスクライブ領域上に形成されることを特徴とする半導体集積回路装置。

【請求項29】 半導体基板と、

前記半導体基板に形成され、MISFETとして機能する活性領域と、

前記半導体基板に形成され、MISFETの一部として機能しないダミー領域と、

前記活性領域を挟むように、その両側に形成された溝と、

前記ダミー領域を挟むように、その両側に形成された溝と、

前記溝に埋め込まれた第一の絶縁膜と、

前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成されたゲート電極、からなるダイナミック型のメモリセルの第一のMISFETと、

前記第一のMISFETのゲート電極と同一層で形成されたダミー配線と、

前記第一のMISFETおよびダミー配線上に位置する第二の絶縁膜と、  
前記第一のMISFETのソース領域又はドレイン領域の一方に接続され、前記第二の  
絶縁膜上に延在するビット線と、

前記ビット線上に形成された第三の絶縁膜と、  
前記第三の絶縁膜上に形成され、かつ前記第一のMISFETのソース領域又はドレイ  
ン領域の一方に接続された前記ダイナミック型のメモリセルの容量素子と、  
を有し、

前記ダミー領域およびダミー配線はスクライブ領域上に形成されることを特徴とする半  
導体集積回路装置。

**【請求項 30】 半導体基板と、**

前記半導体基板に形成され、MISFETとして機能する活性領域と、  
前記半導体基板に形成され、MISFETの一部として機能しないダミー領域と、  
前記活性領域を挟むように、その両側に形成された溝と、  
前記ダミー領域を挟むように、その両側に形成された溝と、  
前記溝に埋め込まれた第一の絶縁膜と、  
前記活性領域に形成されたソース領域、ドレイン領域、および前記活性領域上に形成さ  
れたゲート電極、からなるダイナミック型のメモリセルの第一のMISFETと、  
前記第一のMISFETのゲート電極と同一層で形成された第一のダミー配線と、  
前記第一のMISFETおよび第一のダミー配線上に位置する第二の絶縁膜と、  
前記第一のMISFETのソース領域又はドレイン領域の一方に接続され、前記第二の  
絶縁膜上に延在するビット線と、  
前記ビット線と同一層で形成された第二のダミー配線と、  
前記第二のダミー配線およびビット線上に形成された第三の絶縁膜と、  
前記第三の絶縁膜上に形成され、かつ前記第一のMISFETのソース領域又はドレイ  
ン領域の一方に接続された前記ダイナミック型のメモリセルの容量素子と、  
を有し、  
前記ダミー領域、第一のダミー配線および第二のダミー配線はスクライブ領域上に形成  
されることを特徴とする半導体集積回路装置。