

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5224925号
(P5224925)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int.Cl.

H04N 5/335 (2011.01)

F I

H04N 5/335

請求項の数 6 (全 34 頁)

(21) 出願番号	特願2008-159692 (P2008-159692)	(73) 特許権者	000001007
(22) 出願日	平成20年6月18日 (2008.6.18)		キヤノン株式会社
(65) 公開番号	特開2010-4175 (P2010-4175A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成22年1月7日 (2010.1.7)	(74) 代理人	100076428
審査請求日	平成23年6月17日 (2011.6.17)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、
 複数の画素が行方向及び列方向に配列された画素配列と、
 少なくとも隣接する行の蓄積期間と、少なくとも一部が重なる第1の蓄積期間に信号の蓄積動作を行わせるように、前記複数の画素を駆動する駆動部と、

動画撮影と並行して静止画撮影を行う場合、

動画撮影の第1のフレーム期間において、前記画素配列の一部である第1の画素群の全てから、前記第1の蓄積期間に蓄積された信号である第1の信号を読み出し、

前記第1のフレーム期間から始まる連続した複数のフレーム期間の各々において、前記画素配列の他の一部である第2の画素群に前記第1の蓄積期間に蓄積された信号である第2の信号を、前記第2の画素群の異なる1以上の画素から読み出す読み出し部と、

前記読み出し部により前記第1の画素群から読み出された前記第1の信号から1フレーム分の動画用の画像信号を生成し、前記複数のフレーム期間において前記読み出し部により前記第2の画素群から前記第2の信号が読み出された後に、前記第1のフレーム期間において前記読み出し部により前記第1の画素群から読み出された前記第1の信号と前記複数のフレーム期間において前記読み出し部により前記第2の画素群から読み出された前記第2の信号とを合成して1フレーム分の静止画用の画像信号を生成する生成部と、
 を備え、

前記駆動部は、前記第1のフレーム期間に続く前記複数のフレーム期間の各々において

10

20

、前記第 1 の信号を更新するように前記第 1 の画素群を駆動するとともに、前記第 1 の蓄積期間に蓄積された前記第 2 の信号を前記読み出し部に読み出されるまで保持し続けるように前記第 2 の画素群を駆動する
ことを特徴とする撮像装置。

【請求項 2】

前記第 1 の蓄積期間の長さは、前記画素配列の各行について共通である
ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記読み出し部は、動画撮影と並行して静止画撮影を行う場合、動画撮影のみを行う場合よりも、前記第 2 の画素群の画素数に対する前記第 1 の画素群の画素数の比率を減らす
ことを特徴とする請求項 1 又は 2 に記載の撮像装置。

10

【請求項 4】

前記読み出し部は、前記動画撮影と並行して静止画撮影を行う場合、動画撮影のみを行う場合よりも、前記複数のフレーム期間のそれぞれで、前記第 1 の信号を読み出す画素数を減らすとともに、前記第 2 の信号を読み出す画素数を増やす
ことを特徴とする請求項 3 に記載の撮像装置。

【請求項 5】

前記複数の画素のそれぞれは、
光電変換部と、
電荷保持部と、
前記光電変換部で発生した電荷を前記電荷保持部へ転送する転送部と、
前記電荷保持部の電圧に応じた信号を出力する出力部と、
を含み、

20

前記駆動部は、前記複数のフレーム期間の前記第 1 のフレーム期間以降のフレーム期間において、前記第 1 の画素群の画素の転送部には、対応する電荷保持部への転送を行なわせることにより、前記電荷保持部に保持された前記第 1 の信号を更新するように駆動するとともに、前記第 2 の画素群の画素の転送部には、対応する電荷保持部への電荷の転送を行わせないことにより、前記電荷保持部に保持された前記第 2 の信号を保持し続けるように駆動する

ことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の撮像装置。

30

【請求項 6】

動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、
複数の画素が行方向及び列方向に配列された画素配列と、
少なくとも隣接する行の蓄積期間と、少なくとも一部が重なる第 1 の蓄積期間に信号の蓄積動作を行うように、前記複数の画素を駆動する駆動部と、
前記画素配列から読み出された信号を A / D 変換する A / D 変換部と、
前記 A / D 変換部により A / D 変換された信号を記憶する記憶部と、
動画撮影と並行して静止画撮影を行う場合、

動画撮影の第 1 のフレーム期間において、前記画素配列の一部である第 1 の画素群の全てに前記第 1 の蓄積期間に蓄積された信号である第 1 の信号を前記記憶部から読み出し

40

、
前記第 1 のフレーム期間から始まる連続した複数のフレーム期間の各々において、前記画素配列の他の一部である第 2 の画素群に前記第 1 の蓄積期間に蓄積された信号である第 2 の信号を、前記第 2 の画素群の異なる 1 以上の画素について前記記憶部から読み出す読み出し部と、

前記読み出し部により前記第 1 の画素群から読み出された前記第 1 の信号から 1 フレーム分の動画用の画像信号を生成し、前記複数のフレーム期間において前記読み出し部により前記第 2 の画素群から前記第 2 の信号が読み出された後に、前記第 1 のフレーム期間において前記読み出し部により前記第 1 の画素群から読み出された前記第 1 の信号と前記複数のフレーム期間において前記読み出し部により前記第 2 の画素群から読み出された前記

50

第 2 の信号とを合成して 1 フレーム分の静止画用の画像信号を生成する生成部と、
前記駆動部、前記 A / D 変換部、及び前記記憶部を制御する制御部と、
を備え、

前記制御部は、前記第 1 のフレーム期間に続く前記複数のフレーム期間の各々において、
前記第 1 の信号を更新するとともに、前記第 1 の蓄積期間に蓄積された前記第 2 の信号
を前記読み出し部に読み出されるまで保持し続けるように、前記駆動部、前記 A / D 変換
部、及び前記記憶部を制御する

ことを特徴とする撮像装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、撮像装置に関する。

【背景技術】

【0002】

デジタルカメラやデジタルビデオカメラといった撮像装置においては、CMOS イメー
ジセンサなどの撮像センサを用いて静止画と動画とをそれぞれ取得できるものが普及して
きている。

【0003】

撮像センサを用いて動画を取得する場合、メカシャッターを使用することが困難である
ため、撮像センサの露光量を制御するために電子シャッター機能が必要となる。電子シャ
ッター機能は、被写体の明るさに応じて画素の電荷蓄積時間を変更することによって、蓄
積される信号が適正なレベルとなるようにシャッタースピードを制御するものである。電
子シャッター機能には、特許文献 1 に紹介されているように、一括電子シャッター機能や
スリットローリング電子シャッター機能がある。

20

【0004】

この種の撮像装置の中には、動画撮影を中断して静止画撮影を行うことが可能なものが
存在する。このような撮像装置では、動画撮影モードにおいて、撮像センサにより連続し
て撮像された動画を、記録するとともに、LCD（液晶ディスプレイ）等の表示装置へ表
示する。また、静止画撮影モードにおいて、撮像センサにより連続して撮像された動画を
記録せずに表示装置へ表示する。その後、この撮像装置では、静止画撮影モードにおいて
、シャッターボタン等による静止画撮影指示が為されると、動画撮像による電子ビューフ
ァインダー機能を一時停止し、静止画撮影を行う。

30

【0005】

ここで、静止画撮影と動画撮影とに要求される性能はそれぞれ異なる。即ち、静止画撮
影には空間的な解像度が高いことが要求され、動画撮影には時間的な解像度が高いことが
要求される。

【0006】

具体的には、静止画撮影に要求される画素数は、1000 万画素を超えることが多い。
動画撮影に要求される画素数は、30 万画素程度、ハイビジョン（HDTV）のフル規格
に対応しても 200 万画素程度である。また、静止画撮影に要求されるフレームレートに
、特に制限はない。動画撮影に要求されるフレームレートは、30 フレーム / 秒、或いは
60 フレーム / 秒程度である。

40

【0007】

仮に、静止画撮影に要求される画素数の信号を、動画撮影に必要なフレームレートで画
素配列から読み出そうとすれば、撮像センサを非常に高速に駆動する必要がある。この場
合、消費電力が増大する。この消費電力の増大を避けるため、動画撮影モードでは、要求
される画素数が静止画より少ないこともあって、撮像センサの画素配列から垂直方向また
は水平方向に間引いて画素から信号を読み出す方法が取られることが多い。

【0008】

一方、撮像装置の中には、動画撮影と並行して静止画撮影を行うことが可能なものも存

50

在する。

【 0 0 0 9 】

ここで、仮に、動画撮影と並行して静止画撮影を行うために、間引き読み出しによって撮像された動画中の1フレームを使用して静止画を構成する場合を考える。この場合、動画用の画像を用いて静止画データを生成すると、その静止画データが静止画撮影に要求される画素数を満足しないため、その静止画データにより得られる静止画像は、空間的な解像度の不十分なものになってしまう。

【 0 0 1 0 】

また、仮に、動画撮影と並行して静止画撮影を行うために、静止画撮影が指示された際に一時的に動画のフレームレートを低下させて、撮像センサにおける画素配列の全画素から信号を読み出す場合を考える。この場合、一時的にフレームレートが低下した動画データが生成されるので、その動画データにより得られる動画画は、時間的な解像度が不十分なものになってしまう。

【 0 0 1 1 】

それに対して、特許文献2に示された技術では、連続した所定数のフレーム期間のそれぞれにおいて、互いに異なる行の信号を間引き読み出しし、その所定数のフレーム期間で読み出された行の信号を生成している。これにより、特許文献2によれば、画素配列の全行の画素の信号から1フレームの静止画データを生成できるので、動画のフレームレートを低下させることなく、空間的な解像度の高い静止画を取得することができるとされている。

【 0 0 1 2 】

また、特許文献3に示された技術では、連続した所定数のフレーム期間のそれぞれにおいて、互いに異なる画素の信号をサンプリングして読み出し、その所定数のフレーム期間で読み出された画素の信号を合成することにより静止画を復元している。これにより、特許文献3によれば、画素配列の全画素の信号から1フレームの静止画データを復元できるので、動画のフレームレートを低下させることなく、空間的な解像度の高い静止画を取得することができるとされている。

【特許文献1】特開2007-028337号公報

【特許文献2】特開2005-012403号公報

【特許文献3】特開2000-134549号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

しかし、特許文献2及び特許文献3に示された技術では、異なるフレーム期間に蓄積された異なる画素の信号を合成することにより、1フレームの静止画データを得ている。即ち、1フレームの静止画データの画素間における蓄積の同時性が損なわれる可能性がある。特に、被写体に動きがある場合には、被写体の位置が画素行ごと又は画素ごとに異なることがあるので、得られる静止画における空間的な解像度が実質的に劣化する可能性がある。

【 0 0 1 4 】

本発明の目的は、フレームレートの低下を抑制しながら、蓄積の同時性が向上した空間的な解像度の高い静止画を得ることにある。

【課題を解決するための手段】

【 0 0 1 5 】

本発明の第1側面に係る撮像装置は、動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、複数の画素が行方向及び列方向に配列された画素配列と、少なくとも隣接する行の蓄積期間と、少なくとも一部が重なる第1の蓄積期間に信号の蓄積動作を行わせるように、前記複数の画素を駆動する駆動部と、動画撮影と並行して静止画撮影を行う場合、動画撮影の第1のフレーム期間において、前記画素配列の一部である第1の画素群の全てから、前記第1の蓄積期間に蓄積された信号である第1の信号を読み出し、前

10

20

30

40

50

記第 1 のフレーム期間から始まる連続した複数のフレーム期間の各々において、前記画素配列の他の一部である第 2 の画素群に前記第 1 の蓄積期間に蓄積された信号である第 2 の信号を、前記第 2 の画素群の異なる 1 以上の画素から読み出す読み出し部と、前記読み出し部により前記第 1 の画素群から読み出された前記第 1 の信号から 1 フレーム分の動画用の画像信号を生成し、前記複数のフレーム期間において前記読み出し部により前記第 2 の画素群から前記第 2 の信号が読み出された後に、前記第 1 のフレーム期間において前記読み出し部により前記第 1 の画素群から読み出された前記第 1 の信号と前記複数のフレーム期間において前記読み出し部により前記第 2 の画素群から読み出された前記第 2 の信号とを合成して 1 フレーム分の静止画用の画像信号を生成する生成部とを備え、前記駆動部は、前記第 1 のフレーム期間に続く前記複数のフレーム期間の各々において、前記第 1 の信号を更新するように前記第 1 の画素群を駆動するとともに、前記第 1 の蓄積期間に蓄積された前記第 2 の信号を前記読み出し部に読み出されるまで保持し続けるように前記第 2 の画素群を駆動することを特徴とする。

10

【0016】

本発明の第 2 側面に係る撮像装置は、動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、複数の画素が行方向及び列方向に配列された画素配列と、少なくとも隣接する行の蓄積期間と、少なくとも一部が重なる第 1 の蓄積期間に信号の蓄積動作を行うように、前記複数の画素を駆動する駆動部と、前記画素配列から読み出された信号を A/D 変換する A/D 変換部と、前記 A/D 変換部により A/D 変換された信号を記憶する記憶部と、動画撮影と並行して静止画撮影を行う場合、動画撮影の第 1 のフレーム期間において、前記画素配列の一部である第 1 の画素群の全てに前記第 1 の蓄積期間に蓄積された信号である第 1 の信号を前記記憶部から読み出し、前記第 1 のフレーム期間から始まる連続した複数のフレーム期間の各々において、前記画素配列の他の一部である第 2 の画素群に前記第 1 の蓄積期間に蓄積された信号である第 2 の信号を、前記第 2 の画素群の異なる 1 以上の画素について前記記憶部から読み出す読み出し部と、前記読み出し部により前記第 1 の画素群から読み出された前記第 1 の信号から 1 フレーム分の動画用の画像信号を生成し、前記複数のフレーム期間において前記読み出し部により前記第 2 の画素群から前記第 2 の信号が読み出された後に、前記第 1 のフレーム期間において前記読み出し部により前記第 1 の画素群から読み出された前記第 1 の信号と前記複数のフレーム期間において前記読み出し部により前記第 2 の画素群から読み出された前記第 2 の信号とを合成して 1 フレーム分の静止画用の画像信号を生成する生成部と、前記駆動部、前記 A/D 変換部、及び前記記憶部を制御する制御部と、を備え、前記制御部は、前記第 1 のフレーム期間に続く前記複数のフレーム期間の各々において、前記第 1 の信号を更新するとともに、前記第 1 の蓄積期間に蓄積された前記第 2 の信号を前記読み出し部に読み出されるまで保持し続けるように、前記駆動部、前記 A/D 変換部、及び前記記憶部を制御することを特徴とする。

20

30

【発明の効果】

【0017】

本発明によれば、フレームレートの低下を抑制しながら、蓄積の同時性が向上した空間的な解像度の高い静止画を得ることができる。

40

【発明を実施するための最良の形態】

【0018】

本発明の第 1 実施形態に係る撮像装置 100 を、図 1 を用いて説明する。図 1 は、本発明の第 1 実施形態に係る撮像装置 100 の構成図である。

【0019】

本実施形態に係る撮像装置 100 は、電子シャッター機能として、一括電子シャッター機能を採用している。撮像装置 100 は、次の構成要素を備える。

【0020】

撮像レンズ 101 は、被写体の光学像を撮像センサ 102 の撮像面（画素配列）に形成する。

50

【0021】

撮像センサ102は、撮像面（画素配列）に形成された光学像を画像信号に変換する。撮像センサ102は、変換された画像信号を画素配列から読み出して出力する。撮像センサ102は、例えば、CMOSイメージセンサである。

【0022】

CPU108は、シャッターボタン等の操作部材（図示せず）を介してユーザから指示を受けて、受けた指示に応じて、AFE103、DSP104、TG107を制御する。

AFE(Analog Front End)103は、撮像センサ102から出力されるアナログ画像信号を受ける。AFE103は、CPU108により制御され、受けたアナログ画像信号に対して、A/D変換処理などのアナログ信号処理を行う。例えば、AFE103は、A/D変換器を含み、アナログ画像信号に対してA/D変換処理を行うことにより、デジタル画像信号を生成する。AFE103は、処理後のデジタル画像信号を出力する。

10

【0023】

DSP(Digital Signal Processor)104は、AFE103から出力されるデジタル画像信号を受ける。DSP104は、CPU108により制御され、受けたデジタル画像信号に対して、各種の画像処理や圧縮・伸張処理などのデジタル信号処理を行なう。

【0024】

例えば、DSP104は、デジタル画像信号に対して所定の信号処理を行うことにより、記録用の画像データを生成する。DSP104は、生成した記録用の画像データを記録媒体105に記録する。記録媒体105は、DSP104に着脱可能に接続される。

20

【0025】

あるいは、例えば、DSP104は、デジタル画像信号に対して所定の信号処理を行うことにより、表示用の画像信号（アナログ信号）を生成する。DSP104は、生成した表示用の画像信号を表示部106へ供給する。

【0026】

表示部106は、DSP104から受けた表示用の画像信号や各種メニュー画面などを表示する。

【0027】

タイミングジェネレータ(TG)107は、CPU108により制御され、所定の駆動信号を生成して、生成した駆動信号を撮像センサ101へ供給する。

30

【0028】

次に、撮像センサ102の構成について、図2を用いて説明する。図2は、撮像センサ102の構成図である。

【0029】

撮像センサ102は、次の構成要素を備える。

【0030】

画素配列PAでは、複数の画素P11～P44が行方向及び列方向に配列されている。図2では、画素配列PAが4行4列の画素で構成される場合が例示されている。

40

【0031】

読み出し部10は、複数の列共通読み出し回路RC1～RC4を含む。複数の列共通読み出し回路RC1～RC4のそれぞれは、列信号線RL1～RL4を介して画素配列PAにおける各列の画素に接続されている。複数の列共通読み出し回路RC1～RC4は、画素配列PAから信号を読み出して保持する。

【0032】

垂直走査回路（駆動部）401は、画素配列PAを駆動する。垂直走査回路401は、TG107から駆動信号を受けて、受けた駆動信号に応じて、所定の制御信号を画素配列PAの各画素に供給する。例えば、垂直走査回路401は、第1のリセット制御信号resp1～resp4、第2のリセット制御信号resf1～resf4、転送制御信号t

50

$x1 \sim tx4$ 、選択制御信号 $sel1 \sim sel4$ を、画素配列 PA の各画素に供給する。

【0033】

水平走査回路 402 は、各列の水平転送スイッチを順次にオンして、複数の列共通読み出し回路 $RC1 \sim RC4$ により保持された各列の信号を順次に出力線 OLS , OLN 経由で出力アンプ 309 へ転送する。

【0034】

出力アンプ 309 は、転送された信号に基づいて画像信号を生成して出力する。

【0035】

次に、画素 $P11 \sim P44$ の構成を、図 3 を用いて説明する。図 3 は、画素 $P11$ の構成図である。以下では、画素 $P11$ の構成を例示的に説明するが、他の画素 $P12 \sim P44$ の構成も画素 $P11$ の構成と同様である。

【0036】

画素 $P11$ は、次の構成要素を備える。

【0037】

光電変換部 201 は、光に応じた電荷（信号）を生成して蓄積する電荷蓄積動作を行う。光電変換部 201 は、例えば、フォトダイオードである。

【0038】

第 1 のリセット部 202 は、（電荷電圧変換部 204 と独立して）光電変換部 201 をリセットする。第 1 のリセット部 202 は、例えば、第 1 のリセット MOS トランジスタであり、垂直走査回路 401 からアクティブな第 1 のリセット制御信号 $resp1$ がゲートに供給された際にオンして光電変換部 201 をリセットする。そして、第 1 のリセット部 202 は、光電変換部 201 のリセットを完了することにより、光電変換部 201 に電荷蓄積動作を開始させる。

【0039】

転送部 203 は、活性状態において、光電変換部 201 で発生した電荷を電荷電圧変換部 204 へ転送し、非活性状態において、光電変換部 201 で発生した電荷を電荷電圧変換部 204 へ転送しない。転送部 203 は、例えば、転送 MOS トランジスタであり、垂直走査回路 401 からアクティブな転送制御信号 $tx1$ がゲートに供給された際にオンする（活性状態になる）ことにより、光電変換部 201 で発生した電荷を電荷電圧変換部 204 へ転送する。

【0040】

電荷電圧変換部（電荷保持部）204 は、転送された電荷を保持する。電荷電圧変換部 204 は、その保持する電荷を電圧に変換する。電荷電圧変換部 204 は、例えば、フローティングディフュージョンである。

【0041】

第 2 のリセット部 206 は、（光電変換部 201 と独立して）電荷電圧変換部 204 をリセットする。第 2 のリセット部 206 は、例えば、第 2 のリセット MOS トランジスタであり、垂直走査回路 401 からアクティブな第 2 のリセット制御信号 $resf1$ がゲートに供給された際にオンして電荷電圧変換部 204 をリセットする。

【0042】

出力部 205 は、電荷電圧変換部 204 の電圧に応じた信号を出力する。出力部 205 は、電荷電圧変換部 204 がリセットされた状態で、電荷電圧変換部 204 の電圧に応じた N 信号を出力する。出力部 205 は、光電変換部 201 の電荷が電荷電圧変換部 204 へ転送された状態で、電荷電圧変換部 204 の電圧に応じた S 信号を出力する。出力部 205 は、例えば、増幅 MOS トランジスタである。

【0043】

選択部 207 は、画素 $P11$ を選択状態 / 非選択状態にする。選択部 207 は、例えば、選択 MOS トランジスタであり、垂直走査回路 401 からアクティブな選択制御信号 $sel1$ がゲートに供給された際にオンして画素 $P11$ を選択状態にする。

【0044】

10

20

30

40

50

次に、列共通読み出し回路 R C 1 ~ R C 4 の構成を、図 4 を用いて説明する。図 4 は、列共通読み出し回路 R C 1 の構成図である。以下では、列共通読み出し回路 R C 1 の構成を例示的に説明するが、他の列共通読み出し回路 R C 2 ~ R C 4 の構成も列共通読み出し回路 R C 1 の構成と同様である。

【 0 0 4 5 】

列共通読み出し回路 R C 1 は、次の構成要素を含む。

【 0 0 4 6 】

S 信号転送スイッチ 3 0 2 は、T G 1 0 7 からアクティブな制御信号 t s が供給された際にオンすることにより、第 1 列の画素 P 1 1 , P 2 1 , P 3 1 , P 4 1 のいずれかから読み出された S 信号を S 信号保持容量 3 0 4 へ転送する。

10

【 0 0 4 7 】

N 信号転送スイッチ 3 0 3 は、T G 1 0 7 からアクティブな制御信号 t n が供給された際にオンすることにより、第 1 列の画素 P 1 1 , P 2 1 , P 3 1 , P 4 1 のいずれかから読み出された N 信号を N 信号保持容量 3 0 5 へ転送する。

【 0 0 4 8 】

S 信号保持容量 3 0 4 は、T G 1 0 7 からノンアクティブな制御信号 t s が S 信号転送スイッチ 3 0 2 へ供給され S 信号転送スイッチ 3 0 2 がオフすることにより、転送された S 信号を保持し始める。

【 0 0 4 9 】

N 信号保持容量 3 0 5 は、T G 1 0 7 からノンアクティブな制御信号 t n が N 信号転送スイッチ 3 0 3 へ供給され N 信号転送スイッチ 3 0 3 がオフすることにより、転送された N 信号を保持し始める。

20

【 0 0 5 0 】

水平転送スイッチ 3 0 6 は、水平走査回路 4 0 2 からアクティブな水平走査信号 p h が供給された際にオンすることにより、S 信号保持容量 3 0 4 に保持された S 信号を S 信号保持容量 3 0 4 から出力線 O L S へ転送する。

【 0 0 5 1 】

水平転送スイッチ 3 0 7 は、水平走査回路 4 0 2 からアクティブな水平走査信号 p h が供給された際にオンすることにより、N 信号保持容量 3 0 5 に保持された N 信号を N 信号保持容量 3 0 5 から出力線 O L N へ転送する。

30

【 0 0 5 2 】

これにより、出力アンプ 3 0 9 は、出力線 O L S により伝達された S 信号と出力線 O L N により伝達された N 信号との差分をとる C D S 処理を行うことにより、画像信号を生成して出力する。

【 0 0 5 3 】

次に、撮像装置 1 0 0 の動作を説明する。

【 0 0 5 4 】

撮像装置 1 0 0 の構成を説明する際に 4 行 4 列の画素 P 1 1 ~ P 4 4 で構成された画素配列 P A (図 2 参照) を用いたが、撮像装置 1 0 0 の動作を説明する際には、1 5 行 2 5 列の画素 P 1 , 1 ~ P 1 5 , 2 5 で構成された画素配列 P A を用いることとする。図 5 は、1 5 行 2 5 列の画素 P 1 , 1 ~ P 1 5 , 2 5 で構成された画素配列 P A を示した図である。

40

【 0 0 5 5 】

撮像装置 1 0 0 は、静止画撮影モードにおいて、画素配列 P A における全画素 P 1 , 1 ~ P 1 5 , 2 5、すなわち第 1 の画素群 P G 1 及び第 2 の画素群 P G 2 の信号から 1 フレームの静止画用の画像信号を生成する。第 1 の画素群 P G 1 は、5 n + 1 行目 (n : 0 以上の整数、ここでは、n = 0 , 1 , 2) の画素である。第 1 の画素群 P G 1 は、第 1 行の画素 P 1 , 1 ~ P 1 , 2 5 と、第 6 行の画素 P 6 , 1 ~ P 6 , 2 5 と、第 1 1 行の画素 P 1 1 , 1 ~ P 1 1 , 2 5 とを含む。第 2 の画素群 P G 2 は、第 1 の画素群 P G 1 以外の行 (5 n + 2 行目、5 n + 3 行目、5 n + 4 行目、5 n + 5 行目) の画素である。第 2 の画

50

素群 P G 2 は、第 2 ～ 5 行の画素と、第 7 ～ 10 行の画素と、第 12 ～ 15 行の画素とを含む。

【 0 0 5 6 】

撮像装置 1 0 0 は、動画撮影モードにおいて、第 1 の画素群 P G 1 の信号から 1 フレームの動画用の画像信号を生成する。動画撮影モードでは、画素配列 P A から第 2 の画素群 P G 2 が間引かれて (5 行につき 1 行が読み出し行として選択されて)、第 1 の画素群 P G 1 から信号が読み出される。

【 0 0 5 7 】

なお、動画撮影と並行して静止画撮影を行うモード (以下、動画 / 静止画並行撮影モードとする) における撮像装置 1 0 0 の動作は後述する。

10

【 0 0 5 8 】

次に、動画撮影モードにおける動作について、主に図 6 を用いて説明する。図 6 は、動画撮影モードにおける動作を模式的に示した図である。図 6 では、横軸が時刻を表し、縦軸における横軸より上の部分が光電変換部の動作に関する画素行の位置を表し、縦軸における横軸より下の部分が読み出し部の動作に関する画素行の位置を表す。

【 0 0 5 9 】

図 6 に示すように、複数の画素 P 1 , 1 ~ P 1 5 , 2 5 は、第 1 の蓄積期間群 T a で電荷蓄積動作を行う。この第 1 の蓄積期間群における全ての画素の第 1 の蓄積期間 T a 1 ~ T a 1 5 は、全部が重なっている。すなわち、画素配列 P A の全画素 P 1 , 1 ~ P 1 5 , 2 5 の光電変換部 2 0 1 における電荷蓄積動作は、一斉に行われる。

20

【 0 0 6 0 】

なお、蓄積期間名、制御信号名に対する添え字 1 ~ 1 5 は、画素行に対応している。

【 0 0 6 1 】

図 6 に示すリセット動作 6 0 1 は、第 1 のリセット部 2 0 2 (図 3 参照) による光電変換部 2 0 1 のリセット動作の完了が、全画素 P 1 , 1 ~ P 1 5 , 2 5 で同時であることを示している。これについて、図 7 のタイミングチャートを用いて説明する。図 7 は、各行の画素における光電変換部 2 0 1 のリセット動作を示すタイミングチャートである。

【 0 0 6 2 】

垂直走査回路 4 0 1 が各行の画素へ供給する第 1 のリセット制御信号 r e s p 1 ~ r e s p 1 5 は、図 7 に示すようになる。すなわち、第 1 のリセット制御信号 r e s p 1 ~ r e s p 1 5 がアクティブなレベルからノンアクティブなレベルへ遷移して各行の画素 P 1 , 1 ~ P 1 5 , 2 5 のリセット動作が完了するタイミングが同時である。これにより、各行の画素 P 1 , 1 ~ P 1 5 , 2 5 の光電変換部 2 0 1 は、同時に電荷蓄積動作を開始する。このとき、垂直走査回路 4 0 1 が各行の画素へ供給する転送制御信号 t x 1 ~ t x 1 5 は、ノンアクティブなレベルに維持されている。これにより、各行の画素 P 1 , 1 ~ P 1 5 , 2 5 の転送部 2 0 3 は、非活性状態に保たれている。

30

【 0 0 6 3 】

図 6 に示す転送動作 6 0 2 , 6 0 3 は、転送部 2 0 3 (図 3 参照) による光電変換部 2 0 1 の電荷の転送動作が、全画素 P 1 , 1 ~ P 1 5 , 2 5 で同時に行われることを示している。これについて、図 8 のタイミングチャートを用いて説明する。図 8 は、各行の画素における光電変換部 2 0 1 の電荷の転送動作を示すタイミングチャートである。

40

【 0 0 6 4 】

垂直走査回路 4 0 1 が各行の画素へ供給する転送制御信号 t x 1 ~ t x 1 5 は、図 8 に示すようになる。すなわち、転送制御信号 t x 1 ~ t x 1 5 がノンアクティブなレベルからアクティブなレベルへ遷移して各行の画素 P 1 , 1 ~ P 1 5 , 2 5 の電荷の転送動作が開始するタイミングが同時である。これにより、各行の画素 P 1 , 1 ~ P 1 5 , 2 5 の光電変換部 2 0 1 は、同時に電荷蓄積動作を終了する。このとき、垂直走査回路 4 0 1 が各行の画素へ供給する第 1 のリセット制御信号 r e s p 1 ~ r e s p 1 5 は、ノンアクティブなレベルに維持されている。

【 0 0 6 5 】

50

従って、図 6 に示す時刻 t_1 から時刻 t_2 までの時間が第 1 の蓄積時間 $T_{a1} \sim T_{a15}$ となり、この第 1 の蓄積時間 $T_{a1} \sim T_{a15}$ の長さを適切に制御することにより、取得する画像信号が適正なレベルとなるように制御することができる。

【0066】

図 6 に白い四角で示す第 1 の読み出し動作 604 は、列共通読み出し回路 $RC1 \sim RC4$ (図 2 参照) により第 1 の画素群 $PG1$ (図 5 参照) のみから信号の読み出し動作が行ごとに順次に行われることを示している。すなわち、垂直走査回路 401 は、第 1 行目、第 6 行目、第 11 行目を順次に選択する(それ以外の行をスキップする)。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号を出力部 205 を介して読み出す。

10

【0067】

第 1 の読み出し動作 604 の枠内に示されたアルファベット (a 、 b 、 c 、 d) は、そこで読み出される画素信号が、どの蓄積期間群に光電変換部 201 により蓄積されたものかを示している。

【0068】

例えば、 a と記載したものは第 1 の蓄積期間群 T_a で光電変換部 201 により蓄積された信号を示し、 b と記載したものは第 2 の蓄積期間群 T_b で光電変換部 201 により蓄積された信号を示している。 c と記載したものは第 3 の蓄積期間群 T_c で光電変換部 201 により蓄積された信号を示し、 d と記載したものは第 4 の蓄積期間群 T_d で光電変換部 201 により蓄積された信号を示している。

20

【0069】

図 9 に、第 1 の読み出し動作に関するタイミングチャートを示す。図 9 では、第 1 行目の読み出し動作を例示的に示している。

【0070】

なお、水平転送信号名 ph に対する添え字 $1 \sim 15$ は、画素列に対応している。例えば、 $ph1$ は第 1 列目の列共通読み出し回路 $RC1$ に入力される水平転送信号を示し、 $ph2$ は第 2 列目の列共通読み出し回路 $RC2$ に入力される水平転送信号を示している。

【0071】

垂直走査回路 401 は、第 1 行目の画素へ供給する選択制御信号 $sel1$ をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第 1 行目の画素 $P1, 1 \sim P1, 25$ が選択状態になる。このため、第 1 行目の画素 $P1, 1 \sim P1, 25$ の出力部 205 が電荷電圧変換部 204 の電圧に応じた信号を列信号線 $RL1 \sim RL4$ へ出力する。

30

【0072】

次に、 $TG107$ は、 S 信号転送スイッチ 302 へ供給する制御信号 ts をアクティブなレベルにする。これにより、 S 信号転送スイッチ 302 がオンして、 S 信号保持容量 304 に S 信号が記憶される。

【0073】

その後、垂直走査回路 401 は、第 1 行目の画素へ供給する第 2 のリセット信号 $resf1$ をアクティブなレベルにする。これにより、第 1 行目の画素における第 2 のリセット部 206 がオンして、電荷電圧変換部 204 がリセットされる。その後、垂直走査回路 401 は、第 1 行目の画素へ供給する第 2 のリセット信号 $resf1$ をノンアクティブなレベルに戻す。

40

【0074】

次に、 $TG107$ は、 N 信号転送スイッチ 303 へ供給する制御信号 tn をアクティブなレベルにする。これにより、 N 信号転送スイッチ 303 がオンして、 N 信号保持容量 305 に N 信号が記憶される。この N 信号には、電荷電圧変換部 204 以降の回路ノイズ成分が含まれている。

【0075】

各列の水平転送信号 $ph1 \sim ph25$ を順次アクティブにして各列の水平転送スイッチ

50

を順次にオンする。これにより、各列の S 信号保持容量及び N 信号保持容量に保持された S 信号及び N 信号を順次に出力アンプ 309 へ転送する。

【0076】

出力アンプ 309 は、S 信号と N 信号との差分信号に所定のゲインをかけることにより、回路ノイズ成分が除去された画像信号を生成して出力する。

【0077】

垂直走査回路 401 は、第 1 行目の画素へ供給する選択制御信号 sel_1 をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第 1 行目の画素 $P_{1,1} \sim P_{1,25}$ が非選択状態になる。

【0078】

図 6 に斜線の四角で示す間引き動作 605 は、列共通読み出し回路 $RC_1 \sim RC_4$ (図 2 参照) により第 2 の画素群 PG_2 (図 5 参照) から信号が読み出されないことを示している。すなわち、垂直走査回路 401 は、第 2 ~ 5 行目、第 7 ~ 10 行目、第 12 ~ 15 行目を順次にスキップし、列共通読み出し回路 $RC_1 \sim RC_4$ は、スキップされた行の画素における電荷電圧変換部 204 の電圧に応じた信号を読み出さない。

【0079】

図 10 に、間引き動作 605 に関するタイミングチャートを示す。図 10 では、第 3 行目の間引き動作 605 を例示的に示している。

【0080】

垂直走査回路 401 は、第 3 行目の画素へ供給する選択制御信号 sel_3 をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第 3 行目の画素 $P_{3,1} \sim P_{3,25}$ が選択状態になる。これにより、第 3 行目の画素 $P_{3,1} \sim P_{3,25}$ の出力部 205 が電荷電圧変換部 204 の電圧に応じた信号を列信号線 $RL_1 \sim RL_4$ へ出力する。なお、電荷電圧変換部 204 は、転送された電荷を保持し続けている。

【0081】

その後、垂直走査回路 401 は、第 3 行目の画素へ供給する第 2 のリセット信号 $resf_3$ をアクティブなレベルにする。これにより、第 3 行目の画素における第 2 のリセット部 206 がオンして、電荷電圧変換部 204 がリセットされる。その後、垂直走査回路 401 は、第 3 行目の画素へ供給する第 2 のリセット信号 $resf_3$ をノンアクティブなレベルに戻す。

【0082】

垂直走査回路 401 は、第 3 行目の画素へ供給する選択制御信号 sel_3 をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第 3 行目の画素 $P_{3,1} \sim P_{3,25}$ が非選択状態になる。

【0083】

この間引き動作においては、画素の信号を読み出す必要がないため、 ts 、 tn 、 ph といった信号は動かさずにノンアクティブなレベルに固定したままとする。

【0084】

このように、間引き動作の対象となる行の画素から信号を読み出さないため、1 行の間引く動作に必要な時間は 1 行の画素信号を読み出すのに対して遥かに短い時間で済む。

【0085】

読み出し部 10 (図 2 参照) は、動画撮影を行うことが指示された場合、各フレーム期間において、画素配列 PA の一部である第 1 の画素群 PG_1 の全てから直前のフレーム期間内の蓄積期間群に蓄積された信号における第 1 の信号を読み出す。

【0086】

例えば、読み出し部 10 は、第 1 のフレーム期間 FT_1 において、第 1 の画素群 PG_1 の全てから直前のフレーム期間 FT_0 内の第 1 の蓄積期間群 T_a で蓄積された信号における第 1 の信号を読み出す。例えば、読み出し部 10 は、第 2 のフレーム期間 FT_2 (第 1 のフレーム期間以降のフレーム期間) において、第 1 の画素群 PG_1 の全てから直前のフレーム期間 FT_1 内の第 2 の蓄積期間群 T_b で蓄積された信号における第 1 の信号を読み

10

20

30

40

50

出す。

【 0 0 8 7 】

読み出し部 1 0 は、第 1 の信号を、出力アンプ 3 0 9、及び A F E 1 0 3 経由で D S P 1 0 4 へ供給する。これにより、D S P (生成部) 1 0 4 は、各フレーム期間に読み出された第 1 の信号から、1 フレーム分の動画用の画像信号 (画像データ) を生成する。このとき、読み出された第 1 の信号は行方向 (垂直方向) に間引かれたものであるため、そのまま画像を構成すると画像の縦横比が合わないため、D S P 1 0 4 は、列方向 (水平方向) の画素情報を補間する処理を行なった上で動画用の画像を構成する。

【 0 0 8 8 】

次に、動画撮影中に静止画を撮影する場合 (動画 / 静止画並行撮影モード) における動作について、主に図 1 1 を用いて説明する。図 1 1 は、動画 / 静止画並行撮影モードにおける動作を模式的に示した図である。図 1 1 では、横軸が時刻を表し、縦軸における横軸より上の部分が光電変換部の動作に関する画素行の位置を表し、縦軸における横軸より下の部分が読み出し部の動作に関する画素行の位置を表す。以下では、動画モードにおける動作と異なる部分を中心に説明する。

10

【 0 0 8 9 】

撮像装置 1 0 0 は、既に動画撮影モードで動作しているものとする。

【 0 0 9 0 】

時刻 t_0 において、C P U 1 0 8 は、シャッターボタン等の操作部材 (図示せず) を介してユーザから静止画撮影指示を受ける。これにより、C P U 1 0 8 は、動作モードを、動画撮影モードから動画 / 静止画並行撮影モードへ切り替える。

20

【 0 0 9 1 】

時刻 t_2 において、全行に対する転送動作 6 0 2, 6 0 3 が行われるのに対して、時刻 t_4 においては、一部の行に対する部分転送動作 1 1 0 2 が行われる。部分転送動作 1 1 0 2 は、転送部 2 0 3 (図 3 参照) による光電変換部 2 0 1 の電荷の転送動作が、第 1 の画素群 P G 1 で同時に行われ、第 2 の画素群 P G 2 で行われないことを示している。これについて、図 1 2 のタイミングチャートを用いて説明する。図 1 2 は、各行の画素における光電変換部 2 0 1 の電荷の転送動作を示すタイミングチャートである。なお、図 1 2 では、第 1 ~ 7 行の画素へ供給される信号が例示的に示されている。

【 0 0 9 2 】

30

垂直走査回路 4 0 1 が各行の画素へ供給する転送制御信号 $t_{x1} \sim t_{x15}$ は、図 1 2 に示すようになる。すなわち、転送制御信号 t_{x1} , t_{x6} , t_{x11} がノンアクティブなレベルからアクティブなレベルへ同時に遷移するとともに、転送制御信号 $t_{x2} \sim t_{x5}$, $t_{x7} \sim t_{x10}$, $t_{x12} \sim t_{x15}$ がノンアクティブなレベルに維持される。これにより、第 1 の画素群 P G 1 のみ転送部 2 0 3 が光電変換部 2 0 1 の電荷を電荷電圧変換部 2 0 4 へ転送し、第 2 の画素群 P G 2 の電荷電圧変換部 2 0 4 は、第 1 の蓄積期間群 T a で蓄積された電荷 (信号) を保持し続ける。

【 0 0 9 3 】

図 1 1 に破線で囲った白い四角で示す第 2 の読み出し動作 1 1 0 4 は、列共通読み出し回路 R C 1 ~ R C 4 (図 2 参照) により第 2 の画素群 P G 2 (図 5 参照) の一部からも信号の読み出し動作が行ごとに順次に行われることを示している。

40

【 0 0 9 4 】

すなわち、垂直走査回路 4 0 1 は、第 1 のフレーム期間 F T 1 において、第 2 の画素群 P G 2 から $5n + 2$ (2、7、12) 行目の画素を順次を選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号 (第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号) を出力部 2 0 5 を介して読み出す。

【 0 0 9 5 】

また、垂直走査回路 4 0 1 は、第 2 のフレーム期間 F T 2 において、第 2 の画素群 P G 2 から $5n + 3$ (3、8、13) 行目の画素を順次を選択する。列共通読み出し回路 R C

50

1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号（第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号）を出力部 2 0 5 を介して読み出す。

【 0 0 9 6 】

また、垂直走査回路 4 0 1 は、第 3 のフレーム期間 F T 3 において、第 2 の画素群 P G 2 から 5 n + 4（4、9、14）行目の画素を順次を選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号（第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号）を出力部 2 0 5 を介して読み出す。

【 0 0 9 7 】

また、垂直走査回路 4 0 1 は、第 4 のフレーム期間 F T 4 において、第 2 の画素群 P G 2 から 5 n + 5（5、10、15）行目の画素を順次を選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号（第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号）を出力部 2 0 5 を介して読み出す。

【 0 0 9 8 】

このように、列共通読み出し回路 R C 1 ~ R C 4 は、連続する複数のフレーム期間 F T 1 ~ F T 4 のそれぞれにおいて、第 2 の画素群 P G 2 における互いに異なる一部の画素から第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号を読み出す。

【 0 0 9 9 】

なお、第 2 の読み出し動作 1 1 0 4 に関するタイミングチャートは、図 9 と同様になる。

【 0 1 0 0 】

図 1 1 に斜線の四角で示す間引き動作 1 1 0 5 は、第 2 の画素群 P G 2（図 5 参照）における読み出されない行数（5 行に付き 3 行）が、図 6 に示す間引き動作 6 0 5 における読み出されない行数（5 行に付き 4 行）に比べて少ない。

【 0 1 0 1 】

図 1 3 に、間引き動作 1 1 0 5 に関するタイミングチャートを示す。図 1 3 では、第 3 行目の間引き動作 1 1 0 5 を例示的に示している。

【 0 1 0 2 】

垂直走査回路 4 0 1 は、第 3 行目の画素へ供給する選択制御信号 s e l 3 をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第 3 行目の画素 P 3, 1 ~ P 3, 2 5 が選択状態になる。これにより、第 3 行目の画素 P 3, 1 ~ P 3, 2 5 の出力部 2 0 5 が電荷電圧変換部 2 0 4 の電圧に応じた信号を列信号線 R L 1 ~ R L 4 へ出力する。なお、電荷電圧変換部 2 0 4 は、第 1 の蓄積期間群 T a で蓄積された電荷（信号）を保持している。

【 0 1 0 3 】

垂直走査回路 4 0 1 は、第 3 行目の画素へ供給する第 2 のリセット信号 r e s f 3 をノンアクティブなレベルに維持する。これにより、電荷電圧変換部 2 0 4 は、リセットされず、第 1 の蓄積期間群 T a で蓄積された電荷（信号）を保持し続ける。

【 0 1 0 4 】

図 1 1 に示す第 1 のフレーム期間 F T 1 中の時刻 t 3 になると、リセット動作 6 0 1 が全画素 P 1, 1 ~ P 1 5, 2 5 で同時に完了する。この際、全画素における転送部 2 0 3（図 3 参照）はオフしているため、リセット動作 6 0 1 によって、電荷電圧変換部 2 0 4 に保持されている電荷が破壊されることはない。

【 0 1 0 5 】

このように、読み出し部 1 0（図 2 参照）は、第 1 のフレーム期間から始まる連続した複数のフレーム期間のそれぞれにおいて、第 2 の画素群 P G 2 における互いに異なる一部の画素から第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号を読み出す。

【 0 1 0 6 】

10

20

30

40

50

例えば、読み出し部 10 は、第 1 のフレーム期間 FT_1 において、第 2 の画素群 PG_2 における $5n+2$ (2、7、12) 行目の画素から第 1 の蓄積期間群 Ta で蓄積された信号における第 2 の信号を読み出す。

【0107】

例えば、読み出し部 10 は、第 2 のフレーム期間 FT_2 において、第 2 の画素群 PG_2 における $5n+3$ (3、8、13) 行目の画素から第 1 の蓄積期間群 Ta で蓄積された信号における第 2 の信号を読み出す。

【0108】

例えば、読み出し部 10 は、第 3 のフレーム期間 FT_3 において、第 2 の画素群 PG_2 における $5n+4$ (4、9、14) 行目の画素から第 1 の蓄積期間群 Ta で蓄積された信号における第 2 の信号を読み出す。

【0109】

例えば、読み出し部 10 は、第 4 のフレーム期間 FT_4 において、第 2 の画素群 PG_2 における $5n+5$ (5、10、15) 行目の画素から第 1 の蓄積期間群 Ta で蓄積された信号における第 2 の信号を読み出す。

【0110】

読み出し部 10 は、第 2 の信号を、出力アンプ 309、及び A/E_103 経由で DSP_104 へ供給する。 DSP_104 は、第 1 のフレーム期間 FT_1 において読み出し部 10 により読み出された第 1 の信号と、複数のフレーム期間 $FT_1 \sim FT_4$ に渡って読み出し部 10 により読み出された第 2 の信号とを合成する。これにより、 DSP_104 は、1 フレーム分の静止画用の画像信号を生成する。

【0111】

したがって、各フレーム期間 $FT_0 \sim FT_4$ が長くなることを抑制しながら、第 1 の蓄積期間群 Ta で蓄積された全画素 $P_1, 1 \sim P_15, 25$ の信号を用いて 1 フレーム分の静止画用の画像信号 (画像データ) を生成することができる。このため、フレームレートの低下を抑制しながら、蓄積の同時性が向上した空間的な解像度の高い静止画を得ることができる。特に、動く被写体に対しても、静止画のみを撮影する場合 (静止画撮影モード) と変らない良好な静止画像を得ることができる。

【0112】

なお、撮像センサ 102 の画素配列 PA からの読み出し時点で列方向に間引いて読み出すようにしても構わない。

【0113】

次に、本発明の第 2 実施形態に係る撮像装置について説明する。以下では、第 1 実施形態と異なる部分を中心に説明する。

【0114】

第 2 実施形態に係る撮像装置は、基本的な構成は第 1 実施形態と同様であるが、その動作が第 1 実施形態と異なる。本実施形態では、20 行 29 列の画素 $P_1, 1 \sim P_{20, 29}$ で構成された画素配列 PA を用いて撮像装置の動作を説明することとする。図 14 は、20 行 29 列の画素 $P_1, 1 \sim P_{20, 29}$ で構成された画素配列 PA を示した図である。

【0115】

具体的には、撮像装置は、その動作モードを動画撮影モードから動画 / 静止画並行撮影モードへ切り替える場合、動画撮影モードである場合よりも、第 2 の画素群 PG_2 の画素数に対する第 1 の画素群 PG_1 の画素数の比率を減らす。

【0116】

例えば、図 15 に示すように、撮像装置は、その動作モードが動画撮影モードから動画 / 静止画並行撮影モードへ切り替わった際に、第 2 の画素群 PG_2 の画素数に対する第 1 の画素群 PG_1 の画素数の比率を $1/5$ から $1/10$ へ減らす。すなわち、撮像センサ 102 の読み出し部 10 は、動画撮影モードにおいて、上記の比率が $1/5$ であり、第 1、6、11、16 行目の画素から動画用の信号として第 1 の信号を読み出している。読み出

10

20

30

40

50

し部10は、その動作モードが動画撮影モードから動画/静止画並行撮影モードへ切り替わった際に、上記の比率が1/5から1/10へ減り、第1、11行目の画素から動画用の信号として第1の信号を読み出している。なお、図15は、動画/静止画並行撮影モードにおける第2の画素群の画素数に対する第1の画素群の画素数の比率を減した場合の動作を模式的に示した図である。

【0117】

読み出し部10は、第2の画素群PG2の画素数に対する第1の画素群PG1の画素数の比率を減した場合、その比率を減らさない場合よりも、複数のフレーム期間FT1~FT4のそれぞれにおいて第2の画素群PG2から信号を読み出す画素数を増やす。これにより、静止画の構成するために使用する全画素の信号が読み出されるまでの時間を短縮

10

【0118】

例えば、図16に示すように、読み出し部10は、上記の比率を1/5のまま減らさなかった場合、複数のフレーム期間FT1~FT4のそれぞれにおいて、第2の画素群PG2における4行の画素から第2の信号を読み出す。この場合、4フレーム期間で、静止画生成に使用される全画素の信号を取得することができる。

【0119】

一方、例えば、図15に示すように、読み出し部10は、上記の比率を1/5から1/10へ減らした場合、複数のフレーム期間FT1~FT4のそれぞれにおいて、第2の画素群PG2における6行の画素から第2の信号を読み出す。この場合、3フレーム期間で、静止画生成に使用される全画素の信号を取得することができる。すなわち、静止画の構成するために使用する全画素の信号が読み出されるまでの時間(3フレーム期間)は、上記の比率を減らした場合(4フレーム期間)より短い。なお、図16は、動画/静止画並行撮影モードにおける第2の画素群の画素数に対する第1の画素群の画素数の比率を減さなかった場合の動作を模式的に示した図である。図16に示す動作は、図示された行の数が異なる点を除けば、図11に示す動作と同様である。

20

【0120】

静止画撮影が終了し、再び動画のみの撮影に戻った時点で、動画に使用する画素行数を元に戻せば、動画像における空間的な解像度も再び回復することができる。

【0121】

30

次に、本発明の第3実施形態に係る撮像装置について説明する。以下では、第1実施形態と異なる部分を中心に説明する。

【0122】

本発明の第3実施形態に係る撮像装置は、電子シャッター機能として、スリットローリング電子シャッター機能を採用している。撮像装置100は、次の構成要素を備える。

【0123】

撮像センサ102の画素配列PAにおける各画素P11i~P44iは、図17に示すように、第1のリセット部202を含まない。図17は、本発明の第3実施形態に係る撮像装置における画素P11iの構成図である。

【0124】

40

画素P11iにおいて光電変換部201をリセットする場合には、信号txと信号resfを同時にアクティブなレベルとすることで、転送部203及び第2のリセット部206を両方オンする。これにより、光電変換部201の電荷が転送部203及び第2のリセット部206を介して電源へ掃出される。なお、図17は、本発明の第3実施形態に係る撮像装置における画素の構成図である。図17では、画素P11iの構成を例示的に説明しているが、他の画素P12i~P44iの構成も画素P11iの構成と同様である。

【0125】

図18は、本実施形態における動画撮影モードの動作を模式的に示した図である。横軸は時刻を表し、縦軸は画素行の位置を示している。図18に示すスリットローリング電子シャッターにおいては、光電変換部201のリセットを行単位で順次に行うため、光電変

50

換部の動作と電荷電圧変換部以降の読み出し回路の動作とを分けて記載している。

【0126】

垂直走査回路401は、まず画素配列PAの各行の画素における光電変換部201のリセット動作を順次に完了させていく「リセット走査」を行う。これにより、各行の画素における光電変換部201は、順次に電荷蓄積動作を開始する。なお、図18では、便宜的に、各行のリセット走査が完了するタイミングのみを実線で示しており、各行のリセット走査が開始するタイミングの図示を省略している。

【0127】

次に、垂直走査回路401は、各行のリセット走査完了から蓄積期間分だけ遅れて、光電変換部201に蓄積された電荷を各画素行毎に順次に読み出し始める「読み出し走査」を行う。これにより、各行の画素における光電変換部201は、順次に電荷蓄積動作を終了する。

10

【0128】

図18に示す時刻 t_1 が第1行目のリセット走査の完了時刻であり、時刻 t_2 が第1行目の読み出し走査の開始時刻である。時刻 $t_1 \sim t_2$ の時間が第1行目の画素に対する第1の蓄積期間 T_{1a1} となる。時刻 t_1 、 t_2 のそれぞれ所定時間遅延させた時刻で規定される時間が第2行目の画素に対する第1の蓄積期間 T_{1a2} となる。他の第3～15行に対する第1の蓄積期間 $T_{1a3} \sim T_{1a15}$ に関しても同様に1つ上の行に対して所定時間遅延させた時刻で規定される。

20

【0129】

図18に示すように、複数の画素 $P_1, 1 \sim P_{15}, 25$ は、第1の蓄積期間群 T_{1a} で電荷蓄積動作を行う。第1の蓄積期間群 T_{1a} は、少なくとも隣接する2行に対して一部が重なっている第1の蓄積期間 $T_{1a1} \sim T_{1a15}$ の集まりである。

【0130】

図18に示すように、リセット動作 $1801a, 1801b$ の完了タイミングは、1行前のリセット動作の完了タイミングに対して、1行前の第1の読み出し動作 1804 又は間引き動作 1805 が行われた時間だけ遅延して行われる。これにより、第1の蓄積期間群 T_{1a} における第1の蓄積期間 $T_{1a1} \sim T_{1a15}$ のそれぞれは、長さが互いに等しい。なお、リセット動作 $1801a$ は、第1の読み出し動作 1804 が行われる行のリセット動作を示し、リセット動作 $1801b$ は、間引き動作 1805 が行われる行のリセット動作を示す。

30

【0131】

図21に、リセット動作 $1801a$ に関するタイミングチャートを示す。図21では、第7行目のリセット動作 $1801a$ を例示的に説明する。

【0132】

垂直走査回路401は、第7行目の画素へ供給する転送制御信号 tx_7 をアクティブにする。これにより、第7行目の画素における転送部203が光電変換部201の電荷を電荷電圧変換部204へ転送する。

【0133】

その後、第7行目の画素へ供給する第2のリセット制御信号 $resf_7$ をアクティブにする。これにより、第7行目の画素における第2のリセット部206が電荷電圧変換部204をリセットする。

40

【0134】

垂直走査回路401は、第7行目の画素へ供給する第2のリセット制御信号 $resf_7$ 及び転送制御信号 tx_7 をアクティブにする。これにより、第7行目の画素における光電変換部201がリセットされる。

【0135】

なお、第7行目のリセット動作 $1801a$ は、(破線の波形で示すような)第1行目の第1の読み出し動作 1804 と並行して行われる(図18参照)。

【0136】

50

図 2 2 に、リセット動作 1 8 0 1 b に関するタイミングチャートを示す。図 2 2 では、第 9 行目のリセット動作 1 8 0 1 b を例示的に説明する。

【 0 1 3 7 】

垂直走査回路 4 0 1 は、第 9 行目の画素へ供給する第 2 のリセット制御信号 $r e s f 9$ 及び転送制御信号 $t x 9$ をアクティブにする。これにより、第 9 行目の画素における光電変換部 2 0 1 がリセットされる。

【 0 1 3 8 】

なお、第 9 行目のリセット動作 1 8 0 1 b は、(破線の波形で示すような) 第 3 行目の間引き動作 1 8 0 5 と並行して行われる (図 1 8 参照) 。

【 0 1 3 9 】

図 1 8 に白い四角で示す第 1 の読み出し動作 1 8 0 4 は、列共通読み出し回路 $R C 1 \sim R C 4$ (図 2 参照) により第 1 の画素群 $P G 1$ (図 5 参照) から信号の読み出し動作が行ごとに順次に行われることを示している。すなわち、垂直走査回路 4 0 1 は、第 1 の画素群 $P G 1$ から、第 1 行目、第 6 行目、第 1 1 行目を順次に選択する。列共通読み出し回路 $R C 1 \sim R C 4$ は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号を出力部 2 0 5 を介して読み出す。

【 0 1 4 0 】

図 1 9 に、第 1 の読み出し動作に関するタイミングチャートを示す。図 1 9 では、第 1 行目の読み出し動作を例示的に示している。本実施形態における第 1 の読み出し動作は、第 1 実施形態における第 1 の読み出し動作と次の点で異なる。

【 0 1 4 1 】

$T G 1 0 7$ は、 S 信号転送スイッチ 3 0 2 へ供給する制御信号 $t s$ をアクティブなレベルにする。これにより、 S 信号転送スイッチ 3 0 2 がオンする。垂直走査回路 4 0 1 は、制御信号 $t s$ がアクティブな状態で、第 1 行目の画素へ供給する転送制御信号 $t x 1$ をアクティブにする。これにより、第 1 行目の画素における転送部 2 0 3 が光電変換部 2 0 1 の電荷を電荷電圧変換部 2 0 4 へ転送し、出力部 2 0 5 が電荷電圧変換部 2 0 4 の電圧に応じた S 信号を列信号線 $R L 1 \sim R L 4$ へ出力する。 S 信号転送スイッチ 3 0 2 は、列信号線 $R L 1 \sim R L 4$ を介して伝達された S 信号を S 信号保持容量 3 0 4 に記憶する。

【 0 1 4 2 】

また、各列の水平転送信号 $p h 1 \sim p h 2 5$ が順次アクティブにされている期間に、垂直走査回路 4 0 1 は、第 1 行目の画素へ供給する第 2 のリセット制御信号 $r e s f 1$ 及び転送制御信号 $t x 1$ をアクティブにする。これにより、第 1 行目の画素における光電変換部 2 0 1 がリセットされる。その後、垂直走査回路 4 0 1 は、第 2 のリセット制御信号 $r e s f 1$ 及び転送制御信号 $t x 1$ をノンアクティブにする。

【 0 1 4 3 】

図 1 8 に幅の広い斜線の四角で示す第 3 の読み出し動作 1 8 0 7 は、第 2 の画素群 $P G 2$ (図 5 参照) の一部からダミー的に信号の読み出し動作が行われることを示している。すなわち、垂直走査回路 4 0 1 は、第 2 の画素群 $P G 2$ から第 2 行目、第 7 行目、第 1 2 行目を順次に選択し、列共通読み出し回路 $R C 1 \sim R C 4$ は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号を出力部 2 0 5 を介してダミー的に読み出す。

【 0 1 4 4 】

本来、動画撮影のみを考えれば、動画に使用する第 1 の画素群 $P G 1$ のみの信号を読み出せばよく、それ以外の第 2 の画素群 $P G 2$ の一部 (2 行目、7 行目、1 2 行目) を読み出す必要はない。しかし、後述する静止画撮影とのタイミングの辻褄を合わせるために、動画撮影時にも動画に使用しない第 2 の画素群 $P G 2$ の一部を読み出す必要がある。

【 0 1 4 5 】

図 1 8 に斜線の四角で示す間引き動作 1 8 0 5 は、列共通読み出し回路 $R C 1 \sim R C 4$ (図 2 参照) により第 2 の画素群 $P G 2$ (図 5 参照) の残りの行から信号が読み出されないことを示している。すなわち、垂直走査回路 4 0 1 は、第 3 ~ 5 行目、第 8 ~ 1 0 行目

10

20

30

40

50

、第 13 ~ 15 行目を順次にスキップし、列共通読み出し回路 RC1 ~ RC4 は、スキップされた行の画素における電荷電圧変換部 204 の電圧に応じた信号を読み出さない。

【0146】

図 20 に、間引き動作 1805 に関するタイミングチャートを示す。図 20 では、第 3 行目の間引き動作 1805 を例示的に示している。

【0147】

垂直走査回路 401 は、第 3 行目の画素へ供給する選択制御信号 sel3 をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第 3 行目の画素 P3, 1 ~ P3, 25 が選択状態になる。

【0148】

垂直走査回路 401 は、第 3 行目の画素へ供給する転送制御信号 tx3 をアクティブなレベルにする。これにより、第 3 行目の画素における転送部 203 が光電変換部 201 の電荷を電荷電圧変換部 204 へ転送する。これにより、電荷電圧変換部 204 は、第 1 の蓄積期間 T1a3 で蓄積された電荷（信号）を保持する。

【0149】

垂直走査回路 401 は、第 3 行目の画素へ供給する選択制御信号 sel3 をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第 3 行目の画素 P3, 1 ~ P3, 25 が非選択状態になる。

【0150】

この間引き動作においては、画素の信号を読み出す必要がないため、ts、tn、ph といった信号は動かさずにノンアクティブなレベルに固定したままとする。

【0151】

このように、画素からの信号を読み出す動作を行わないため、1 行の間引く動作に必要な時間は 1 行の画素信号を読み出すのに対して遥かに短い時間で済む。

【0152】

他の点は、第 1 実施形態における動画撮影モードの動作と同様である。

【0153】

次に、動画 / 静止画並行撮影モードの動作について、図 23 を用いて説明する。図 23 は、動画 / 静止画並行撮影モードの動作を模式的に示した図である。以下では動画撮影モードの動作と異なる部分を中心に説明する。

【0154】

動画 / 静止画並行撮影モードでは、フレーム期間 FT12 ~ FT14 において、動画撮影モードと異なるリセット動作 2301a, 2301b が行われる。リセット動作 2301a は、後述の第 2 の読み出し動作 2304 が行われる行のリセット動作を示し、リセット動作 2301b は、間引き動作 2305 が行われる行のリセット動作を示す。

【0155】

図 24 に、リセット動作 2301a に関するタイミングチャートを示す。図 24 では、第 7 行目のリセット動作 2301a を例示的に説明する。

【0156】

垂直走査回路 401 は、第 7 行目の画素へ供給する第 2 のリセット制御信号 resf7 及び転送制御信号 tx7 をノンアクティブに維持する。これにより、第 7 行目の画素における電荷電圧変換部 204 は、リセットされず、第 1 の蓄積期間 T1a7 に蓄積された信号を保持し続ける。

【0157】

なお、第 7 行目のリセット動作 2301a は、（破線の波形で示すような）第 1 行目の第 1 の読み出し動作 1804 と並行して行われる（図 23 参照）。

【0158】

図 25 に、リセット動作 2301b に関するタイミングチャートを示す。図 25 では、第 9 行目のリセット動作 2301b を例示的に説明する。

【0159】

10

20

30

40

50

垂直走査回路 401 は、第 9 行目の画素へ供給する第 2 のリセット制御信号 $resf_9$ 及び転送制御信号 tx_9 をノンアクティブに維持する。これにより、第 9 行目の画素における電荷電圧変換部 204 は、リセットされず、第 1 の蓄積期間 $T1a_9$ に蓄積された信号を保持し続ける。

【0160】

また、動画 / 静止画並行撮影モードでは、第 3 の読み出し動作 1807 が行われずに、図 23 に破線の四角で示す第 2 の読み出し動作 2304 が行われる。第 2 の読み出し動作 2304 は、列共通読み出し回路 $RC1 \sim RC4$ (図 2 参照) により第 2 の画素群 $PG2$ (図 5 参照) の一部から信号の読み出し動作が行ごとに順次に行われることを示している。

10

【0161】

すなわち、垂直走査回路 401 は、第 1 のフレーム期間 $FT11$ において、第 2 の画素群 $PG2$ から $5n+2$ (2、7、12) 行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号 (第 1 の蓄積期間群 $T1a$ で蓄積された信号における第 2 の信号) を出力部 205 を介して読み出す。

【0162】

また、垂直走査回路 401 は、第 2 のフレーム期間 $FT12$ において、第 2 の画素群 $PG2$ から $5n+3$ (3、8、13) 行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号 (第 1 の蓄積期間群 $T1a$ で蓄積された信号における第 2 の信号) を出力部 205 を介して読み出す。

20

【0163】

また、垂直走査回路 401 は、第 3 のフレーム期間 $FT13$ において、第 2 の画素群 $PG2$ から $5n+4$ (4、9、14) 行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号 (第 1 の蓄積期間群 $T1a$ で蓄積された信号における第 2 の信号) を出力部 205 を介して読み出す。

【0164】

また、垂直走査回路 401 は、第 4 のフレーム期間 $FT14$ において、第 2 の画素群 $PG2$ から $5n+5$ (5、10、15) 行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号 (第 1 の蓄積期間群 $T1a$ で蓄積された信号における第 2 の信号) を出力部 205 を介して読み出す。

30

【0165】

列共通読み出し回路 $RC1 \sim RC4$ は、複数のフレーム期間 $FT11 \sim FT14$ のそれぞれにおいて、第 2 の画素群 $PG2$ における互いに異なる一部の画素から第 1 の蓄積期間群 $T1a$ で蓄積された信号における第 2 の信号を読み出す。

【0166】

図 26 に、第 2 の読み出し動作 2304 に関するタイミングチャートを示す。図 26 では、第 2 行目のリセット動作 2304 を例示的に説明する。図 26 では、第 2 行目の第 2 の読み出し動作 2304 を例示的に説明する。動画 / 静止画並行撮影モードにおける第 2 の読み出し動作 2304 は、動画モードにおける第 1 の読み出し動作 (図 19 参照) と次の点で異なる。

40

【0167】

垂直走査回路 401 は、制御信号 ts がアクティブな状態で、第 2 行目の画素へ供給する転送制御信号 tx_2 をノンアクティブなレベルに維持する。これにより、第 2 行目の画素における電荷電圧変換部 204 が第 1 の蓄積期間 $T1a_2$ に蓄積された信号を保持し続け、出力部 205 が電荷電圧変換部 204 の電圧に応じた S 信号を列信号線 $RL1 \sim RL4$ へ出力する。

50

【0168】

動画／静止画並行撮影モードでは、動画モードと異なる間引き動作2305が行われる。図27は、間引き動作2305に関するタイミングチャートを示す。図27では、第3行目の間引き動作2305を例示的に説明する。動画／静止画並行撮影モードにおける間引き動作2305は、動画モードにおける間引き動作（図20参照）と次の点で異なる。

【0169】

垂直走査回路401は、第3行目の画素へ供給する転送制御信号 $t \times 3$ をノンアクティブなレベルに維持する。これにより、第3行目の画素における電荷電圧変換部204は、第1の蓄積期間 $T1a3$ に蓄積された信号を保持し続ける。

【0170】

このように、各フレーム期間 $FT10 \sim FT14$ が長くなることを抑制しながら、第1の蓄積期間群 $T1a$ で蓄積された全画素 $P1, 1 \sim P15, 25$ の信号を用いて1フレーム分の静止画用の画像信号（画像データ）を生成することができる。

【0171】

次に、本発明の第4実施形態に係る撮像装置100iについて、図28を用いて説明する。図28は、本発明の第4実施形態に係る撮像装置100iの構成図である。以下では、第3実施形態と異なる部分を中心に説明する。

【0172】

撮像装置100iは、AFE103を備えず、撮像センサ102（図1参照）に代えて撮像センサ102iを備える。撮像装置100iでは、AD変換器を撮像センサ102i内に配置するため、AFE103が不要である。

【0173】

撮像センサ102iは、図29に示すように、画素配列PAの各列に対応したAD（アナログ-デジタル）変換器を有する、いわゆるカラムAD構成を用いたものである。具体的には、撮像センサ102iの構成は、次の点で第1実施形態と異なる。なお、図29は、本発明の第4実施形態における撮像センサ102iの構成図である。

【0174】

撮像センサ102iは、読み出し部10i、A/D変換部20i、記憶部30i、制御部40i、及びLVDS部2905を含む。

【0175】

読み出し部10iは、複数の列共通読み出し回路 $RC1i \sim RC4i$ を含む。複数の列共通読み出し回路 $RC1 \sim RC4$ のそれぞれは、図30に示すように、その内部構成が第1実施形態と異なる。列共通読み出し回路 $RC1$ は、水平転送スイッチ306、307を含まない。列共通読み出し回路 $RC1$ におけるS信号保持容量304及びN信号保持容量305に保持された信号は、それぞれ、A/D変換部20iへ出力される。なお、図30は、本発明の第4実施形態における列共通読み出し回路 $RC1$ の構成図である。

【0176】

図29に示すA/D変換部20iは、複数の列A/D変換器 $ADC1i \sim ADC4i$ を含む。複数の列A/D変換器 $ADC1i \sim ADC4i$ は、複数の列共通読み出し回路 $RC1i \sim RC4i$ から出力された信号（S信号、N信号）を受ける。複数の列A/D変換器 $ADC1i \sim ADC4i$ のそれぞれは、受けた信号（アナログ信号）をA/D変換して、変換した信号（デジタル信号）を記憶部30iへ供給する。

【0177】

なお、A/D変換の方式としては、三角波を掃印するランブ型、逐次比較（Successive Approximation）型などがあるが、画素からのアナログ信号をデジタル信号に変換できるものならどのようなタイプのものでもよい。

【0178】

記憶部30iは、メモリ（RAM）2903を含む。メモリ2903は、A/D変換部20iによりA/D変換された信号を一時的に記憶する。

【0179】

10

20

30

40

50

制御部 40 i は、メモリ制御部 2904 を含む。メモリ制御部 2904 は、メモリ 2903 へ供給される信号の記憶動作と、メモリ 2903 から L V D S 部 2905 への画素信号の読み出し動作とを制御する。

【0180】

L V D S 部 2905 は、メモリ 2903 から読み出された画素信号 (S 信号、 N 信号) をシリアル化した後、 S 信号と N 信号との差動信号に生成する。 L V D S 部 2905 は、生成した差動信号を出力端子から後段 (D S P 104) へ出力する。

【0181】

このように撮像センサ内で画素信号をデジタル信号化して出力する場合、シリアル化して出力した方が、端子数の観点から有利である。

10

【0182】

また、列 A / D 変換器の後段に容量の大きなメモリを有する場合、1 行分の画素信号をメモリまで並列に処理できるため、それ以降の信号転送速度に制約されずメモリまでの信号読み出し速度を非常に高速化することができる。このため、画素信号の読み出しにおいて間引き動作をする必要がなくなる。

【0183】

図 3 1 に、本実施形態における動画撮影モードの動作を模式的に示す。図 3 1 では、横軸が時刻を表し、縦軸における上段の部分が光電変換部 201 からメモリ 2903 までの信号の読み出し動作に関する画素行の位置を表し、縦軸における下段の部分がメモリ 2903 から信号の出力動作を表す。

20

【0184】

図 3 1 に示すように、第 1 の蓄積期間群 T 2 a は、少なくとも隣接する 2 行に対して同じ長さの一部が重なっている第 1 の蓄積期間 T 2 a 1 ~ T 2 a 15 の集まりである。すなわち、リセット動作 3101 の完了タイミングは、1 行前のリセット動作の完了タイミングに対して、1 行前の第 1 の読み出し動作 3102 が行われた時間だけ遅延して行われる。これにより、第 1 の蓄積期間群 T 2 a における第 1 の蓄積期間 T 2 a 1 ~ T 2 a 15 のそれぞれは、長さが互いに等しい。その遅延の長さは、間引き動作 1805 が行われないため、一定の長さ (第 1 の読み出し動作 3102 の時間) になっている。

【0185】

図 3 3 に、リセット動作 3101 に関するタイミングチャートを示す。図 3 3 では、第 12 行目のリセット動作 3101 を例示的に説明する。

30

【0186】

垂直走査回路 401 は、第 12 行目の画素へ供給する第 2 のリセット制御信号 r e s f 12 をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第 12 行目の画素における第 2 のリセット部 206 がオフして、電荷電圧変換部 204 のリセットが解除される。

【0187】

そして、垂直走査回路 401 は、第 12 行目の画素へ供給する第 2 のリセット制御信号 r e s f 12 及び転送制御信号 t x 12 をアクティブにする。これにより、第 12 行目の画素における光電変換部 201 がリセットされる。その後、垂直走査回路 401 は、第 2 のリセット制御信号 r e s f 1 をアクティブなレベルに維持するとともに、転送制御信号 t x 1 をノンアクティブにする。

40

【0188】

なお、第 12 行目のリセット動作 3101 は、(破線の波形で示すような) 第 1 行目の第 1 の読み出し動作 3102 と並行して行われる (図 3 1 参照) 。

【0189】

図 3 2 に、第 1 の読み出し動作 3102 に関するタイミングチャートを示す。図 3 2 では、第 1 行目の読み出し動作を例示的に示している。本実施形態における第 1 の読み出し動作は、第 3 実施形態における第 1 の読み出し動作 (図 1 9 参照) と次の点で異なる。

【0190】

50

垂直走査回路401は、第1行目の画素へ供給する第2のリセット制御信号 $resf1$ をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第1行目の画素における第2のリセット部206がオフして、電荷電圧変換部204のリセットが解除される。

【0191】

TG107は、N信号転送スイッチ303へ供給する制御信号 tn をアクティブなレベルにする。これにより、N信号転送スイッチ303がオンする。これにより、第1行目の画素における出力部205が電荷電圧変換部204の電圧に応じたN信号を列信号線 $RL1 \sim RL4$ へ出力する。N信号転送スイッチ303は、列信号線 $RL1 \sim RL4$ を介して伝達されたN信号をN信号保持容量305に記憶する。TG107は、制御信号 tn をノン

10

【0192】

その後、TG107は、S信号転送スイッチ302へ供給する制御信号 ts をアクティブなレベルにする。これにより、S信号転送スイッチ302がオンする。垂直走査回路401は、制御信号 ts がアクティブな状態で、第1行目の画素へ供給する転送制御信号 $tx1$ をアクティブにする。これにより、第1行目の画素における転送部203が光電変換部201の電荷を電荷電圧変換部204へ転送し、出力部205が電荷電圧変換部204の電圧に応じたS信号を列信号線 $RL1 \sim RL4$ へ出力する。S信号転送スイッチ302は、列信号線 $RL1 \sim RL4$ を介して伝達されたS信号をS信号保持容量304に記憶する。

20

【0193】

また、各列の水平転送信号 $ph1 \sim ph25$ が順次アクティブにされている期間に、垂直走査回路401は、第1行目の画素へ供給する第2のリセット制御信号 $resf1$ 及び転送制御信号 $tx1$ をアクティブにする。これにより、第1行目の画素における光電変換部201がリセットされる。その後、垂直走査回路401は、第2のリセット制御信号 $resf1$ をアクティブなレベルに維持するとともに、転送制御信号 $tx1$ をノンアクティブにする。

【0194】

図31に示す出力動作3103は、メモリ制御部2904により制御されて、メモリ2903に格納されている信号がLVDS部2905及び出力端子を介してDSP104へ出力される動作を1行分単位で示している。

30

【0195】

枠内のアルファベット ($a \sim d$) は信号がどの蓄積期間群 $T2a \sim T2d$ で蓄積されたかを示し、数字 ($1 \sim 15$) はどの画素行の信号であるかを示している。例えば、 $a1$ と記載した枠は、第1の蓄積期間 $T2a$ において1行目に蓄積された信号を出力していることを示す。

【0196】

このように、制御部40iは、各フレーム期間において、第1の画素群 $PG1(5n+1$ 行目)の全てに対する直前のフレーム期間内の蓄積期間群 ($T2a \sim T2d$) で蓄積された信号における第1の信号を更新するように、メモリ2903を制御する。そして、制御部40iは、更新した第1の信号をメモリ2903から読み出す。

40

【0197】

例えば、動画撮影モードでは、第1のフレーム期間 $FT21$ において、第1の画素群 $PG1(5n+1$ 行目)により直前のフレーム期間 $FT0$ 内の第1の蓄積期間群 $T2a$ で蓄積された第1の信号 $a1, a6, a11$ をメモリ2903から読み出す。

【0198】

例えば、動画撮影モードでは、第2のフレーム期間 $FT22$ において、第1の画素群 $PG1(5n+1$ 行目)により直前のフレーム期間 $FT1$ 内の第2の蓄積期間群 $T2b$ で蓄積された第1の信号 $b1, b6, b11$ をメモリ2903から読み出す。

【0199】

50

L V D S 部 2 9 0 5 は、メモリ 2 9 0 3 から制御部 4 0 i により読み出された第 1 の信号を出力端子経由で D S P 1 0 4 へ供給する。これにより、D S P (生成部) 1 0 4 は、各フレーム期間に読み出された第 1 の信号から、1 フレーム分の動画用の画像信号 (画像データ) を生成する。

【 0 2 0 0 】

次に、動画 / 静止画並行撮影モードの動作について、図 3 4 を用いて説明する。図 3 4 は、動画 / 静止画並行撮影モードの動作を模式的に示した図である。以下では動画撮影モードの動作と異なる部分を中心に説明する。

【 0 2 0 1 】

図 3 4 に斜線の四角で示す第 4 の読み出し動作 3 4 0 2 は、列共通読み出し回路 R C 1 i ~ R C 4 i (図 2 9 参照) により第 2 の画素群 P G 2 (図 5 参照) から信号が読み出されるがメモリ 2 9 0 3 に記憶されないことを示している。すなわち、メモリ制御部 2 9 0 4 は、第 2 ~ 5 行目、第 7 ~ 1 0 行目、第 1 2 ~ 1 5 行目の信号を順次にスキップし、スキップされた行の画素の信号をメモリ 2 9 0 3 に記憶させない。

【 0 2 0 2 】

これにより、第 2 のフレーム期間 F T 2 2 では、メモリ 2 9 0 3 において、動画に使用しない第 2 の画素群 P G 2 (5 n + 1 行目以外の行) の信号が更新されない。メモリ 2 9 0 3 は、第 2 の画素群 P G 2 により第 1 の蓄積期間群 T 2 a で蓄積された信号を保持し続ける。一方、メモリ 2 9 0 3 において、動画に使用する第 1 の画素群 G 1 (5 n + 1 行目) の信号は更新される。

【 0 2 0 3 】

同様に、第 3 のフレーム期間 F T 2 3、第 4 のフレーム期間 F T 2 4 でも、メモリ 2 9 0 3 において、動画に使用しない第 2 の画素群 P G 2 (5 n + 1 行目以外の行) の信号が更新されない。メモリ 2 9 0 3 は、第 2 の画素群 P G 2 により第 1 の蓄積期間群 T 2 a で蓄積された信号を保持し続ける。

【 0 2 0 4 】

また、メモリ制御部 2 9 0 4 は、メモリ 2 9 0 3 に保持された第 2 の画素群 P G 2 (図 5 参照) の一部の信号を読み出す。

【 0 2 0 5 】

すなわち、メモリ制御部 2 9 0 4 は、第 1 のフレーム期間 F T 2 1 において、第 2 の画素群 P G 2 から 5 n + 2 (2、7、12) 行目の画素の信号 (第 1 の蓄積期間群 T 2 a で蓄積された信号における第 2 の信号) を選択して読み出す。なお、メモリ制御部 2 9 0 4 が、第 1 のフレーム期間 F T 2 1 において、第 1 の画素群 P G 1 から画素の信号 (第 1 の蓄積期間群 T 2 a で蓄積された信号における第 1 の信号) を選択して読み出す点は、動画モードと同様である。

【 0 2 0 6 】

また、メモリ制御部 2 9 0 4 は、第 2 のフレーム期間 F T 2 2 において、第 2 の画素群 P G 2 から 5 n + 3 (3、8、13) 行目の画素の信号 (第 1 の蓄積期間群 T 2 a で蓄積された信号における第 2 の信号) を選択して読み出す。

【 0 2 0 7 】

また、メモリ制御部 2 9 0 4 は、第 3 のフレーム期間 F T 2 3 において、第 2 の画素群 P G 2 から 5 n + 4 (4、9、14) 行目の画素の信号 (第 1 の蓄積期間群 T 2 a で蓄積された信号における第 2 の信号) を選択して読み出す。

【 0 2 0 8 】

また、メモリ制御部 2 9 0 4 は、第 4 のフレーム期間 F T 2 4 において、第 2 の画素群 P G 2 から 5 n + 5 (5、10、15) 行目の画素の信号 (第 1 の蓄積期間群 T 2 a で蓄積された信号における第 2 の信号) を選択して読み出す。

【 0 2 0 9 】

このように、メモリ制御部 2 9 0 4 は、連続する複数のフレーム期間 F T 2 1 ~ F T 2 4 のそれぞれにおいて、第 2 の画素群 P G 2 における互いに異なる一部の画素から第 1 の

10

20

30

40

50

蓄積期間群 T 2 a で蓄積された信号における第 2 の信号を読み出す。L V D S 部 2 9 0 5 は、メモリ制御部 2 9 0 4 により読み出された第 1 の信号及び第 2 の信号を出力端子経由で D S P 1 0 4 へ供給する。D S P (生成部) 1 0 4 は、第 1 のフレーム期間 F T 2 1 においてメモリ制御部 2 9 0 4 により読み出された第 1 の信号と、複数のフレーム期間 F T 2 1 ~ F T 2 4 においてメモリ制御部 2 9 0 4 により読み出された第 2 の信号とを合成する。これにより、D S P 1 0 4 は、1 フレーム分の静止画用の画像信号を生成する。

【0 2 1 0】

本実施形態によれば、動画に使用せず静止画のみに使用する画素の信号を一時的に保持する記憶手段がデジタル値で保持するメモリになることにより、大容量のメモリを比較的容易に構成することができる。

10

【0 2 1 1】

また、画素から読み出された信号をデジタルのメモリに保持させるので、アナログのメモリにおける問題（微小な欠陥に起因したリーク電流等）を回避できる。

【0 2 1 2】

なお、本実施形態では動画に使用する画素と使用しない画素との区別を行単位でのみ行ったが、デジタルのメモリを使用していることで、列方向（水平方向）でも区別してもよい。これにより、データをフレームごとに更新する行と更新しない行とをより細かく制御することができ、より効率的な静止画用のデータの転送が可能となる。

【0 2 1 3】

また、N 信号を先に読み出してから S 信号を読み出すことが出来、リセットノイズも除去できる。この場合、画質を容易に向上できる。

20

【図面の簡単な説明】

【0 2 1 4】

【図 1】本発明の第 1 実施形態に係る撮像装置 1 0 0 の構成図。

【図 2】撮像センサ 1 0 2 の構成図。

【図 3】画素 P 1 1 の構成図。

【図 4】列共通読み出し回路 R C 1 の構成図。

【図 5】1 5 行 2 5 列の画素 P 1 , 1 ~ P 1 5 , 2 5 で構成された画素配列 P A を示した図。

【図 6】動画撮影モードにおける動作を模式的に示した図。

30

【図 7】各行の画素における光電変換部 2 0 1 のリセット動作を示すタイミングチャート。

【図 8】各行の画素における光電変換部 2 0 1 の電荷の転送動作を示すタイミングチャート。

【図 9】第 1 の読み出し動作に関するタイミングチャート。

【図 1 0】間引き動作 6 0 5 に関するタイミングチャート。

【図 1 1】動画 / 静止画並行撮影モードにおける動作を模式的に示した図。

【図 1 2】各行の画素における光電変換部 2 0 1 の電荷の転送動作を示すタイミングチャート。

【図 1 3】間引き動作 1 1 0 5 に関するタイミングチャート。

40

【図 1 4】本発明の第 2 実施形態における 2 0 行 2 9 列の画素 P 1 , 1 ~ P 2 0 , 2 9 で構成された画素配列 P A を示した図。

【図 1 5】本発明の第 2 実施形態における動画 / 静止画並行撮影モードにおける動作を模式的に示した図。

【図 1 6】本発明の第 2 実施形態における動画 / 静止画並行撮影モードにおける動作を模式的に示した図。

【図 1 7】本発明の第 3 実施形態に係る撮像装置における画素 P 1 1 i の構成図。

【図 1 8】本発明の第 3 実施形態における動画撮影モードの動作を模式的に示した図。

【図 1 9】第 1 の読み出し動作に関するタイミングチャート。

【図 2 0】間引き動作 1 8 0 5 に関するタイミングチャート。

50

【図 2 1】リセット動作 1 8 0 1 a に関するタイミングチャート。

【図 2 2】リセット動作 1 8 0 1 b に関するタイミングチャート。

【図 2 3】本発明の第 3 実施形態における動画 / 静止画並行撮影モードの動作を模式的に示した図。

【図 2 4】リセット動作 2 3 0 1 a に関するタイミングチャート。

【図 2 5】リセット動作 2 3 0 1 b に関するタイミングチャート。

【図 2 6】第 2 の読み出し動作 2 3 0 4 に関するタイミングチャート。

【図 2 7】間引き動作 2 3 0 5 に関するタイミングチャート。

【図 2 8】本発明の第 4 実施形態に係る撮像装置 1 0 0 i の構成図。

【図 2 9】本発明の第 4 実施形態における撮像センサ 1 0 2 i の構成図。

【図 3 0】本発明の第 4 実施形態における列共通読み出し回路 R C 1 i の構成図。

【図 3 1】動画撮影モードの動作を模式的に示した図。

【図 3 2】第 1 の読み出し動作 3 1 0 2 に関するタイミングチャート。

【図 3 3】リセット動作 3 1 0 1 に関するタイミングチャート。

【図 3 4】動画 / 静止画並行撮影モードの動作を模式的に示した図。

【符号の説明】

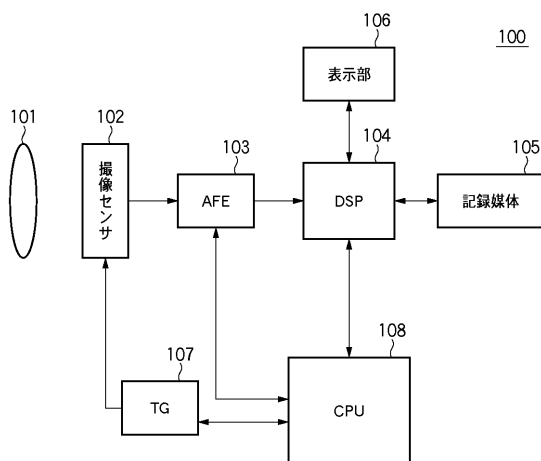
【 0 2 1 5 】

1 0 0 , 1 0 0 i 撮像装置

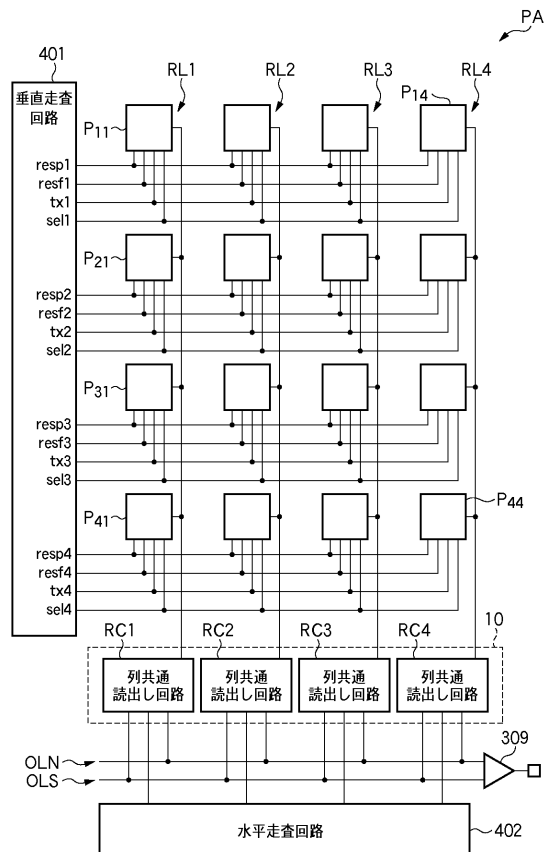
1 0 2 , 1 0 2 i 撮像センサ

10

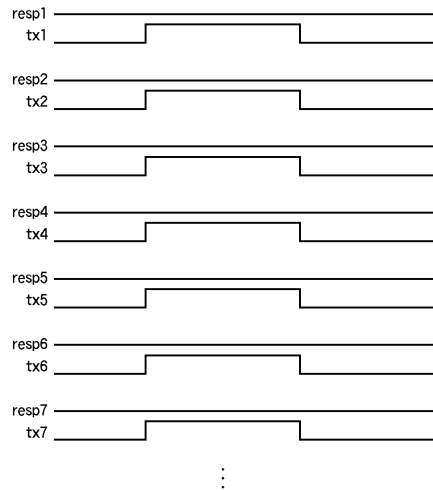
【図 1】



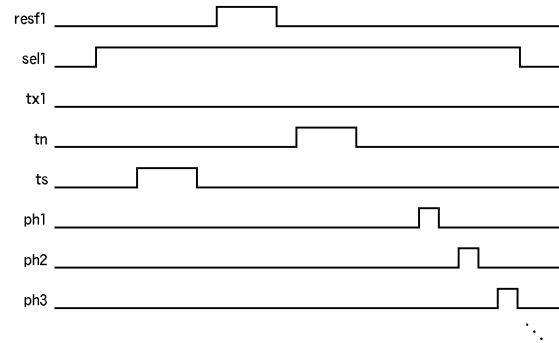
【図 2】



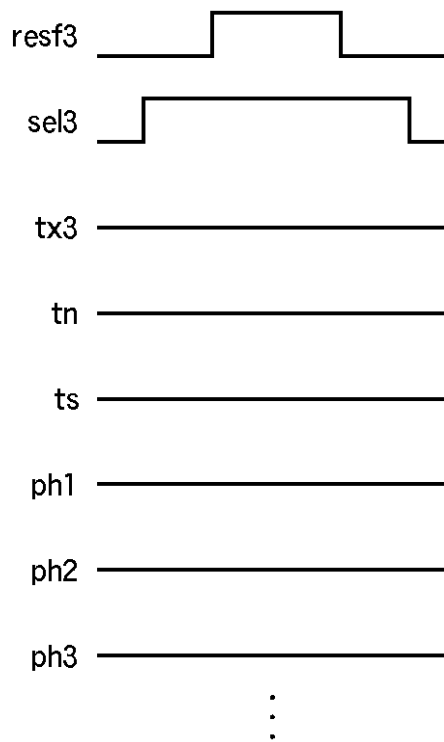
【図 8】



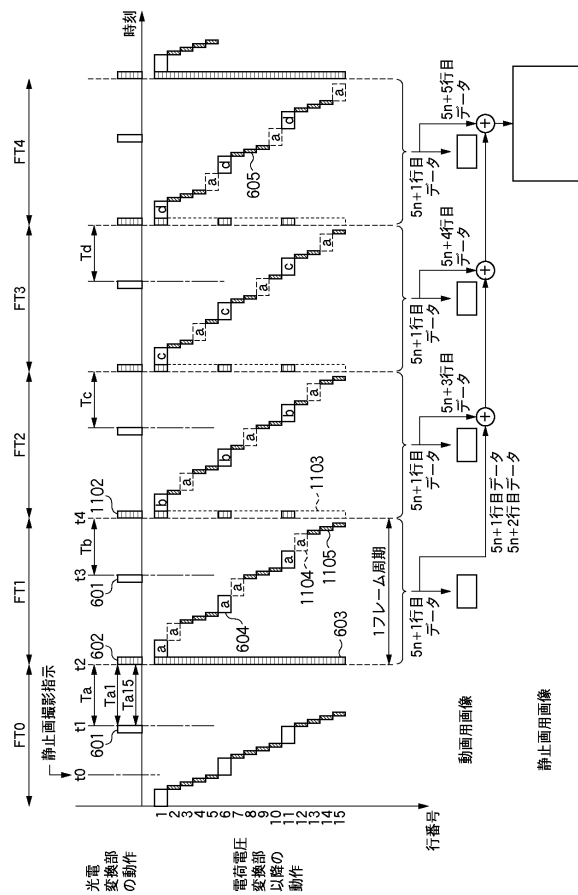
【図 9】



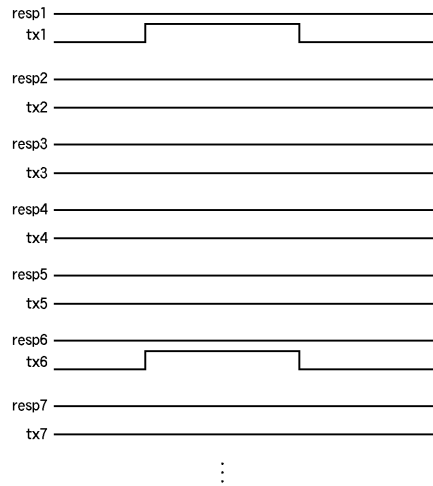
【図 10】



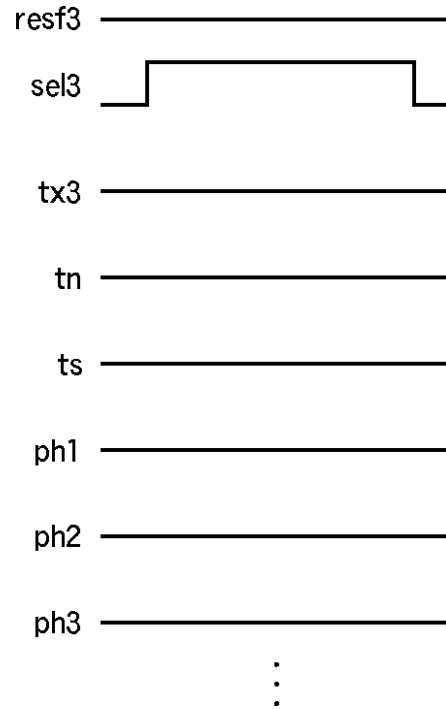
【図 11】



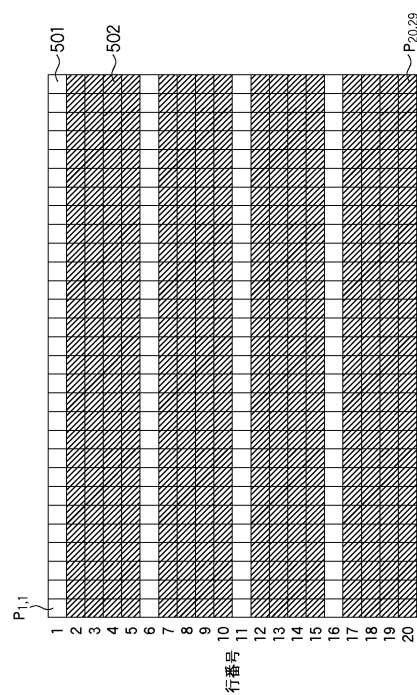
【 図 1 2 】



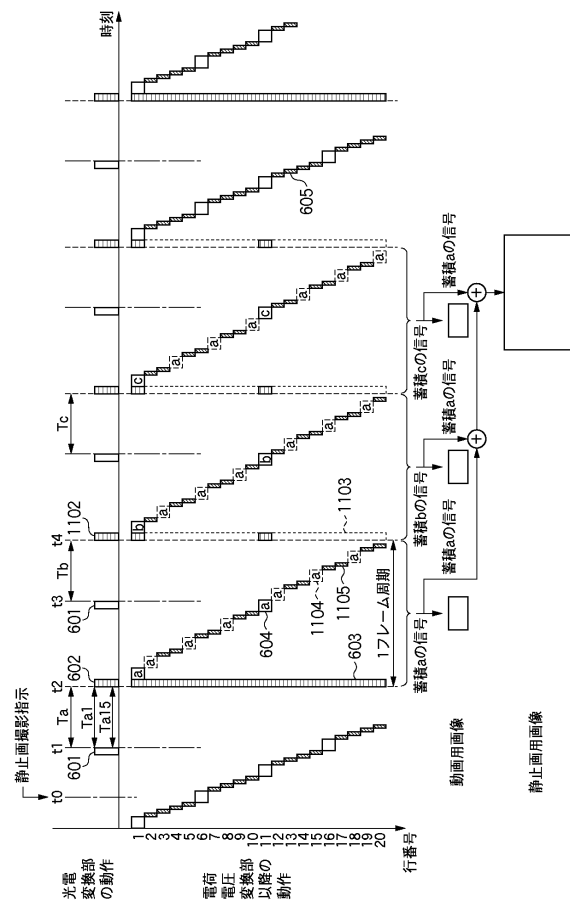
【 図 1 3 】



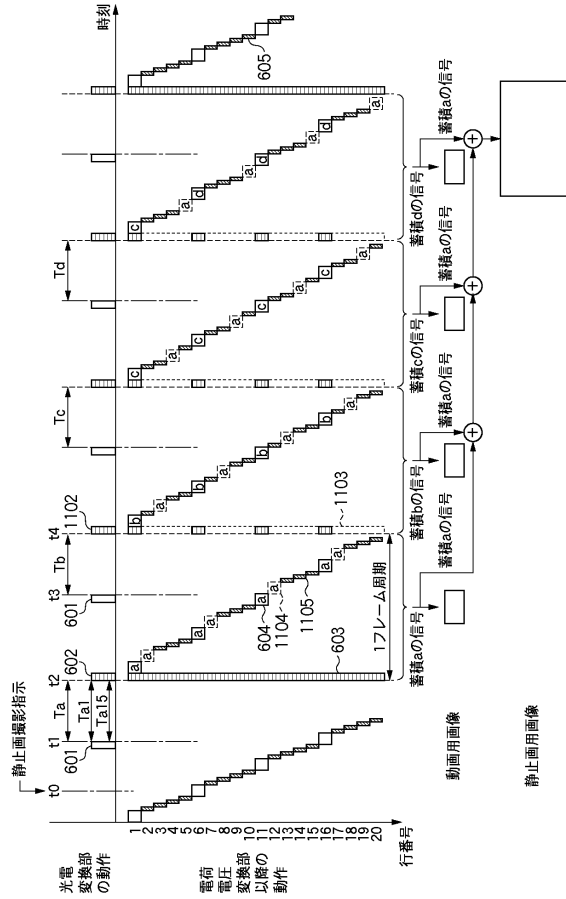
【 図 1 4 】



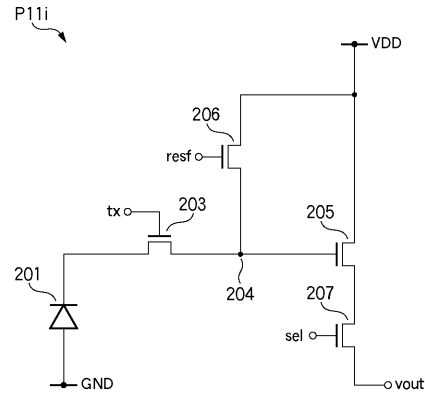
【 図 1 5 】



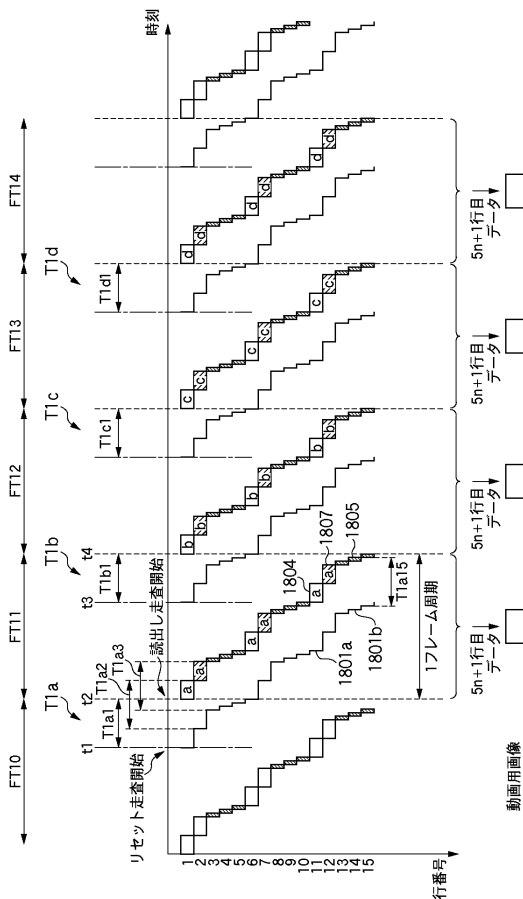
【図16】



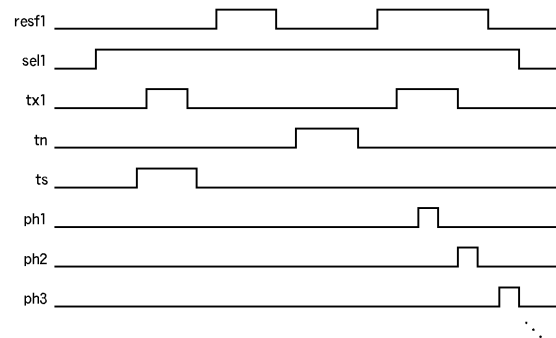
【図17】



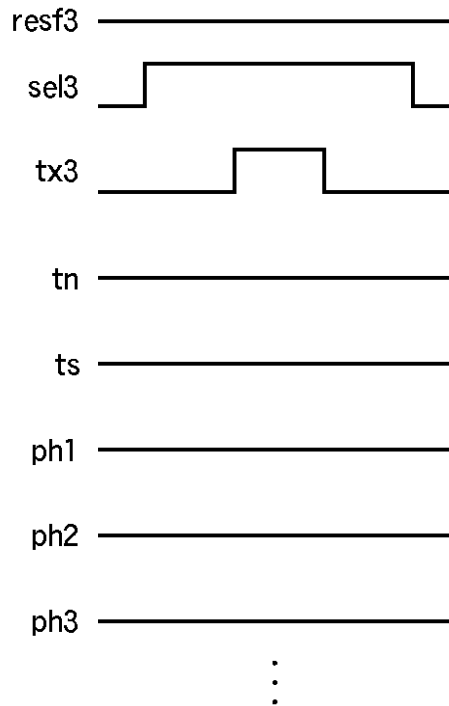
【図18】



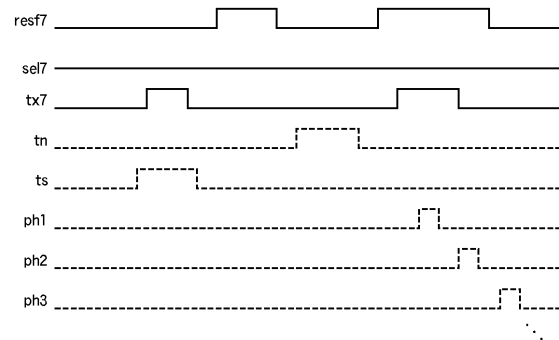
【図19】



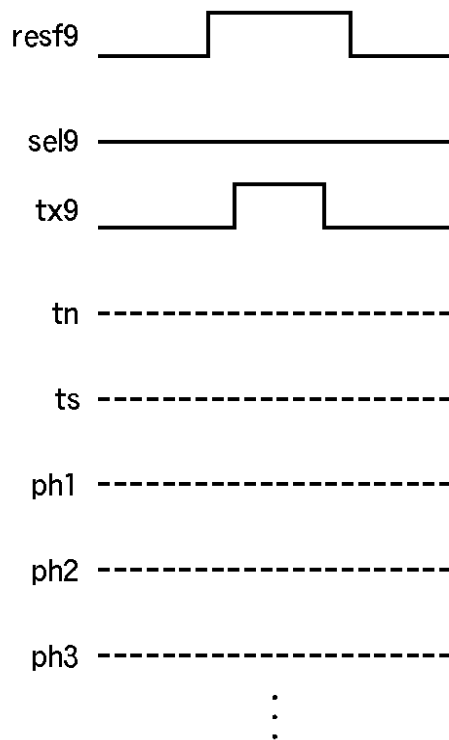
【図 20】



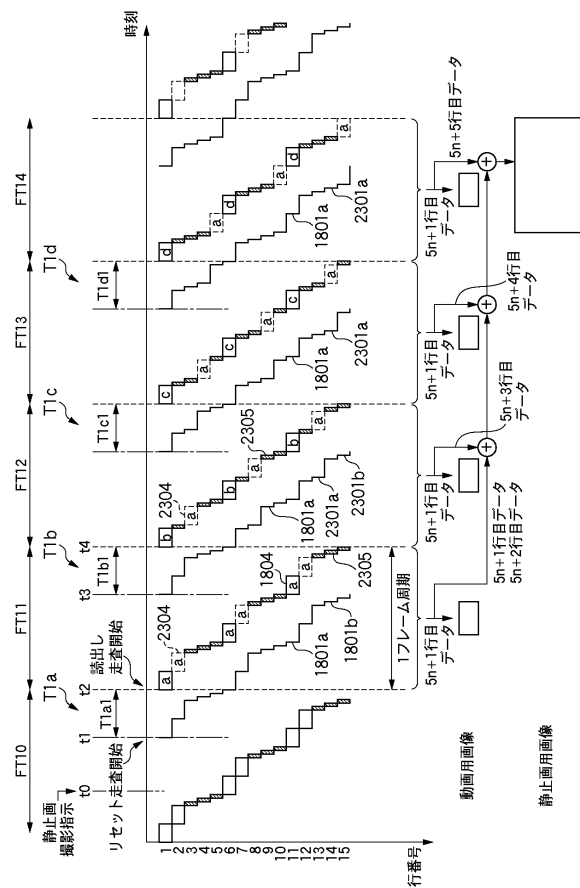
【図 21】



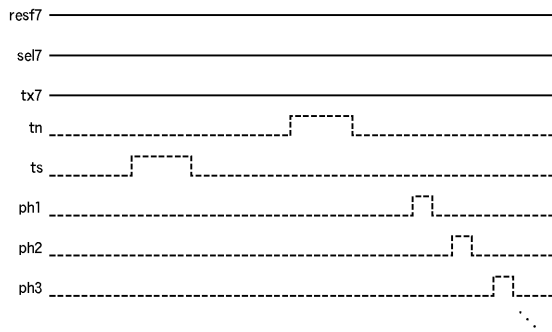
【図 22】



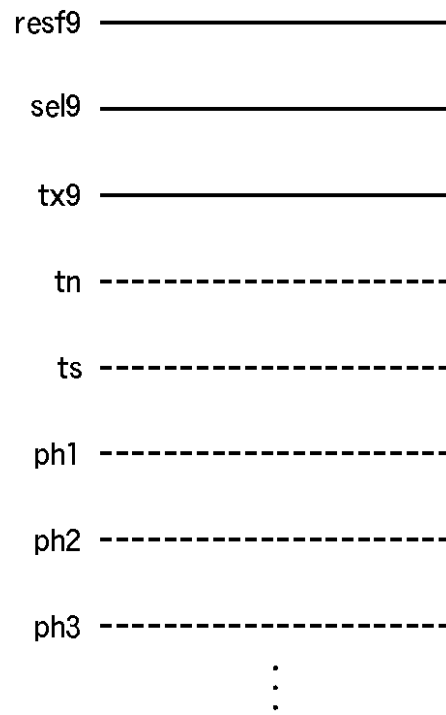
【図 23】



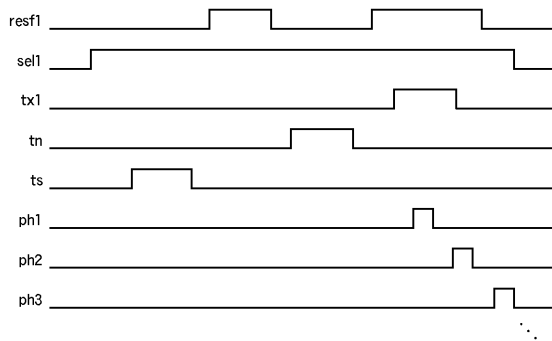
【図 2 4】



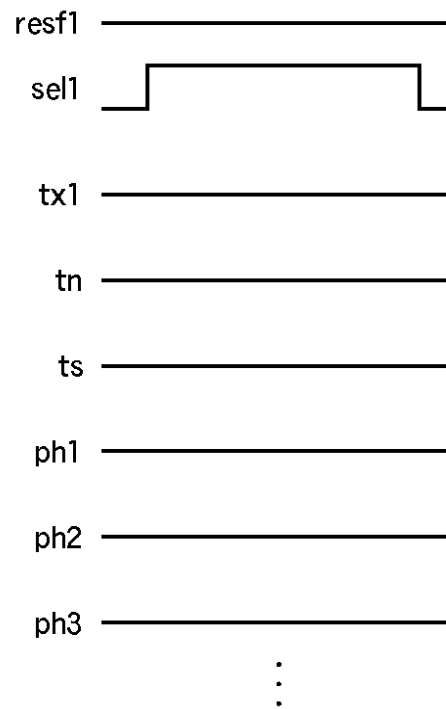
【図 2 5】



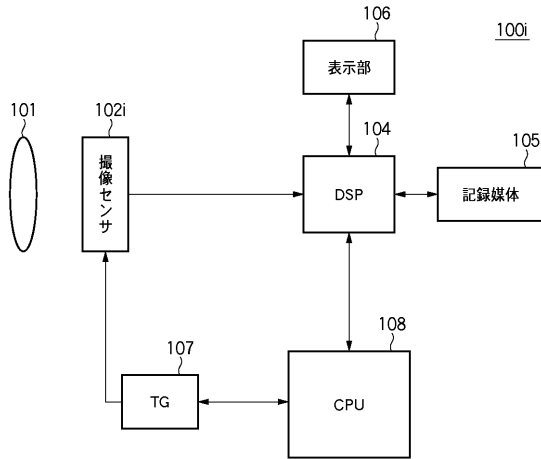
【図 2 6】



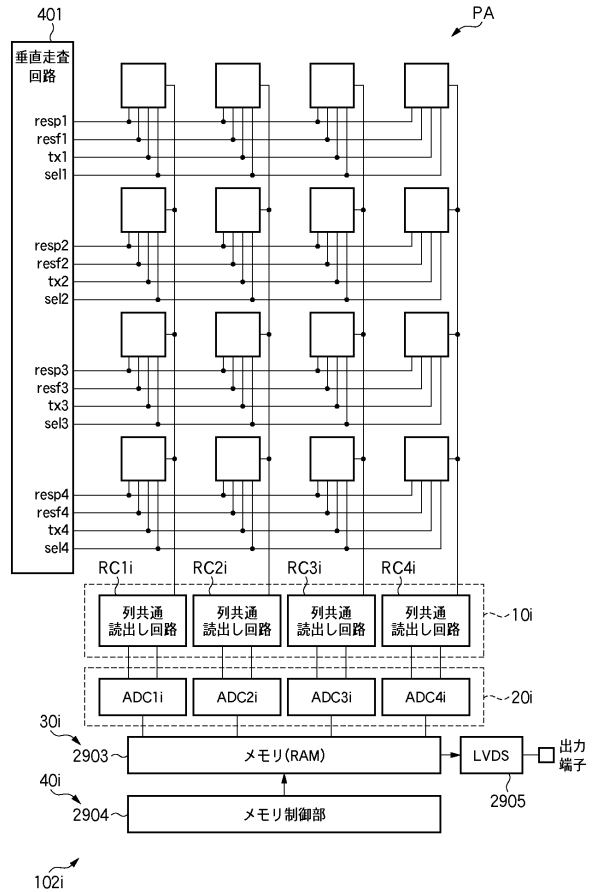
【図 2 7】



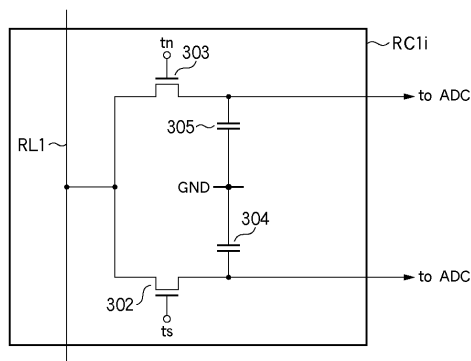
【図 28】



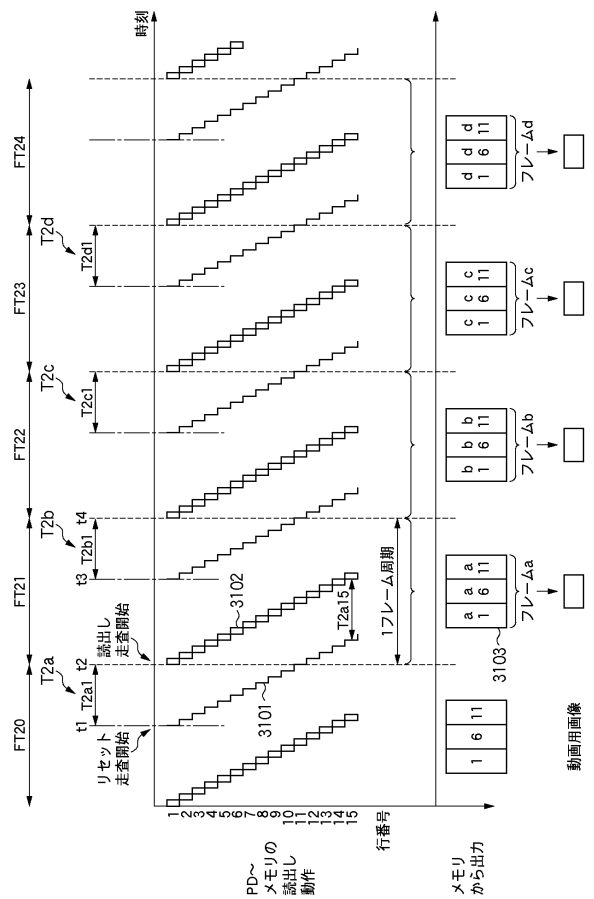
【図 29】



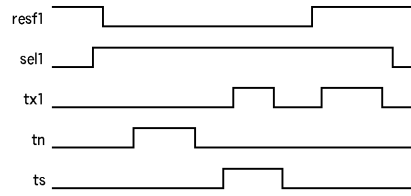
【図 30】



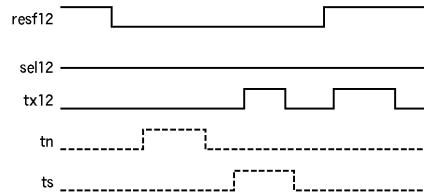
【図 31】



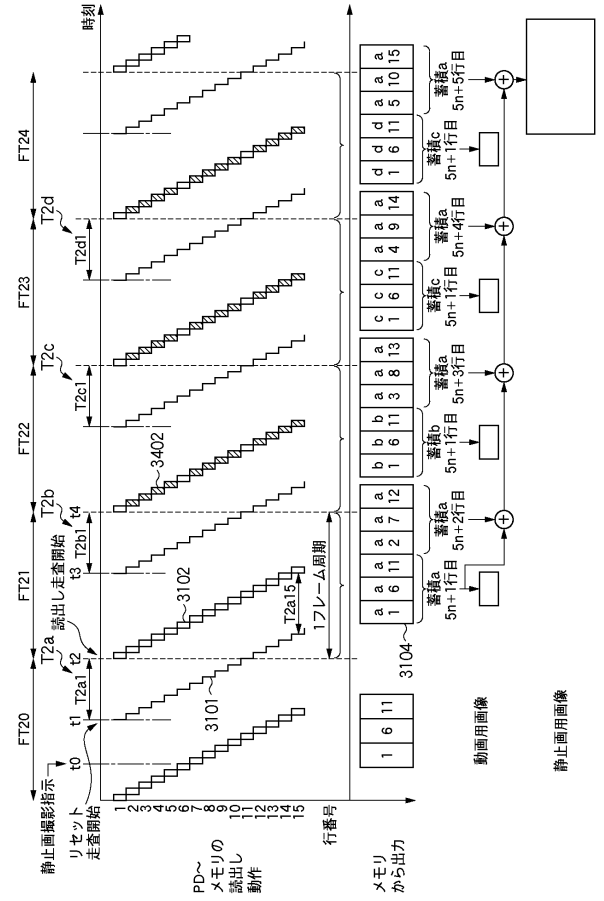
【図 32】



【図 33】



【図 34】



フロントページの続き

(72)発明者 内田 峰雄
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 木方 庸輔

(56)参考文献 特開2007-324985(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/335