

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6396671号  
(P6396671)

(45) 発行日 平成30年9月26日(2018.9.26)

(24) 登録日 平成30年9月7日(2018.9.7)

(51) Int.Cl. F I  
**G06F 9/34 (2006.01)** G O 6 F 9/34 3 3 0  
**G06F 1/30 (2006.01)** G O 6 F 1/30 M

請求項の数 8 (全 37 頁)

<p>(21) 出願番号 特願2014-85989 (P2014-85989)                  (22) 出願日 平成26年4月18日 (2014.4.18)                  (65) 公開番号 特開2014-225251 (P2014-225251A)                  (43) 公開日 平成26年12月4日 (2014.12.4)                  審査請求日 平成29年4月11日 (2017.4.11)                  (31) 優先権主張番号 特願2013-93142 (P2013-93142)                  (32) 優先日 平成25年4月26日 (2013.4.26)                  (33) 優先権主張国 日本国 (JP)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 米田 誠一                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  審査官 清木 泰                  (56) 参考文献 国際公開第2013/035836 (W                  O, A1)                  特表2011-524555 (JP, A                  )</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

揮発性レジスタ及び不揮発性レジスタを有するレジスタが複数設けられた論理回路と、  
 命令レジスタを介して命令キャッシュに記憶された複数の命令を有する命令群を受信する命令デコーダと、

複数の前記命令のうち、前記論理回路で未実行の前記命令のオペコード及びオペランドをもとに、前記揮発性レジスタから前記不揮発性レジスタへのデータの退避が不要な退避不要アドレスを判定する退避必要性判定回路と、

前記退避不要アドレスに従って、前記論理回路でのデータの退避及び電源供給を制御するパワーゲーティング制御回路と、を有する半導体装置。

【請求項2】

請求項1において、前記命令デコーダは、

受信した複数の前記命令を順にデコードするデコーダと、

デコードされた前記命令を前記論理回路に送信する毎にカウント値をインクリメントする、命令カウンタと、

前記命令デコーダに電源オフ要求信号が与えられた時点での前記命令カウンタの前記カウント値に基づいて、前記デコーダから送信された前記オペコード及び前記オペランドを識別する情報を、前記退避必要性判定回路に送信する命令読出回路と、を有する半導体装置。

【請求項3】

請求項 1 または 2 において、前記退避必要性判定回路は、  
 前記オペコードをもとに前記オペランドのアドレスがデスティネーションアドレスかソースアドレスかを前記オペコード毎に判定するアドレス判定回路と、  
 前記デスティネーションアドレスと前記ソースアドレスとの比較を行う比較回路を有し、前記比較回路による比較結果に基づいて判定した前記退避不要アドレスを前記パワーゲーティング制御回路に送信する退避不要アドレス判定回路と、を有する半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記パワーゲーティング制御回路は、  
 前記退避不要アドレスを記憶する退避不要アドレス用レジスタと、  
 前記退避不要アドレスをもとに、退避・復帰制御信号を生成する退避・復帰制御回路と、を有する半導体装置。

10

【請求項 5】

揮発性レジスタ及び不揮発性レジスタを有するレジスタが複数設けられた論理回路と、  
 命令レジスタを介して命令キャッシュに記憶された複数の命令を有する命令群を受信する命令デコーダと、  
 複数の前記命令のうち、未実行の前記命令の命令アドレスをもとに、前記揮発性レジスタから前記不揮発性レジスタへのデータの退避が不要な退避不要アドレスを判定する退避必要性判定回路と、  
 前記退避不要アドレスに従って、前記論理回路でのデータの退避及び電源供給を制御するパワーゲーティング制御回路と、を有する半導体装置。

20

【請求項 6】

請求項 5 において、前記命令デコーダは、  
 受信した複数の前記命令を順にデコードするデコーダと、  
 デコードされた前記命令を前記論理回路に送信する毎にカウント値をインクリメントする、命令カウンタと、  
 前記命令デコーダに電源オフ要求信号が与えられた時点での前記命令カウンタの前記カウント値に基づいて、前記デコーダから送信された前記命令アドレスを前記退避必要性判定回路に送信する命令アドレス読出回路と、を有する半導体装置。

【請求項 7】

請求項 5 または 6 において、前記退避必要性判定回路は、  
 前記命令アドレスに対応して決まるアドレスを前記退避不要アドレスとして前記パワーゲーティング制御回路に送信する退避不要アドレス判定回路、を有する半導体装置。

30

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記不揮発性レジスタが有する記憶素子は、酸化物半導体層を有するトランジスタを用いて電荷の保持を行うことにより前記データを記憶する素子である、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に、電源の供給を停止してもデータの記憶が可能な半導体装置、またはその駆動方法に関する。

40

【背景技術】

【0002】

MPU (Micro Processing Unit) などの半導体装置は、性能の向上及び消費電力の低減を図るため、動作周波数の向上及び素子の微細化の研究開発が進められている。一方で半導体装置の消費電力は、素子の微細化に伴うリーク電力等に起因して上昇の一途をたどっている。

【0003】

近年、この消費電力の上昇の問題に対し、半導体装置内に揮発性と不揮発性を兼備したレジスタを設け、揮発性レジスタと不揮発性レジスタの間でデータを退避または復帰する構

50

成とすることで、半導体装置への電源供給を積極的に停止及び再開させ、消費電力を劇的に低下させる技術が注目されている（特許文献1を参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開第2009/136442号

【特許文献2】特開2008-204459号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

揮発性レジスタと不揮発性レジスタの間でデータを退避または復帰する構成では、退避するデータ量が多くなると、データを退避または復帰するための電力や、データを退避または復帰するためにかかる時間、が増加してしまう。

【0006】

そこで本発明の一態様は、揮発性レジスタと不揮発性レジスタの間でデータを退避または復帰する半導体装置の構成において、半導体装置への電源供給を停止及び再開する際に、退避または復帰するデータ量を削減することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、半導体装置内に退避必要性判定回路を設ける。そして、退避必要性判定回路はデコーダでデコードされた命令の種類を読み取り、揮発性レジスタから不揮発性レジスタへのデータの退避に関する要否を判定する構成とする。

【0008】

本発明の一態様による構成では、論理回路で演算に用いたデータのうち、電源供給の停止前と再開後とで必要なデータを選別することができる。電源供給の再開後に必要なデータは、電源供給の停止前に揮発性レジスタから不揮発性レジスタへ退避させ、電源供給の再開後に不要なデータは、電源供給の停止前に揮発性レジスタから不揮発性レジスタへ退避せずに破棄する構成とすることができる。

【0009】

本発明の一態様は、揮発性レジスタ及び不揮発性レジスタを有するレジスタが複数設けられた論理回路と、命令レジスタを介して命令キャッシュに記憶された複数の命令を有する命令群を受信する命令デコーダと、複数の命令のうち、論理回路で未実行の命令のオペコード及びオペランドをもとに、揮発性レジスタから不揮発性レジスタへのデータの退避が不要な退避不要アドレスを判定する退避必要性判定回路と、退避不要アドレスに従って、論理回路でのデータの退避及び電源供給を制御するパワーゲーティング制御回路と、を有する半導体装置である。

【0010】

本発明の一態様において、命令デコーダは、受信した複数の命令を順にデコードするデコーダと、デコードされた命令を論理回路に送信する毎にカウント値をインクリメントする、命令カウンタと、命令デコーダに電源オフ要求信号が与えられた時点での命令カウンタのカウント値に基づいて、デコーダから送信されたオペコード及びオペランドを退避必要性判定回路に送信する命令読出回路と、を有する半導体装置が好ましい。

【0011】

本発明の一態様において、退避必要性判定回路は、オペコードをもとにオペランドのアドレスがデスティネーションアドレスかソースアドレスかをオペコード毎に判定するアドレス判定回路と、デスティネーションアドレスとソースアドレスとの比較を行う比較回路を有し、比較回路でソースアドレスと一致しないデスティネーションアドレスを退避不要アドレスとしてパワーゲーティング制御回路に送信する退避不要アドレス判定回路と、を有する半導体装置が好ましい。

【0012】

10

20

30

40

50

本発明の一態様において、パワーゲーティング制御回路は、退避不要アドレスを記憶する退避不要アドレス用レジスタと、退避不要アドレスをもとに、退避・復帰制御信号を生成する退避・復帰制御回路と、を有する半導体装置が好ましい。

【0013】

本発明の一態様は、揮発性レジスタ及び不揮発性レジスタを有するレジスタが複数設けられた論理回路と、命令レジスタを介して命令キャッシュに記憶された複数の命令を有する命令群を受信する命令デコーダと、複数の命令のうち、未実行の命令の命令アドレスをもとに、揮発性レジスタから不揮発性レジスタへのデータの退避が不要な退避不要アドレスを判定する退避必要性判定回路と、退避不要アドレスに従って、論理回路でのデータの退避及び電源供給を制御するパワーゲーティング制御回路と、を有する半導体装置である。

10

【0014】

本発明の一態様において、命令デコーダは、受信した複数の命令を順にデコードするデコーダと、デコードされた命令を論理回路に送信する毎にカウント値をインクリメントする、命令カウンタと、命令デコーダに電源オフ要求信号が与えられた時点での命令カウンタのカウント値に基づいて、デコーダから送信された命令アドレスを退避必要性判定回路に送信する命令アドレス読出回路と、を有する半導体装置が好ましい。

【0015】

本発明の一態様において、退避必要性判定回路は、命令アドレスに対応して決まるアドレスを退避不要アドレスとしてパワーゲーティング制御回路に送信する退避不要アドレス判定回路、を有する半導体装置が好ましい。

20

【0016】

本発明の一態様において、不揮発性レジスタが有する記憶素子は、酸化物半導体層を有するトランジスタを用いて電荷の保持を行うことによりデータを記憶する素子である、半導体装置が好ましい。

【発明の効果】

【0017】

本発明の一態様により、揮発性レジスタと不揮発性レジスタの間でデータを退避または復帰する半導体装置の構成において、半導体装置への電源供給を停止及び再開する際に、退避または復帰するデータ量を削減することができる。そのため、データを退避または復帰するための電力や、データを退避または復帰するためにかかる時間、を削減することができる。

30

【図面の簡単な説明】

【0018】

【図1】半導体装置の構成を示すブロック図。

【図2】半導体装置の構成を示すブロック図。

【図3】半導体装置の動作を示すフローチャート図。

【図4】半導体装置の動作を示すフローチャート図。

【図5】半導体装置の構成を説明する図。

【図6】半導体装置の動作を示すフローチャート図。

【図7】半導体装置の構成を説明する図。

40

【図8】半導体装置の構成を説明する図。

【図9】半導体装置の構成を説明する図。

【図10】半導体装置の構成を説明する図。

【図11】半導体装置の構成を示すブロック図。

【図12】半導体装置の構成を説明する図。

【図13】揮発性レジスタ及び不揮発性レジスタを有するレジスタの構成例を説明する回路図。

【図14】揮発性レジスタ及び不揮発性レジスタを有するレジスタのタイミングチャート図。

【図15】半導体装置の断面図。

50

【図16】トランジスタの断面図。

【図17】半導体装置の作製工程を示すフローチャート図及び完成した電子部品の斜視模式図。

【図18】半導体装置を用いた電子機器。

【発明を実施するための形態】

【0019】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

10

【0020】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0021】

また本明細書等において、トランジスタとは、ゲート（ゲート端子又はゲート電極）と、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。

20

【0022】

ここで、ソースとドレインとは、トランジスタの構造または動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソースまたはドレインと呼ばず、ソースとドレインとの一方を第1電極と表記し、ソースとドレインとの他方を第2電極と表記する場合がある。

【0023】

なお本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

30

【0024】

なお本明細書において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

【0025】

なお本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

40

【0026】

なお図面における各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう図面で示していても、実際の回路ブロックでは、同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックでは、一つの回路ブロックで行う処理を複数の回路ブロックで行うよう設けられている場合もある。

【0027】

50

なお、本明細書において、電圧とは、ある電位と、基準電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。なお電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。

【0028】

なお本明細書において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。従って、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。従って、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。

10

【0029】

また本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0030】

（実施の形態1）

本実施の形態では、開示する発明の一態様に係る半導体装置が有する、各ブロックの構成及びその機能について、図1乃至図10を参照して説明する。

【0031】

なお、半導体装置とは、半導体素子を有する装置のことをいう。

【0032】

図1は、半導体装置のブロック図である。図1に示す半導体装置100は、命令キャッシュ110 (instruction cache)、命令レジスタ120 (instruction register)、命令デコーダ130 (instruction decoder)、退避必要性判定回路140 (backup need determination circuit)、パワーゲーティング制御回路150 (power gating control circuit)、及び論理回路160 (logic circuit)を有する。論理回路160は、不揮発性と揮発性を兼備するレジスタ161を有する。レジスタ161は、揮発性レジスタ162 (volatile register)及び不揮発性レジスタ163 (nonvolatile register)を有する。

20

【0033】

命令キャッシュ110は、DRAM等の外部記憶装置から送信された命令群を一時的に記憶する機能、及び記憶した命令群を命令レジスタ120の制御に従って送信する機能、を備えた回路である。半導体装置100に備えられた命令キャッシュ110は、外部記憶装置のアドレスを指定して実行する命令群 (instruction group) を命令デコーダ130に直接読み出すことなく、且つ命令レジスタ120の制御によって命令デコーダ130に所望の命令群を外部記憶装置よりも高速で、受信することができる。

30

【0034】

なお命令キャッシュ110は、説明のために半導体装置100の内部に設ける構成を示しているが、半導体装置100の外部に設ける構成としてもよい。

【0035】

なお命令群とは、プログラムカウンタを用いて外部記憶装置から命令キャッシュ110に読み出された、命令の集合である。例えば、『 $A + B = C$ 』といった加算を行うプログラムであれば、1)レジスタにAを読み出す、2)レジスタにBを読み出す、3)AとBを足してCを求めてレジスタに書き込む、といった複数の命令を実行することになる。これらの複数の命令を、「命令群」と呼び、以下説明を行う。

40

【0036】

命令レジスタ120は、命令キャッシュ110に記憶された命令群を一時的に記憶する機能を備えた回路である。半導体装置100に備えられた命令レジスタ120は、命令デコーダ130の制御によって命令デコーダ130に所望の命令群を受信することができる。

【0037】

50

命令デコーダ130は、受信した命令群をデコードした命令を論理回路に送信する機能、及び受信した命令群のうち実行されていない命令のオペランド、オペコードを退避必要性判定回路140に送信する機能、を備えた回路である。半導体装置100に備えられた命令デコーダ130は、電源供給の停止時におけるデータの退避の要否を判定するためのオペランド、オペコードを退避必要性判定回路140に送信することができる。

【0038】

退避必要性判定回路140は、命令デコーダ130より送信されるオペランド、オペコードをもとに、電源供給の停止時におけるデータの退避の要否を選択した退避不要アドレスを判定する機能、を備えた回路である。半導体装置100に備えられた退避必要性判定回路140は、退避不要アドレス(backup-free address)をパワーゲーティング制御回路150に送信することができる。

10

【0039】

パワーゲーティング制御回路150は、退避必要性判定回路140より送信される退避不要アドレスをもとに、論理回路160のレジスタ161が有する揮発性レジスタ162から不揮発性レジスタ163へのデータの退避、及び不揮発性レジスタ163から揮発性レジスタ162への復帰を制御する退避・復帰制御信号(backup/recovery control signal)を生成する機能、を備えた回路である。半導体装置100に備えられたパワーゲーティング制御回路150は、退避・復帰制御信号を論理回路160に送信することができる。

【0040】

20

論理回路160は、退避・復帰制御信号に従って揮発性レジスタ162と不揮発性レジスタ163の間のデータの退避・復帰を制御する機能、を備えた回路である。

【0041】

揮発性レジスタ162及び不揮発性レジスタ163は、データ処理に伴ったデータの記憶を行う回路である。レジスタ161におけるデータの記憶は、電源供給が行われる期間では揮発性レジスタ162で行い、電源供給が停止している期間では不揮発性レジスタ163で行う。

【0042】

揮発性レジスタ162は、不揮発性レジスタ163を構成する素子と積層して設けられる素子で構成されることが好ましい。具体的に揮発性レジスタ162は、シリコン系の半導体素子(容量素子、トランジスタ等)を適用することができる。

30

【0043】

不揮発性レジスタ163は、揮発性レジスタ162を構成する素子と積層して設けられる不揮発性記憶素子を具備する素子で構成されることが好ましい。具体的に不揮発性レジスタ163に適用可能な不揮発性記憶素子としては、強誘電体メモリ(FERAM)、磁気抵抗メモリ(MRAM)、相変化メモリ(PRAM)、電界誘起巨大抵抗変化を利用した抵抗変化型メモリ(ReRAM)、または酸化物半導体層を有するトランジスタを用いた不揮発性記憶素子、を用いることができる。

【0044】

以上説明した半導体装置100では、退避必要性判定回路140を設ける。そして、退避必要性判定回路140は、命令デコーダ130でデコードされた命令の種類(オペコード)を読み取り、揮発性レジスタ162から不揮発性レジスタ163へのデータの退避に関する要否を判定する構成とする。

40

【0045】

そして半導体装置100の構成では、論理回路160で演算に用いたデータのうち、電源供給の停止前と再開後とで必要なデータを選別することができる。電源供給の再開後に必要なデータは、電源供給の停止前に揮発性レジスタ162から不揮発性レジスタ163へ退避させ、電源供給の再開後に不要なデータは、電源供給の停止前に揮発性レジスタ162から不揮発性レジスタ163へ退避せずに破棄する構成とすることができる。その結果、半導体装置への電源供給を停止及び再開する際に、揮発性レジスタ162から不揮発性

50

レジスタ163へ退避、または不揮発性レジスタ163から揮発性レジスタ162へ復帰するデータ量を削減することができる。そのため、データを退避または復帰するための電力や、データを退避または復帰するためにかかる時間、を削減することができる。

【0046】

次いで、図1に示す半導体装置100のブロック図について、より詳細なブロック図を図2に示す。また、図2に示すブロック図の動作、及び動作時のデータの判定について、図3乃至図7で具体例を示し説明する。

【0047】

図2では、図1に示したブロック図における命令デコーダ130内に、デコーダ131、命令レジスタ制御回路132 (instruction register control circuit)、命令カウンタ133 (instruction counter) 及び命令読出回路134 (instruction readout circuit) を有する。

10

【0048】

図2では、図1に示したブロック図における退避必要性判定回路140内に、アドレス判定回路141 (address determination circuit)、退避不要アドレス判定回路142 (backup-free address determination circuit) 及び電源オフ要求回路143 (power off request circuit) を有する。また、退避不要アドレス判定回路142は、比較回路144 (comparison circuit) を有する。

20

【0049】

図2では、図1に示したブロック図におけるパワーゲーティング制御回路150内に、退避不要アドレス用レジスタ151 (backup-free address register)、退避・復帰制御回路152 (backup/recovery control circuit) 及び電源供給制御回路153 (power supply control circuit) を有する。

【0050】

デコーダ131は、受信した命令群の命令を順にデコードする回路である。デコードした命令は、論理回路160に送信される。またデコーダ131は、命令カウンタ133のカウント値に従って、オペランド及びオPCODEを命令読出回路134に送信する回路である。またデコーダ131は、命令群の命令をデコードして論理回路160に送信する毎に、命令カウンタ133のカウント値をインクリメントする回路である。

30

【0051】

命令レジスタ制御回路132は、命令レジスタ120に命令レジスタ制御信号 (instruction register control signal) を送信する回路である。また、命令レジスタ制御回路132は、条件分岐信号 (conditional branch signal) が命令レジスタ制御回路132に与えられると、命令カウンタ133のカウント値をリセットする回路である。命令カウンタ133がリセットされるタイミングで、命令レジスタ制御回路132は、命令デコーダ130に新たな命令群を受信するための命令レジスタ制御信号を送信する。

40

【0052】

なお命令レジスタ制御信号とは、命令キャッシュ110から送信された命令群が一時的に記憶された命令レジスタ120に対して、該命令群を命令デコーダ130に送信させるための信号である。

【0053】

なお条件分岐信号とは、論理回路160で実行される命令によって生成される信号である。条件分岐信号が生成されると、プログラムカウンタの書き換えが起こる。命令レジスタに記憶された命令群を新たに書き換える必要がある。

【0054】

命令カウンタ133は、デコードされた命令を論理回路160に送信する毎にカウント値

50



がデコーダ131によってインクリメントされる回路である。また命令カウンタ133は、命令デコーダ130に電源オフ要求信号(power off request signal)が与えられた時点でのカウント値を命令読出回路134に送信する回路である。命令カウンタ133で得られるカウント値は、デコーダ131でデコードする命令群のうち何番目の命令を実行しているかの指標となる。

【0055】

また命令カウンタ133のカウント値は、命令群が有する命令を全て論理回路160に送信することで、リセットされる。なお命令カウンタ133がリセットされるタイミングで、命令レジスタ制御回路132は、命令デコーダ130に新たな命令群を受信するための命令レジスタ制御信号を送信する。

10

【0056】

なお電源オフ要求信号とは、一例としては、半導体装置100の動作が一定期間必要ない場合、半導体装置100の外部から与えられる信号である。なお半導体装置100の動作が必要か必要ないかについては、タイマーを用いて判断すればよい。例えば、タイマーを用いて一定期間をカウントし、半導体装置100に対して信号の送受信が一定期間検出されない場合、半導体装置100に電源オフ要求信号を送信する構成とすればよい。

【0057】

命令読出回路134は、命令デコーダ130に電源オフ要求信号が与えられた場合、命令カウンタ133のカウント値に基づいて、未実行の命令をデコーダ131でデコードして得られるオペランド、オペコードをアドレス判定回路141に送信する回路である。また命令読出回路134は、アドレス判定回路141へのオペランド、オペコードの送信が完了した後、読出完了信号(instruction readout completion signal)を電源オフ要求回路143へ送信する回路である。カウント値で示す命令より後段の命令は、論理回路160における未実行の命令に相当する。

20

【0058】

なお読出完了信号とは、命令読出回路134からアドレス判定回路141に送信されるオペランド、オペコードの送信が完了し、この完了を電源オフ要求回路143に知らせるための信号である。命令読出回路134が電源オフ要求回路143に読出完了信号を送信することで、半導体装置100は誤作動なく電源供給を停止するシーケンスを行うことができる。

30

【0059】

以上説明した命令デコーダ130では、受信した命令群をデコードした命令を論理回路に送信することができる。また、条件分岐信号に従って命令レジスタ120に命令レジスタ制御信号を送信することができる。また電源オフ要求信号に従って、受信した命令群のうち論理回路160に送信されていない命令のオペランド、オペコードを退避必要性判定回路140に送信することができる。また、論理回路160に送信されていない命令のオペランド、オペコードの、退避必要性判定回路140への送信を完了したことを知らせる読出完了信号をパワーゲーティング制御回路150へ送信することができる。

【0060】

アドレス判定回路141は、命令読出回路134より送信されるオペコードをもとに、命令読出回路134より送信されるオペランドのアドレスがデスティネーションアドレスかソースアドレスかをオペコード毎に判定する回路である。例えば、『オペランド1をインクリメントしてオペランド2に格納する』命令の場合、オペコードが『インクリメント(INC)』であり、オペランド1がソースアドレス、オペランド2がデスティネーションアドレスである。

40

【0061】

退避不要アドレス判定回路142は、アドレス判定回路141で判定された各命令のデスティネーションアドレス及びソースアドレスの比較を行い、具体的にどのアドレスのレジスタのデータが退避不要であるかの判定を行う回路である。具体的には、デスティネーションアドレスのデータが、退避復帰後に実行される命令によって書き換えられるか否かを

50

判定する。この判定は、アドレス判定回路141で得られるデスティネーションアドレスを、ソースアドレスと比較することで行われる。データの退避が不要なレジスタのアドレスは、退避不要アドレスとして退避不要アドレス用レジスタ151に送信される。

【0062】

なお退避不要アドレスとは、一例としては、論理回路160での揮発性レジスタ162から不揮発性レジスタ163にデータの退避が不要なレジスタ161のアドレスである。または退避不要アドレスとは、一例としては、論理回路160での不揮発性レジスタ163から揮発性レジスタ162にデータの復帰が不要なレジスタ161のアドレスである。

【0063】

電源オフ要求回路143は、命令読出回路134より送信される読出完了信号をもとに、退避・復帰制御回路152及び電源供給制御回路153に電源供給の停止をするための電源オフ信号(power off signal)を生成する回路である。なお電源オフ要求回路143が送信する電源オフ信号は、退避不要アドレス判定回路142から退避不要アドレス用レジスタ151に退避不要アドレスを送信するのを待って生成されることが好ましい。

10

【0064】

なお電源オフ信号とは、一例としては、論理回路160への電源供給を停止する回路である電源供給制御回路153を制御するための信号である。

【0065】

比較回路144は、退避不要アドレス判定回路142内において、アドレス判定回路141で判定された各命令のデスティネーションアドレス及びソースアドレスの比較を行う回路である。

20

【0066】

比較回路144の具体的な動作について述べる。命令デコーダ130で受信する命令群の命令が全部で $n$ 個( $n$ は2以上の自然数)ある場合を考える。命令デコーダ130が電源オフ要求信号を受信し、このとき命令カウンタ133のカウント値が $m$ ( $m$ は1以上、 $n$ 以下の自然数)の場合、 $m$ 番目以降の命令のオペランド、オペコードが命令読出回路134より送信される。つまり命令読出回路134からは、 $m$ 番目から $n$ 番目までの命令に関するオペランド、オペコードが、アドレス判定回路141を介して退避不要アドレス判定回路142の比較回路144に送信される。比較回路144における、各命令のデスティネーションアドレス及びソースアドレスの比較は、 $n$ 番目の命令のデスティネーションアドレスであれば、 $m$ 番目から $n$ 番目までのソースアドレスと比較することで一致又は不一致を判定する。

30

【0067】

この判定で、少なくとも一つのソースアドレスと一致するデスティネーションアドレスは、電源供給の再開後、命令の実行に用いられるデータであるため、データの退避を行う。また、この判定で、すべてのソースアドレスと不一致のデスティネーションアドレスは、電源供給の再開後、命令の実行に必要なデータのため、データの退避を行わず、該データを破棄する。データの退避を行わないデスティネーションアドレスは、退避不要アドレスとして退避不要アドレス用レジスタ151に送信される。

40

【0068】

以上説明した退避必要性判定回路140では、命令読出回路134より送信されるオペランド、オペコードをもとに、電源供給の停止時におけるデータの退避の要否を選択した退避不要アドレスを判定することができる。また、命令読出回路134より送信される読出完了信号をもとに、電源供給の停止をパワーゲーティング制御回路150に要求する電源オフ信号を生成することができる。

【0069】

退避不要アドレス用レジスタ151は、退避不要アドレスを記憶するためのレジスタである。退避不要アドレスは、データの退避が不要なレジスタのアドレスを特定するために用いられるとともに、データの復帰が必要なレジスタのアドレスを特定するために用いられ

50

る。退避不要アドレス用レジスタ151の退避不要アドレスは、必要に応じて退避・復帰制御回路152に送信される。

【0070】

退避・復帰制御回路152は、退避不要アドレス用レジスタ151から送信される退避不要アドレス、電源オフ要求回路143から送信される電源オフ信号、及び半導体装置100の外部より送信される電源オン要求信号(power on request signal)をもとに、論理回路160のレジスタ161が有する揮発性レジスタ162と不揮発性レジスタ163との間のデータの退避及び復帰を制御する退避・復帰制御信号(back up/recovery control signal)を生成する回路である。

10

【0071】

なお電源オン要求信号とは、一例としては、半導体装置100への電源供給が停止した状態から電源供給を再開する場合、半導体装置100の外部から与えられる信号である。なお半導体装置100への電源供給の再開は、半導体装置へのデータの送受信を検出し、この検出をもとに行う構成とすればよい。

【0072】

なお退避・復帰制御信号とは、一例としては、退避不要アドレス、電源オフ信号及び電源オン要求信号をもとに、データの退避が必要なレジスタで揮発性レジスタ162から不揮発性レジスタ163へのデータの退避、又はデータの復帰が必要なレジスタで不揮発性レジスタ163から揮発性レジスタ162へのデータの復帰を制御するための信号である。

20

【0073】

電源供給制御回路153は、電源オフ信号及び電源オン要求信号をもとに、論理回路160への電源供給の停止又は再開時にレジスタ161への電源供給を制御する電源供給制御信号(power supply control signal)を生成する回路である。

【0074】

なお電源供給制御信号とは、一例としては、論理回路160が有する複数のレジスタ161に対し、個別に電源供給の停止又は再開を制御するための信号である。

【0075】

以上説明したパワーゲーティング制御回路150では、退避不要アドレス、電源オフ信号及び電源オン要求信号をもとに、論理回路160のレジスタ161が有する揮発性レジスタ162と不揮発性レジスタ163の間のデータの退避及び復帰を制御する退避・復帰制御信号を生成することができる。また、電源オフ信号及び電源オン要求信号をもとに、論理回路160への電源供給の停止又は再開時に複数のレジスタ161に対し、個別に電源供給の停止又は再開を制御する電源供給制御信号を生成することができる。

30

【0076】

図3には、図2に示す半導体装置100への電源供給の停止及び再開時に行われるデータの退避動作及び復帰動作に関するフローチャート図を示す。

【0077】

まずステップS101では、半導体装置100を通常動作する。半導体装置100が「通常動作」する状態とは、論理回路160に入力されるデータの演算処理が、命令群が有する各命令の実行によって行われる状態である。このとき、電源供給が継続して行われ、演算処理で得られるデータが揮発性レジスタ162に一時的に記憶される。

40

【0078】

ステップS102では、半導体装置100が電源オフ要求信号を受信したか否かの判断をする。半導体装置100が電源オフ要求信号を受信した場合、ステップS103に進む。半導体装置100が電源オフ要求信号を受信しない場合、ステップS101に戻る。

【0079】

ステップS103では、データの退避が不要なレジスタ161を判定する動作を行う。このステップS103におけるデータを退避するレジスタのアドレスを判定する動作は、図

50

4乃至図10を用いて詳述する。

【0080】

ステップS104では、データの退避が必要なレジスタ161での揮発性レジスタ162から不揮発性レジスタ163へのデータの退避を行う。

【0081】

ステップS105では、論理回路160への電源供給の停止を行う。

【0082】

ステップS106では、半導体装置100が電源オン要求信号を受信したか否かの判断をする。半導体装置100が電源オン要求信号を受信した場合、ステップS107に進む。半導体装置100が電源オン要求信号を受信しない場合、ステップS105に戻る。

10

【0083】

ステップS107では、電源供給を再開する。

【0084】

ステップS108では、データの復帰が必要なレジスタ161での不揮発性レジスタ163から揮発性レジスタ162へのデータの復帰を行う。

【0085】

ステップS109では、ステップS101と同様に、半導体装置100を通常動作する。

【0086】

以上、図3で説明したフローチャート図によると、図2に示す半導体装置100への電源供給の停止及び再開時に行われるデータの退避動作及び復帰動作を行うことができるため、電源供給の停止及び再開の前後におけるデータの消失をなくすることができる。また、半導体装置100への電源供給の停止及び再開を、退避・復帰するデータ量を削減して行うことができる。

20

【0087】

次いで図4乃至図10では、図3で説明したフローチャート図のステップS103に相当する半導体装置100への電源供給の停止及び再開する際に、退避・復帰するデータ量を削減するための動作について詳述する。

【0088】

まず図4に示すフローチャート図では、命令デコーダ130の動作について説明する。更に図5では、図4のフローチャート図での説明を補足するために、図2に示す命令デコーダ130における命令群の構成を可視化した図を示す。

30

【0089】

まずステップS201では、デコーダ131が、命令キャッシュ110に記憶された命令群を命令レジスタ120を介して受信する。

【0090】

図5では、命令キャッシュ110に記憶される命令群の一例を可視化して示している。命令キャッシュ110に記憶される命令群として、図5では、命令1)ロード命令(LD)、命令2)インクリメント命令(INC)、命令3)論理積命令(AND)、命令4)ストア命令(STR)、を示している。これらの命令は、記述の抽象度が高い高級言語で記載される。

40

【0091】

なお図5に示す、命令1)ロード命令(LD)は、即値(イミディエート値:imm)を汎用レジスタ1(汎用reg1)に記憶することを表している。

【0092】

なお図5に示す、命令2)インクリメント命令(INC)は、汎用reg1の値をインクリメントして、汎用reg1に記憶することを表している。

【0093】

なお図5に示す、命令3)論理積命令(AND)は、汎用reg1の値と汎用レジスタ2(汎用reg2)の値の論理積を計算し、汎用レジスタ0(汎用reg0)に記憶することを表している。

50

## 【 0 0 9 4 】

なお図5に示す、命令4)ストア命令(STR)は、汎用reg0の値を、上位アドレスがレジスタaddrHの値、下位アドレスがレジスタaddrLの値となる、外部のメモリに記憶することを表している。

## 【 0 0 9 5 】

更に図5では、命令デコーダ130のデコーダ131でデコードされる、上述の命令を可視化して示している。

## 【 0 0 9 6 】

なお図5の命令1は、デコードによって、オペコードが『LD』であり、オペランド1が『汎用reg1』であり、オペランド2が『即値(imm)』であり、オペランド3が『ブランク(-)』である、と識別される。

10

## 【 0 0 9 7 】

なお図5の命令2は、デコードによって、オペコードが『INC』であり、オペランド1が『汎用reg1』であり、オペランド2が『ブランク(-)』であり、オペランド3が『ブランク(-)』である、と識別される。

## 【 0 0 9 8 】

なお図5の命令3は、デコードによって、オペコードが『AND』であり、オペランド1が『汎用reg0』であり、オペランド2が『汎用reg1』であり、オペランド3が『汎用reg2』である、と識別される。

## 【 0 0 9 9 】

なお図5の命令4は、デコードによって、オペコードが『STR』であり、オペランド1が『汎用reg1』であり、オペランド2が『addrH』であり、オペランド3が『addrL』である、と識別される。

20

## 【 0 1 0 0 】

ステップS202では、デコーダ131で受信した命令群の命令を順にデコードして論理回路160に送信する毎に、命令カウンタ133のカウンタ値がインクリメントされる。

## 【 0 1 0 1 】

命令デコーダ130のデコーダ131が命令を論理回路160に送信する毎に命令カウンタ133のカウンタ値がインクリメントされる。カウンタ値によって論理回路160に送信される命令の進行度合いを監視することができる。

30

## 【 0 1 0 2 】

ステップS203では、命令レジスタ制御回路132が論理回路160から条件分岐信号を受信したか否かの判断を行う。命令レジスタ制御回路132が論理回路160から条件分岐信号を受信した場合は、ステップS205に進む。命令レジスタ制御回路132が論理回路160から条件分岐信号を受信していない場合は、ステップS204に進む。

## 【 0 1 0 3 】

ステップS204では、デコーダ131が命令群の命令を全てデコードし、論理回路160に送信したか否かの判断を行う。デコーダ131が命令群の命令を全てデコードし、論理回路160に送信した場合は、ステップS205に進む。デコーダ131が命令群の命令を全てデコードし、論理回路160に送信していない場合は、ステップS202に戻る。

40

## 【 0 1 0 4 】

ステップS205では、命令カウンタ133のカウンタ値をリセットする。このステップS205で実行されるリセットは、命令レジスタ制御回路132が条件分岐信号を受信、若しくはデコーダ131が命令群の命令を全てデコードし、論理回路160に送信したか、によって行われる。

## 【 0 1 0 5 】

ステップS206は、命令レジスタ制御回路132が命令レジスタ120に命令レジスタ制御信号を送信する。このステップS206で実行される命令レジスタ制御信号の送信は、条件分岐信号を受信したことによる新たな命令群の受信、若しくは命令群の命令を全て

50

デコードし、論理回路 160 に送信したことによる新たな命令群の受信、のために行われる。

【0106】

以上説明した図3及び図4のフローチャート図によると、命令デコーダ130では、通常動作時、命令群の命令の論理回路への送信の進行度合いを監視し、電源供給を停止する際には、この進行度合いに従って、論理回路160が有するレジスタ161で退避が必要ないアドレスを判定する。

【0107】

次いで図6では、図3で説明したフローチャート図のステップS103に相当する、電源供給を停止する際、退避が必要でないレジスタ161のアドレスを判定するためのフローチャート図を説明する。更に図7乃至10では、図6のフローチャート図での説明を補足するために、図2に示す命令デコーダ130、退避必要性判定回路140及びパワーゲーティング制御回路150における命令のオペコード及びオペランド、又はアドレスを可視化した図を示す。

10

【0108】

まずステップS301では、命令デコーダ130が、電源オフ要求信号を受信する。

【0109】

ステップS302では、命令カウンタ133が、電源オフ要求信号を受信した時点でのカウント値を命令読出回路134に送信する。

【0110】

ステップS303では、命令読出回路134が、電源オフ要求信号を受信した時点でのカウント値に従って、デコーダ131が有する命令のうち、論理回路160に送信していない命令のオペランド及びオペコードをアドレス判定回路141に送信する。

20

【0111】

図7では、ステップS301乃至ステップS303で説明した、電源オフ要求信号を受信した時点でのカウント値に従って、アドレス判定回路141に送信するために命令読出回路134がデコーダ131から読み出す、命令のオペランド及びオペコードの一例を可視化して示している。

【0112】

図7では、電源オフ要求信号を受信した時点での命令カウンタ133のカウント値が『2』である場合を一例として示している。この場合、アドレス判定回路141に送信するために命令読出回路134がデコーダ131から読み出す命令は、命令2以降の命令、すなわち図7における命令2、命令3及び命令4、である。なお図7では、命令読出回路134がデコーダ131から読み出した、命令のオペランド及びオペコードとして、図5で示した命令2乃至命令4を例示している。

30

【0113】

ステップS304では、アドレス判定回路141が受信した命令のオペコードを判定し、該オペコードの種類に従って、オペランドのアドレスがデスティネーションアドレスかソースアドレスかに分類し、退避不要アドレス判定回路142に送信する。アドレス判定回路141は、予め命令のオペコードによって、各オペランドがデスティネーションアドレスかソースアドレスかを判定できるよう、参照するテーブルを記憶しておくことが好ましい。

40

【0114】

図8(a)では、命令のオペコードによって、各オペランドがデスティネーションアドレスかソースアドレスかを判定するテーブルの一例を可視化して示している。なお図8(a)では、命令のオペコードによって、各オペランドがデスティネーションアドレスかソースアドレスかを判定するテーブルとして、図5で示した命令1乃至命令4で示した『LD』、『INC』、『AND』、『STR』を例示している。

【0115】

更に図8(b)では、図5で示した命令3の『AND』を、図8(a)のテーブルに従っ

50

て判定する一例を可視化して示している。オペコード『AND』の場合、図8(a)のテーブルを参照すると、デスティネーションアドレスが『オペランド1』であり、ソースアドレスが『オペランド2』及び『オペランド3』となる。アドレス判定回路141が命令読出回路134より受信する『オペランド1』は『汎用reg0』であり、『オペランド2』は『汎用reg1』であり、『オペランド3』は『汎用reg2』である。そのため、命令3の『AND』の場合、デスティネーションアドレスが『汎用reg0』と決まり、ソースアドレスが『汎用reg1』及び『汎用reg2』と決まる。

【0116】

更に図9では、図8(b)と同様に、命令2の『INC』、及び命令4の『STR』について、命令のオペコードによって、各オペランドがデスティネーションアドレスかソースアドレスかを判定する一例を可視化して示している。

10

【0117】

オペコード『INC』の場合、図8(a)のテーブルを参照すると、デスティネーションアドレスが『オペランド1』であり、ソースアドレスが『オペランド1』となる。またオペコード『STR』の場合、図8(a)のテーブルを参照すると、デスティネーションアドレスが『オペランド2』及び『オペランド3』であり、ソースアドレスが『オペランド1』となる。

【0118】

そのため図9に示すように、命令2の『INC』の場合、デスティネーションアドレスが『汎用reg1』と決まり、ソースアドレスが『汎用reg1』と決まる。また図9に示すように、命令4の『STR』の場合、デスティネーションアドレスが『addrH』及び『addrL』と決まり、ソースアドレスが『汎用reg0』と決まる。なお命令1は、ここでは、命令読出回路134より受信していないため、ブランク( )となる。

20

【0119】

ステップS305では、退避不要アドレス判定回路142で分類した、各命令のデスティネーションアドレス及びソースアドレスを比較回路144で比較し、退避不要なレジスタ161のアドレスを退避不要アドレスとしてパワーゲーティング制御回路150の退避不要アドレス用レジスタ151に送信する。

【0120】

図10では、図9と同様に、退避不要アドレス判定回路142で分類した、各命令のデスティネーションアドレス及びソースアドレスを可視化して示している。更に図10では、各命令のデスティネーションアドレス及びソースアドレスを比較回路144で比較し、退避不要なレジスタ161のアドレスを退避不要アドレスとしてパワーゲーティング制御回路150の退避不要アドレス用レジスタ151に送信する例を可視化して示している。

30

【0121】

図10に示す比較回路144では、命令2のデスティネーションアドレスと、命令2のソースアドレスを比較する。更に、比較回路144では、命令3のデスティネーションアドレスと、命令2及び命令3のソースアドレスを比較する。更に、比較回路144では、命令4のデスティネーションアドレスと、命令2乃至命令4のソースアドレスを比較する。

【0122】

図10に示す例の比較回路144の場合、命令2のデスティネーションアドレスは『汎用reg1』であり、命令2のソースアドレスは『汎用reg1』であるため、一致する。更に、命令3のデスティネーションアドレスは『汎用reg0』であり、命令2のソースアドレスは『汎用reg1』、あるいは命令3のソースアドレスは『汎用reg1』及び『汎用reg2』、であるため、一致しない。更に、命令4のデスティネーションアドレスは『addrH』及び『addrL』であり、命令2のソースアドレスは『汎用reg1』、あるいは命令3のソースアドレスは『汎用reg1』及び『汎用reg2』、あるいは命令4のソースアドレスは『汎用reg0』、であるため、一致しない。

40

【0123】

比較回路144での動作で、ソースアドレスと一致しないデスティネーションアドレスが

50

、退避が不要なレジスタ161のアドレスに相当し、退避不要アドレス用レジスタ151に送信される退避不要アドレスとなる。図10に示す例の比較回路144の場合、退避不要アドレスは『汎用reg0』、『addrH』及び『addrL』となる。

【0124】

逆に、比較回路144での動作で、ソースアドレスと一致するデスティネーションアドレスが、退避が必要なレジスタ161のアドレスに相当する。図10に示す例の比較回路144の場合、退避が必要なレジスタ161のアドレスは『汎用reg1』となる。

【0125】

この比較回路144の動作は、電源供給の再開後、デスティネーションアドレスのデータが、電源供給を停止した時点の命令よりも以降の命令の実行に用いられるソースアドレスのデータか、否かを判定し、データの退避の要・不要の判定を行うものである。そのため、電源供給の再開後、命令の実行により書き換わるデータのアドレスは、破棄することができる。

10

【0126】

ステップS306では、退避不要アドレスに従って、退避・復帰制御回路152が論理回路160のレジスタ161に退避・復帰制御信号を送信する。この退避・復帰制御信号によって、選択されたレジスタ161では揮発性レジスタ162のデータを不揮発性レジスタ163に退避される。

【0127】

以上説明した図6のフローチャート図によると、退避必要性判定回路140では、未実行の命令のアドレスをデスティネーションアドレスとソースアドレスに分類し、電源供給の停止直前におけるデータの退避の要・不要の判定を行うことができる。

20

【0128】

以上説明した、本実施の形態で示した構成により、揮発性レジスタと不揮発性レジスタの間でデータを退避または復帰する半導体装置の構成において、半導体装置への電源供給を停止及び再開する際に、退避または復帰するデータ量を削減することができる。そのため、データを退避または復帰するための電力や、データを退避または復帰するためにかかる時間、を削減することができる。

【0129】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

30

【0130】

(実施の形態2)

本実施の形態では、上記実施の形態1で説明した半導体装置100とは異なる構成で、命令デコーダでデコードされた命令の種類を読み取り、揮発性レジスタから不揮発性レジスタへのデータの退避に関する要否を判定することができる退避必要性判定回路の構成について説明する。

【0131】

半導体装置のブロック図の一例について、図11を参照して説明する。

【0132】

図11に示す半導体装置300は、命令キャッシュ110、命令レジスタ120、命令デコーダ330、退避必要性判定回路340、パワーゲーティング制御回路150、及び論理回路160を有する。論理回路160は、不揮発性と揮発性を兼備するレジスタ161を有する。レジスタ161は、揮発性レジスタ162及び不揮発性レジスタ163を有する。

40

【0133】

図11に示す半導体装置300が、実施の形態1で説明した図2の半導体装置100の構成と異なる点は、命令デコーダ330及び退避必要性判定回路340による退避が不要なレジスタのアドレスを判定する構成が異なる点にある。そこで本実施の形態については、図2とは異なる点について詳述し、繰り返しの説明については上記実施の形態1を援用するものとする。

50



## 【 0 1 3 4 】

命令デコーダ 3 3 0 は、受信した命令群をデコードした命令を論理回路に送信する機能、及び受信した命令群のうち実行されていない命令の命令アドレス ( i n s t r u c t i o n a d d r e s s ) を退避必要性判定回路 3 4 0 に送信する機能、を備えた回路である。半導体装置 3 0 0 に備えられた命令デコーダ 3 3 0 は、電源供給の停止時におけるデータの退避の要否を判定するための命令アドレスを論理回路 1 6 0 に送信することができる。

## 【 0 1 3 5 】

図 1 1 では、命令デコーダ 3 3 0 内に、デコーダ 3 3 1、命令レジスタ制御回路 1 3 2、命令カウンタ 1 3 3 及び命令アドレス読出回路 3 3 4 を有する。

10

## 【 0 1 3 6 】

退避必要性判定回路 3 4 0 は、命令デコーダ 3 3 0 より送信される命令アドレスをもとに、電源供給の停止時におけるデータの退避の要否を選択した退避不要アドレスを判定する機能、を備えた回路である。半導体装置 3 0 0 に備えられた退避必要性判定回路 3 4 0 は、退避不要アドレスをパワーゲーティング制御回路 1 5 0 に送信することができる。

## 【 0 1 3 7 】

図 1 1 では、退避必要性判定回路 3 4 0 内に、退避不要アドレス判定回路 3 4 1 ( b a c k u p - f r e e a d d r e s s d e t e r m i n a t i o n c i r c u i t )、及び電源オフ要求回路 1 4 3 を有する。

## 【 0 1 3 8 】

デコーダ 3 3 1 は、受信した命令群を順にデコードする回路である。デコードした命令は、論理回路 1 6 0 に送信される。またデコーダ 3 3 1 は、命令カウンタ 1 3 3 のカウント値に従って、カウントしていない命令をデコードし、命令アドレスを命令アドレス読出回路 3 3 4 に送信する回路である。またデコーダ 3 3 1 は、命令群の命令をデコードして論理回路 1 6 0 に送信する毎に、命令カウンタ 1 3 3 のカウント値をインクリメントする回路である。

20

## 【 0 1 3 9 】

命令アドレス読出回路 3 3 4 は、命令デコーダ 3 3 0 に電源オフ要求信号が与えられた場合、命令カウンタ 1 3 3 のカウント値に基づいて、該カウント値に相当する命令をデコーダ 3 3 1 でデコードして得られる命令アドレスを退避不要アドレス判定回路 3 4 1 に送信する回路である。また命令アドレス読出回路 3 3 4 は、退避不要アドレス判定回路 3 4 1 への命令アドレスの送信が完了した後、読出完了信号をパワーゲーティング制御回路 1 5 0 へ送信する回路である。

30

## 【 0 1 4 0 】

以上説明した命令デコーダ 3 3 0 では、受信した命令群をデコードした命令を論理回路に送信することができる。また、条件分岐信号に従って命令レジスタ 1 2 0 に命令レジスタ制御信号を送信することができる。また電源オフ要求信号に従って、受信した命令群のうち論理回路 1 6 0 に送信されていない命令の命令アドレスを退避必要性判定回路 3 4 0 に送信することができる。また、論理回路 1 6 0 に送信されていない命令の命令アドレスの、退避必要性判定回路 3 4 0 への送信を完了したことを知らせる読出完了信号をパワーゲーティング制御回路 1 5 0 へ送信することができる。

40

## 【 0 1 4 1 】

退避不要アドレス判定回路 3 4 1 は、命令アドレス読出回路 3 3 4 より送信される命令アドレスをもとに、具体的にどのアドレスのレジスタのデータが退避不要であるか判定する回路である。具体的には、命令アドレス読出回路 3 3 4 より送信される命令アドレスに対応して、データの退避が不要なレジスタのアドレスを判定する。この命令アドレスに対応して決まるデータの退避が不要なレジスタのアドレスは、オペレーティングシステムが作成してもよいし、アプリケーションプログラム作成時に同時に作成してもよい。

## 【 0 1 4 2 】

以上説明した退避必要性判定回路 3 4 0 では、命令アドレス読出回路 3 3 4 より送信され

50

る命令アドレスをもとに、電源供給の停止時におけるデータの退避の要否を選択した退避不要アドレスを判定することができる。また、命令アドレス読出回路334より送信される読出完了信号をもとに、電源供給の停止をパワーゲーティング制御回路150に要求する電源オフ信号を生成することができる。

【0143】

更に図12(a)では、図5で説明した命令デコーダ130及びデコーダ131を命令デコーダ330及びデコーダ331に置き換え、デコーダ331に記憶される命令群の一例を可視化して示している。

【0144】

図12(a)に示すように、本実施の形態のデコーダ331は、命令群をデコードする際、オペコード及びオペランドの他、各命令に命令アドレスを付与する。なお図12(a)では、命令アドレスの一例として、命令1乃至命令4にそれぞれ『A800002A』乃至『A800002D』を付与しているが、他の命令と区別でき、退避不要アドレスを判定するためのテーブルにおける命令アドレスと同様の規則に従って作成されていれば任意のアドレスを付与すればよい。

【0145】

図12(a)に示す命令1乃至命令4のそれぞれ付与した『A800002A』乃至『A800002D』のいずれかーが、命令アドレス読出回路334を介して、退避不要アドレス判定回路341に送信される。

【0146】

更に図12(b)では、命令アドレスに対応する退避不要アドレスを判定するためのテーブルの一例を可視化して示している。例えば図12(b)では、電源オフ要求信号を受信した時点での命令カウンタ133のカウント値が『2』で、命令2の命令アドレスが命令アドレス読出回路334から退避不要アドレス判定回路341に送信される場合、退避不要アドレスは『汎用reg0』、『addrH』及び『addrL』となる。

【0147】

以上説明した、本実施の形態で示した構成により、揮発性レジスタと不揮発性レジスタの間でデータを退避または復帰する半導体装置の構成において、半導体装置への電源供給を停止及び再開する際に、退避または復帰するデータ量を削減することができる。そのため、データを退避または復帰するための電力や、データを退避または復帰するためにかかる時間、を削減することができる。

【0148】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【0149】

(実施の形態3)

図13を用いて、上記実施の形態1及び2で説明した、不揮発性と揮発性を兼備するレジスタについて説明する。

【0150】

図13は、不揮発性と揮発性を兼備する、記憶容量が1ビットのレジスタの回路図である。図13に示すレジスタは、記憶回路201及び記憶回路202を有する。記憶回路201が1ビットの揮発性レジスタであり、記憶回路202が1ビットの不揮発性レジスタである。なお、記憶回路201及び記憶回路202には、必要に応じて、ダイオード、抵抗素子、インダクタ等のその他の素子を設けることができる。

【0151】

記憶回路201は、インバータ211乃至インバータ213と、トランスマッションゲート214及びトランスマッションゲート215と、NAND216及びNAND217と、を有する。記憶回路201は、電源供給がされる期間において、データを記憶する。また記憶回路201は、電源供給を停止する直前の期間において、記憶しているデータを記憶回路202に書き込む。また記憶回路201は、電源供給を再開した直後の期間において、記憶回路202に書き込んでおいたデータが読み出され、該データを記憶回路201

10

20

30

40

50

のデータとする。

【0152】

記憶回路202は、セクタ221と、トランジスタ222と、容量素子223と、トランジスタ231乃至トランジスタ233と、容量素子234と、及びインバータ235と、を有する。記憶回路202は、電源供給が停止する期間において、データを記憶することができる。

【0153】

インバータ211は、クロック信号CLKの電位の極性を反転させたクロック信号CLKbを、生成する機能を有する。そして、トランスミッションゲート214、トランスミッションゲート215、インバータ212、及びNAND217のそれぞれは、クロック信号CLK及びクロック信号CLKbに従って、信号の出力の有無が選択される。

10

【0154】

トランスミッションゲート214は、クロック信号CLKの電位がローレベル、クロック信号CLKbの電位がハイレベルのとき、トランスミッションゲート214の入力端子に供給されたデータ信号Dを、NAND216の第1入力端子に供給する機能を有する。また、トランスミッションゲート214は、クロック信号CLKの電位がハイレベル、クロック信号CLKbの電位がローレベルのとき、ハイインピーダンスとなり、NAND216の第1入力端子への、データ信号Dの供給を停止する機能を有する。

【0155】

NAND216は2入力のNANDであり、第1入力端子にトランスミッションゲート214から出力されるデータ信号Dまたはインバータ212から出力される信号が供給され、第2入力端子に制御信号RESETが供給される。そして、NAND216は、第1入力端子及び第2入力端子に入力された信号に従って、セクタ221の第1入力端子に信号を出力する機能を有する。

20

【0156】

セクタ221は2入力のマルチプレクサであり、第1入力端子にNAND216から出力される信号が供給され、第2入力端子にインバータ235から出力される信号が供給される。そして、セクタ221は、制御信号REの電位がローレベルのとき、インバータ212の入力端子、トランスミッションゲート215の入力端子及びトランジスタ222の第1端子に、第1入力端子に入力された信号を出力する機能を有する。また、セクタ221は、制御信号REの電位がハイレベルのとき、インバータ212の入力端子、トランスミッションゲート215の入力端子及びトランジスタ222の第1端子に、第2入力端子に入力された信号を出力する機能を有する。

30

【0157】

インバータ212は、クロック信号CLKの電位がハイレベル、クロック信号CLKbの電位がローレベルのとき、入力端子に供給された信号が有する電位の極性を反転させて、出力する機能を有する。出力された信号は、NAND216の第2入力端子に供給される。また、インバータ212は、クロック信号CLKの電位がローレベル、クロック信号CLKbの電位がハイレベルのとき、ハイインピーダンスとなり、NAND216の第2入力端子への信号の供給を停止する機能を有する。

40

【0158】

インバータ213は、トランスミッションゲート215の出力端子、及びNAND217の出力端子から供給される信号の電位の極性を反転させ、信号Qとして出力する機能を有する。また、インバータ213から出力される信号Qは、NAND217の第1入力端子に供給される。

【0159】

NAND217は2入力のNANDであり、第1入力端子にインバータ213から出力される信号が供給され、第2入力端子に制御信号RESETが供給される。そして、NAND217は、第1入力端子及び第2入力端子に入力された信号に従って、インバータ213の入力端子に信号を出力する機能を有する。

50

## 【0160】

トランジスタ222は、制御信号WEの電位に従って、オン/オフが制御される。トランジスタ222は、記憶回路201のノードN<sub>D</sub>の電位の、フローティングノードFNへの供給を制御する機能を有する。ノードN<sub>D</sub>の電位は、記憶回路201が有するデータの1または0に対応する。

## 【0161】

記憶回路202が有するフローティングノードFNは、データ記憶部である。トランジスタ222及び容量素子223により、フローティングノードFNの電位が保持される。フローティングノードFNの電位によりトランジスタ233のオン/オフが制御される。

## 【0162】

記憶回路202の電荷保持特性を向上させるためには、トランジスタ222のオフ電流が、著しく小さいことが望ましい。トランジスタ222のオフ電流が小さいことで、フローティングノードFNからリークする電荷量を抑えることができる。単結晶シリコンのトランジスタと比較した、リーク電流が低いトランジスタとしては、酸化物半導体の薄膜で形成されたトランジスタが挙げられる。

## 【0163】

酸化物半導体において、特に、電子供与体(ドナー)となる水分または水素等の不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified OS)は、i型(真性半導体)またはi型に限りなく近い。そのため、高純度化された酸化物半導体層にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高く、トランジスタ222に好適である。

## 【0164】

制御信号REにより、トランジスタ231及びトランジスタ232のオン/オフが制御される。トランジスタ231及びトランジスタ232は、電位VDDによる容量素子234での電荷の充放電を制御する機能を有する。制御信号REがローレベルのとき、トランジスタ231がオン、トランジスタ232がオフとなり、電位VDDによって容量素子234が充電される。

## 【0165】

また、制御信号REがハイレベルのとき、トランジスタ231がオフ、トランジスタ232がオンとなる。このとき、トランジスタ233がオンのとき、容量素子234に充電された電荷が放電される。またトランジスタ233がオフのとき、容量素子234に充電された電荷が放電されない。この放電の有無を利用して、記憶回路202のフローティングノードFNに記憶されたデータは、容量素子234の電位に変換され、1または0に対応したデータとすることができる。容量素子234の電位は、インバータ235を介してセレクト221の第2入力端子に出力する。

## 【0166】

以上、図13で説明したレジスタを有する半導体装置では、酸化物半導体を用いたトランジスタ222と、シリコンを用いたその他のトランジスタで回路を構成することができる。酸化物半導体を用いたトランジスタ222と、シリコンを用いたその他のトランジスタは、積層して設けることができる。そのため、図13で説明したレジスタを有する半導体装置は、各トランジスタを連続した工程で作製することができ、1つのチップ上に作製することができる。

## 【0167】

また、オフ電流の著しく小さい、酸化物半導体を用いたトランジスタ222を用いて不揮発性レジスタとする半導体装置は、磁気抵抗メモリ(MRAM: Magnetoresistive Random Access Memory)を用いて不揮発性レジスタとする半導体装置と比較して、データの退避動作、及び復帰動作による消費電力(オーバーヘッド)を抑えることができる。これは、MRAMでのデータの書き込みに要する電流が50 $\mu$ A以上500 $\mu$ A以下であるのに対し、酸化物半導体を用いたトランジスタを利用する図13の不揮発性レジスタでは、容量素子への電荷の供給によりデータの書き込みを

10

20

30

40

50

行っており、データの書き込みに要する電流をMRAMの1/100程度にすることが可能である。よって、図13で説明したレジスタを有する半導体装置では、オーバーヘッドと電源の遮断により削減される電力とが等しくなる電源の遮断時間、すなわち損益分岐時間(BET: Break Even Time)を、MRAMでレジスタを構成する場合より短くすることができる。

【0168】

次いで図14に、図13に示すレジスタのタイミングチャートを示す。

【0169】

通常動作(T1)では、ローレベルの電位を有する制御信号REにより、セクタ221の出力信号としてNAND216の出力信号が選択される。このとき記憶回路201は、通常のDフリップフロップとして機能することができる。

10

【0170】

記憶回路202へのデータ書き込み期間(T2)は、クロック信号CLKの電位をハイレベルに固定して記憶回路201のデータ(D2)を確定すると共に、制御信号WEの電位をハイレベルとする。このとき記憶回路202のフローティングノードFNは、記憶回路201のデータが反映された電位となり、記憶回路201に記憶したデータが記憶回路202に記憶される。

【0171】

電源遮断期間(T3)は、ローレベルの電位とする制御信号WEにより、フローティングノードFNの電位(データ)を保持する。このとき記憶回路202への電源電圧の供給を停止し、各制御信号はローレベルの電位とする。

20

【0172】

電源復帰時(T4)には、電源電圧の供給を再開すると共に、制御信号REの電位をローレベルとすることで、容量素子234を充電する。なお、このときクロック信号CLKの電位は、ハイレベルに固定しておく。

【0173】

記憶回路202からのデータの読み出し時(T5)は、制御信号REの電位をハイレベルとし、フローティングノードFNの電位に従った容量素子234の電荷の放電の有無が選択される。このとき、制御信号REの電位をハイレベルとすることにより、セクタ221の出力信号としてインバータ235の出力信号を選択し、記憶回路202に記憶したデータが記憶回路201に読み出される。また、このとき記憶回路201は、クロック信号CLKの電位をハイレベルに固定して記憶回路202より読み出されたデータを固定しておく。

30

【0174】

そして通常動作(T6)では、クロック信号CLK及びデータ(D3)の入力を再開する。

【0175】

以上、図13及び図14で説明したレジスタを有する半導体装置では、通常動作時において、揮発性レジスタとして機能する記憶回路201をDフリップフロップとして動作させることができる。そのため、不揮発性レジスタとして機能する記憶回路202を追加する構成としても、動作の律速となる酸化物半導体を用いたトランジスタの影響を受けることなく、通常動作時の高速動作が可能なレジスタとすることができる。

40

【0176】

また図13及び図14で説明したレジスタを有する半導体装置では、記憶回路202において、フローティングノードFNに保持された電位に従って、トランジスタ233の動作状態(オンまたはオフ)が選択され、その動作状態によって、0または1のデータが読み出される。そのため、電源遮断期間(T3)にフローティングノードFNで保持されている電荷量が多少変動していても、元のデータを正確に読み出すことが可能である。

【0177】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

50

## 【0178】

(実施の形態4)

本実施の形態では、上記実施の形態で説明したオフ電流の低いトランジスタの半導体層に用いることのできる酸化物半導体層について説明する。

## 【0179】

トランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム(In)または亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを

10

## 【0180】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を有してもよい。

## 【0181】

トランジスタの半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

20

30

## 【0182】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

## 【0183】

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、または水分を除去して不純物が極力含まれないように高純度化することが好ましい。

40

## 【0184】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、脱水化処理(脱水素化処理)によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

## 【0185】

50

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、*i*型（真性）化または実質的に*i*型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

【0186】

また、このように、*i*型または実質的に*i*型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25 程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{ A}$ 以下、または85 にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、*n*チャネル型のトランジスタの場合、ゲート電圧が閾値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧が閾値電圧よりも1 V以上、2 V以上または3 V以上小さければ、トランジスタはオフ状態となる。

【0187】

次いで酸化物半導体膜の構造について説明する。

【0188】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【0189】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0190】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0191】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う。

【0192】

CAAC-OS膜を透過型電子顕微鏡（TEM: Transmission Electron Microscope）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起りにくいといえる。

【0193】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0194】

10

20

30

40

50

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

#### 【0195】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

#### 【0196】

CAAC-OS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の（009）面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

#### 【0197】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の（110）面に帰属される。InGaZnO<sub>4</sub>の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸（c軸）として試料を回転させながら分析（スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

20

#### 【0198】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

#### 【0199】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

30

#### 【0200】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

#### 【0201】

なお、InGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

#### 【0202】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

#### 【0203】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CA

50



AC - OS膜のうち、二種以上を有する積層膜であってもよい。

【0204】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0205】

(実施の形態5)

本実施の形態では、開示する発明の一態様に係る半導体装置のレジスタが有するトランジスタの断面の構造について、図面を参照して説明する。

【0206】

図15に、開示する発明の一態様に係る半導体装置の断面構造の一部を、一例として示す。なお、図15では、上記実施の形態3で図示したトランジスタ222、トランジスタ232、及び容量素子223を、例示している。

10

【0207】

また、本実施の形態では、トランジスタ232が、単結晶のシリコン基板に形成され、酸化半導体を半導体層に用いたトランジスタ222が、トランジスタ232上に形成されている場合を例示している。トランジスタ232は、非晶質、微結晶、多結晶または単結晶である、シリコンまたはゲルマニウムなどの薄膜の半導体を半導体層に用いても良い。

【0208】

薄膜のシリコンを用いてトランジスタ232を形成する場合、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

20

【0209】

なお、上記実施の形態3で説明した半導体装置のレジスタが有するトランジスタのうち、トランジスタ222に酸化半導体を用い、トランジスタ232を含むその他のトランジスタにシリコンを用いる場合、シリコンを用いたトランジスタの数に対し、酸化半導体を用いたトランジスタの数は少なくても済む。よって、シリコンを用いたトランジスタ上にトランジスタ222を積層させることで、トランジスタ222のデザインルールを緩和させることができる。

【0210】

このような、シリコンを用いたトランジスタと酸化半導体を用いたトランジスタとを積層した構造では、半導体装置のチップ面積を縮小することができる。また一つの回路ブロックにおいて、シリコンを用いたトランジスタの数は、酸化半導体を用いたトランジスタの数より多いため、実際の半導体装置のチップ面積は、シリコンを用いたトランジスタの数で決定される。またシリコンを用いたトランジスタで構成される揮発性レジスタと、シリコンを用いたトランジスタ及び酸化半導体を用いたトランジスタで構成される不揮発性レジスタとを連続した工程として、1つのチップ上に作製することができる。

30

【0211】

図15では、半導体基板800にnチャネル型のトランジスタ232が形成されている。

【0212】

半導体基板800は、例えば、n型またはp型の導電性を有するシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、GaP基板、GaInAsP基板、ZnSe基板等)等を用いることができる。

40

【0213】

また、トランジスタ232は、素子分離用絶縁膜801により、他のトランジスタと、電気的に分離されている。素子分離用絶縁膜801の形成には、選択酸化法(Local Oxidation of Silicon)法)またはトレンチ分離法等を用いることができる。

【0214】

50

具体的に、トランジスタ 232 は、半導体基板 800 に形成された、ソース領域またはドレイン領域として機能する不純物領域 802 及び不純物領域 803 と、ゲート電極 804 と、半導体基板 800 とゲート電極 804 の間に設けられたゲート絶縁膜 805 とを有する。ゲート電極 804 は、ゲート絶縁膜 805 を間に挟んで、不純物領域 802 と不純物領域 803 の間に形成されるチャンネル形成領域と重なる。

【0215】

トランジスタ 232 上には、絶縁膜 809 が設けられている。絶縁膜 809 には開口部が形成されている。そして、上記開口部には、不純物領域 802、不純物領域 803 にそれぞれ接する配線 810、配線 811 と、ゲート電極 804 に接する配線 812 とが形成されている。

10

【0216】

そして、配線 810 は、絶縁膜 809 上に形成された配線 815 に接続されており、配線 811 は、絶縁膜 809 上に形成された配線 816 に接続されており、配線 812 は、絶縁膜 809 上に形成された配線 817 に接続されている。

【0217】

配線 815 乃至配線 817 上には、絶縁膜 820 が形成されている。絶縁膜 820 には開口部が形成されており、上記開口部に、配線 817 に接続された配線 821 が形成されている。

【0218】

そして、図 15 では、絶縁膜 820 上にトランジスタ 222 及び容量素子 223 が形成されている。

20

【0219】

トランジスタ 222 は、絶縁膜 820 上に、酸化物半導体を含む半導体膜 830 と、半導体膜 830 上の、ソース電極またはドレイン電極として機能する導電膜 832 及び導電膜 833 と、半導体膜 830、導電膜 832 及び導電膜 833 上のゲート絶縁膜 831 と、ゲート絶縁膜 831 上に位置し、導電膜 832 と導電膜 833 の間において半導体膜 830 と重なっているゲート電極 834 と、を有する。なお、導電膜 833 は、配線 821 に接続されている。

【0220】

また、ゲート絶縁膜 831 上において導電膜 833 と重なる位置に、導電膜 835 が設けられている。ゲート絶縁膜 831 を間に挟んで導電膜 833 及び導電膜 835 が重なっている部分が、容量素子 223 として機能する。

30

【0221】

なお、図 15 では、容量素子 223 がトランジスタ 222 と共に絶縁膜 820 の上に設けられている場合を例示しているが、容量素子 223 は、トランジスタ 232 と共に、絶縁膜 820 の下に設けられていても良い。

【0222】

そして、トランジスタ 222、容量素子 223 上に、絶縁膜 841 が設けられている。絶縁膜 841 には開口部が設けられており、上記開口部においてゲート電極 834 に接する導電膜 843 が、絶縁膜 841 上に設けられている。

40

【0223】

なお、図 15 において、トランジスタ 222 は、ゲート電極 834 を半導体膜 830 の片側において少なくとも有していれば良いが、半導体膜 830 を間に挟んで存在する一対のゲート電極を有していても良い。

【0224】

トランジスタ 222 が、半導体膜 830 を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極にはオンまたはオフを制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であればよい。後者の場合、一対の電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御する

50

ことで、トランジスタ 2 2 2 の閾値電圧を制御することができる。

【 0 2 2 5 】

また、半導体膜 8 3 0 は、単膜の酸化物半導体で構成されているとは限らず、積層された複数の酸化物半導体で構成されていても良い。例えば半導体膜 8 3 0 が、3 層に積層されて構成されている場合のトランジスタ 2 2 2 の構成例を、図 1 6 ( a )、( b ) に示す。

【 0 2 2 6 】

図 1 6 ( a ) に示すトランジスタ 2 2 2 A は、絶縁膜 8 2 0 などの上に設けられた半導体膜 8 3 0 と、半導体膜 8 3 0 と電氣的に接続されている導電膜 8 3 2、及び導電膜 8 3 3 と、ゲート絶縁膜 8 3 1 と、ゲート絶縁膜 8 3 1 上に半導体膜 8 3 0 と重畳するように設けられたゲート電極 8 3 4 と、を有する。

10

【 0 2 2 7 】

そして、トランジスタ 2 2 2 A では、半導体膜 8 3 0 として、酸化物半導体層 8 3 0 a 乃至酸化物半導体層 8 3 0 c が、絶縁膜 8 2 0 側から順に積層されている。

【 0 2 2 8 】

そして、酸化物半導体層 8 3 0 a 及び酸化物半導体層 8 3 0 c は、酸化物半導体層 8 3 0 b を構成する金属元素の少なくとも 1 つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体層 8 3 0 b よりも 0 . 0 5 e V 以上、0 . 0 7 e V 以上、0 . 1 e V 以上または 0 . 1 5 e V 以上、かつ 2 e V 以下、1 e V 以下、0 . 5 e V 以下または 0 . 4 e V 以下、真空準位に近い酸化物層である。さらに、酸化物半導体層 8 3 0 b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

20

【 0 2 2 9 】

なお酸化物半導体層 8 3 0 c は、図 1 6 ( b ) に示すトランジスタ 2 2 2 B のように、導電膜 8 3 2 及び導電膜 8 3 3 の上層でゲート絶縁膜 8 3 1 と重畳させて設ける構成としてもよい。

【 0 2 3 0 】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【 0 2 3 1 】

( 実施の形態 6 )

本実施の形態では、上述の実施の形態で説明した半導体装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図 1 7、図 1 8 を用いて説明する。

30

【 0 2 3 2 】

図 1 7 ( a ) では上述の実施の形態で説明した半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、または IC 用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

【 0 2 3 3 】

上記実施の形態 5 の図 1 5 に示すようなトランジスタで構成される半導体装置は、組み立て工程 ( 後工程 ) を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

40

【 0 2 3 4 】

後工程は、図 1 7 ( a ) に示す各工程を経ることで完了することができる。具体的には、前工程で得られる素子基板が完成 ( ステップ S 1 ) した後、基板の裏面を研削する ( ステップ S 2 )。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

【 0 2 3 5 】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う ( ステップ S 3 )。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適し

50

た方法を選択する。なお、ダイボンディング工程におけるチップとリードフレームとの接着は、インターポーザ上にチップを搭載して行ってもよい。

【0236】

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する、ワイヤーボンディングを行う（ステップS4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0237】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップS5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力から、内蔵される回路部やワイヤーを保護することができ、また水分や埃による特性の劣化を低減することができる。

10

【0238】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップS6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

【0239】

次いでパッケージの表面に印字処理（マーキング）を施す（ステップS7）。そして最終的な検査工程（ステップS8）を経て電子部品が完成する（ステップS9）。

【0240】

20

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、データの処理速度が向上し、且つデータの機密性の向上が図られた半導体装置を有する電子部品を実現することができる。該電子部品は、電源供給の停止及び復帰時のデータの処理速度が向上し、且つデータの機密性の向上が図られた半導体装置を含むため、低消費電力化及び利便性の向上が図られた電子部品である。

【0241】

また、完成した電子部品の斜視模式図を図17（b）に示す。図17（b）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図17（b）に示す電子部品700は、リード701及び半導体装置703を示している。図17（b）に示す電子部品700は、例えばプリント基板702に実装される。このような電子部品700が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで電子部品が実装された基板（実装基板704）が完成する。完成した実装基板704は、電子機器等の内部に設けられる。

30

【0242】

次いで、コンピュータ、携帯情報端末（携帯電話、携帯型ゲーム機、音響再生装置なども含む）、電子ペーパー、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

【0243】

図18（a）は、携帯型の情報端末であり、筐体901、筐体902、第1の表示部903a、第2の表示部903bなどによって構成されている。筐体901と筐体902の少なくとも一部には、先の実施の形態に示す半導体装置を有する電子部品が設けられた実装基板が搭載されている。そのため低消費電力化及び利便性の向上が図られた携帯型の情報端末が実現される。

40

【0244】

なお、第1の表示部903aはタッチ入力機能を有するパネルとなっており、例えば図18（a）の左図のように、第1の表示部903aに表示される選択ボタン904により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図18（a）の右図のように第1の表示部903aに

50

はキーボード905が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

【0245】

また、図18(a)に示す携帯型の情報端末は、図18(a)の右図のように、第1の表示部903a及び第2の表示部903bのうち、一方を取り外すことができる。第1の表示部903aもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体902を持ち、他方の手で操作することができるため便利である。

【0246】

図18(a)に示す携帯型の情報端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付または時刻などを表示部に表示する機能、表示部に表示した情報を操作または編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

10

【0247】

また、図18(a)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0248】

更に、図18(a)に示す筐体902にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

20

【0249】

図18(b)は、電子ペーパーを実装した電子書籍910であり、筐体911と筐体912の2つの筐体で構成されている。筐体911及び筐体912には、それぞれ表示部913及び表示部914が設けられている。筐体911と筐体912は、軸部915により接続されており、該軸部915を軸として開閉動作を行うことができる。また、筐体911は、電源916、操作キー917、スピーカー918などを備えている。筐体911、筐体912の少なくとも一には、先の実施の形態に示す半導体装置を有する電子部品が設けられた実装基板が搭載されている。そのため、低消費電力化及び利便性の向上が図られた電子書籍が実現される。

30

【0250】

図18(c)は、テレビジョン装置であり、筐体921、表示部922、スタンド923などで構成されている。テレビジョン装置920の操作は、筐体921が備えるスイッチや、リモコン操作機924により行うことができる。筐体921及びリモコン操作機924には、先の実施の形態に示す半導体装置を有する電子部品が設けられた実装基板が搭載されている。そのため、低消費電力化及び利便性の向上が図られたテレビジョン装置が実現される。

【0251】

図18(d)は、スマートフォンであり、本体930には、表示部931と、スピーカー932と、マイク933と、操作ボタン934等が設けられている。本体930内には、先の実施の形態に示す半導体装置を有する電子部品が設けられた実装基板が搭載されている。そのため低消費電力化及び利便性の向上が図られたスマートフォンが実現される。

40

【0252】

図18(e)は、デジタルカメラであり、本体941、表示部942、操作スイッチ943などによって構成されている。本体941内には、先の実施の形態に示す半導体装置を有する電子部品が設けられた実装基板が搭載されている。そのため、低消費電力化及び利便性の向上が図られたデジタルカメラが実現される。

【0253】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置を有する電子部品が設けられた実装基板が搭載されている。このため、低消費電力化及び利便

50

性の向上が図られた電子機器が実現される。

【符号の説明】

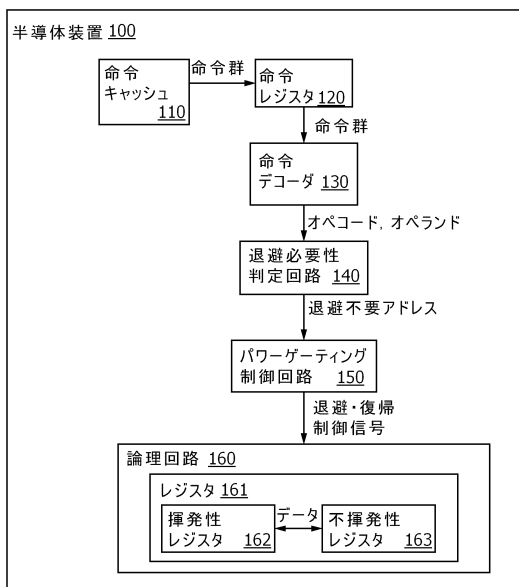
【 0 2 5 4 】

1 0 0	半導体装置	
1 1 0	命令キャッシュ	
1 2 0	命令レジスタ	
1 3 0	命令デコーダ	
1 3 1	デコーダ	
1 3 2	命令レジスタ制御回路	
1 3 3	命令カウンタ	10
1 3 4	命令読出回路	
1 4 0	退避必要性判定回路	
1 4 1	アドレス判定回路	
1 4 2	退避不要アドレス判定回路	
1 4 3	電源オフ要求回路	
1 4 4	比較回路	
1 5 0	パワーゲーティング制御回路	
1 5 1	退避不要アドレス用レジスタ	
1 5 2	退避・復帰制御回路	
1 5 3	電源供給制御回路	20
1 6 0	論理回路	
1 6 1	レジスタ	
1 6 2	揮発性レジスタ	
1 6 3	不揮発性レジスタ	
2 0 1	記憶回路	
2 0 2	記憶回路	
2 1 1	インバータ	
2 1 2	インバータ	
2 1 3	インバータ	
2 1 4	トランスミッションゲート	30
2 1 5	トランスミッションゲート	
2 1 6	N A N D	
2 1 7	N A N D	
2 2 1	セレクタ	
2 2 2	トランジスタ	
2 2 2 A	トランジスタ	
2 2 2 B	トランジスタ	
2 2 3	容量素子	
2 3 1	トランジスタ	
2 3 2	トランジスタ	40
2 3 3	トランジスタ	
2 3 4	容量素子	
2 3 5	インバータ	
3 0 0	半導体装置	
3 3 0	命令デコーダ	
3 3 1	デコーダ	
3 3 4	命令アドレス読出回路	
3 4 0	退避必要性判定回路	
3 4 1	退避不要アドレス判定回路	
7 0 0	電子部品	50

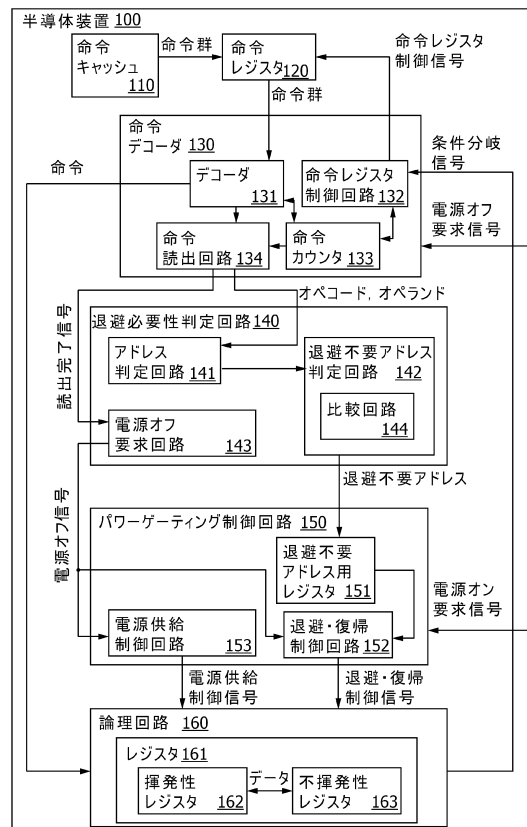
7 0 1	リード	
7 0 2	プリント基板	
7 0 3	半導体装置	
7 0 4	実装基板	
8 0 0	半導体基板	
8 0 1	素子分離用絶縁膜	
8 0 2	不純物領域	
8 0 3	不純物領域	
8 0 4	ゲート電極	
8 0 5	ゲート絶縁膜	10
8 0 9	絶縁膜	
8 1 0	配線	
8 1 1	配線	
8 1 2	配線	
8 1 5	配線	
8 1 6	配線	
8 1 7	配線	
8 2 0	絶縁膜	
8 2 1	配線	
8 3 0	半導体膜	20
8 3 0 a	酸化物半導体層	
8 3 0 b	酸化物半導体層	
8 3 0 c	酸化物半導体層	
8 3 1	ゲート絶縁膜	
8 3 2	導電膜	
8 3 3	導電膜	
8 3 4	ゲート電極	
8 3 5	導電膜	
8 4 1	絶縁膜	
8 4 3	導電膜	30
9 0 1	筐体	
9 0 2	筐体	
9 0 3 a	表示部	
9 0 3 b	表示部	
9 0 4	選択ボタン	
9 0 5	キーボード	
9 1 0	電子書籍	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	40
9 1 4	表示部	
9 1 5	軸部	
9 1 6	電源	
9 1 7	操作キー	
9 1 8	スピーカー	
9 2 0	テレビジョン装置	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	スタンド	
9 2 4	リモコン操作機	50

- 9 3 0 本体
- 9 3 1 表示部
- 9 3 2 スピーカー
- 9 3 3 マイク
- 9 3 4 操作ボタン
- 9 4 1 本体
- 9 4 2 表示部
- 9 4 3 操作スイッチ

【図 1】

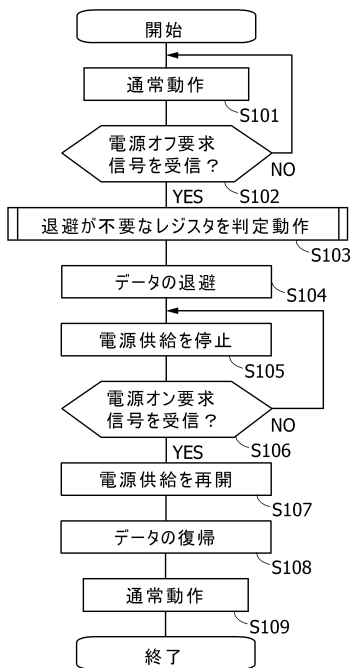


【図 2】

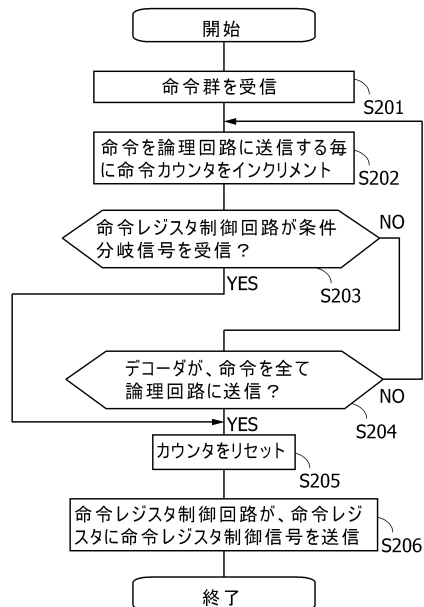




【図3】

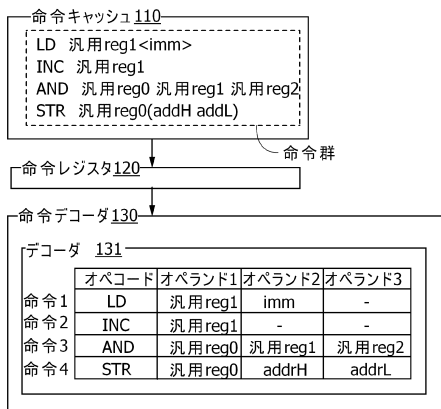


【図4】



【図5】

(a)

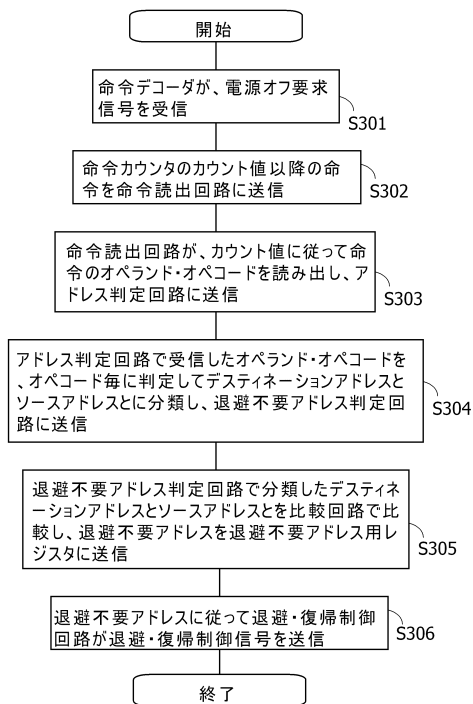


(b)

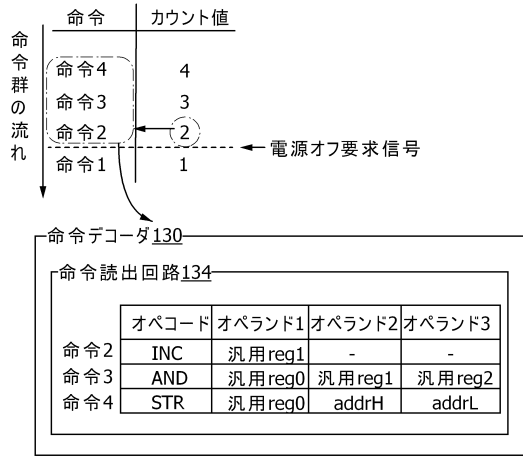
命令	カウント値
命令4	4
命令3	3
命令2	2
命令1	1

命令群の流れ ↓

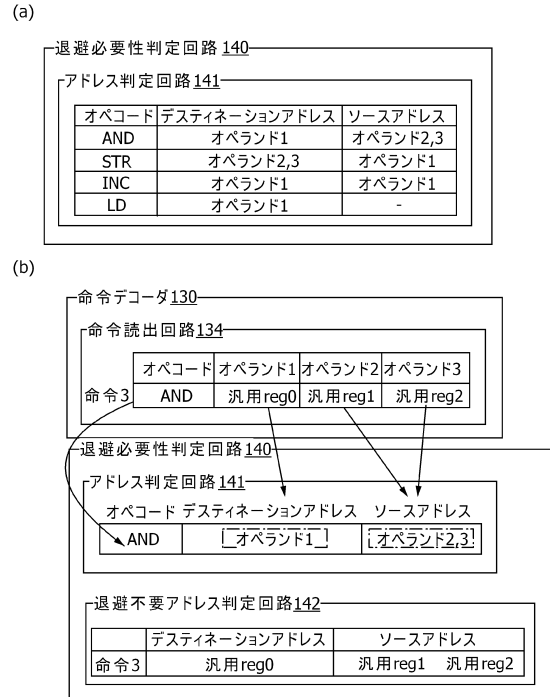
【図6】



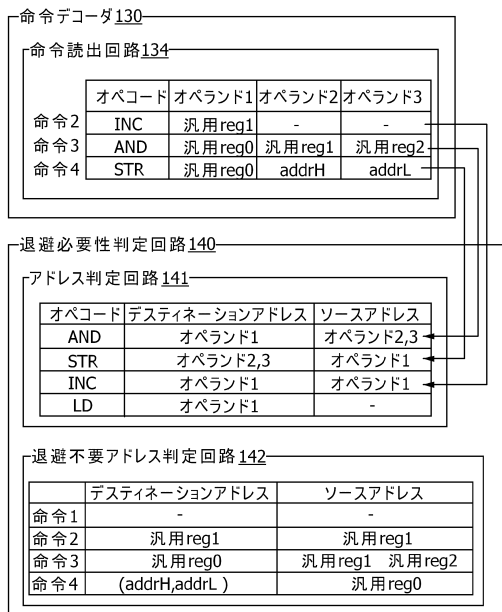
【図 7】



【図 8】



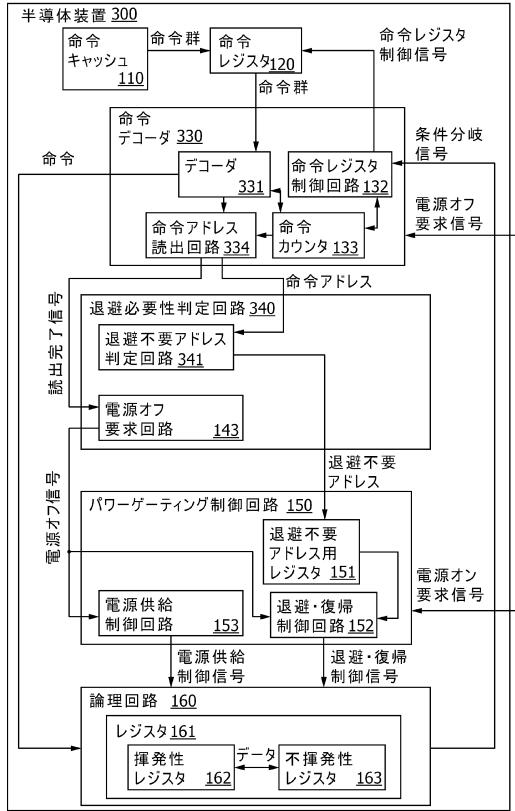
【図 9】



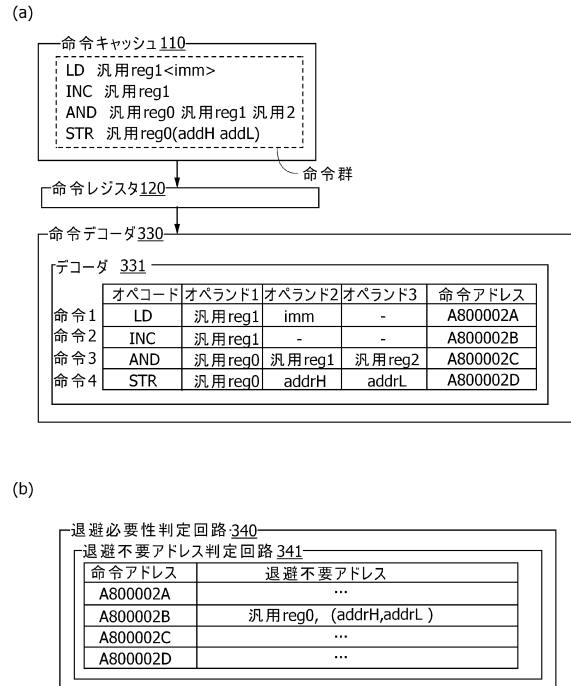
【図 10】



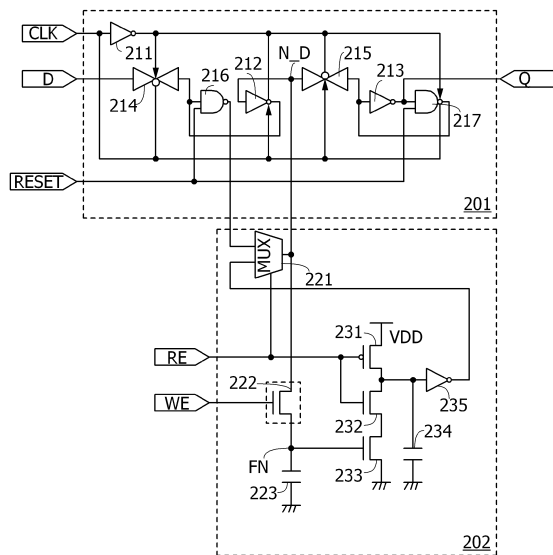
【図 1 1】



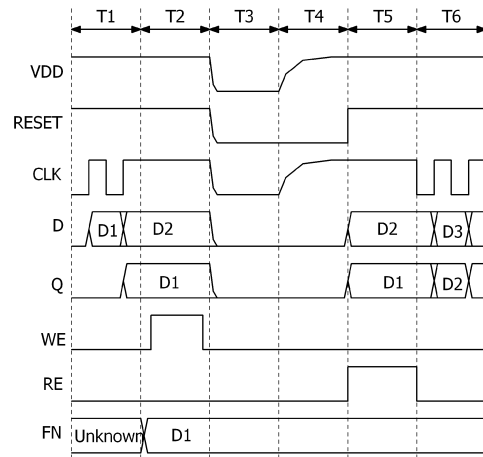
【図 1 2】



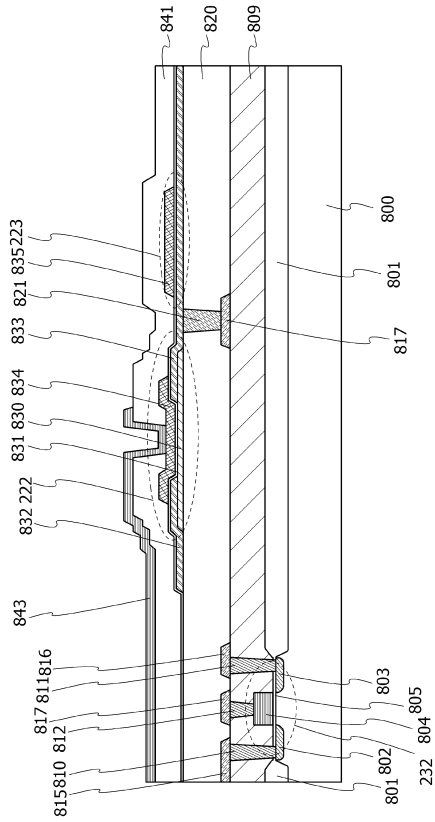
【図 1 3】



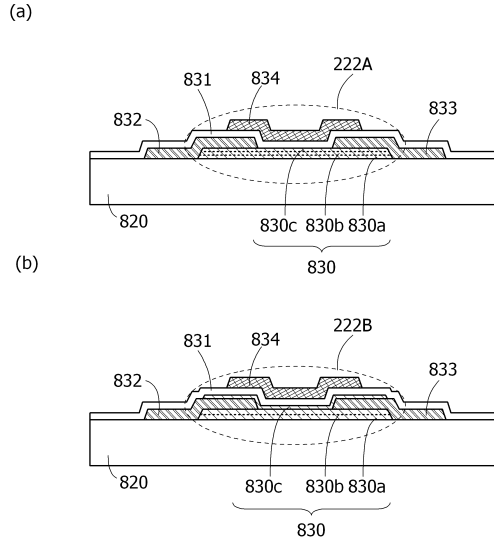
【図 1 4】



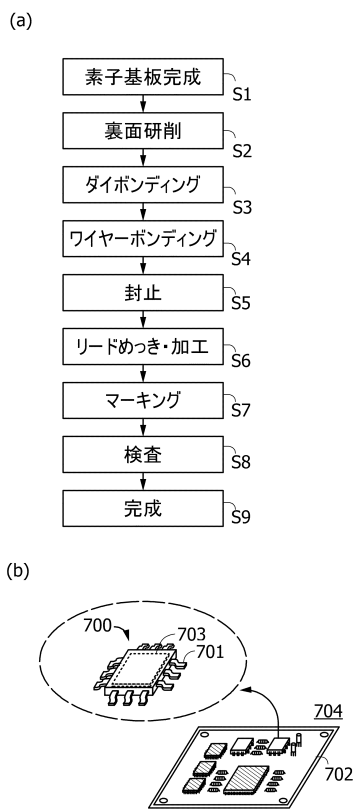
【図15】



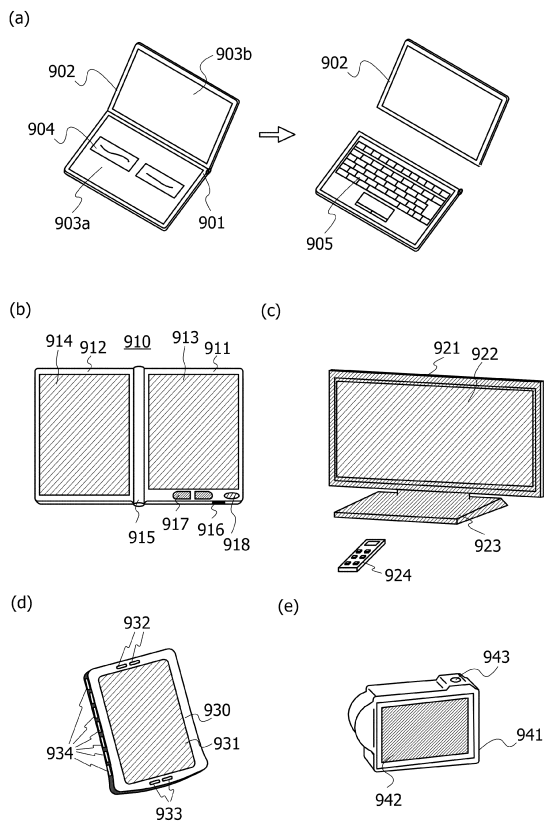
【図16】



【図17】



【図18】



---

フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 0 6 F 9 / 3 0 - 9 / 3 5 5

G 0 6 F 1 5 / 7 8

G 0 6 F 1 / 2 6 - 1 / 3 2

G 0 6 F 8 / 4 0 - 8 / 5 4

G 0 6 F 9 / 4 5 5