



## (12) 发明专利

(10) 授权公告号 CN 102810547 B

(45) 授权公告日 2015. 08. 19

(21) 申请号 201210168410. 8

(51) Int. Cl.

(22) 申请日 2012. 05. 28

H01L 27/146(2006. 01)

(30) 优先权数据

审查员 邱广猷

2011-122015 2011. 05. 31 JP

2011-209461 2011. 09. 26 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 藤吉健太郎 望月千织 渡边实

大藤将人 横山启吾 川锅润

和山弘

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 杨小明

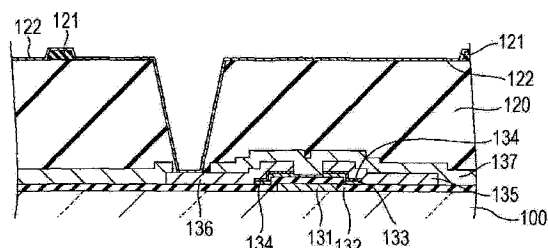
权利要求书2页 说明书14页 附图26页

### (54) 发明名称

检测器件制造方法、检测器件和检测系统

### (57) 摘要

本发明涉及一种检测器件制造方法、检测器件和检测系统。在制造检测器件的方法中,所述检测器件包括排列在基板上的多个像素,并且还包括层间绝缘层,所述像素各自包括开关元件和转换元件,所述转换元件包括设置在电极上的杂质半导体层,所述电极设置在所述开关元件之上,针对每个像素被隔离,并且由与所述开关元件接合的透明导电氧化物制成,所述层间绝缘层由有机材料制成,设置在所述开关元件与所述电极之间,并且覆盖所述开关元件,所述方法包括:形成绝缘构件,所述绝缘构件均由无机材料制成,并且被设置为与层间绝缘层接触地覆盖所述电极中的相邻两个之间的层间绝缘层;和形成杂质半导体膜,所述杂质半导体膜覆盖所述绝缘构件和所述电极,并且变为所述杂质半导体层。



1. 一种制造检测器件的方法,所述检测器件包括排列在基板上的多个像素,并且还包  
括层间绝缘层,所述像素各自包括开关元件和转换元件,所述开关元件设置在所述基板上,  
所述转换元件包括杂质半导体层和半导体层,其中所述杂质半导体层设置在电极上,并具  
有比所述半导体层中的杂质浓度高的杂质浓度,其中所述半导体层设置在所述杂质半导体  
层上,其中所述电极设置在所述开关元件之上,针对每个像素被隔离,并且与所述开关元件  
接合,所述层间绝缘层由有机材料制成,设置在所述基板与多个所述电极之间,并且覆盖所  
述开关元件,所述方法包括:

形成所述电极和绝缘构件,所述电极与所述层间绝缘层接触,所述绝缘构件各自由无  
机材料制成,并且被设置为覆盖所述电极中的相邻两个之间的层间绝缘层;和

形成杂质半导体膜,所述杂质半导体膜覆盖所述绝缘构件和所述电极,并且变为所述  
杂质半导体层。

2. 根据权利要求1所述的制造检测器件的方法,其中,形成所述电极和绝缘构件包括:  
形成由无机材料制成并且覆盖所述层间绝缘层的绝缘膜;从所述绝缘膜形成所述绝缘构  
件;形成覆盖所述层间绝缘层和所述绝缘构件的透明导电氧化物膜;以及从所述透明导电  
氧化物膜形成所述电极。

3. 根据权利要求1所述的制造检测器件的方法,其中,形成所述电极和绝缘构件包括:  
形成覆盖所述层间绝缘层的透明导电氧化物膜;从所述透明导电氧化物膜形成所述电极;  
形成由无机材料制成并且覆盖所述层间绝缘层和所述电极的绝缘膜;以及从所述绝缘膜形  
成所述绝缘构件。

4. 根据权利要求1所述的制造检测器件的方法,还包括:移除所述杂质半导体膜的在  
所述绝缘构件上方的一部分,从而形成所述杂质半导体层。

5. 根据权利要求4所述的制造检测器件的方法,其中,形成杂质半导体膜还包括:形成  
覆盖所述杂质半导体膜的半导体膜。

6. 根据权利要求5所述的制造检测器件的方法,其中,移除所述杂质半导体膜的一部  
分包括:移除所述绝缘构件上方的所述杂质半导体膜的一部分和所述半导体膜的一部分,  
从而分别从所述杂质半导体膜形成所述杂质半导体层和从所述半导体膜形成所述转换元  
件的半导体层。

7. 根据权利要求4所述的制造检测器件的方法,其中,移除所述杂质半导体膜的一部  
分还包括:形成覆盖所述杂质半导体层的半导体膜。

8. 根据权利要求7所述的制造检测器件的方法,其中,移除所述杂质半导体膜的一部  
分包括:移除所述绝缘构件上方的所述杂质半导体膜和所述半导体膜,从而分别从所述杂  
质半导体膜形成所述杂质半导体层和从所述半导体膜形成所述转换元件的半导体层。

9. 根据权利要求7所述的制造检测器件的方法,还包括:在形成前述半导体膜之前,形  
成具有比前述半导体膜高的氢浓度的半导体膜。

10. 根据权利要求8所述的制造检测器件的方法,还包括:

形成另一杂质半导体膜,所述另一杂质半导体膜具有与前述杂质半导体层的导电类型  
不同的导电类型,并且覆盖所述半导体膜;

形成导电膜,所述导电膜覆盖不同的导电类型的所述另一杂质半导体膜,并且变为所  
述转换元件的对置电极,该电极不同于前述电极;和

将与所述导电膜接合的电极配线形成在所述电极配线的正交投影图像与所述绝缘构件重叠的位置之上。

11. 一种检测器件, 包括:

基板;

多个像素, 所述多个像素排列在所述基板上, 所述像素各自包括开关元件和转换元件, 所述开关元件设置在所述基板上, 所述转换元件包括杂质半导体层和半导体层, 其中所述杂质半导体层设置在电极上, 并具有比所述半导体层中的杂质浓度高的杂质浓度, 其中所述半导体层设置在所述杂质半导体层上, 其中所述电极设置在所述开关元件之上, 针对每个像素被隔离, 并且与所述开关元件电连接;

层间绝缘层, 所述层间绝缘层由有机材料制成, 设置在多个所述开关元件与多个所述电极之间, 并且覆盖所述开关元件; 和

绝缘构件, 所述绝缘构件各自由无机材料制成, 设置在所述层间绝缘层上而覆盖设置在所述层间绝缘层上且与所述层间绝缘层接触的所述电极中的相邻两个之间的层间绝缘层,

通过在每个所述绝缘构件上方的位置处分离形成在所述绝缘构件和所述电极上方的杂质半导体膜, 形成所述杂质半导体层。

12. 一种检测系统, 包括:

根据权利要求 11 所述的检测器件;

信号处理单元, 所述信号处理单元被配置为处理来自所述检测器件的信号;

记录单元, 所述记录单元被配置为记录来自所述信号处理单元的信号;

显示单元, 所述显示单元被配置为显示来自所述信号处理单元的信号; 和

发送处理单元, 所述发送处理单元被配置为发送来自所述信号处理单元的信号。

## 检测器件制造方法、检测器件和检测系统

### 技术领域

[0001] 实施例的一个公开方面涉及一种制造应用于比如医用成像诊断装置、非破坏性检查装置和使用放射线的分析装置的检测器件的技术。实施例的一个公开方面还涉及检测器件和检测系统。

### 背景技术

[0002] 近来,薄膜半导体制造技术已用于包括下述像素阵列的类型的检测器件的领域中,在所述像素阵列中,开关元件(比如,TFT(薄膜晶体管))和用于将放射线或光转换为电荷的转换元件(比如,光电二极管)彼此组合。

[0003] 国际公开 W02007/01357 中所公开的相关技术的检测器件包括设置在电极上的转换元件,这些电极排列在基板上,针对每个像素被隔离,并且由透明导电氧化物制成。相关技术的检测器件还包括通过形成在层间绝缘层中的接触孔与电极连接的开关元件,所述层间绝缘层设置在基板与电极之间,并且由有机材料制成。转换元件的杂质半导体层和半导体层在层间绝缘层上被部分移除,以使得转换元件针对每个像素被隔离。

[0004] 然而,在试图制造国际公开 W02007/01357 中所公开的检测器件时,一种制造方法包括这样的操作,在所述操作中,当形成后来变为转换元件的杂质半导体层的杂质半导体膜时,层间绝缘层进入曝露状态。因此,在一些情况下,当形成杂质半导体膜时,层间绝缘层的表面是曝露的。因此,根据膜形成工艺的类型,层间绝缘层的有机材料可部分分散并混合到杂质半导体层中。这引起了下述问题,即,转换元件的杂质半导体层被有机污染,并且杂质半导体层中的缺陷和杂质半导体层与半导体层之间的界面处的缺陷增多,由此转换元件中的暗电流增大。

[0005] 为了防止层间绝缘层曝露,可将由无机材料制成的绝缘层设置在层间绝缘层上方。然而,在这样的情况下,转换元件的电极(该电极由透明导电氧化物制成)设置在该绝缘层上。透明导电氧化物在以非晶态形成它之后通过多结晶化形成。透明导电氧化物中的内部应力在多结晶化期间改变。因为由无机材料制成的绝缘层比由有机材料制成的层间绝缘层硬并且具有更高的结合能,所以下述问题可发生,即,绝缘层在透明导电氧化物的多结晶化期间不能跟随内部应力的改变,并且转换元件的电极从绝缘层剥落。

### 发明内容

[0006] 为了解决上述问题,实施例提供一种检测器件,其可减少有机材料混合到转换元件的杂质半导体层中,并且可抑制转换元件的电极的剥落。

[0007] 根据一个实施例,提供一种制造检测器件的方法,所述检测器件包括排列在基板上的多个像素,并且还包括层间绝缘层,所述像素各自包括开关元件和转换元件,所述开关元件设置在所述基板上,所述转换元件包括设置在电极上的杂质半导体层,所述电极设置在所述开关元件之上,针对每个像素被隔离,并且由与所述开关元件接合的透明导电氧化物制成,所述层间绝缘层由有机材料制成,设置在多个开关元件与所述多个电极之间,并且

覆盖所述开关元件,所述方法包括以下操作:形成所述电极和绝缘构件的操作,所述电极与所述层间绝缘层接触,所述绝缘构件均由无机材料制成,并且被设置为覆盖所述电极中的相邻两个之间的层间绝缘层;以及形成杂质半导体膜的操作,所述杂质半导体膜覆盖所述绝缘构件和所述电极,并且变为所述杂质半导体层。

[0008] 根据另一个实施例,提供一种检测器件,其包括:排列在基板上的多个像素,所述像素各自包括开关元件和转换元件,所述开关元件设置在所述基板上,所述转换元件包括设置在电极上的杂质半导体层,所述电极设置在所述开关元件之上方,针对每个像素被隔离,并且由与所述开关元件接合的透明导电氧化物制成;层间绝缘层,所述层间绝缘层由有机材料制成,设置在所述基板与所述多个电极之间,并且覆盖所述开关元件;以及绝缘构件,所述绝缘构件均由无机材料制成,设置在所述层间绝缘层上而覆盖设置在所述层间绝缘层上且与所述层间绝缘层接触的所述电极中的相邻两个之间的层间绝缘层,所述杂质半导体层是通过在所述绝缘构件上方分离已形成在所述绝缘构件和所述电极上方的杂质半导体膜来获得的。

[0009] 通过本发明的实施例,可获得这样的检测器件,其能够减少有机材料混合到转换元件的杂质半导体层中,并且能够抑制转换元件的电极剥落。

[0010] 根据以下参照附图对示例性实施例的描述,本发明的进一步的特征将会变得清楚。

#### 附图说明

[0011] 图 1A 是根据第一实施例的检测器件的每个像素的平面图。

[0012] 图 1B 是沿着图 1A 中的线 A-A' 截取的截面图。

[0013] 图 1C 是图 1A 中的像素之间的部分的放大图。

[0014] 图 1D 是沿着图 1A 中的线 B-B' 截取的截面图。

[0015] 图 2A、图 2C、图 2E、图 2G 和图 2I 示出解释制造根据第一实施例的检测器件的方法的掩模图案。

[0016] 图 2B、图 2D、图 2F、图 2H 和图 2J 是解释制造根据第一实施例的检测器件的方法的截面图。

[0017] 图 3 是根据第一实施例的检测器件的等效电路图。

[0018] 图 4A 是根据第二实施例的检测器件的每个像素的截面图。

[0019] 图 4B 是图 4A 中的像素之间的部分的放大图。

[0020] 图 4C 是根据第二实施例的检测器件的每个像素的另一个截面图。

[0021] 图 5A、图 5C、图 5E 和图 5G 示出解释制造根据第二实施例的检测器件的方法的掩模图案。

[0022] 图 5B、图 5D 和图 5F 是解释制造根据第二实施例的检测器件的方法的截面图。

[0023] 图 6A 是根据第三实施例的检测器件的每个像素的截面图。

[0024] 图 6B 是图 6A 中的像素之间的部分的放大图。

[0025] 图 6C 是根据第三实施例的检测器件的每个像素的另一个截面图。

[0026] 图 7A、图 7C、图 7E、图 7G 和图 7I 示出解释制造根据第三实施例的检测器件的方法的掩模图案。

- [0027] 图 7B、图 7D、图 7F、图 7H 和图 7J 是解释制造根据第三实施例的检测器件的方法的截面图。
- [0028] 图 8A 是根据第四实施例的检测器件的每个像素的截面图。
- [0029] 图 8B 是图 8A 中的像素之间的部分的放大图。
- [0030] 图 8C 是根据第四实施例的检测器件的每个像素的另一个截面图。
- [0031] 图 9A 是根据第五实施例的检测器件的每个像素的截面图。
- [0032] 图 9B 是图 9A 中的像素之间的部分的放大图。
- [0033] 图 9C 是示出图 9A 中的像素之间的部分的另一个例子的放大图。
- [0034] 图 10A 和图 10C 示出解释制造根据第五实施例的检测器件的方法的掩模图案。
- [0035] 图 10B 和图 10D 是解释制造根据第五实施例的检测器件的方法的截面图。
- [0036] 图 11A 是根据第六实施例的检测器件的每个像素的截面图。
- [0037] 图 11B 是图 11A 中的像素之间的部分的放大图。
- [0038] 图 12A 是根据第七实施例的检测器件的每个像素的平面图。
- [0039] 图 12B 和图 12C 是根据第七实施例的检测器件及其修改形式的截面图。
- [0040] 图 12D 是根据第七实施例的检测器件的另一种修改形式的每个像素的平面图。
- [0041] 图 13A、图 13C、图 13E、图 13G 和图 13I 示出解释制造根据第七实施例的检测器件的方法的掩模图案。
- [0042] 图 13B、图 13D、图 13F、图 13H 和图 13J 是解释制造根据第七实施例的检测器件的方法的截面图。
- [0043] 图 14 是使用根据实施例的检测器件的放射线检测系统的概念图。

## 具体实施方式

[0044] 以下将参照附图来详细描述本公开的实施例。注意，本说明书中所使用的术语“放射线”不仅包括作为由通过放射性衰减发射的粒子（包括光子）形成的射束的  $\alpha$  射线、 $\beta$  射线和  $\gamma$  射线，而且还包括具有可比的或更多的能量的射束，诸如 X 射线、粒子射线和宇宙射线。

### [0045] 第一实施例

[0046] 首先将参照图 1A 至图 1D 来描述根据第一实施例的检测器件中的一个像素的结构。图 1A 是每个像素的平面图。为了简单起见，关于转换元件，在图 1A 中仅示出了第一电极。图 1B 是沿着图 1A 中的线 A-A' 截取的截面图，图 1C 是像素末端部分（即，像素之间的部分）的放大图，图 1D 是沿着图 1A 中的线 B-B' 截取的截面图。

[0047] 根据第一实施例中的检测器件中的一个像素 11 包括转换元件 12 和 TFT（薄膜晶体管）13，转换元件 12 用于将放射线或光转换为电荷，TFT（薄膜晶体管）13 是用于输出与在转换元件 12 中产生的电荷对应的电信号的开关元件。转换元件 12 由 PIN 型光电二极管形成。转换元件 12 堆叠在 TFT 13 上，TFT 13 形成在绝缘基板 100（比如，玻璃基板）上，层间绝缘层 120 插入在转换元件 12 与 TFT 13 之间。

[0048] TFT 13 包括从基板侧起依次形成在基板 100 上的控制电极 131、绝缘层 132、半导体层 133、杂质半导体层 134、第一主电极 135 和第二主电极 136，杂质半导体层 134 具有比半导体层 133 高的杂质浓度。杂质半导体层 134 的部分区域分别与第一主电极 135 和第二

主电极 136 接触,并且半导体层 133 的与杂质半导体层 134 的这些部分区域接触的区域之间的区域用作 TFT 的沟道区。控制电极 131 与控制配线 15 电连接。第一主电极 135 与信号配线 16 电连接,并且第二主电极 136 与转换元件 12 的第一电极 122 电连接。在本实施例中,第一主电极 135、第二主电极 136 和信号配线 16 一体地形成在同一导电层中,并且第一主电极 135 用作信号配线 16 的一部分。保护层 137 被设置为覆盖 TFT13、控制配线 15 和信号配线 16。虽然在本实施例中,使用各自主要由非晶硅制成的半导体层 133 和杂质半导体层 134 的反交错式 TFT 被用作开关元件,但是本发明不限于这样的例子。作为其它例子,还可使用主要由多晶硅制成的交错式 TFT、有机 TFT、氧化物 TFT 等。

[0049] 层间绝缘层 120 设置在基板 100 与以下详细描述的多第一电极 122 之间,以覆盖多个 TFT 13,并且它具有接触孔。转换元件 12 的第一电极 122 和 TFT 13 的第二主电极 136 在形成在层间绝缘层 120 中的接触孔中彼此电连接。

[0050] 转换元件 12 包括从层间绝缘层侧起依次形成在层间绝缘层 120 上的第一电极 122、第一导电类型的杂质半导体层 123、半导体层 124、第二导电类型的杂质半导体层 125 和第二电极 126。这里,第一导电类型的杂质半导体层 123 表现出第一导电类型的极性,并且具有比半导体层 124 和第二导电类型的杂质半导体层 125 中的第一导电类型杂质浓度高的第一导电类型杂质浓度。此外,第二导电类型的杂质半导体层 125 表现出第二导电类型的极性,并且具有比第一导电类型的杂质半导体层 123 和半导体层 124 中的第二导电类型杂质浓度高的第二导电类型杂质浓度。第一导电类型和第二导电类型意指具有彼此不同极性的导电类型。例如,当第一导电类型是 n 型时,第二导电类型是 p 型。电极配线 14 与转换元件 12 的第二电极 126 电连接。转换元件 12 的第一电极 122 在形成在层间绝缘层 120 中的接触孔中与 TFT 13 的第二主电极 136 电连接。虽然本实施例利用使用各自主要由非晶硅制成的第一导电类型的杂质半导体层 123、半导体层 124 和第二导电类型的杂质半导体层 125 的光电二极管,但是本发明不限于这样的例子。作为另一个例子,还可使用下述元件,该元件能够直接将放射线转换为电荷,并且在该元件中,第一导电类型的杂质半导体层 123、半导体层 124 和第二导电类型的杂质半导体层 125 各自主要由非晶硒制成。

[0051] 由无机材料制成的绝缘构件 121 被设置为与层间绝缘层 120 上的多个第一电极 122 中的相邻两个之间的层间绝缘层 120 接触。换言之,第一电极 122 和绝缘构件 121 设置在层间绝缘层 120 上,以覆盖层间绝缘层 120。因此,当形成变为杂质半导体层 123 的杂质半导体膜时,层间绝缘层 120 的表面不暴露,由此可减少有机材料混合到杂质半导体层 123 中。而且,在本实施例中,杂质半导体层 123、半导体层 124 和杂质半导体层 125 在绝缘构件 121 上方均针对每个像素被分离。在用于分离这些层中的每个的干式蚀刻操作中,绝缘构件 121 用作蚀刻停止层。因此,层间绝缘层 120 没有暴露到干式蚀刻的物料(species),并且可防止周围层被有机材料污染。

[0052] 第一电极 122 由透明导电氧化物(比如,ITO)制成。透明导电氧化物具有这样的特征,即,在非晶态下,它表现出比多晶态下高得多的蚀刻速率和图案可控性。由于这个原因,透明导电氧化物通常通过下述方法来形成,即,首先对形成为非晶态的透明导电氧化物进行蚀刻,然后在退火操作中使它多结晶化。因为透明导电氧化物的内部应力在退火操作中改变,所以从膜粘附性的角度来讲,与透明导电氧化物接触的底层膜的类型非常重要。例如,当透明导电氧化物设置在由具有高表面硬度和高结合能的无机材料制成的绝缘层上

时,因为由无机材料制成的绝缘层不能跟随由ITO中的内部应力的改变而引起的变形,所以第一电极122可能剥落。另一方面,当透明导电氧化物设置在由具有低表面硬度和低结合能的有机材料制成的层间绝缘层120上时,层间绝缘层120可以以比由所述无机材料制成的绝缘层的适应性更强的方式跟随由透明导电氧化物中的内部应力的改变而引起的变形。此外,通过在透明导电氧化物的多结晶化期间产生的能量,使有机材料的结合物再次与多结晶化的透明导电氧化物接合,从而使层间绝缘层120对应力改变的适应性更强。结果,可减少第一电极122的剥落。在本实施例中,因为第一电极122被设置为 $70\mu\text{m}$ 至 $180\mu\text{m}$ 的宽度并且在其大部分与层间绝缘层120接触,所以可减少第一电极122的剥落。在本实施例中,第一电极122将其大约 $5\mu\text{m}$ 的末端设置在绝缘构件121上,并且第一电极122与绝缘构件121之间的粘附力低。然而,因为这样的末端宽度远小于第一电极122与层间绝缘层120接触处的宽度,所以第一电极122剥落的问题不会发生。

[0053] 钝化层155被设置为覆盖转换元件12。

[0054] 以下将参照图2A至图2J来描述制造根据第一实施例的检测器件的方法。具体地讲,参照工艺期间的掩模图案和截面图来详细描述在层间绝缘层120中形成接触孔之后的操作。图2A、图2C、图2E、图2G和图2I是相继的操作中所使用的光掩模的掩模图案的示意性平面图。图2B、图2D、图2F、图2H和图2J是相继的操作中的、在与图1A中的线A-A'对应的位置处截取的示意性截面图。

[0055] 在初始状态下,多个TFT13设置在绝缘基板100上,保护层137设置在多个TFT13上方。通过在第二主电极136上方的保护层137的用于与光电二极管电连接的一部分中进行蚀刻来形成接触孔。在图2B所示的操作中,通过使用涂布装置(比如,旋涂器)来将作为具有感光性的有机材料的丙烯酸树脂(acryl resin)形成覆盖TFT13和保护层137的层间绝缘膜。例如,聚酰亚胺树脂也可用作具有感光性的有机材料。然后,通过使用图2A所示的掩模,通过曝光和显影形成具有接触孔的层间绝缘层120。

[0056] 接着,在图2D所示的操作中,通过等离子体CVD形成由普通的无机材料(比如,氮化硅膜或氧化硅膜)制成的绝缘膜来覆盖层间绝缘层120。然后通过利用图2C所示的掩模对该绝缘膜进行蚀刻来在像素之间形成绝缘构件121。

[0057] 接着,在图2F所示的操作中,通过溅射形成由ITO制成的非晶透明导电氧化物膜,以覆盖层间绝缘层120和绝缘构件121。通过使用图2E所示的掩模对该透明导电氧化物膜进行湿式蚀刻,然后对该透明导电氧化物膜进行退火以便多结晶化,由此形成转换元件的第一电极122。此时,层间绝缘层120的表面被多个绝缘构件121和多个第一电极122覆盖。通过多结晶化,第一电极122中的内部应力增大。然而,因为第一电极122的大部分被形成为与层间绝缘层120接触,所以它们之间的粘附性得以保持,并且不引起第一电极122剥落的问题。虽然在本实施例中ITO用作透明导电氧化物,但是还可有益地使用 $\text{ZnO}$ 、 $\text{SnO}_2$ 、 $\text{ATO}$ 、 $\text{AZO}$ 、 $\text{CdIn}_2\text{O}_4$ 、 $\text{MgIn}_2\text{O}_4$ 、 $\text{ZnGa}_2\text{O}_4$ 和 $\text{InGaZnO}_4$ 。另外还可有益地使用含有Cu并且能够取铜铁矿型非晶态的其它透明导电氧化物,比如 $\text{CuAlO}_2$ 。

[0058] 接着,在图2H所示的操作中,通过等离子体CVD形成与作为杂质的五价元素(比如,磷)混合的非晶硅膜作为第一导电类型的杂质半导体膜123',以覆盖绝缘构件121和第一电极122。然后,通过等离子体CVD依次形成由非晶硅膜制成的半导体膜124'和第二导电类型的杂质半导体膜125'(即,与作为杂质的三价元素(比如,硼)混合的非晶硅膜)。当

形成杂质半导体膜 123' 时,如果层间绝缘层 120 没被绝缘构件 121 和第一电极 122 覆盖,则层间绝缘层 120 曝露到等离子体。如果由有机材料制成的层间绝缘层 120 曝露到等离子体,则有机材料可分散并混合到杂质半导体膜 123' 中。为了应对这样的问题,在本实施例中,层间绝缘层 123 被绝缘构件 121 和第一电极 122 覆盖,以当形成变为第一导电类型的杂质半导体层 123 的杂质半导体膜 123' 时,提供层间绝缘层 120 的表面不曝露的结构。该结构可防止有机材料分散以及有机材料混合到第一导电类型的杂质半导体膜中。然后通过溅射形成由例如 Al 制成的、变为电极配线 14 的导电膜来覆盖杂质半导体膜 125'。此外,通过使用图 2G 所示的掩模对该导电膜进行湿式蚀刻,从而形成电极配线 14。

[0059] 接着,在图 2J 所示的操作中,通过溅射形成透明导电氧化物膜来覆盖杂质半导体膜 125' 和电极配线 14。然后通过使用图 2I 所示的掩模对该透明半导体氧化物膜进行湿式蚀刻,从而形成转换元件 12 的第二电极 126。此外,通过下述方式来针对每个像素隔离转换元件 12,即,通过使用与图 2I 所示的掩模相同的掩模进行干式蚀刻来部分移除杂质半导体膜 125'、半导体膜 124' 和杂质半导体膜 123'。隔离的转换元件 12 中包括杂质半导体层 125、半导体层 124 和杂质半导体层 123。在各绝缘构件 121 上方执行通过干式蚀刻进行的像素隔离。因此,绝缘构件 121 用作蚀刻停止层,并且层间绝缘层 120 没有曝露到干式蚀刻的物料。因而,可防止周围层被有机材料污染。此外,第一电极 122 被杂质半导体层 123 覆盖。因此,所获得的结构在第一电极 122 与半导体层 124 之间不包括所谓的肖特基结(即,直接接合)。虽然在本实施例中透明导电氧化物用作第二电极 126 的材料,但是本发明不限于这样的例子,只要使用导电膜即可。作为另一个例子,当直接将放射线转换为电荷的元件被用作转换元件 12 时,由比如 Al 制成的、放射线能够容易地通过的导电膜可用作第二电极 126。

[0060] 然后,形成钝化层 155 来覆盖转换元件 12 和绝缘构件 121,由此获得图 1B 所示的结构。当形成钝化层 155 时,层间绝缘层 120 不曝露,并且可防止周围层被有机材料污染。

[0061] 在本实施例中,当在图 2J 所示的操作中通过干式蚀刻来针对每个像素隔离转换元件 12 时,电极配线 14 用作蚀刻掩模。因此,如图 1D 所示,杂质半导体膜 125'、半导体膜 124' 和杂质半导体膜 123' 留在电极配线 14 的正交投影图像位于其中的区域中,而没有被移除。这提供了下述结构,即,电极配线 14 的正交投影图像位于其中的区域中的杂质半导体层 123 在彼此相邻的像素的第一电极 122 之间是连续的。即使对于这样的结构,当杂质半导体层 123 的电阻高得足以使得杂质半导体层 123 可被认为是绝缘体时,杂质半导体层 123 也基本上针对每个像素被电隔离,并且检测器件也可毫无问题地工作。为了获得具有足够高的电阻的杂质半导体层 123,要适当地控制层厚度和掺杂剂量。

[0062] 以下将参照图 3 来描述根据第一实施例的检测器件的示意性等效电路。虽然为了简化解释,图 3 是 3 行 3 列的等效电路图,但是本发明不限于这样的例子,并且检测器件具有 n 行 m 列(n、m:等于或大于 2 的自然数)的像素阵列。在根据本实施例的检测器件中,包括按行方向和列方向排列的多个像素 1 的转换部分 3 设置在基板 100 的表面上。每个像素 1 包括转换元件 12 和 TFT 13,转换元件 12 用于将放射线或光转换为电荷,TFT 13 用于输出与在转换元件 12 中产生的电荷对应的电信号。用于通过波长转换将放射线转换为可见光的闪烁器(未示出)可在包括第二电极 126 的一侧被设置在转换元件 12 的表面上。每根电极配线 14 与按列方向排列的多个转换元件 12 的第二电极 126 共同地连接。每根控制配

线 15 与按行方向排列的多个 TFT 13 的控制电极 131 共同地连接,并且它还与驱动电路 2 电连接。驱动电路 2 相继地或同时地将驱动脉冲供给按列方向排列的多根控制配线 15,由此来自像素的电信号以行为单位并行地输出到按行方向排列的多根信号配线 16。每根信号配线 16 与按列方向排列的多个 TFT 13 的第一主电极 135 共同地连接,并且它还与读取电路 4 电连接。读取电路 4 对于每根信号配线 16 包括积分放大器 5 以及采样和保持电路 6,积分放大器 5 用于对来自信号配线 16 的电信号进行积分和放大,采样和保持电路 6 用于采样并保持被积分放大器 5 放大并且从积分放大器 5 输出的电信号。读取电路 4 还包括复用器 7 和 A/D 转换器 8,复用器 7 用于将从多个采样和保持电路 6 并行输出的电信号转换为串行电信号,A/D 转换器 8 用于将输出的电信号转换为数字数据。参考电势  $V_{ref}$  从电源电路 9 供给积分放大器 5 的非反相输入端子。此外,电源电路 9 与按行方向排列的多根电极配线 14 电连接,从而将偏压电势  $V_s$  供给转换元件 12 的第二电极 126。

[0063] 以下将描述根据本实施例的检测器件的操作。参考电势  $V_{ref}$  通过 TFT 13 施加于每个转换元件 12 的第一电极 122,并且用于分离由放射线或可见光产生的电子空穴对的偏压电势  $V_s$  施加于第二电极 126。在这种状态下,当已通过样本的放射线或者与该放射线对应的可见光进入转换元件 12 时,其被转换为电荷,所述电荷在转换元件 12 中累积。当通过从驱动电路 2 施加于控制配线 15 的驱动脉冲使 TFT 13 进入导电状态时,输出与累积的电荷对应的电信号到信号配线 16。该电信号然后被读取电路 4 作为数字数据读取到外部。

#### [0064] 第二实施例

[0065] 以下将参照图 4A 至图 4C 来描述根据第二实施例的检测器件中的一个像素的结构。图 4A 是沿着与图 1A 中的线 A-A' 对应的线截取的截面图,图 4B 是像素末端部分(即,像素之间的部分)的放大图,图 4C 是沿着与图 1A 中的线 B-B' 对应的线截取的截面图。第二实施例中的与以上在第一实施例中描述的组件相同的组件用相同的标号表示,并且省略这些组件的详细描述。

[0066] 在第一实施例中,如图 1D 所示,在电极配线 14 的正交投影图像位于其中的区域中的杂质半导体层 123 在相邻像素的第一电极 122 之间是连续的。然而,在第二实施例中,紧接在形成杂质半导体膜 123' 之后形成杂质半导体层 123。因此,如图 4C 所示,可获得具有其中杂质半导体层 123 针对每个像素被分离的结构像素。

[0067] 以下将参照图 5A 至图 5G 来描述制造根据第二实施例的检测器件的方法。图 5A、图 5C、图 5E 和图 5G 是相继的操作中所使用的光掩模的掩模图案的示意性平面图。图 5B、图 5D 和图 5F 是相继的操作中的、在与图 1A 中的线 A-A' 对应的位置处截取的示意性截面图。省略与第一实施例中描述的操作相同的操作的详细描述。具体地讲,因为直到形成第一电极 122 为止的操作与以上参照图 2A 至图 2F 描述的这些操作相同,所以描述后面的操作。

[0068] 在图 5B 所示的操作中,通过等离子体 CVD 将与作为杂质的五价元素(诸如磷)混合的非晶硅膜形成成为第一导电类型的杂质半导体膜 123',以覆盖绝缘构件 121 和第一电极 122。当形成杂质半导体膜 123' 时,如果层间绝缘层 120 没有被绝缘构件 121 和第一电极 122 覆盖,则层间绝缘层 120 曝露到等离子体。如果由有机材料制成的层间绝缘层 120 曝露到等离子体,则有机材料可分散并混合到杂质半导体膜 123' 中。为了应对这样的问题,在本实施例中,层间绝缘层 120 被绝缘构件 121 和第一电极 122 覆盖,以当形成变为第一导电

类型的杂质半导体层 123 的杂质半导体膜 123' 时,提供层间绝缘层 120 的表面不曝露的结构。该结构可防止有机材料分散以及有机材料混合到第一导电类型的杂质半导体膜中。然后使用图 5A 所示的掩模对杂质半导体膜 123' 进行干式蚀刻,从而形成杂质半导体层 123。在各绝缘构件 121 上方执行通过干式蚀刻进行的像素隔离。因此,绝缘构件 121 用作蚀刻停止层,并且层间绝缘层 120 没有曝露到干式蚀刻的物料。因而,可防止杂质半导体层 123 被有机材料污染。这里,第一电极 122 具有被杂质半导体层 123 覆盖的形式。

[0069] 接着,在图 5D 所示的操作中,通过等离子体 CVD 依次形成由非晶硅膜制成的半导体膜 124' 和第二导电类型的杂质半导体膜 125' (即,与作为杂质的三价元素(比如,硼)混合的非晶硅膜),以覆盖绝缘构件 121 和杂质半导体层 123。然后通过溅射形成由例如 Al 制成的、变为电极配线 14 的导电膜来覆盖杂质半导体膜 125'。此外,通过使用图 5C 所示的掩模对该导电膜进行湿式蚀刻,从而形成电极配线 14。

[0070] 接着,在图 5F 所示的操作中,通过溅射形成透明导电氧化物膜来覆盖杂质半导体膜 125' 和电极配线 14。然后通过使用图 5E 所示的掩模对该透明导电氧化物膜进行湿式蚀刻,从而形成转换元件 12 的第二电极 126。此外,通过下述方式针对每个像素隔离转换元件 12,即,通过使用与图 5E 所示的掩模相同的掩模进行干式蚀刻来移除杂质半导体膜 125' 和半导体膜 124'。隔离的转换元件 12 中包括杂质半导体层 125、半导体层 124 和杂质半导体层 123。在各绝缘构件 121 的上方执行通过干式蚀刻进行的像素隔离。因此,绝缘构件 121 用作蚀刻停止层,并且层间绝缘层 120 没有曝露到干式蚀刻的物料。因而,可防止周围层被有机材料污染。此外,第一电极 122 被杂质半导体层 123 覆盖。因此,所获得的结构在第一电极 122 与半导体层 124 之间不包括所谓的肖特基结(即,直接接合)。虽然在本实施例中透明导电氧化物用作第二电极 126 的材料,但是本发明不限于这样的例子,只要使用导电膜即可。作为另一个例子,当直接将放射线转换为电荷的元件用作转换元件 12 时,由例如 Al 制成的、放射线能够容易地通过的导电膜可用作第二电极 126。

[0071] 然后,形成钝化层 155 来覆盖转换元件 12 和绝缘构件 121,由此获得图 4A 和图 4C 所示的结构。当形成钝化层 155 时,层间绝缘层 120 没有被曝露,并且可防止周围层被有机材料污染。

[0072] 虽然在本实施例中通过使用图 5A 所示的掩模在图 5B 所示的操作中单独地(individually)形成杂质半导体层 123,但是可通过使用图 5G 所示的掩模、而不是图 5A 所示的掩模来移除杂质半导体膜 123'。在这样的情况下,在先移除图 5G 所示的部分中的杂质半导体膜 123' 之后,在图 5F 所示的操作中通过利用图 5E 所示的掩模进行干式蚀刻来移除杂质半导体膜 125'、半导体膜 124' 和杂质半导体膜 123'。结果,可获得其中杂质半导体层 123 针对每个像素被隔离的转换元件 12。此外,通过使用图 5G 所示的掩模,在图 5F 所示的操作中仅通过干式蚀刻来基本上确定杂质半导体层 123 的面积。因此,与使用图 5A 所示的掩模并且考虑用于杂质半导体膜 123' 的干式蚀刻操作和用于半导体膜 124' 的干式蚀刻操作之间的对准的情况相比,可增大杂质半导体膜 123' 的面积。

[0073] 第三实施例

[0074] 以下将参照图 6A 至图 6C 来描述根据第三实施例的检测器件中的一个像素的结构。图 6A 是沿着与图 1A 中的线 A-A' 对应的线截取的截面图,图 6B 是像素末端部分(即,像素之间的部分)的放大图,图 6C 是沿着与图 1A 中的线 B-B' 对应的线截取的截面图。第

三实施例中的与以上在前述实施例中描述的组件相同的组件用相同的标号表示,并且省略这些组件的详细描述。

[0075] 第一电极 122 的末端在第一实施例中设置在绝缘构件 121 上,而第一电极 122 的末端在第三实施例中设置在层间绝缘层 120 与绝缘构件 121 之间。通过这样的布置,由透明导电氧化物制成的第一电极 122 整个仅位于层间绝缘层 120 上,并且层间绝缘层 120 与第一电极 122 之间的粘附力与第一实施例中的粘附力相比可增大。

[0076] 以下将参照图 7A 至图 7J 来描述制造根据第三实施例的检测器件的方法。具体地讲,参照工艺期间的掩模图案和截面图来详细描述在层间绝缘层中形成接触孔之后的操作。图 7A、图 7C、图 7E、图 7G 和图 7I 是相继的操作中所使用的光掩模的掩模图案的示意性平面图。图 7B、7D、7F、7H 和 7J 是相继的操作中的、在与图 1A 中的线 A-A' 对应的位置处截取的示意性截面图。省略第三实施例中的与以上在前述实施例中描述的操作相同的操作的详细描述。

[0077] 在图 7B 所示的操作中,将作为具有感光性的有机材料的丙烯酸树脂形成层间绝缘膜来覆盖 TFT 13 和保护层 137。然后通过使用图 7A 所示的掩模来形成具有接触孔的层间绝缘层 120。

[0078] 接着,在图 7D 所示的操作中,通过溅射形成由 ITO 制成的非晶透明导电氧化物膜来覆盖层间绝缘层 120。通过使用图 7C 所示的掩模对该透明导电氧化物膜进行湿式蚀刻,然后对该透明导电氧化物进行退火以便多结晶化,从而形成转换元件的第一电极 122。通过多结晶化,第一电极 122 中的内部应力增大。然而,因为整个第一电极 122 被形成为与层间绝缘层 120 接触,所以它们之间的粘附性得以保持,并且没有引起第一电极 122 剥落的问题。

[0079] 接着,在图 7F 所示的操作中,通过等离子体 CVD 形成由无机材料(比如,氮化硅膜)制成的绝缘膜来覆盖层间绝缘层 120 和第一电极 122。然后通过使用图 7E 所示的掩模对该绝缘膜进行蚀刻来在相邻两个像素之间形成绝缘构件 121。因而,层间绝缘层 120 的表面被绝缘构件 121 和第一电极 122 覆盖。

[0080] 接着,在图 7H 所示的操作中,通过等离子体 CVD 将与作为杂质的五价元素(比如,磷)混合的非晶硅膜形成第一导电类型的杂质半导体膜 123' 来覆盖绝缘构件 121 和第一电极 122。然后,通过等离子体 CVD 依次形成由非晶硅膜制成的半导体膜 124' 和第二导电类型的杂质半导体膜 125' (即,与作为杂质的三价元素(比如,硼)混合的非晶硅膜)。在本实施例中,层间绝缘层 120 被绝缘构件 121 和第一电极 122 覆盖,以当形成变为第一导电类型的杂质半导体层 123 的杂质半导体膜 123' 时,提供层间绝缘层 120 的表面没有曝露的结构。该结构可防止有机材料分散以及有机材料混合到第一导电类型的杂质半导体膜中。然后通过溅射形成由例如 Al 制成的、变为电极配线 14 的导电膜来覆盖杂质半导体膜 125'。此外,通过使用图 7G 所示的掩模对该导电膜进行湿式蚀刻,从而形成电极配线 14。

[0081] 接着,在图 7J 所示的操作中,通过溅射形成透明导电氧化物膜来覆盖杂质半导体膜 125' 和电极配线 14。然后通过使用图 7I 所示的掩模进行湿式蚀刻来移除该透明导电氧化物膜,从而形成转换元件 12 的第二电极 126。此外,通过下述方式针对每个像素隔离转换元件 12,即,通过使用与图 7I 所示的掩模相同的掩模进行干式蚀刻来部分移除杂质半导体膜 125'、半导体膜 124' 和杂质半导体膜 123'。隔离的转换元件 12 中包括杂质半导体层

125、半导体层 124 和杂质半导体层 123。在绝缘构件 121 上执行通过干式蚀刻进行的像素隔离。因此,绝缘构件 121 用作蚀刻停止层,并且层间绝缘层 120 没有曝露到干式蚀刻的物料。因而,可防止周围层被有机材料污染。

[0082] 然后,形成钝化层 155 来覆盖转换元件 12 和绝缘构件 121,由此获得图 6A 所示的结构。当形成钝化层 155 时,层间绝缘层 120 没有曝露,并且可防止周围层被有机材料污染。

[0083] 在通过本实施例获得的结构中,电极配线 14 的正交投影图像位于其中的区域中的杂质半导体层 123 在彼此相邻的像素的第一电极 122 之间是连续的。即使对于这样的结构,当杂质半导体层 123 的电阻高得足以使得杂质半导体层 123 可被认为是绝缘体时,杂质半导体层 123 也基本上针对每个像素被电隔离,并且检测器件可毫无问题地工作。

#### [0084] 第四实施例

[0085] 以下将参照图 8A 至图 8C 来描述根据第四实施例的检测器件中的一个像素的结构。图 8A 是沿着与图 1A 中的线 A-A' 对应的线截取的截面图,图 8B 是像素末端部分(即,像素之间的部分)的放大图,图 8C 是沿着与图 1A 中的 B-B' 对应的线截取的截面图。第四实施例中的与以上在第三实施例中描述的组件相同的组件用相同的标号表示,并且省略这些组件的详细描述。

[0086] 在第三实施例中,如图 6C 所示,电极配线 14 的正交投影图像位于其中的区域中的杂质半导体层 123 在彼此相邻的像素的第一电极 122 之间是连续的。然而,在第四实施例中,如第二实施例中那样,紧接在形成杂质半导体膜 123' 之后形成杂质半导体层 123。因此,如图 8C 所示,获得其中杂质半导体层 123 在像素之间分离的像素结构。

[0087] 第四实施例中的制造方法直到形成绝缘构件 121 的操作为止与以上在第三实施例中描述的图 7B、图 7D 和图 7F 的操作类似,并且形成杂质半导体层 123 的操作之后的操作与以上在第二实施例中描述的这些操作类似。因此,省略第四实施例中的制造方法的详细描述。

#### [0088] 第五实施例

[0089] 以下将参照图 9A 至图 9C 来描述根据第五实施例的检测器件中的一个像素的结构。图 9A 是沿着与图 1A 中的线 A-A' 对应的线截取的截面图,图 9B 是像素末端部分(像素之间的部分)的放大图。图 9C 是示出像素末端部分(即,像素之间的部分)的另一个例子的放大图。第五实施例中的与以上在前述实施例中描述的组件相同的组件用相同的标号表示,并且省略这些组件的详细描述。

[0090] 在第一实施例中,半导体层 124、杂质半导体层 125 和第二电极 126 针对每个像素被分离。另一方面,在第五实施例中,如图 9A 所示,半导体层 124a、杂质半导体层 125a 和第二电极 126a 均不针对每个像素被分离。因为第一电极 122 和杂质半导体层 123 均针对每个像素被分离,所以转换元件 12 对于每个第一电极 122 被单个化(individualize)了。因此,通过第五实施例的结构,开口率与第一实施例中的开口率相比可增大。为了进一步确保第一电极 122 的单个化,如图 9C 所示,可设置具有比半导体层 124a 高的氢浓度的、具有大约 5nm 的非常薄的厚度的半导体层 160 来覆盖绝缘构件 121 和杂质半导体层 123。因为半导体层 160 具有比半导体层 124a 和杂质半导体层 123 高的比电阻(specific resistance),所以可减少相邻像素之间的泄漏。此外,通过将半导体层 160 的厚度设置为足够薄以使得能够显现出隧道效应,电荷可在杂质半导体层 123 与半导体层 124a 之间移动,由此转换元件

12 可用作光电二极管。而且,因为第二电极 126a 不针对每个像素被分离,所以可省去作为减小开口率的组件的电极配线 14。然而,当仅存在第二电极 126a 的情况下电阻太高时,所以更有益的是也提供电极配线 14。在这样的情况下,因为半导体层 124a 和第二电极 126a 均不针对每个像素被分离,所以电极配线 14 可设置在电极配线 14 的正交投影图像与绝缘构件 121 重叠的位置处,并且可设置电极配线 14,而不减小开口率。

[0091] 以下将参照图 10A 至图 10D 来描述制造根据第五实施例的检测器件的方法。图 10A 和图 10C 是相继的操作中所使用的光掩模的掩模图案的示意性平面图。图 10B 和图 10D 是相继的操作中的、在与图 1A 中的线 A-A' 对应的位置处截取的示意性截面图。省略与第一实施例中描述的操作相同的操作的详细描述。具体地讲,因为直到形成第一电极 122 为止的操作都与以上参照图 2A 至图 2F 描述的这些操作相同,所以描述后面的操作。

[0092] 在图 10B 所示的操作中,通过等离子体 CVD 将与作为杂质的五价元素(比如,磷)混合的非晶硅膜形成成为第一导电类型的杂质半导体膜 123' 来覆盖绝缘构件 121 和第一电极 122。在本实施例中,层间绝缘层 120 被绝缘构件 121 和第一电极 122 覆盖,以提供当形成变为第一导电类型的杂质半导体层 123 的杂质半导体膜 123' 时层间绝缘层 120 的表面不曝露的结构。该结构可防止有机材料分散以及有机材料混合到第一导电类型的杂质半导体膜中。然后通过利用图 10A 所示的掩模进行干式蚀刻来部分地移除杂质半导体膜 123', 从而形成杂质半导体层 123。在各绝缘构件 121 上方执行通过干式蚀刻进行的像素隔离。因此,绝缘构件 121 用作蚀刻停止层,并且层间绝缘层 120 没有曝露到干式蚀刻的物料。因而,可防止杂质半导体层 123 被有机材料污染。

[0093] 接着,在图 10D 所示的操作中,通过等离子体 CVD 形成变为半导体层 124a 的非晶硅膜来覆盖绝缘层 121 和杂质半导体层 123。此外,通过等离子体 CVD 形成与作为杂质的三价元素(比如,硼)混合的非晶硅膜,该膜变为第二导电类型的杂质半导体膜 125a。在提供图 9C 所示的半导体层 160 的情况下,有益的是,当形成非晶硅膜时,首先以较高的氢浓度形成大约 5nm 厚度的非晶硅膜,并且进一步以较低的氢浓度形成非晶硅膜。然后,通过溅射形成由例如 Al 制成的、变为电极配线 14 的导电膜来覆盖杂质半导体层 125。此外,通过使用图 10C 所示的掩模对该导电膜进行湿式蚀刻,从而形成电极配线 14。

[0094] 接着,通过溅射形成由透明导电氧化物制成的第二电极 126a 来覆盖杂质半导体膜 125' 和电极配线 14。此外,形成钝化层 155 来覆盖第二电极 126a,从而获得图 9A 所示的结构。

#### [0095] 第六实施例

[0096] 将参照图 11A 和图 11B 来描述根据第六实施例的检测器件中的一个像素的结构。图 11A 是沿着与图 1A 中的线 A-A' 对应的线截取的截面图,图 11B 是像素末端部分(即,像素之间的部分)的放大图。第六实施例中的与以上在前述实施例中描述的组件相同的组件用相同的标号表示,并且省略这些组件的详细描述。

[0097] 在第三实施例中,半导体层 124、杂质半导体层 125 和第二电极 126 针对每个像素被分离。另一方面,在第六实施例中,如图 11A 所示,半导体层 124a、杂质半导体层 125a 和第二电极 126a 均不针对每个像素被分离。因为第一电极 122 和杂质半导体层 123 均针对每个像素被分离,所以转换元件 12 是对于每个第一电极 122 单个化的。因此,通过第六实施例的结构,开口率与第三实施例中的开口率相比可增大。此外,因为第二电极 126a 不针

对每个像素被分离,所以可省去作为减小开口率的组件的电极配线 14。然而,当仅存在第二电极 126a 的情况下电阻太高时,更有益的是也提供电极配线 14。在这样的情况下,因为半导体层 124a 和第二电极 126a 均不针对每个像素被分离,所以电极配线 14 可设置在电极配线 14 的正交投影图像与绝缘构件 121 重叠的位置处,并且可设置电极配线 14,而不减小开口率。

[0098] 第六实施例中的制造方法直到形成绝缘构件 121 的操作为止与以上在第三实施例中描述的图 7B、图 7D 和图 7F 的操作类似,并且形成杂质半导体层 123 的操作之后的操作与以上在第五实施例中描述的这些操作类似。因此,省略第六实施例中的制造方法的详细描述。

#### [0099] 第七实施例

[0100] 以下将参照图 12A 和图 12B 来描述根据第七实施例的检测器件中的一个像素的结构。图 12A 是检测器件的每个像素的平面图,图 12B 是沿着图 12A 中的线 C-C' 截取的截面图。第七实施例中的与以上在前述实施例中描述的组件相同的组件用相同的标号表示,并且省略这些组件的详细描述。

[0101] 在前述实施例中,电极配线 14 与转换元件 12 的第二电极 126 直接连接。另一方面,在第七实施例中,如图 12B 所示,电极配线 14 通过设置在第二电极 126 上的绝缘层 127 和层间绝缘层 128 的相应接触孔与第二电极 126 电连接。这样的结构使得能够在形成转换元件 12 之后形成电极配线 14。在第二实施例和第四实施例中,当形成转换元件 12 时,通过下述两个操作使转换元件 12 单个化,所述两个操作为:形成第一导电类型的杂质半导体膜 123,然后形成半导体层 124 和第二导电类型的杂质半导体膜 125。另一方面,在第七实施例中,可通过下述方式来使转换元件 12 单个化,即,相继地形成杂质半导体膜 123'、半导体膜 124' 和杂质半导体膜 125',然后相继地对这些膜进行干式蚀刻。通过相继地形成杂质半导体膜 123'、半导体膜 124' 和杂质半导体膜 125',可获得下述转换元件,在所述转换元件中,杂质半导体层 123 与半导体层 124 之间以及半导体层 124 与杂质半导体层 125 之间的界面处的结晶状态更加令人满意。

[0102] 以下将参照图 13A 至图 13J 来描述制造根据第七实施例的检测器件的方法。图 13A、图 13C、图 13E、图 13G 和图 13I 是相继的操作中所使用的光掩模的掩模图案的示意性平面图。图 13B、图 13D、图 13F、图 13H 和图 13J 是相继的操作中的、在与图 12A 中的线 C-C' 对应的位置处截取的示意性截面图。省略与前述实施例中描述的操作相同的操作的详细描述。具体地讲,因为直到形成第一电极 122 为止的操作都与以上参照图 2A 至图 2F 描述的这些操作相同,所以描述后面的操作。

[0103] 在图 13B 所示的操作中,通过等离子体 CVD 将与作为杂质的五价元素(比如,磷)混合的非晶硅膜形成成为第一导电类型的杂质半导体膜 123' 来覆盖绝缘构件 121 和第一电极 122。然后,通过等离子体 CVD 依次形成由非晶硅膜制成的半导体膜 124' 和第二导电类型的杂质半导体膜 125' (即,与作为杂质的三价元素(比如,硼)混合的非晶硅膜)。在本实施例中,层间绝缘层 120 被绝缘构件 121 和第一电极 122 覆盖,以提供当形成变为第一导电类型的杂质半导体层 123 的杂质半导体膜 123' 时层间绝缘层 120 的表面不曝露的结构。该结构可防止有机材料分散以及有机材料混合到第一导电类型的杂质半导体膜中。接着,通过溅射形成透明导电氧化物膜来覆盖杂质半导体膜 125',然后通过使用图 13A 所示的掩模

来对该透明导电氧化物膜进行湿式蚀刻,从而形成转换元件 12 的第二电极 126。此外,通过下述方式针对每个像素隔离转换元件 12,即,通过使用与图 13A 所示的掩模相同的掩模进行干式蚀刻来移除杂质半导体膜 125'、半导体膜 124' 和杂质半导体膜 123'。隔离的转换元件 12 中包括杂质半导体层 125、半导体层 124 和杂质半导体层 123。

[0104] 接着,在图 13D 所示的操作中,通过等离子体 CVD 形成由无机材料(比如,氮化硅膜)制成的绝缘膜来覆盖转换元件 12 和绝缘构件 121。当形成该绝缘膜时,层间绝缘层 120 没有曝露,并且可防止周围层被有机材料污染。然后通过使用图 13C 所示的掩模对该绝缘膜进行干式蚀刻,从而形成绝缘层 127。

[0105] 接着,在图 13F 所示的操作中,将作为具有感光性的有机材料的丙烯酸树脂形成层间绝缘膜来覆盖第二电极 126 和绝缘层 127。然后通过使用图 13E 所示的掩模来形成具有接触孔的层间绝缘层 128。

[0106] 接着,在图 13H 所示的操作中,通过溅射形成透明导电氧化物膜。然后通过使用图 13G 所示的掩模来对该透明导电氧化物膜进行湿式蚀刻,从而形成导电层 129。

[0107] 接着,在图 13J 所示的操作中,通过溅射形成由例如 Al 制成的、变为电极配线 14 的导电膜。此外,通过使用图 13I 所示的掩模对该导电膜进行湿式蚀刻,从而形成电极配线 14。通过该操作,电极配线 14 和转换元件 12 的第二电极 126 通过导电层 129 彼此电连接。在这个时候,可通过使用透明导电氧化物形成导电层 129 来抑制开口率的减小。

[0108] 然后,形成钝化层 155 来覆盖电极配线 14、导电层 129 和层间绝缘层 128,由此获得图 12B 所示的结构。

[0109] 虽然第七实施例中的像素之间的上述结构与第二实施例中的该结构类似,但是第七实施例可毫无问题地被修改为具有与第四实施例中的结构类似的结构。在这样的情况下,在沿着图 12A 中的线 C-C' 截取的截面处获得图 12C 所示的结构。

[0110] 而且,如图 12D 所示,电极配线 14 可设置在像素之间。在这样的情况下,因为由例如 Al 制成的电极配线 14 设置在像素之间,所以可提供电极配线 14,而不减小开口率。因为电极配线 14 如网格(grid)那样工作,所以可改善 MTF(调制传递函数)。因为偏压电势  $V_s$  不仅可沿如在图纸中所看到的垂直方向供给,而且还可沿左方向和右方向供给,所以可防止可归因于偏压电势供给延迟的图像不均匀性等的产生。

[0111] 应用例子

[0112] 以下将参照图 14 来描述使用根据实施例的检测器件的放射线检测系统。

[0113] 由作为放射源的 X 射线管 6050 产生的 X 射线 6060 通过患者或受检查者 6061 的胸部 6062,并且进入包括在放射线检测器件 6040 中的转换部分 3(参见图 3)中的转换元件 12。入射在转换元件 12 上的 X 射线包括关于患者 6061 身体内部的信息。当 X 射线入射时,放射线在转换部分 3 中被转换为电荷,从而获得电信息。该电信息被转换为数字数据,并且在图像处理器 6070(其为信号处理单元的例子)中经过图像处理,以使得可在控制室中的显示器 6080(其为显示单元的例子)上观察该信息。

[0114] 所获得的信息可通过发送处理单元(比如,电话线 6090)被传送到远程位置,或者可显示在显示器 6081(其为显示单元的另一个例子)上,或者可存储在医生室中等另一个位置处的记录单元(比如,光盘)中,以使得远程位置处的或医生室中的医生可进行诊断。作为替代方案,所获得的信息还可被胶片处理器 6100 记录在作为记录介质的胶片 6110 上,胶

片处理器 6100 是记录单元的另一个例子。

[0115] 虽然已参照示例性实施例描述了本发明,但是要理解本发明不限于所公开的示例性实施例。所附权利要求的范围应被赋予最宽泛的解释,以涵盖所有这样的修改以及等同的结构和功能。

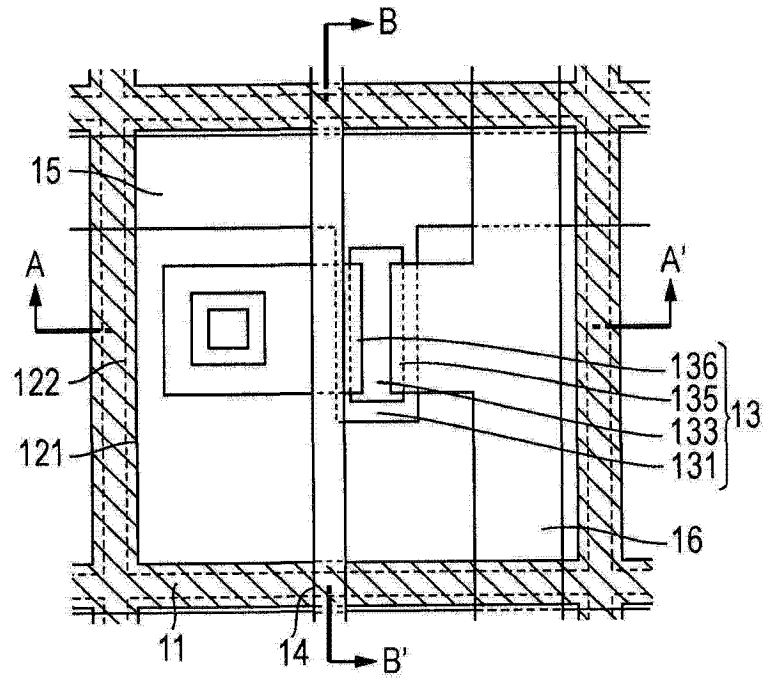


图 1A

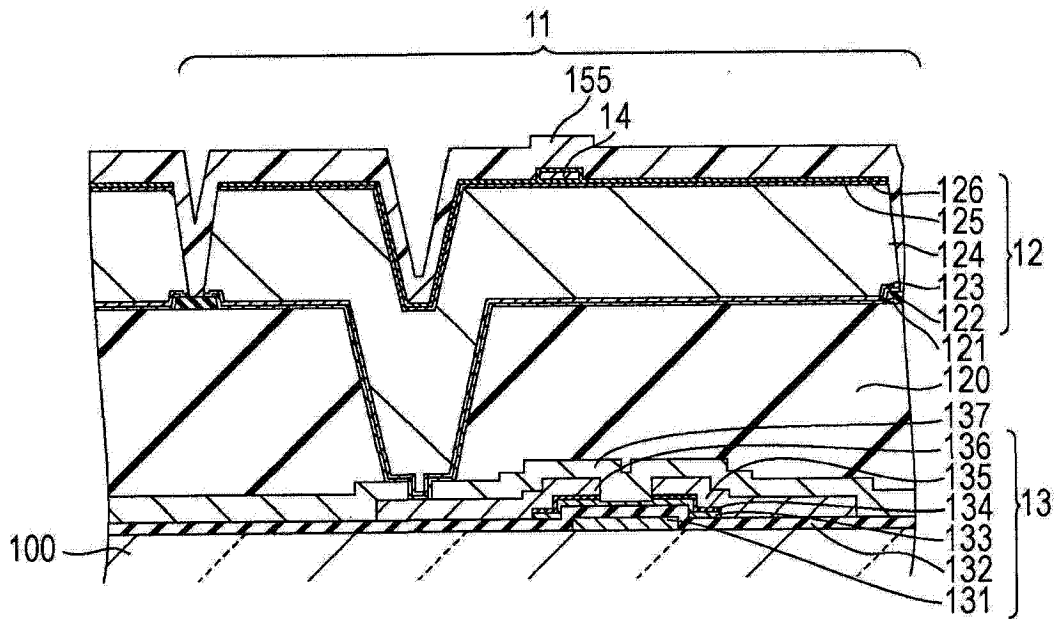


图 1B

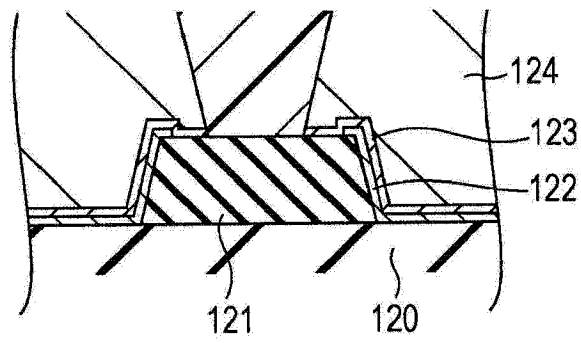


图 1C

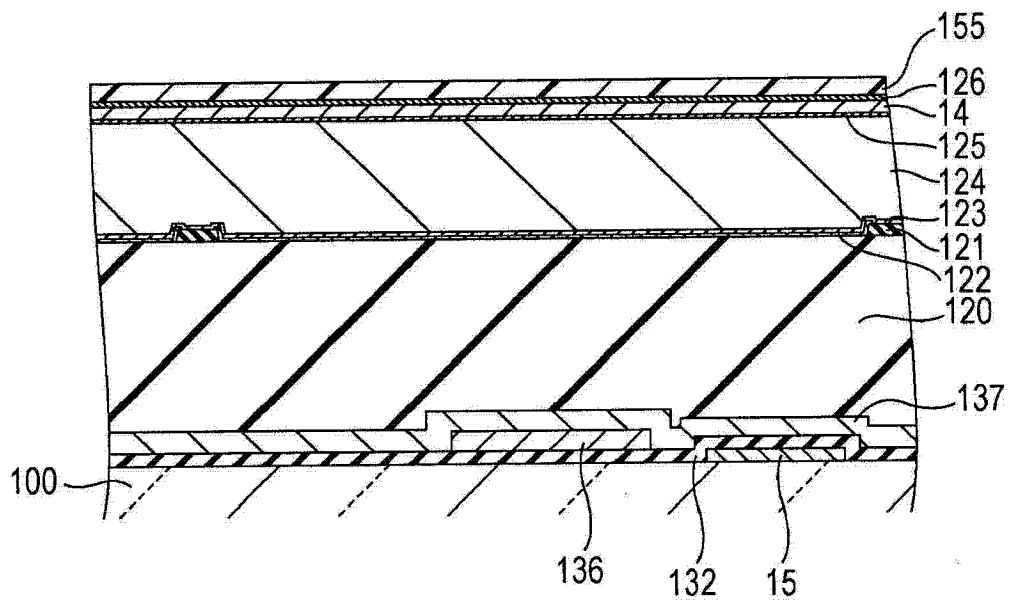


图 1D

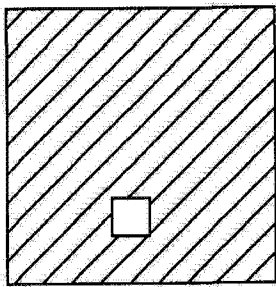


图 2A

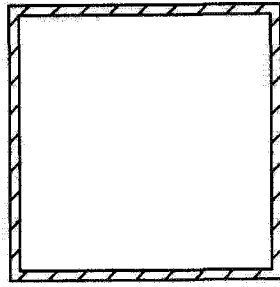


图 2C

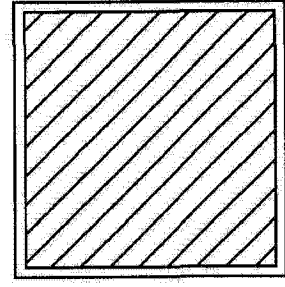


图 2E

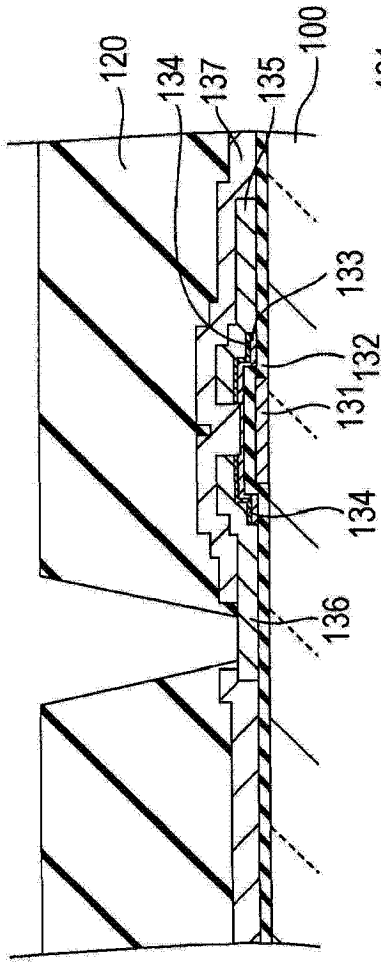


图 2B

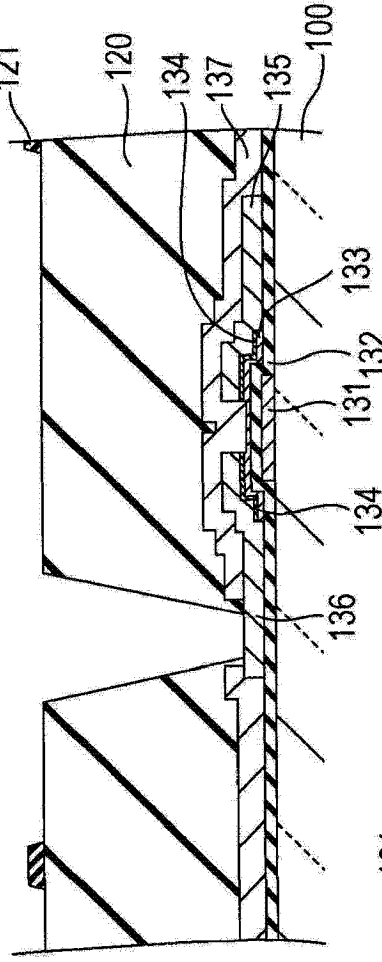


图 2D

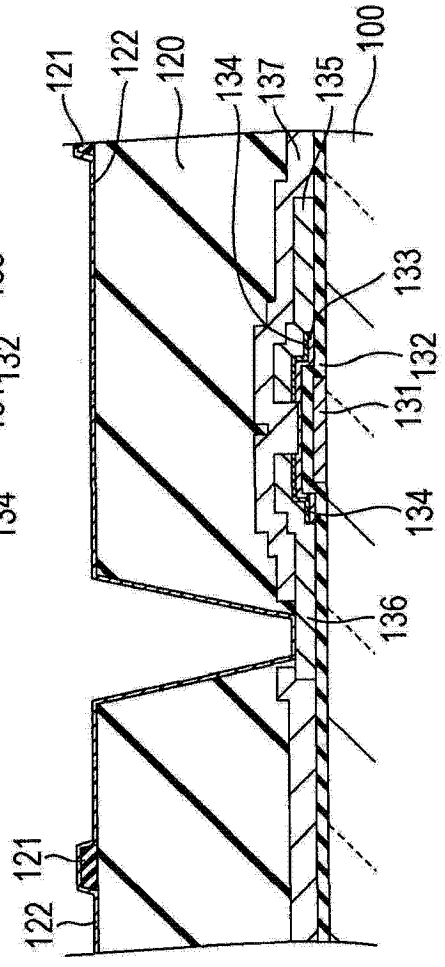


图 2F

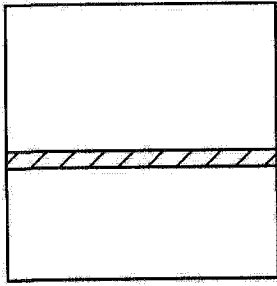


图 2G

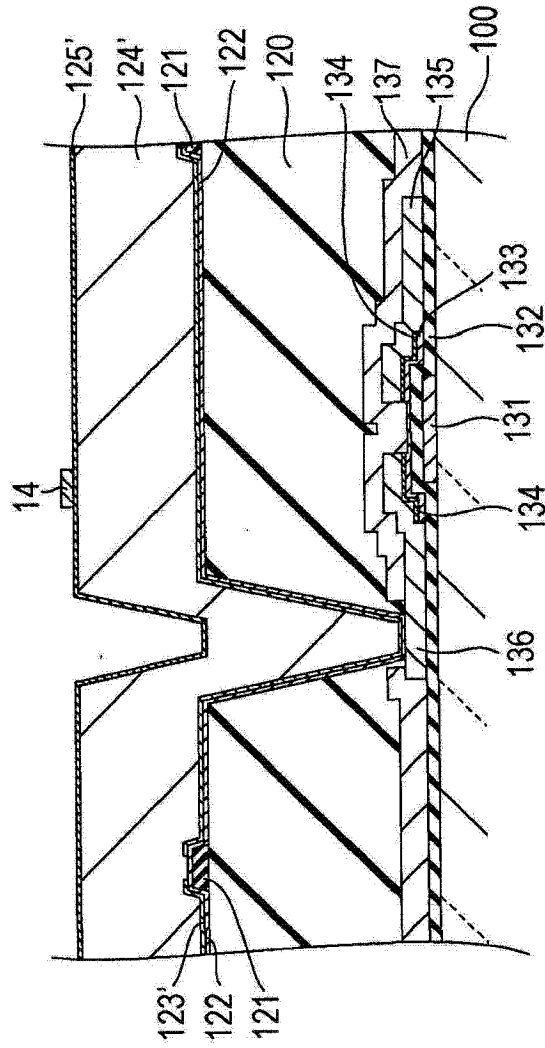


图 2H

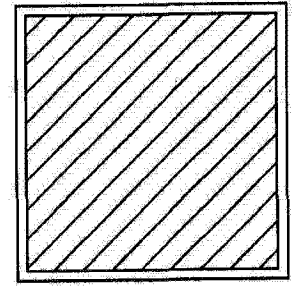


图 2I

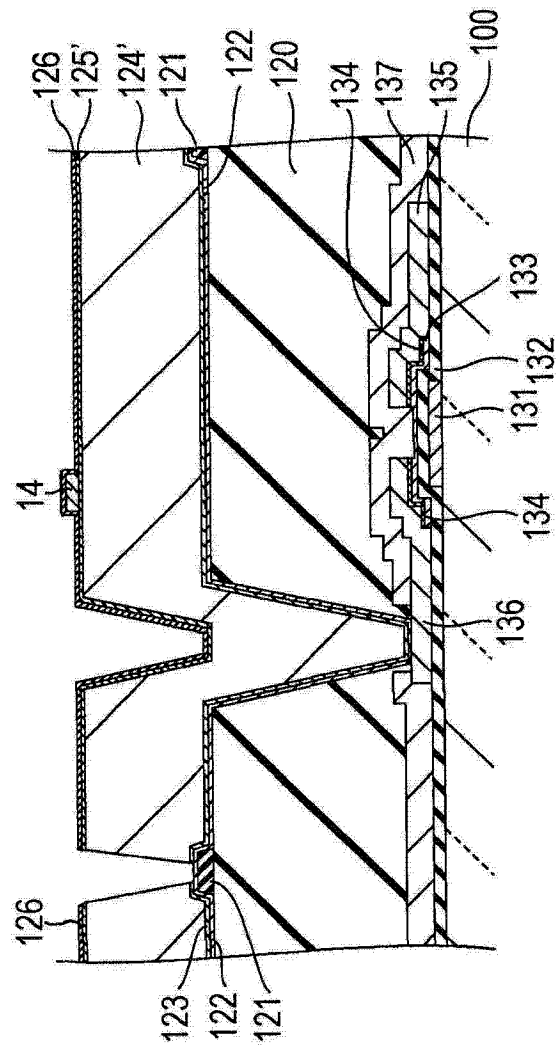


图 2J

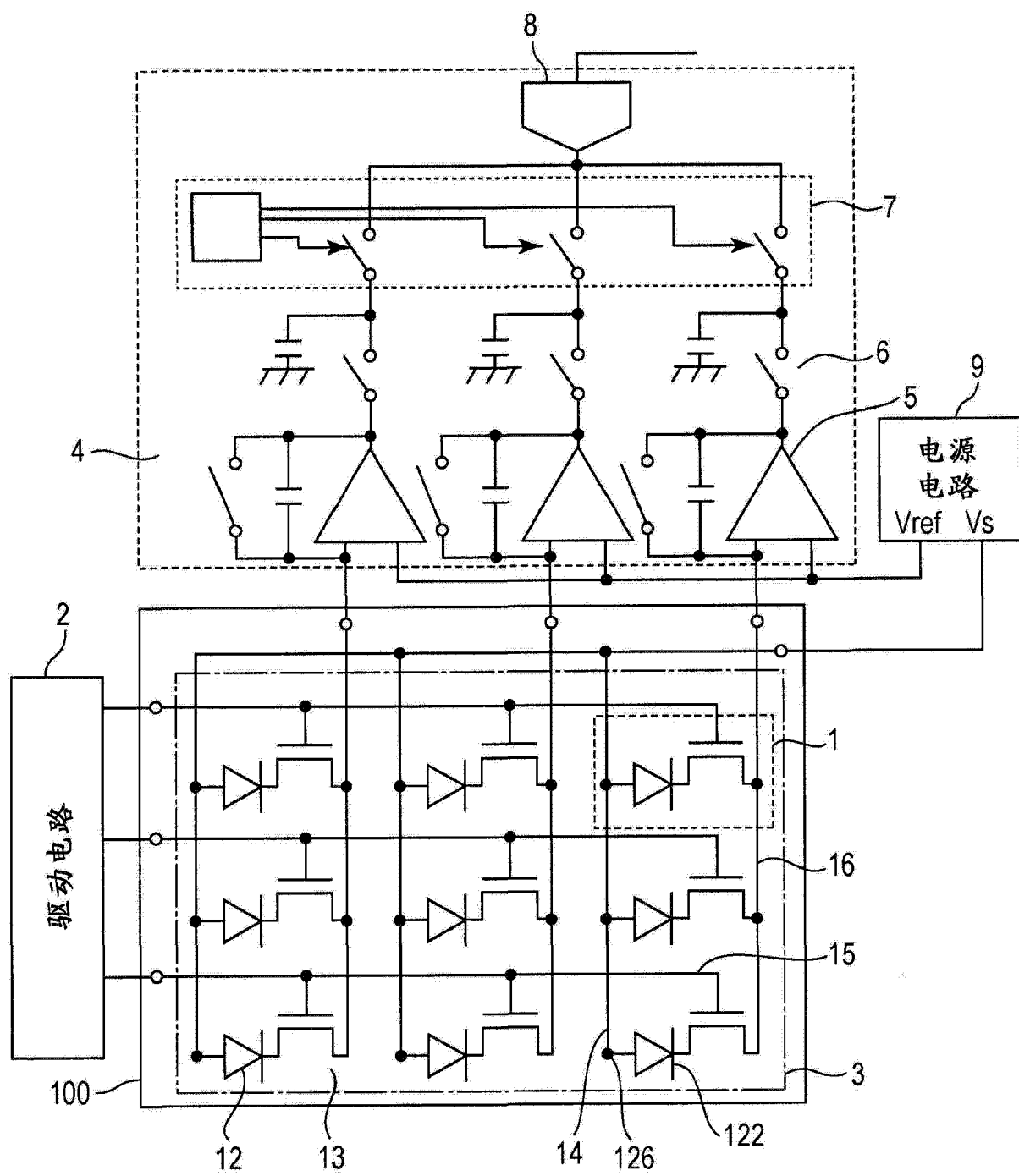


图 3

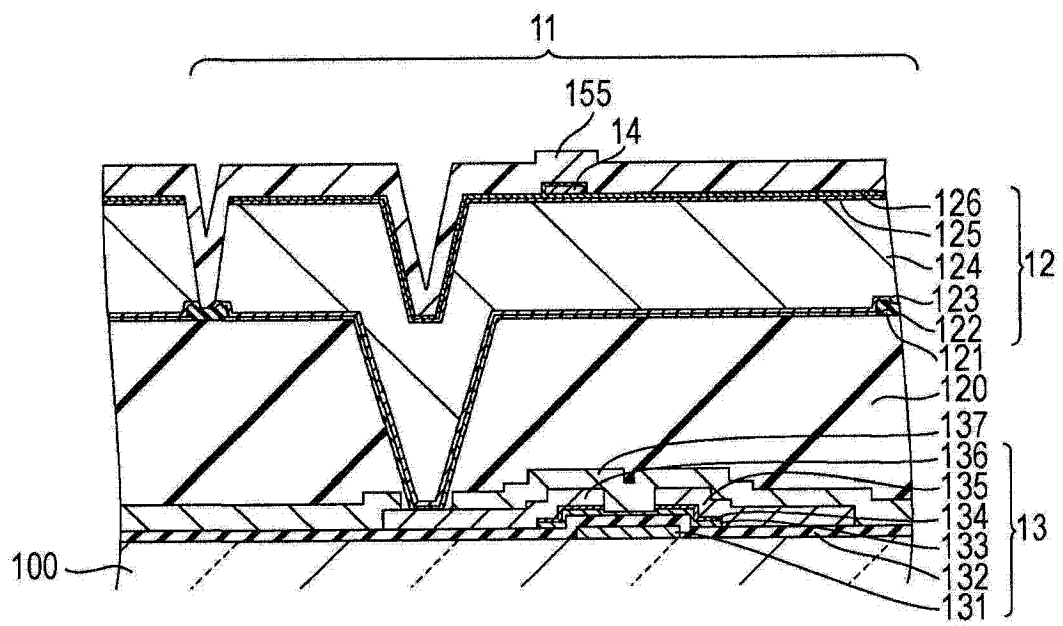


图 4A

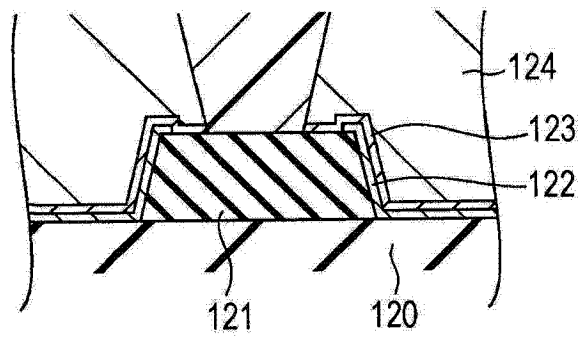


图 4B



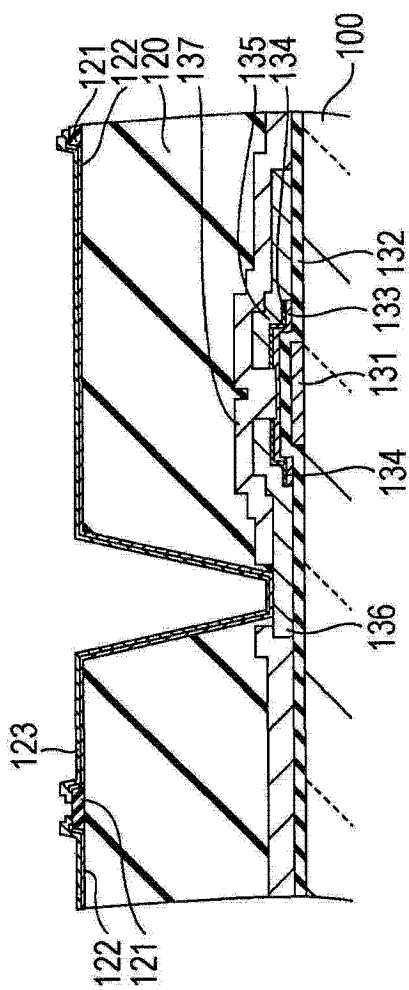


图 5B

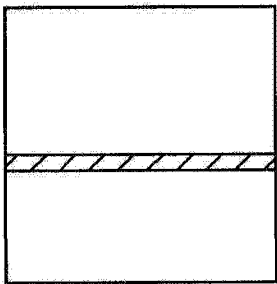


图 5C

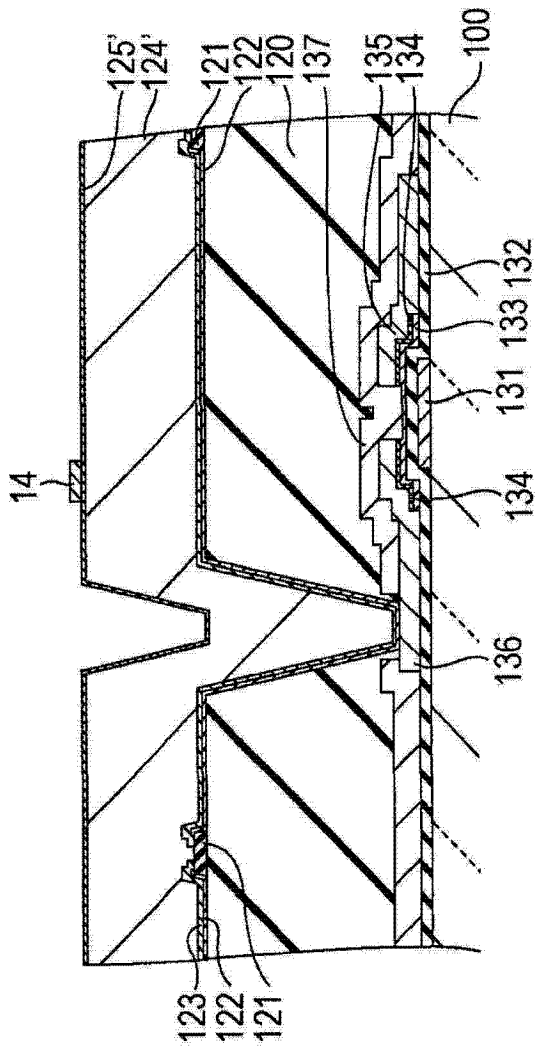


图 5D

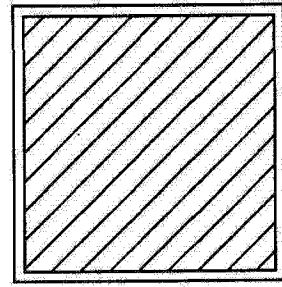


图 5E

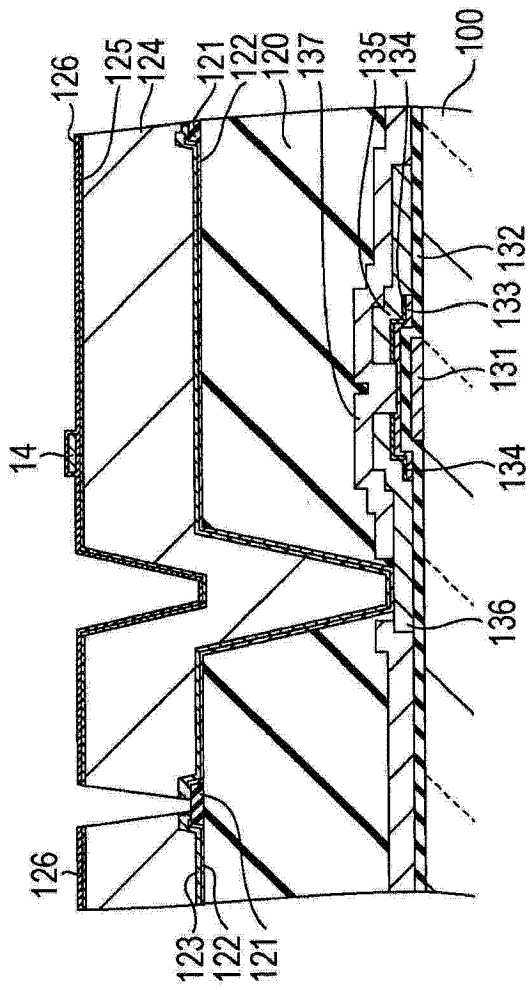


图 5F

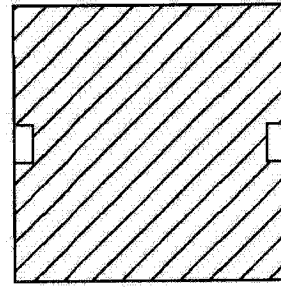


图 5G

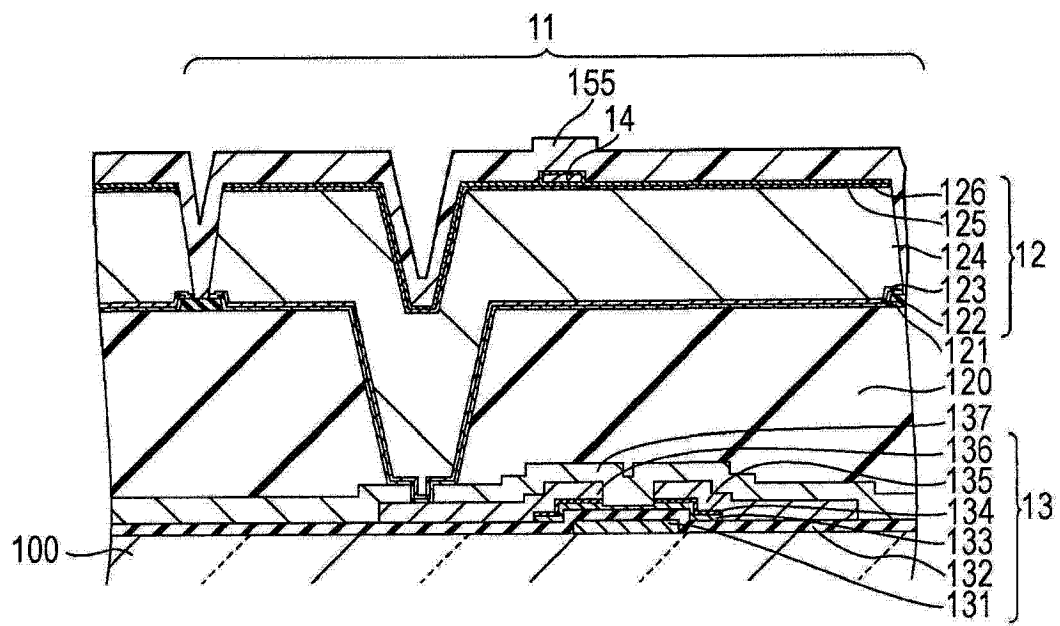


图 6A

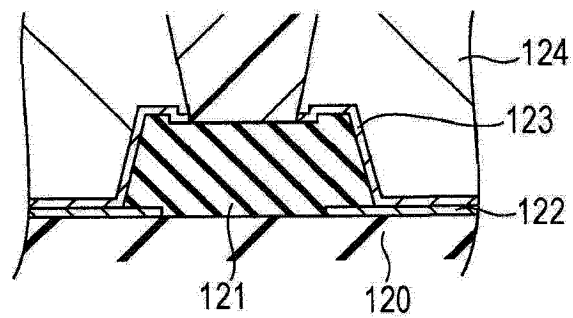


图 6B

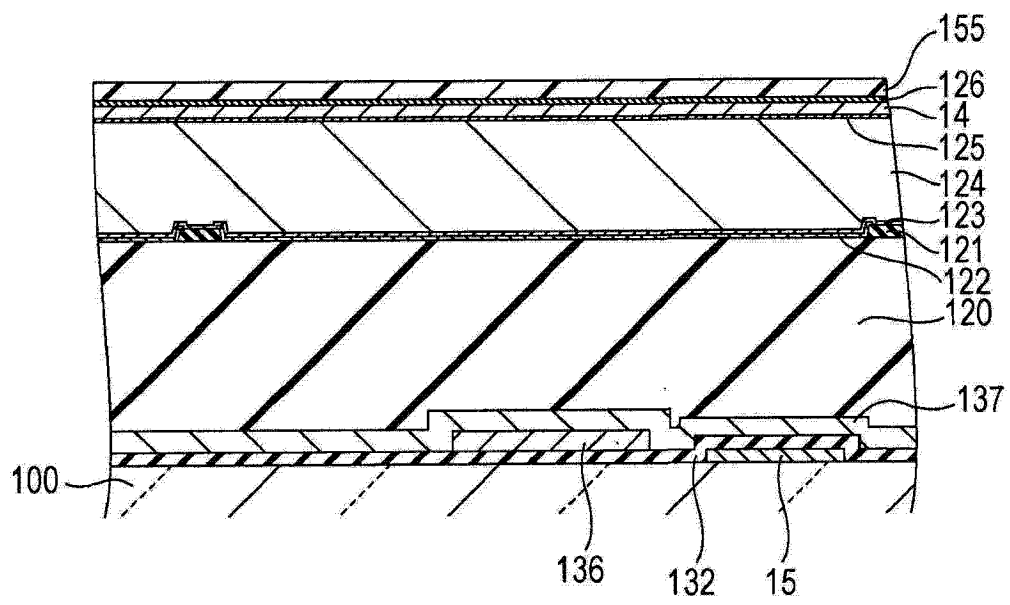


图 6C

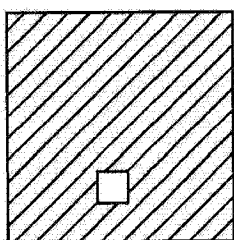


图7A

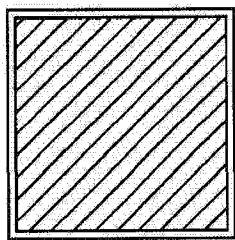


图7C

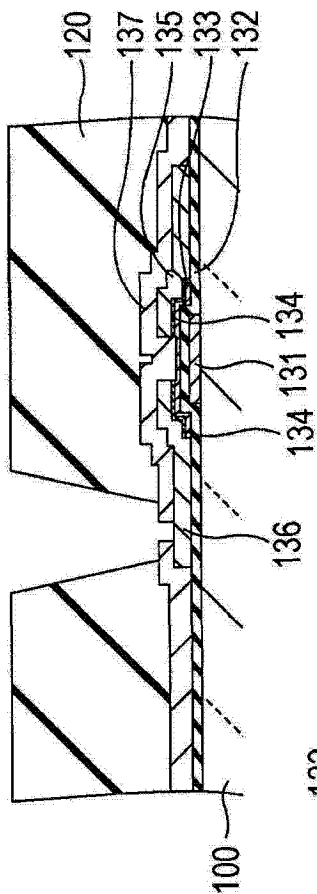


图7B

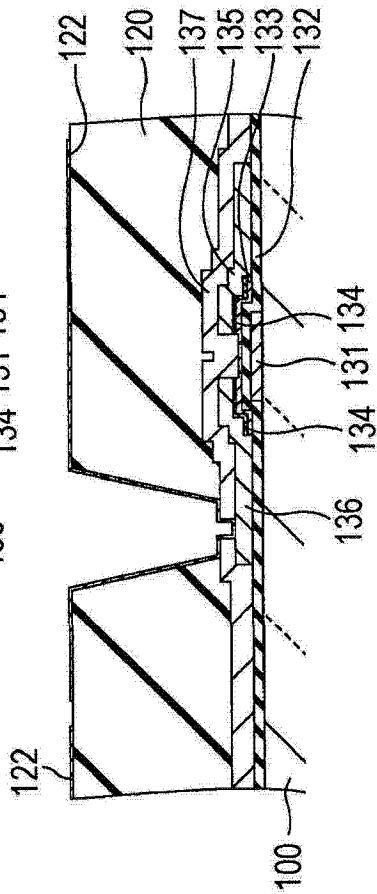


图7D

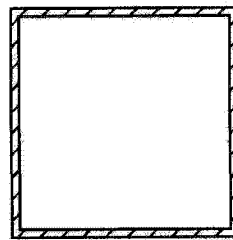


图 7E

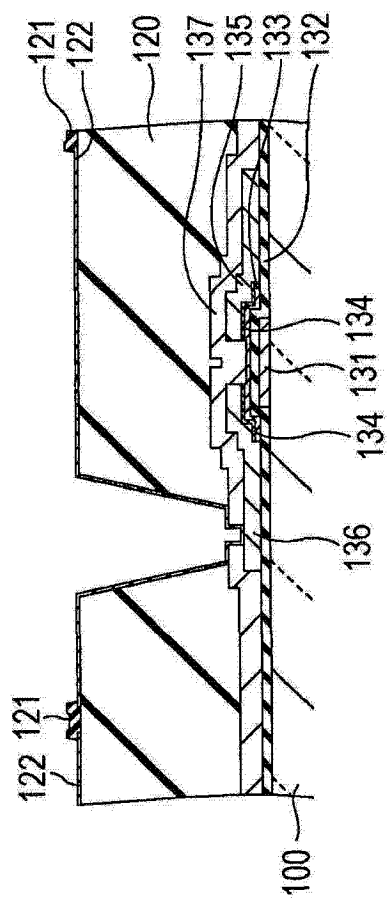


图 7F

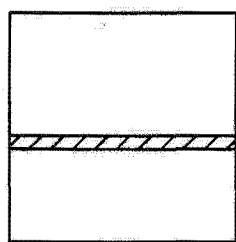


图 7G

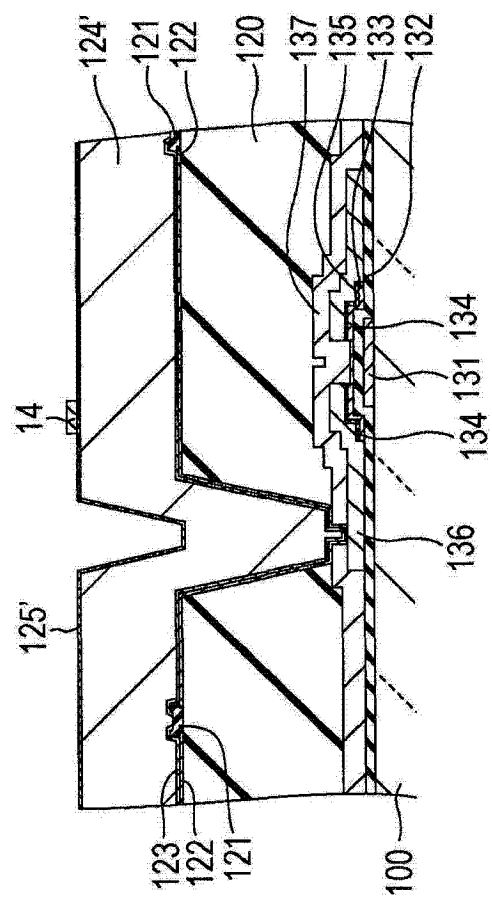


图 7H

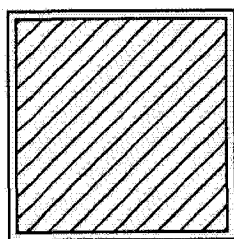


图 7I

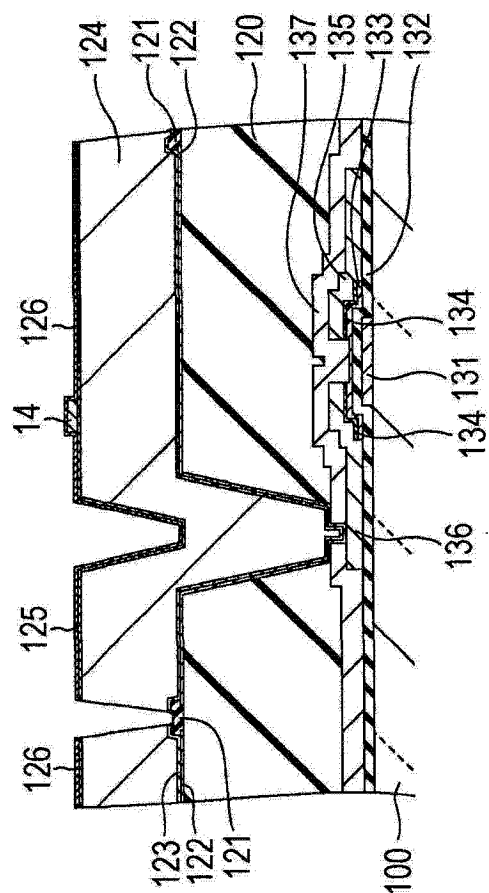


图 7J

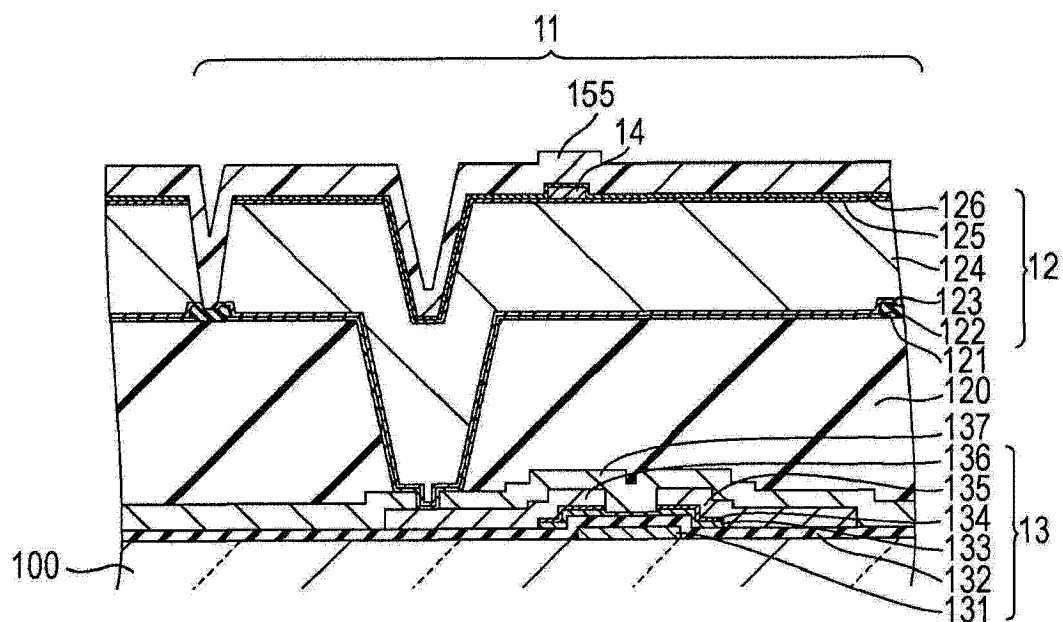


图 8A

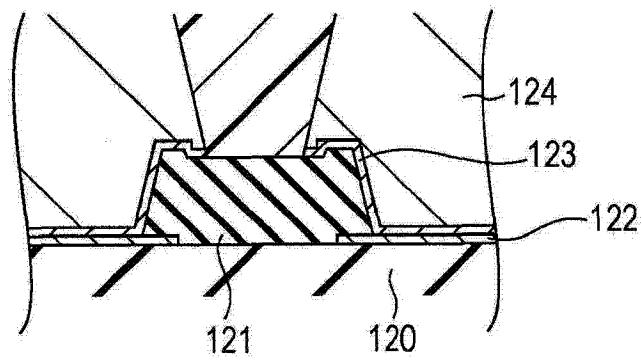


图 8B

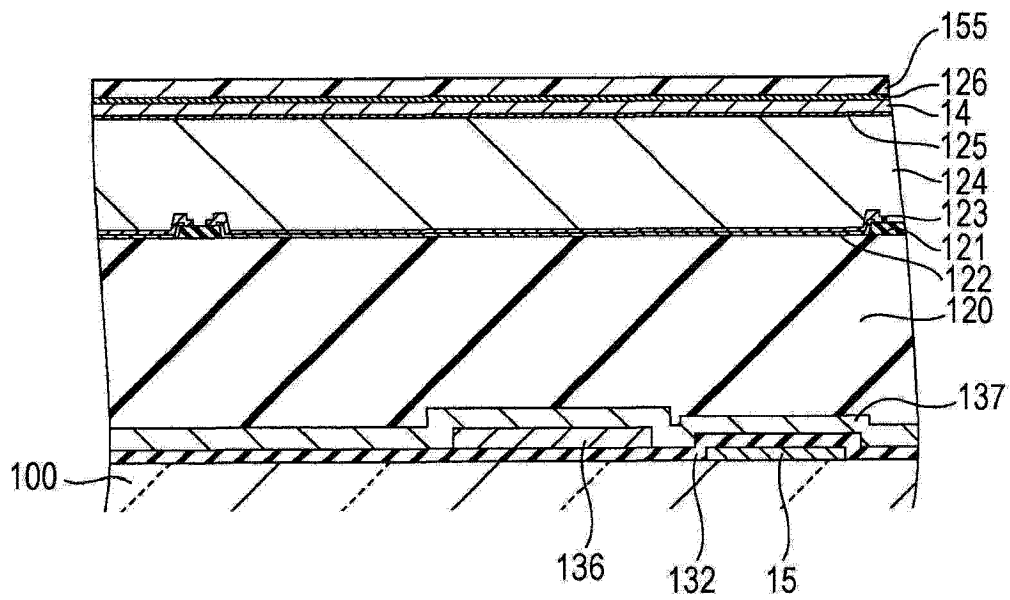


图 8C

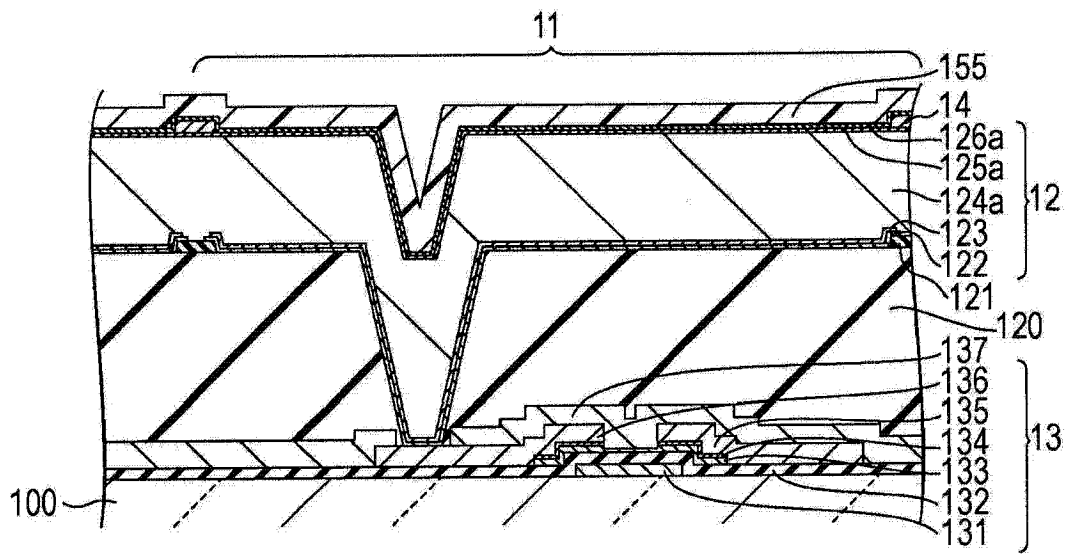


图 9A

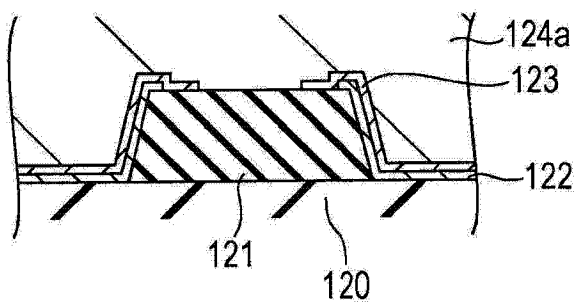


图 9B

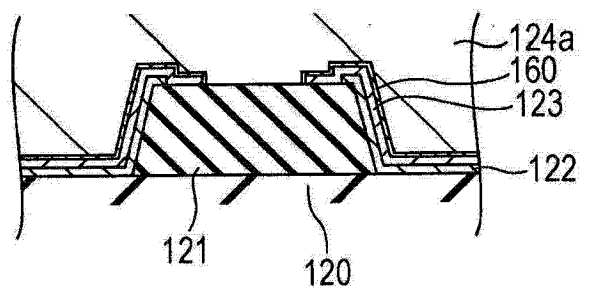


图 9C

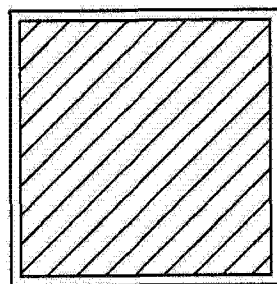


图 10A

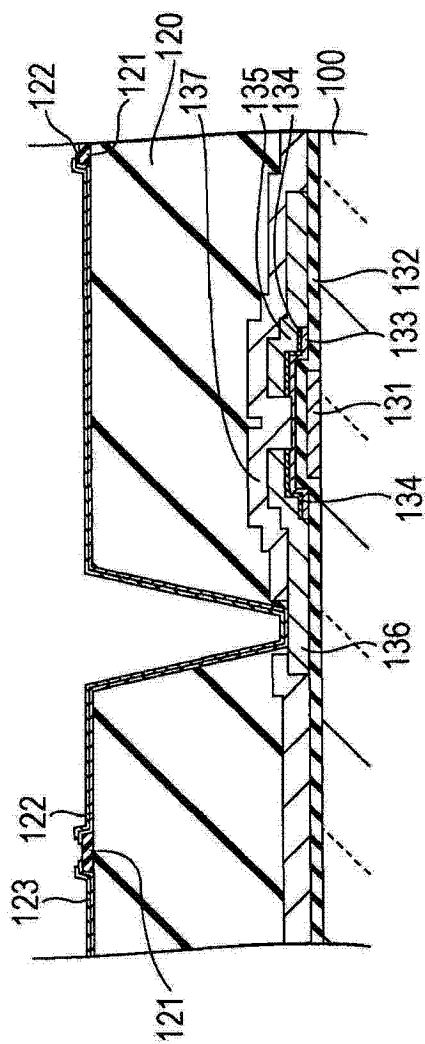


图 10B

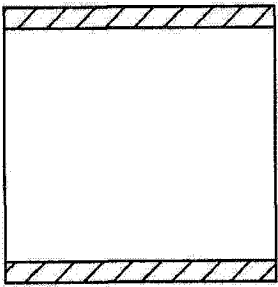


图 10C

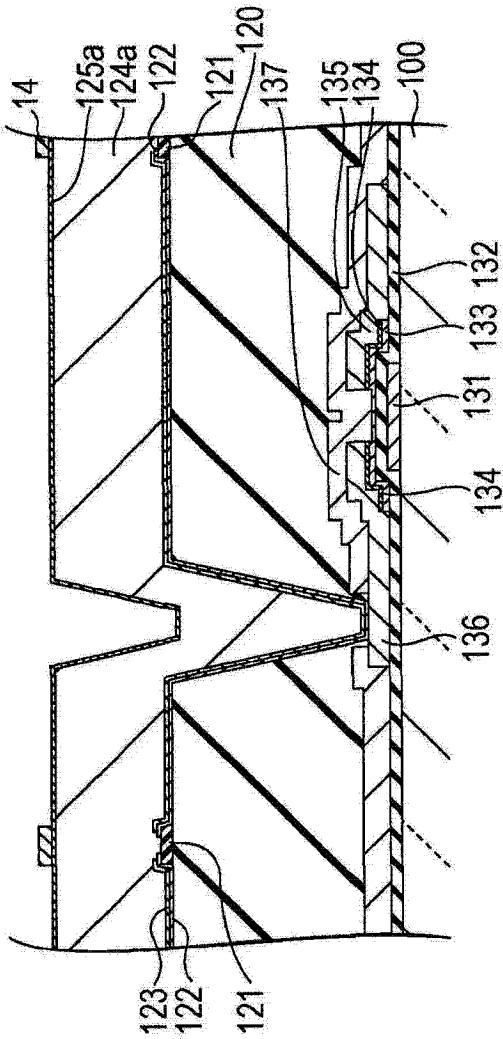


图 10D

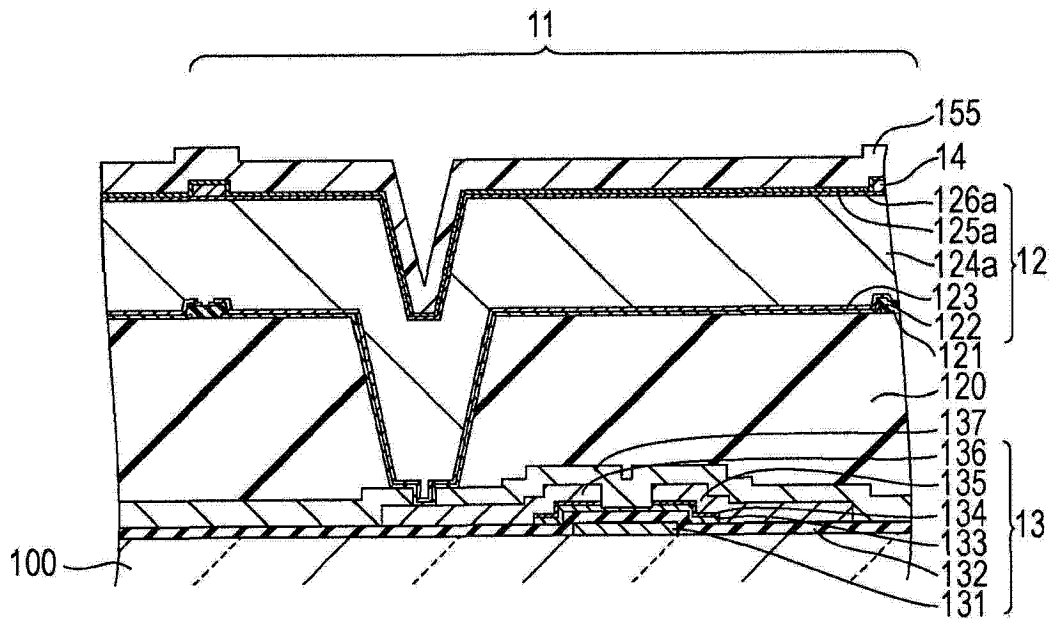


图 11A

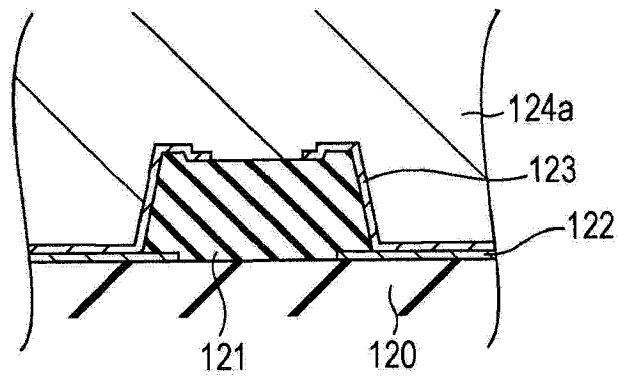


图 11B

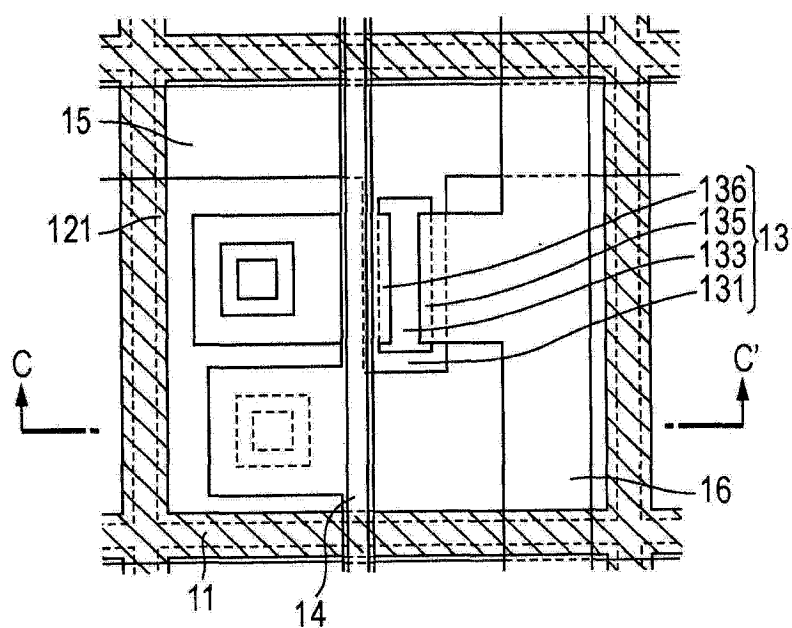


图 12A

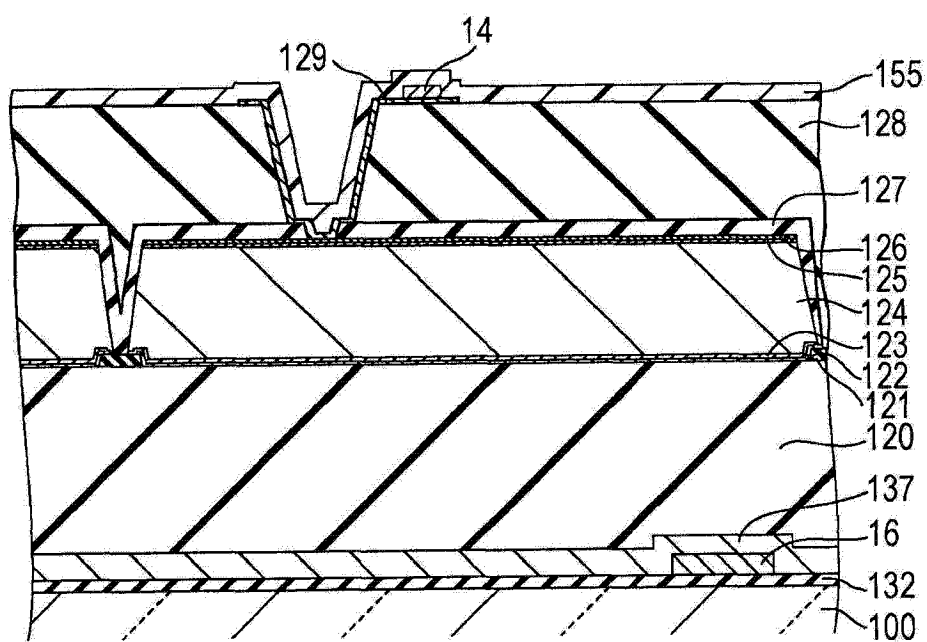


图 12B



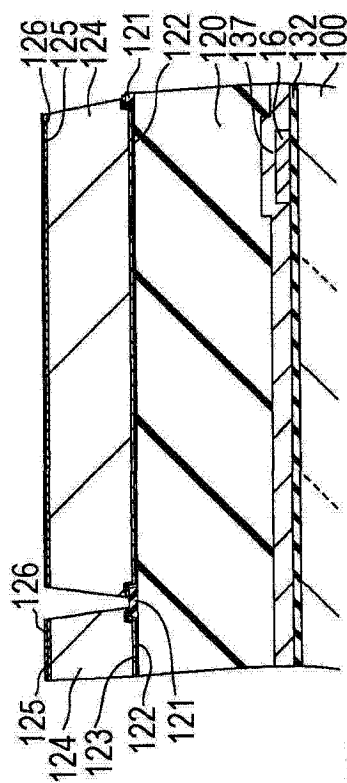


图 13B

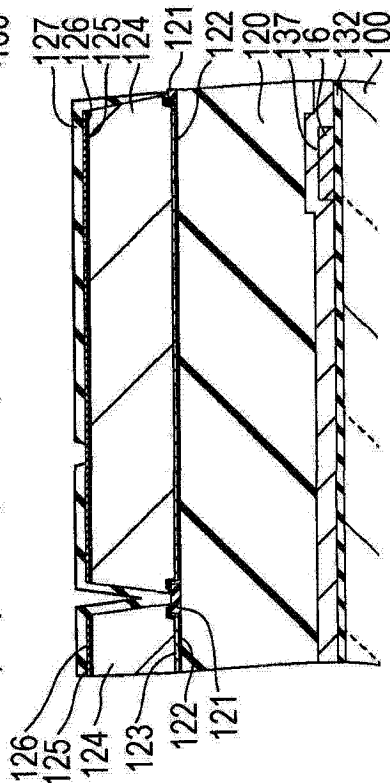


图13D

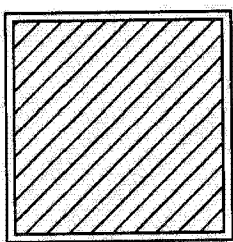


图13A

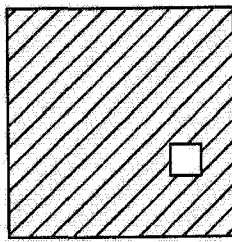


图13C

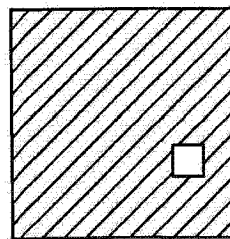


图 13E

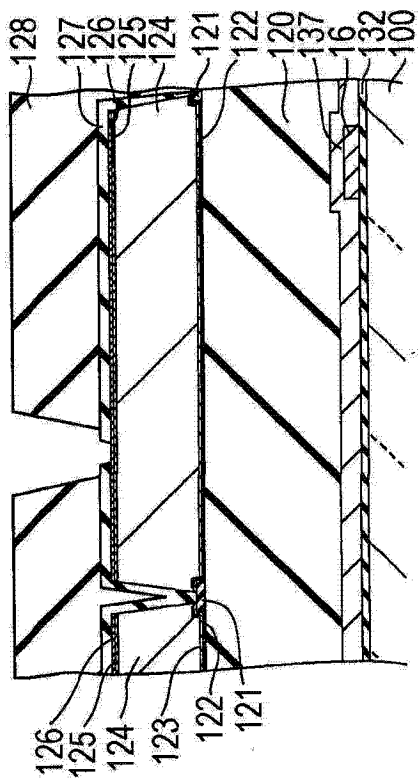


图 13F

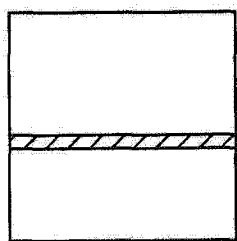


图 13I

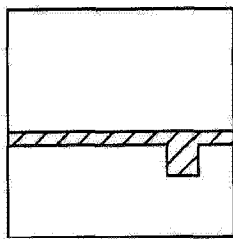


图 13G

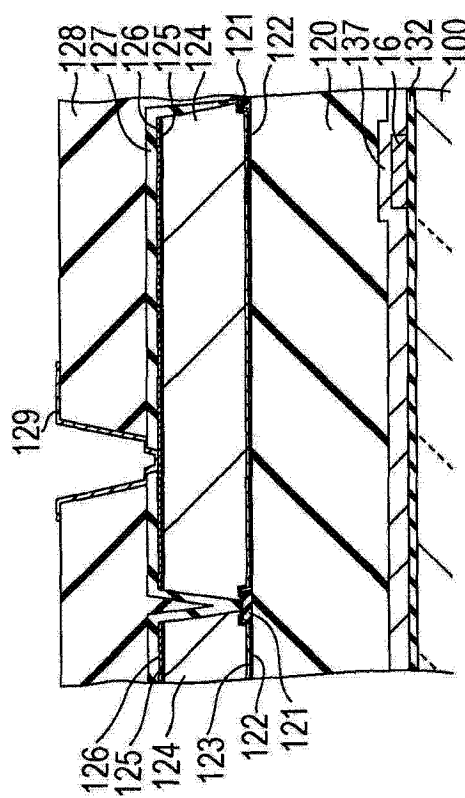


图 13H

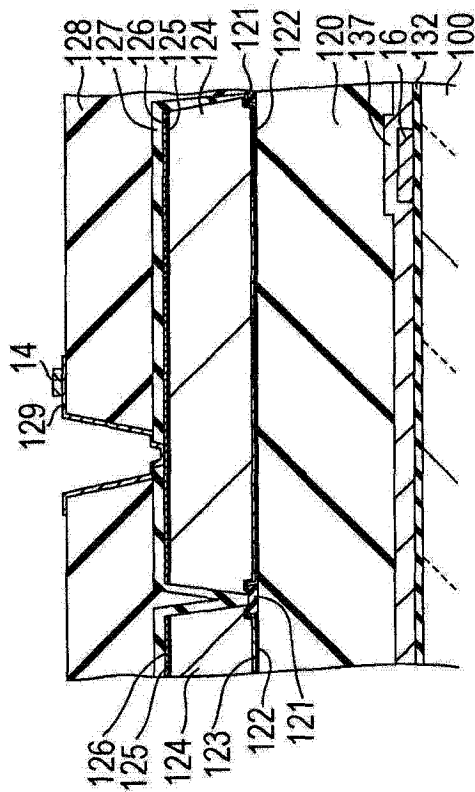


图 13J

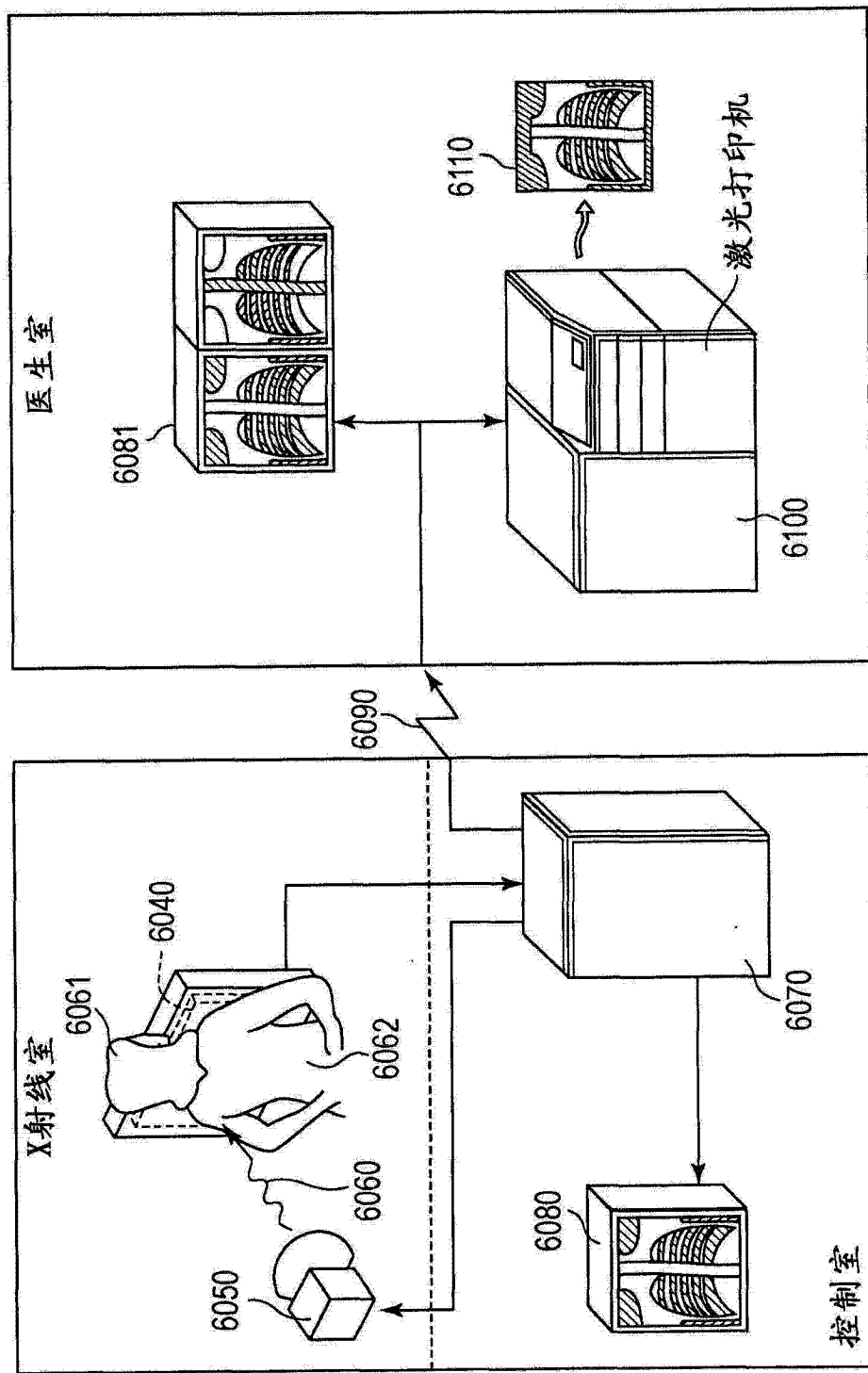


图 14