



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2009년12월10일  
 (11) 등록번호 10-0930920  
 (24) 등록일자 2009년12월02일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2004-0050332  
 (22) 출원일자 2004년06월30일  
 심사청구일자 2008년03월14일  
 (65) 공개번호 10-2006-0001254  
 (43) 공개일자 2006년01월06일

(56) 선행기술조사문현

JP07311389 A\*

JP12310791 A\*

KR1020000050882 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박승렬

경기도 부천시 원미구 상1동 백송마을 571-6 풍림  
아파트 2724-2202

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 20 항

심사관 : 한만열

## (54) 씨오티 구조 액정표시장치 및 그 제조방법

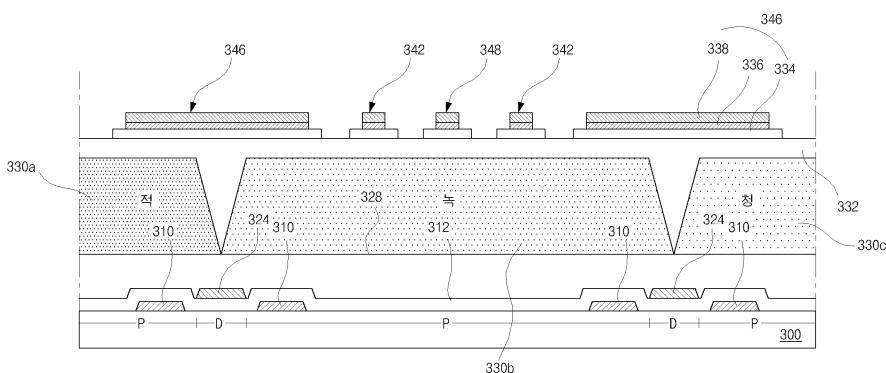
## (57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 어레이기판에 컬러필터가 구성된 COT구조의 횡전계 방식 액정표시장치에 관한 것이다.

본 발명은 횡전계 방식 액정표시장치용 어레이기판을 구성할 때, 게이트 배선과 데이터 배선과 박막트랜지스터가 형성된 어레이기판에 컬러필터를 구성하고, 상기 컬러필터의 상부에 저반사 특성을 가진 화소 전극과 공통 전극을 형성하는 것을 특징으로 한다.

이와 같은 COT 구조의 횡전계 방식 액정표시장치는 컬러필터가 하부 어레이기판에 구성되므로 합착 마진을 고려하지 않아도 되므로 개구영역을 더욱 확보하여 개구율을 개선할 수 있는 장점이 있고, 화소 전극 및 공통전극에 저반사 특성의 금속을 더욱 포함하므로 화질을 개선할 수 있는 장점이 있다.

## 대 표 도 - 도21b



## 특허청구의 범위

### 청구항 1

제 1 기판과 제 2 기판과;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 형성하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과;

상기 게이트 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 데이터 패드 단자와;

상기 게이트 배선과 데이터 배선의 교차지점에 구성된 스위칭 소자와;

상기 게이트 배선과 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로 근접하여 연장된 제 1 공통 전극과;

상기 화소 영역에 구성된 컬러필터와;

상기 게이트 배선과 데이터 배선과 상기 스위치 소자의 상부에 위치하고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극과;

상기 스위칭 소자와 연결되면서 상기 화소 영역에 수직하게 연장되고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 화소 전극

을 포함하는 COT 구조의 횡전계 방식 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 COT 구조의 횡전계 방식 액정표시장치.

### 청구항 3

제 2 항에 있어서,

상기 드레인 전극에서 상기 스토리지 배선의 상부로 연장된 연장부가 더욱 구성되어, 상기 스토리지 배선을 제 1 전극으로 하고, 상기 연장부를 제 2 전극으로 하는 스토리지 캐패시터가 구성된 COT 구조의 횡전계 방식 액정표시장치.

### 청구항 4

제 1 기판과 제 2 기판을 준비하는 단계와;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 형성하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 게이트 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 데이터 패드 단자를 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 스위칭 소자를 형성하는 단계와;

상기 게이트 배선과 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로

근접하여 연장된 제 1 공통 전극을 형성하는 단계와;

상기 화소 영역에 대응하여 컬러필터를 형성하는 단계와;

상기 게이트 배선과 데이터 배선과 상기 스위칭 소자의 상부에 위치하고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극을 형성하는 단계와;

상기 스위칭 소자와 연결되면서 상기 화소 영역에 수직하게 연장되고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 화소 전극을 형성하는 단계를

포함하는 COT 구조의 횡전계 방식 액정표시장치 제조방법.

## 청구항 5

제 4 항에 있어서,

상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 COT 구조의 횡전계 방식 액정표시장치 제조방법.

## 청구항 6

제 5 항에 있어서,

상기 드레인 전극에서 상기 스토리지 배선의 상부로 연장된 연장부가 형성되어, 상기 스토리지 배선을 제 1 전극으로 하고 상기 연장부를 제 2 전극으로 하는 스토리지 배선을 형성하는 COT 구조 횡전계 방식 액정표시장치 제조방법.

## 청구항 7

제 4 항에 있어서,

상기 불투명한 금속층은 크롬(Cr), 구리(Cu), 텅스텐(W), 알루미늄(Al), 알루미늄합금(AlNd), 몰리브덴(Mo), 타늄(Ti) 등을 포함하는 도전성 금속 그룹 중 선택하여 구성된 COT 구조 횡전계 방식 액정표시장치 제조방법.

## 청구항 8

제 4 항에 있어서,

상기 저반사 금속층은 크롬옥사이드( $\text{CrO}_x$ )인 COT 구조의 횡전계 방식 액정표시장치 제조방법.

## 청구항 9

제 1 기판과 제 2 기판을 준비하는 단계와;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선과 평행하게 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 수직하게 연장된 제 1 공통전극을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고 순차 적층된 액티브층과 오믹 콘택층을 형성하는 제 2 마스크 공정 단계와;

상기 오믹 콘택층과 접촉하면서 서로 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 접촉하고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 3 마스크 공정 단계와;

상기 게이트배선 및 상기 데이터배선에 의해 정의된 화소 영역에 컬러필터를 형성하는 제 4 마스크 공정 단계와;

상기 드레인 전극과, 상기 게이트 패드와 상기 데이터 패드를 노출하는 제 5 마스크 공정 단계와;

상기 드레인 전극과 접촉하면서 화소영역으로 수직하게 연장되고, 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 화소 전극과, 상기 게이트 배선과 데이터 배선과 액티브층에 대응하여 위치하고 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 공통배선과, 상기 공통배선에서 화소 영역으로 수직하게 연장된 제 2 공통

전극과, 상기 게이트 패드와 접촉하고 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 데이터 패드 단자를 형성하는 제 6 마스크 공정 단계와;

상기 게이트 패드 단자와 데이터 패드 단자의 상기 제 2 저반사 금속층을 제거하는 제 7 마스크 공정 단계와;

상기 기판의 전면에 투명한 금속층을 중착하고 패턴하여, 상기 게이트 패드 단자와 데이터 패드 단자를 상기 불투명한 금속층과 투명한 금속층이 적층되도록 형성하는 제 8 마스크 공정 단계

를 포함하는 COT 구조 횡전계 방식 액정표시장치 제조방법.

#### 청구항 10

제 9 항에 있어서,

상기 제 8 마스크 공정 단계에서, 상기 공통배선과 공통 전극과 화소전극의 최상층에 투명한 금속층이 형성된 COT 구조 횡전계 방식 액정표시장치 제조방법.

#### 청구항 11

제 1 기판과 제 2 기판과;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 형성하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과;

상기 게이트 패드와 접촉하고 투명한 금속층으로 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 투명한 금속층으로 구성된 데이터 패드 단자와;

상기 게이트 배선과 데이터 배선의 교차지점에 구성된 스위칭 소자와;

상기 게이트 배선과 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로 근접하여 연장된 제 1 공통 전극과;

상기 화소 영역에 구성된 컬러필터와;

상기 게이트 배선과 데이터 배선과 상기 스위칭 소자의 상부에 위치하고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극과;

상기 스위칭 소자와 연결되면서 상기 화소 영역에 수직하게 연장되고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 화소 전극

을 포함하는 COT 구조의 횡전계 방식 액정표시장치.

#### 청구항 12

제 11 항에 있어서

상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 COT 구조의 횡전계 방식 액정표시장치.

#### 청구항 13

제 12 항에 있어서,

상기 드레인 전극에서 상기 스토리지 배선의 상부로 연장된 연장부가 구성되어, 상기 스토리지 배선을 제 1 전극으로 하고, 상기 연장부를 제 2 전극으로 하는 스토리지 캐패시터가 구성된 COT 구조의 횡전계 방식 액정표시장치.

#### 청구항 14

제 11 항에 있어서,

상기 공통 배선과 제 2 공통 전극과 화소 전극은 상기 제 1 금속층이 상기 제 2 불투명한 금속층과 제 3 저반사 금속층의 주변으로 노출되도록 구성된 COT 구조의 횡전계 방식 액정표시장치.

### 청구항 15

제 1 기판과 제 2 기판을 준비하는 단계와;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 형성하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 게이트 패드와 접촉하고 투명한 금속층으로 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 투명한 금속층으로 구성된 데이터 패드 단자를 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 스위칭 소자를 형성하는 단계와;

상기 게이트 배선과 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로 근접하여 연장된 제 1 공통 전극을 형성하는 단계와;

상기 화소 영역에 컬러필터를 형성하는 단계와;

상기 게이트 배선과 데이터 배선과 상기 스위칭 소자의 상부에 위치하고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극을 형성하는 단계와;

상기 스위칭 소자와 연결되면서 상기 화소 영역으로 수직하게 연장되고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 화소 전극을 형성하는 단계

를 포함하는 COT 구조의 횡전계 방식 액정표시장치 제조방법.

### 청구항 16

제 15 항에 있어서

상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 COT 구조의 횡전계 방식 액정표시장치 제조방법.

### 청구항 17

제 16 항에 있어서,

상기 드레인 전극에서 상기 스토리지 배선의 상부로 연장된 연장부가 구성되어, 상기 스토리지 배선을 제 1 전극으로 하고, 상기 연장부를 제 2 전극으로 하는 스토리지 캐페시터가 형성된 COT 구조의 횡전계 방식 액정표시장치 제조방법.

### 청구항 18

제 15 항에 있어서,

상기 공통 배선과 제 2 공통 전극과 화소 전극은 상기 제 1 금속층이 상기 제 2 불투명한 금속층과 제 3 저반사 금속층의 주변으로 노출되도록 형성된 COT 구조의 횡전계 방식 액정표시장치 제조방법.

### 청구항 19

제 1 기판과 제 2 기판을 준비하는 단계와;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선과 평행하게 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 수직하게 연장된 제 1 공통전극을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고 순차 적층된 액티브층과 오믹 콘택층을 형성하는 제 2 마스크 공정 단계와;

상기 오믹 콘택층과 접촉하면서 서로 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 접촉하고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 3 마스크 공정 단계와;

상기 게이트배선 및 상기 데이터배선에 의해 정의된 화소 영역에 컬러필터를 형성하는 제 4 마스크 공정 단계와;

상기 드레인 전극과, 상기 게이트 패드의 일부와 상기 데이터 패드의 일부를 노출하는 제 5 마스크 공정 단계와;

상기 드레인 전극과 접촉하면서 화소영역으로 수직하게 연장되고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 화소 전극과, 상기 게이트 배선과 데이터 배선과 액티브층에 대응하여 위치하고 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 공통배선과, 상기 공통배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극과, 상기 게이트 패드와 접촉하고 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 데이터 패드 단자를 형성하는 제 6 마스크 공정 단계와;

상기 제 1 기판과 제 2 기판을 합착하여, 상기 게이트 패드 단자와 데이터 패드 단자를 노출하는 단계와;

상기 게이트 패드 단자와 데이터 패드 단자의 제 3 저반사 금속층과 제 2 불투명한 금속층을 제거하여 하부의 제 1 투명한 금속층만을 남기는 단계

를 포함하는 COT 구조 횡전계 방식 액정표시장치 제조방법.

## 청구항 20

제 19 항에 있어서,

전술한 제 6 마스크 공정에 있어서,

상기 기판 상에 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층을 적층하는 단계와;

상기 제 3 저반사 금속층이 형성된 기판의 전면에 포토레지스트를 도포한 후 제 6 마스크 공정으로 패턴하여, 게이트 전극의 상부와, 상기 게이트 패드 및 데이터 패드의 상부와 상기 화소 영역의 상부에 감광패턴을 형성하는 단계와;

상기 감광패턴의 주변으로 노출된 제 3 저반사 금속층과 그 하부의 제 2 불투명한 금속층을 제거하는 단계와;

상기 감광패턴을 열처리 하여 상기 제 3 저반사 금속층의 측면으로 흘러내리도록 하는 단계와;

상기 열처리된 감광패턴의 주변으로 노출된 상기 제 1 투명한 금속층을 제거하여, 상기 제 2 및 제 3 금속층의 주변으로 상기 제 1 투명한 금속층이 노출되는 형상의 공통 배선과, 공통 배선에서 상기 화소 영역으로 수직하게 연장된 제 2 공통 전극과, 상기 드레인 전극과 접촉하면서 상기 화소 영역으로 수직하게 연장된 화소 전극을 형성하는 단계를 포함하는 COT 구조 횡전계 방식 액정표시장치 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<31>

본 발명은 액정표시장치에 관한 것으로 특히, COT(color filter on TFT)구조의 액정표시장치 및 그 제조방법에 관한 것이다.

<32>

일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.

- <33> 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 상기 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <34> 도 1은 종래에 따른 액정표시장치를 개략적으로 나타낸 도면이다.
- <35> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 중착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충진되어 있다.
- <36> 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(T)를 교차하여 지나가는 게이트 배선(13)과 데이터 배선(15)이 형성된다.
- <37> 이때, 상기 화소영역(P)은 상기 게이트 배선(13)과 데이터 배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- <38> 상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도 전성금속을 사용한다.
- <39> 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C<sub>ST</sub>)가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C<sub>ST</sub>)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 금속패턴(30)을 사용한다.
- <40> 이때, 상기 금속패턴(30)은 화소 전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- <41> 그런데, 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- <42> 이러한 단점을 극복하기 위한 구조로, 종래에는 어레이기판에 컬러필터를 구성한 COT 구조의 액정표시장치를 제안하고 있다.
- <43> 이에 대해 이하, 도 2를 참조하여 설명한다.
- <44> 도 2는 종래에 따른 COT 구조 액정표시장치의 구성을 개략적으로 도시한 단면도이다.
- <45> 도시한 바와 같이, 종래에 따른 COT 구조의 액정표시장치(LC)는 어레이기판(30)과, 어레이기판(30)과는 실런트(60)를 통해 합착되는 상부 기판(70)으로 구성된다.
- <46> 상기 어레이기판(30)은 기판 면에 게이트 전극(GE)과 액티브층(38)과 소스 전극(40)과 드레인 전극(42)을 포함하는 박막트랜지스터(T)가 구성되고 도시하지는 않았지만, 상기 박막트랜지스터(T)를 중심으로 수직하게 교차하여 화소 영역(P)을 정의하는 게이트 배선 및 데이터 배선(32, 미도시)이 구성된다.
- <47> 상기 게이트 배선(32)의 일 끝단에는 게이트 패드(34)가 구성되고, 상기 데이터 배선(미도시)의 일 끝단에는 데이터 패드(미도시)가 구성된다.
- <48> 전술한 구성에서, 상기 게이트 전극(32)과 소스 및 드레인 전극(40, 42)사이에는 게이트 절연막(36)이 구성되고, 상기 박막트랜지스터(T)의 상부에는 보호막(50)이 구성된다.
- <49> 상기 박막트랜지스터(T)및 어레이 배선이 구성된 기판(30)의 전면에는 적, 녹, 청 컬러필터(52a, 52b, 미도시)와 블랙매트릭스(BM)가 구성되는데, 상기 컬러필터(52a, 52b, 미도시)는 화소 영역(P)에 대응하여 구성되고, 상기 블랙매트릭스(BM)는 상기 박막트랜지스터(T)에 대응하여 구성된다.
- <50> 상기 적, 녹, 청 컬러 필터(52a, 52b, 미도시)의 상부에는 상기 드레인 전극(42)과 접촉하는 투명한 화소 전극(56)이 구성된다.
- <51> 전술한 바와 같이 구성된 어레이기판(30)에 대응하는 상부 기판(70)의 일면에는 상기 액정 표시장치(LC)의 외곽에 대응하여 이부분에서의 빛샘을 방지하기 위한 차단수단(72)이 구성된다.
- <52> 상기 차단수단(72)의 하부에는 투명한 공통 전극(74)이 구성된다.

- <53> 전술한 바와 같이, COT구조의 액정표시장치를 구성 할 수 있다.
- <54> 전술한 구성은, 앞서 언급한 바와 같이 어레이기판에 컬러필터를 직접 구성하기 때문에, 상부기판에 별도의 컬러필터를 구성하여 합착한 구조에 비해 합착 마진을 더 둘 필요가 없으므로 개구영역 확보를 통한 개구율을 개선할 수 있는 효과가 있다.
- <55> 그러나, 전술한 수직전계 모드의 액정표시장치는 일반적으로 TN 액정을 사용하며 이러한 액정은 상.하/좌.우에서 시야각 특성이 우수하지 않아 정보량을 표시하는데 한계가 있다.

### 발명이 이루고자 하는 기술적 과제

- <56> 본 발명은 전술한 문제를 해결하기 위한 목적으로 제안된 것으로, 상기 컬러필터 및 블랙매트릭스를 하부 어레이기판에 구성하는 것을 특징으로 한다.
- <57> 특히, 본 발명의 제 1 구조는 화소 영역에 대응하여 구성하는 화소 전극 및 공통 전극을 구성할 때 저반사 특성을 가진 금속을 더욱 포함하는 것을 특징으로 한다.
- <58> 본 발명의 제 2 구조는 전술한 제 1 구조에 비해 공정을 단순화 하여 제작한 것을 특징으로 한다.
- <59> 본 발명의 제 3 구조는 상기 제 2 구조에 비해 휘도를 개선할 수 있는 구조인 것을 특징으로 한다.
- <60> 이상, 본 발명의 제 1 내지 제 3 구조는 컬러필터(및 블랙매트릭스)가 어레이기판에 구성되기 때문에 합착마진을 둘 필요가 없으므로 마진만큼의 개구영역을 확보를 통해 개구율을 개선할 수 있는 장점이 있다.
- <61> 또한, 제 2 구조에서 공정을 단순화 할 수 있으므로, 공정시간 단축 및 공정 비용을 낮출 수 있고, 공정 중 발생하는 불량확률을 줄일 수 있는 장점이 있다.
- <62> 또한, 본 발명의 제 3 구조는 상기 제 2 구조에 의한 장점 뿐 아니라 휘도를 개선할 수 있는 장점이 있다.

### 발명의 구성 및 작용

- <63> 전술한 목적을 달성하기 위한 본 발명의 제 1 특징에 따른 씨.오.티(COT)구조 횡전계 방식 액정표시장치는 제 1 기판과 제 2 기판과; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과; 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과; 상기 게이트 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 데이터 패드 단자와; 상기 게이트 배선과 데이터 배선의 교차점에 구성된 스위칭 소자와; 상기 게이트 배선과 소정간격 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로 근접하여 연장된 제 1 공통 전극과;
- <64> 상기 화소 영역에 구성된 컬러필터와; 상기 게이트 배선과 데이터 배선과 상기 스위치 소자의 상부에 위치하고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극과; 상기 스위칭 소자와 연결되면서 상기 화소 영역에 수직하게 연장되고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 화소 전극을 포함한다.
- <65> 상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하며, 상기 드레인 전극에서 상기 스토리지 배선의 상부로 연장된 연장부가 더욱 구성되어, 상기 스토리지 배선을 제 1 전극으로 하고, 상기 연장부를 제 2 전극으로 하는 스토리지 캐패시터가 구성된다.

- <66> 본 발명의 제 1 특징에 따른 COT 구조 횡전계 방식 액정표시장치의 제조방법은 제 1 기판과 제 2 기판을 준비하는 단계와; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 게이트 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 불투명한 금속층과 투명한 금속층이 순차 적층되어 구성된 데이터 패드 단자를 형성하는 단계와; 상기 게이트 배선과 데이터 배선을 제 1 전극으로 하고, 상기 스위칭 소자를 제 2 전극으로 하는 스토리지 캐패시터가 구성된다.

의 교차지점에 스위칭 소자를 형성하는 단계와; 상기 게이트 배선과 소정간격 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로 근접하여 연장된 제 1 공통 전극을 형성하는 단계와; 상기 화소 영역에 대응하여 컬러필터를 형성하는 단계와; 상기 게이트 배선과 데이터 배선과 상기 스위칭 소자의 상부에 위치하고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극을 형성하는 단계와; 상기 스위칭 소자와 연결되면서 상기 화소 영역에 수직하게 연장되고, 제 1 불투명한 금속층과 제 2 저반사 금속층과 제 3 투명한 금속층이 순차 적층된 화소 전극을 형성하는 단계를 포함한다.

- <67> 상기 드레인 전극에서 상기 스토리지 배선의 상부로 연장된 연장부가 더욱 형성되어, 상기 스토리지 배선을 제 1 전극으로 하고 상기 연장부를 제 2 전극으로 하는 스토리지 배선을 형성한다.
- <68> 상기 불투명한 금속층은 크롬(Cr), 구리(Cu), 텅스텐(W), 알루미늄(Al), 알루미늄합금(AlNd), 몰리브덴(Mo), 타이타늄(Ti) 등을 포함하는 도전성 금속 그룹 중 선택하여 구성한다.
- <69> 본 발명의 다른 특징에 따른 COT 구조 횡전계 방식 액정표시장치 제조방법은 제 1 기판과 제 2 기판을 준비하는 단계와; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선과 평행하게 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 수직하게 연장된 제 1 공통전극을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고 순차 적층된 액티브층과 오믹 콘택층을 형성하는 제 2 마스크 공정 단계와; 상기 오믹 콘택층과 접촉하면서 서로 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 접촉하고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 3 마스크 공정 단계와; 상기 화소 영역에 컬러필터를 형성하는 제 4 마스크 공정 단계와; 상기 드레인 전극과, 상기 게이트 패드의 일부와 상기 데이터 패드의 일부를 노출하는 제 5 마스크 공정 단계와; 상기 드레인 전극과 접촉하면서 화소영역으로 수직하게 연장되고, 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 화소 전극과, 상기 게이트 배선과 데이터 배선과 액티브층에 대응하여 위치하고 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 공통배선과, 상기 공통배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극과, 상기 게이트 패드와 접촉하고 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 제 1 불투명한 금속층과 제 2 저반사 금속층이 적층된 데이터 패드 단자를 형성하는 제 6 마스크 공정 단계와; 상기 게이트 패드 단자와 데이터 패드 단자의 상기 제 2 저반사 금속층을 제거하는 제 7 마스크 공정 단계와; 상기 기판의 전면에 투명한 금속층을 증착하고 패턴하여, 상기 게이트 패드 단자와 데이터 패드 단자를 상기 불투명한 금속층과 투명한 금속층이 적층되도록 형성하는 제 8 마스크 공정 단계를 포함한다.
- <70> 상기 제 8 마스크 공정 단계에서, 상기 공통배선과 공통 전극과 화소전극의 최상층에 투명한 금속층이 형성된다.
- <71> 본 발명의 제 2 특징에 따른 COT 구조 횡전계 방식 액정표시장치는 제 1 기판과 제 2 기판과; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과; 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과; 상기 게이트 패드와 접촉하고 투명한 금속층으로 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 투명한 금속층으로 구성된 데이터 패드 단자와;
- <72> 상기 게이트 배선과 데이터 배선의 교차지점에 구성된 스위칭 소자와; 상기 게이트 배선과 소정간격 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로 근접하여 연장된 제 1 공통 전극과; 상기 화소 영역에 구성된 컬러필터와; 상기 게이트 배선과 데이터 배선과 상기 스위칭 소자의 상부에 위치하고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극과; 상기 스위칭 소자와 연결되면서 상기 화소 영역에 수직하게 연장되고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 화소 전극을 포함한다.
- <73> 상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하며, 상기 드레인 전극에서 상기 스토리지 배선의 상부로 연장된 연장부가 더욱 구성되어, 상기 스토리지 배선을 제 1 전극으로 하고, 상기 연장부를 제 2 전극으로 하는 스토리지 캐페시터가 구성된다.
- <74> 상기 공통 배선과 제 2 공통 전극과 화소 전극은 상기 제 1 금속층이 상기 제 2 불투명한 금속층과 제 3 저반사 금속층의 주변으로 노출되도록 구성된다.

- <75> 본 발명의 제 2 특징에 따른 COT 구조 횡전계 방식 액정표시장치의 제조방법은 제 1 기판과 제 2 기판을 준비하는 단계와; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 게이트 패드와 접촉하고 투명한 금속층으로 구성된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 투명한 금속층으로 구성된 데이터 패드 단자를 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 스위칭 소자를 형성하는 단계와; 상기 게이트 배선과 소정간격 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 상기 데이터 배선의 양측으로 근접하여 연장된 제 1 공통 전극을 형성하는 단계와; 상기 화소 영역에 컬러필터를 형성하는 단계와; 상기 게이트 배선과 데이터 배선과 상기 스위칭 소자의 상부에 위치하고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 공통 배선과, 상기 공통 배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극을 형성하는 단계와; 상기 스위칭 소자와 연결되면서 상기 화소 영역으로 수직하게 연장되고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 순차 적층된 화소 전극을 형성하는 단계를 포함한다.
- <76> 본 발명의 제 2 특징의 다른 예에 따른 횡전계 방식 액정표시장치 제조방법은 제 1 기판과 제 2 기판을 준비하는 단계와; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 일 방향으로 연장되고 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선과 평행하게 이격하여 구성된 스토리지 배선과, 상기 스토리지 배선에서 수직하게 연장된 제 1 공통전극을 형성하는 제 1 마스크 공정 단계와;
- <77> 상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고 순차 적층된 액티브층과 오믹 콘택층을 형성하는 제 2 마스크 공정 단계와; 상기 오믹 콘택층과 접촉하면서 서로 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 접촉하고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 3 마스크 공정 단계와;
- <78> 상기 화소 영역에 컬러필터를 형성하는 제 4 마스크 공정 단계와; 상기 드레인 전극과, 상기 게이트 패드의 일부와 상기 데이터 패드의 일부를 노출하는 제 5 마스크 공정 단계와; 상기 드레인 전극과 접촉하면서 화소영역으로 수직하게 연장되고, 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 화소 전극과, 상기 게이트 배선과 데이터 배선과 액티브층에 대응하여 위치하고 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 공통배선과, 상기 공통배선에서 화소 영역으로 수직하게 연장된 제 2 공통 전극과, 상기 게이트 패드와 접촉하고 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 게이트 패드 단자와, 상기 데이터 패드와 접촉하고 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층이 적층된 데이터 패드 단자를 형성하는 제 6 마스크 공정 단계와; 상기 제 1 기판과 제 2 기판을 합착하여, 상기 게이트 패드 단자와 데이터 패드 단자를 노출하는 단계와; 상기 게이트 패드 단자와 데이터 패드 단자의 제 3 저반사 금속층과 제 2 불투명한 금속층을 제거하여 하부의 제 1 투명한 금속층만을 남기는 단계를 포함한다.
- <79> 전술한 제 6 마스크 공정에 있어서, 상기 기판 상에 제 1 투명한 금속층과 제 2 불투명한 금속층과 제 3 저반사 금속층을 적층하는 단계와; 상기 제 3 저반사 금속층이 형성된 기판의 전면에 포토레지스트를 도포한 후 제 6 마스크 공정으로 패턴하여, 게이트 전극의 상부와, 상기 게이트 패드 및 데이터 패드의 상부와 상기 화소 영역의 상부에 감광패턴을 형성하는 단계와; 상기 감광패턴의 주변으로 노출된 제 3 저반사 금속층과 그 하부의 제 2 불투명한 금속층을 제거하는 단계와; 상기 감광패턴을 열처리 하여 상기 제 3 저반사 금속층의 측면으로 흘러내리도록 하는 단계와; 상기 열처리된 감광패턴의 주변으로 노출된 상기 제 1 투명한 금속층을 제거하여, 상기 제 2 및 제 3 금속층의 주변으로 상기 제 1 투명한 금속층이 노출되는 형상의 공통 배선과, 공통 배선에서 상기 화소 영역으로 수직하게 연장된 제 2 공통 전극과, 상기 드레인 전극과 접촉하면서 상기 화소 영역으로 수직하게 연장된 화소 전극을 형성하는 단계를 더욱 포함한다.
- <80> 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.
- <81> -- 제 1 실시예 --
- <82> 본 발명의 제 1 실시예는 횡전계 방식 액정표시장치에 있어서, 컬러필터 및 블랙매트릭스를 어레이기판에 구성하고, 화소 전극과 공통 전극에 저 반사 금속을 더욱 구성하는 것을 특징으로 한다.
- <83> 도 3은 본 발명에 따른 COT구조의 횡전계 방식 액정표시장치용 어레이기판의 일부를 확대한 확대 평면도이다.
- <84> 도시한 바와 같이, 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(104)과, 상기 게이트 배선(104)과 수직하게 교차하여 화소영역(P)을 정의하고 일 끝단에 데이터 패드(126)를 포함하는 데이터 배선(124)을 구성 한다.

- <85> 상기 데이터 패드(126)는 데이터 패드 단자(140)와 접촉하도록 구성하며, 상기 게이트 패드(106)는 게이트 패드 단자(142)와 접촉하도록 구성한다.
- <86> 상기 게이트 배선(104)과 데이터 배선(124)의 교차지점에는 게이트 전극(102)과, 반도체층(116)과 소스 전극(118)과 드레인 전극(120)을 포함하는 박막트랜지스터(T)를 구성한다.
- <87> 상기 게이트 배선(104)과 평행하게 이격된 영역에 일향으로 연장된 스토리지 배선(108)을 구성하여, 상기 스토리지 배선(108)에서 상기 화소 영역(P)으로 수직하게 연장된 제 1 공통 전극(110)을 구성한다.
- <88> 상기 제 1 공통 전극(110)은 상기 화소 영역(P) 양측의 데이터 배선(124)과 근접한 영역에 이와는 소정간격 이격되도록 구성한다.
- <89> 상기 화소 영역(P)에 대응하여 적색과 녹색과 청색의 컬러필터(130a, 130b, 130c)를 구성한다.
- <90> 상기 게이트 배선(104)과 스토리지 배선(108)과 데이터 배선(124)과 박막트랜지스터(T)의 상부에 대응하여 격자 형상이 공통 배선(136)을 구성하며, 상기 공통 배선(136)에서 상기 화소 영역(P)으로 수직하게 연장된 제 2 공통 전극(138)을 구성한다.
- <91> 상기 제 2 공통 전극(138)과 동시에, 상기 드레인 전극(120)과 접촉하면서 상기 화소 영역(P)으로 수직하게 연장된 화소 전극(134)을 형성한다.
- <92> 상기 화소 전극(134)은 상기 제 1 공통전극(110)과 제 2 공통 전극(138)사이에 이들과는 평행하게 이격하도록 하여 구성한다.
- <93> 전술한 구성에서, 상기 공통 배선(136)은 블랙매트릭스(black matrix)의 기능을 또한 하게 된다.
- <94> 전술한 구성에서, 상기 공통 배선(136)과 화소 전극(134)과 제 2 공통 전극(138)은 저항이 낮은 불투명한 금속과, 저반사 특성을 가진 금속층과, 투명한 금속층을 적층하여 구성하는 것을 특징으로 한다.
- <95> 전술한 바와 같이 구성된, 횡전계 방식 액정표시장치용 어레이기판의 제조방법을 이하, 도면을 참조하여 설명한다.
- <96> 도 4a와 도 4b와 도 4c와 도 4d는 본 발명의 제 1 및 제 2 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 따라 절단한 단면도이다.
- <97> 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과, 화소영역(P)의 일측에 스토리지 영역(ST)과, 게이트 영역(G)과 데이터 영역(D)을 정의한다.
- <98> 상기 다수의 영역(S,P,ST,G,D)이 정의된 기판(100)의 전면에 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 적층하고 제 1 마스크 공정으로 패턴하여, 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(104)과, 상기 게이트 배선(104)에서 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(102)과, 상기 게이트 배선(104)과 이격하여 구성된 스토리지 배선(108)과, 상기 스토리지 배선(108)에서 상기 화소 영역(P)의 양측으로 수직하게 연장된 제 1 공통 전극(110)을 형성한다.
- <99> 이때, 상기 게이트 전극(102)은 도시한 바와 같이 게이트 배선(104)을 일부를 전극으로 사용할 수도 있으며, 상기 게이트 배선(104)에서 연장된 돌출부를 게이트 전극으로 사용할 수도 있다.
- <100> 상기 게이트 전극(102)과 게이트 패드 및 게이트 배선(106, 104)과 스토리지 배선(108)과 제 1 공통전극(110)이 형성된 기판(100)의 전면에 질화 실리콘( $\text{SiN}_x$ )과 산화 실리콘( $\text{SiO}_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 적층하여 게이트 절연막(112)을 형성한다.
- <101> 다음으로, 상기 게이트 절연막(112)이 형성된 기판(100)의 전면에 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)을 증착하고 제 2 마스크 공정으로 패턴하여, 상기 게이트 전극(102)에 대응하는 게이트 절연막(112)의 상부에 액티브층(114)과 오믹 콘택층(116)을 형성한다.
- <102> 도 5a와 도 5b와 도 5c와 도 5d는 제 3 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.
- <103> 도시한 바와 같이, 상기 액티브층(114)과 오믹 콘택층(116)이 형성된 기판(100)의 전면에 앞서 언급한 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 제 3 마스크 공정으로 패턴하여, 상기 오믹 콘택층

(116)과 접촉하면서 서로 이격된 소스 전극(118)과 드레인 전극(120)과, 상기 드레인 전극(120)에서 상기 스토리지 배선(108)의 상부로 연장부(122)를 형성한다.

<104> 동시에, 상기 소스 전극(120)과 연결되고 상기 게이트 배선(104)과는 수직하게 교차하여 화소영역(P)을 정의하고 일 끝단에 데이터 패드(126)를 포함하는 데이터 배선(124)을 형성한다.

<105> 도 6a와 도 6b와 도 6c와 도 6d는 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<106> 상기 소스 및 드레인 전극(118, 120)등이 형성된 기판(100)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하거나 경우에 따라서는 벤조사이클로부텐(PCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 도포하여 보호막(128)을 형성한다.

<107> 도 7a와 도 7b와 도 7c와 도 7d는 제 4 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<108> 상기 보호막(128)이 형성된 기판(100)중, 상기 화소 영역(P)에 대응하여 제 4 마스크 공정으로 컬러필터(130a, 130b, 130c)를 형성한다.

<109> 상기 컬러필터(130a, 130b, 130c)는 적색과 녹색과 청색의 컬러필터로써, 다수의 화소 영역(P)에 대응하여 스트라이프(stripe)형상 또는 모자이크(mosaic)형상 등으로 순차 형성하게 되며, 하나의 마스크를 이용하여 상기 삼색의 컬러필터를 형성한다.

<110> 상기 컬러필터(130a, 130b, 130c)가 형성된 기판(100)의 전면에 벤조사이클로부텐(PCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 평탄화막(132)을 형성한다.

<111> 도 8a와 도 8b와 도 8c와 도 8d는 제 5 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<112> 도시한 바와 같이, 상기 평탄화막(132)과 그 하부의 컬러필터(130a, 130b, 130c)를 패턴하여, 상기 드레인 전극(120)또는 드레인 전극의 연장부(122)를 노출하는 제 1 콘택홀(CH1)과, 상기 게이트 패드(106)의 일부를 노출하는 제 2 콘택홀(CH2)과, 상기 데이터 패드(108)의 일부를 노출하는 제 3 콘택홀(CH3)을 형성한다.

<113> 도 9a와 도 9b와 도 9c와 도 9d는 제 6 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<114> 도시한 바와 같이, 다수의 콘택홀을 포함하는 상기 평탄화막(132)이 형성된 기판(100)의 전면에 크롬(Cr)을 포함한 앞서 언급한 도전성 금속 그룹 중 선택된 하나를 증착하여 제 1 금속층(a1)을 형성하고, 상기 제 1 금속층(a1)의 상부에 크롬옥사이드(CrO<sub>x</sub>)와 같은 저반사 특성을 가지는 금속을 증착하여 제 2 금속층(a2)을 적층한 후, 제 5 마스크 공정으로 패턴하여, 상기 노출된 드레인 전극 또는 드레인 전극의 연장부(120, 122)와 접촉하면서, 상기 화소 영역(P)으로 평거형상으로 수직하게 연장된 화소 전극(134)과, 상기 게이트 배선(104)과 데이터 배선(124)과 상기 스위칭 영역(S)에 대응하여 격자형상으로 구성되는 공통배선(136)과, 상기 공통 배선(136)에서 상기 화소 영역(P)으로 평거형상으로 수직하게 연장된 제 2 공통전극(138)을 형성한다.

<115> 동시에, 상기 게이트 패드(106)와 접촉하는 게이트 패드 단자(140)와 상기 데이터 패드(126)와 접촉하는 데이터 패드 단자(142)를 형성한다.

<116> 이때, 상기 데이터 배선(124)에 대응한 공통 배선(138)은 상기 데이터 배선(124)과, 데이터 배선(124)의 양측에 근접하여 구성된 제 1 공통 전극(110)의 이격된 영역(B)을 차폐하도록 구성해야 한다.

<117> 또한 전술한 공정에서, 상기 스토리지 배선(108)을 제 1 전극으로 하고, 스토리지 배선(108)의 상부로 연장된 드레인 전극의 연장부(122)를 제 2 전극으로 하는 스토리지 캐패시터(C<sub>ST</sub>)가 구성된다.

<118> 도 10a와 도 10b와 도 10c와 도 10d는 제 7 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<119> 도시한 바와 같이, 7 마스크 공정을 이용하여, 상기 게이트 패드 단자 및 데이터 패드 단자(140, 142)를 구성하는 제 2 금속층(a2)을 제거하여 하부의 제 1 금속층(a1)만 남기는 공정을 진행한다.

<120> 도 11a와 도 11b와 도 11c와 도 11d는 제 8 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을

절단한 공정 단면도이다.

<121> 전술한 공정에서, 상기 게이트 패드 단자 및 데이터 패드 단자(140, 142)를 제 1 층(a1)만 남긴 후, 기판(100)의 전면에 인듐-탄-옥사이드(ITO)와, 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 제 8 마스크 공정으로 패턴하여, 상기 화소 전극(134)과 공통배선 및 공통 전극(136, 138)의 제 3 금속층(a3)으로서 패턴하는 동시에, 상기 게이트 패드 단자 및 데이터 패드 단자(140, 142)의 제 1 금속층(a1)상부에 적층된 제 3 금속층(a3)으로 패턴 한다.

<122> 전술한 공정에서, 상기 스토리지 영역(ST)에는 상기 스토리지 배선(108)을 제 1 전극으로 하고, 상기 드레인 전극의 연장부(122)를 제 2 전극으로 하는 스토리지 캐패시터( $C_{ST}$ )가 구성될 수 있다.

<123> 전술한 바와 같은 공정으로 본 발명에 따른 제 1 실시예에 따른 COT 구조의 횡전계 방식 액정표시장치용 어레이 기판을 제작할 수 있다.

<124> 이와 같이 제작된 본 발명의 특징은 COT 구조이므로, 상기 어레이기판과 상부기판을 합착할 때 필요한 합착마진을 더 두어 어레이를 설계할 필요가 없기 때문에 개구영역을 더욱 확보할 수 있어 개구율을 개선할 수 있고, 상기 화소 영역에 구성한 공통 전극과 화소 전극에 저반사 특성을 가진 금속을 더욱 구성함으로써 화질이 개선되는 장점이 있다.

<125> 전술한 상기 제 1 실시예의 변형예를 제 2 실시예를 통해 설명한다.

<126> -- 제 2 실시예 --

<127> 본 발명의 제 2 실시예의 특징은 전술한 제 1 실시예에 비해 마스크 공정을 줄여 COT 구조의 횡전계 방식 액정 표시장치를 제작하는 것을 특징으로 한다.

<128> 본 발명의 제 2 실시예에 따른 COT 구조의 횡전계 방식 액정표시장치용 어레이기판의 평면도는 상기 제 1 실시 예와 유사하므로 이를 참조한다.

<129> 이하, 공정 단면도를 참조하여 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조공정을 설명한다.(평면도는 도 3을 참조하며 동일한 구성은 100번을 더하여 표기한다.)

<130> 도 12a와 도 12b와 도 12c와 도 12d는 본 발명의 제 1 및 제 2 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 따라 절단한 단면도이다.

<131> 도시한 바와 같이, 기판(200)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과, 화소영역(P)의 일측에 스토리지 영역(ST)과 게이트 영역(G)과 데이터 영역(D)을 정의한다.

<132> 상기 다수의 영역(S,P,ST,G,D)이 정의된 기판(200)의 전면에 알루미늄(A1), 알루미늄합금(A1Nd), 구리(Cu), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 적층하고 제 1 마스크 공정으로 패턴하여, 일 끝단에 게이트 패드(206)를 포함하는 게이트 배선(204)과, 상기 게이트 배선(204)에서 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(202)과, 상기 게이트 배선(204)과 이격하여 구성된 스토리지 배선(208)과, 상기 스토리지 배선(208)에서 상기 화소 영역(P)의 양측으로 수직하게 연장된 제 1 공통 전극(210)을 형성한다.

<133> 이때, 상기 게이트 전극(202)은 도시한 바와 같이 게이트 배선(204)의 일부를 전극으로 사용할 수도 있으며, 상기 게이트 배선(204)에서 연장된 돌출부를 게이트 전극으로 사용할 수도 있다.

<134> 상기 게이트 전극(202)과 게이트 패드 및 게이트 배선(206, 204)과 스토리지 배선(208)과 제 1 공통전극(210)이 형성된 기판(200)의 전면에 질화 실리콘( $SiN_x$ )과 산화 실리콘( $SiO_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 적층하여 게이트 절연막(212)을 형성한다.

<135> 다음으로, 상기 게이트 절연막(212)이 형성된 기판(200)의 전면에 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)을 증착하고 제 2 마스크 공정으로 패턴하여, 상기 게이트 전극(202)에 대응하는 게이트 절연막(212)의 상부에 액티브층(214)과 오믹 콘택층(216)을 형성한다.

<136> 도 13a와 도 13b와 도 13c와 도 13d는 제 3 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<137> 도시한 바와 같이, 상기 액티브층(214)과 오믹 콘택층(216)이 형성된 기판(200)의 전면에 앞서 언급한 도전성

금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 제 3 마스크 공정으로 패턴하여, 상기 오믹 콘택층(216)과 접촉하면서 서로 이격된 소스 전극(218)과 드레인 전극(220)과, 상기 드레인 전극(220)에서 상기 스토리지 배선(208)의 상부로 연장부(222)를 형성한다.

<138> 동시에, 상기 소스 전극(220)과 연결되고 상기 게이트 배선(204)과는 수직하게 교차하여 화소영역(P)을 정의하고 일 끝단에 데이터 패드(226)를 포함하는 데이터 배선(224)을 형성한다.

<139> 도 14a와 도 14b와 도 14c와 도 14d는 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<140> 상기 소스 및 드레인 전극(218,220)등이 형성된 기판(200)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하거나 경우에 따라서는 벤조사이클로부텐(PCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 도포하여 보호막(228)을 형성한다.

<141> 도 15a와 도 15b와 도 15c와 도 15d는 제 4 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<142> 상기 보호막(228)이 형성된 기판(200)중, 상기 화소 영역(P)에 대응하여 제 4 마스크 공정으로 컬러필터(230a,230b,230c)를 형성한다.

<143> 상기 컬러필터(230a,230b,230c)는 적색과 녹색과 청색의 컬러필터로써, 다수의 화소 영역(P)에 대응하여 스트라이프(stripes)형상 또는 모자이크(mosaic)형상 등으로 순차 형성하게 되며, 하나의 마스크를 이용하여 상기 삼색의 컬러필터를 형성한다.

<144> 상기 컬러필터(230a,230b,230c)가 형성된 기판(200)의 전면에 벤조사이클로부텐(PCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 평탄화막(232)을 형성한다.

<145> 도 16a와 도 16b와 도 16c와 도 16d는 제 5 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<146> 도시한 바와 같이, 상기 평탄화막(232)과 그 하부의 컬러필터(230a,230b,230c)를 패턴하여, 상기 드레인 전극(220)또는 드레인 전극의 연장부(222)를 노출하는 제 1 콘택홀(CH1)과, 상기 게이트 패드(206)의 일부를 노출하는 제 2 콘택홀(CH2)과, 상기 데이터 패드(208)의 일부를 노출하는 제 3 콘택홀(CH3)을 형성한다.

<147> 도 17a와 도 17b와 도 17c와 도 17d는 제 6 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이다.

<148> 도시한 바와 같이, 상기 평탄화막(232)이 형성된 기판(100)의 전면에 제 1 금속층(234)과 제 2 금속층(236)과 제 3 금속층(238)을 적층하여 형성한다.

<149> 이때, 상기 제 1 금속층(234)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하여 형성하고, 상기 제 2 금속층(236)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W) 등을 포함하는 도전성 금속 그룹 중 선택된 하나로 형성하고, 상기 제 3 금속층(238)은 크롬 옥사이드(CrO<sub>x</sub>)를 비롯한 저반사 특성을 가지는 물질을 증착하여 형성한다.

<150> 이때, 바람직하게는 상기 제 2 금속층(236)으로 크롬을 형성하고 상기 제 3 금속층으로 크롬옥사이드(CrO<sub>x</sub>)를 형성한다.

<151> 다음으로, 상기 제 3 금속층이 형성된 기판(200)의 전면에 포토레지스트(photo-resist)를 도포한 후 제 6 마스크 공정으로 패턴하여, 상기 스위칭 영역 및 스토리지영역(S,ST)과 화소 영역(P)과 게이트 패드 및 데이터 패드(206,226)에 대응하여 감광패턴(240)을 형성한다.

<152> 연속하여, 상기 감광패턴(240)의 주변으로 노출된 제 3 금속층(238)과 그 하부의 제 2 금속층(236)과 제 1 금속층(234)을 순차 제거하는 공정을 진행한다.

<153> 이때, 상기 제 2 및 제 3 금속층(236,238)이 각각 크롬(Cr)과 크롬옥사이드(CrO<sub>x</sub>)라면, 동일한 식각액으로 식각된다.

<154> 다음으로, 상기 감광패턴(240)을 제거하는 공정을 진행한다.

- <155> 이와 같이 하면, 도 18a와 도 18b와 도 18c와 도 18d에 도시한 바와 같이, 상기 드레인 전극(220) 또는 드레인 전극의 연장부(222)와 접촉하면서 상기 화소 영역(P)으로 수직하게 연장된 평거형상의 화소 전극(242)과, 상기 게이트 배선(미도시)과 데이터 배선(224)과 스위칭 영역(S)에 대응하여 구성된 격자형상의 공통 배선(246)과, 상기 공통배선(246)에서 상기 화소 영역(P)으로 수직하게 연장된 제 2 공통 전극(248)을 형성한다.
- <156> 동시에, 상기 게이트 패드(202)와 접촉하는 게이트 패드 단자(250)와, 상기 데이터 패드(226)와 접촉하는 데이터 패드 단자(252)를 형성한다.
- <157> 이때, 상기 공통 배선(246)과 화소 전극(242)과 제 2 공통전극(248)과 상기 게이트 패드 단자 및 데이터 패드 단자(250, 252)를 구성하는 제 2 및 제 3 금속층(236, 238)과 제 1 금속층(234)은 단면적으로 역테이퍼 지게 구성된다.
- <158> 이는 식각 공정시, 상기 제 2 및 제 3 금속층(236, 238)을 먼저 식각한 후, 그 다음 제 1 금속층(234)식각시 이 때는 감광패턴이 식각 방지막이 되는 것이 아니라 먼저 패턴된 상기 제 2 및 제 3 금속층(236, 238)이 식각 방지막의 역할을 하게 되므로 상기 제 2 및 제 3 금속층(236, 238)의 하부로 상기 제 1 금속층(234)이 과식각 되는 자연스러운 식각 특성에 의해 발생하는 것이다.
- <159> 또한 전술한 공정에서, 상기 스토리지 배선(208)을 제 1 전극으로 하고, 스토리지 배선(208)의 상부로 연장된 드레인 전극의 연장부(122)를 제 2 전극으로 하는 스토리지 캐패시터(C<sub>ST</sub>)가 구성된다.
- <160> 전술한 공정을 통해 본 발명의 제 2 실시예에 따른 COT 구조의 횡전계 방식 액정표시장치를 제작할 수 있다.
- <161> 이하, 도 3 실시예를 통해 상기 제 2 실시예의 변형예를 설명한다.
- <162> -- 제 3 실시예 --
- <163> 본 발명의 제 3 실시예는 상기 제 2 실시예의 구성에서, 상기 화소 전극과 공통 전극을 식각하는 공정에서 제 1, 제 2, 제 3 금속층을 테어퍼지게 적층된 형상이 되게 하여 주변으로 상기 투명한 제 1 금속층이 노출되는 형상이 되도록 하는 것을 특징으로 한다.
- <164> 이와 같은 구성은 휘도가 개선되는 장점이 있다.
- <165> 이에 대해, 이하 공정단면도를 참조하여 설명한다.
- <166> 단, 제 1 마스크 공정에서 제 6 마스크 공정까지는 앞서 설명한 제 2 실시예의 공정과 동일하다. 따라서 상기 제 6 마스크 공정을 제외한 앞서 공정은 설명에서 생략하도록 한다. 또한, 도면 부호도 동일한 경우에는 100을 더하여 표기하도록 한다.
- <167> 도 19a와 도 19b와 도 19c와 도 19d는 본 발명의 제 3 실시예에 따른 6 마스크 공정을 나타낸 단면도이다.
- <168> 도시한 바와 같이, 제 2 실시예의 6 마스크 공정과 동일하지만, 다시 한번 설명하면, 평탄화막(332)이 형성된 기판(300)의 전면에 포토레지스트를 도포한 후 제 6 마스크 공정으로 패턴하여, 상기 스위칭 영역(S)과 스토리지 영역 및 화소 영역(ST, P)과 상기 게이트 패드 및 데이터 패드(306, 326)에 대응하는 영역에 감광패턴(340)을 형성한다.
- <169> 도 20a와 도 20b와 도 20c와 도 20d에 도시한 바와 같이, 상기 감광패턴(340)의 주변으로 노출된 제 3 금속층(338)과 그 하부의 제 2 금속층(336)을 식각하는 공정을 진행한다.
- <170> 다음으로, 도시하지는 않았지만 상기 감광패턴(340)을 열처리 하여, 상기 식각된 제 2 및 제 3 금속층(336, 338)을 덮도록 한다.
- <171> 이와 같이 한 후, 상기 열처리된 감광패턴(340)의 주변으로 노출된 상기 제 3 금속층(338)을 제거한 후, 상기 감광패턴(340)을 제거하는 공정을 진행한다.
- <172> 이와 같이 하면, 도 21a와 도 21b와 도 21c에 도시한 바와 같이, 제 2 및 제 3 금속층(336, 338)과 제 1 금속층(334)이 테이퍼 지게 구성되며 이때, 상기 투명한 제 1 금속층(334)이 주변으로 노출되는 형태로 형성된다.
- <173> 이와 같이 3층이 적층되며 상기 드레인 전극(320)과 접촉하면서 상기 화소영역(P)으로 수직 연장된 평거 형상의 화소 전극(342)과, 상기 게이트 배선(미도시)과 데이터 배선(324)과 상기 스위칭 영역(S)에 대응하여 격자형상

으로 구성된 공통 배선(346)과, 상기 공통배선(346)에서 상기 화소 영역(P)으로 수직 연장된 제 2 공통 전극(348)을 형성한다.

<174> 동시에, 상기 게이트 패드(306)와 접촉하는 게이트 패드 단자(350)와 상기 데이터 패드(326)와 접촉하는 데이터 패드 단자(352)를 형성한다.

<175> 이때, 상기 공통 전극(348)과 화소 전극(342)은 주변으로 상기 투명한 제 1금속층(334)이 노출된 형상이므로 하부의 빛을 더 통과할 수 있도록 하기 때문에 휘도를 개선할 수 있는 장점이 있다.

<176> 전술한 공정을 통해 본 발명에 따른 COT 구조의 횡전계 방식 액정표시장치를 제작할 수 있다.

<177> 전술한 제 2 실시예와 제 3 실시예의 구성에서, 상기 게이트 패드와 데이터 패드는 투명한 제 1 금속층과 불투명한 제 2 및 제 3 금속층이 순차 적층된 형상이다.

<178> 이때, 원활한 콘택트성을 위해 상기 제 2 및 제 3 금속층은 제거되어야 한다.

<179> 이를 위해, 별도의 마스크 공정을 사용하지 않고 상기 제 2 및 제 3 금속층을 제거하는 방법을 이하, 도 22를 참조하여 설명한다.

<180> 도시한 바와 같이, COT 구조의 횡전계 방식 액정표시장치(400)는 앞서 제작한 어레이 기판(200,300)과, 별도 제작된 상부 컬러필터 기판(500)을 실런트(sealant, 미도시)를 통해 합착하여 형성한다.

<181> 이때, 상기 컬러필터 기판(500)은 합착 후, 상기 게이트 패드부 및 데이터 패드부(GPD,DPD)를 노출하기 위해 일부를 절단하는 공정을 진행한다.

<182> 다음으로, 상기 습식식각(식각액에 기판을 담그는 방식을 사용)을 통해 상기 게이트 패드 단자(250,350)와 데이터 패드 단자(252,352)의 제 3 금속층 및 제 2 금속층을 동시에 제거하는 공정을 진행한다.

<183> 이와 같이 하면, 상기 제 2 및 제 3 실시예의 게이트 패드 단자(250,350)와 데이터 패드 단자(252,352)는 투명한 제 1 금속층 만이 남게 된다.

<184> 이때, 상기 스토리지 배선(308)을 제 1 전극으로 하고, 상기 스토리지 배선(308)의 상부에 위치한 드레인 전극(322)의 연장부를 제 2 전극으로 하는 스토리지 캐패시터(C<sub>ST</sub>)가 구성된다.

<185> 전술한 공정을 통해 본 발명에 따른 COT 구조의 횡전계 방식 액정표시장치를 제작할 수 있다.

### 발명의 효과

<186> 따라서, 본 발명에 따라 제작된 COT 구조의 횡전계 방식 액정표시장치는 아래와 같은 효과가 있다.

<187> 첫째, 횡전계형 어레이기판에 컬러필터를 형성함으로써, 합착마진을 설계에 포함하지 않아도 되므로 합착마진 만큼 개구영역을 더욱 확보할 수 있어 개구율 및 휘도를 개선할 수 있는 효과가 있다.

<188> 둘째, 본 발명은 블랙매트릭스를 별도로 형성하지 않고, 공통 배선을 이용하여 블랙매트릭스를 겸하기 때문에 공정을 단순화 할 수 있는 효과가 있다.

<189> 셋째, 본 발명의 제 2 및 제 3 실시예는 본 발명의 제 1 실시예에 비해 2 마스크 공정을 줄인 구조이기 때문에 공정단순화를 통해 공정시간을 단축할 수 있는 동시에 공정 중 불량발생 확률을 줄일 수 있으므로 제품의 수율을 개선하는 효과가 있다.

<190> 또한, 공정비용을 낮출 수 있는 효과가 있으므로 제품의 경쟁력을 개선할 수 있는 효과가 있다.

<191> 넷째, 본 발명의 제 3 실시예에 따른 고통 전극 및 화소 전극은 주변으로 투명한 금속이 노출되는 형상이므로 이 부분으로 하부의 빛이 더욱 투과될 수 있는 효과로 인해 휘도가 개선되는 효과가 있다.

### 도면의 간단한 설명

<1> 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해 사시도이고,

<2> 도 2는 일반적인 COT 구조의 컬러액정표시장치의 구성을 개략적으로 도시한 단면도이고,

<3> 도 3은 본 발명의 제 1 실시예에 따른 COT 구조의 횡전계 방식 액정표시장치용 어레이기판의 일부 구성을 도시

한 확대 평면도이고,

- <4> 도 4a와 도 4b와 도 4c와 도 4d는 제 1 및 제 2 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V를 따라 절단한 단면도이고,
- <5> 도 5a와 도 5b와 도 5c와 도 5d는 제 3 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V를 따라 절단한 단면도이고,
- <6> 도 6a와 도 6b와 도 6c와 도 6d는 보호막 형성공정으로, 도 3의 III-III, IV-IV, V-V를 따라 절단한 단면도이고,
- <7> 도 7a와 도 7b와 도 7c와 도 7d는 제 4 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V를 따라 절단한 단면도이고,
- <8> 도 8a와 도 8b와 도 8c와 도 8d는 제 5 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V를 따라 절단한 단면도이고,
- <9> 도 9a와 도 9b와 도 9c와 도 9d는 제 6 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <10> 도 10a와 도 10b와 도 10c와 도 10d는 제 7 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <11> 도 11a와 도 11b와 도 11c와 도 11d는 제 8 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <12> 도 12a와 도 12b와 도 12c와 도 12d는 제 2 실시예에 따른 제 1 및 제 2 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 따라 절단한 단면도이고,
- <13> 도 13a와 도 13b와 도 13c와 도 13d는 제 2 실시예에 따른 제 3 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <14> 도 14a와 도 14b와 도 14c와 도 14d는 보호막을 형성하는 공정으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <15> 도 15a와 도 15b와 도 15c와 도 15d는 제 2 실시예의 제 4 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <16> 도 16a와 도 16b와 도 16c와 도 16d는 제 2 실시예의 제 5 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <17> 도 17a와 도 17b와 도 17c와 도 17d는 제 2 실시예의 제 6 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <18> 도 18a와 도 18b와 도 18c와 도 18d는 감광패턴을 제거한 후 나타낸 도면으로서, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <19> 도 19a와 도 19b와 도 19c와 도 19d는 제 3 실시예에 따른 제 6 마스크 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <20> 도 20a와 도 20b와 도 20c와 도 20d는 감광패턴의 주변으로 노출된 금속층을 제거하는 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <21> 도 21a와 도 21b와 도 21c와 도 21d는 게이트 패드 및 데이터 패드의 투명 금속층을 노출하는 공정을 나타낸 도면으로, 도 3의 III-III, IV-IV, V-V, VI-VI을 절단한 공정 단면도이고,
- <22> 도 22는 본 발명에 다른 COT 구조 횡전계 방식 액정표시장치의 구성을 개략적으로 도시한 평면도이다.

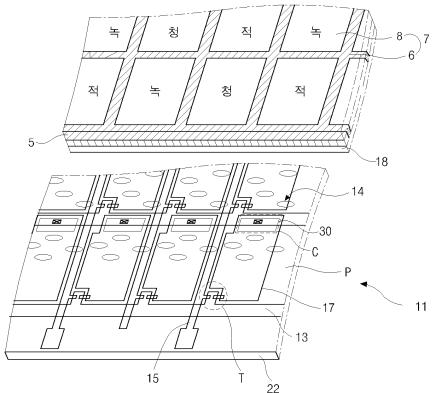
<23> <도면의 주요부분에 대한 간단한 설명>

- |                    |                |
|--------------------|----------------|
| <24> 300 : 기판      | 310 : 제 1 공통전극 |
| <25> 312 : 게이트 절연막 | 324 : 데이터 배선   |

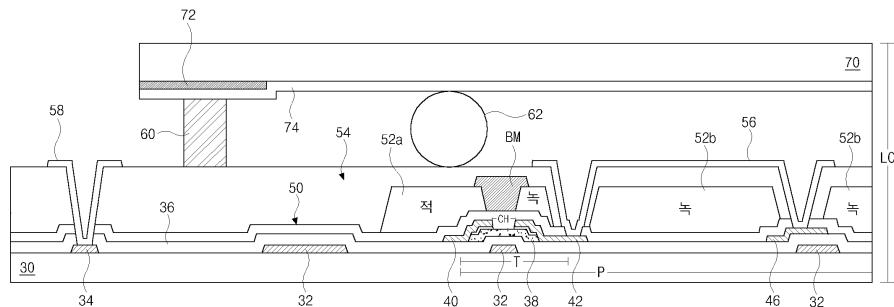
- |      |                    |                   |
|------|--------------------|-------------------|
| <26> | 328 : 보호막          | 330a,b,c : 컬러필터   |
| <27> | 332 : 평탄화막         | 334 : 제 1 투명한 금속층 |
| <28> | 336 : 제 2 불투명한 금속층 | 338 : 제 3 저반사 금속층 |
| <29> | 342 : 화소 전극        | 346 : 공통 배선       |
| <30> | 348 : 제 2 공통전극     |                   |

## 도면

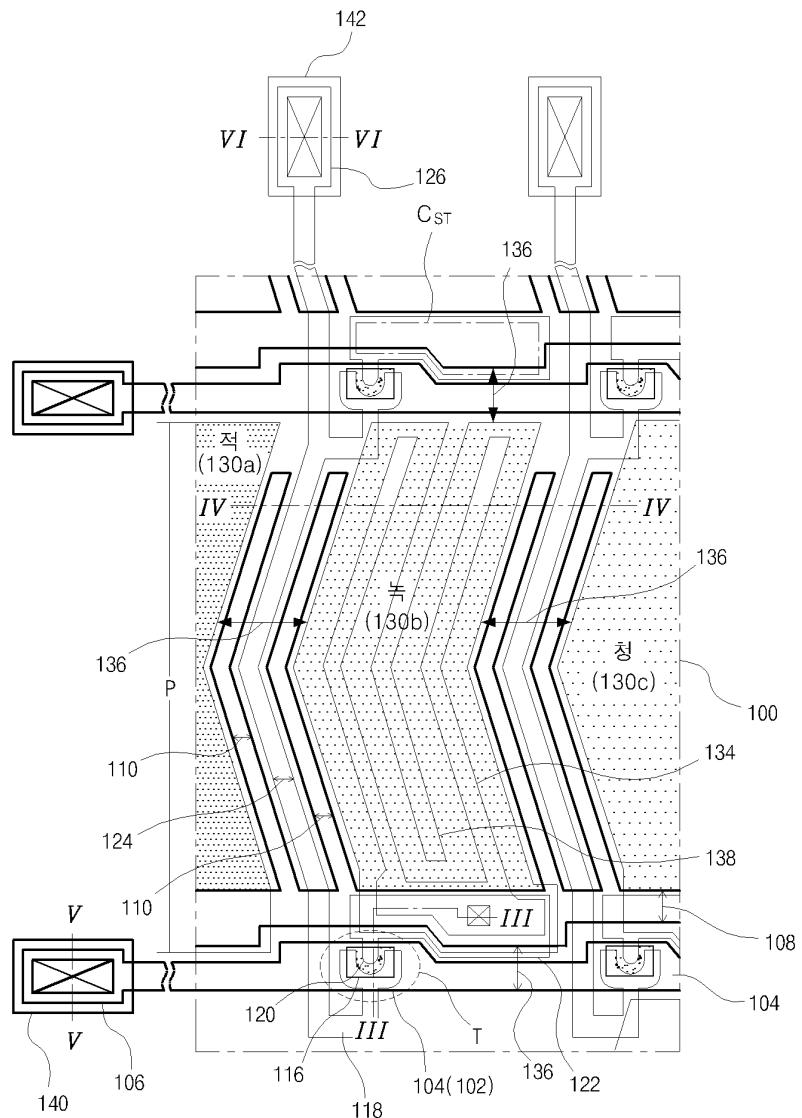
**도면1**



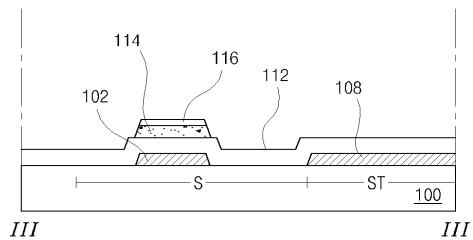
**도면2**



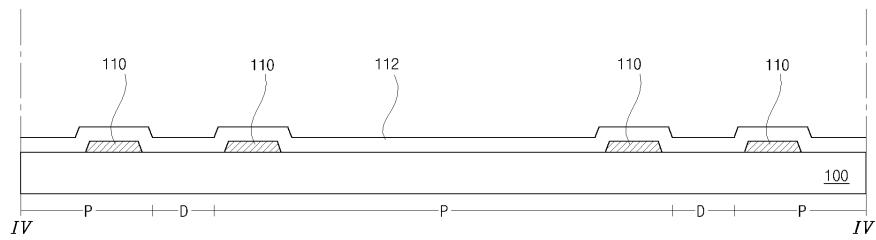
도면3



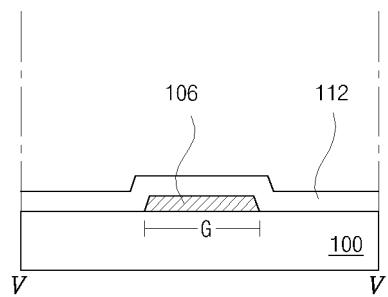
도면4a



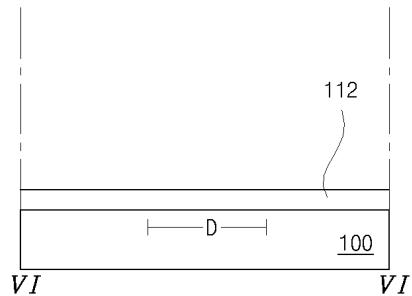
도면4b



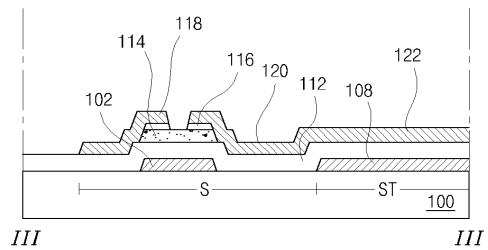
도면4c



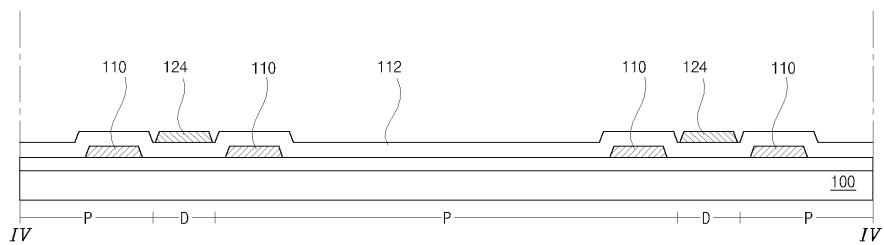
도면4d



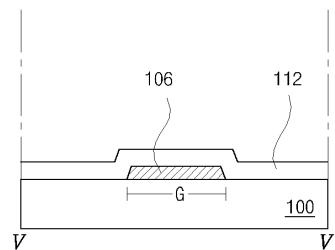
도면5a



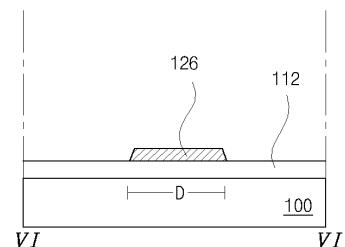
도면5b



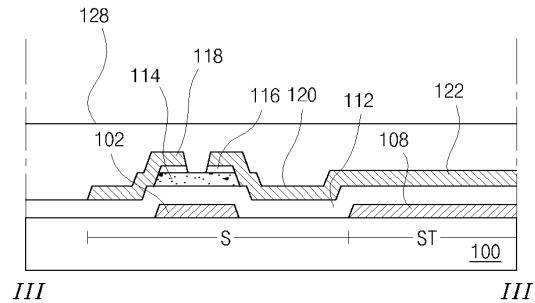
도면5c



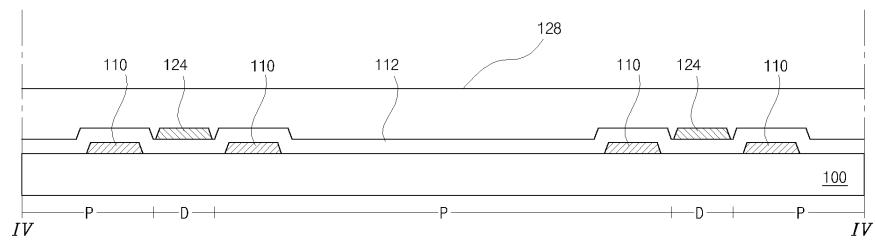
도면5d



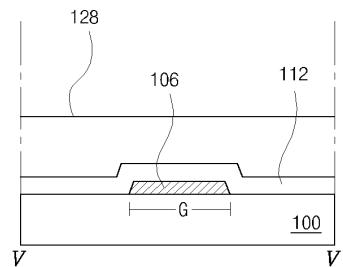
도면6a



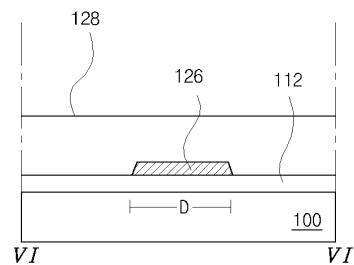
도면6b



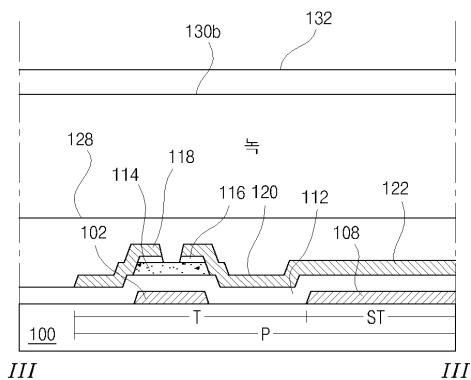
도면6c



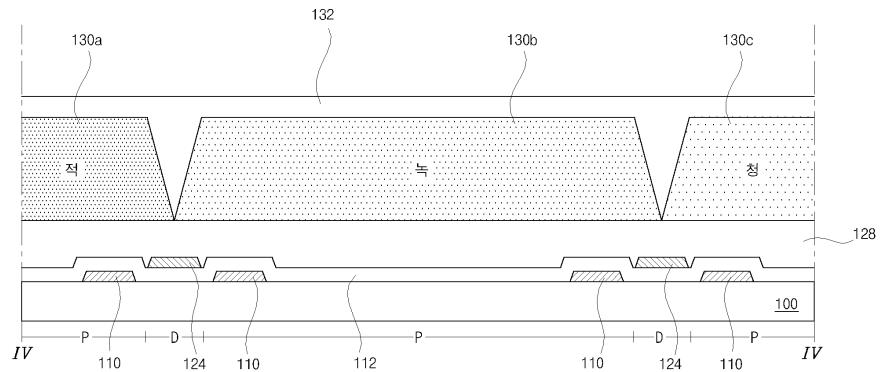
도면6d



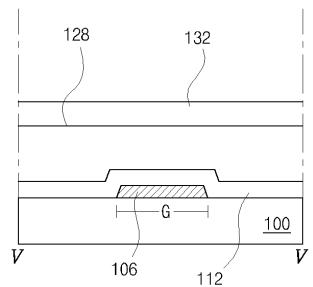
도면7a



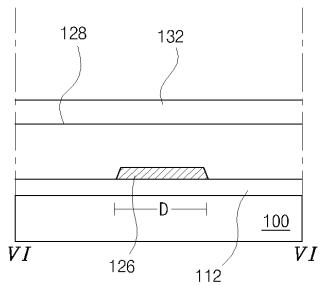
도면7b



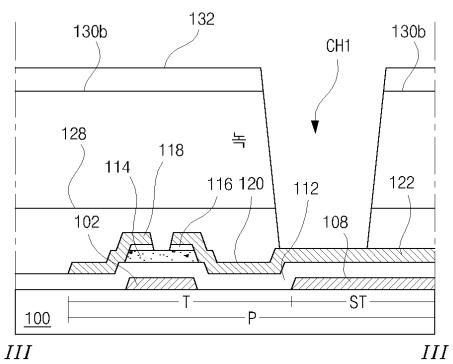
도면7c



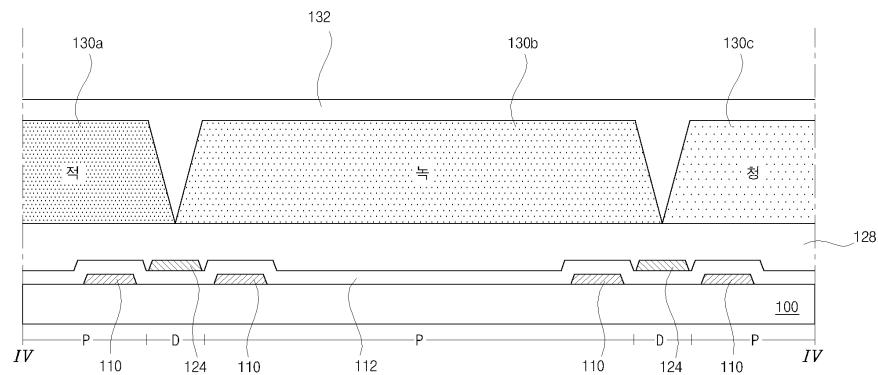
도면7d



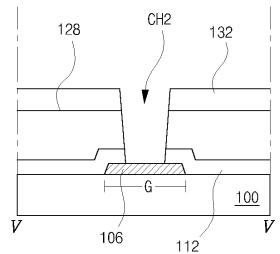
도면8a



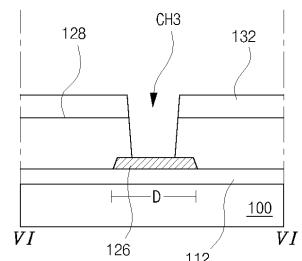
도면8b



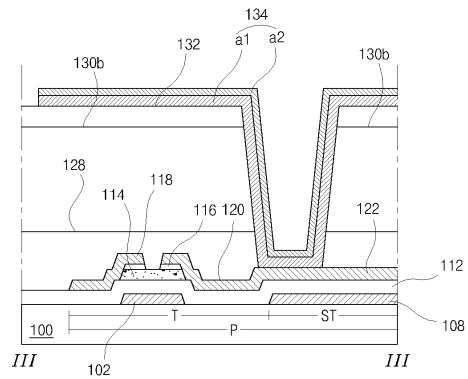
도면8c



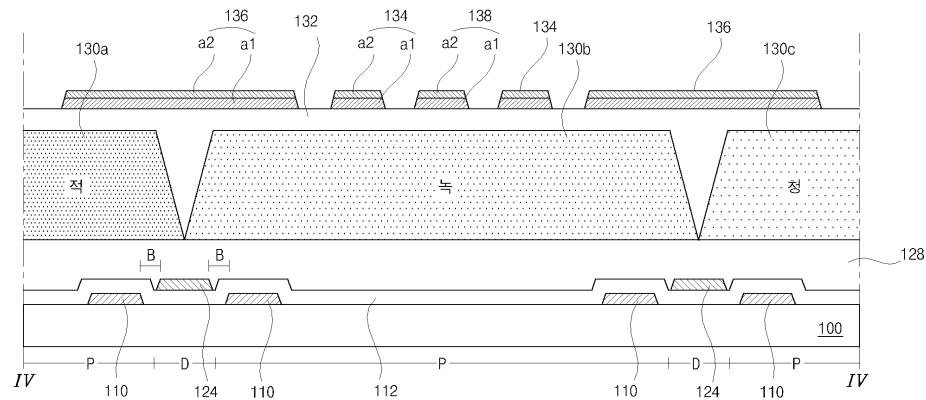
도면8d



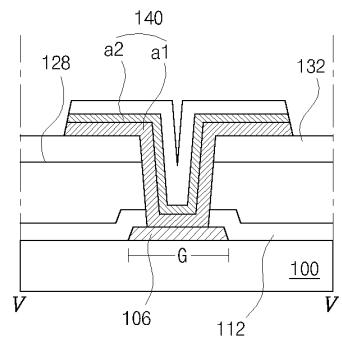
도면9a



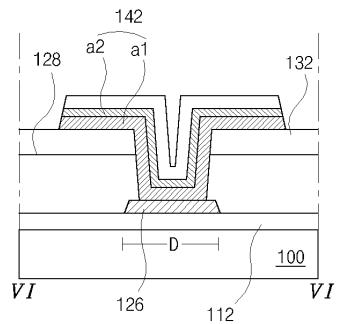
도면9b



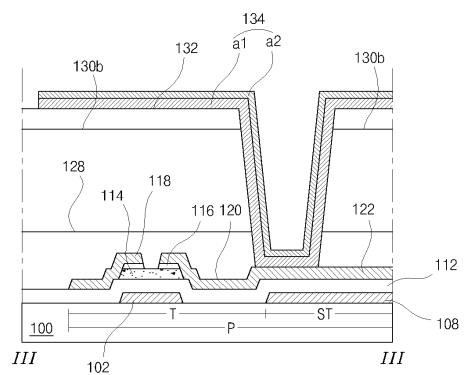
도면9c



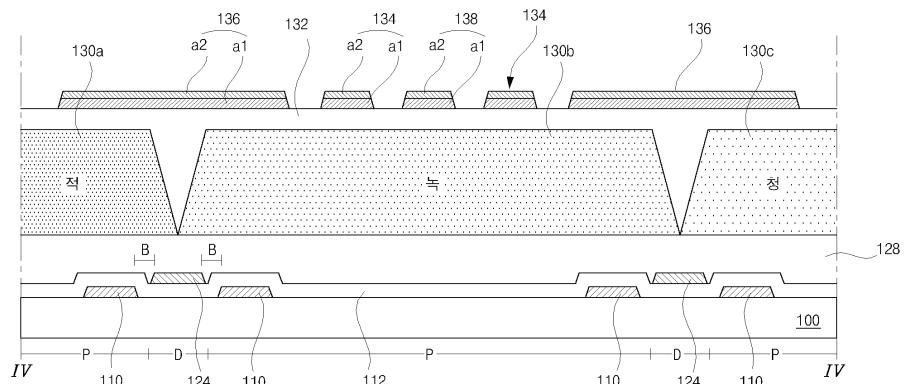
도면9d



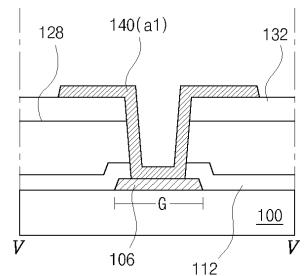
도면10a



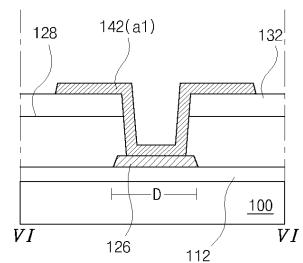
도면10b



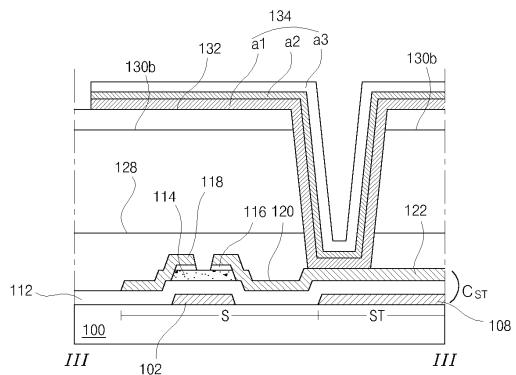
도면10c



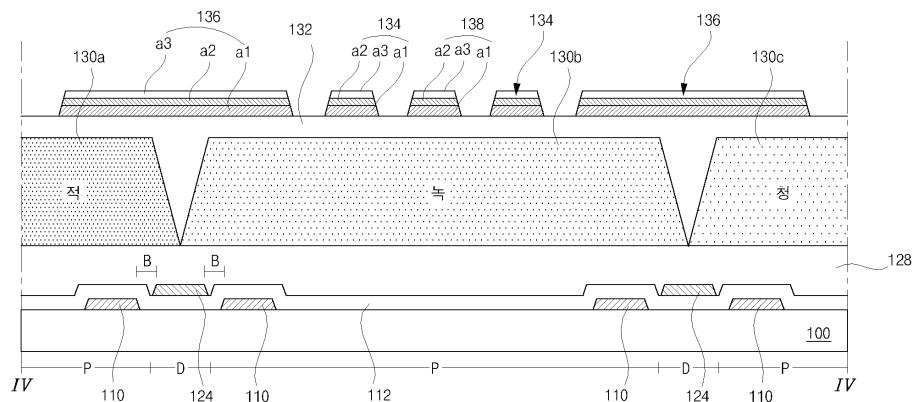
도면10d



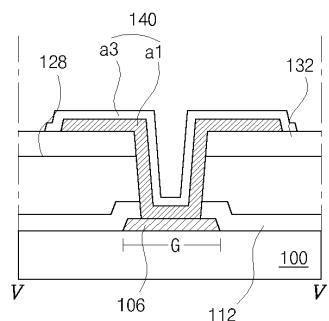
도면11a



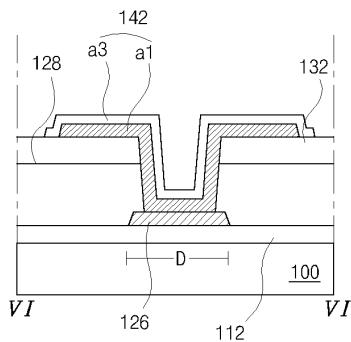
## 도면11b



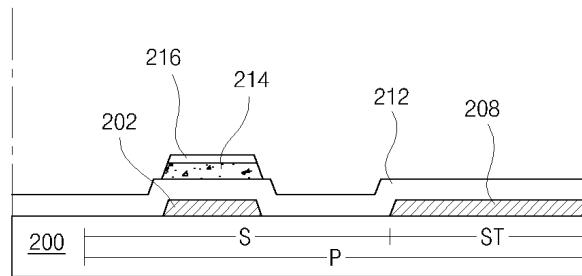
## 도면11c



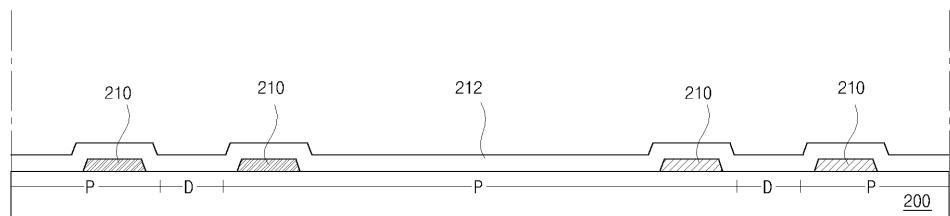
## 도면11d



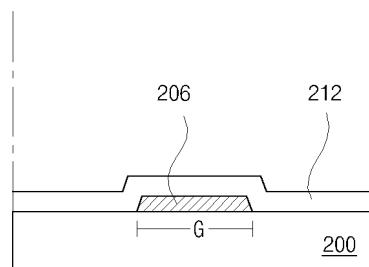
도면12a



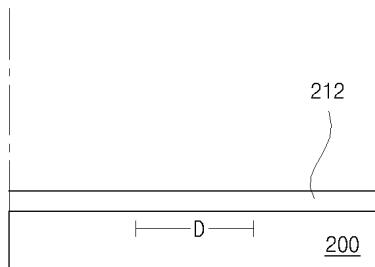
도면12b



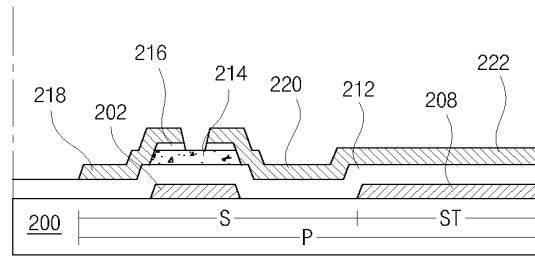
도면12c



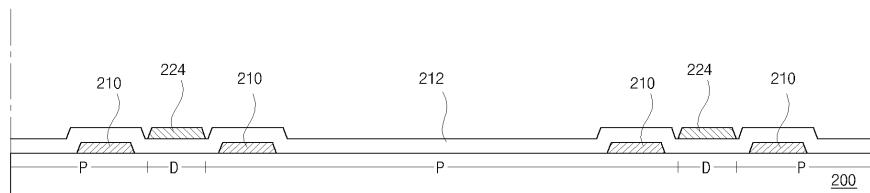
도면12d



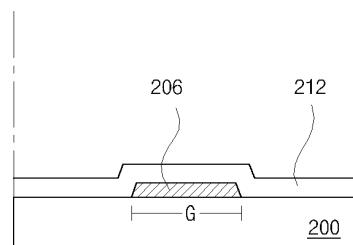
도면13a



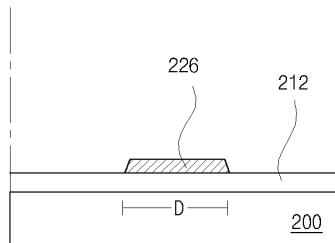
도면13b



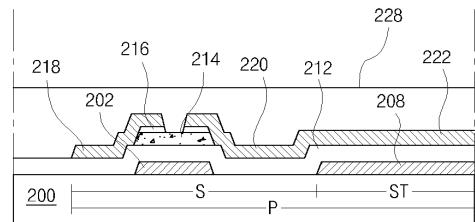
도면13c



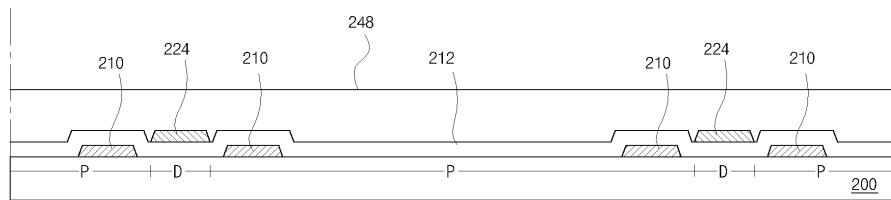
도면13d



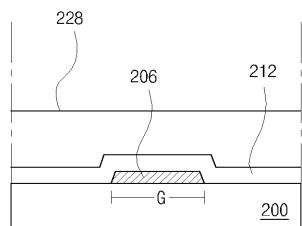
도면14a



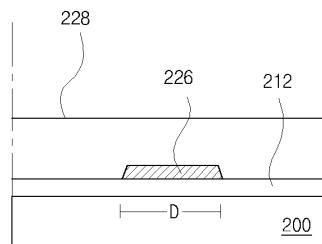
도면14b



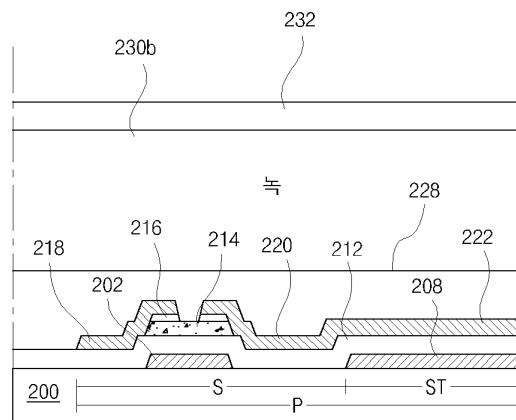
도면14c



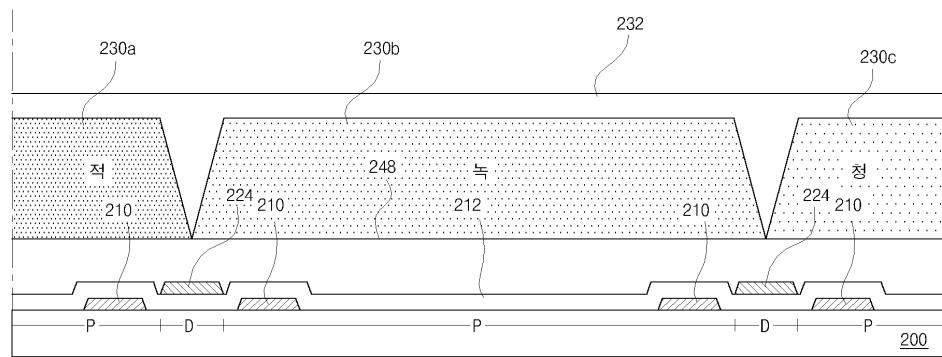
도면14d



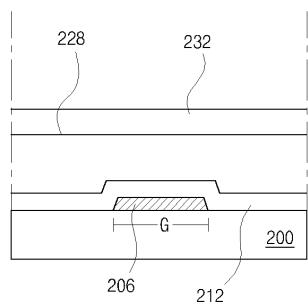
도면15a



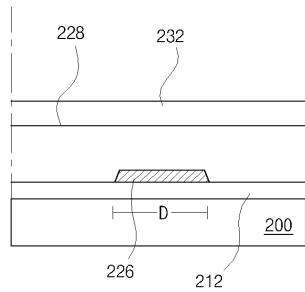
도면15b



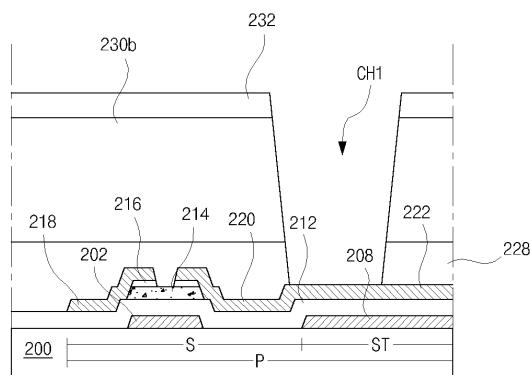
도면15c



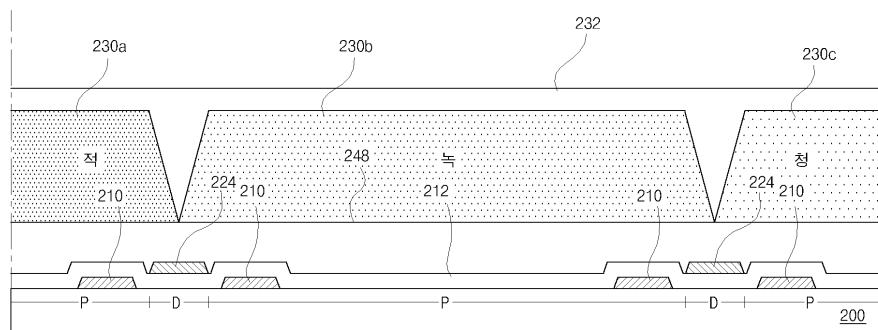
도면15d



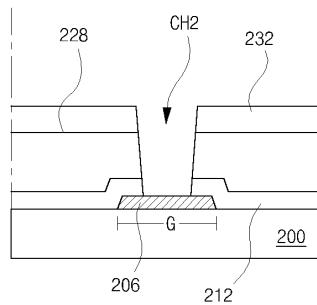
도면16a



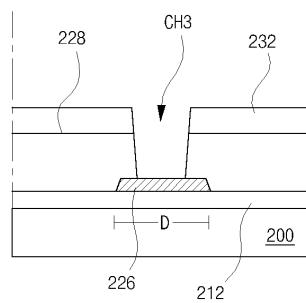
도면16b



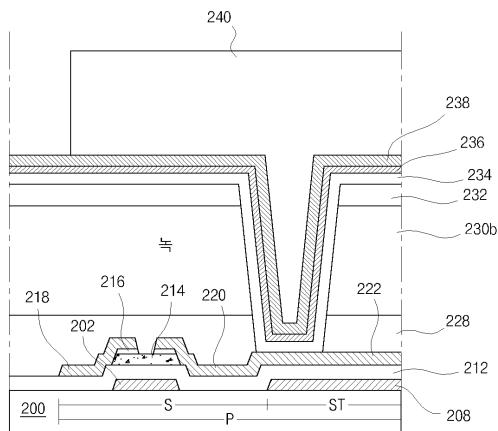
도면16c



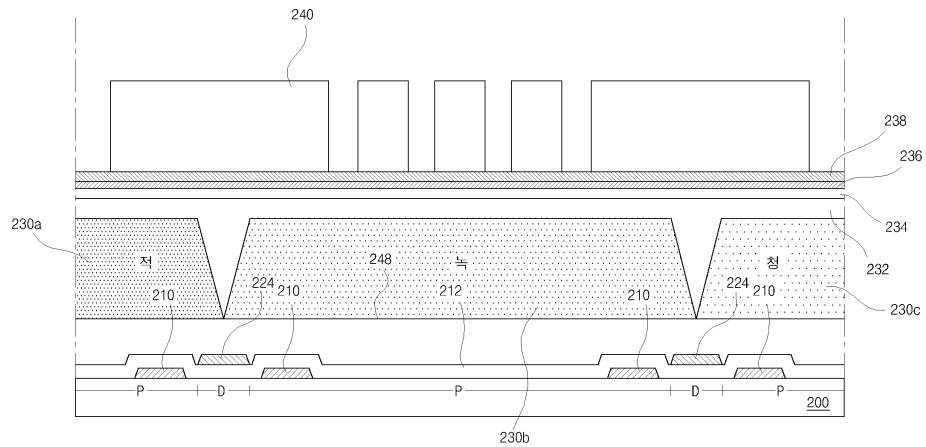
도면16d



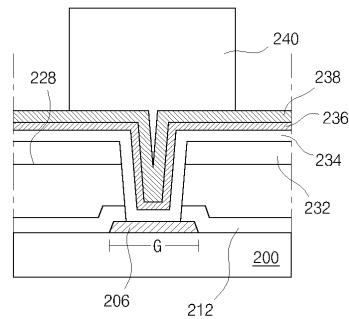
도면17a



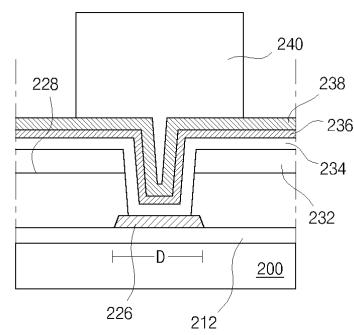
도면17b



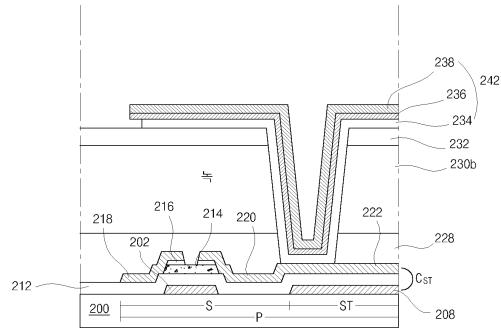
도면17c



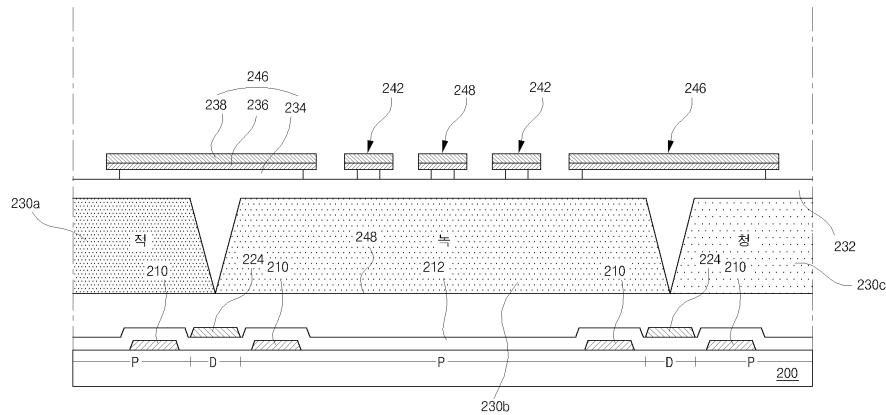
도면17d



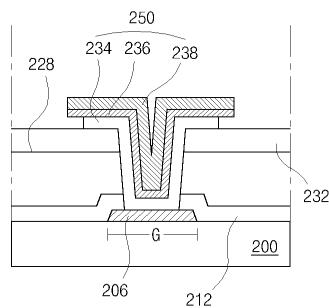
### 도면18a



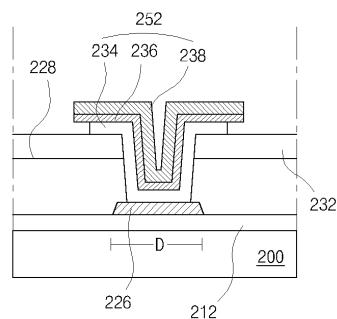
도면18b



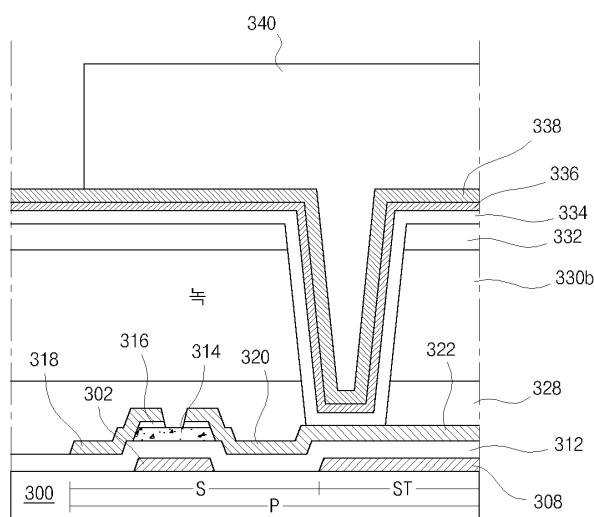
도면18c



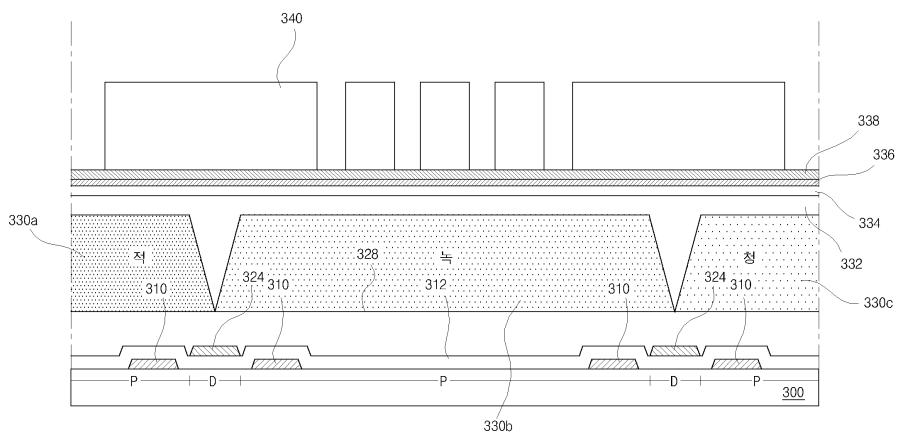
도면 18d



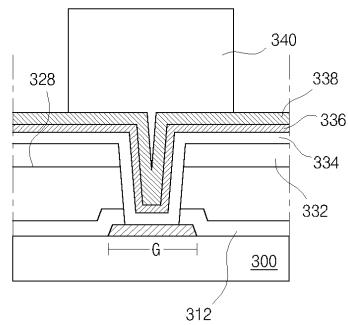
도면19a



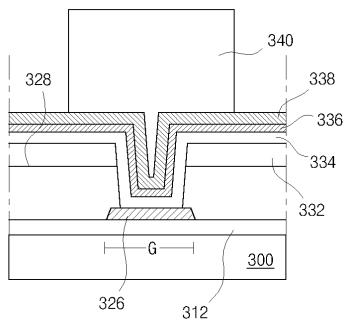
### 도면 19b



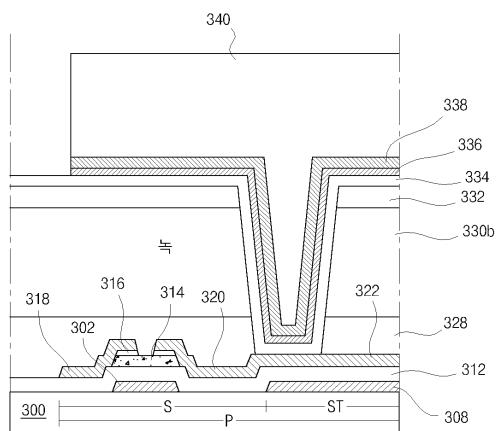
도면19c



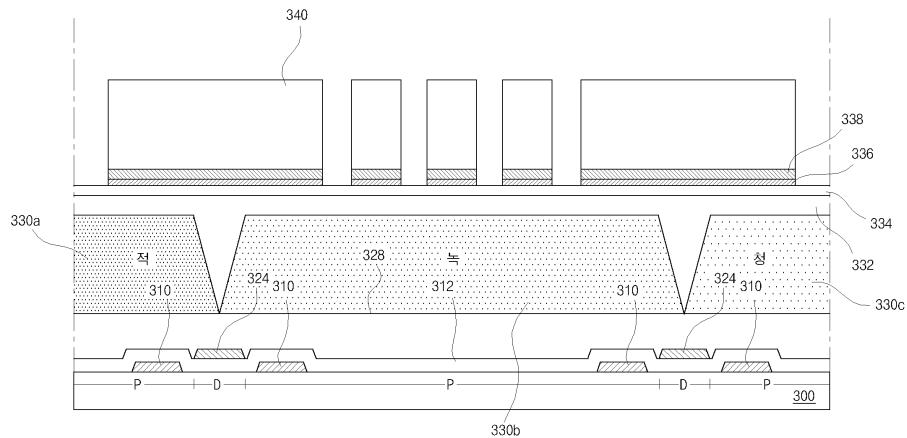
도면19d



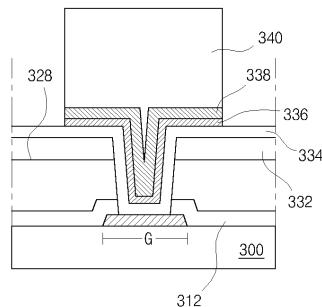
도면20a



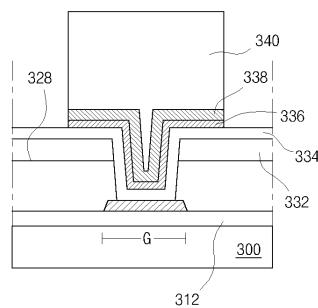
도면20b



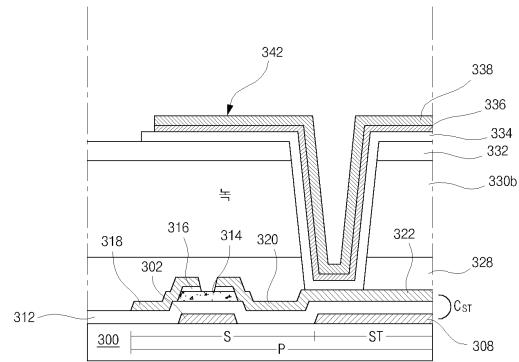
도면20c



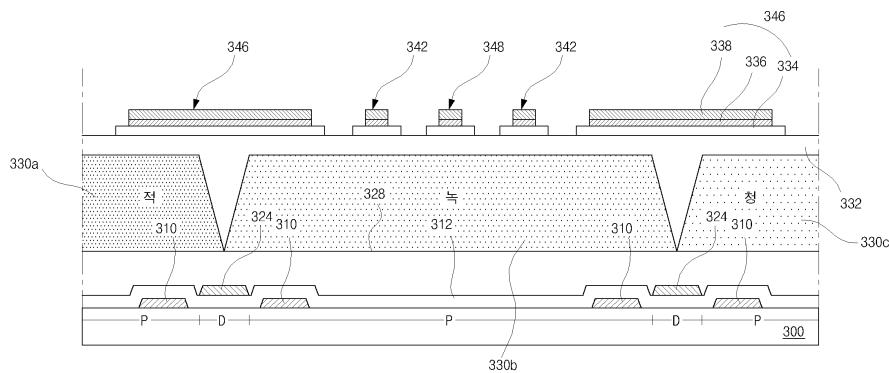
도면20d



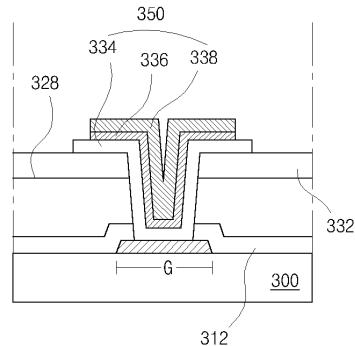
## 도면21a



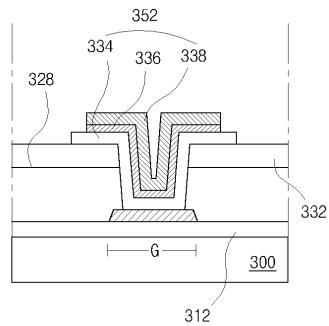
도면21b



도면21c



도면21d



도면22

