

(12) 发明专利

(10) 授权公告号 CN 1542929 B

(45) 授权公告日 2012.05.30

(21) 申请号 200410035166.3

(22) 申请日 1994.03.12

(30) 优先权数据

78997/93 1993.03.12 JP

78998/93 1993.03.12 JP

(62) 分案原申请数据

94104268.5 1994.03.12

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 张宏勇 高山彻 竹村保彦

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 叶恺东

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 21/28(2006.01)

H01L 21/285(2006.01)

(56) 对比文件

US 4746628 A, 1988.05.24, 全文.

US 5064775 A, 1991.11.12, 全文.

US 5037766 A, 1991.08.06, 全文.

US 4943837 A, 1990.07.24, 全文.

审查员 刘晓燕

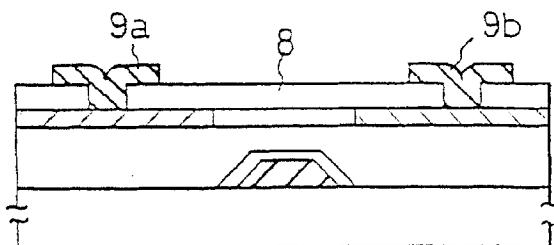
权利要求书 1 页 说明书 8 页 附图 4 页

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本发明涉及半导体器件的一种制造方法，其特征在于，它包括下列步骤：在具有绝缘表面的衬底上形成一层晶体半导体膜；在所述晶体半导体膜上通过利用四乙氧基硅烷形成包括二氧化硅的栅绝缘膜；形成邻近所述晶体半导体膜的栅电极，其中所述栅绝缘膜插入在所述晶体半导体膜和所述栅电极之间，所述栅电极包括从由钽、钛、钨、钼和硅组成的组中选取的一种材料；以及通过所述栅绝缘膜向所述晶体半导体膜中引入杂质元素，从而在所述晶体半导体膜中形成至少一个杂质区。



1. 一种制造半导体器件的方法,其特征在于,它包括下列步骤:
在具有绝缘表面的衬底上形成非晶半导体膜;
使所述非晶半导体膜结晶以便形成晶体半导体膜;
在所述晶体半导体膜上通过利用四乙氧基硅烷、氧和三氯乙烯形成氧化硅膜作为栅绝缘膜;
形成邻近所述晶体半导体膜的栅电极,其中所述栅绝缘膜插入在所述晶体半导体膜和所述栅电极之间,所述栅电极包括从由钽、钛、钨、钼和硅组成的组中选取的一种材料;
在形成所述栅电极之后,通过所述栅绝缘膜向所述晶体半导体膜中引入杂质元素,从而在所述晶体半导体膜中形成至少一个杂质区;
将浓度在 $1\times 10^{17}\text{cm}^{-3}$ 到 $1\times 10^{20}\text{cm}^{-3}$ 之间的催化材料引入杂质区;以及
退火以便激活杂质元素。
2. 根据权利要求1所述的制造半导体器件的方法,其特征在于,还包括以下步骤:
形成包括氮化钛和铝的导电膜,所述导电膜电连接到所述杂质区。
3. 根据权利要求1所述的制造半导体器件的方法,其特征在于,还包括以下步骤:
在所述栅电极之上通过利用四乙氧基硅烷形成氧化硅膜作为层间绝缘膜。
4. 根据权利要求1所述的方法,其特征在于,所述退火是在含氮气氛中进行的。
5. 根据权利要求1至3的任何一项所述的方法,其特征在于,所述杂质元素是磷。
6. 根据权利要求1至3的任何一项所述的方法,其特征在于,通过等离子化学汽相沉积形成所述栅绝缘膜。
7. 根据权利要求3所述的方法,其特征在于,通过等离子化学汽相沉积形成所述层间绝缘膜。
8. 根据权利要求1所述的方法,其特征在于,所述退火在 580°C 或低于 580°C 。

半导体器件的制造方法

[0001] 本申请是申请号为 98116322. X、申请日为 1994 年 3 月 12 日的原案申请的分案申请，该原案的首个在先申请为 JP93-78997，首个在先申请日为 1993 年 3 月 12 日。

技术领域

[0002] 本发明涉及一种薄膜晶体管 (TFT) 及其制造方法。依本发明的薄膜晶体管可以做在诸如玻璃的绝缘衬底上，也可做在如由晶体硅制成的衬底上。特别是本发明涉及一种通过结晶化和热退火激活等工艺步骤来制造的薄膜晶体管。

背景技术

[0003] 近来，对包含一绝缘衬底并在其上设有一薄膜有源层（有时也称之为有源区）的绝缘栅型半导体器件进行了有效地研究。特别是，对薄膜型绝缘栅晶体管即通常所说的薄膜晶体管 (TFT) 的研究付出了极大的努力。将多个 TFT 做在透明的绝缘衬底上，主要是为了用它们来控制矩阵驱动显示装置的每个象素或驱动电路。根据 TFT 所用的半导体的材料和状态，可将 TFT 分为非晶硅 TFT 和结晶硅 TFT。

[0004] 在上述的诸多 TFT 中，非晶 TFT 的制造可不必经受高温工艺过程。非晶 TFT 早已投入实用，因为当把它们制做在大面积衬底上时，其成品率高。一般在实际的非晶硅 TFT 中采用倒梯型（也称之为底栅型）非晶硅 TFT。此类非晶硅 TFT 的栅电极设在有源区的下方。

[0005] 制造现有的 TFT 的工艺步骤包括：在一衬底上形成一栅电极；形成做为栅绝缘膜的非晶硅膜和有源层；以及在非晶硅膜上形成一 N 型结晶细密的硅膜，以设置源和漏区。然而、由于 N 型硅膜与作为基底而设置的非晶硅膜的腐蚀速率几乎相同，所以该工艺要求额外的步骤，例如设置一腐蚀终止层和类似层。

[0006] 作为一种克服上述问题的措施，提供一种用离子掺杂工艺，将高速离子直接注入到非晶硅膜中形成源和漏的方法。

[0007] 但该法尚有不尽如意之处，因为它产生的离子注入区的结晶性被明显损伤。这些区的电导率低，因而尚不适于实用。也曾提出，用激光束和类似的光能使这些区退火，以增大其结晶性，然而，此法不适用于批量生产。

[0008] 目前实际有用的方法是靠加热使非晶硅结晶化的方法。但是此法要求在 600°C 或以上的温度的退火。因而由于衬底的问题此工艺也不受欢迎。更具体地说，一般用于非晶硅 TFT 的元碱玻璃衬底在 600°C 或低一些温度下即开始变形（如 Corning[®] 7059 玻璃衬底软化点在 593°C）。在 600°C 的退火会使玻璃衬底收缩或变形。

[0009] 而且，600°C 的退火会损伤先前在低温下制作的非晶硅的特性。更具体地说，使有源区也经受在 600°C 的结晶化，而完全丧失了有利的特性，即非晶硅 TFT 不再具有它的低漏电流之特征。这问题要求结晶化工艺能在更低温度下进行（最好是在低于玻璃的变形温度 50°C 或再低些的温度）。

[0010] 一般，处于非晶态的半导体具有低的电场迁移率。因而，它们不能用于要求高速运作的 TFT。而且，P 型非晶硅的电场迁移率极低。这就使 P 沟 TFT (PMOS TFT) 的制造行不通。

以此推断得不到互补的 MOS 电路,因为为实现 CMOS 必须 P 沟 TFT 与 N 沟 TFT(NMOS TFT) 相结合。

[0011] 与非晶半导体相比,晶体半导体具有更高的电场迁移率,因而适用于高速运作的 TFT。结晶硅的优点还在于,用它容易制作 CMOS 电路,因为由结晶硅不仅能得到 NMOS TFT,而且还能得到 PMOS TFT。因此提出一种具有称为单片结构的有源矩阵驱动的液晶显示器,不仅在有源矩阵部分,而且在外围电路(例如驱动电路)均由 CMOS 的晶体 TFT 组成。由于这些原因,使得对使用结晶硅的 TFT 的研究及开发最近更加活跃。

[0012] 对非晶硅用激光或光强相等的强光辐照可以得到结晶硅。然而,此工艺不适于批量生产;而且不稳定,因为激光输出本身就不稳定,还因为工艺过程太短。

[0013] 一种使非晶硅结晶化的实际可行的工艺最近是采用热处理,即热结晶化。此工艺能生产出质量均匀的结晶硅,不管批量如何。但该工艺仍存在问题,尚待解决。

[0014] 一般,热结晶化要求在大约 600°C 实施长时间的退火,或在高达 1000°C 温度,或甚至更高的温度退火。后种工艺使得对衬底材料的选择变窄,因为它不能应用于除石英衬底以外的衬底,前述的处理还有另一些问题。

[0015] 具体地说,使用廉价的无碱玻璃衬底(如 Corning[#]7059 玻璃衬底)来制造 TFT 的工艺过程包括:

[0016] 在衬底上淀积一层非晶硅膜;

[0017] 在 600°C 或更高的温度经 24 小时或更长的时间使非晶硅膜结晶化;

[0018] 淀积一层栅绝缘膜;

[0019] 形成栅电极;

[0020] 引入杂质(用离子注入或离子掺杂);

[0021] 在 600°C 或更高的温度经 24 小时或更长的时间退火使掺入的杂质激活;

[0022] 形成层间绝缘体;以及

[0023] 形成源和漏区。

[0024] 在上述工艺步骤中,发现第六步使掺入的杂质激活最成问题。大多数无碱玻璃在 600°C 附近(如 Corning[#]7059 玻璃的软化温度为 593°C)会变形。这就意味着,在该步必须考虑衬底的收缩。在第二步中,即退火步骤,衬底的收缩是不成问题的,因为还未在衬底上构成图形。然而,在第六步,在衬底上已构成电路图形,若衬底收缩,则在后几步不能进行掩模对准。这显然会降低成品率。这就要求在较低的温度下进行第六步,最好在比玻璃变形温度低 50°C 或再低些的温度下进行。

[0025] 如前所述,使用激光可降低工艺温度。但是该工艺的可靠性差,因为不仅激光不稳定,而且还由于在被激光辐照的部位(源和漏区)与未被激光辐照的部位(有源区即栅电极下方的区域)之间的温升不同而产生应力。

发明内容

[0026] 因而使用激光来制造 TFT 是困难的,目前尚未发现其它有效的措施来克服这些问题。本发明为上述困难提供一种解决办法。即本发明之目的在于提出一种克服上述问题并适于批量生产的工艺。

[0027] 作为本发明者们广泛研究的结果,发现基本上为非晶的硅膜的结晶化可借助加入

微量催化材料而被加速。按此方法,结晶化可以在较低的温度较短的时间内完成。优选的催化材料包括一些纯金属即:镍(Ni)、铁(Fe)、钴(Co)和铂(Pt),或一种化合物,如本文所列举的元素的硅化物。具体地说,根据本发明的工艺包括:在非晶硅膜之上或之下并与之接触形成一种含有薄膜、颗粒、团块等形状的催化元素的材料,以及在一适当的温度,一般在580°C或再低些,最好在550°C或再低些将形成的材料热退火使之结晶化。另一种方法是,不必形成一种含催化元素与非晶硅膜接触的材料,代之以用诸如离子注入等方法将催化元素掺入非晶硅膜中。

[0028] 当然,提高退火的温度可以缩短结晶化的周期。而且,随着镍、铁、钴或铂浓度的增加而使结晶化的周期变短、结晶化的温度变低。通过深入的研究,本发明者们发现,至少一种上述催化元素的掺入浓度在 $1 \times 10^{17} \text{ cm}^{-3}$ 以上方能加速结晶化,其浓度最好在 $5 \times 10^{18} \text{ cm}^{-3}$ 或更高些。

[0029] 但,上列各催化材料对硅不利。因而,最好将其浓度控制到尽可能低的水平。通过研究,本发明者们发现总浓度的优选范围在 $1 \times 10^{20} \text{ cm}^{-3}$ 或再低些。特别是,在有源层,催化材料的浓度必须控制到 $1 \times 10^{18} \text{ cm}^{-3}$ 或以下,最好低于 $1 \times 10^{17} \text{ cm}^{-3}$,低于 $1 \times 10^{16} \text{ cm}^{-3}$ 则更好。

附图说明

[0030] 图1(A)-1(E)示意表示按本发明的一个实施方案(实施例1)的工艺所得到的按顺序的结构剖面图;

[0031] 图2(A)-2(E)示意表示按本发明的另一实施方案(实施例2)的工艺所得到的按顺序的结构剖面图;

[0032] 图3(A)-3(E)示意表示按本发明的又一实施方案(实施例3)的工艺所得到的按顺序的结构剖面图;以及

[0033] 图4(A)-4(E)示意表示按本发明的再一个实施方案(实施例4)的工艺所得到的按顺序的结构剖面图。

具体实施方式

[0034] 如前所述,本发明者们已注意到催化元素的作用,并发现可以利用这些元素来克服已有技术工艺中的问题。一种依本发明的一实施方案制作TFT的工艺包括:

[0035] 形成一栅电极;

[0036] 淀积一栅绝缘膜;

[0037] 淀积一层非晶硅膜;

[0038] 用离子注入或离子掺杂将杂质引入非晶硅膜内;

[0039] 在该硅膜上形成含一种催化元素的物质膜;

[0040] 在550°C或550°C以下热处理不长于8小时使掺入的杂质激活;以及

[0041] 形成源和漏电极。

[0042] 一种按本发明另一实施方案的工艺包括:

[0043] 形成一栅电极;

[0044] 淀积一层栅绝缘膜;

[0045] 淀积一层非晶硅膜;

- [0046] 用离子注入或离子掺杂将杂质引入非晶硅膜；
- [0047] 用离子注入或离子掺杂将催化元素引入该硅膜；
- [0048] 在 550°C 或低于 550°C 热处理不长于 8 小时使掺入的杂质激活；以及
- [0049] 形成源和漏电极。
- [0050] 在上述工艺步骤中，第四步与其后的一步之次序是可调换的。即，掺杂步骤既可在引入催化元素步骤之前，也可在其后进行。主要是引入源和漏区的催化元素显著地加速了这两区的结晶化。因此在 550°C 或以下的温度足以能完成激活，一般在 500°C 或再低些温度进行。退火 8 小时或更短些，一般是退火 4 小时或更短些已足够。特别是，发现当用离子注入或离子掺杂将催化元素引入硅膜时，结晶化进行得极其迅速，因为发现元素是均匀地分布在硅膜中。
- [0051] 在杂质掺杂中，可使用掩模将催化元素掺入硅膜中。按自对准方式，从栅电极背后照射可以得到该掩模。
- [0052] 另一种按本发明的又一实施方案制作 TFT 的工艺包括：
- [0053] 淀积一层非晶硅膜；
- [0054] 将非晶硅膜在 600°C 或其以上的温度加热 24 小时或更长些，使其结晶化；
- [0055] 淀积一层栅绝缘膜；
- [0056] 形成一栅电极；
- [0057] 用离子注入或离子掺杂将杂质引入非晶硅膜；
- [0058] 在硅膜上淀积一层含一种催化元素的膜；
- [0059] 在 600°C 或其以下热处理不长于 8 小时使掺入的杂质激活；
- [0060] 形成层间绝缘体；以及
- [0061] 形成源和漏电极。
- [0062] 再一种按本发明的一实施方案制作 TFT 的工艺包括：
- [0063] 淀积一层非晶硅膜；
- [0064] 在 600°C 或其以上将非晶硅膜加热 24 小时或更长些，使其结晶化；
- [0065] 淀积一层栅绝缘膜；
- [0066] 形成一栅电极；
- [0067] 用离子注入或离子掺杂将杂质引入非晶硅膜；
- [0068] 用离子注入或离子掺杂将一种催化元素引入该硅膜；
- [0069] 在 600°C 或其以下热处理不长于 8 小时使掺入的杂质激活；
- [0070] 形成层间绝缘体；以及
- [0071] 形成源和漏电极。
- [0072] 在上述工艺步骤中，第 5 步和其下一步的次序可以颠倒。即，掺杂步骤既可在引入催化元素步骤之前也可在其后进行。主要是引入源和漏区的催化元素显著地加速了这两区的结晶化。因而，在 600°C 或其以下足以进行激活，一般在 550°C 或其以下。对退火而言，8 小时或短些，一般用 4 小时或短些已经足够。特别是，当用离子注入或离子掺杂将催化元素引入硅膜时，发现结晶化进行得极其迅速，因为发现元素均匀分布在硅膜中。
- [0073] 本发明的工艺之特征在于，该工艺包括，加入对硅不利的催化元素，但在有源区的浓度被压到极低水平 $1 \times 10^{18} \text{ cm}^{-3}$ 或其以下。即，所有的前述工艺均包括，在掺杂时为有源区

提供一掩模或栅电极。因而，催化元素不会直接接触到或注入进有源区。而保持 TFT 的可靠性和特性不被削弱。特别是，将 Ni 掺入杂质区其浓度为有源区的 10 倍或以上，再择优设定退火温度和时间，可以使杂质区被激活并同时保持非晶态。因为退火是在热平衡下完成的，不会碰到激光退火中出现的温度差。

[0074] 下面参照非限定的实施例，对本发明做更详细的说明。但应了解此非对本发明的限制。

[0075] 实施例 1

[0076] 图 1 表示按本发明的一个实施方案的工艺所得到的按步序的结构剖面图。参照图 1，在 Corning[#]7059 玻璃衬底 1 上形成一层厚度为 3000–8000 Å 钽膜，并构成图形，形成栅电极 2。然后，将钽膜表面阳极氧化，形成厚度为 1000–3000 Å 例如 2000 Å 的阳极氧化膜 3。然后用等离子 CVD 淀积一层厚度为 1000–5000 Å 例如 1500 Å 的氮化硅膜 4。紧接着用等离子 CVD 在其上淀积一层厚度为 200–1500 Å 例如 500 Å 的本征 (I-型) 非晶硅膜。将最后得到的非晶硅膜构图得到半导体区域 5，如图 1(A) 所示。

[0077] 将所得到衬底表面被覆以光刻胶，并从衬底背面曝光，以形成与栅电极图形一致的掩模 6，如图 1(B) 所示。

[0078] 用离子掺杂，使用所得到的掩模 6，将磷作为杂质注入半导体区 5。用磷化氢 (PH₃) 作为掺杂气体进行离子掺杂，所用的加速电压在 60–90KV，例如 80KV，所用的剂量在 1×10^{15} – $8 \times 10^{15} \text{ cm}^{-2}$ 范围。在此情况下，磷的掺入剂量为 $2 \times 10^{15} \text{ cm}^{-2}$ 。以此方法形成 N 型杂质区 7a 和 7b，如图 1(C) 所示。

[0079] 然后，用掩模 6 通过离子掺杂注入镍离子。所用的剂量为 2×10^{13} – $2 \times 10^{14} \text{ cm}^{-2}$ ，更具体地讲例如是 $5 \times 10^{13} \text{ cm}^{-2}$ 。其结果，发现镍在 N 型杂质区 26a 和 26b 中的浓度大约 $5 \times 10^{18} \text{ cm}^{-3}$ 。如此就得到了如图 1(D) 所示的结构。

[0080] 然后，将所得结构在含分压强最好为 0.1–1 大气压的氢的氢气氛中在 500°C 退火 4 小时。以此方法激活杂质。因为镍离子已事先注入到杂质区，由于镍对结晶化的催化作用，发现在这些区域中的结晶化被加快了。这样就激活了杂质区 7a 和 7b。

[0081] 随后用等离子 CVD 淀积 3000 Å 厚的氧化硅膜 8，作为层间绝缘体，在其上形成接触孔以便为 TFT 的源和漏区，用含金属材料如氮化钛和铝的多层膜，建立带互连 9a 和 9b 的电极。这就完成了一个完整的薄膜晶体管，如图 1(E) 所示。

[0082] 用二次离子质谱仪 (SIMS) 测量按上述工艺制得的 TFT 的杂质区和有源区的镍浓度。测得杂质区含镍浓度为 1×10^{18} – $5 \times 10^{18} \text{ cm}^{-3}$ 。这与低于探查极限 $1 \times 10^{16} \text{ cm}^{-3}$ 的有源区的浓度形成明显的对照。

[0083] 实施例 2

[0084] 图 2 表示用本发明的一实施方案所得到的各步序结构的剖面图。参照图 2，在 Corning[#]7059 玻璃衬底 11 上形成厚度为 3000–8000 Å 例如 5000 Å 的钽膜，并构图形成栅电极 12。然后，用阳极氧化法，使钽膜的表面形成厚度为 1000–3000 Å 例如 2000 Å 的阳极氧化膜。然后，用等离子 CVD 法淀积厚度为 1000–5000 Å 例如为 1500 Å 的氮化硅膜 14。紧接着，在其上用等离子 CVD 淀积厚度为 200–1500 Å 例如在本例中为 500 Å 的本征 (I 型) 非晶硅膜。将得到的非晶硅膜构图以得到半导体区 15，如图 2(A) 所示。

[0085] 在所得衬底的表面上被覆一层光刻胶,从衬底的背面曝光以形成与图 2(B) 所示栅电极图形一致的掩模 16。

[0086] 通过离子掺杂法,用所得的掩模 16,以磷作杂质注入半导体区 15。用磷化氢 (PH_3) 作掺杂气体完成离子掺杂,所加的加速电压在 60–90KV,例如用 80KV,剂量在 1×10^{15} – $8 \times 10^{15} \text{cm}^{-2}$ 。在本例中掺入磷所用的剂量为 $2 \times 10^{15} \text{cm}^{-2}$ 。以此方式,形成了 N 型杂质区 17a 和 17b,如图 2(C) 所示。

[0087] 然后,用溅射法在整个表面上淀积厚度为 5–200 Å 例如 20 Å 的一层硅化镍膜(以化学式表达为 NiSi_x ,此处 X 为 0.4–2.5 例如 2.0) 18。由于所得到的膜薄至大约 20 Å,看来好像一些团粒,而不像连续的膜。在本例中膜的外观并不那么重要。这样就得到了如图 2(D) 所示之结构。

[0088] 然后,将所得结构在含氢的气氛中退火,所用的温度为 450°C,时间 4 小时,氢的分压强最好为 0.1–1 大气压。以此方式,激活杂质。因为硅化镍膜 18 是预先淀积的,由它扩散镍原子,对 N 型杂质区 17a 和 17b 的结晶化起催化剂作用。这样就加速了这些区的结晶化,使杂质区 17a 和 17b 激活。

[0089] 随后,用等离子 CVD 淀积一层 3000 Å 厚氧化硅膜 19 作为层间绝缘体,并在其上形成接触孔,以便为 TFT 的源和漏区,用含金属材料如氮化钛和铝的多层膜,建立带互连 20a 和 20b 的电极。这就完成了一个完整的薄膜晶体管,如图 2(E) 所示。

[0090] 用二次离子质谱仪 (SIMS) 测量按上述工艺制得的 TFT 的杂质区和有源区镍的浓度。测得杂质区含镍浓度为 1×10^{18} – 3×10^{18} 。这与在 1×10^{16} – 5×10^{16} 范围的有源区浓度成鲜明的对照。

[0091] 实施例 3

[0092] 图 3 表示用本发明另一实施方案的工艺所制得的各步序结构的剖面图。参照图 3,在一块 Corning[#] 7059 玻璃衬底 110 上用溅射法形成一层 2000 Å 厚的氧化硅膜 111,作为底膜。然后,用等离子 CVD 在其上淀积厚度为 500–1500 Å,例如 1500 Å 的本征 (I 型) 非晶硅膜。然后,在氮气气氛中 600°C 退火 48 小时,使非晶硅膜结晶化。退火之后,将硅膜构成图形形成岛状硅区 112,用溅射法在其上淀积一层 1000 Å 厚的氧化硅膜 113 作为栅绝缘膜。溅射工艺是在含氧和氩的气氛中以氧化硅作为溅射的靶进行的,氩对氧之比不高于 0.5,例如为 0.1 或 0.1 以下。在工艺过程中,衬底的温度保持在 200–400°C,例如 350°C。然后,用减压 CVD 淀积厚度为 6000–8000 Å 例如 6000 Å 的含磷为 0.1–2% 的硅膜。淀积氧化硅膜的步骤最好与淀积硅膜的步骤连续进行。将所得的硅膜构图形成栅电极 114,如图 3(A) 所示。

[0093] 然后,用等离子掺杂,用栅电极作掩模,将磷作为杂质引入硅区。用磷化氢 (PH_3) 作为掺杂气体,进行掺杂,所用的加速电压为 60–90KV,例如为 80KV,所用的剂量为 1×10^{15} – $8 \times 10^{15} \text{cm}^{-2}$ 。在本实施例中所掺杂的磷的剂量为 $2 \times 10^{15} \text{cm}^{-2}$ 。以此方式,形成了 N 型杂质区 115a 和 115b,如图 3(B) 所示。

[0094] 腐蚀杂质区上的氧化硅膜 113 以露出杂质区 115,在整个表面上用溅射法淀积厚度为 5–200 Å,例如 20 Å 的硅化镍膜(用化学式 NiSi_x 表示,此处 X 为 0.4–2.5,例如 2.0) 116。由于所得的膜大约为 20 Å 之薄,看来好像团粒,不像连续膜。在本例中,该膜的

外观不那么重要。这样就得到了如图 3(C) 所示之结构。

[0095] 然后,把所得结构放入氮气氛中在 500°C 退火 4 小时以激活杂质。因为镍从预先淀积在其上的硅化镍膜扩散进入 N 型杂质区 115a 和 115b,发现经退火加速了结晶化的发生。以此方式,激活了杂质 115a 和 115b。所得结构如图 3(D) 所示。

[0096] 然后,用等离子 CVD 淀积 6000 Å 厚的氧化硅膜 117 作为层间绝缘层,以在其上开出接触孔用含金属材料,如氮化钛和铝的多层膜为 TFT 的源和漏区形成带互连 118a 和 118b 的电极。最后,将所得结构在 1 大气压的氢气氛中在 350°C 退火 30 分钟。这样就完成了一完整的薄膜晶体管,如图 3(E) 所示。

[0097] 用二次离子质谱仪 (SIMS) 测量按上述工艺制得的 TFT 的源和漏区以及有源区镍的浓度。发现源和漏区的含镍浓度为 1×10^{18} – $5 \times 10^{18} \text{ cm}^{-3}$ 。这与低于探查极限 $1 \times 10^{16} \text{ cm}^{-3}$ 的有源区的浓度成鲜明的对比。

[0098] 实施例 4

[0099] 图 4 表示用本发明另一实施方案的工艺所制得的各步序结构的剖面图。参照图 4,在一块 Corning®7059 玻璃衬底 29 上,用溅射法形成一层 2000 Å 厚的氧化硅膜作底膜。然后,用等离子 CVD 在其上淀积一层本征 (I 型) 非晶硅膜,其厚度在 500–1500 Å 范围,例如 1500 Å。然后,在氮气氛中,在 600°C 退火 48 小时,使非晶硅膜结晶化。退火之后,将硅膜构图形成岛状硅膜 22。

[0100] 然后,用等离子 CVD,使用四乙氧硅烷 (TEOS ;Si(OC₂H₅)₄) 和氧作为原材料淀积一层 1000 Å 存的氧化硅膜 23 作为栅绝缘膜。于是在原始气体材料中添加三氯乙烯。在薄膜淀积开始之前,以 400SCCM(每分标准立方厘米) 的流量向反应腔通氧气,当将总压力保持在 5Pa,衬底温度为 300°C,并施加 150W 的 RF 功率时,在反应腔内产生等离子体。这种状态保持 10 分钟。然后,以分别为 300SCCM, 15SCCM 和 2SCCM 的流量向反应腔通入氧、TEOS 和三氯乙烯,淀积氧化硅膜。在淀积薄膜期间,使衬底温度、RF 功率和总压强分别保持在 300°C、75W 和 5Pa。当完成薄膜淀积时,给反应腔通入压力为 100Torr 的氢气,以完成在 350°C 的氢退火 35 分钟。

[0101] 随后,用溅射法淀积厚度在 3000–8000 Å,例如为 6000 Å 的钽膜。可以用钛、钨、钼或硅代替钽。然而,该膜必须有足够的耐热性能,以耐得住后来的激活处理。氧化硅膜 23 和钽膜的两步淀积步骤最好连续进行。将钽膜构图形成 TFT 的栅电极 24。再将钽膜表面阳极氧化,在其表面上形成氧化层 25。阳极氧化是在含 1–5% 的酒石酸的乙二醇溶液中进行的。于是得到 2000 Å 厚的氧化层,如图 4(A)。

[0102] 以栅电极作为掩模用等离子掺杂,将磷作为杂质注入硅区。用磷化氢 (PH₃) 作掺杂气体进行掺杂工艺,所用的加速电压 80KV。在此例中,以 $2 \times 10^{15} \text{ cm}^{-2}$ 的剂量掺入磷。以此方式,形成了 N 型杂质区 26a 和 26b。可以看到,在此情况所建立的杂质区 26 偏离了栅电极 24,如图 4(B) 所示。

[0103] 然后,用离子掺杂以栅电极作掩模注入镍离子。引入镍所用的剂量在 2×10^{13} – $2 \times 10^{14} \text{ cm}^{-2}$ 的范围,例如更具体地用 $5 \times 10^{13} \text{ cm}^{-2}$ 。其结果,发现镍在 N 型杂质区 26a 和 26b 内的浓度大约为 $5 \times 10^{18} \text{ cm}^{-3}$ 。于是得到如图 4(C) 所示之结构。

[0104] 然后将所得的结构在氮气氛中在 500°C 退火 4 小时,以激活杂质。由于镍离子预先

被注入 N 型杂质区 26a 和 26b，发现由于镍对结晶化的催化作用，加速了这些区域内的再结晶化的进行。于是使杂质区 26a 和 26b 激活。所得结构如图 4(D) 所示。随后，用 TEOS 作原材料，用等离子 CVD 淀积 2000 Å 厚的氧化硅膜 27 作为层间绝缘体，在其上形成接触孔，用含金属材料如氮化钛和铝的多层膜为 TFT 的源和漏区形成带互连 28a 和 28b 的电极。于是完成了完整的半导体电路，如图 4(E) 所示。

[0105] 发现这样制作的薄膜晶体管，在栅电压为 10V 时，其场效应迁移率在 $70\text{--}100\text{cm}^2/\text{Vs}$ 范围，当给栅极施加 -20V 电压时，其阈值电压为 2.5-4.0V，漏电流为 10^{-13}A 或更低。

[0106] 本发明借助在 4 小时之短的期间内，在 500°C 之低的温度下将掺入的杂质激活，提高了薄膜晶体管的生产量。因而本发明提供一种解决现有技术问题的方法；由于在 600°C 或其以上所进行的高温工艺中，已遇到玻璃衬底变形这样严重的问题，在上述这样低的温度下实现了结晶化避免了玻璃衬底收缩和弯曲。

[0107] 上面列举的本发明的优点还包括能一次处理大面积的衬底。更具体地说，由大面积衬底切成多个半导体电路（如矩阵电路）。因而明显地可以降低电路的单个成本。当应用于液晶显示器的生产时，根据本发明的工艺可提高生产率并改进了显示器的性能。由上述可见，本发明可广泛用于工业生产。

[0108] 尽管参照具体的实施例详细地叙述了本发明，但本领域的技术人员应该明了，不脱离本发明的精神和范畴可以进行各式各样的变化和改型。

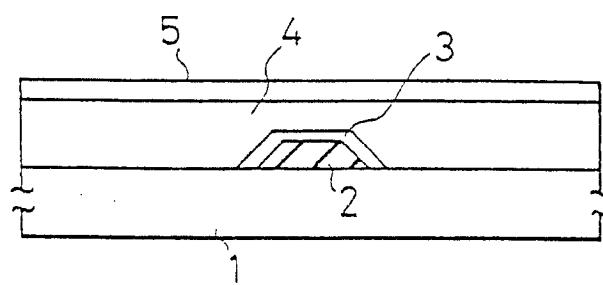


图 1(A)

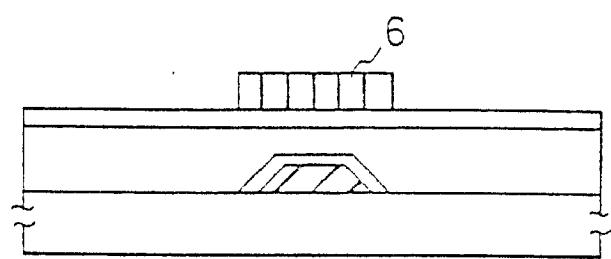


图 1(B)

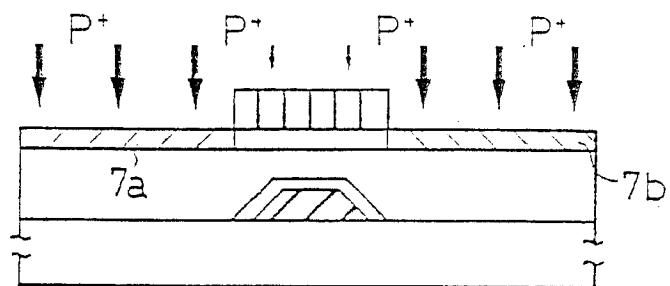


图 1(C)

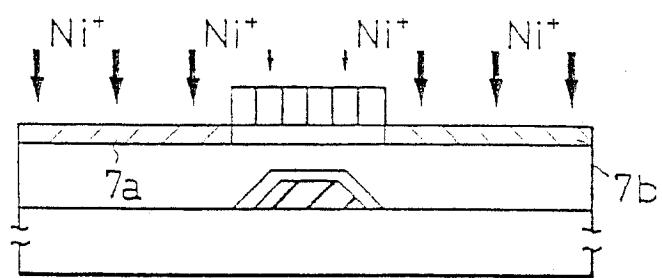


图 1(D)

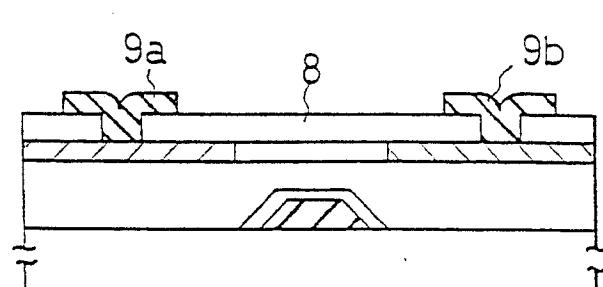
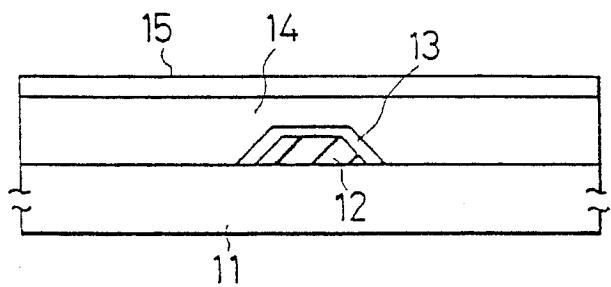


图 1(E)

图 2(A)



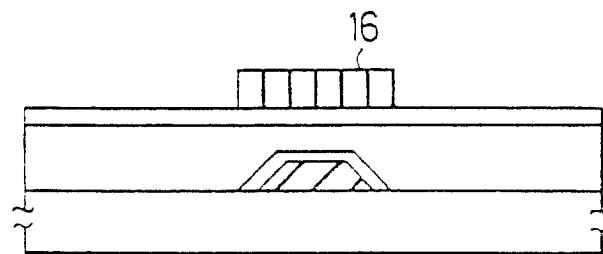


图 2(B)

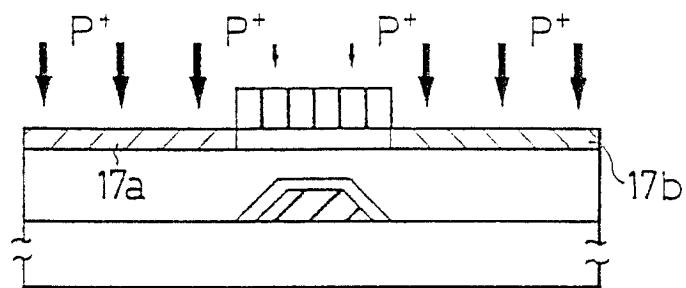


图 2(C)

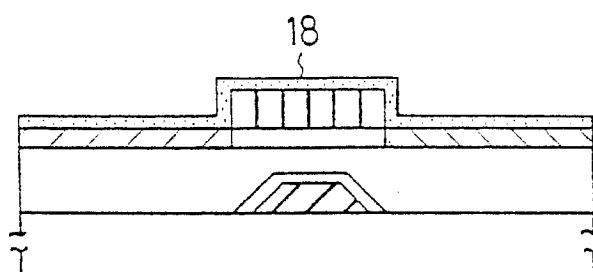


图 2(D)

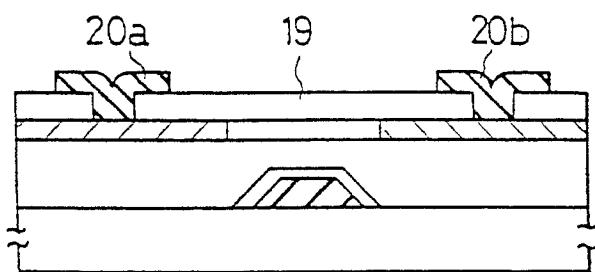


图 2(E)

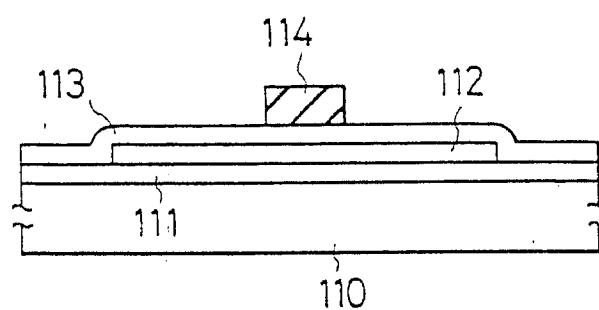


图 3(A)

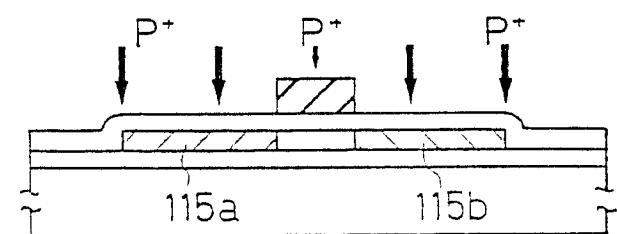


图 3(B)

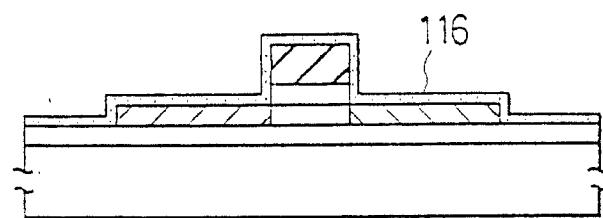


图 3(C)

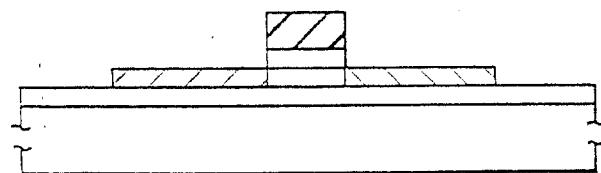


图 3(D)

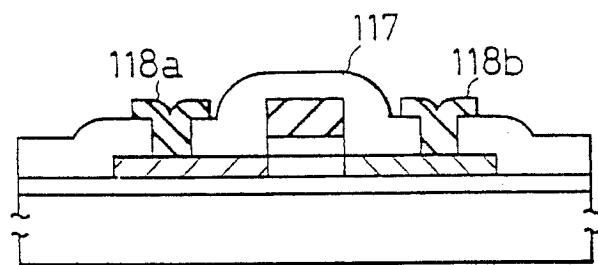


图 3(E)

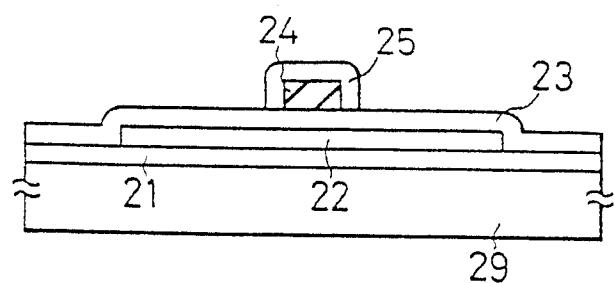


图 4(A)

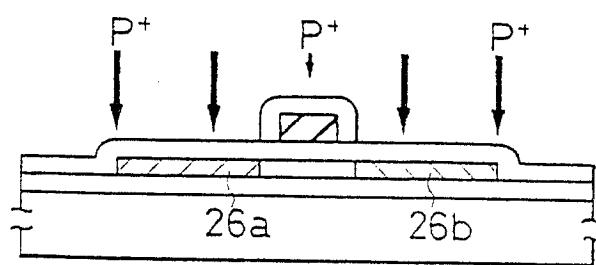


图 4(B)

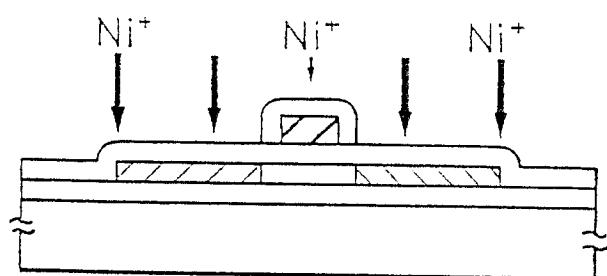


图 4(C)

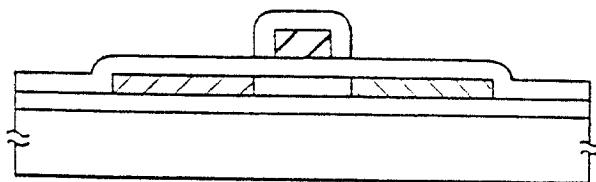


图 4(D)

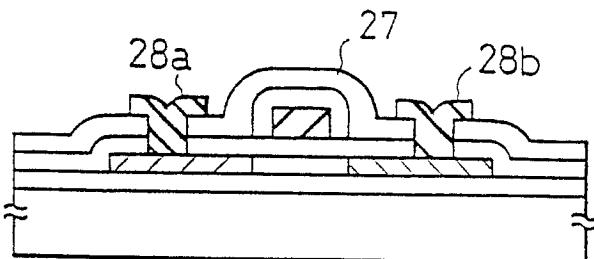


图 4(E)