

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5099791号  
(P5099791)

(45) 発行日 平成24年12月19日(2012.12.19)

(24) 登録日 平成24年10月5日(2012.10.5)

(51) Int.Cl. F I  
 H O 3 K 19/00 (2006.01) H O 3 K 19/00 A  
 H O 1 L 21/822 (2006.01) H O 1 L 27/04 D  
 H O 1 L 27/04 (2006.01)

請求項の数 8 (全 21 頁)

(21) 出願番号	特願2010-198591 (P2010-198591)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成22年9月6日(2010.9.6)		神奈川県川崎市中原区下沼部1753番地
(62) 分割の表示	特願2008-209586 (P2008-209586) の分割	(74) 代理人	100089071 弁理士 玉村 静世
原出願日	平成14年1月28日(2002.1.28)	(72) 発明者	水野 弘之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
(65) 公開番号	特開2010-283885 (P2010-283885A)	(72) 発明者	菅野 雄介 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
(43) 公開日	平成22年12月16日(2010.12.16)	(72) 発明者	柳沢 一正 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
審査請求日	平成22年9月6日(2010.9.6)		

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

第1チップと、前記第1チップとは異なるチップである第2チップとを有して成る半導体集積回路装置であって、

前記第1チップは、

第1ノード及び第2ノードと、

前記第1ノードと第3ノードとにより定められる電源電圧が供給される第1回路ブロックと、

前記第3ノードと前記第2ノードとの間にソース・ドレイン経路を有する第1MOSトランジスタと、

前記第1MOSトランジスタのオン状態とオフ状態とを制御する第1制御回路と、

前記第1ノードと前記第2ノードとにより定められる電源電圧が供給されると共に前記第1回路ブロックの出力が入力される第1変換回路と

を具備し、

前記第2チップは、

第4ノード及び第5ノードと、

前記第4ノードと前記第5ノードとにより定められる電源電圧が供給されると共に前記第1変換回路の出力が入力される第2変換回路と

を具備し、

前記第1制御回路は、前記第1MOSトランジスタがオン状態に制御される場合には第1

状態の第 1 制御信号を前記第 1 変換回路に出力し、前記第 1 変換回路は前記第 1 回路ブロックの出力の変化に応じて変化する信号を前記第 2 変換回路に出力し、

前記第 1 制御回路は、前記第 1 MOSトランジスタがオフ状態に制御される場合には第 2 状態の第 1 制御信号を前記第 1 変換回路に出力し、前記第 1 変換回路はその出力を前記第 1 ノードまたは前記第 2 ノードの電位に制御することを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 において、

前記第 2 チップは、前記第 4 ノードと第 6 ノードとにより定められる電源電圧が供給されると共に前記第 2 変換回路の出力が入力される第 2 回路ブロックを更に具備し、

10

前記第 2 回路ブロックは、前記第 1 ノードおよび前記第 2 ノードへの電位の供給がなされている場合には第 1 状態の第 2 制御信号を前記第 2 変換回路に出力し、前記第 2 変換回路は前記第 1 変換回路の出力の変化に応じて変化する信号を前記第 2 回路ブロックに出力し、

前記第 2 回路ブロックは、前記第 1 ノードまたは前記第 2 ノードの少なくとも一方への電位の供給がなされない場合には第 2 状態の第 2 制御信号を前記第 2 変換回路に出力し、前記第 2 変換回路はその出力を前記第 4 ノードまたは前記第 5 ノードの電位に制御することを特徴とする半導体集積回路装置。

【請求項 3】

請求項 2 において、

20

前記第 2 チップは、

前記第 5 ノードと前記第 6 ノードとの間にソース・ドレイン経路を有する第 2 MOSトランジスタと、

前記第 2 MOSトランジスタのオン状態とオフ状態とを制御する第 2 制御回路とを更に具備し、

前記第 2 制御回路は、前記第 2 MOSトランジスタがオン状態に制御される場合には第 1 状態の第 3 制御信号を前記第 2 変換回路に出力し、前記第 2 変換回路は前記第 1 変換回路の出力の変化に応じて変化する信号を前記第 2 回路ブロックに出力し、

前記第 2 制御回路は、前記第 2 MOSトランジスタがオフ状態に制御される場合には第 2 状態の第 3 制御信号を前記第 2 変換回路に出力し、前記第 2 変換回路はその出力を前記第 4 ノードまたは前記第 5 ノードの電位に制御することを特徴とする半導体集積回路装置。

30

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項において、

前記第 1 ノードと前記第 2 ノードとの間の電位差と前記第 4 ノードと前記第 5 ノードとの間の電位差とが互いに異なり、

前記第 2 変換回路はレベル変換回路を含むことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 2 において、

40

前記第 1 回路ブロックを構成する MOSトランジスタのしきい値電圧と前記第 2 回路ブロックを構成する MOSトランジスタのしきい値電圧とが互いに異なる

ことを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 において、

前記第 1 制御回路は第 4 制御信号を出力し、

前記第 4 制御信号が、前記第 1 回路ブロックが入出力不能であることを示す第 1 状態から、前記第 1 回路ブロックが入出力可能であることを示す第 2 状態に移行する前に、前記第 1 制御信号は前記第 2 状態から前記第 1 状態に移行する

ことを特徴とする半導体集積回路装置。

50

**【請求項 7】**

請求項 3 において、

前記第 2 制御回路は第 5 制御信号を出力し、

前記第 5 制御信号が、前記第 2 回路ブロックが入出力不能であることを示す第 1 状態から、前記第 2 回路ブロックが入出力可能であることを示す第 2 状態に移行する前に、前記第 3 制御信号は前記第 2 状態から前記第 1 状態に移行することを特徴とする半導体集積回路装置。

**【請求項 8】**

請求項 3 において、

前記第 1 チップは、

第 7 ノード及び第 8 ノードと、

前記第 1 ノードと前記第 2 ノードとにより定められる電源電圧が供給されると共に前記第 1 回路ブロックの出力が入力される前段変換回路、及び前記第 7 ノードと前記第 8 ノードとにより定められる電源電圧が供給されると共に前記前段変換回路の出力が入力される後段変換回路を含んで構成される第 3 変換回路と、

前記第 7 ノードと第 9 ノードとにより定められる電源電圧が供給されると共に前記第 3 変換回路の前記後段変換回路の出力が入力される第 3 回路ブロックとを更に具備し、

前記第 1 回路ブロックは第 1 ディープウェル上に形成されており、

前記第 3 回路ブロックは前記第 1 ディープウェルと同じ導電型の第 2 ディープウェル上に形成されており、

前記第 3 変換回路の前記前段変換回路は前記第 1 ディープウェルと同じ導電型の第 3 ディープウェル上に形成されており、

前記第 3 変換回路の前記後段変換回路は前記第 1 ディープウェルと同じ導電型の第 4 ディープウェル上に形成されており、

前記第 1 乃至第 4 ディープウェルは、互いに pn 接合分離されていることを特徴とする半導体集積回路装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は半導体集積回路装置に係わり、特に高速・低電力動作特性の優れた半導体集積回路装置に関する。

**【背景技術】****【0002】**

チップに多くの機能を集積するため、"Deep-Submicron Microprocessor Design Issues", IEEE Micro, pp. 11-22, July/Aug., 1999 に記載されているように、チップの製造プロセスを微細化することが一般的に行われている。微細化によりチップ上に集積できる MOS トランジスタの数を増やすことができ、これによって多くの機能を一つのチップで実現するものである。

**【先行技術文献】****【非特許文献】****【0003】**

【非特許文献 1】 "Deep-Submicron Microprocessor Design Issues", IEEE Micro, pp. 11-22, July/Aug., 1999

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

チップを微細化することによってチップ上に多くの回路を集積できる。しかし、多くの回路をチップ上に十分に小さな不良率で集積するためには大きな設計工数を必要とする。そのため、チップの開発期間が長くなってしまふ。逆に、大きな設計工数を投入して開発

10

20

30

40

50

期間を短縮する場合には、設計のための人的リソースを圧迫し、多くの品種を開発することの妨げとなる。このような課題に対応するため、既開発の回路ブロックを多品種のチップに流用することが検討されている。

【 0 0 0 5 】

一方、" Identifying defects in deep-submicron CMOS ICs ", IEEE Spectrum, pp. 66-71, September, 1996に記載されているように、チップの製造プロセスの微細化にともなってリーク電流（リーク電流にはサブスレッショルドリーク電流、ゲートトンネルリーク電流、GIDL(Gate-Induced Drain Leakage)電流などの接合リーク電流を含む）が増大することが知られている。それらのリーク電流はチップの消費電流を増加させてしまう。待機時に回路の電源電圧を制御することにより、それらのリーク電流によるチップの消費電流を低減させることが可能である。

10

【 0 0 0 6 】

しかしながら、待機時に回路ブロックの電源電圧を遮断するとその回路ブロックの出力ノードがフローティング状態となる。そのため、当該出力ノードからの出力を受ける回路ブロックではそれに起因して貫通電流が流れてしまうことになる。このため、電源電圧を制御する回路ブロックを流用する場合には、貫通電流を防止するためのインターフェースを再設計することが必要になってしまう。このことは、低電力化した回路ブロックが流用されることを妨げるおそれがある。

【課題を解決するための手段】

【 0 0 0 7 】

第1回路ブロックと、第2回路ブロックと、第1回路ブロックと第2回路ブロックとを接続する変換回路とを有し、第1回路ブロックは、電源電圧が供給される第1モードと電源電圧の供給が遮断される第2モードとを有し、第1回路ブロックが第2モードにある場合には、変換回路は第2回路ブロックの入力ノードの電位を第2回路ブロックの動作電位のいずれかに制御するようにする。特に、変換回路は所定の電源制御インターフェースを有する回路であって、各回路ブロックを接続する場合にはこの変換回路を介して接続するようにする。

20

【 0 0 0 8 】

さらに、回路ブロックを周回するように電源線を設け、これら電源線が配置される領域を適切に利用して電源制御回路を配置するようにする。

30

【発明の効果】

【 0 0 0 9 】

本発明による主な効果は以下の通りである。モジュールの開発に必要な工数を削減でき、製造プロセス変更にとともなう回路ブロックの変更を最小限に抑えることができる。また、最適な電源電圧を各回路ブロックに供給することができ、動作速度の向上と低電力化を同時に実現できる。またさらに、種々の手段によって回路ブロックを使用しない時に電源供給を遮断することができ、リーク電流等による不要な電力消費を最小限に抑えることができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図1】本発明の基本的な実施例を示す図である。

【図2】図1とは別の本発明の基本的な実施例を示す図である。

【図3】マイクロI/Oを含んだ、本発明の基本的な構成例を示す図である。

【図4】異なる電源電圧になる可能性のある二つの回路ブロックと、その間のマイクロI/Oの構成例を示す図である。

【図5】電源遮断ケース1の状態でのマイクロI/Oを正常動作させるための、マイクロI/Oの構成例を示す図である。

【図6】電源遮断ケース1と電源遮断ケース2の状態においてマイクロI/Oを正常動作させるための、マイクロI/Oの構成例を示す図である。

【図7】電源遮断ケース1と電源遮断ケース3の状態においてマイクロI/Oを正常動作さ

40

50

せるための、マイクロI/Oの構成例を示す図である。

【図8】電源遮断ケース1と電源遮断ケース2と電源遮断ケース3の状態においてマイクロI/Oを正常動作させるための、マイクロI/Oの構成例を示す図である。

【図9】図8のマイクロI/Oのさらに詳しい構成例を示す図である。

【図10】図9のマイクロI/Oの許可される入出力信号関係を示す図である。

【図11】電源スイッチ制御回路のインターフェース構成例を示す図である。

【図12】回路ブロックを構成しているMOSトランジスタの基板端子の接続例を示す図である。

【図13】図12とは別の回路ブロックを構成しているMOSトランジスタの基板端子の接続例を示す図である。

【図14】回路ブロックのレイアウト例（フロアプラン例）を示す図である。

【図15】回路ブロックの電源ネット例を示す図である。

【図16】回路ブロックとマイクロI/Oの断面図を示す図である。

【図17】回路ブロックとマイクロI/OのディープN型ウェルのレイアウト例（フロアプラン例）を示す図である。

【図18】スキャン機能を付加したマイクロI/Oを含む本発明の基本構成例を示す図である。

【図19】レベル変換回路の構成例を示す図である。

【発明を実施するための形態】

【0011】

<第1の実施の形態>

図1に本発明の基本的な構成を示す。回路ブロックBLK1、BLK2は、1個以上のMOSトランジスタで構成されている。なお、本明細書においては、絶縁ゲート型電界効果トランジスタの総称としてMOSトランジスタの語を使用する。回路ブロックBLKは望ましくはP型MOSとN型MOSとを直列接続したCMOS回路として構成されている。ここで、回路ブロックBLK1は、チップCHP1全体に対する電源の投入/遮断とは独立にリーク電流低減のために電源電圧を制御するモードを有する（回路ブロックBLK2も同様のモードを有していてもよい）。マイクロI/O MI01、MI02、MI03、MI04は本発明の特徴的な構成であり、その詳しい構成形態は後述する。I/OバッファIOB1、IOB2は、モジュールMDL1外部の大きな負荷容量を駆動するための低インピーダンスの出力ドライバ回路DRV1や、必要に応じて静電破壊防止素子などが付加された入力バッファ回路IBF1などから構成されている。I/OバッファMIOB1、MIOB2は、チップCHP1外部（モジュールMDL1内部）の比較的大きな負荷容量を駆動するための低インピーダンス（但し、I/OバッファIOBの出力ドライバ回路DRVの出力インピーダンスよりは高いインピーダンスである）の出力ドライバ回路DRV2や、必要に応じて静電破壊防止素子などが付加された入力バッファ回路IBF2などから構成されている。本明細書においては、モジュール内のチップ間を接続するためのI/Oバッファのことを、モジュール間を接続するためのI/Oバッファと区別する場合には、「ミニI/Oバッファ」と称することにする。また、L11、L12、L13、L21、L22、L23、L24、L31、L32、L41、L42、L43は信号線群を示している。

【0012】

チップは1個の半導体基板を用いた半導体集積回路装置であり、モジュールはそれらのチップを1個あるいは複数個用いて構成した半導体集積回路装置である。モジュールの例としては、積層CSP(Stacked Chip Scale Package)やMCP(MultiChip Package)のように1パッケージに複数チップが実装されるような形態がある。さらに別の例としては、MCM(Multi Chip Module)やダイナミックメモリで広く使われているSIMM(Single Inline Memory Module)のように、プリント基板上に複数のパッケージが実装される形態がある。

【0013】

回路ブロックBLK1の信号線群L41は、マイクロI/O MI01を介して信号線群L42によりI/OバッファIOB1と接続され、信号線群L43によりモジュールMDL1の外部と接続される。回路ブロックBLK1の信号線群L32は、マイクロI/O MI04を介して信号線群L31により回路ブロッ

10

20

30

40

50

クBLK2と接続されている。回路ブロックBLK2の信号線群L11は、マイクロI/O MIO2を介して信号線群L12によりI/OバッファIOB2と接続され、信号線群L13によりモジュールMDL1の外部と接続される。また、回路ブロックBLK2の信号線群L21は、マイクロI/O MIO3を介して信号線群L22によりミニI/OバッファMIOB1に接続され、信号線群L23により、チップCHP1と同一モジュール内にあるチップCHP2内のミニI/OバッファMIOB2と接続されている。

【0014】

信号線群L11、L12、L21、L22、L31、L32、L41、L42はそれぞれ、回路（回路ブロック、I/Oバッファ）固有の信号線群と電源制御インターフェース信号線群とを含んでいる。回路固有の信号線群は特に限定しないが、データ信号線やアドレス信号線などが含まれる。電源制御インターフェース信号線群の詳細については後述する。

10

【0015】

図2は別の構成例である。回路ブロックBLK1は図1の回路ブロックBLK1と同一機能の回路ブロックであり、MIO1、MIO4はマイクロI/O、IOB1、IOB3はI/Oバッファである。CHP3はチップ、MDL2はモジュールである。回路ブロックBLK1の信号線群L41は、マイクロI/O MIO1を介して信号線群L42によりI/OバッファIOB1に接続され、信号線群L43によりモジュールMDL2の外部と接続される。回路ブロックBLK1の信号線群L32は、マイクロI/O MIO4を介して信号線群L31によりI/OバッファIOB3に接続され、信号線群L33によりモジュールMDL2の外部と接続される。

【0016】

本発明では、各回路ブロックはマイクロI/Oを介して、回路ブロックの外部と通信を行っている。したがって、図1および図2のいずれの構成例でも回路ブロックBLK1の接続先はマイクロI/Oである。接続先が同じであることから、図1および図2のように、同じ回路ブロックBLK1を、その回路ブロックの電源制御に関するインターフェース仕様を変更することなくそのまま別々のチップまたはモジュールを構成するために使用することができる。これにより、モジュールの開発に必要な工数を大幅に削減できる。これは図1のチップCHP1と図2R>2のチップCHP3の製造プロセスが異なっても可能であり、製造プロセス変更にもなう回路ブロックの変更を最小限に抑えることができる。具体的には、図2のチップCHP3は0.18 $\mu$ mのCMOSプロセスで製造されたチップであったとする。これに対し、図1のチップCHP1には0.13 $\mu$ mのCMOSプロセスを適用する。このプロセスの微細化によって同じチップ面積でも多くの回路を集積できるようになるため、チップCHP1には回路ブロックBLK1に加えて、回路ブロックBLK2も集積する。このように既開発の回路ブロックを他のチップに流用して新たなチップを開発するような場合に、各回路ブロックがマイクロI/Oを介して外部に接続する仕様となっていれば、流用する回路ブロックに対して電源制御インターフェースを追加開発する工程が不要となる。そのため、プロセスの微細化にもなう回路ブロックの修正を最小限に抑えることができる。

20

30

【0017】

また、チップが異なれば回路ブロックのマイクロI/Oを介した通信先が変わることがある。例えば、回路ブロックBLK1の信号線群L31の接続先は図1と図2で異なる。図2の構成例では信号線群L32は、信号線群L31を介して最終的にはモジュールMDL2の外部に接続される。一方、図1の構成例では信号線群L32は、信号線群L31を介して最終的には同じチップCHP1上の回路ブロックBLK2に接続される。このようにチップ/モジュール構成を変更するのに伴って回路ブロックのマイクロI/Oを介した通信先が変わる場合にも、マイクロI/OにI/OバッファやミニI/Oバッファなどを接続することにより構成できる。その通信先が同一モジュール内の別チップにある場合には、比較的小さな負荷容量をドライブすればよいのでミニI/Oバッファを用い、その通信先が別モジュール内にある場合には、比較的大きな負荷容量をドライブする必要があるためにI/Oバッファを用いなければならない。さらに、その通信先が同一チップ内にある場合には、I/OバッファやミニI/Oバッファは無くてもよいし、ミニI/Oバッファよりも小さな駆動力のバッファを接続してもよい。マイクロI/Oの存在によって、その通信先に従って使用するバッファを自由に選択でき、インターフェースの高速化と低電力化を図ることができる。

40

50

## 【 0 0 1 8 】

図3に本発明の基本構成を示している。回路ブロックBLKAと回路ブロックBLKBとはマイクロI/O MIOを介して信号線群LA, LBにより接続されている。一般に、回路ブロックとは多くのモジュール間で共有して使用することが可能な、ある機能を持ったひとまとまりの回路群である。いわゆるIPプロバイダの供給するIP(Intellectual Property: 半導体集積回路に設けられる演算機能や信号制御機能等の機能上のまとまりを単位とする回路群)なども含まれる。本発明のマイクロI/Oを用いることが望ましい回路ブロックとは電源制御の単位となっている回路ブロックである。例えば、回路ブロックBLKAは、チップ全体に対する電源の投入/遮断とは独立に電源を供給/遮断が可能であるとする。回路ブロックBLKAの電源供給が遮断され、回路ブロックBLKBには電源供給がなされているという場合においては、回路ブロックBLKAから回路ブロックBLKBへの信号線がフローティング状態となり、仮に回路ブロックBLKAと回路ブロックBLKBとを直接接続すると、電源が供給されている回路ブロックBLKBに貫通電流が流れるという悪影響が生じる。マイクロI/Oを用いることにより、回路ブロックBLKAの電源制御に起因する回路ブロックBLKBの動作への悪影響を容易に防止することができる。

10

## 【 0 0 1 9 】

なお、上記の例において回路ブロックBLKBもまた、チップ全体に対する電源の投入/遮断とは独立に電源を供給/遮断が可能である回路ブロックであってもよい。また、回路ブロックBLKAと回路ブロックBLKBとが異なる動作電圧で動作する回路ブロックであってもよい。例えば、図1、図2に示したI/OバッファIOB1、IOB2、IOB3やミニI/OバッファMIOB1、MIOB2もまた回路ブロックの一種である。

20

## 【 0 0 2 0 】

本発明では、上述のように一つの回路ブロックBLKAと別の回路ブロックBLKBとのインターフェースは、マイクロI/Oを介して行われる構造になっている。回路ブロックBLKAと回路ブロックBLKBの電源電圧が異なる場合には、その間で信号振幅の変換(以下、レベル変換と呼ぶ)が必要になる。図4にレベル変換機能を有する場合の、図3に示したマイクロI/Oを含む本発明の基本構成例を示す。VDDA、VSSAは回路ブロックBLKAの電源と接地を、VDDB、VSSBは回路ブロックBLKBの電源と接地を示している。なお、回路に供給する電源電圧は高い電位と低い電位で定義されるが、電源は高い電位を、接地は低い電位をそれぞれ表すものとしてこれらの語を使用する。信号線d1、d3は回路ブロックBLKAと回路ブロックBLKBとの間の信号線群のうち、1ビット分を代表して示したものである。ここでは送信側の回路ブロックBLKAからの信号が信号線d1を通して出力され、マイクロI/O MIOを介して信号線d3を通して受信側の回路ブロックBLKBに入力されている。マイクロI/Oは電源VDDAと接地VSSAの間で動作するマイクロI/O前段回路MIOAと、電源VDDBと電源VSSBの間で動作するマイクロI/O後段回路MIOBとの二段の回路から構成されている。また、信号線d2はマイクロI/O前段回路MIOAとマイクロI/O後段回路MIOBとの間の複数本の信号線群を示している。回路ブロックBLKAから出力された信号振幅(VDDA-VSSA)の信号d1はマイクロI/O前段回路MIOAに入力され、マイクロI/O前段回路MIOAはレベル変換に必要な信号を信号線群d2を通してマイクロI/O後段回路MIOBに入力し、マイクロI/O後段回路MIOBは信号振幅(VDDB-VSSB)の信号に変換して、信号線d3を通して回路ブロックBLKBに入力する。

30

40

## 【 0 0 2 1 】

この構成により、最適な電源電圧を各回路ブロックに供給することができ、動作速度の向上と低電力化を同時に実現できる。例えばI/Oバッファ、ミニI/Oバッファ、リアルタイムクロック(RTC)、割り込み処理回路、DRAMリフレッシュ回路、低速・大容量メモリなどの回路ブロックには比較的高い電源電圧を供給し、それらの回路ブロックを構成するMOSトランジスタのしきい値電圧の絶対値を大きくすればよい。それらの回路ブロックは活性化率が比較的小さいために、サブスレッショルドリーク電流等のDC電流による電力消費が支配的であるが、そのDC電流による電力消費を小さくできる。一方、CPU、MPEG4アクセラレータ、高速・小容量メモリなどの回路ブロックには、比較的低い電源電圧を供給し、それらの回路ブロックを構成するMOSトランジスタのしきい値電圧の絶対値を小さくすれば

50

よい。高速動作が要求されるこれらの回路ブロックは、充放電電流による消費電流が支配的であるが、それを効率良く削減できる。

#### 【 0 0 2 2 】

なお、回路ブロックを構成するMOSトランジスタのしきい値電圧やゲート絶縁膜厚は、その回路ブロックに供給される電源電圧や要求される動作速度に応じて適切な大きさのものにすればよい。チップあるいはモジュール内で種類の大きさに限定するものではない。

#### 【 0 0 2 3 】

つぎに、図4に示したような回路ブロックBLKAと回路ブロックBLKBの動作電圧が異なる場合を例に、マイクロI/Oの構成及び動作を説明する。マイクロI/Oが正常動作しているというためには、フローティング状態の信号線が入力されても、貫通電流が流れない状態になっている必要がある。電源供給の遮断パターンとして、以下の4つを考える。

(1)送信側の回路ブロックBLKAの電源供給とマイクロI/O前段回路MIOAの電源供給とが遮断される場合(VDDAあるいはVSSAへの電位供給が遮断される場合)。この状態を「電源遮断ケース1」と称する。

(2)受信側の回路ブロックBLKBの電源供給が遮断される(回路ブロックBLKBへのVDDDBあるいはVSSBへの電位供給が遮断される)一方、マイクロI/O後段回路MIOBの電源供給は行われている場合。この状態を「電源遮断ケース2」と称する。

(3)送信側の回路ブロックBLKAの電源供給が遮断される(回路ブロックBLKAへのVDDAあるいはVSSAへの電位供給が遮断される)一方、マイクロI/O前段回路MIOAの電源供給は行われている場合。この状態を「電源遮断ケース3」と称する。

(4)受信側の回路ブロックBLKBの電源供給とマイクロI/O後段回路MIOBの電源供給とが遮断される場合(VDDDBあるいはVSSBへの電位供給が遮断される場合)。この状態を「電源遮断ケース4」と称する。

#### 【 0 0 2 4 】

電源遮断ケース4の場合には、基本的に図4R>4の構成例のままマイクロI/Oは正常動作する。受信側の回路ブロックBLKB及びマイクロI/O後段回路MIOBの電源供給が遮断されているので、送信側の回路ブロックBLKAへの電源供給の有無に拘わらず、受信側回路ブロックBLKBまたはマイクロI/O後段回路MIOBに貫通電流が流れることはないためである。以下には電源遮断ケース1から3をサポートするためのマイクロI/Oの構成例を示す。

#### 【 0 0 2 5 】

電源遮断ケース1においてマイクロI/Oが正常動作するようにしたのが、図5の構成例である。電源遮断ケース1とは、例えばチップへの電位(VDDA, VSSA, VDDDB, VSSB)供給を行うレギュレータが、電位VDDAまたは電位VSSAの供給を遮断することによって行える。図5R>5の構成例では、信号線eが受信側の回路ブロックBLKBからマイクロI/O後段回路MIOBに入力されている。電源遮断ケース1の場合、マイクロI/O前段回路MIOAへの電源供給が遮断されるため、信号線群d2のうちマイクロI/O前段回路MIOAから出力されている信号線がフローティング状態になる。このフローティング状態の信号がマイクロI/O後段回路MIOBに入力されても、マイクロI/O後段回路MIOBに貫通電流等が流れないようにする必要がある。図5では、このマイクロI/Oの正常動作を実現するために、上記信号線eをマイクロI/O後段回路MIOBに入力している。したがって、回路ブロックBLKBは電位VDDAまたは電位VSSAの供給の遮断を認識する必要がある。例えば、回路ブロックBLKBの仕様に「電位VDDAまたは電位VSSAの供給が遮断された場合にはそれを通知する」という内容を含ませればよい。または、チップが複数のモードを有し、その特定のモードにおいては電位VDDAまたは電位VSSAの供給が遮断されるものとしておけばよい。この場合にはチップが当該特定のモードに入ることにより、回路ブロックBLKBは電位VDDAまたは電位VSSAの供給の遮断を認識することができる。受信側の回路ブロックBLKBが、送信側の回路ブロックBLKAの電源供給遮断を検出し、信号線eを用いてそれをマイクロI/O後段回路MIOBに送信することで、マイクロI/Oを正常動作させる。

#### 【 0 0 2 6 】



電源遮断ケース 1 に加えて、電源遮断ケース 2 でもマイクロ I/O が正常動作するようにしたのが、図 6 の構成例である。電源遮断ケース 2 とは、例えばレギュレータからの電位 VDDB または電位 VSSB の供給は行いつつ、回路ブロック BLKB への供給は阻止することによって行える。図 6 の構成例では、回路ブロック BLKB への電源供給は、電源 VDDB はそのまま供給されているが、接地 VSSB が電源スイッチ PSWB を介して供給されている。電源スイッチ PSWB のオン・オフは、電源スイッチ制御回路 PSCB により制御されている。電源スイッチ制御回路 PSCB が電源スイッチ PSWB をオフするように制御することで、電源遮断ケース 2 の状態になる。この電源遮断ケース 2 が発生すると、信号線 e がフローティング状態になる。そこで、電源スイッチ制御回路 PSCB が電源スイッチ PSWB をオフするように制御すると、信号線 cr を用いてそれをマイクロ I/O 後段回路 MIOB に通知する。マイクロ I/O 後段回路 MIOB は、この信号線 cr により信号線 e のフローティング状態を検出できるため、マイクロ I/O を正常動作させることができる。

10

## 【 0 0 2 7 】

電源遮断ケース 1 に加えて、電源遮断ケース 3 でもマイクロ I/O が正常動作するようにしたのが、図 7 の構成例である。電源遮断ケース 3 とは、例えばレギュレータからの電位 VDDA または電位 VSSA の供給は行いつつ、回路ブロック BLKA への供給は阻止することによって行える。図 7 の構成例では、回路ブロック BLKA への電源供給は、電源 VDDA はそのまま供給されているが、接地 VSSA が電源スイッチ PSWA を介して供給されている。電源スイッチ PSWA のオン・オフは、電源スイッチ制御回路 PSCA により制御されている。電源スイッチ制御回路 PSCA が電源スイッチ PSWA をオフするように制御することで、電源遮断ケース 3 の状態になる。この電源遮断ケース 3 が発生すると、信号線 d1 がフローティング状態になる。そこで、電源スイッチ制御回路 PSCA が電源スイッチ PSWA をオフするように制御すると、信号線 cs を用いてそれをマイクロ I/O 前段回路 MIOA に通知する。マイクロ I/O 前段回路 MIOA は、この信号線 cs により信号線 d1 のフローティング状態を検出できるため、マイクロ I/O を正常動作させることができる。

20

## 【 0 0 2 8 】

図 8 は、電源遮断ケース 1 に加えて、電源遮断ケース 2 及び電源遮断ケース 3 でもマイクロ I/O が正常動作するようにした構成例である。図 6 および図 7 の構成例の組み合わせとして構成すればよく、ここでは詳しい説明は省略する。

## 【 0 0 2 9 】

図 9 は図 8 のマイクロ I/O のより詳しい構成例である。NAND1 は 2 入力 NAND 回路、INV1、INV2 はインバータ回路、AND1 は 2 入力 AND 回路、MP1 は PMOS トランジスタ、MN1 は NMOS トランジスタである。LC1 はレベル変換回路であり、入力信号 (d2, /d2) の信号振幅 (VDDA-VSSA) を増幅あるいは減衰させ、レベル変換回路 LC1 の電源電圧振幅 (VDDB-VSSB) に一致させて d4 に出力する。d4 に出力する論理レベルは、d2 として入力される論理レベルと同じである。レベル変換回路 LC1 の電源供給は、電源 VDDB はそのまま供給されているが、接地 VSSB が NMOS トランジスタ MN1 を介して供給されている。

30

## 【 0 0 3 0 】

電源遮断ケース 1 の場合、信号線 e を 'L' レベルにすることで、NMOS トランジスタ MN1 がオフし、PMOS トランジスタ MP1 がオンする。したがって、信号線 d2 および /d2 がフローティング状態になってもオフ状態の NMOS トランジスタ MN1 により、レベル変換回路 LC1 に貫通電流が流れることが阻止される。さらに、このときレベル変換回路 LC1 の出力レベルはフローティング状態になるが、PMOS トランジスタ MP1 により信号線 d4 の論理レベルは 'H' レベルに固定されるために、マイクロ I/O を正常動作させることができる。

40

## 【 0 0 3 1 】

電源遮断ケース 2 の場合、信号線 cr を 'L' レベルにすることで、信号線 e がフローティング状態になっても AND 回路 AND1 に貫通電流が流れることなく、さらにその出力レベルは 'L' レベルに固定されるために、マイクロ I/O を正常動作させることができる。

## 【 0 0 3 2 】

電源遮断ケース 3 の場合、信号線 cs を 'L' レベルにすることで、信号線 d1 がフローティ

50

ング状態になってもNAND回路NAND1に貫通電流が流れることなく、さらにその出力レベルは'H'レベルに固定されるために、マイクロI/Oを正常動作させることができる。

【0033】

図19にレベル変換回路LC1の構成例を示す。信号d1と相補信号/d1が入力される差動型のレベル変換回路である。

【0034】

なお、図4～図9の構成例においては、回路ブロックBLKAは1本の信号線d1により1ビット分の情報を送信する、いわゆるシングルエンド信号で通信が行われている。これに対して、デュアルレール信号で通信が行われる場合（回路ブロックBLKAが信号d1とその相補信号/d1を送信する、すなわち2本の信号線により1ビット分の情報を送信する）には、  
10  
マイクロI/O前段回路MIOAは不要となる。デュアルレール信号で通信を行う場合の論理ゲートレベルの回路の構成例は、図9の構成例においてマイクロI/O前段回路MIOAを削除し、信号d1が信号/d2として、信号/d1が信号d2としてレベル変換回路LC1に入力されるようにした回路に相当する。もちろんこの場合、信号線csは不要である。

【0035】

図9の入出力信号関係をまとめると図10のようになる。送信側回路ブロックSNDと受信側回路ブロックRCVの各電源供給状態(ON, OFF1, OFF2)における信号線d1,e,cs,crの論理レベルを示している。回路ブロックの電源供給状態"ON"とはVDDA/VDDBおよびVSSA/VSSBの電位供給がなされている状態である。回路ブロックの電源供給状態"OFF1"とはVDDA/VDDBおよびVSSA/VSSBの電位供給がなされ、マイクロI/O（送信側回路ブロックの場合は  
20  
その前段回路または受信側回路ブロックの場合はその後段回路）への電源供給はなされているが、電源スイッチPSWAや電源スイッチPSWBのような手段により回路ブロックへの電源供給が遮断されている状態である。回路ブロックの電源供給状態"OFF2"はVDDA/VDDBまたはVSSA/VSSBの電位供給が遮断された状態である。'\*'はフローティング状態を含む全ての状態を示す。'-'は'H'レベルまたは'L'レベルの状態を示す。

【0036】

以上により、回路ブロックを構成しているMOSトランジスタのしきい値電圧の絶対値が小さいことによって無視できないサブスレッショルドリーク電流が流れる場合や、MOSトランジスタの酸化膜を薄くしたために無視できないゲートトンネルリーク電流が流れる場合でも、その回路ブロックを使用しない時に上記電源遮断ケース1～4の状態によって、  
30  
電源供給を遮断することができる。これにより、リーク電流によるモジュールの不要な電力消費を最小限に抑えることができる。また、これらの制御によりフローティング状態となったノードに起因して貫通電流が流れることを、マイクロI/Oにより阻止することができることが理解される。なお、回路ブロックを構成するMOSトランジスタのしきい値電圧やゲート絶縁膜厚および、電源スイッチを構成するMOSトランジスタのしきい値電圧やゲート絶縁膜厚は特に限定しない。電源スイッチは電源スイッチのゲート端子の電位を制御することで大きなオン電流と十分に小さなオフ電流を得る必要がある。そのため、回路ブロックを構成するMOSトランジスタのしきい値電圧よりも高いしきい値電圧とし、回路ブロックを構成するMOSトランジスタのゲート絶縁膜よりも厚いゲート絶縁膜で構成する方が望ましい。ここで、ゲート絶縁膜厚とはゲート絶縁膜材料の誘電率等を考慮した実効的なゲート絶縁膜厚である。  
40

【0037】

また、図9の構成例において、レベル変換回路LC1の接地電位供給はNMOSトランジスタMN1を介して行っているが、この方法に限定しない。レベル変換回路LC1内の一部あるいは全部の回路について、NMOSトランジスタMN1を用いる代わりにPMOSトランジスタを、電源VDDBとレベル変換回路LC1の間に挿入し、電源遮断ケース1の場合にそのPMOSトランジスタをオフするように構成してもよい。

【0038】

また、図6から図8の構成例では、電源遮断ケース2または電源遮断ケース3を実現するために、電源スイッチとしてNMOSトランジスタPSWAまたはNMOSトランジスタPSWBを回路  
50

ブロックと接地線の間設置している。これに対して、電源スイッチとしてPMOSトランジスタを回路ブロックと電源線の間設置してもよい。

【0039】

さらに、電源遮断ケース1～4の全てのケースを有する必要はなく、チップまたはモジュールの仕様に応じて適宜設ければよい。電源遮断ケース1が存在しない場合には、AND回路AND1の代わりにバッファ回路を挿入し、信号線crをバッファリングした後にそのままNMOSトランジスタMN1とPMOSトランジスタMP1のゲート端子に接続すればよい。また、電源遮断ケース2が存在しない場合には、AND回路AND1の代わりにバッファ回路を挿入し、信号線eをバッファリングした後にそのままNMOSトランジスタMN1とPMOSトランジスタMP1のゲート端子に接続すればよい。さらにまた、上記電源遮断ケース3が存在しない場合には、NAND回路NAND1の代わりにインバータ回路を挿入し、信号線d1をインバートした後にそのまま信号線/d2に接続すればよい。この他種々の電源遮断ケースの組み合わせに対応できる。

10

【0040】

なお、図4から図9においてわかりやすさのために、回路ブロック間で送受信される信号を1ビットの場合で説明した。通常、回路ブロック間で信号をやりとりするための信号線は複数ビット分存在し、これらの複数ビット分の信号線に対して、制御信号e, cr, csを設ければよいのであって、1ビット毎に制御信号を設ける必要があるという訳ではない。また、通常、回路ブロックは送信、受信可能であって、回路ブロックを送信側、受信側とに分けて説明したが、わかりやすさを考えてのために過ぎない。また、図4～図9の例では差動型のレベル変換回路を用いることを想定しているが、インバータ型のレベルダウン回路を用いてもよく、また回路ブロック間の動作電圧が同じであればレベル変換回路が不要になる。かかる変更に応じた回路変更は種々可能である。

20

【0041】

<第2の実施の形態>

図11は、図6から図8の電源スイッチ制御回路PSCAあるいはPSCBのインターフェース構成例である。電源スイッチPSWを制御する電源スイッチ制御回路PSCは、要求線reqと応答線ackによるハンドシェイクによって、電源スイッチPSWのオン・オフを制御し、回路ブロックBLKの電源供給状態を制御している。ここでは、要求線reqを'H'レベルにする(時刻T1)ことで電源スイッチPSWがオンし、回路ブロックBLKに電源供給を行う。完全に電源スイッチPSWがオンし、回路ブロックBLKへの電源供給が完了した後、応答線ackが'H'レベルになる(時刻T1B)ことで、電源スイッチ制御回路外部に回路ブロックBLKが動作可能状態に移行したことを通知する。逆に、要求線reqを'L'レベルにする(時刻T2)ことで電源スイッチPSWをオフし、回路ブロックBLKを電源遮断状態に制御する。完全に電源スイッチPSWがオフし、応答線ackが'L'レベルになる(時刻T2B)ことで、電源スイッチ制御回路外部に回路ブロックBLKが電源遮断状態に移行したことを通知する。

30

【0042】

図8では電源スイッチ制御回路からマイクロI/Oへ電源スイッチのオン・オフ状態を示す信号が信号線csやcrを通じて出力されている。図11の構成例では、信号線cがそれらの信号線に相当し、信号線cは応答線ackよりも十分に早くに確定させている。例えば、応答線ackが'H'レベルになるより以前(時刻T1A)に、信号線cが'H'レベルになっている。また、応答線ackが'L'レベルになるより以前(時刻T2B)に、信号線cが'L'レベルになっている。このように、信号線cは応答線ackよりも十分に早くに確定させる。電源スイッチPSWの制御後、回路ブロックBLKに信号が入出力可能になった状態において、マイクロI/Oが動作可能な状態になっていなければ回路ブロック間の通信に誤動作が生じる。応答線ackが'H'レベルに確定する以前に、信号cによりマイクロI/Oを動作可能な状態に制御しておくことが望ましい。

40

【0043】

なお、簡単のために、回路ブロックには電源スイッチを介して接地が接続されているものとして説明をしているが、リーク電流等によるDC的な電力消費が問題にならない場合に

50

は電源スイッチによる電源供給遮断は必要ない。例えば、高い動作電圧で動作し、厚いゲート絶縁膜を有するトランジスタで構成されるI/Oバッファがこの例に相当する。また、しきい値電圧が高いトランジスタで構成された回路であって、DC的な電力消費が問題にならない場合もある。その場合には電源スイッチを介して接地に接続する必要がない。電源スイッチを使用するか否かは、回路ブロックを構成しているMOSトランジスタの構成や、回路ブロックを構成している回路の特性に応じて決定される。

#### 【0044】

また、回路ブロックを電源スイッチを介して接地に接続した場合には、ある回路ブロックから発生したノイズが、接地を介して別の回路ブロックに伝播することを抑制することができる。接地線を介したノイズの伝播が電源スイッチを介することで減衰される。電源スイッチは抵抗に相当し、その抵抗と各回路ブロックの寄生容量や、接地線の寄生容量によってローパスフィルタが形成されるためである。例えば、回路ブロックBLKAが高速で動作するデジタル回路、回路ブロックBLKBが高精度なA/Dコンバータ等のアナログ回路である場合を考える。一般にデジタル回路にはアナログ回路よりも低い電源電圧を印加するため、電源VDDA < 電源VDDBとするのが適当である。また、接地VSSAと接地VSSBはチップ内あるいはモジュール外部等で接続されるのが一般的である。この場合、電源VDDAと電源VDDBはその電圧が異なるために、モジュール外部においても分離されているので、電源VDDAに発生したデジタル回路のノイズが電源VDDBに伝播することは少ない。しかし、接地VSSAと接地VSSBは接続されているために、電源スイッチがない場合には、デジタル回路のノイズは接地VSSA及び接地VSSBを介してアナログ回路に直接伝播されてしまう。しかし電源スイッチを接地に設けることによって、図8の構成例に即して説明すると、デジタル回路から発生したノイズは、電源スイッチPSWAによって減衰されて接地VSSA及び接地VSSBに伝播する。さらに、この接地VSSA及び接地VSSB上のノイズも、電源スイッチPSWBによって減衰されて、アナログ回路の実質的な接地線である仮想接地線VSSMBに伝播する。このようにしてデジタル回路とアナログ回路のノイズのカップリングが低減できる。

#### 【0045】

##### < 第3の実施の形態 >

回路ブロックを構成しているMOSトランジスタの基板端子(ウェル)の接続形態は多様な形態が考えられる。図12はPMOSトランジスタMP2の基板端子vbpは電源VDDに、NMOSトランジスタMN2の基板端子vbnは接地VSSに接続されている構成例である。NMOSトランジスタMN2の基板端子vbnを接地VSSに接続することにより、電源スイッチPSWがオフされた場合には仮想接地線VSSMの電位が上昇するために、NMOSトランジスタMN2のソース・基板間に基板バイアスが印加されることになる。これにより、基板バイアス効果によってNMOSトランジスタMN2に流れるリーク電流を小さくすることができる。一方、vbnを仮想接地線VSSMに接続してもよい。この場合にはNMOSトランジスタMN2のウェル電位とソース電位とが等しくなるために、トランジスタの高速動作に適している。

#### 【0046】

図13の構成例では、回路ブロックを構成しているPMOSトランジスタMP2の基板端子vbpと、NMOSトランジスタMN2の基板端子vbnの電位を、基板電圧制御回路VBCによって制御した例である。vbpとvbnの電位は特に限定しないが、回路ブロックBLKを高速動作させるためには、vbpには低い電圧(VDDまたはそれ以下の電圧)を、vbnには高い電圧(VSSまたはそれ以上の電圧)を印加すればよい。さらには、回路ブロックBLKに要求される動作速度に応じて、最適な電位を基板端子vbp、vbnに印加してもよい。特にその電位をプロセスや温度、電源電圧に応じて決定すれば、プロセスばらつきや温度・電源電圧変動を補償できる。

#### 【0047】

なお、図12や図13では回路ブロックBLKの中の、インバータ回路の構成例を示しているが、これはCMOS論理回路の典型例として示したに過ぎず、種々の回路に対して適用できる。

#### 【0048】

< 第 4 の実施の形態 >

回路ブロックのレイアウトについて説明する。図 1 4 は、図 1 2 で示した回路ブロック BLK のレイアウト配置例を示している。RUSR は回路ブロック BLK を構成している MOS トランジスタを配置する領域である。RPWR1、RPWR2、RPWR3、RPWR4、RPWR5、RPWR6、RPWR7、RPWR8 で構成されるリング状の領域は、図 1 2 でいう電源線 VDD、接地線 VSS、仮想接地線 VSSM などの電源幹線が、比較的太い配線幅の配線で周回して配置されており、電源リングを形成している。これにより、回路ブロックを構成している MOS トランジスタに供給される電源線、接地線、仮想接地線を低抵抗化している。

【 0 0 4 9 】

電源スイッチ PSW は上記電源リングの四辺の領域 (RPWR2、RPWR4、RPWR6、RPWR8) に配置することが望ましい。特に電源スイッチ PSW は、領域 RPWR4、RPWR8 に配置することが望ましい。図 1 5 に示すように、回路ブロックを構成するスタンダードセル CELL に電源、接地を供給する電源線 VDD105 (M1)、仮想接地線 VSSM105 (M1) は、横方向に延伸している。そのため、領域 RPWR4、RPWR8 に電源スイッチ PSW を配置することにより、配線抵抗の影響を小さくできる。一方、電源スイッチ PSW を領域 RPWR2、RPWR6 に配置する場合には、領域 RPWR4、RPWR8 に配置される電源線 VDD、接地線 VSS の配線抵抗の影響が大きくなる。そのため、領域 RPWR4、RPWR8 に電源スイッチ PSW を優先的に配置し、さらに電源スイッチ PSW のオン抵抗の影響を減らしたい場合にさらに領域 RPWR2、RPWR6 にも電源スイッチ PSW を配置することが望ましい。また、図 1 2 などに図示されている電源スイッチ制御回路 PSC や、図 1 3 の基板バイアス制御回路 VBC は、上記電源リングの四隅の領域 (RPWR1、RPWR3、RPWR5、RPWR7) に配置することができる。回路ブロックが大きくなれば領域 RUSR が大きくなり、これに応じて領域 RPWR2、RPWR4、RPWR6、RPWR8 も大きくなり、回路ブロックの規模の大きさに応じたゲート幅となるように電源スイッチ PSW を配置できる。これに対して、領域 RPWR1、RPWR3、RPWR5、RPWR7 の大きさは回路ブロックの規模に影響を受けない。この意味からも、電源スイッチ制御回路 PSC や図 1 3 の基板バイアス制御回路 VBC を上記電源リングの四隅の領域に配置することが望ましい。

【 0 0 5 0 】

図 1 5 は、図 1 4 の R14 の部分について、より具体的な電源線 VDD、接地線 VSS、仮想接地線 VSSM のレイアウトを図示したものである。VDD100 ~ VDD110 は電源線、VSS101 ~ VSS103 および VSS107 ~ VSS113 は接地線、VSSM101 ~ VSSM107 は仮想接地線を示している。SIG100 は縦方向に電源リングを横断する配線を代表して一本だけ示したものであり、SIG101 は横方向に電源リングを横断する配線を代表して一本だけ示したものである。図 1 5 で各記号の後の括弧内に記述している M1 ~ M4 の記号は、その配線を設置するために使用した配線層名を示している。複数記述されている場合には、それらの複数の配線層で配線されていることを示している。M4 は M3 よりも、M3 は M2 よりも、M2 は M1 よりも半導体基板から見て上層の配線層である。また、× 印入りの四角印の記号は各配線層を接続するためのビア (VIA) を示している。RPWR で示している部分が電源リング領域であり、RUSR で示している部分が回路ブロックを構成している MOS トランジスタを配置する領域である。

【 0 0 5 1 】

電源リングは半導体基板より比較的上層の配線層 M2 乃至 M4 によって、VDD101 ~ VDD103、VSS101 ~ VSS103、VSSM101 ~ VSSM103、VSS111 ~ VSS113 によって構成されている。半導体基板より比較的上層の配線層は下層の配線層と比較してピッチを広くすることができるために配線層厚さを厚くでき、シート抵抗を小さくできて低抵抗な配線が実現できる。電源リングにこのような低抵抗な配線を用いることで、電源リングを低抵抗に形成することができ、いわゆる電圧ドロップを小さく抑えることができる。

【 0 0 5 2 】

図 1 5 では、上記電源リングを縦方向にシャントする縦方向電源幹線 RPWRV を、VDD106 および VSSM106 によって形成している。また、電源リングを横方向にシャントする横方向電源幹線 RPWRH を、VDD107、VSS107、VSSM107 によって形成している。これらにより、さらに電源リングを低抵抗化できる。ここでは縦方向電源幹線 RPWRV の横方向の配置間隔およ

10

20

30

40

50

び、横方向電源幹線RPWRHの縦方向の配置間隔は特に限定しないが、縦方向電源幹線RPWRVには比較的下層のM2配線層を用いているため、あまり多くの縦方向電源幹線RPWRVを配置すると、回路ブロックを構成しているMOSトランジスタの信号線配線のためのチャンネルを少なくしてしまうことになる。したがって、例えば約100 $\mu$ mおきに配置するのが適当である。一方、横方向電源幹線RPWRHには比較的上層のM4配線層を用いているため上記信号線配線のためのチャンネルを少なくすることは少ない。そのため、多くの数の横方向電源幹線RPWRHを配置できる。

#### 【0053】

上記電源リングから回路ブロックを構成しているMOSトランジスタへの電源供給RCELLはM1配線層を用いて、VDD105およびVSSM105によって行っている。多くのスタンダードセルCELL100を並べて回路を構成する場合、全セルに電源が供給されるようにRCELLを縦方向にスタンダードセルの配置間隔で配置することになる。なお、回路ブロックを構成しているMOSトランジスタの信号線を配線するためのチャンネルは、主にM1～M3の配線層を用いる。同様な理由で、電源リングの四隅の領域には、電源線、接地線にはM4の配線層を用いてそれより下層の配線を用いていない。電源スイッチ制御回路PSCや基板バイアス制御回路VBCを設ける場合には、十分な数の配線層M1～M3を用いて回路を構成する。これらの回路を設けない場合には、電源線、接地線のためにこれらの配線層を用いることができる。

#### 【0054】

電源リング外部から電源リングへの電源および接地の供給は、VDD109、VDD110、VSS109、VSS110によって行っている。それぞれM4配線層およびM1配線層を用いているため、回路ブロックとマイクロI/Oとの間の信号線の配線には、SIG100およびSIG101で示したようにM2配線層およびM3配線層を用いることができる。

#### 【0055】

簡単のために、VDD100とVDD103を電気的に接続するための配線VDD108は一本だけが図示されているが、実際にはある間隔で多数配置して低抵抗に接続するのが適当である。また、VDD108のごとくVDD100とVDD101を縦方向に直接電気的に接続する配線が図示されていないが、M2配線層を用いてVDD108と同様に配置することが望ましい。また、簡単のために、VSS103とVSS113を電気的に接続するための配線VSS108は一本だけが図示されているが、実際にはある間隔で多数配置して低抵抗に接続するのが適当である。また、VSS108のごとくVSS101とVSS111を縦方向に直接電気的に接続する配線が図示されていないが、M3配線層を用いてVSS108と同様に配置することが望ましい。

#### 【0056】

上記レイアウトにより、配線層を効率良く使用して、スタンダードセルCELL100への低インピーダンスな電源供給が可能になる。なお、図15は配線層が4層ある場合の構成例であるが、より多くの配線層がある場合には、図15の構成図でさらにその配線層を用いて電源リングをさらに低抵抗に構成することができる。その配線層の具体的な使用方法は限定しないが、最上層の配線層(図15の場合M4)と最下層の配線層(図15の場合M1)を用いて電源リング外部から電源リングへの電源および接地の供給を行うのが適当である。これにより、回路ブロックとマイクロI/Oとの間の信号線配線のために、多くの配線層を効率良く用いることができる。また、横方向電源幹線RPWRHは最上位層の配線層(図15の場合M4)を用いて実現した方がよい。回路ブロックを構成しているMOSトランジスタの信号線を配線するためのチャンネルを多く取れるためである。

#### 【0057】

##### <第5の実施の形態>

図16は本発明のチップ断面図例を示している。PSUB100はP型基板、NW100、NW110はN型ウェル、PW100、PW110はP型ウェル、NISO100およびNISO110はNW100およびNW110よりも深い位置に生成した不純物層であり、いわゆる三重ウェル構造を構成するためのディープN型ウェルである。P100およびP101はP型拡散層であり、ゲート電極G100およびゲート絶縁膜T100とともにPMOSトランジスタMP100を構成している。P110およびP111もP型拡散層であり、ゲート電極G110およびゲート絶縁膜T110とともにPMOSトランジスタMP110を構成して

10

20

30

40

50

いる。N100およびN101はN型拡散層であり、ゲート電極G101およびゲート絶縁膜T101とともにNMOSトランジスタMN100を構成している。N110およびN111もN型拡散層であり、ゲート電極G111およびゲート絶縁膜T111とともにNMOSトランジスタMN110を構成している。N102はN型拡散層であり、N型ウェルNW100に電位を供給するための、PMOSトランジスタPMOS100の基板端子である。P102はP型拡散層であり、P型ウェルPW100に電位を供給するための、NMOSトランジスタNMOS100の基板端子である。N112はN型拡散層であり、N型ウェルNW110に電位を供給するための、PMOSトランジスタPMOS110の基板端子である。P112はP型拡散層であり、P型ウェルPW110に電位を供給するための、NMOSトランジスタNMOS110の基板端子である。S100はP型拡散層であり、PSUB100に電位をここから供給する。

【0058】

このような三重ウェル構造を用いることにより、各回路ブロックの電源の電位と接地の電位を独立して設定できる。例えば図4の構成例の回路ブロックBLKAはディープN型ウェルNIS0100上に、MOSトランジスタMP100、MN100のように構成でき、回路ブロックBLKBはディープN型ウェルNIS0110上に、MOSトランジスタMP110、MN110のように構成できる。各回路ブロックで独立してMOSトランジスタの基板電位を設定できることから、図13R>3の構成例が実現できる。

【0059】

図17は図4の構成例のレイアウト例を示している。ここでは簡単のため、図16のディープN型ウェルのレイアウトだけを図示している。NIS0BLKAは回路ブロックBLKAのディープN型ウェル、NIS0BLKBは回路ブロックBLKBのディープN型ウェル、NIS0MIOA1~NIS0MIOA3はマイクロI/O前段回路MIOAのディープN型ウェル、NIS0MIOB1~NIS0MIOB3はマイクロI/O後段回路MIOBのディープN型ウェルを示している。ディープN型ウェルNIS0BLKAはディープN型ウェルNIS0MIOA1~NIS0MIOA3と同じ電位(VDDA)であるために接続して形成してもよい。ディープN型ウェルNIS0BLKBはディープN型ウェルNIS0MIOB1~NIS0MIOB3と同じ電位(VDDB)であるために接続して形成してもよい。また、ディープN型ウェルNIS0MIOA1~NIS0MIOA3とディープN型ウェルNIS0MIOB1~NIS0MIOB3の間に、図16のP型拡散層S100を設けてもよい。回路ブロックBLKAと回路ブロックBLKBで発生したノイズがお互い干渉し合うのを低減することができる。

【0060】

<第6の実施の形態>

回路ブロックのテスト容易化手法の一つとして、本発明のマイクロI/Oにスキャン機能を付加した場合の構成例を図18に示す。図18で、BLKAは送信側の回路ブロック、BLKBは受信側の回路ブロック、MIOb1からMIObnはそれぞれ1ビット分のマイクロI/Oを示している。LA1からLAnはマイクロI/Oへの入力信号であり、LB1からLBnはマイクロI/Oからの出力信号である。ここでは簡単のために、図8で図示したようなcr、cs、eなどの制御信号と電源関係の接続は省略している。si0がスキャンデータの入力であり、si1、si2、sinの順番にそのデータがシフトしていく。

【0061】

一般のフリップフロップ(FF)のスキャンは、フリップフロップの内部状態をチップ外部から強制的に設定する場合に用いられる。ここでは、マイクロI/Oへの入力(LA1~LAn)を無視して、強制的にsi0からの入力データでマイクロI/Oの出力(LB1~LBn)を設定する。具体的なマイクロI/Oの構成例は省略するが、例えばマイクロI/O内にフリップフロップを設け、複数のマイクロI/Oでシフトレジスタを形成することで実現できる。また、このスキャンパスを用いることにより、マイクロI/Oへの入力(LA1~LAn)の値を、LAnからLA1の順番でsinに出力できる。以上のようにマイクロI/Oにスキャン機能を付加することにより、回路ブロックの機能検証を容易に短時間に実行することができる。

【0062】

以上、本発明者によりなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。例えば回路の具体的構造やレイアウト構造は、種々の実施形態を取ることができる。

10

20

30

40

50

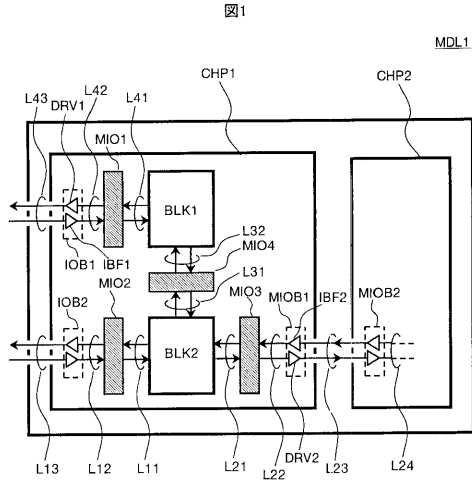
## 【符号の説明】

## 【 0 0 6 3 】

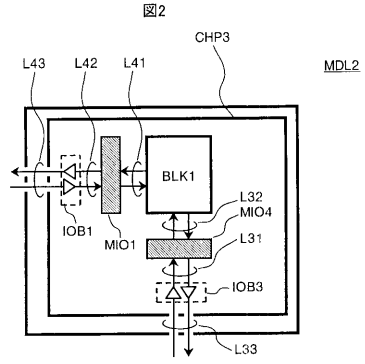
BLK1、BLK2、BLKA、BLKB、BLK.....	回路ブロック	
MIO1、MIO2、MIO3、MIO4、MIO、MIOb1、MIOb2、MIObn.....	マイクロI/O	
IOB1、IOB2、IOB3.....	I/Oバッファ	
MIOB1、MIOB2.....	ミニI/Oバッファ	
CHP1、CHP2、CHP3.....	チップ	
MDL1、MDL2.....	モジュール	
L11、L12、L13、L21、L22、L23、L24、L31、L32、L33、L41、L42、L43、LA、LB、d.....	信号線群	10
VDDA、VDDb、VDD.....	電源	
VSSA、VSSb、VSS.....	接地	
MIOA.....	マイクロI/O前段回路	
MIOB.....	マイクロI/O後段回路	
d1、d2、e、cr、cs、/d2.....	信号線	
PSCA、PSCB、PSC.....	電源スイッチ制御回路	
ct1a、ct1b.....	電源スイッチ制御回路のインターフェース信号群	
PSWA、PSWB、PSW.....	電源スイッチ	
VSSMA、VSSMB、VSSM.....	仮想接地線	
NAND1.....	NAND回路	20
INV1、INV2.....	インバータ回路	
AND1.....	AND回路	
LC1.....	レベル変換回路	
MN1、MN2、MN100.....	NMOSトランジスタ	
MP1、MP2、MP100.....	NMOSトランジスタ	
req.....	要求線	
ack.....	応答線線	
vbp.....	PMOSトランジスタの基板端子	
vbn.....	NMOSトランジスタの基板端子	
VBC.....	基板バイアス制御回路	30
RPWR1、RPWR2、RPWR3、RPWR4、RPWR5、RPWR6、RPWR7、RPWR8.....	電源リングを形成している領域	
RUSR.....	回路ブロックを構成しているMOSトランジスタを配置する領域	
VDD100、VDD101、VDD102、VDD103、VDD104、VDD105、VDD106、VDD107、VDD108、VDD109、VDD110.....	電源線	
VSS100、VSS101、VSS102、VSS103、VSS104、VSS105、VSS106、VSS107、VSS108、VSS109、VSS110、VSS111、VSS113.....	接地線	
VSSM100、VSSM101、VSSM102、VSSM103、VSSM104、VSSM105、VSSM106、VSSM107.....	仮想接地線	
SIG100、SIG101.....	信号線	40
RPWRV.....	縦方向電源幹線	
RPWRH.....	横方向電源幹線	
CELL100.....	スタンダートセル。	



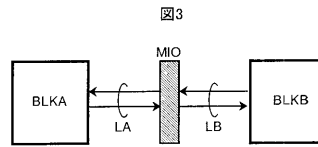
【 図 1 】



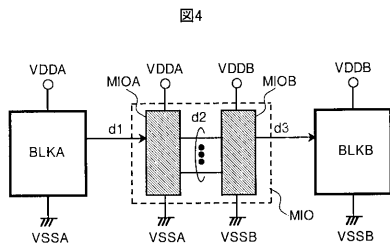
【 図 2 】



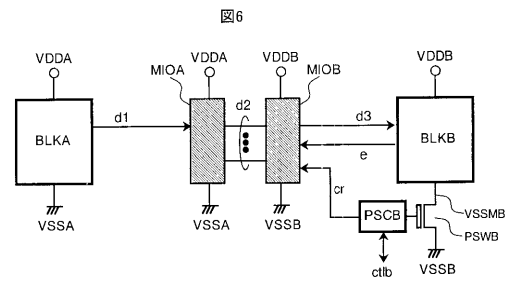
【 図 3 】



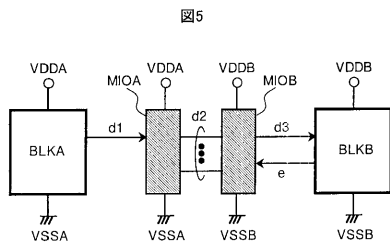
【 図 4 】



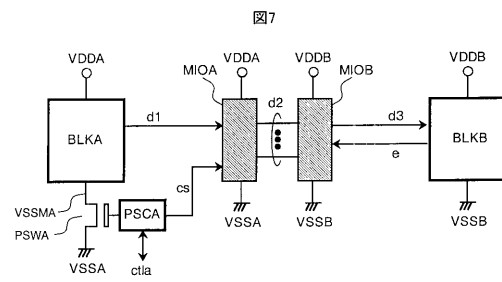
【 図 6 】



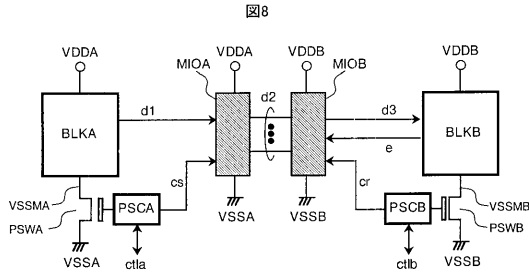
【 図 5 】



【 図 7 】



【 図 8 】

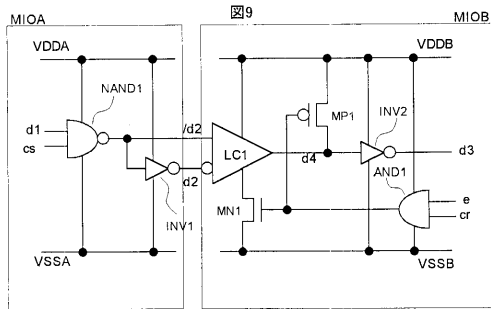


【 図 10 】

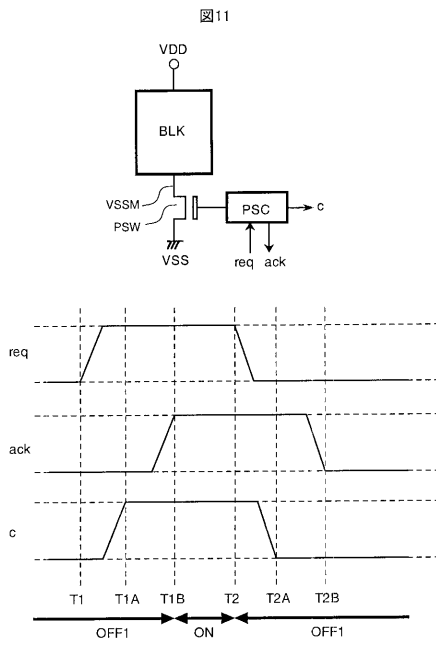
図10

(d1, e, cs, cr)		RCV		
		ON	OFF1	OFF2
SND	ON	(-, H, H, H)	(*, *, H, L)	(*, *, H, *)
	OFF1	(*, -, L, H)	(*, *, L, L)	(*, *, L, *)
	OFF2	(*, L, *, H)	(*, *, *, L)	(*, *, *, *)

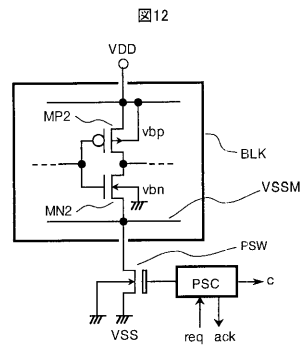
【 図 9 】



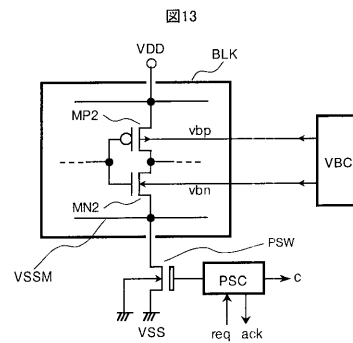
【 図 11 】



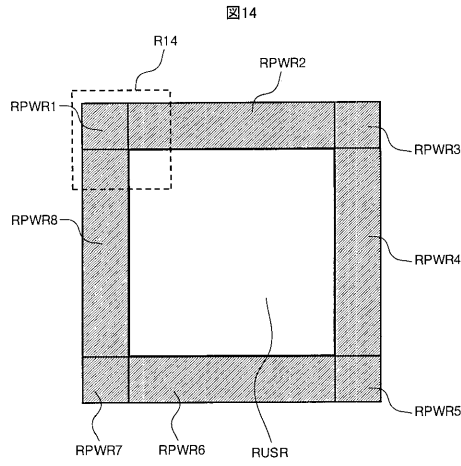
【 図 12 】



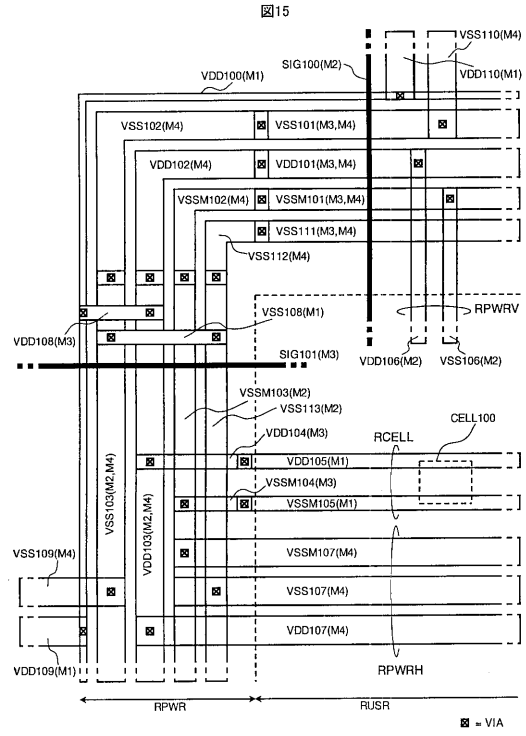
【 図 13 】



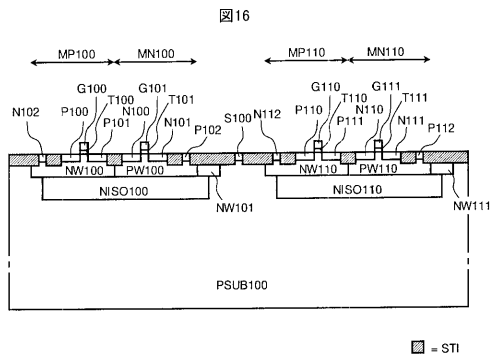
【 図 14 】



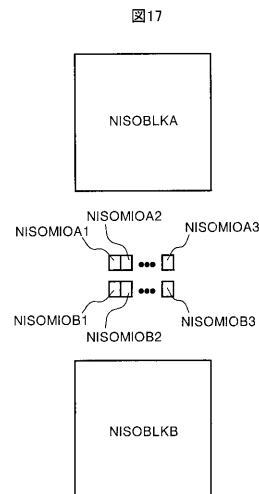
【 図 15 】



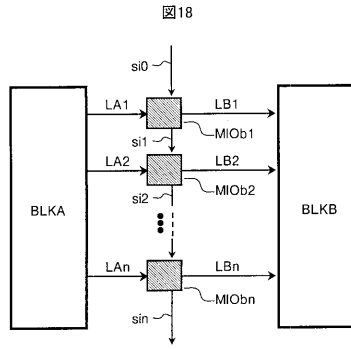
【 図 16 】



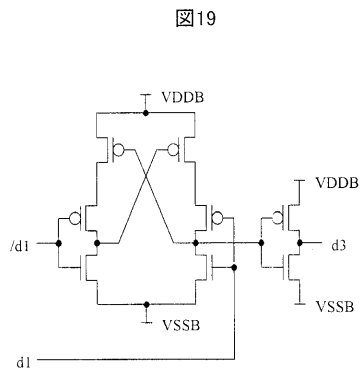
【 図 17 】



【 18 】



【 19 】



---

フロントページの続き

(72)発明者 安 義彦

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 大平 信裕

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 宮島 郁美

(56)参考文献 特開平07-007409(JP,A)

特許第3786608(JP,B2)

特許第4602443(JP,B2)

特開2002-026711(JP,A)

特開平11-055107(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096

H01L21/82, 27/04