



(12) 发明专利

(10) 授权公告号 CN 1677820 B

(45) 授权公告日 2010. 05. 05

(21) 申请号 200510062664. 1

(22) 申请日 2005. 03. 31

(30) 优先权数据

105052/2004 2004. 03. 31 JP

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 东亮太郎 小岛诚

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 夏青

(51) Int. Cl.

H02M 3/07(2006. 01)

(56) 对比文件

US 6456153 B2, 2002. 09. 24, 全文.

同上.

US 6259612 B1, 2001. 07. 10, 说明书第 5 栏第 24 行至第 6 栏第 41 行、图 1.

JP 2000-331489 A, 2000. 11. 30, 说明书第 33 段至第 77 段、图 12.

审查员 徐珍霞

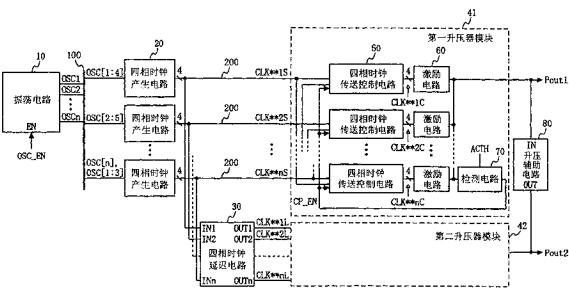
权利要求书 3 页 说明书 18 页 附图 18 页

(54) 发明名称

升压电路

(57) 摘要

本发明公开了一种基于多相时钟进行操作的升压电路。振荡电路 (10) 输出相位不同的振荡时钟 (100), 以及四相时钟产生电路 (20) 基于振荡时钟 (100) 之间的相位差, 产生四相时钟 (200)。四相时钟传送控制电路 (50) 根据信号 CP_EN 来控制是否传送所述四相时钟 (200), 以及激励电路 (60) 基于传送的四相时钟, 产生一升压电压。四相时钟 (200) 中包括的时钟之间的延迟时间周期 T_{os} 是基于所述振荡时钟 (100) 之间的相位差来产生的, 以及因此总是与振荡时钟 (100) 的周期 (T_{osc}) 成正比例关系。因而, 即使周期 (T_{osc}) 由于操作条件而改变, 以及因此可以唯一地确定电荷传送时间周期 (T_{tr})。



1. 一种基于多相时钟进行操作的升压电路,包括:

振荡电路,用于输出若干组彼此相位不同的多个振荡时钟并为每一个多相时钟产生电路提供一组彼此相位不同的多个源振荡时钟;

所述每一个多相时钟产生电路,用于根据该组彼此相位不同的多个源振荡时钟,生成所述多相时钟;

激励电路,用于根据所述多相时钟,产生一升压电压;

多相时钟传送控制电路,用于根据一控制信号来控制是否将所述多相时钟从所述多相时钟产生电路传送到所述激励电路;

检测电路,用于将在所述激励电路中产生的所述升压电压与一预定目标电压进行比较,并且向所述多相时钟传送控制电路输出所述控制信号,

其中,当所述多相时钟传送控制电路中止传送所述多相时钟时,所述多相时钟保持在中止传送所述多相时钟时取得的值,以及当由所述多相时钟产生电路产生的所述多相时钟取得在中止被传送时获取的值时,所述多相时钟传送控制电路重新开始传送所述多相时钟。

2. 根据权利要求1的升压电路,其中,所述多相时钟传送控制电路包括:

控制信号存储电路,用于对于所述多相时钟之每一个周期存储所述控制信号的值;以及

时钟屏蔽电路,用于当所存储的值等于第一值时,使所述多相时钟从该时钟屏蔽电路中通过,以及当在其它情况下时,将所述多相时钟保持在一预定值。

3. 根据权利要求1的升压电路,其中,所述多相时钟传送控制电路包括:

多个控制信号存储电路,用于对于所述多相时钟之每一个周期存储所述控制信号在不同时间的多个值;

定时存储电路,用于存储所述控制信号存储电路中存储的任何值从第一值变为第二值的时间;以及

时钟屏蔽电路,用于当存储在所述控制信号存储电路中的所述多个值都等于所述第一值时,使所述多相时钟通过,以及当在其它情况下时,根据存储在所述定时存储电路中的所述时间,将所述多相时钟保持在一预定值。

4. 一种基于多相时钟进行操作的升压电路,包括:

振荡电路,用于输出若干组彼此相位不同的多个振荡时钟并为每一个多相时钟产生电路提供一组彼此相位不同的多个源振荡时钟;

所述每一个多相时钟产生电路,用于根据该组彼此相位不同的多个源振荡时钟,产生所述多相时钟;以及

多个激励电路,用于基于所述多相时钟,产生彼此电平不同的多个升压电压;

多相时钟传送控制电路,用于根据一控制信号来控制是否将所述多相时钟从所述多相时钟产生电路传送到所述激励电路,

检测电路,用于将在所述激励电路中产生的所述升压电压与一预定目标电压进行比较,并且向所述多相时钟传送控制电路输出所述控制信号;

其中,当所述多相时钟传送控制电路中止传送所述多相时钟时,所述多相时钟保持在中止传送所述多相时钟时取得的值,以及当由所述多相时钟产生电路产生的所述多相时钟

取得在中止被传送时获取的值时,所述多相时钟传送控制电路重新开始传送所述多相时钟。

5. 根据权利要求 4 的升压电路,还包括多相时钟延迟电路,用于延迟所述多相时钟,其中,所述多个激励电路被提供有由所述多相时钟延迟电路延迟不同时间周期的多个多相时钟。

6. 根据权利要求 4 的升压电路,还包括升压辅助电路,用于使电流只按照从低电压输出端到高电压输出端的方向在所述多个激励电路的输出端之间流动,所述低电压输出端输出相对较低的升压电压,所述高电压输出端输出相对较高的升压电压。

7. 根据权利要求 6 的升压电路,其中,所述升压辅助电路包括 N 沟道晶体管,其中,所述 N 沟道晶体管的漏极端和栅极端连接到所述低电压输出端,源极端连接到所述高电压输出端,以及本体被接地。

8. 根据权利要求 6 的升压电路,

其中,所述升压辅助电路包括:

第一 N 沟道晶体管,其中,所述第一 N 沟道晶体管的漏极端和栅极端连接到所述低电压输出端,以及源极端连接到所述高电压输出端;

第二 N 沟道晶体管,其中,所述第二 N 沟道晶体管的漏极端连接到所述低电压输出端,以及栅极端连接到所述高电压输出端;以及

第三 N 沟道晶体管,其中,所述第三 N 沟道晶体管的漏极端连接到所述高电压输出端,以及栅极端连接到所述低电压输出端,以及

其中,所述第二 N 沟道晶体管的源极端和所述第三 N 沟道晶体管的源极端都连接到所述第一 N 沟道晶体管、所述第二 N 沟道晶体管、以及所述第三 N 沟道晶体管每一个的本体。

9. 一种基于多相时钟进行操作的升压电路,包括:

振荡电路,用于输出彼此相位不同的多个振荡时钟;

多相时钟产生电路,用于基于所述多个振荡时钟,产生所述多相时钟;以及

激励电路,用于根据所述多相时钟,产生一升压电压;

其中,所述激励电路包括彼此串联的多级升压器单元,

其中,所述多级升压器单元的每一级包括:

电荷传送晶体管,用于把来自上一级升压器单元中的电路的输出电压传送到下一级升压器单元中的电路;

输出电压升压电容器,具有连接到所述电荷传送晶体管之输出端的第一电极,以及所述多相时钟中包含的第一时钟被提供给其的第二电极;

栅极电压升压电容器,具有连接到所述电荷传送晶体管之栅极端的第一电极,以及所述多相时钟中包含的第二时钟被提供给其的第二电极;

开关晶体管,用于执行转换,以将所述电荷传送晶体管的输入端耦合到其栅极端;以及

电压重置电路,用于根据给定的重置控制信号,将所述电荷传送晶体管的栅极电压重置到一预定电压电平,以及

其中,在第一级的升压器单元中,所述重置控制信号的反相信号被施加到所述电荷传送晶体管的阱以及所述开关晶体管的阱上,以及在除所述第一级之外的任何级的升压器单元中,所述上一级中的电路的输出电压被施加到所述电荷传送晶体管的阱以及所述开关晶

体管的阱。

10. 一种基于多相时钟进行操作的升压电路,包括:

振荡电路,用于输出若干组彼此相位不同的多个振荡时钟并为每一个多相时钟产生电路提供一组彼此相位不同的多个源振荡时钟;

所述每一个多相时钟产生电路,用于根据该组彼此相位不同的多个源振荡时钟,生成所述多相时钟;

激励电路,用于根据所述多相时钟,产生一升压电压;

多相时钟传送控制电路,用于根据一控制信号来控制是否将所述多相时钟从所述多相时钟产生电路传送到所述激励电路;以及

检测电路,用于将在所述激励电路中产生的所述升压电压与一预定目标电压进行比较,并且向所述多相时钟传送控制电路输出所述控制信号。

升压电路

技术领域

[0001] 本发明涉及一种升压电路,以及更具体地,涉及包括在半导体集成电路中并且基于多相时钟进行操作的升压电路。

背景技术

[0002] 例如快速电可擦可编程只读存储器 (flash EEPROM) 的非易失性存储器或者包含有这种存储器的微型计算机需要比外部提供的电源电压更高的电压,以便在非易失性存储器上执行擦除 / 编程操作 (此后,共同地称为“重写操作”) 或者读取操作。这些操作所需要的电压是从升压电路中提供的,其中升压电路包括在非易失性存储器等中并且产生多个升压电压。广泛使用四相时钟驱动阈值平衡型升压电路作为升压电路,其中该升压电路能够在低电压电平下进行操作,以有效地对电压电平进行升压。

[0003] 图 16 是描述传统的四相时钟驱动升压电路之结构的示意图。图 16 所示的升压电路包括:第一升压器模块 48,用于产生高于电源电压的电压 P_{out1} ;以及第二升压器模块 49,用于产生高于电压 P_{out1} 的电压 P_{out2} 。第一升压器模块 48 包括:振荡电路 10、多个四相时钟产生电路 29、在数量上与四相时钟产生电路 29 的数量相等的激励电路 69、以及检测电路 70。第二升压器模块 49 是以类似于第一升压器模块 48 的方式构造的。

[0004] 第一升压器模块 48 中包括的每一个电路都如下描述的那样进行操作。振荡电路 10 输出彼此相位不同的多个振荡时钟 100。四相时钟产生电路 29 每一个基于振荡时钟 100 其中之一 (例如, OSC1) 来产生四相时钟 209,其中所述四相时钟 209 是由彼此相位不同的四个时钟组成的。激励电路 69 每一个基于由四相时钟产生电路 29 其中之一产生的四相时钟 209 来产生高于电源电压的电压 P_{out1} 。为了将从激励电路 69 输出的电压 P_{out1} 控制在预定电压 (此后,称为“目标电压”),检测电路 70 基于电压 P_{out1} 的电平来控制振荡电路 10 的接通 / 断开操作。在检测电路 70 中,根据电压设定信号 ACTH,目标电压例如在高电平和低电平之间转换。

[0005] 振荡电路 10 例如包括环形振荡器,其中一个与非 (NAND) 门与偶数个反相器连接以形成一个环 (见后面将描述的图 2)。四相时钟产生电路 29 每一个例如是这样:一个电路,其中多个反相器和选择电路 22 如图 17 中所示那样连接在一起。选择电路 22 每一个当输入 S 是低 (L) 电平时输出输入 A,以及当输入 S 是高 (H) 电平时输出输入 B (见后面将描述的图 4)。四相时钟产生电路 29 每一个包括延迟电路 28,其中延迟电路 28 每一个都是由多个相互串联的反相器组成的。每个延迟电路 28 所产生的延迟时间周期假定为 T_{cs} 。

[0006] 激励电路 69 每一个例如是这样:一个电路,其中四个升压器单元 68 以及 62-64 如图 18A 所示那样相互串联。最后级中的升压器单元 64 具有输出端,该输出端连接到整流器晶体管 65。如图 18A 所示,升压器单元 68 以及 62-64 每一个都被耦合到由四相时钟产生电路 29 其中之一所产生的四相时钟 209 中的两个时钟,并被这两个时钟驱动。

[0007] 升压器单元 68 以及 62-64 是例如图 18B 所示类型的升压器单元。升压器单元 68 以及 62-64 每一个包括 N 沟道电荷传送晶体管 M1、N 沟道开关晶体管 M2、升压电容器 C1 和

C2、以及电压重置电路 67。当从 R 端子输入的电压重置信号 ACTR 为非活动的 (inactive) 时,电压重置电路 67 使电荷传送晶体管 M1 的栅极端和接地端变为非导通状态,以及当所述信号为活动的 (active) 时,使上述两个端子变为导通状态。这样,当电压重置信号 ACTR 为活动的时,在电荷传送晶体管 M1 两端之间所施加的栅极电压 V_g 被重置到接地电压 VSS。这种电压重置电路 67 通过 N 沟道金属氧化物半导体 (NMOS) 晶体管 M3 来实现,其中源极端接地,漏极端连接到电荷传送晶体管 M1 的栅极端,以及电压重置信号 ACTR 被施加到栅极端。

[0008] 参考图 19,描述以上述方式构造的传统升压电路中使用的四相时钟产生方法。当从 EN 端子输入的时钟启动信号 CP_EN 的电平变为“H”时,振荡电路 10 开始操作,以及顺序地输出 n 个信号 OSC1 到 OSCn,作为振荡时钟 100,以便在预定时间周期 (图 19 所示的延迟时间周期 T_{os}) 的多个增量中被延迟。

[0009] 在图 17 所示的第 i 四相时钟产生电路 29 中 (其中 i 为 1 到 n 范围内的整数),当从振荡电路 10 输出的信号 OSCi 下降时,时钟 CLKG1iS 下降。在时钟 CLKG1iS 下降时,时钟 CLKT1iS 升高。在延迟时间周期 T_{cs} 之后,因为由延迟电路 28 所引起的时钟 CLKT1iS 的升高,时钟 CLKT2iS 下降。在时钟 CLKT2iS 下降时,时钟 CLKG2iS 升高。在经过电荷传送时间周期 T_{tr} 之后,时钟 OSCi 升高,以及时钟 CLKG2iS 下降。在时钟 CLKG2iS 下降时,时钟 CLKT2iS 升高。在由于时钟 CLKT2iS 的升高而由延迟电路 28 所引起的延迟时间周期 T_{cs} 之后,时钟 CLKT1iS 下降。在时钟 CLKT1iS 下降时,时钟 CLKG1iS 升高。以这种方式,在第 i 四相时钟产生电路 29 中,基于从振荡电路 10 输出的信号 OSCi,产生彼此相位不同的四相时钟 CLKG1iS、CLKT1iS、CLKT2iS、以及 CLKG2iS。请注意:图 19 通过例子的方式显示了第 n 四相时钟产生电路 29 如何基于从振荡电路 10 输出的信号 OSCn 产生四个时钟 CLKG1nS、CLKT1nS、CLKT2nS、以及 CLKG2nS。

[0010] 基于从第 i 四相时钟产生电路 29 输出的四个时钟 CLKG1iS、CLKT1iS、CLKT2iS、CLKG2iS,第 i 激励电路 69 执行电压升压,并且输出比电源电压高的电压 Pout1。激励电路 69 在时钟 CLKG1iS 或者 CLKG2iS 的电平为“H”期间传送用于执行电压升压的电荷。因而,电压升压的效率随着周期变得更长 (例如,随着电荷传送时间周期变得更长) 而提高。

[0011] 检测电路 70 具有比电源电压高的目标电压。当从激励电路 69 输出的电压 Pout1 低于目标电压时,检测电路 70 将时钟启动信号 CP_EN 设定为“H”电平,以及当电压 Pout1 比目标电压高时,将信号 CP_EN 设定为“L”电平。在信号 CP_EN 为“H”电平时,振荡电路 10 是活动的,并且因而激励电路 69 执行电压升压,使得电压 Pout1 升高。另一方面,在信号 CP_EN 为“L”电平时,振荡电路 10 是非活动的,并且因而激励电路 69 中止电压升压,使得电压 Pout1 没有升高。这样,从激励电路 69 输出的电压 Pout1 被控制,使得与目标电压一致。

[0012] 正如以上所述,在传统的升压电路中,每一个激励电路 69 基于从振荡电路 10 输出的一个振荡时钟 100 进行操作 (见例如日本专利公开 No. 2000-331489)。

[0013] 接下来,详细描述传统升压电路 (图 18A 和图 18B) 中包括的激励电路 69。当升压电路被激活时,电压重置信号 ACTR 保持在“L”电平,使得电压重置电路 67 中包括的 NMOS 晶体管 M3 变为非导通状态。激励电路 69 输出四个时钟 CLKG1iS、CLKT1iS、CLKT2iS、以及 CLKG2iS,每一个都是在“H”和“L”电平之间周期性交替的方波 (看图 19)。请注意:“H”和“L”电平周期的每一个具有预定的长度。如图 18A 所示,四个时钟被输入到升压器单元 68 以及 62-64。

[0014] 当提供四相时钟时,激励电路 69 将第一级的升压器单元 68 中包括的升压电容器 C1 中积累的电荷传送到第二级的升压器单元 62 中包括的升压电容器 C1。然后,电荷被传送到第三级的升压器单元 63 中包括的升压电容器 C1,以及进一步被传送到第四级的升压器单元 64 中包括的升压电容器 C1。当电荷被顺序地从一个升压电容器 C1 传送到另一个升压电容器时,时钟 CLK1iS 和 CLK2iS 在预定的时间从接地电压电平变为电源电压电平,由此可以抑制从前一级电路所输出的升压电压的下降。此后,升压电压被传送到下一级中的升压电容器 C1,在此时钟 CLK1iS 和 CLK2iS 在预定的时间从接地电压电平变为电源电压电平,使得升压电压被进一步升压。因而,可以得到比从前一级的电路输出的电压高的电压。通过重复这一系列的操作,可以获得比电源电压 VCC 高的期望电压。

[0015] 检测电路 70 对将要从第一升压器模块 48 输出的电压 Pout1 进行控制,使得保持在目标电压电平。如图 16 所示,检测电路 70 接收用于改变目标电压之电平的电压重置信号 ACTH。当需要相对较高的电压(例如,10V)时,例如当在快速 EEPROM 上执行重写操作时,电压重置信号 ACTH 例如设定在“H”电平。在这种情况下,检测电路 70 的目标电压是 10V,以及控制将要从第一升压器模块 48 输出的电压 Pout1,使得其为 10V。另一方面,当需要相对较低的电压(例如,5V)时,例如当在快速 EEPROM 上执行读取操作时,电压重置信号 ACTH 例如设定在“L”电平。在这种情况下,检测电路 70 的目标电压是 5V,以及控制将要从第一升压器模块 48 输出的电压 Pout1,使其为 5V。以这种方式,通过改变电压重置信号 ACTH 的电平,可以使将要从升压电路输出的电压 Pout1 根据操作模式在多个电平之间进行转换。

[0016] 然而,例如在模式突然从重写转变为读取的情况中,当目标电压改变时,激励电路 69 可能遇到如下所述的问题。如果目标电压从高电平变为低电平,那么在第四级升压器单元 64 包括的电荷传送晶体管 M1 中,源极电压 Vs 以及漏极电压 Vd 突然减小,使得两个电压基本上变得相等。因而,不管时钟 CLKG1iS 和 CLK1iS 的状态,开关晶体管 M2 进入恒定截止状态,使得在电荷传送晶体管 M1 中,栅极电压 Vg 保持在高电平。结果,不管 CLKG1iS 和 CLK1iS 的状态,电荷传送晶体管 M1 中的栅源电压 Vgs 变的高于电荷传送晶体管 M1 的阈值电压 Vt(例如,大约 0.5V),使得电荷传送晶体管 M1 进入恒定导通状态。因而,同在第四级升压器单元 64 中一样,在第三级升压器单元 63 包括的电荷传送晶体管 M1 中,源极电压 Vs 以及漏极电压 Vd 突然减小,使得第三级升压器单元 63 中包括的每个节点都进入与第四级升压器单元 64 中包括的每个节点相同的状态。结果,在第三级升压器单元 63 中包括的电荷传送晶体管 M 也进入恒定导通状态。第二级升压器单元 62 和第一级升压器单元 68 都出现相同的情况,使得第二级升压器单元 62 中包括的每个节点以及第一级升压器单元 68 中包括的每个节点都进入同上述一样的状态。当随着目标电压从高电平变为低电平时同时电源电压变为低电平时也遇到上述问题。在这种情况下,毫无疑问,可能很容易遇到上述问题。如果遇到上述问题,那么在改变目标电压电平之后不能获得期望的电压电平,使得升压电路的电流提供性能降低。如果升压电路的操作电压被逐渐减小,也容易遇到以上问题。

[0017] 因此,为了防止以上问题,升压器单元 68 以及 62-64 的每一个都包括电压重置电路 67。电压重置电路 67 提供有从相应的一个升压器单元的 R 端子所输入的电压重置信号 ACTR。当电压重置信号 ACTR 变化时,电压重置信号 ACTR 只在预定时间周期(例如,大约 10 纳秒(ns))被置于活动状态(“H”)。因而,只有在电压重置信号 ACTR 被置于活动状态的时间周期,电压重置电路 67 中包括的 NMOS 晶体管 M3 中的栅源电压(其电平等于电源电压

V_{cc} 的电平, 例如 0.5V) 才超出 NMOS 晶体管 M3 的阈值电压, 使得 NMOS 晶体管 M3 变为导通状态。这样, 升压器单元 68 以及 62-64 每一个包括的电荷传送晶体管 M1 中的栅极电压 V_g 的电平被重置到接地电压 V_{ss} 的电平。此后, 通过改变电压重置信号 ACTR 使得处于非活动状态 (“L”), 导致 NMOS 晶体管 M3 变为非导通状态。因而, 即使在电荷传送晶体管 M1 中栅极电压逐渐升高, 升压电荷也不会损失, 因此激励电路 69 能够正常地执行电压升压。以这种方式, 通过设置电压重置电路 67, 可以防止其中电荷传送晶体管 M1 进入恒定导通状态的问题。

[0018] 上述传统的升压电路具有以下描述的问题。在传统的升压电路中, 基于从振荡电路 10 输出的一个振荡时钟 100, 通过相应的四相时钟产生电路 29 分别产生将要被提供给激励电路 69 的四相时钟 209。同样, 振荡时钟 100 的周期 T_{osc} 是由振荡电路 10 的结构确定的 (具体地, 由环形振荡器中包括的反相器和电容器所产生的延迟时间周期), 而时钟 CLK1iS 和 CLK2iS 之间的延迟时间周期 T_{cs} 是由四相时钟产生电路 29 其中相应一个的结构确定的 (具体地, 由延迟电路 28 所产生的延迟时间周期)。通过不同的电路确定周期 T_{osc} 以及延迟时间周期 T_{cs} 的原因有两个。第一, 需要分别消除振荡时钟 100 之周期 T_{osc} 的电源电压特性等。第二, 由各个四相时钟产生电路 29 所产生的延迟时间周期为几纳秒, 以及需要的四相时钟产生电路 29 的数量与激励电路 69 的数量相同, 使得四相时钟产生电路 29 每一个都要求小的尺寸。然而, 在由不同的电路分别确定周期 T_{osc} 和延迟时间周期 T_{cs} 的升压电路中, 根据例如电源电压、过程中的变化、温度波动等等操作条件, 周期 T_{osc} 和延迟时间周期 T_{cs} 可能或者不可能变得相互成正比。因而, 在给定的操作条件下, 电荷传送的时间周期 T_{tr} 变得更短, 导致电压升压效率下降。由于以上原因, 也很难增加振荡时钟 100 的频率。

[0019] 另外, 在传统的升压电路中, 第一升压器模块 48 和第二升压器模块 49 两者都包括振荡电路 10 和四相时钟产生单元 29, 因此, 电路尺寸很大。此外, 如果第一升压器模块 48 和第二升压器模块 49 都用相同的四相时钟 209 进行操作, 电流同时流到两个升压器模块, 导致峰值电流的增加。

[0020] 此外, 在传统的升压电路中, 当时钟启动信号 CP_EN 的电平变为 “L” 时, 将要提供到所有激励电路 69 上的四相时钟 209 同时保持在相同的电平。在这种情况下, 不管激励电路 69 的状态, 所有四相时钟 209 都保持在相同的电平, 使得与正常状态相比, 峰值电流增大。此外, 如果电压 P_{out2} 比电压 P_{out1} 高, 则因为第二升压器模块 49 的电流提供能力低于第一升压器模块 48 的电流提供能力, 所以电压 P_{out2} 的升高时间变得更长。

[0021] 此外, 正如以上所述, 为了防止电荷传送晶体管 M1 处于恒定导通状态的问题, 升压器单元 68 以及 62-64 每一个都包括电压重置电路 67。然而, 在第一级升压器单元 68 中, 开关晶体管 M2 的漏极端和基底节点都保持在电源电压 V_{CC}, 以及因此, 在电压重置信号 CP_EN 处于活动状态中时, 如果电荷传送晶体管 M1 中的栅极电压的电平被控制到接近于接地电压的电平, 则电流经由开关晶体管 M2 中的基底节点与源极节点之间的前向偏置 PN 结从电源 V_{CC} 流到电荷传送晶体管 M1 的栅极端。因而, 除电压重置电路之外, 传统的升压电路需要时间控制电路, 用于对电压重置信号 ACTR 被激活时间周期进行控制。结果, 由于时间控制电路的尺寸, 所以增加了升压电路的尺寸。

发明内容

[0022] 因此,本发明的目的是提供一种能够解决上述问题的升压电路。

[0023] 为了达到上述目的,本发明具有以下特征。

[0024] 本发明的第一升压电路是基于多相时钟进行操作的升压电路,包括:振荡电路,用于输出彼此相位不同的多个振荡时钟;多相时钟产生电路,用于根据所述多个振荡时钟之间的相位差,产生多相时钟;激励电路,用于根据所述多相时钟来产生一个升压电压;多相时钟传送控制电路,用于根据一控制信号来控制是否将所述多相时钟从所述多相时钟产生电路传送到所述激励电路;以及检测电路,用于将在所述激励电路中产生的所述升压电压与一预定目标电压进行比较,并且向所述多相时钟传送控制电路输出所述控制信号,其中当所述多相时钟传送控制电路中止传送所述多相时钟时,所述多相时钟保持在中止传送所述多相时钟时取得的值,以及当由所述多相时钟产生电路产生的所述多相时钟取得在中止被传送时取得的值时,所述多相时钟传送控制电路重新开始传送所述多相时钟。

[0025] 在上述升压电路中,多相时钟中包含的时钟之间的延迟时间周期是基于从振荡电路输出的多个振荡时钟之间的相位差来产生的,因此与振荡时钟的周期总是成正比例关系。因而,即使操作条件(例如电源电压、过程中的变化、以及温度波动等)改变,以及因而,振荡时钟的周期被改变,延迟时间周期也以相同的速度变化。因此,可以唯一地确定用于执行电压升压的电荷传送时间周期。因而,可以容易地设计允许实现期望的电荷传送时间周期的升压电路,以及也可以增加振荡时钟的频率。

[0026] 在这种情况下,所述升压电路还包括:检测电路,用于将激励电路中产生的升压的电压与预定目标电压进行比较,以及输出控制信号,其中当升压电压小于目标电压时,该控制信号具有第一值,以及当升压电压大于目标电压时,该控制信号具有第二值;以及多相时钟传送控制电路,用于根据控制信号来控制是否将多相时钟从多相时钟产生电路传送到激励电路。在这种情况下,当多相时钟传送控制电路中止传送多相时钟时,多相时钟可以保持在中止传送多相时钟时取得的值,以及当由多相时钟产生电路所产生的多相时钟取得在中止被传送时取得的值时,多相时钟产生电路重新开始传送多相时钟。

[0027] 在上述的升压电路中,激励电路在将相位差保持在与操作期间的相位差相同的水平时顺序地中止它们的操作。因此,当电压升压中止或重新开始时,可以防止在操作期间电流流动变得比大于峰值电流流动。

[0028] 更优选地,多相时钟传送控制电路可以包括:控制信号存储电路,用于对于多相时钟之每个周期存储控制信号的值;以及时钟屏蔽电路,用于当存储的值等于第一值时,使多相时钟从其中通过,以及当在其它情况下时,使多相时钟保持在预定值。

[0029] 这样,可以在多相时钟的周期内的预定时间点中止传送多相时钟,以及也可以在与中止传送的周期中相同的时间点重新开始传送多相时钟。

[0030] 可替换地,多相时钟传送控制电路可以包括:多个控制信号存储电路,用于对于多相时钟的每个周期在不同时间存储控制信号的多个值;定时存储电路,用于存储控制信号存储电路中存储的任何值从第一值变为第二值的时间;以及时钟屏蔽电路,用于当控制信号存储电路中存储的值都等于第一值时,使多相时钟通过,以及当在其它情况下时,根据定时存储电路中存储的时间,使多相时钟保持在预定值。

[0031] 因而,可以在一个周期内的多个时间中止传送多相时钟,因此当控制信号的值从

第一值变为第二值时,可以立即中止对电压进行升压。因而,可以抑制超过目标电压电平的升压电压的数量。

[0032] 本发明的第二升压电路是基于多相时钟进行操作的升压电路,包括:振荡电路,用于输出彼此相位不同的多个振荡时钟;多相时钟产生电路,用于基于所述多个振荡时钟之间的相位差产生多相时钟;多个激励电路,用于基于所述多相时钟产生彼此相位不同的多个升压电压;多相时钟传送控制电路,用于根据一控制信号来控制是否将所述多相时钟从所述多相时钟产生电路传送到所述激励电路;以及检测电路,用于将在所述激励电路中产生的所述升压电压与一预定目标电压进行比较,并且向所述多相时钟传送控制电路输出所述控制信号,其中当所述多相时钟传送控制电路中止传送所述多相时钟时,所述多相时钟保持在中止传送所述多相时钟时取得的值,以及当由所述多相时钟产生电路产生的所述多相时钟取得在中止被传送时获取的值时,所述多相时钟传送控制电路重新开始传送所述多相时钟。

[0033] 在上述升压电路中,多相时钟中包含的时钟之间的延迟时间周期是基于从振荡电路输出的多个振荡时钟之间的相位差产生的,因此与振荡时钟的周期总是成正比例关系。因而,即使操作条件(例如电源电压、过程中的变化、以及温度波动等)改变,以及因此振荡时钟的周期被改变,延迟时间周期也以相同的速度变化。因此,可以唯一地确定用于执行电压升压的电荷传送时间周期。因而,可以容易地设计允许实现所期望的电荷传送时间周期的升压电路,以及也可以增加振荡时钟的频率。

[0034] 此外,在上述升压电路中,即使在产生多个升压电压的情况中,也可以在用于产生升压电压的多个升压器模块之间共享振荡电路和多相时钟产生电路,因此可以减小升压电路的电路尺寸。

[0035] 在这种情况下,所述升压电路还可以包括用于延迟多相时钟的多相时钟延迟电路,并且所述多个激励电路可以被提供有由多相时钟延迟电路通过不同时间周期进行延迟的多相时钟。

[0036] 在上述升压电路中,多个激励电路在彼此不同的时间对电压进行升压。因而,可以使峰值电流在不同的时间流向激励电路。这样,可以将整个电路中的峰值电流抑制到与只包括一个激励电路的升压电路中的峰值电流相同的水平。

[0037] 可替换地,升压电路还可以包括升压辅助电路,用于使得电流只按照从低电压输出端到高电压输出端的方向在多个激励电路的输出端之间流动,其中低电压输出端输出相对较低的升压电压,高电压输出端输出相对较高的升压电压。

[0038] 在上述升压电路中,当从高电压输出端输出的升压电压低于从低电压输出端输出的升压电压时,电流流向升压辅助电路,以及当在其它情况下时,没有电流流向升压辅助电路。这样,可以减小相对较高的升压电压的升高时间。

[0039] 更优选地,所述升压辅助电路可以包括N沟道晶体管,其中漏极端和接地端子都连接到低电压输出端,源极端连接到高电压输出端,并且本体(bulk)接地。

[0040] 在上述升压电路中,所述N沟道晶体管用作二极管,以及因此可以容易地构造一个升压辅助电路,该升压辅助电路使电流只在从低电压输出端到高电压输出端的方向上流动。

[0041] 可替换地,所述升压辅助电路还可以包括:第一N沟道晶体管,其中漏极端和接地

端子都连接到低电压输出端,以及源极端连接到高电压输出端;第二 N 沟道晶体管,其中漏极端连接到低电压输出端,以及栅极端连接到高电压输出端;以及第三 N 沟道晶体管,其中漏极端连接到高电压输出端,以及栅极端连接到低电压输出端。在这种情况下,第二 N 沟道晶体管的源极端以及第三 N 沟道晶体管的源极端都连接到第一 N 沟道晶体管、第二 N 沟道晶体管、以及第三 N 沟道晶体管每一个的自体。

[0042] 在上述升压电路中,所述 N 沟道晶体管用作二极管,以及因此可以容易地构造一个升压辅助电路,该升压辅助电路使电流只在从低电压输出端到高电压输出端的方向上流动。此外,第二和第三 N 沟道晶体管可以被用于控制第一 N 沟道晶体管的基底电压,从而抑制基底偏压效应的产生。因而,可以使得较大的电流流向升压辅助电路,由此进一步减小了相对较高的升压电压的升高时间。

[0043] 本发明的第三升压电路是基于多相时钟进行操作的升压电路,包括:振荡电路,用于产生彼此相位不同的多个振荡时钟;多相时钟产生电路,用于基于所述多个振荡时钟产生多相时钟;以及激励电路,用于基于所述多相时钟电压产生升压电压。在这种情况下,激励电路包括多个彼此串联的升压器单元,多个升压器单元每一个包括:电荷传送晶体管,用于将输出电压从上一级中的电路传送到下一级中的电路;输出电压升压电容器,具有连接到电荷传送晶体管的输出端的第一电极,以及多相时钟中包含的第一时钟被施加到其上的第二电极;栅极电压升压电容器,具有连接到电荷传送晶体管的栅极端的第一电极,以及多相时钟中包含的第二时钟被施加到其上的第二电极;开关晶体管,用于执行转换,以使电荷传送晶体管的输入端耦合到其栅极端;以及电压重置电路,用于根据给定的重置控制信号来将电荷传送晶体管的栅极电压重置到预定电压电平;并且在第一级中的升压器单元中,所述重置信号的反相信号被施加到电荷传送晶体管的阱(well)以及开关晶体管的阱(well),以及在除第一级之外的所有级中的升压器单元中,上一级中的电路的输出电压被施加到电荷传送晶体管的阱以及开关晶体管的阱。

[0044] 在上述升压电路中,当电压重置信号被用来重置电荷传送晶体管的栅极电压时,没有静态电流流向激励电路。因而,不需要控制用于激活电压重置电路的时间周期,以及也不需要提供用于控制激活电压重置电路的时间周期的时间控制电路。这样,可以减小升压电路的电路尺寸。

[0045] 本发明的第四升压电路是基于多相时钟进行操作的升压电路,包括:振荡电路,用于输出彼此相位不同的多个振荡时钟;多相时钟产生电路,用于根据所述多个振荡时钟之间的相位差,产生多相时钟;激励电路,用于根据所述多相时钟来产生一个升压电压;多相时钟传送控制电路,用于根据一控制信号来控制是否将所述多相时钟从所述多相时钟产生电路传送到所述激励电路;以及检测电路,用于将在所述激励电路中产生的所述升压电压与一预定目标电压进行比较,并且向所述多相时钟传送控制电路输出所述控制信号。

[0046] 正如以上所述,在本发明的升压电路中,时钟和振荡时钟的周期之间的延迟时间周期彼此都总是成正比例关系,因此可以获得期望的电荷传送时间,以及增加振荡时钟的频率。此外,多相时钟传送控制电路可以被用来抑制峰值电流的数量,以及由此抑制超出目标电压之电平的升压电压的数量。此外,在产生多个升压电压的情况中,振荡电路以及多相时钟产生电路可以在升压器模块之间被共享,从而可以减小电路尺寸。此外,上述多相时钟延迟电路可以被用于抑制峰值电流的数量。此外,所述升压辅助电路可以被用于减小升压

电压的升高时间。此外,通过以上述方式构造第一级升压器单元,可以减小电路尺寸。

[0047] 通过结合附图的以下详细说明,本发明的这些以及其它目的、特征、方面以及优点将更加明显。

[0048] 附图简要说明

[0049] 图 1 是描述根据本发明之实施例的升压电路之结构的方框图;

[0050] 图 2 是描述包括在图 1 所示的升压电路中的振荡电路之示例性结构的示意图;

[0051] 图 3 是描述包括在图 1 所示的升压电路中的四相时钟产生电路之示例性结构的示意图;

[0052] 图 4 是描述包括在图 3 所示的四相时钟产生电路中的选择器之示例性结构的示意图;

[0053] 图 5 是描述包括在图 1 所示的升压电路中的四相时钟延迟电路之示例性结构的示意图;

[0054] 图 6 是描述包括在图 1 所示的升压电路中的四相时钟传送控制电路之第一示例性结构的示意图;

[0055] 图 7 是描述包括在图 1 所示的升压电路中的四相时钟传送控制电路之示例性结构的示意图;

[0056] 图 8A、8B 和 8C 每一个是描述包括在图 1 所示的升压电路中的激励电路之示例性结构的示意图;

[0057] 图 9 是描述包括在图 1 所示的升压电路中的升压辅助电路之第一示例性结构的示意图;

[0058] 图 10 是描述包括在图 1 所示的升压电路中的升压辅助电路之第二示例性结构的示意图;

[0059] 图 11 是用于图 3 所示的四相时钟产生电路的时序图;

[0060] 图 12 是用于图 6 所示的四相时钟传送控制电路的时序图;

[0061] 图 13 是用于图 7 所示的四相时钟传送控制电路的时序图;

[0062] 图 14 是描述图 7 所示的四相时钟传送控制电路在第一时间点中止四相时钟的传送的情况的时序图;

[0063] 图 15 是描述图 7 所示的四相时钟传送控制电路在第二时间点中止四相时钟的传送的情况的时序图;

[0064] 图 16 是描述传统的升压电路之结构的示意图;

[0065] 图 17 是描述包括在升压电路中的四相时钟产生电路之示例型结构的示意图;

[0066] 图 18A 和 18B 每一个是描述包括在传统的升压电路中的激励电路之示例性结构的示意图;以及

[0067] 图 19 是用于图 17 所示的四相时钟产生电路的时序图。

具体实施方式

[0068] 图 1 是描述根据本发明之实施例的升压电路之结构的方框图。该升压电路包括:振荡电路 10、多个四相时钟产生电路 20、四相时钟延迟电路 30、第一升压器模块 41、第二升压器模块 42、以及升压辅助电路 80。第一升压器模块 41 包括:在数量上与四相时钟产生电

路 20 相等的四相时钟传送控制电路 50、在数量上与四相时钟传送控制电路 50 相等的激励电路 60、以及检测电路 70。第二升压器模块 42 是以类似于第一升压器模块 41 的方式构造的。第一升压器模块 41 产生比电源电压高的电压 P_{out1} ，以及第二升压器模块 42 产生比电压 P_{out1} 高的电压 P_{out2} 。

[0069] 图 1 所示的升压电路具有以下主要特征。具体地，四相时钟产生电路 20 基于从振荡电路 10 输出的多个振荡时钟 100 产生四相时钟 200。由于四相时钟延迟电路 30 的操作，由四相时钟产生电路 20 所产生的四相时钟 200 在时间的多个增量中被延迟，以及被提供到第一升压器模块 41 和第二升压器模块 42。四相时钟传送控制电路 50 结构特征在于：使得四相时钟 200 的传送在预定状态下中止。此外，激励电路 60 中包括的升压器单元的结构特征在于：使得减小升压电路的电路尺寸。此外，图 1 所示的升压电路的特征在于：包括用于减小电压 P_{out2} 的升高时间的升压辅助电路 80。

[0070] 以下说明都是基于假定图 1 所示的升压电路包括 n 个四相时钟产生电路 20（此处 n 为等于或大于 2 的整数），以及第一升压器模块 41 和第二升压器模块 42 每一个都包括 n 个四相时钟传送控制电路 50 以及 n 个激励电路 60。此外，在以下描述中， i 表示在 1 到 n 范围内的整数。

[0071] 图 1 所示的升压电路通常按照以下描述的方式进行操作。振荡电路具有 EN 端，其中振荡启动信号 OSC_EN 被施加到 EN 端，用于控制是否提供振荡。在振荡启动信号 OSC_EN 的电平为“H”时，振荡电路 10 输出彼此相位不同的 n 个振荡时钟 100 ($OSC1$ 到 $OSCn$)。四相时钟产生电路 20 基于从振荡电路 10 输出的四个振荡时钟 100（例如， $OSC1$ 到 $OSC4$ ）来产生四相时钟 200，其中四相时钟 200 的每一个由不同相位的四个时钟组成（例如， $CLKG11S$ 、 $CLKT11S$ 、 $CLKT12S$ 、以及 $CLKG12S$ ；在图 1 中，显示了 $CLK**1S$ ）。根据从检测电路 70 输出的时钟启动信号 CP_EN ，四相时钟传送控制电路 50 控制是否将四相时钟 200 从四相时钟产生电路 20 传送到激励电路 60。在没有传送四相时钟 200 的情况中，来自四相时钟传送控制电路 50 的输出固定在 H 电平或 L 电平。激励电路 60 每一个根据从四相时钟传送控制电路 50 其中相应一个输出的四相时钟进行操作，以及产生比电源电压高的电压 P_{out1} （或电压 P_{out2} ）。为了将从各个激励电路 60 输出的电压 P_{out1} （或电压 P_{out2} ）控制在目标电压的电平，检测电路 70 基于电压 P_{out1} （或电压 P_{out2} ）的电平将时钟启动信号 CP_EN 输出到四相时钟传送控制电路 50。

[0072] 四相时钟延迟电路 30 使得由四相时钟产生电路 20 产生的四相时钟 200 被延迟一个预定的时间周期 T_d 。第一升压器模块 41 直接从四相时钟产生电路 20 接收四相时钟 200，同时第二升压器模块 42 经由四相时钟延迟电路 30 接收四相时钟 200。升压辅助电路 80 设置在第一升压器模块 41 之输出端和第二升压器模块 42 之输出端之间，升压辅助电路 80 使得电流只在从第一升压器模块 41 之输出端到第二升压器模块 42 之输出端的方向上流动。

[0073] 下面，将通过参照图 2-10 来描述图 1 所示的电路的示例性结构。图 2 是描述振荡电路 10 的示例性结构的示意图。图 2 所示的振荡电路 10 包括 NAND 门 11、 $(n-1)$ 个反相器 12、 n 个电容器 13、以及 n 个缓冲器 14。除缓冲器 14 之外的组件构成环形振荡器 15。

[0074] 图 3 是描述第 i 四相时钟产生电路 20 的示例性结构的示意图。在图 3 中，反相器 21 输出反相时钟 $OSCB_i$ 到 $OSCB_{(i+3)}$ ，其中反相时钟 $OSCB_i$ 到 $OSCB_{(i+3)}$ 是通过对从振荡电路 10 输出的信号 OSC_i 到 $OSC_{(i+3)}$ 进行反相而获得的。例如，如图 4 所示，构造图 3 所

示的选择电路 22 的每一个。图 4 所示的电路当输入 S 是“L”电平时输出输入 A, 以及当输入 S 是“H”电平时输出输入 B。请注意: 如图 4 所示的选择电路 22 也使用在除四相时钟产生电路 20 之外的电路中。

[0075] 图 5 是描述四相时钟延迟电路 30 的示例性结构的示意图。图 5 所示的四相时钟延迟电路 30 包括 n 个延迟部分 31。延迟部分 31 每一个都是多个反相器 32 相互串联的电路, 以及使得由四相时钟产生电路 20 产生的四相时钟 200 被延迟一个延迟时间周期 T_d 。请注意: 图 5 所示的反相器 32 每一个都通过标记被示意性地表示, 标记表示四个单一输入、单一输出反相器。

[0076] 图 6 是描述四相时钟传送控制电路 50 的第一示例性结构的示意图, 以及图 7 是描述四相时钟传送控制电路 50 的第二示例性结构的示意图。在图 6 和 7 中, 当输入 R 在“H”电平时, 锁存电路 51、52 以及 56-58 提供固定电平的输出 (锁存电路 51、52、以及 58 提供“H”电平输出, 以及锁存电路 56、57 提供“L”电平输出) (重置操作)。可替换地, 当输入 R 在“L”电平以及输入 CK 在“H”电平时, 输入 D 没有经过处理而被输出 (直接输出操作)。可替换地, 当输入 CK 的电平从“H”变为“L”时, 输入 D 被存储以及被输出 (锁存操作)。锁存电路 52 和 57 每一个用作控制信号存储电路, 用于存储时钟启动信号 CP_EN。锁存电路 58 用作定时存储电路, 用于存储锁存电路 52 和 57 中存储的任何值从“H”变为“L”的时间。此外, 例如, 图 6 和 7 所示的时钟屏蔽电路 53 和 59 根据锁存电路 52 中存储的值来屏蔽四相时钟 200。

[0077] 图 8A、8B 和 8C 每一个是描述激励电路 60 的示例性结构的示意图。如图 8A 所示, 各个激励电路 60 包括四个升压器单元 61-64。第一级中的升压器单元 61 是如图 8B 所示的类型, 以及升压器单元 62-64 是如图 8C 所示的类型。第一级升压器单元 61 具有连接到反相器 66 的 VINC 端, 并且最后级的升压器单元 64 具有连接到整流器晶体管 65 的输出端。

[0078] 图 9 是描述升压辅助电路 80 的第一示例性结构的示意图。在图 9 中, 升压辅助电路 80a 包括具有三阱结构的 N 沟道晶体管 81。N 沟道晶体管 81 具有 P 基底、N 阱、以及 P 阱, 它们被耦合到接地电压。此外, N 沟道晶体管 81 具有连接到升压辅助电路 80a 之 IN 端的漏极端和栅极端, 以及也具有连接到升压辅助电路 80a 之 OUT 端的源极端。这样, N 沟道晶体管 81 用作二极管, 使得电流只在从 IN 端到 OUT 端的方向上流动。

[0079] 图 10 是描述升压辅助电路 80 的第二示例性结构的示意图。在图 10 中, 升压辅助电路 80b 包括三个具有三阱结构的 N 沟道晶体管 82、83 和 84。N 沟道晶体管 82 具有如图 9 所示的 N 沟道晶体管 81 一样连接的漏极端、栅极端、以及源极端。N 沟道晶体管 83 具有连接到升压辅助电路 80b 之 IN 端的漏极端, 以及连接到升压辅助电路 80b 之 OUT 端的栅极端。N 沟道晶体管 84 具有连接到升压辅助电路 80b 之 OUT 端的漏极端, 以及连接到升压辅助电路 80b 之 IN 端的栅极端。N 沟道晶体管 83 和 84 每一个具有连接到 N 沟道晶体管 82-84 之本体的源极端。类似于图 9 所示的 N 沟道晶体管 81, N 沟道晶体管 82 用作二极管, 以及 N 沟道晶体管 83 和 84 控制 N 沟道晶体管 82 中的 P 阱电势。

[0080] 下面, 将要按照产生四相时钟 200 的方法、四相时钟延迟电路 30、四相时钟传送控制电路 50、激励电路 60、以及升压辅助电路 80 的顺序对图 1 所示的升压电路进行详细说明。

[0081] 首先, 通过参考图 11, 描述用于产生四相时钟 200 的方法。正如以上所述, 在振荡

电路 10 中 (图 2), NAND 门 11、反相器 12、以及电容器 13 构成环形振荡器 15。在从 EN 端输入的振荡启动信号 OSC_EN 处于“H”电平时,环形振荡器 15 进行振荡。更具体地,当由每一个反相器 12 引起的延迟时间周期被假定为 T_{os} 时,环形振荡器 15 输出在延迟时间周期 T_{os} 的多个增量被延迟的 n 个信号 OSC1 到 OSC n ,作为振荡时钟 100。振荡时钟 100 每一个具有周期 T_{osc} ,其基于环形振荡器 15 中包括的反相器 12 的数量,通过 $T_{osc} = T_{os} \times (\text{反相器数量} + 1) \times 2$ 来表示。因而, $T_{osc} = T_{os} \times 2n$ 。

[0082] 在第 i 四相时钟产生电路 20 (图 3) 中,当从振荡电路 10 输出的信号 OSC i 下降时,时钟 CLKG1 i S 下降。在经过时间周期 T_{cs} 之后,当 OSC($i+1$) 升高时,时钟 CLKG1 i S 升高。在经过另一个时间周期 T_{os} 之后,当时钟 OSC($i+2$) 下降时,时钟 CLKG2 i S 下降。在经过又一个时间周期 T_{os} 之后,当时钟 OSC($i+3$) 升高时,时钟 CLKG2 i S 升高。在经过电荷传送时间周期 T_{tr} 之后,当信号 OSC i 升高时,时钟 CLKG2 i S 下降。在经过一个时间周期 T_{os} 之后,当时钟 OSC($i+1$) 下降时,时钟 CLKG2 i S 升高。在经过另一个时间周期 T_{os} 之后,当时钟 OSC($i+2$) 升高时,时钟 CLKG1 i S 下降。在经过又一个时间周期 T_{os} 之后,当时钟 OSC($i+3$) 下降时,时钟 CLKG1 i S 升高。图 11 通过例子的方式显示第 $(n-3)$ 四相时钟产生电路 20 如何基于从振荡电路 10 输出的信号 OSC($n-3$) 到 OSC n 来产生彼此相位不同的四个时钟 CLKG1($n-3$)S、CLKT1($n-3$)S、CLKT2($n-3$)S、CLKG2($n-3$)S,作为四相时钟 200。

[0083] 在传统的升压电路 (图 16) 中,由每一个四相时钟产生电路 29 产生的四相时钟 209 包含被四相时钟产生电路 29 中包括的延迟电路 28 在延迟时间周期 T_{cs} 的多个增量中延迟的时钟。另一方面,在根据本实施例的升压电路 (图 1) 中,由每一个四相时钟产生电路 29 产生的四相时钟 200 包含基于从振荡电路 10 输出的振荡时钟 100 之间的相位差在延迟时间周期 T_{os} 的多个增量中被延迟的时钟。此外,在根据本实施例的升压电路中,周期 T_{osc} 和延迟时间周期 T_{os} 总是成正比例关系,例如 $T_{osc} = T_{os} \times 2n$ 。

[0084] 因而,在根据本实施例的升压电路中,即使例如电源电压、过程中的变量、温度波动等操作条件被改变,以及由此周期 T_{osc} 被改变,延迟时间周期 T_{os} 也以相同的速度被改变。因此,可以唯一地确定用于执行电压升压的电荷传送时间周期 T_{tr} 。这样,可以容易地设计允许实现期望的电荷传送时间周期的升压电路,以及也可以增加振荡时钟 100 的频率。

[0085] 接着描述的是四相时钟延迟电路 30。由第 i 四相时钟产生电路 20 产生的四个时钟 CLKG1 i S、CLKT1 i S、CLKT2 i S、以及 CLKG2 i S 都通过四相时钟延迟电路 30 在预定延迟时间周期 T_d 的多个增量中被延迟,以及分别变为四个时钟 CLKG1 i K、CLKT1 i K、CLKT2 i K、以及 CLKG2 i K。在这里,延迟时间周期 T_d 被确定,使得第一升压器模块 41 和 42 不同时操作,例如,使得时钟 CLKG1 i S、CLKT1 i S、CLKT2 i S、以及 CLKG2 i S 的电平不与 CLKG1 i K、CLKT1 i K、CLKT2 i K、以及 CLKG2 i K 的电平同时变化。

[0086] 因此,使用包括四相时钟延迟电路 30 的升压电路,可以使峰值电流在不同的时间流到激励电路 60。这样,可以将整个升压电路中的峰值电流抑制到与只包括一个激励电路的升压电路中的相同的水平。

[0087] 接着,参考图 12,描述四相时钟传送控制电路 50a。假设在这里描述的例子中 n 为 5,例如,升压电路包括 5 个四相时钟产生电路 20,以及第一升压器模块包括 5 个四相时钟传送控制电路 50a。

[0088] 图 12 是用于四相时钟传送控制电路 50a 的时序图。以正如以上描述的方式,振荡

电路 10 输出在延迟时间周期 T_{os} 的多个增量 (increment) 中被顺序延迟的 5 个信号 OSC1 到 OSC5 (在图 12 中, 部分 A 显示了五个信号的一部分, 例如, OSC1 和 OSC2)。参考图 12 中的部分 B, 第一四相时钟产生电路 20 基于四个信号 OSC1 到 OSC4 产生四个时钟 CLKG1iS、CLKT1iS、CLKT2iS、以及 CLKG2iS。参考图 12 中的部分 D, 由第二到第五四相时钟产生电路 20 产生的四相时钟 200 的电平都在与由第一四相时钟产生电路 20 产生的四相时钟 200 的电平被改变时的时间不同的时间被改变 (为了简化图 12 的时序图, 在部分 D 中只显示了五个四相时钟 200 中的两个, 例如, CLKG1iS 和 CLKG2iS)。第 i 四相时钟传送控制电路 50 接收 6 个信号, 例如, 由第 i 四相时钟产生电路 20 产生的四个信号 CLKG1iS、CLKT1iS、CLKT2iS、以及 CLKG2iS、从 CLKT1iS 延迟了 $2 \times T_{os}$ 的时钟 CLKT1(i+2)S、以及从检测电路 70 输出的时钟启动信号 CP_EN。

[0089] 在四相时钟传送控制电路 50a (图 6) 中, 当所有时钟 CLKG1iS、CLKT1iS、以及 CLKT1(i+2)S 都变成“L”电平 (在 CLKG1iS 的下降沿上) 时, 锁存启动信号 LAT_EN 的电平从“H”变为“低”。此时, 锁存电路 51 提取时钟启动信号 CP_EN, 以及锁存电路 52 使锁存电路 51 的输出 Q 从其中通过。

[0090] 时钟 CLKG1iS、CLKT1iS、以及 CLKT1(i+2)S 都是在“L”电平状态持续一个时间周期 T_{os} 。在经过时间周期 T_{os} 之后, 当时钟 CLKG1iS 升高时, LAT_EN 的电平从“L”变为“H”, 以及锁存电路 52 保持锁存电路 51 的输出 Q。在 LAT_EN 的电平是“H”时, CP_EN 下降, 以及此后, LAT_EN 的电平从“H”变为“L”以及进一步从“L”变为“H”。当 LAT_EN 的电平变回到“H”时, 时钟激活信号 CP_ACT_EN 的电平变为“L”。在 CP_ACT_EN 的电平为“L”时, 时钟屏蔽电路 53 分别将 CLKG1iC、CLKT1iC、CLKT2iC、以及 CLKG2iC 保持在“L”、“L”、“H”、以及“L”。以这种方式, 在 CP_ACT_EN 的电平为“L”时, 由四相时钟产生电路 20 产生的四相时钟 200 没有被传送到激励电路 60 其中相应一个。

[0091] 此后, 当 CP_EN 的电平变成“H”, 以及因而 CP_ACT_EN 的电平变为“H”时, 时钟屏蔽电路 53 输出没有经过处理的四个输入时钟 CLKG1iS、CLKT1iS、CLKT2iS、以及 CLKG2iS, 作为 CLKG1iC、CLKT1iC、CLKT2iC、以及 CLKG2iC。以这种方式, 在 CP_ACT_EN 的电平变为“H”时, 由四相时钟产生电路 20 产生的四相时钟 200 被传送到激励电路 60 其中相应一个。

[0092] 在四相时钟传送控制电路 50a 中, 时钟激活信号 CP_ACT_EN 的电平只有当输入的四相时钟 200 处于预定状态时才被改变。具体地, 在第 i 四相时钟传送控制电路 50a 中, CP_ACT_EN 的电平只有当 CLKG1iS、CLKT1iS 变成“L”电平时 (例如, 当 CLKG1iS 下降时) 才被改变。同样地, 四相时钟传送控制电路 50a 只在振荡时钟 100 之周期内的预定时间执行转换, 以传送四相时钟。

[0093] 例如, 考虑当如图 12 的部分 B 所示四相时钟 200 顺序地被输入第一四相时钟传送控制电路 50 时, CP_EN 的电平如图 12 的部分 E 所示变化的情况。在这种情况下, 即使 CP_EN 的电平变为“L”, CP_ACT_EN 的电平保持“H”, 直到 CLKG1iS 下降。实际上, 在 CLK_EN 的电平变为“L”之后, CP_ACT_EN 的电平在 CLKG1iS 在 P2 的下降沿变为“L”。在 CLKG1iS 在 P2 下降之后, 如图 12 的部分 F 所示, CLKG1iC、CLKT1iC、CLKT2iC、以及 CLKG2iC 的电平都保持在与当 CLKG1iS 在 P2 下降时相同的电平 (具体地, CLKG1iC、CLKT1iC、CLKT2iC、以及 CLKG2iC 分别保持在“L”、“L”、“H”、以及“L”电平)。因而, 如图 12 的部分 F 所示, CLKG1iC 的信号脉冲在 q3、q4 以及 q5 以及 CLKG2iC 的信号脉冲在 q2、q3 以及 q4 都没有被传送到相

应于第一四相时钟传送控制电路 50 的第一激励电路 60。

[0094] 接下来,考虑在时钟的电平都被保持的周期(此后,称为“时钟保持周期”)之后,如图 12 所示 CP_EN 的电平变为“H”的情况。在这种情况下,如果 CP_EN 的电平变为“H”,那么 CP_ACT_EN 保持在“L”电平,直到 CLKG11S 下降。实际上,在 CLK_EN 的电平变为“H”之后,CP_ACT_EN 的电平在 CLKG11S 在 P5 的下降沿变为“L”。在 CLKG11S 在 P5 的下降之后,如图 12 的部分 F 所示,四个输入时钟 CLKG11S、CLKT11S、CLKT21S、以及 CLKG21S 没有经过处理被输出作为 CLKG11C、CLKT11C、CLKT21C、以及 CLKG21C。这样,CLKT21C 的时钟脉冲在 P6 以及在 P6 之后和 CLKT21C 在 P5 以及在 P5 之后都被传送到第一激励电路 60。

[0095] 以这种方式,当 CLKG11S 在 P2 下降时,第一激励电路 60 中止它的操作。同样地,当 CLKG12S 在 r3 下降时,第二激励电路 60 中止它的操作;当 CLKG13S 在 r2 下降时,第三激励电路 60 中止它的操作;当 CLKG14S 在 w2 下降时,第四激励电路 60 中止它的操作;以及当 CLKG15S 在 y2 下降时,第五激励电路 60 中止它的操作。第 i 激励电路 60 只有当 CLKG1iS 下降时才中止它的操作。因为时钟 CLKG1iS 彼此相位不同,所以五个激励电路 60 在不同时间中止它的操作。此外,第 i 激励电路 60 只有当 CLKG1iS 下降时才重新开始电压升压,以及因此五个激励电路在不同时间重新开始电压升压。

[0096] 在传统的升压电路中,当时钟启动信号 CP_EN 的电平变为“L”时,将要提供给激励电路的四相时钟同时保持在预定状态中,而不管激励电路的状态。因而,在传统的升压电路中,当中止或者重新开始电压升压时,在操作期间电流常常比峰值电流大。另一方面,在根据本发明的升压电路中,由于四相时钟传送控制电路 50 的动作,每一个升压器模块中包括的多个激励电路 60 在不同的时间中止或重新开始电压升压。这样,利用根据本实施例的升压电路,当中止或重新开始电压升压时,可以防止在操作期间电流流动比峰值电流流动大。

[0097] 此外,在传统的升压电路(图 16)中,激励电路 69 基于从检测电路 70 输出的时钟启动信号 CP_EN 而直接被控制。因而,为了产生多个升压的电压,对于每个升压电压,升压电路需要包括振荡电路 10 以及四相时钟产生电路 29。另一方面,在根据本实施例的升压电路中,四相时钟传送控制电路 50a 基于从检测电路 70 输出的时钟启动信号 CP_EN 而被控制,使得激励电路 69 间接地被控制。因而,即使在产生多个升压电压的情况下,升压电路只需要包括一个激励电路 10 以及在数量上与升压器模块中包括的激励电路相等的四相时钟产生电路 29。因而,可以减小升压电路的尺寸。

[0098] 以上描述的四相时钟传送控制电路 50a 适用于例如一组四相时钟 200 被提供一个激励电路 60 的升压电路。以及因此每个振荡电路 10 的周期只需要进行一次四相时钟 200 的传送控制。然而,如果四相时钟传送控制电路 50a 用于一组四相时钟 200 被提供到两个激励电路的升压电路,则结合升压电压中脉动的范围,可能出现以下描述的低效率。

[0099] 在一组四相时钟 200 被提供到两个激励电路的升压电路中,两个激励电路在 CLKG1iS 的电平为“H”的周期以及在 CLKG2iS 的电平为“H”周期执行电压升压。因而,在从时钟启动信号 CP_EN 的电平变为“L”直到时钟激活信号的电平变为“L”的时间周期中,在最坏的情况下,CLKG1iS 和 CLKG2iS 每个在同一时间变为“H”电平。因此,即使企图当 CP_EN 的电平变为“L”时使激励电路 60 立即中止,CLKG1iS 的时钟脉冲以及 CLKG2iS 的时钟脉冲都被输入激励电路 60 的每一个,以及在最坏的情况下,激励电路 60 每一个在两个时间执行电压升压,例如,在紧挨着 CLKG1iS 的下降之后 CP_EN 的电平立即变为“L”时。例如,如

图 12 的部分 E 所示,当 CP_EN 的电平变为“L”时,最好立即停止向每一个激励电路 60 提供时钟脉冲。然而,实际上,如图 12 的部分 G 所示,CLKG12C 在 r3 的时钟脉冲以及 CLKG22C 在 s2 的时钟脉冲都被提供到第二激励电路 60。因而,在 CP_EN 的电平变为“L”之后,额外的时钟脉冲被提供到激励电路 60,使得电压 Pout1 的电平相当大地超过目标电压的电平,并且超越了升压电压中脉动的指定范围。

[0100] 因而,如果需要用更高的精度来控制升压电压,优选地,例如使用如图 7 所示的四相时钟传送控制电路 50b。四相时钟传送控制电路 50b 在振荡时钟 100 的每个周期执行多次(具体地,十次)转换,以传送四相时钟 200。

[0101] 下面,参考图 13-15,针对 n 为 5 的情况,描述四相时钟传送控制电路 50b(图 7)。图 13 是用于四相时钟传送控制电路 50b 的时序图。在图 13 中,部分 A、B、以及 D 到 F 都与图 12 所示的这些部分相同。图 12 中的部分 G 与图 13 中的部分 G 彼此不同之处在于:前者显示了 CLKG12C 在 r3 的时钟脉冲、CLKG15C 在 y2 的时钟脉冲、CLKG22C 在 s5 的时钟脉冲、以及 CLKG25C 在 z4 的时钟脉冲,然而后者没有显示这四个时钟脉冲。第 i 四相时钟传送控制电路 50b 接收七个信号,例如,由第 i 四相时钟产生电路 20 产生的四个时钟 CLKG1iS、CLKT1iS、CLKT2iS、以及 CLKG2iS;将要从 CLKT1iS 被延迟 $2 \times T_{os}$ 的 CLKT1(i+2)S;从检测电路 70 输出的时钟启动信号 CP_EN;以及重置信号 RST_EN。

[0102] 正如以下所述,在四相时钟传送控制电路 50b 的每一个中,当重置被断开(例如,重置信号 RST_EN 是在“L”电平)并且从锁存电路 52 输出的第一时钟启动信号 CP_EN_A1 以及从锁存电路 57 输出的第二时钟启动信号 CP_EN_A2 都处于“H”电平时,四相时钟 200 被传送到相应的一个激励电路 60。

[0103] 当 CLKG1iS、CLKT1iS、CLKT1(i+2)S 都变为“L”电平时,第一锁存启动信号 LAT_EN1 的电平从“H”变为“L”,以及当 CLKG2iS、CLKT2iS、CLKT1(i+2)S 分别变为“L”、“L”、“H”电平时,第二锁存启动信号 LAT_EN2 的电平从“H”变为“L”。然而,由于 NAND 门 54 和 55 的动作, LAT_EN1 的电平只有当 CP_EN_A2 的电平为“H”时才变化,以及 LAT_EN2 的电平只有当 CP_EN_A1 的电平为“H”时才变化。

[0104] 当 LAT_EN1 的电平从“H”变为“L”时,锁存电路 51 锁存时钟启动信号 CP_EN。LAT_EN1 的电平为“L”的状态持续一个时间周期 T_{os} 。当 LAT_EN1 的电平从“L”变为“H”时,锁存电路 52 保持锁存电路 51 的输出 Q。以这种方式, CP_EN 的电平顺序地被锁存电路 51 和锁存电路 52 锁存。同样地, CP_EN 的电平顺序地被锁存电路 56 和锁存电路 57 锁存。

[0105] 因而,在 CP_EN 的电平为“H”时, CP_EN_A1 和 CP_EN_A2 两者都在“H”电平,以及因而时钟激活信号 CP_ACT_EN 的电平为“H”。当 CP_ACT_EN 的电平为“H”时,时钟屏蔽电路 59 输出没有经过处理的输入时钟 CLKG1iS、CLKT1iS、CLKT2iS、以及 CLKG2iS,作为 CLKG1iC、CLKT1iC、CLKT2iC、以及 CLKG2iC。以这种方式,在 CP_ACT_EN 的电平为“H”时,由四相时钟产生电路 20 产生的四相时钟 200 被传送到激励电路 60。

[0106] 图 14 是用于四相时钟 200 的传送在 CLKG1iS 下降之后被中止的情况的时序图。在从 CLKG2iS 的下降到 CLKG1iS 的下降的周期,如果 CP_EN 的电平从“H”变为“L”,则当 CLKG1iS、CLKT1iS、以及 CLKT1(i+2)S 都变为“L(低)”电平时(在图 14 中 CLKG1iS 在 P2 下降时), LAT_EN1 的电平变为“L”。随后(在经过时间周期 T_{os} 之后),当 LAT_EN1 的电平变为“H”时, CP_EN_A1 的电平变为“L”,以及基本上同时, CP_ACT_EN 的电平也变为“L”。因

为当 CP_ACT_EN 的电平变为“L”时锁存电路 58 锁存 CLK_{T1}(i+2)S, 所以锁存电路 58 的输出电平变为“L”。

[0107] 在锁存电路 58 的输出电平为“L”以及 CP_ACT_EN 的电平为“L”的同时, 当 LAT_EN1 的电平已经变为“L(低)”时, 时钟屏蔽电路 59 分别保持 CLK_{G1iC}、CLK_{T1iC}、CLK_{T2iC}、以及 CLK_{G2iC} 在与 CLK_{G1iS}、CLK_{T1iS}、CLK_{T2iS}、以及 CLK_{G2iS} 相同的电平(具体地, 它们分别被保持在“L”、“L”、“H”、以及“L”电平)。以这种方式, 在 CP_ACT_EN 的电平为“L”时, 由四相时钟产生电路 20 产生的四相时钟 200 没有被传送到激励电路 60。请注意: 在 LAT_EN1 的电平为“L”时, 由于 NAND 门的动作, LAT_EN2 的电平被保持在“H”。在图 14 的部分 C 中, 显示了 CP_EN_A1 如何屏蔽在“H”电平的 LAT_EN2。

[0108] 此后, 当 CP_EN 的电平从“L”变为“H”以及随后 CLK_{G1iS}、CLK_{T1iS}、CLK_{T1}(i+2)S 都变为“L”电平时(在图 14 中 CLK_{G1iS} 在 p5 下降时), LAT_EN1 的电平变为“L”。随后(在经过时间周期 T_{os} 之后), 当 LAT_EN1 的电平变为“H”时, CP_EN_A1 的电平变为“H”, 以及基本上同时, CP_ACT_EN 的电平也变为“H”。在 CP_ACT_EN 的电平变为“H”之后, 由四相时钟产生电路 20 产生的四相时钟 200 再次被传送到激励电路 60(在图 14 的部分 D 中, 显示了 CLK_{G1iC} 的时钟脉冲在 p6 以及 p6 之后如何被传送, 以及 CLK_{G2iC} 的时钟在 q5 以及之后如何被传送)。以这种方式, 四相时钟传送控制电路 50b 在四相时钟 200 变为与传送中止时相同的电平之后重新开始由四相时钟产生电路 20 产生的四相时钟 200 的传送。因而, 可以保持将要提供到激励电路 60 的四相时钟的连续性。

[0109] 图 15 是用于四相时钟 200 的传送在 CLK_{G2iS} 下降之后被中止的情况的时序图。在这种情况下, 四相时钟传送控制电路 50b 之操作基本上与以上描述的在 CLK_{G1iS} 下降之后中止四相时钟 200 之传送的操作相同。具体地, 在从 CLK_{G1iS} 的下降到 CLK_{G2iS} 的下降的周期, 当 CP_EN 的电平从“H”变为“L”时, 以及随后, 当 CLK_{G2iS} 和 CLK_{T2iS} 变为“L”电平以及 CLK_{T1}(i+2)S 变为“H”电平时(在图 15 中 CLK_{G2iS} 在 q2 下降时), LAT_EN2 的电平变为“L”。随后(在经过时间周期 T_{os} 之后), 当 LAT_EN2 的电平变为“H”时, CP_EN_A2 的电平变为“L”, 以及基本上同时, CP_ACT_EN 的电平变为“L”。因为当 CP_ACT_EN 的电平变为“L”时锁存电路 58 锁存 CLK_{T1}(i+2)S, 所以锁存电路 58 的输出电平变为“H”。

[0110] 在锁存电路 58 的输出电平为“H”以及 CP_ACT_EN 的电平为“L”的同时, 当 LAT_EN2 的电平已经变为“L”时, 时钟屏蔽电路 59 分别保持 CLK_{G1iC}、CLK_{T1iC}、CLK_{T2iC}、以及 CLK_{G2iC} 在与 CLK_{G1iS}、CLK_{T1iS}、CLK_{T2iS}、以及 CLK_{G2iS} 相同的电平(具体地, 它们分别在“L”、“H”、“L”、以及“L”电平)。请注意: 在 LAT_EN2 的电平为“L”时, 由于 NAND 门的动作, LAT_EN1 的电平被保持在“H”。在图 15 的部分 C 中, 显示了 CP_EN_A2 如何屏蔽在“H”电平的 LAT_EN1。

[0111] 此后, 当 CP_EN 的电平从“L”变为“H”时, 以及随后, 当 CLK_{T2iS}、CLK_{G2iS} 变为“L”电平以及 CLK_{T1}(i+2)S 变为“H”电平时(在图 15 中 CLK_{G2iS} 在 q5 的下降时), LAT_EN2 的电平变为“L”。随后(在经过时间周期 T_{os} 之后), 当 LAT_EN2 的电平变为“H”时, CP_EN_A2 的电平变为“H”, 以及基本上同时, CP_ACT_EN 的电平也变为“H”。在 CP_ACT_EN 的电平变为“H”之后, 由四相时钟产生电路 20 产生的四相时钟 200 再次被传送到激励电路 60(在图 15 的部分 D 中, 显示了 CLK_{G1iC} 的时钟在 p6 以及 p6 之后如何被传送, 以及 CLK_{G2iC} 的时钟在 q6 以及 q6 之后如何被传送)。以这种方式, 当四相时钟 200 变为与传送中止时相

同的电平时,四相时钟传送控制电路 50b 重新开始由四相时钟产生电路 20 产生的四相时钟 200 的传送。这样,可以维持将要提供到激励电路 60 的四相时钟的连续性。

[0112] 正如以上所述,在首先描述的包含有四相时钟传送控制电路 50a 的升压电路中(图 6),存在激励电路 60 在时钟启动信号 CP_EN 变为“L”电平之后可能操作两次的可能性,然而在较后描述的包含有四相时钟传送控制电路 50b 的升压电路中(图 7),激励电路 60 在时钟启动信号 CP_EN 变为“L”电平之后最多只操作一次。因此,利用后者的升压电路,可以抑制超过目标电压之电平的升压电压的数量,由此减小了升压电压中脉动(ripple)的范围。

[0113] 接着,参考图 8A-8C,详细描述激励电路 60。激励电路 60 基于与包括在传统升压电路(图 18)中的激励电路 69 相同的原理对电源电压进行升压。因此,通过激励电路 60 进行的电压升压在这里被省略,以及只描述了第一级升压器单元 61,其为本实施例之激励电路 60 的特有特征。正如以上所述,在每一个激励电路 60 中包括的四个升压器单元 61-64 当中,第一级升压器单元 61 是如图 8B 所示类型的升压器单元,以及其它升压器单元 62-64 都是如图 8C 所示类型的升压器单元。

[0114] 升压器单元 61-64 每一个接收来自激励电路 60 外部设置的控制电路(未显示)的电压重置信号 ACTR。当电压重置信号 ACTR 是非活动的(“L”)时,反相器 66 的输出电平为“H”,并且电源电压 VCC 被施加到升压器单元 61 的 VINC 端。

[0115] 现在,考虑这样一种情况,即当电压重置信号 ACTR 是非活动的并且激励电路 60 正执行电压升压时,目标电压突然从高电平转换到低电平。在这种情况下,正如在传统的激励电路 69(图 18A 和 18B)中的一样,激励电路 60 可能会遇到电荷传送晶体管被带入恒定导通状态的问题。因而,为了防止这个问题,当电压重置信号 ACTR 的电平变化时,在预定的时间周期,对电压重置信号 ACTR 进行设定,使其为活动的(“H”)。

[0116] 当电压重置信号 ACTR 被设定为“H”电平时,反相器 66 的输出电平变为“L”电平,以及升压器单元 61 的 VINC 端被耦合到接地电压。结果,包括在升压器单元 61 中的开关晶体管 M2 的漏极端、源极端、以及 P 阱都被耦合到接地电压,使得没有静态电流被施加到开关晶体管 M2。此外,电荷传送晶体管 M1 的栅极电压等于接地电压,以及因此即使电源电压 VCC 被施加到 VIN 端,也没有电流从 VIN 端流向 V0 端。此外,接地电压被施加到电荷传送晶体管 M1 的 P 阱,以及因此没有电流流向电荷传送晶体管 M1 的漏极端(例如,升压器单元 61 的 VIN 端)或源极端(例如,升压器单元 61 的 V0 端),因为没有前向偏置 PN 结。因此,即使电压重置电路 67 被激活,也没有静态电流流过。

[0117] 在完成重置之后,当电压重置信号 ACTR 的状态从活动的(“H”)变为非活动的(“L”)时,NMOS 晶体管变成非导通状态的,并且电源电压 VCC 被施加到 VINC 端。因而,即使此后电荷传送晶体管 M1 的栅极电压逐渐被升压,升压的电荷也没有损失,以及因此激励电路 60 可以正常地执行电压升压。同样地,类似于传统的激励电路 69,激励电路 60 可以被用来防止电荷传送晶体管 M1 被带入恒定导通状态的问题。

[0118] 正如以上所述,在包括具有激励电路 60 的升压器单元中,在激励电路 60 未激活时,即使通过激活电压重置电路 67,也没有静态电流流过。因此,不需要控制电压重置信号 ACTR 是活动的时间,以及因此,不需要用于此控制的时间控制电路。这样,可以减小升压电路的电路尺寸。

[0119] 接着,参照图 9 和 10,详细描述升压辅助电路 80。正如以上所述,升压辅助电路 80 是电流只在从 IN 端到输出端的方向上流动的电路,并且所述电路设置在第一升压器模块 41 的输出端和第二升压器模块 42 的输出端之间。如果电压 P_{out2} 高于电压 P_{out1} ,那么升压辅助电路 80 的 IN 端被耦合到第一升压器模块 41 的输出端,以及升压辅助电路 80 的 OUT 端被耦合到第二升压器模块 42 的输出端。

[0120] 当电压 P_{out1} 和电压 P_{out2} 同时升高时,如果升压电路没有提供任何指定的功能,则电压 P_{out2} 的升高要慢于电压 P_{out1} 的升高。因而,图 1 所示的升压电路包括升压辅助电路 80,以便减小电压 P_{out2} 的升高时间。直到电压 P_{out1} 达到目标电压的电平,电压 P_{out1} 才比电压 P_{out2} 升高的更快。直到这个时间点,在升压辅助电路 80 中,电流在从 IN 端到 OUT 端的方向上流动,例如,在从第一升压器模块 41 之输出端到第二升压器模块 42 之输出端的方向上。因此,直到电压 P_{out1} 达到目标电压电平,与没有辅助的情况相比,利用升压辅助电路 80 的辅助,电压 P_{out2} 上升的更快。

[0121] 在电压 P_{out1} 达到目标电压电平之后,它不再升高。另一方面,电压 P_{out2} 利用辅助继续升高,以变得等于 P_{out1} ,并且还继续升高。然而,在升压辅助电路 80 中,没有电流在从 OUT 端流到 IN 端的方向上流过,以及因此在电压 P_{out2} 超过电压 P_{out1} 之后,没有电流流向升压辅助电路 80。因而,在电压 P_{out2} 超过电压 P_{out1} 之后,升压辅助电路 80 不再影响电压 P_{out1} 和电压 P_{out2} 。

[0122] 正如以上所述,在相对较高的目标电压的一侧的升压电压比相对较低的目标电压一侧的升压电压低时,升压辅助电路 80 辅助在相对较高的目标电压的一侧的升压电压升高,以及在它们电平之间的关系颠倒之后,升压辅助电路 80 不再影响升压电压。因而,利用包括升压辅助电路 80 的升压电路,可以减小相对较高的目标电压一侧的升压电压的升高时间。

[0123] 升压辅助电路 80 例如是如图 9 或 10 所示类型的电路。正如以上所述,图 9 所示的升压辅助电路 80a 中包括的 N 沟道晶体管 81 用作使电流只在从 IN 端到 OUT 端的方向上流过升压辅助电路 80a 的二极管。更具体地,在 IN 端的电压电平高于 OUT 端的电压电平时,电流在从 IN 端到 OUT 端的方向上流动,此时 IN 端的电压电平为 V_{in} , OUT 端的电压电平为 V_{out} ,以及 N 沟道晶体管 81 的阈值电压为 V_t ,电压 V_{out} 升高到 $(V_{in}-V_t)$ 。

[0124] 在升压辅助电路 80 中, N 沟道晶体管 81 的本体(图 9 中的 B 表示)被耦合到接地电压。因而,当电压 V_{in} 升高时,由于基底偏压效应,阈值电压 V_t 也升高,使得减小了电压 V_{out} 的最大电压电平。因而,在从第二升压器模块 42 输出的电压 P_{out2} (例如,在 OUT 端的电压)超过从第一升压器模块 41 输出的电压 P_{out1} (例如,在 IN 端的电压)之后,没有电流流向 N 沟道晶体管 81。这样,可以实现完全断开状态。

[0125] 正如以上所述,在 IN 端的电压电平高于 OUT 端的电压电平时,包括升压辅助电路 80a 的升压电路使电流从其中流过,以辅助 OUT 端的电压的升高,以及在所述电压电平之间的关系被颠倒之后,可以实现完全断开状态。

[0126] 接着,详细描述图 10 所示的升压辅助电路 80b。当 IN 端的电压电平高于 OUT 端的电压电平时, N 沟道晶体管 84 的漏极电压低于其栅极电压,以及因此 N 沟道晶体管 84 变为导通状态,使得在 Out 端的电压被施加到阱节点。此外,在 N 沟道晶体管 83 中,栅极电压和源电压变得基本上彼此相等,使得漏极电压变得高于栅极电压和源极电压,使得 N 沟道晶

体管 83 被带入断开状态。结果,阱节点的电压电平变得等于 OUT 端的电压电平。

[0127] 另一方面,在 OUT 端的电压变得高于 IN 端的电压之后,N 沟道晶体管 83 的栅极电压低于其漏极电压,以及因此 N 沟道晶体管 83 变为导通状态,使得 IN 端的电压被施加到阱节点。此外,在 N 沟道晶体管 84 中,栅极电压和源极电压变得基本上相等,并且因此漏极电压变的高于栅极电压和源极电压,使得 N 沟道晶体管 84 被带入 OFF(断开)状态。因而,阱节点的电压电平变得等于 IN 端的电压电平。

[0128] 正如以上所述,阱节点的电压电平变得等于 IN 端的电压电平和 OUT 端的电压电平中较低的一个。因为 IN 端的电压电平和 OUT 端的电压电平中较低的一个被施加到 N 沟道晶体管 82 的阱节点,所以即使 IN 端的电压电平高于 OUT 端的电压电平,也可以抑制基底偏压效应的发生。此外,在 OUT 端的电压电平变的高于 IN 端的电压电平之后,因为没有前向偏置 PN 节点,所以没有电流流动,以及因此可以实现完全的 OFF 状态。

[0129] 同样地,包括升压辅助电路 80b 的升压电路实现了类似于由包括升压辅助电路 80a 的升压电路所达到的效果。而且,利用包括升压辅助电路 80b 的升压电路,即使 IN 端的电压电平高于 OUT 端的电压电平,也可以抑制基底偏压效应的发生,以及有效地辅助 OUT 端的电压电平的升高。

[0130] 存在多种根据本实施例的上述升压电路的变型。例如,升压电路可以包括三个或多个升压器模块。此外,每一个升压器模块中包括的四相时钟电压控制电路和激励电路可以在数量上彼此不同,其数量可能小于四相时钟产生电路的数量。此外,激励电路 60 可以被不同于四相时钟的多相时钟所驱动。此外,通过参照图 2-9,已经描述了用于升压电路中包括的每一个电路的示例性结构,所述电路结构仅仅是说明性的,并且可以使用除所描述的这些电路之外的电路。

[0131] 本发明的升压电路具有多个特有特征,例如小的电路尺寸、高的操作效率、低的电流消耗等等,以及因此可以被有利地用在非易失性存储器中,例如快速 EEPROM 或者包含有这种存储器的微型计算机。

[0132] 虽然已经详细描述了本发明,但先前的描述是在所有方面都是说明性的,而非限制性的。应当理解,可以设计出许多其它变型以及变化,而没有背离本发明的范围。

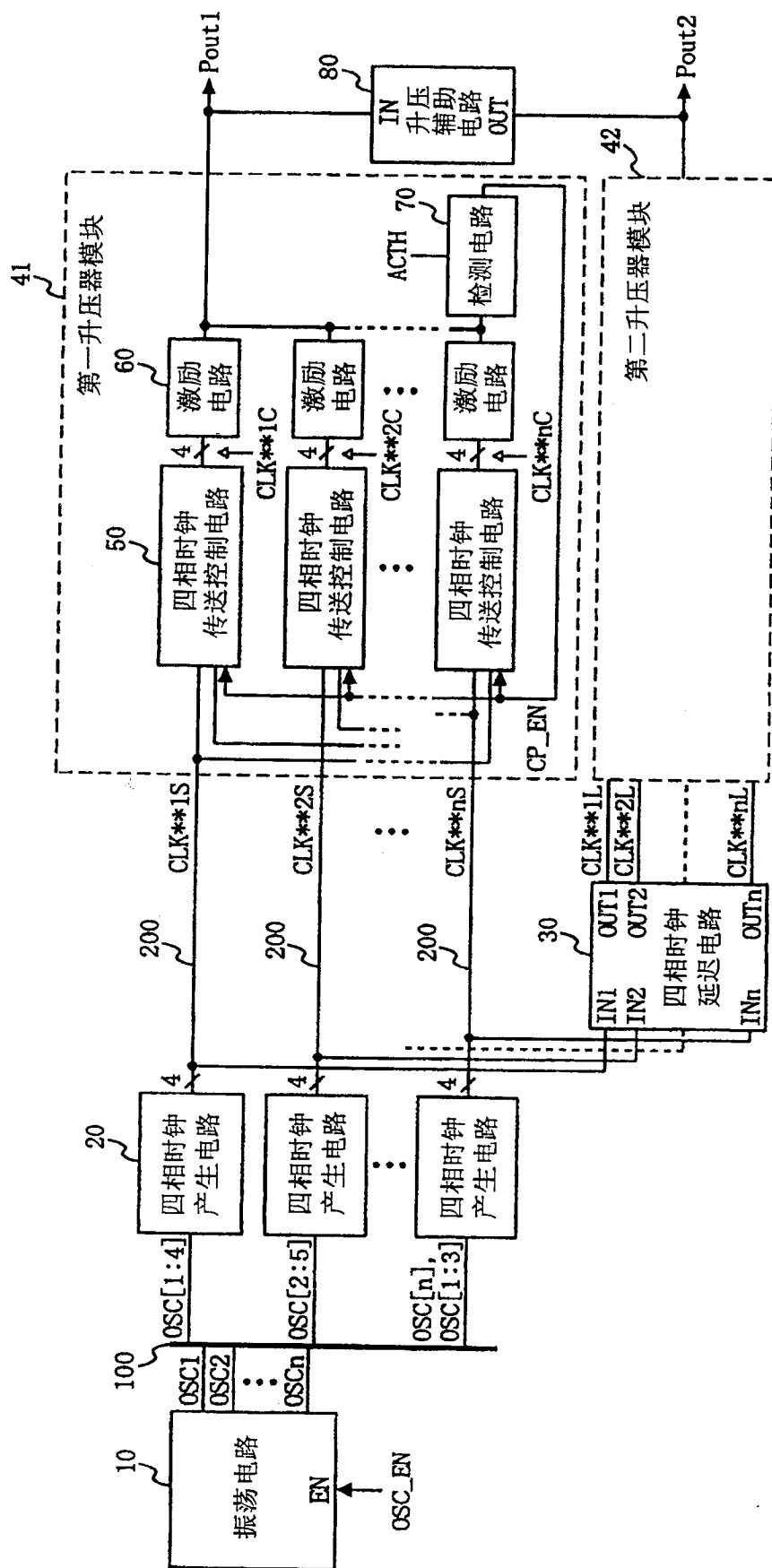


图 1

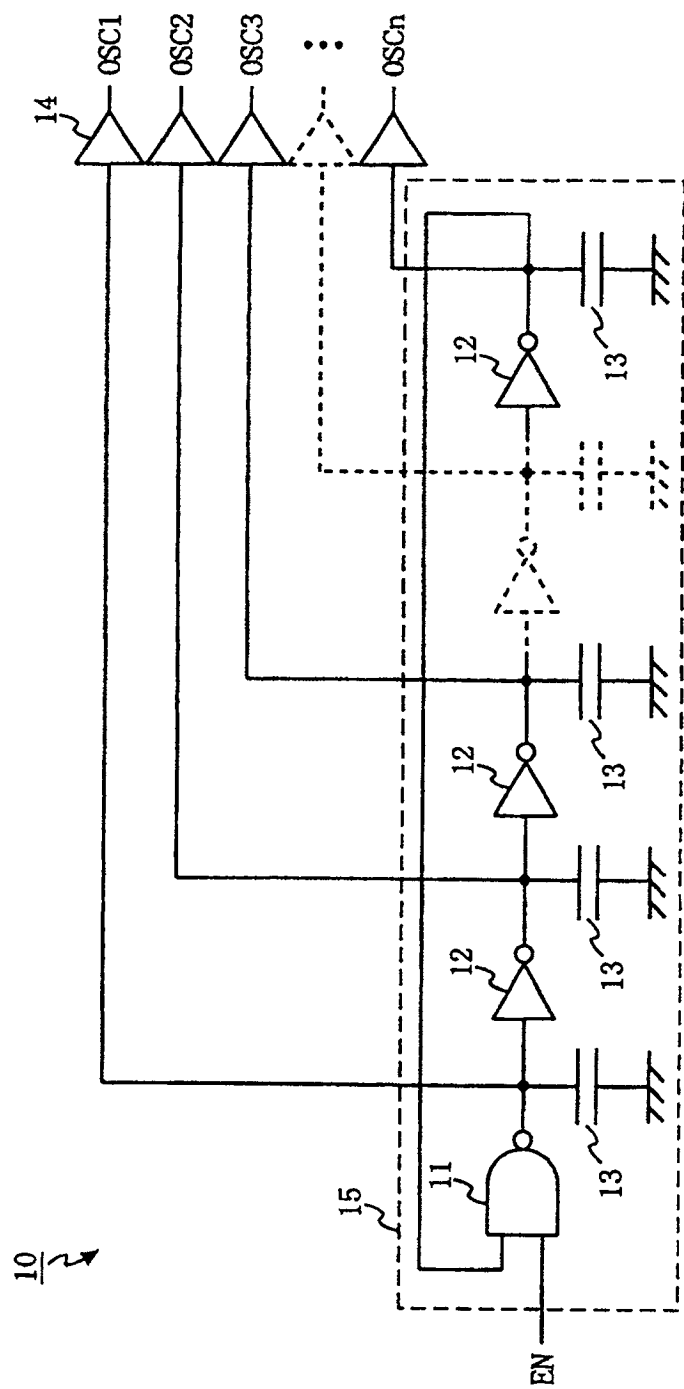


图 2

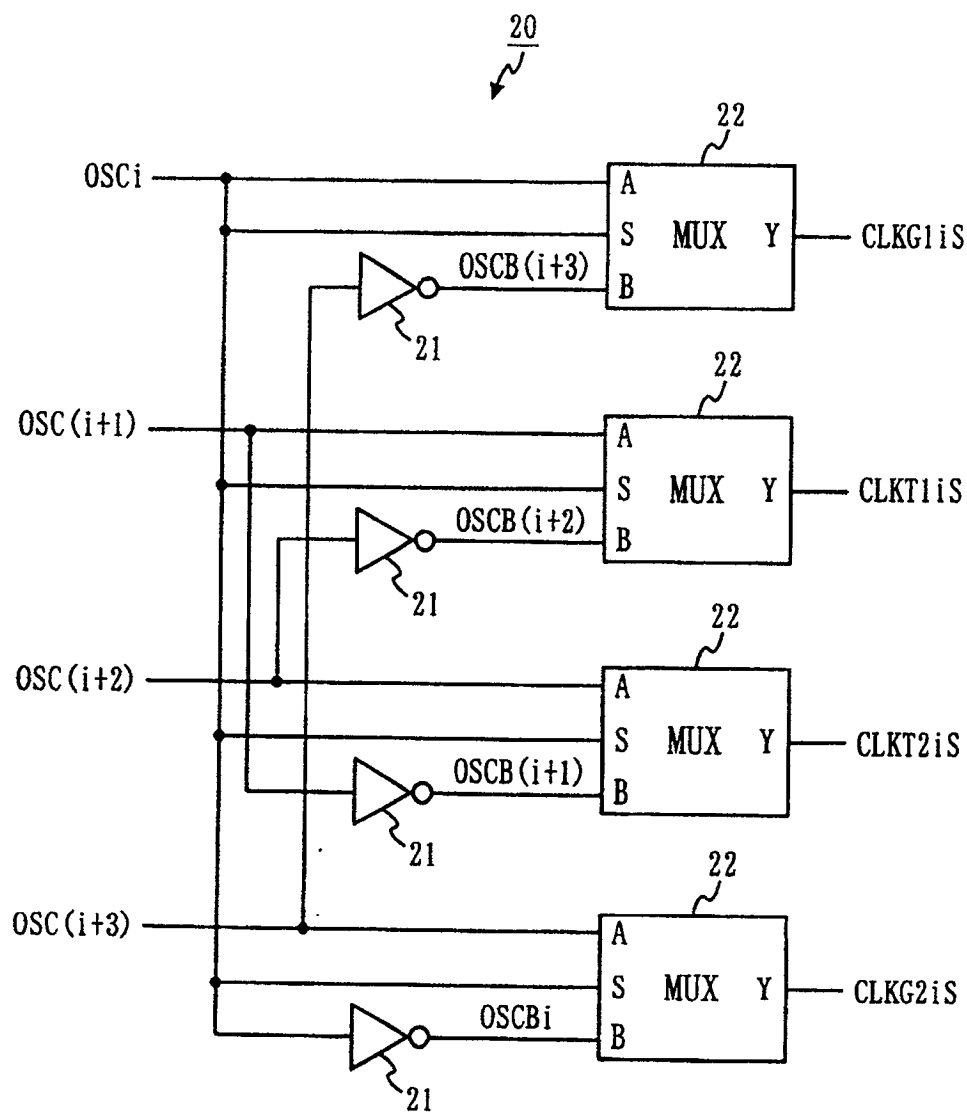


图 3

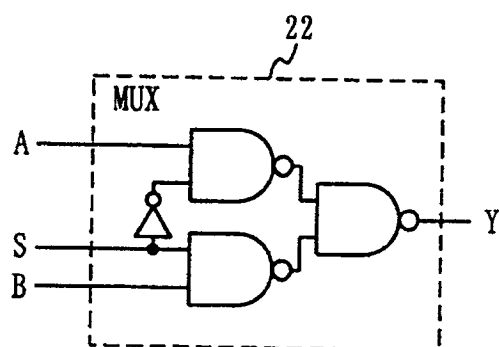


图 4

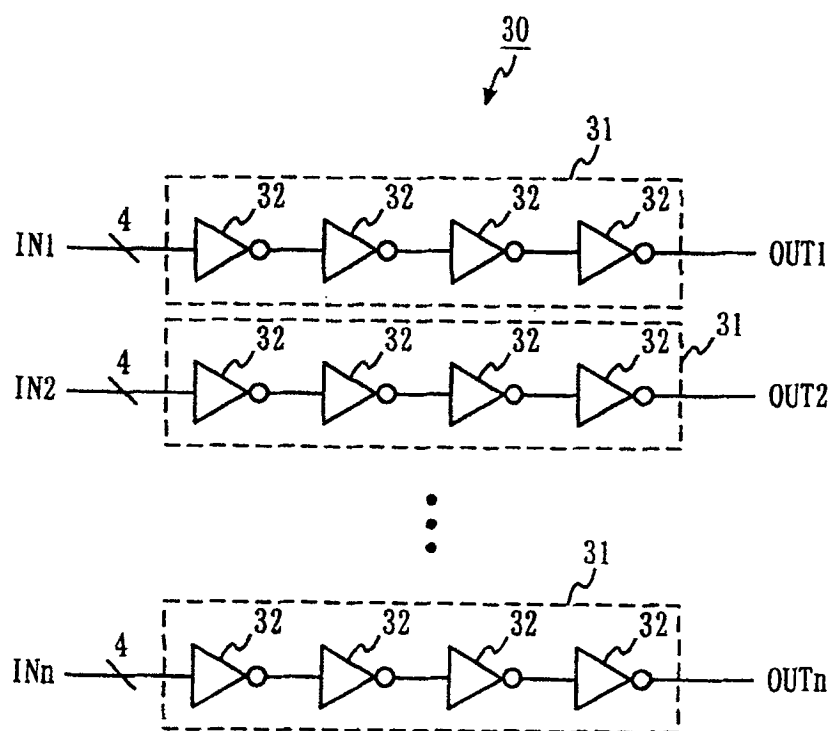


图 5

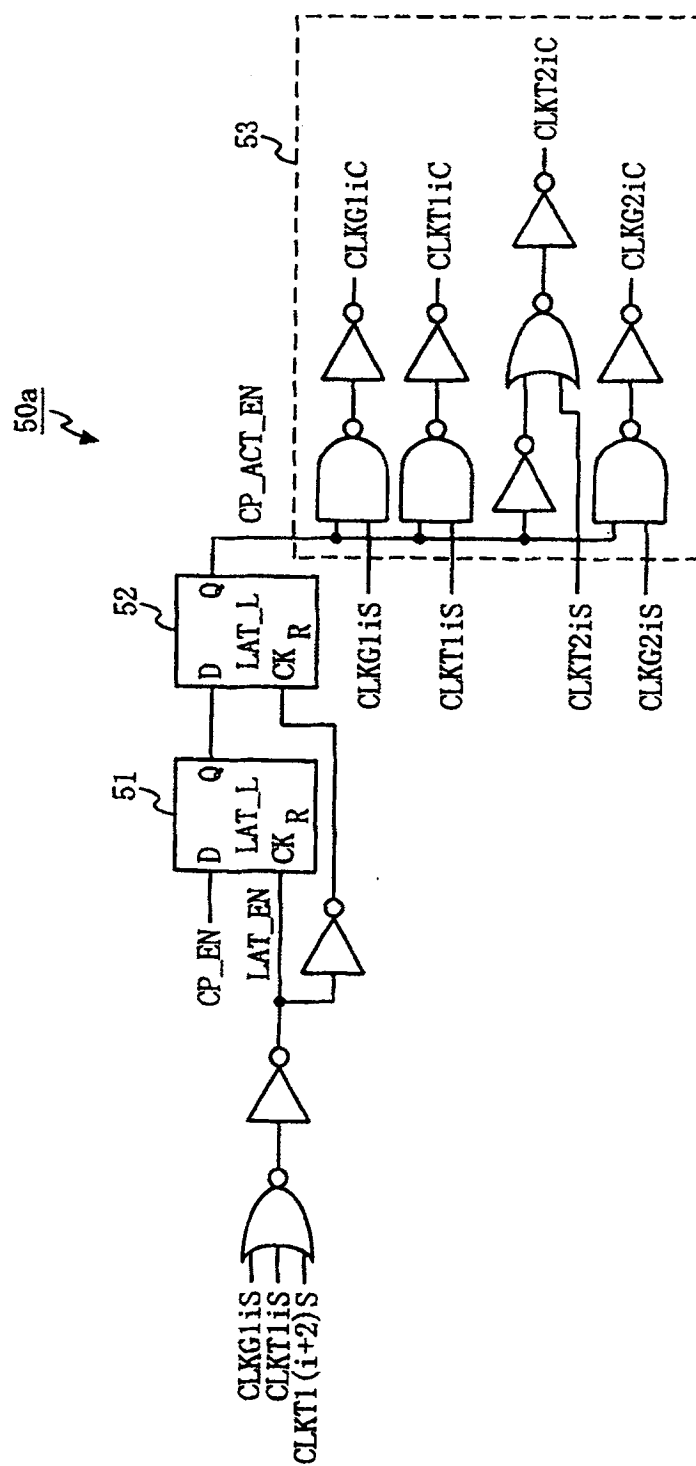


图 6

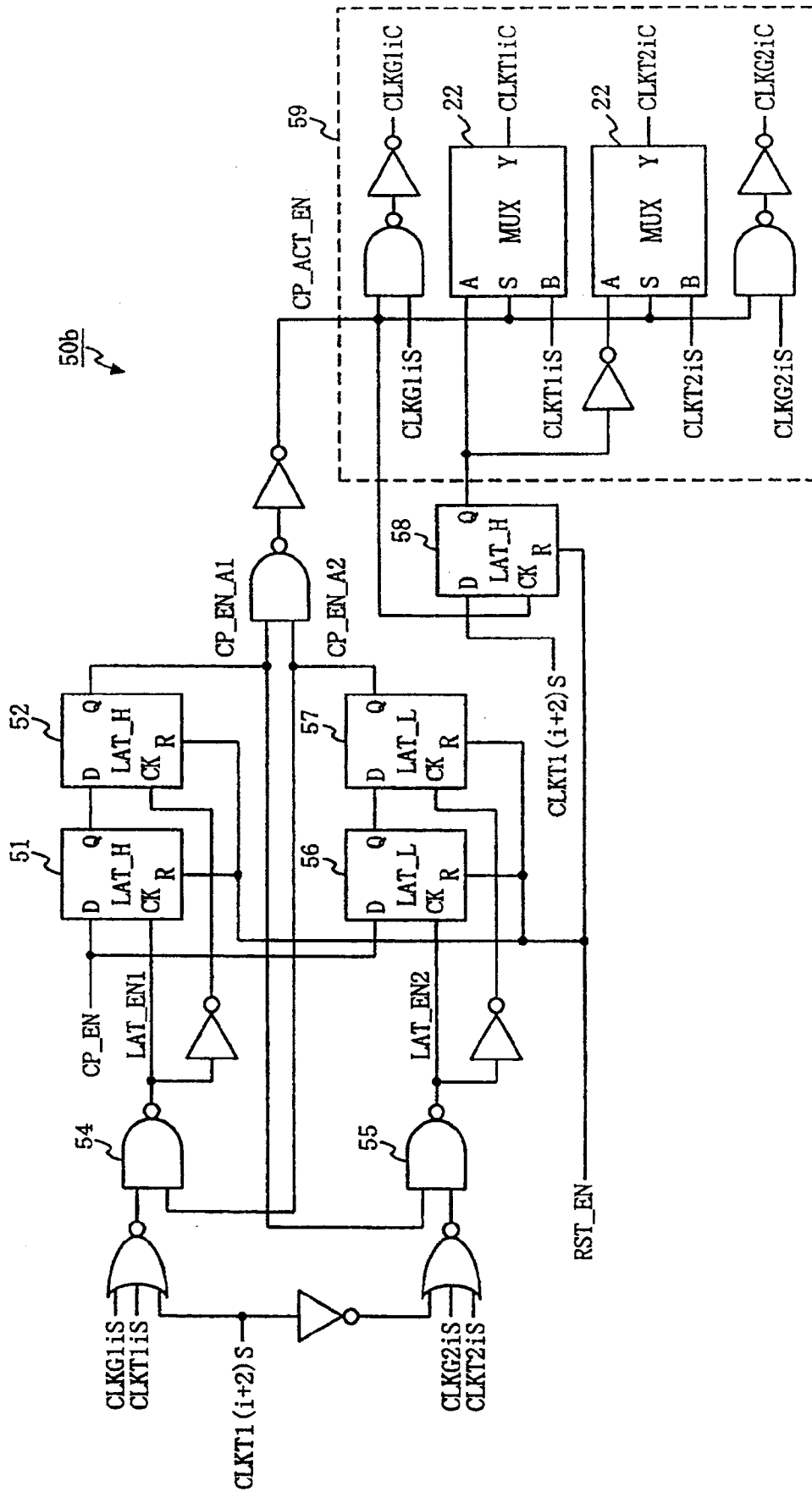


图 7

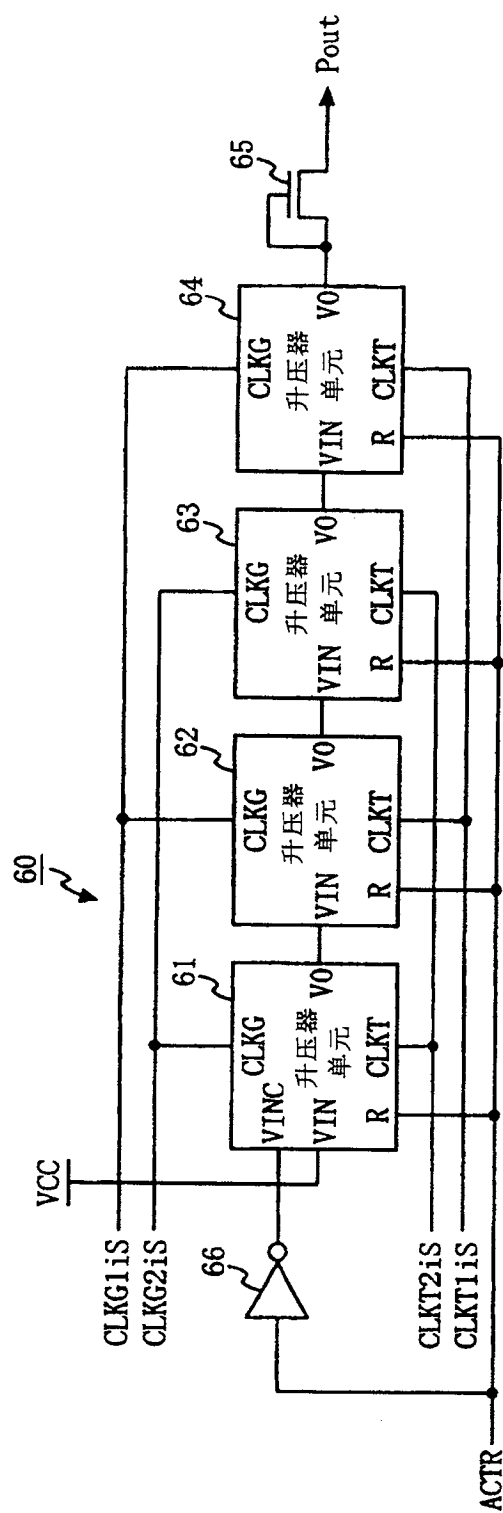


图 8A

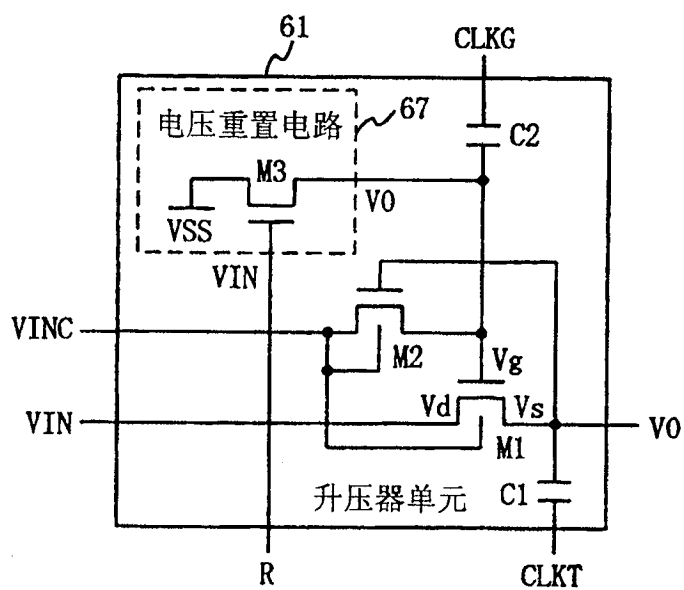


图 8B

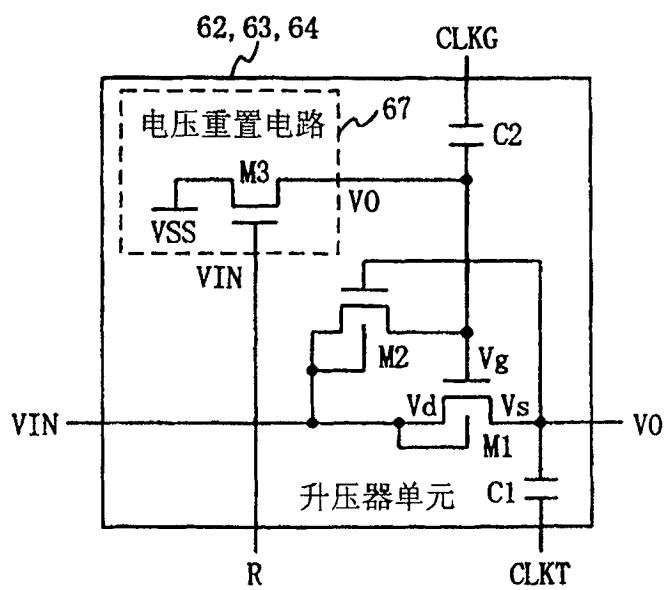


图 8C

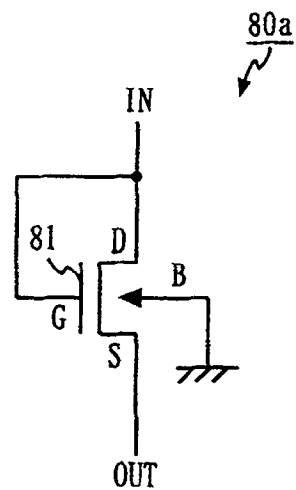


图 9

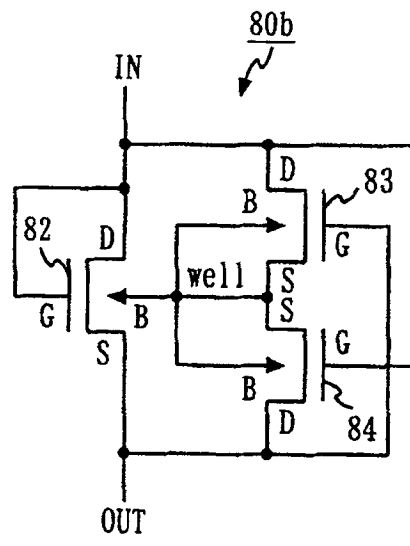


图 10

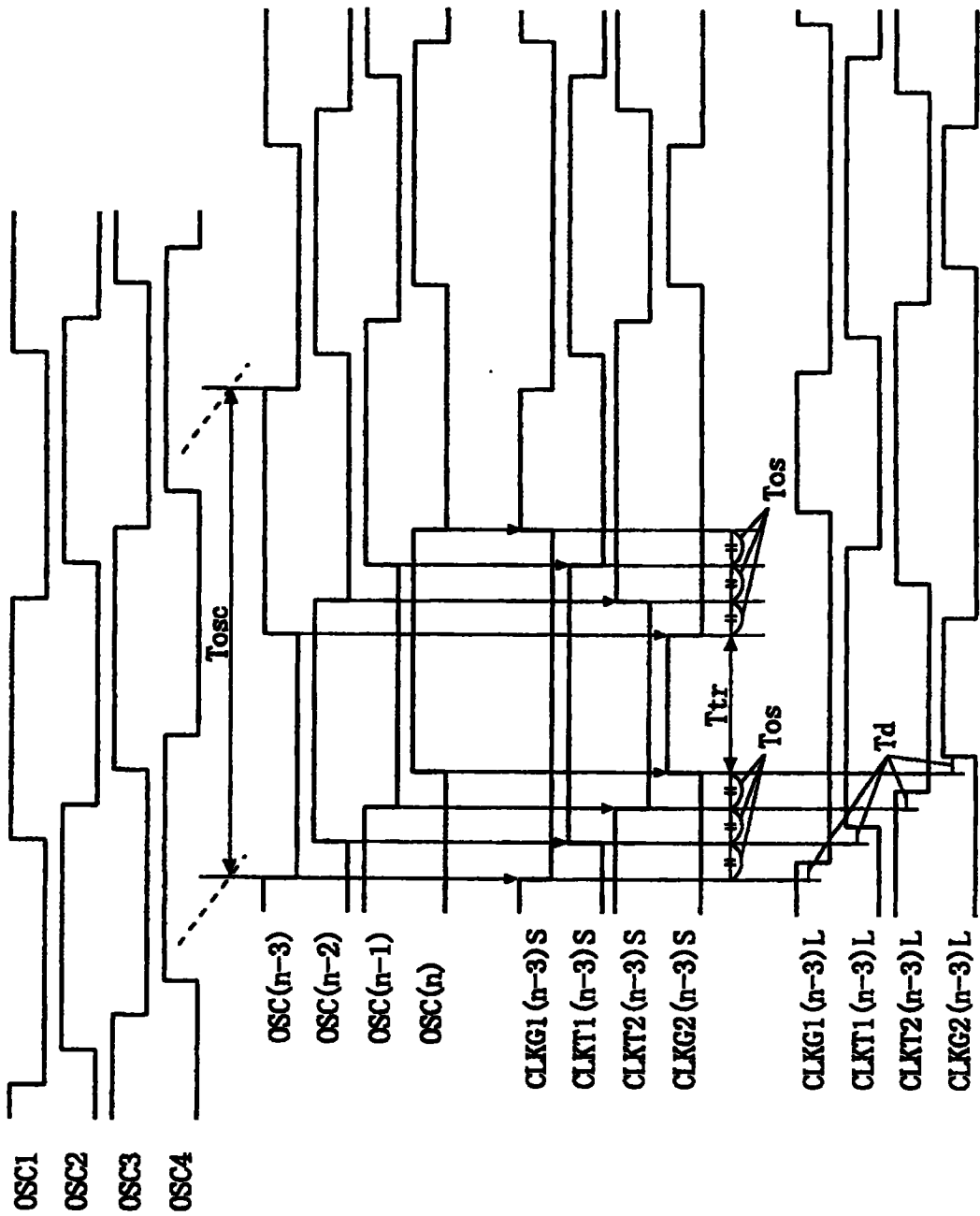


图 11

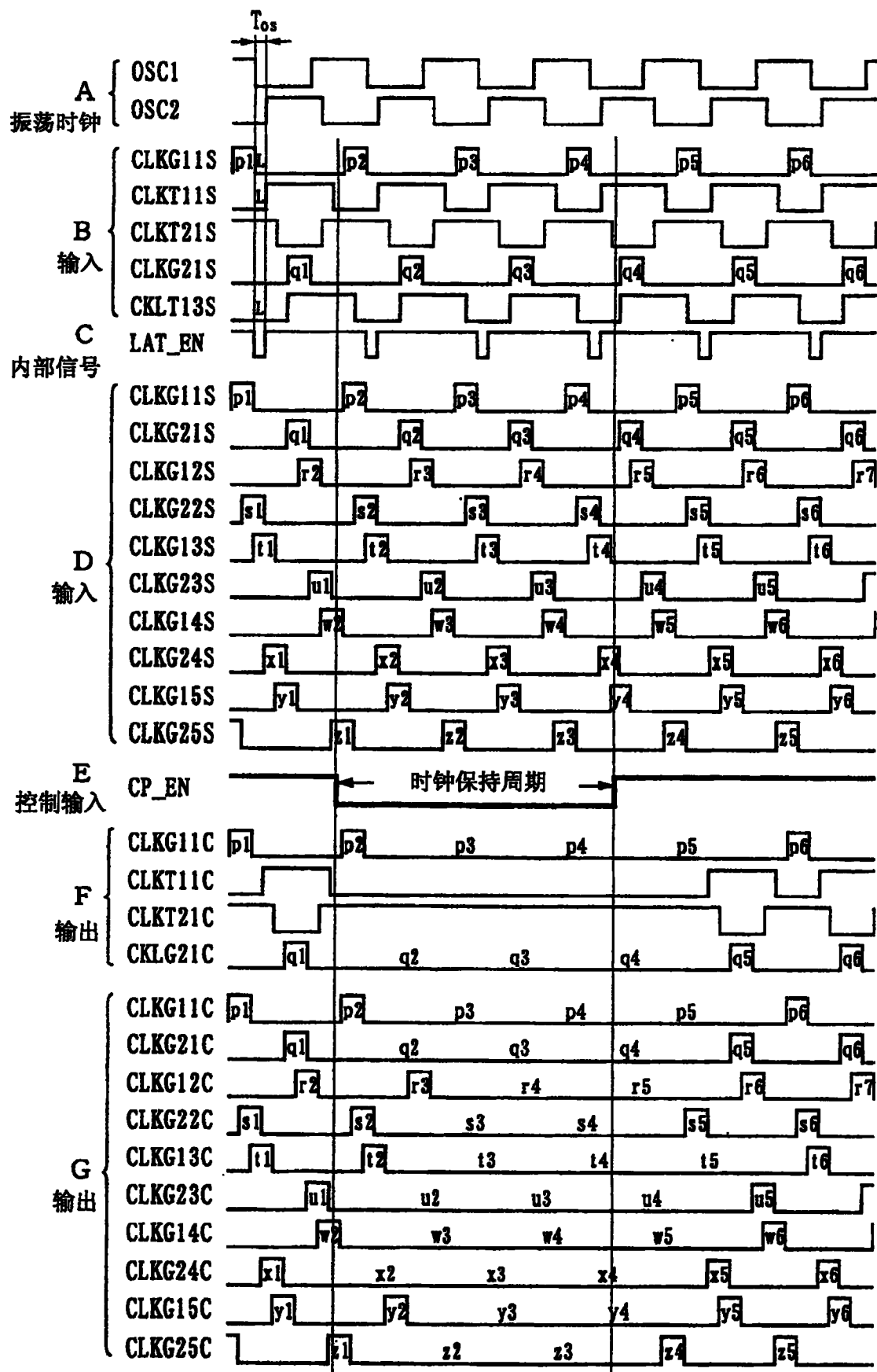


图 12

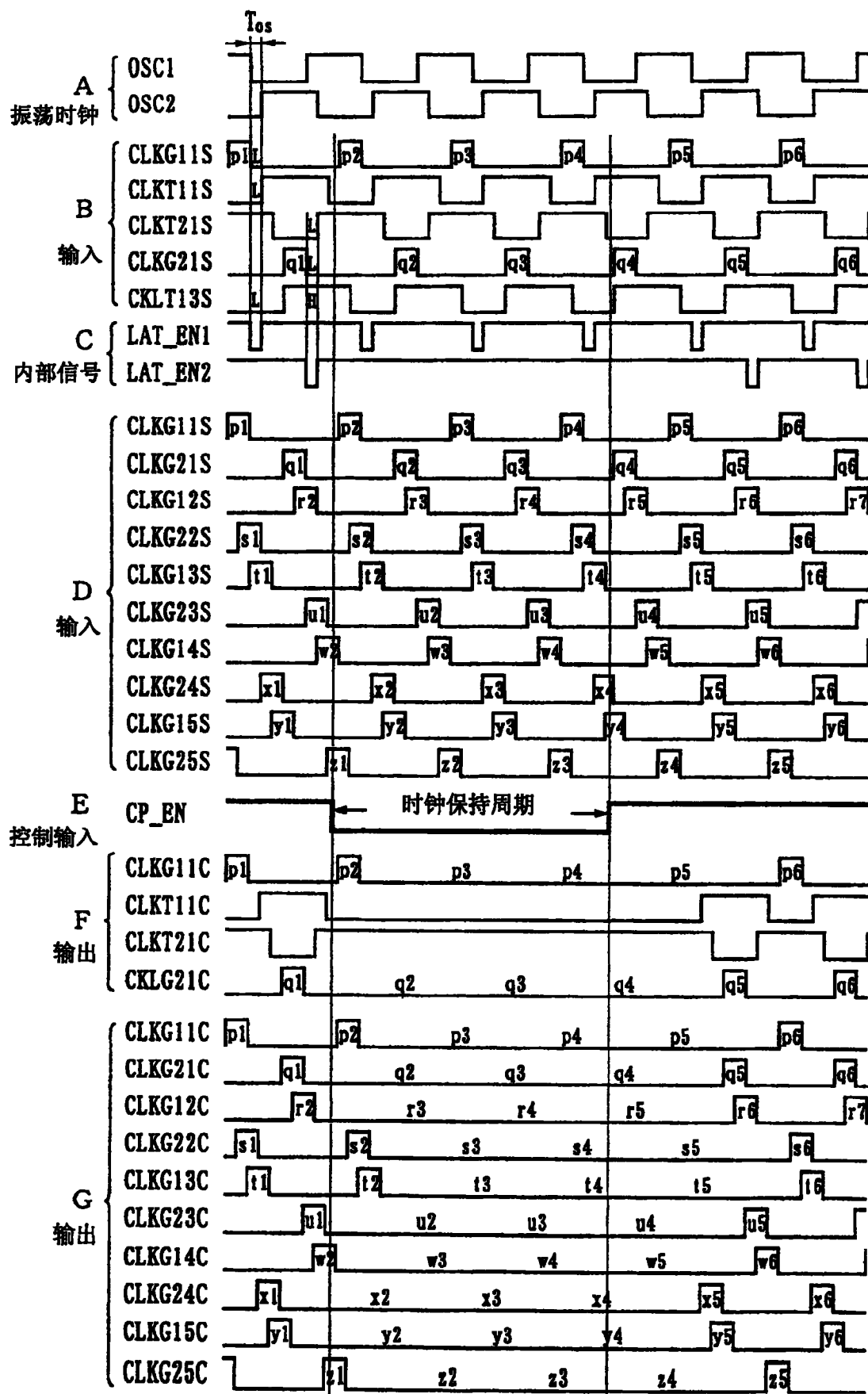


图 13

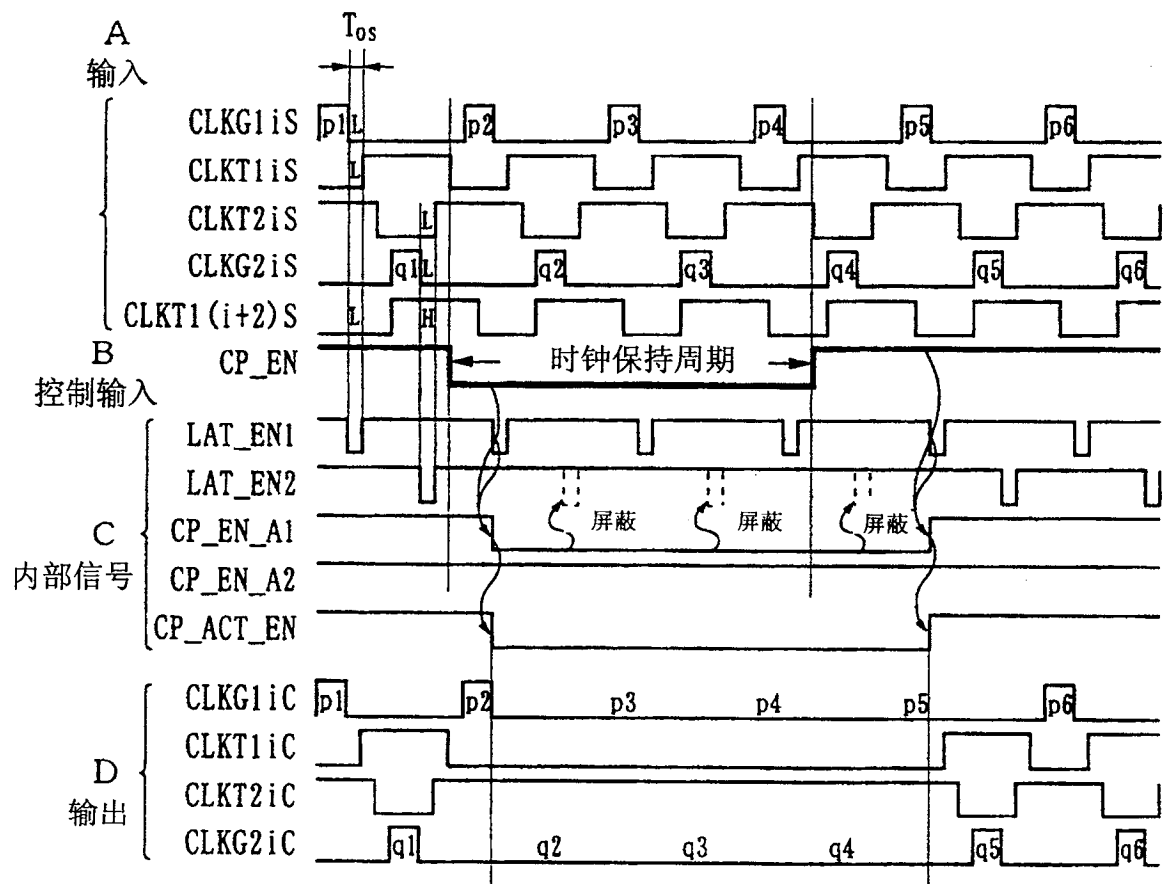


图 14

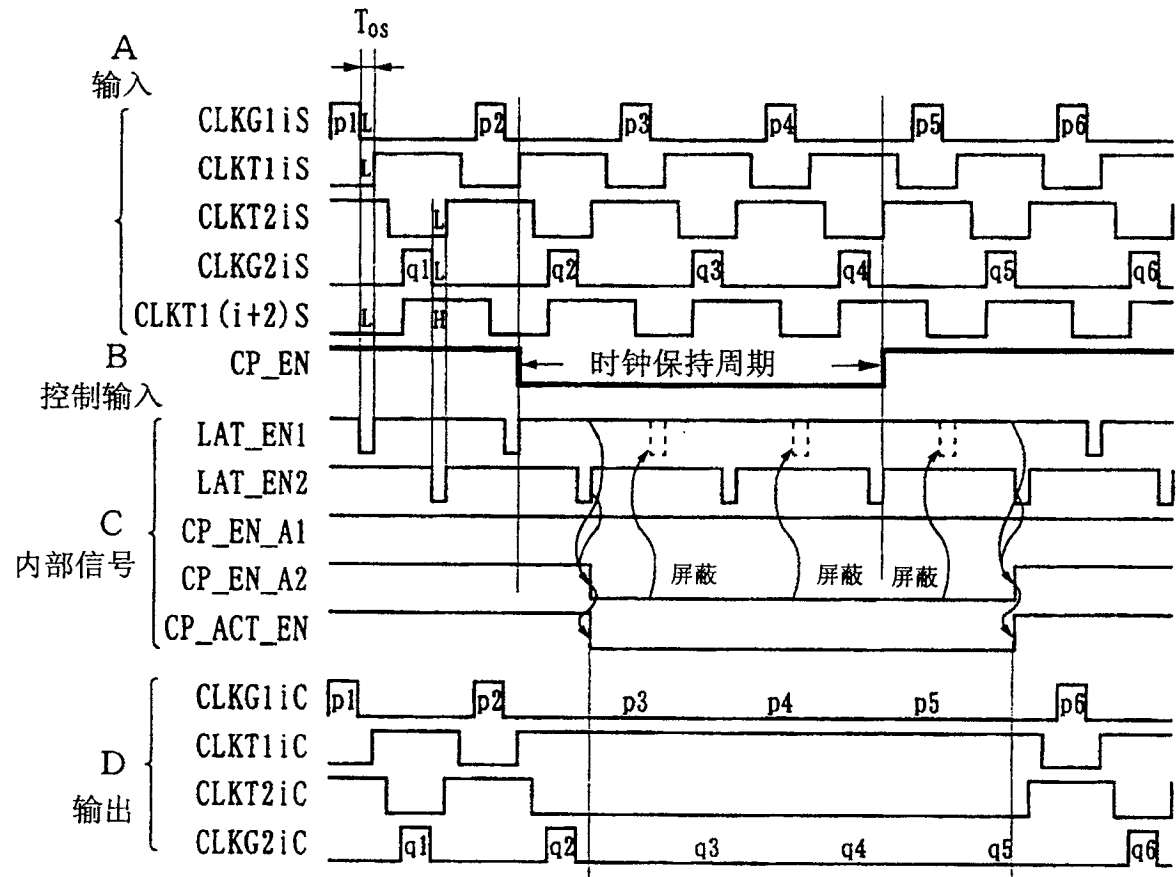


图 15

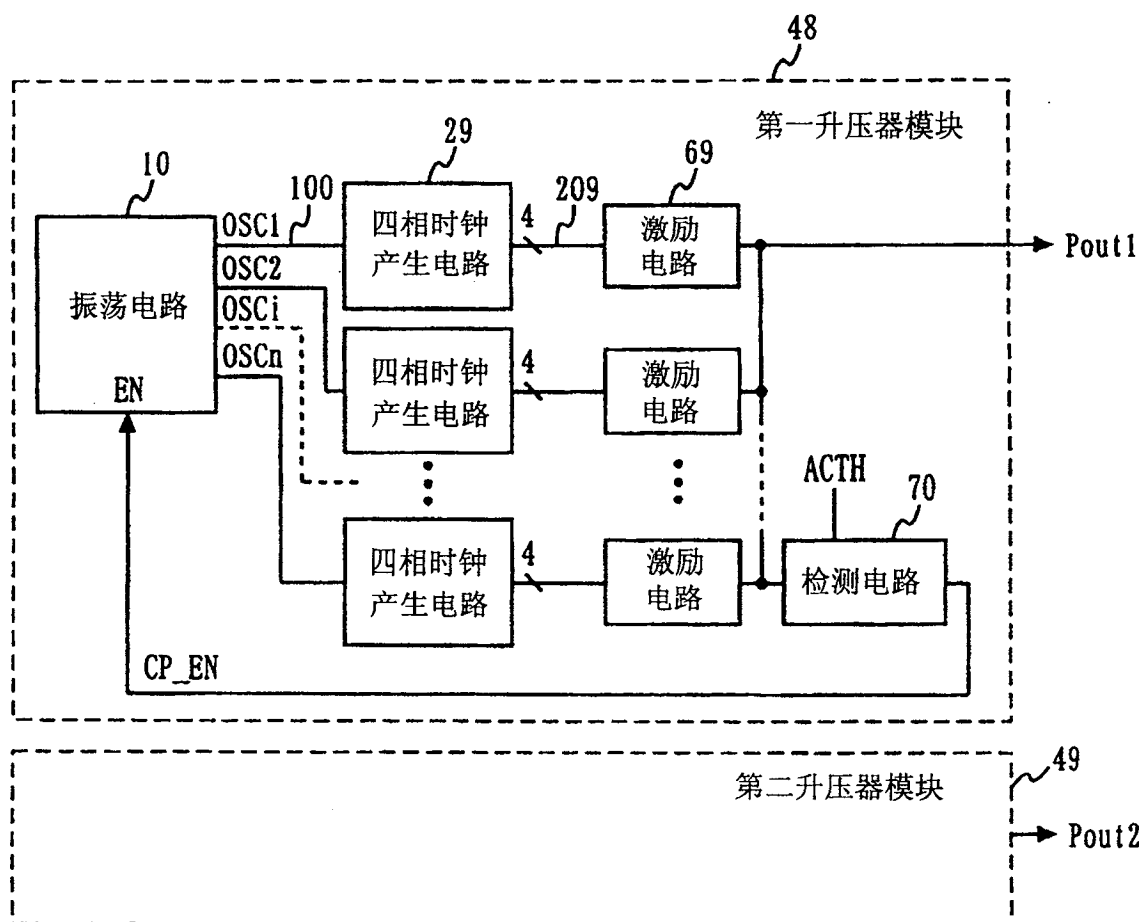


图 16

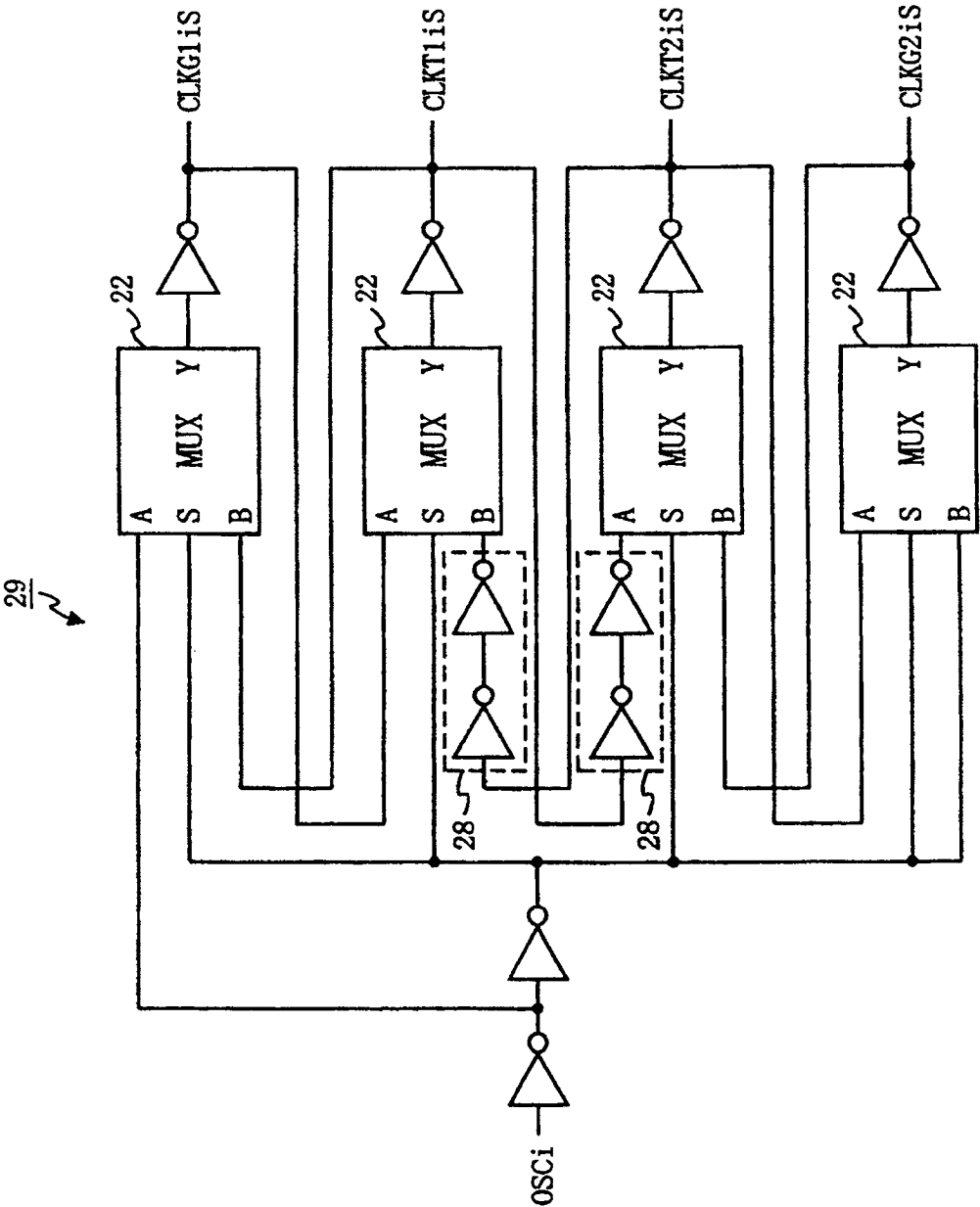


图 17

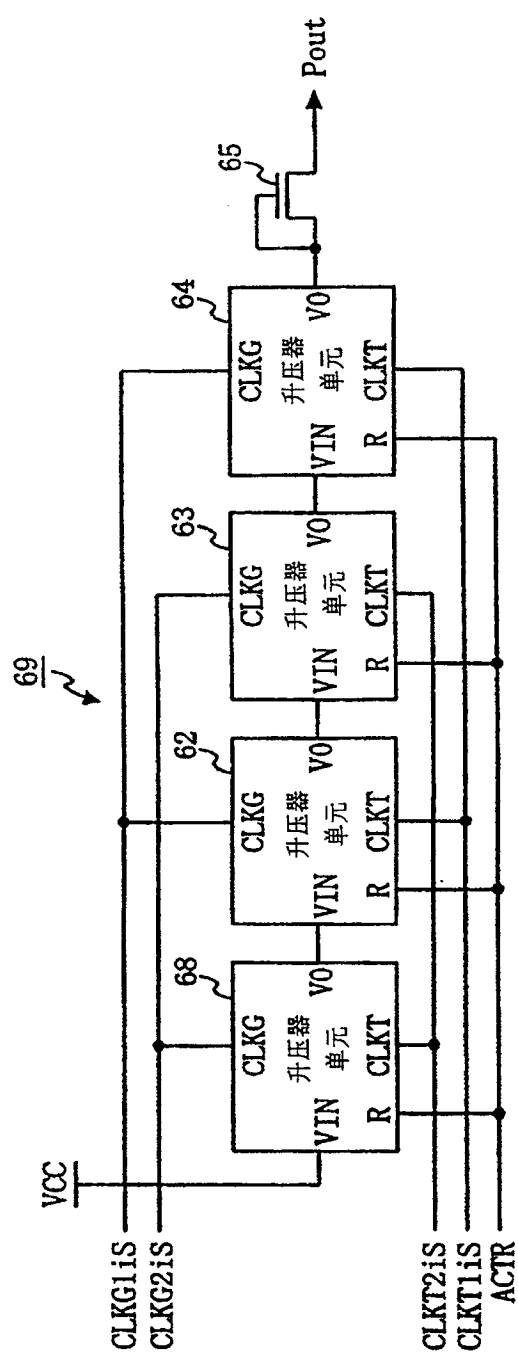


图 18A

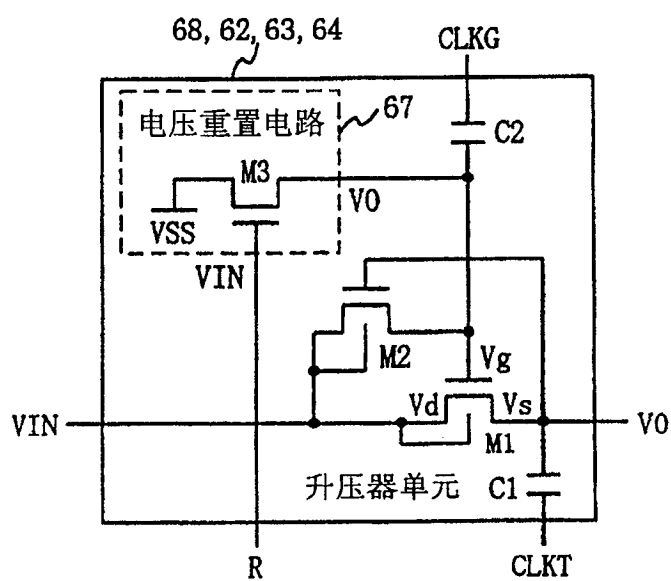


图 18B

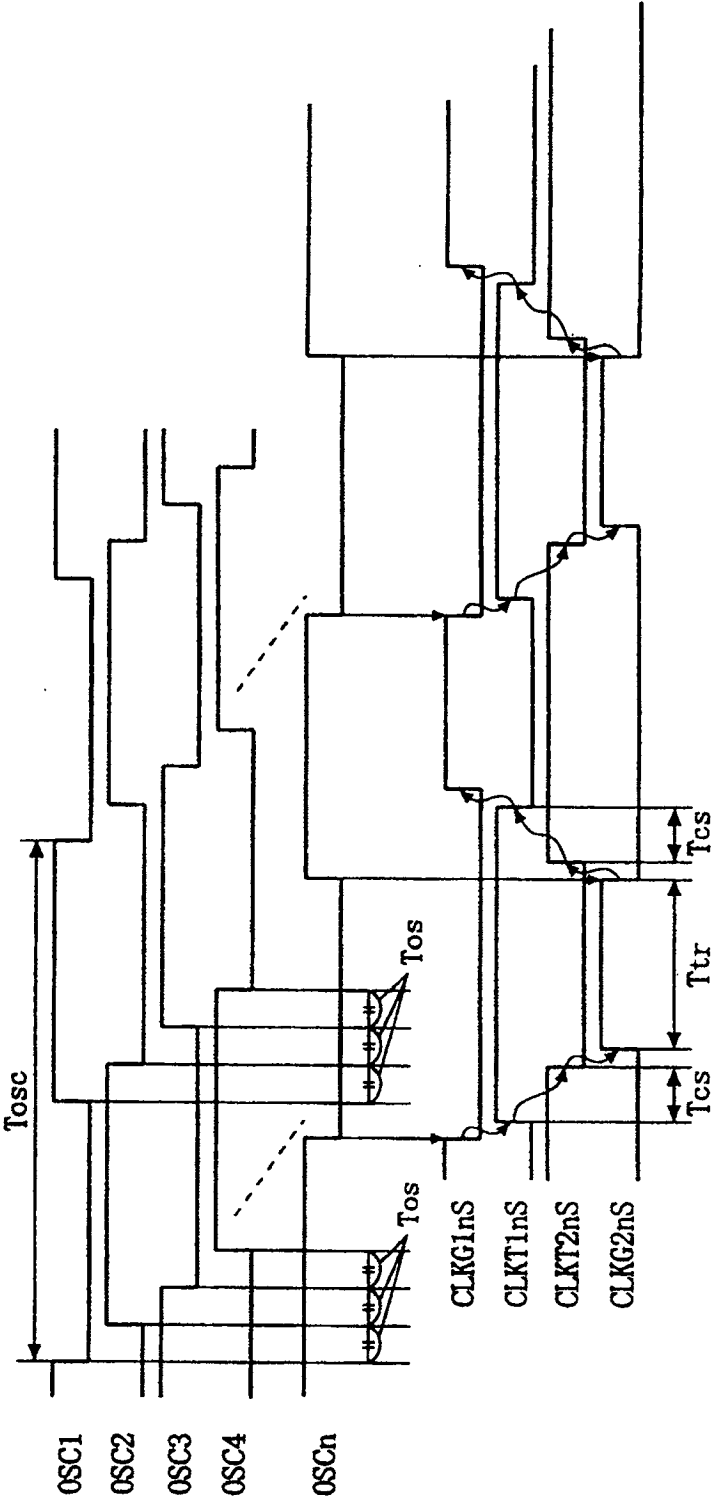


图 19