

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年8月12日(12.08.2010)

PCT



(10) 国際公開番号
WO 2010/089988 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
G02F 1/1333 (2006.01) G02F 1/1368 (2006.01)
G02F 1/1345 (2006.01) G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2010/000593
- (22) 国際出願日: 2010年2月2日(02.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-026784 2009年2月6日(06.02.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 齊藤裕一
(SAITO, Yuichi). 守口正生(MORIGUCHI, Masao).

星野淳之(HOSHINO, Atsuyuki). 吉田徳生(YOSHI-
DA, Tokuo).

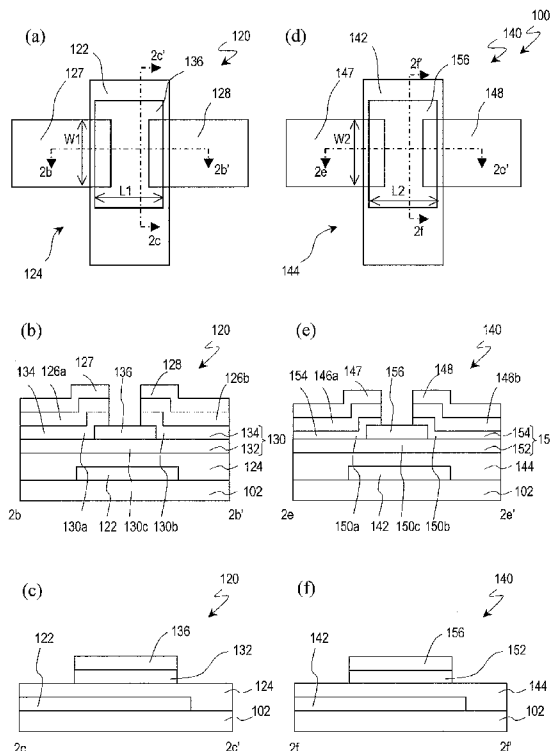
- (74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪
府大阪市中央区北浜一丁目8番16号 大阪
証券取引所ビル10階 奥田国際特許事務所
Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: Disclosed is a semiconductor device (100) which is provided with a TFT (120) and a TFT (140). The TFT (120) comprises a gate electrode (122), a semiconductor layer (130) containing a microcrystalline semiconductor film (132), and a gate insulating layer (124) which is provided between the gate electrode (122) and the semiconductor layer (130). The TFT (140) comprises a gate electrode (142), a semiconductor layer (150) containing a microcrystalline semiconductor film (152), and a gate insulating layer (144) which is provided between the gate electrode (142) and the semiconductor layer (150). The thickness and layer structure of the semiconductor layer (150) of the TFT (140) are different from those of the semiconductor layer (130) of the TFT (120).

(57) 要約: 本発明による半導体装置(100)は、TFT(120)と、TFT(140)とを備える。TFT(120)は、ゲート電極(122)と、微結晶半導体膜(132)を含む半導体層(130)と、ゲート電極(122)と半導体層(130)との間に設けられたゲート絶縁層(124)とを有しており、TFT(140)は、ゲート電極(142)と、微結晶半導体膜(152)を含む半導体層(150)と、ゲート電極(142)と半導体層(150)との間に設けられたゲート絶縁層(144)とを有している。TFT(140)の半導体層(150)は厚さおよび層構造の点でTFT(120)の半導体層(130)と異なる。



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は薄膜トランジスタを備えた半導体装置に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「TFT」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来、アモルファスシリコン膜を活性層とするTFT（以下、「アモルファスシリコンTFT」）や多結晶シリコン膜を活性層とするTFT（以下、「多結晶シリコンTFT」）が広く用いられている。

[0003] 多結晶シリコン膜における電子および正孔の移動度はアモルファスシリコン膜の移動度よりも高いので、多結晶シリコンTFTは、アモルファスシリコンTFTよりも高いオン電流を有し、高速動作が可能である。そのため、多結晶シリコンTFTを用いてアクティブマトリクス基板を形成すると、スイッチング素子としてのみでなく、ドライバーなどの周辺回路にも多結晶シリコンTFTを使用することができる。従って、ドライバーなどの周辺回路の一部または全体と表示部とを同一基板上に一体形成することができるという利点がある。さらに、液晶表示装置等の画素容量をより短いスイッチング時間で充電できるという利点もある。

[0004] しかし、多結晶シリコンTFTを作製しようとする、その前段階として形成したアモルファスシリコン膜を結晶化させるためのレーザーや熱による結晶化工程の他、熱アニール工程などの複雑な工程を行う必要があり、基板の単位面積あたりの製造コストが高くなるという問題がある。一方、アモルファスシリコン膜は多結晶シリコン膜よりも容易に形成されるので大面積化に向いている。そのため、アモルファスシリコンTFTは、大面積を必要とする装置のアクティブマトリクス基板に好適に使用される。アモルファスシ

リコンＴＦＴのオン電流は多結晶シリコンＴＦＴよりも低いにもかかわらず、液晶テレビのアクティブマトリクス基板の多くにはアモルファスシリコンＴＦＴが用いられている。

[0005] しかしながら、アモルファスシリコンＴＦＴを用いると、アモルファスシリコン膜の移動度が低いことから、その高性能化に限界がある。特に、近年、液晶表示装置には、狭額縁化やコストダウンのためのドライバーモノリシック基板化や、タッチパネル機能の内蔵等の高性能化が強く求められており、アモルファスシリコンＴＦＴでは、このような要求に十分に応えることが困難である。

[0006] そこで、製造工程数や製造コストを抑えつつ、より高性能なＴＦＴを実現するために、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコン以外の材料を用いることが試みられている。特許文献１、特許文献２および非特許文献１には、微結晶シリコン（ $\mu c-Si$ ）膜を用いてＴＦＴの活性層を形成することが提案されている。このようなＴＦＴを「微結晶シリコンＴＦＴ」と称する。

[0007] 微結晶シリコン膜は、内部に微結晶粒を有するシリコン膜であり、微結晶粒の粒界は主としてアモルファス相である。すなわち、微結晶粒からなる結晶相とアモルファス相との混合状態を有している。各微結晶粒のサイズは、多結晶シリコン膜に含まれる結晶粒のサイズよりも小さい。また、後で詳述するように、微結晶シリコン膜では、各微結晶粒が例えば基板面から柱状に成長した柱状形状を有する。

[0008] 微結晶シリコン膜は、原料ガスとして水素ガスで希釈したシランガスを用いたプラズマＣＶＤ（Plasma Enhanced Chemical Vapor Deposition）法などの膜形成工程のみによって形成され得る。多結晶シリコン膜を形成する場合、ＣＶＤ装置等を用いてアモルファスシリコン膜を形成した後に、レーザーや熱によってアモルファスシリコン膜を結晶化させる工程（アニール工程）が必要であるのに対して、微結晶シリコン膜を形成する場合には、ＣＶＤ装置等によって、基本的な結晶

相を含む微結晶シリコン膜を形成できるので、レーザーや熱による結晶化工程や、熱アニール工程を省略することができる。このように、微結晶シリコン膜は、多結晶シリコン膜の形成に必要な工程数よりも少ない工程数で形成されるので、微結晶シリコンTFTは、アモルファスシリコンTFTと同程度の生産性、すなわち同程度の工程数とコストで作製され得る。また、アモルファスシリコンTFTを作製するための装置を用いて微結晶シリコンTFTを作製することも可能である。

[0009] 微結晶シリコン膜は、アモルファスシリコン膜よりも高い移動度を有するので、微結晶シリコン膜を用いることにより、アモルファスシリコンTFTよりも高いオン電流を得ることができる。また、微結晶シリコン膜は、多結晶シリコン膜のように複雑な工程を行うことなく形成できるので、製造コストが低く抑えられる。

[0010] 特許文献1には、TFTの活性層として微結晶シリコン膜を用いることにより、アモルファスシリコンTFTの1.5倍のオン電流が得られることが記載されている。また、非特許文献1には、微結晶シリコンおよびアモルファスシリコンからなる半導体膜を用いることにより、オン／オフ比が 10^6 、移動度が約 $1\text{ cm}^2/\text{Vs}$ 、閾値が約5VのTFTが得られることが記載されている。この移動度は、アモルファスシリコンTFTの移動度より高い。さらに、特許文献2には、微結晶シリコン膜を用いた逆スタガ型（ボトムゲート構造）のTFTが開示されている。

[0011] 微結晶シリコン膜を用いた微結晶シリコンTFTは高い移動度およびオン電流を有しており、このような微結晶シリコンTFTは、表示装置の狭額縁化やコストダウンを図るために、モノリシック基板やタッチパネルに好適に用いられる。ここで、モノリシック基板およびタッチパネルについて簡単に説明する。

[0012] 近年、額縁（パネル外形）サイズの縮小、実装するドライバーICの削減によるコスト削減や実装歩留まりの向上を実現するために、基板上に駆動回路を形成したアクティブマトリクス基板が製品化されている。このようなア

クティブマトリクス基板はドライバーモノリシック基板、あるいはモノリシック基板と呼ばれる。モノリシック基板には、例えば、機能の異なるＴＦＴを設けることが検討されている（例えば、特許文献３参照）。具体的には、特許文献３のモノリシック基板では、表示領域の画素のスイッチング素子として機能するＴＦＴだけでなく周辺領域の駆動回路におけるスイッチング素子として機能するＴＦＴが設けられている。

[0013] また、従来、タッチパネルは、表示パネルとは別途作製された抵抗膜方式や静電容量方式のタッチセンサモジュールを表示パネルと貼り合わせることで作製されていたが、近年、表示パネルにフォトセンサーを内蔵したタッチパネルも検討されている。このようなタッチパネルは、ＴＦＴとは別の半導体素子としてダイオードの設けられたアクティブマトリクス基板を用いて作製される（例えば、特許文献４参照）。特許文献４のアクティブマトリクス基板では、ＴＦＴだけでなくフォトダイオードが設けられている。ダイオードの多結晶シリコン膜はＴＦＴの多結晶シリコン膜と同一工程で形成されており、製造コストの抑制が図られている。

[0014] また、半導体層の一部として、キャリア移動度の比較的高い微結晶シリコン膜を有するＴＦＴの設けられたモノリシック基板が検討されている（例えば、特許文献５参照）。なお、以下の説明において、アクティブマトリクス基板における表示領域にあって、ソース電極またはドレイン電極の一方が画素電極と接続されるＴＦＴを画素ＴＦＴと呼び、それ以外のＴＦＴ（具体的には、表示領域または周辺領域にあって、駆動回路、増幅回路、電荷読み出し回路等を構成するＴＦＴ）を回路ＴＦＴと呼ぶことがある。

[0015] また、特許文献５には、半導体層の一部として微結晶シリコン膜を有する画素ＴＦＴと、アモルファスシリコン膜を有する回路ＴＦＴとが設けられた半導体装置が開示されている。図３７に、特許文献５に開示されている半導体装置９００を示す。

[0016] 半導体装置９００は、ＴＦＴ９２０およびＴＦＴ９４０を備えている。半導体装置９００においてＴＦＴ９２０は画素ＴＦＴであり、ＴＦＴ９４０は

回路 T F T である。

[0017] 半導体装置 900 では、T F T 920 の半導体層 930 および T F T 940 の半導体層 950 はそれぞれ 3 層構造を有している。T F T 920 の半導体層 930 に含まれる層 932、934、936 はいずれもアモルファスシリコンから形成されているのに対して、T F T 940 の半導体層 950 に含まれる層 952、954、956 はそれぞれ主として多結晶シリコン、微結晶シリコン、アモルファスシリコンから形成されている。このため、T F T 920 のオフ電流は低く、また、T F T 940 のオン電流は高い。

[0018] 半導体装置 900 の作製は以下のように行われる。まず、基板 902 上にゲート電極 922、942 を形成し、その後、ゲート電極 922、942 を覆う絶縁層 904 を堆積する。

[0019] 次に、絶縁層 904 上に、アモルファスシリコンの層 932、952 を形成した後で、周辺領域の層 952 にエキシマレーザを照射して結晶化を行い、これにより、層 952 をアモルファスシリコン膜から多結晶シリコン膜に改質する。

[0020] 次に、プラズマ中で基板面の処理を行った後で、層 932、952 上にアモルファスのシリコン膜を堆積すると、層 932 の上の層 934 は主にアモルファスシリコンから形成されるが、多結晶シリコンの層 952 の上の層 954 は主に微結晶シリコンから形成される。その後、さらに、層 934、954 の上にアモルファスシリコンの層 936、956 を形成する。以上のようにして、特性の異なる T F T 920 および T F T 940 を備える半導体装置 900 が作製される。

先行技術文献

特許文献

- [0021] 特許文献1：特開平6－196701号公報
特許文献2：特開平5－304171号公報
特許文献3：特開平7－020488号公報
特許文献4：特開2008－21208号公報

特許文献5：特開平5-226656号公報

非特許文献

- [0022] 非特許文献1：Zhongyang Xu他「A Novel Thin-film Transistors With μ c-Si/a-Si Dual Active Layer Structure For AM-LCD」IDW'96 Proceedings of The Third International Display Workshops VOLUME 1、1996、p. 117~120

発明の概要

発明が解決しようとする課題

- [0023] 微結晶シリコンTFTはアモルファスシリコンTFTよりも大きいオン電流を有しており、微結晶シリコンTFTは回路TFTとして好適に用いられる。一方、微結晶シリコンTFTはオフ電流が高く、高いオン／オフ比を実現できないため、微結晶シリコンTFTを単純に画素TFTとして用いる場合、大きいオフ電流に起因して、画素電極の電位を十分に保持することができない。特に、高温環境下や低周波駆動などのように画素電位の書き込み間隔が長いなどの駆動条件において、画素電極の電位の保持が十分にできない。
- [0024] また、上述した特許文献5の半導体装置900では、画素TFTとしてオフ電流の低いTFT920が用いられており、回路TFTとしてオン電流の高いTFT940が用いられている。しかしながら、特許文献5に開示されている製造方法では、上述したように、アモルファスシリコンの層932、952を形成した後に、層952に選択的にレーザー光を照射することが必要であり、製造工程およびコストが増大する。
- [0025] また、微結晶シリコンTFTをダイオードとともに作製する場合、ダイオードの半導体層が微結晶シリコン膜から形成されると、微結晶シリコン膜の光吸収率および光電流はアモルファスシリコン膜と比べて低いため、ダイオードの光応答特性が低下してしまい、このようなダイオードはフォトセンサ

ーとして十分に機能しない。

[0026] 本発明は、上記課題を鑑みてなされたものであり、その目的は、特性の異なるTFTが簡便に作製された半導体装置を提供することにある。また、本発明の別の目的は、微結晶半導体膜を有するTFTとともに光応答特性の良好なダイオードを備える半導体装置を提供することにある。

課題を解決するための手段

[0027] 本発明による半導体装置は、第1薄膜トランジスタと、前記第1薄膜トランジスタとは異なる第2薄膜トランジスタとを備える、半導体装置であって、前記第1薄膜トランジスタは、ゲート電極と、微結晶半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、前記第2薄膜トランジスタは、ゲート電極と、微結晶半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、前記第1薄膜トランジスタの前記半導体層は厚さ、層構造および結晶化率のうちの少なくとも1つの点で前記第2薄膜トランジスタの前記半導体層と異なるか、または、前記第1薄膜トランジスタの前記ゲート絶縁層は厚さ、層構造および誘電率のうちの少なくとも1つの点で前記第2薄膜トランジスタの前記ゲート絶縁層と異なる。

[0028] ある実施形態において、前記第1薄膜トランジスタの前記半導体層は非晶質半導体膜をさらに含む。

[0029] ある実施形態において、前記第2薄膜トランジスタの前記半導体層は非晶質半導体膜をさらに含み、前記第1薄膜トランジスタの前記非晶質半導体膜は前記第2薄膜トランジスタの前記非晶質半導体膜よりも厚い。

[0030] ある実施形態において、前記第1薄膜トランジスタの前記微結晶半導体膜の厚さは前記第2薄膜トランジスタの前記微結晶半導体膜の厚さと略等しい。

[0031] ある実施形態において、前記第1薄膜トランジスタの前記微結晶半導体膜の厚さは前記第2薄膜トランジスタの前記微結晶半導体膜の厚さと異なる。

[0032] ある実施形態において、前記第1薄膜トランジスタの前記ゲート絶縁層は

前記第2薄膜トランジスタの前記ゲート絶縁層よりも厚い。

[0033] ある実施形態において、前記第1薄膜トランジスタの前記ゲート絶縁層は多層構造を有しており、前記第1薄膜トランジスタにおいて前記ゲート絶縁層のうちの前記半導体層と接する部分の組成は、前記第2薄膜トランジスタにおいて前記ゲート絶縁層のうちの前記半導体層と接する部分の組成と異なる。

[0034] ある実施形態において、前記第1薄膜トランジスタの前記微結晶半導体膜の結晶化率は前記第2薄膜トランジスタの前記微結晶半導体膜の結晶化率と異なる。

[0035] 本発明による半導体装置は、第1薄膜トランジスタと、前記第1薄膜トランジスタとは異なる第2薄膜トランジスタとを備える、半導体装置であって、前記第1薄膜トランジスタは、ゲート電極と、非晶質半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、前記第2薄膜トランジスタは、ゲート電極と、非晶質半導体膜を含まず微結晶半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、前記第1薄膜トランジスタの前記半導体層は厚さ、層構造および結晶化率のうちの少なくとも1つの点で前記第2薄膜トランジスタの前記半導体層と異なる。

[0036] ある実施形態において、前記半導体装置はダイオードをさらに備え、前記ダイオードは微結晶半導体膜および非晶質半導体膜を含む半導体層を有している。

[0037] 本発明によるアクティブマトリクス基板は、上記に記載の半導体装置を備えるアクティブマトリクス基板であって、前記第2薄膜トランジスタのドレイン電極は画素電極と接続されている。

[0038] 本発明による半導体装置は、薄膜トランジスタと、ダイオードとを備える、半導体装置であって、前記薄膜トランジスタは微結晶半導体膜を含む半導体層を有しており、前記ダイオードは微結晶半導体膜および非晶質半導体膜を含む半導体層を有している。

- [0039] ある実施形態において、前記薄膜トランジスタの前記半導体層は非晶質半導体膜をさらに含む。
- [0040] ある実施形態において、前記ダイオードの前記非晶質半導体膜は前記薄膜トランジスタの前記非晶質半導体膜よりも厚い。
- [0041] 本発明によるアクティブマトリクス基板は、上記に記載の半導体装置を備えるアクティブマトリクス基板であって、前記ダイオードは表示領域に設けられる。

発明の効果

- [0042] 本発明によれば、特性の異なるTFTを備える半導体装置を簡便に提供することができる。また、本発明によれば、微結晶半導体膜を有するTFTとともに光応答特性の高いダイオードを備える半導体装置を提供することができる。

図面の簡単な説明

- [0043] [図1] (a) ~ (c) は、それぞれ、アモルファスシリコン膜、多結晶シリコン膜および微結晶シリコン膜を例示する模式的な拡大断面図である。
- [図2] 本発明による半導体装置の第1実施形態を示す模式図であり、(a) は半導体装置における第1薄膜トランジスタの上面図であり、(b) および (c) はそれぞれ (a) の2b-2b' 線および2c-2c' 線に沿った断面図であり、(d) は半導体装置における第2薄膜トランジスタの上面図であり、(e) および (f) はそれぞれ (d) の2e-2e' 線および2f-2f' 線に沿った断面図である。
- [図3] (a) および (b) はいずれもTFTのゲート電圧 V_{gd} —ドレイン電流 I_{sd} の特性を示すグラフである。
- [図4] (a) は半導体層におけるアモルファスシリコン膜の厚さの変化に対するオン電流の変化を示すグラフであり、(b) は半導体層におけるアモルファスシリコン膜の厚さの変化に対するオフ電流の変化を示すグラフである。
- [図5] (a) は半導体層におけるアモルファスシリコン膜の厚さの変化に対するオン／オフ比の変化を示すグラフであり、(b) は半導体層におけるアモ

ルファスシリコン膜の厚さの変化に対するしきい値電圧の変化を示すグラフである。

[図6]第1実施形態の半導体装置の製造方法を説明するための概略図である。

[図7](a)～(f)は第1実施形態の半導体装置の製造方法を説明するための模式図である。

[図8](a)～(f)は第1実施形態の半導体装置の製造方法を説明するための模式図である。

[図9](a)～(f)は第1実施形態の半導体装置の製造方法を説明するための模式図である。

[図10](a)～(f)は第1実施形態の半導体装置の製造方法を説明するための模式図である。

[図11](a)～(f)は第1実施形態の半導体装置の製造方法を説明するための模式図である。

[図12](a)～(f)は第1実施形態の半導体装置の製造方法を説明するための模式図である。

[図13]本発明による半導体装置を備えるアクティブマトリクス基板を示す模式図である。

[図14]本発明による半導体装置を備えるアクティブマトリクス基板のソース分割駆動回路を示す模式図である。

[図15]図13に示したアクティブマトリクス基板を備える表示装置を示す模式図である。

[図16]第1実施形態の半導体装置の変形例を示す模式図であり、(a)は半導体装置における第1薄膜トランジスタの上面図であり、(b)および(c)はそれぞれ(a)の16b-16b'線および16c-16c'線に沿った断面図であり、(d)は半導体装置における第2薄膜トランジスタの上面図であり、(e)および(f)はそれぞれ(d)の16e-16e'線および16f-16f'線に沿った断面図である。

[図17]第1実施形態の半導体装置の別の変形例を示す模式図であり、(a)

は半導体装置における第1薄膜トランジスタの上面図であり、(b)および(c)はそれぞれ(a)の17b-17b'線および17c-17c'線に沿った断面図であり、(d)は半導体装置における第2薄膜トランジスタの上面図であり、(e)および(f)はそれぞれ(d)の17e-17e'線および17f-17f'線に沿った断面図である。

[図18]第1実施形態の半導体装置のさらに別の変形例を示す模式図であり、(a)は半導体装置における第1薄膜トランジスタの上面図であり、(b)および(c)はそれぞれ(a)の18b-18b'線および18c-18c'線に沿った断面図であり、(d)は半導体装置における第2薄膜トランジスタの上面図であり、(e)および(f)はそれぞれ(d)の18e-18e'線および18f-18f'線に沿った断面図である。

[図19]第1実施形態の半導体装置のさらに別の変形例を示す模式図であり、(a)は半導体装置における第1薄膜トランジスタの上面図であり、(b)および(c)はそれぞれ(a)の19b'-19b'線および19c-19c'線に沿った断面図である。

[図20]本発明による半導体装置の第2実施形態を示す模式図であり、(a)は半導体装置における第1薄膜トランジスタの上面図であり、(b)および(c)はそれぞれ(a)の20b-20b'線および20c-20c'線に沿った断面図であり、(d)は半導体装置における第2薄膜トランジスタの上面図であり、(e)および(f)はそれぞれ(d)の20e-20e'線および20f-20f'線に沿った断面図である。

[図21]比較例1の半導体装置を示す模式図であり、(a)は半導体装置における第1薄膜トランジスタの上面図であり、(b)および(c)はそれぞれ(a)の21b-21b'線および21c-21c'線に沿った断面図であり、(d)は半導体装置における第2薄膜トランジスタの上面図であり、(e)および(f)はそれぞれ(d)の21e-21e'線および21f-21f'線に沿った断面図である。

[図22]第2実施形態の半導体装置の製造方法を説明するための概略図である

。

[図23] (a) ~ (f) は第2実施形態の半導体装置の製造方法を説明するための模式図である。

[図24] (a) ~ (f) は第2実施形態の半導体装置の製造方法を説明するための模式図である。

[図25] (a) ~ (f) は第2実施形態の半導体装置の製造方法を説明するための模式図である。

[図26] (a) ~ (f) は第2実施形態の半導体装置の製造方法を説明するための模式図である。

[図27] (a) ~ (f) は第2実施形態の半導体装置の製造方法を説明するための模式図である。

[図28] (a) はTFTのチャネル領域の半導体層の厚さと移動度との関係を示すグラフであり、(b) はTFTのチャネル領域の半導体層の厚さと最低オフ電流との関係を示すグラフであり、(c) はTFTのチャネル領域の半導体層の厚さとS値との関係を示すグラフである。

[図29] 第2実施形態の半導体装置の変形例を示す模式図であり、(a) は半導体装置における第1薄膜トランジスタの上面図であり、(b) および(c) はそれぞれ(a)の29b-29b'線および29c-29c'線に沿った断面図であり、(d) は半導体装置における第2薄膜トランジスタの上面図であり、(e) および(f) はそれぞれ(d)の29e-29e'線および29f-29f'線に沿った断面図である。

[図30] 本発明による半導体装置の第3実施形態を示す模式図であり、(a) は半導体装置における第1薄膜トランジスタの上面図であり、(b) および(c) はそれぞれ(a)の30b-30b'線および30c-30c'線に沿った断面図であり、(d) は半導体装置における第2薄膜トランジスタの上面図であり、(e) および(f) はそれぞれ(d)の30e-30e'線および30f-30f'線に沿った断面図である。

[図31] 第3実施形態の半導体装置の変形例を示す模式図であり、(a) は半

導体装置における第1薄膜トランジスタの上面図であり、(b)および(c)はそれぞれ(a)の31b-31b'線および31c-31c'線に沿った断面図であり、(d)は半導体装置における第2薄膜トランジスタの上面図であり、(e)および(f)はそれぞれ(d)の31e-31e'線および31f-31f'線に沿った断面図である。

[図32]本発明による半導体装置の第4実施形態を示す模式図である。

[図33]第4実施形態および比較例2の半導体装置におけるフォトダイオードにおける特性を示すグラフである。

[図34](a)は第4実施形態の半導体装置を備えるアクティブマトリクス基板の模式図であり、(b)はアクティブマトリクス基板を備える液晶表示装置を示す回路図であり、(c)は液晶表示装置の断面図であり、(d)はアクティブマトリクス基板を備える別の液晶表示装置を示す回路図である。

[図35]第4実施形態の半導体装置の変形例における第1薄膜トランジスタを示す模式図である。

[図36]本発明による半導体装置の第5実施形態を備える有機EL表示装置を示す模式図である。

[図37]従来の半導体装置を示す模式図である。

発明を実施するための形態

[0044] 本発明における半導体装置の薄膜トランジスタおよびダイオードの半導体層が微結晶シリコン膜を含む場合、その微結晶シリコン膜は以下に示す特性を有していることが好ましい。

[0045] 微結晶シリコン膜は、微結晶粒からなる結晶相とアモルファス相との混合状態を有している。微結晶シリコン膜に占めるアモルファス相の体積率は例えば5%以上95%以下の範囲で制御され得る。なお、アモルファス相の体積率は好ましくは5%以上40%以下であり、この範囲では膜中欠陥の少ない良好な微結晶シリコン膜が得られるため、TFTのオン/オフ比をより効果的に改善できる。また、微結晶シリコン膜に対して可視光を用いたラマン散乱スペクトル分析を行うと、そのスペクトルは、結晶シリコンのピークで

ある 520 cm^{-1} 付近の波長で最も高いピークを有するとともに、アモルファスシリコンのピークである 480 cm^{-1} 付近の波長でブロードなピークを有する。例えば、 480 cm^{-1} 付近のアモルファスシリコン膜のピーク高さは、 520 cm^{-1} 付近にみられる結晶シリコン膜のピーク高さの $1/30$ 以上 1 以下となる。

[0046] 比較のため、多結晶シリコン膜に対して同様のラマン散乱スペクトル分析を行うと、アモルファス成分はほとんど確認されず、アモルファスシリコン膜におけるピークの高さはほぼゼロとなる。なお、多結晶シリコン膜を形成する際に、結晶化条件により、局所的にアモルファス相が残ってしまう場合があるが、そのような場合でも、多結晶シリコン膜に占めるアモルファス相の体積率は概ね 5% 未満であり、ラマン散乱スペクトル分析によるアモルファスシリコンのピーク高さは多結晶シリコンのピーク高さの概ね $1/30$ 未満となる。

[0047] このような微結晶シリコン膜は、容量結合プラズマ (Capacitively Coupled Plasma: CCP) 方式や、例えば誘導結合プラズマ (Inductively Coupled Plasma: ICP) 方式のような高密度プラズマ CVD で形成できる。プラズマ CVD の装置方式や膜形成条件によって、上述したピーク強度比を調整することが可能である。

[0048] ここで、図 1 を参照して、多結晶シリコン膜およびアモルファスシリコン膜の構造と比較して微結晶シリコン膜の構造を説明する。図 1 (a) ~ 図 1 (c) に、アモルファスシリコン膜、多結晶シリコン膜および微結晶シリコン膜をそれぞれ例示する模式的な拡大断面図を示す。

[0049] 図 1 (a) に示すように、アモルファスシリコン膜は、アモルファス相 SiO_2 から形成されている。このようなアモルファスシリコン膜は、通常、プラズマ CVD 法等によって基板 Si の上に形成される。

[0050] 図 1 (b) に示すように、多結晶シリコン膜は、結晶粒界 SiO_2 によって分離される複数の結晶粒 Si からなる。また、多結晶シリコン膜はほぼ多

結晶シリコンから形成されており、多結晶半導体に占める結晶粒界 731 の体積率は極めて小さい。多結晶シリコン膜は、例えば、基板 701 の上に形成されたアモルファスシリコン膜に対し、レーザーや熱による結晶化工程を行うことによって得られる。

[0051] 図 1 (c) に示すように、微結晶シリコン膜は、微結晶粒 733 と、アモルファス相からなる結晶粒界 734 とを含んでいる。また、微結晶シリコン膜の基板側には、薄いアモルファス層（以下、「インキュベーション層」という） 735 が形成されている。この例では、結晶粒界 734 およびインキュベーション層 735 が、微結晶シリコン膜の「アモルファス相」 736 となり、複数の微結晶粒 733 が「結晶相」 737 となる。

[0052] また、図 1 (c) に示すように、各微結晶粒 733 は、微結晶シリコン膜の厚さ方向に沿って、インキュベーション層 735 上から微結晶シリコン膜の上面まで柱状に延びている。このような微結晶シリコン膜は、例えば、水素ガスで希釈したシランガスを原料ガスとして、アモルファスシリコン膜の作製方法と同様のプラズマ CVD 法を用いて形成できる。

[0053] なお、微結晶シリコン膜における微結晶粒 733 は、多結晶シリコン膜における結晶粒 732 よりも小さい。透過型電子顕微鏡 (Transmission Electron Microscope: TEM) を用いて、微結晶シリコン膜の断面を観察すると、微結晶粒 733 の平均粒径は 2 nm 以上 300 nm 以下である。ここで、微結晶粒 733 の平均粒径は、微結晶シリコン膜の設けられた基板の略面方向に沿った断面における粒径の平均である。従って、微結晶粒 733 の結晶断面が半導体素子の大きさに比べて十分に小さくなるので、半導体素子の特性を均一化することができる。

[0054] インキュベーション層 735 は、微結晶シリコン膜形成の初期に成長しやすい。インキュベーション層 735 の厚さは、微結晶シリコン膜の形成条件にもよるが、例えば数 nm である。ただし、特に高密度プラズマ CVD 法を用いる場合など、微結晶シリコン膜の形成条件、形成方法によってはインキュベーション層 735 がほとんどみられない場合もある。

[0055] 図 1 (c) に示した微結晶シリコン膜では、各微結晶粒 7 3 3 は基板 7 0 1 の略法線方向に延びる柱状である。この特徴から、微結晶シリコン膜は、基板の法線方向に延びる柱状結晶粒を含んだシリコン膜とも定義できる。

[0056] 微結晶シリコン膜の構造は、形成方法や条件によって異なり、図示した構造に限定されない。ただし、微結晶シリコン膜の構造にかかわらず、微結晶シリコン膜におけるアモルファス相の体積率およびピーク強度比（ラマン散乱スペクトル分析による結晶シリコンのピーク高さに対するアモルファスシリコンのピーク高さの比）は、上述した範囲内であることが好ましく、これにより、高いオン特性を有する T F T を実現できる。

[0057] 以下、図面を参照して、本発明による半導体装置の実施形態を説明する。ただし、本発明は、以下の実施形態に限定されるものではない。

[0058] (実施形態 1)

以下、図 2 を参照して本発明による半導体装置の第 1 実施形態の構成を説明する。本実施形態の半導体装置 1 0 0 は T F T 1 2 0 および T F T 1 4 0 を複数有している。ここでは、T F T 1 2 0 および T F T 1 4 0 は逆スタガ・チャネル保護型 T F T である。

[0059] 図 2 (a) に、T F T 1 2 0 の上面図を示し、図 2 (b) および図 2 (c) に、T F T 1 2 0 の断面図を示す。図 2 (b) および図 2 (c) は、図 2 (a) の 2 b - 2 b' 線および 2 c - 2 c' 線に沿った断面のそれぞれに相当する。また、図 2 (d) に、T F T 1 4 0 の上面図を示し、図 2 (e) および図 2 (f) に、T F T 1 4 0 の断面図を示す。図 2 (e) および図 2 (f) は、図 2 (d) の 2 e - 2 e' 線および 2 f - 2 f' 線に沿った断面のそれぞれに相当する。

[0060] T F T 1 2 0 は、基板 1 0 2 上に設けられたゲート電極 1 2 2 と、ゲート電極 1 2 2 を覆うゲート絶縁層 1 2 4 と、ソース電極 1 2 7 と、ドレイン電極 1 2 8 と、ゲート絶縁層 1 2 4 上に設けられた半導体層 1 3 0 と、半導体層 1 3 0 の一部を覆うチャネル保護層 1 3 6 とを有している。半導体層 1 3 0 は、ソース領域 1 3 0 a と、ドレイン領域 1 3 0 b と、チャネル領域 1 3

0cとを有している。半導体層130のソース領域130aはコンタクト層126aを介してソース電極127と電氣的に接続されており、半導体層130のドレイン領域130bはコンタクト層126bを介してドレイン電極128と電氣的に接続されている。

[0061] また、TFT140は、基板102上に設けられたゲート電極142と、ゲート電極142を覆うゲート絶縁層144と、ソース電極147と、ドレイン電極148と、ゲート絶縁層144上に設けられた半導体層150と、半導体層150の一部を覆うチャネル保護層156とを有している。半導体層150は、ソース領域150aと、ドレイン領域150bと、チャネル領域150cとを有している。半導体層150のソース領域150aはコンタクト層146aを介してソース電極147と電氣的に接続されており、半導体層150のドレイン領域150bはコンタクト層146bを介してドレイン電極148と電氣的に接続されている。例えば、ゲート絶縁層124、144の厚さは、ゲート電極122、142上にあるかどうかにかかわらず、それぞれほぼ400nmであり、ゲート絶縁層124、144は窒化シリコン(SiN_x)から形成される。また、チャネル保護層136、156の厚さは150nmで、チャネル保護層136、156も窒化シリコン(SiN_x)から形成される。

[0062] TFT120、140のチャネル長L1、L2は、図2(a)および図2(d)に示されているように、それぞれソース電極127とドレイン電極128を結ぶ方向のチャネル保護層136の幅、ソース電極147とドレイン電極148を結ぶ方向のチャネル保護層156の幅に相当しており、L1=L2=10μmである。また、TFT120、140のチャネル幅W1、W2は、図2(a)および図2(d)に示されているように、それぞれソース電極127、147の電極の幅に相当しており、W1=W2=20μmである。半導体装置100では、ソース電極127の幅はドレイン電極128の幅と略等しく、ソース電極147の幅はドレイン電極148の幅と略等しい。

- [0063] ゲート電極 1 2 2 およびゲート電極 1 4 2 は同一工程で形成されており、ゲート電極 1 2 2 およびゲート電極 1 4 2 は互いに同じ材料（例えば、モリブデン（Mo））から形成されている。半導体層 1 3 0、1 5 0 のそれぞれのチャネル領域 1 3 0 c、1 5 0 c はチャネル保護層 1 3 6、1 5 6 に覆われている。
- [0064] コンタクト層 1 2 6 a、1 2 6 b およびコンタクト層 1 4 6 a、1 4 6 b は同一工程で形成されており、コンタクト層 1 2 6 a、1 2 6 b およびコンタクト層 1 4 6 a、1 4 6 b は互いに同じ材料（例えば、リンをドーピングしたシリコン）から形成されている。
- [0065] また、ソース電極 1 2 7、1 4 7 およびドレイン電極 1 2 8、1 4 8 は同一工程で形成されており、ソース電極 1 2 7、1 4 7 およびドレイン電極 1 2 8、1 4 8 は互いに同じ材料（例えば、モリブデン（Mo））から形成されている。
- [0066] ここでは、半導体層 1 3 0 および半導体層 1 5 0 は多層構造である。半導体層 1 3 0 は、ゲート絶縁層 1 2 4 上に設けられた微結晶半導体膜 1 3 2 と、微結晶半導体膜 1 3 2 およびチャネル保護層 1 3 6 上に設けられた非晶質半導体膜 1 3 4 とを含んでいる。同様に、半導体層 1 5 0 は、ゲート絶縁層 1 4 4 上に設けられた微結晶半導体膜 1 5 2 と、微結晶半導体膜 1 5 2 およびチャネル保護層 1 5 6 上に設けられた非晶質半導体膜 1 5 4 とを含んでいる。なお、以下の説明において特に言及しない場合、微結晶半導体膜の一例として微結晶シリコン膜を用い、非晶質半導体膜の一例としてアモルファスシリコン膜を用いる形態を説明する。微結晶シリコン膜 1 3 2、1 5 2 は互いに同じ材料（例えば、微結晶シリコン）から形成されており、アモルファスシリコン膜 1 3 4、1 5 4 は互いに同じ材料（例えば、アモルファスシリコン）から形成されている。
- [0067] コンタクト層 1 2 6 a、1 2 6 b はアモルファスシリコン膜 1 3 4 を介して微結晶シリコン膜 1 3 2 上に設けられている。同様に、コンタクト層 1 4 6 a、1 4 6 b はアモルファスシリコン膜 1 5 4 を介して微結晶シリコン膜

152上に設けられている。

[0068] 半導体装置100では、ゲート電極122、142上に位置する半導体層130、150がTFT120、140の基本的な特性を決める。TFT140の半導体層150はTFT120の半導体層130と異なる。具体的には、TFT140の微結晶シリコン膜152の厚さはTFT120の微結晶シリコン膜132と略等しいが、TFT140のアモルファスシリコン膜154はTFT120のアモルファスシリコン膜134よりも薄い。例えば、微結晶シリコン膜132、152の厚さは50nmであり、アモルファスシリコン膜134の厚さは30nmであり、アモルファスシリコン膜154の厚さは10nmである。このように、半導体装置100では、半導体層150のアモルファスシリコン膜154の厚さが半導体層130のアモルファスシリコン膜134とは異なる。

[0069] なお、微結晶シリコン膜132、152の厚さは20nm以上60nm以下であることが好ましい。微結晶シリコン膜の厚さが20nm未満である場合、移動度が低下し、TFTのオン特性が低下する。一方、微結晶シリコン膜の厚さが60nmを越えると、TFTのオフ電流が増加し、オン／オフ比が低下する。

[0070] 半導体装置100においてTFT120の特性はTFT140の特性と異なる。具体的には、ゲート電圧が等しい場合、TFT140のオン電流はTFT120のオン電流よりも大きい。また、ゲート電圧が等しい場合、TFT120のオフ電流はTFT140のオフ電流よりも小さい。また、オン電流とオフ電流の比（オン／オフ比）に着目すると、TFT120のオン／オフ比はTFT140よりも大きい。本明細書において、TFT120を第1薄膜トランジスタと呼ぶことがあり、TFT140を第2薄膜トランジスタと呼ぶことがある。また、TFT120の設けられる領域を第1領域と呼び、TFT140の設けられる領域を第2領域と呼ぶことがある。

[0071] このような半導体装置100は、表示装置のアクティブマトリクス基板の作製に好適に用いられる。オン電流の高いTFT140は周辺領域の回路T

FTとして好適に用いられ、オフ電流の低いFTT120は表示領域における画素FTTとして好適に用いられる。

[0072] ここで、図3～図5を参照して、微結晶シリコン膜およびアモルファスシリコン膜の厚さの異なるFTTの特性を説明する。図3(a)に、ソース電圧 V_{sd} が10Vである場合のFTT-A、FTT-Bのゲート電圧 V_{gd} ードレイン電流 I_{sd} の室温（概ね23℃）における特性を示す。なお、特に記載のない限り、以下のFTT特性は室温の暗室内で測定を行った特性である。

[0073] FTT-A、FTT-Bは、半導体層が異なる点を除いて上述したFTT120、140と同様の構成を有している。FTT-Aは、半導体層として微結晶シリコン膜のみを有しており、微結晶シリコン膜の厚さは50nmである。また、FTT-Bは、半導体層としてアモルファスシリコン膜のみを有しており、アモルファスシリコン膜の厚さは50nmである。

[0074] FTT-A、FTT-Bのそれぞれについて、半導体層は、ゲート絶縁層に接し、コンタクト層にそれぞれ直接接している。また、FTT-A、FTT-Bのそれぞれについて、ソース電極とドレイン電極を結ぶ方向のチャネル保護層の幅に相当するチャネル長は10 μ mであり、ソース電極の幅に相当するチャネル幅は20 μ mである。また、ソース電極の幅はドレイン電極の幅と略等しい。

[0075] なお、ゲート電圧 V_{gd} 、ソース電圧 V_{sd} はそれぞれドレイン電極の電位に対するゲート電極、ソース電極の電位を示しており、ドレイン電流 I_{sd} はソースードレイン間の電流を示している。

[0076] ゲート電圧 V_{gd} が-8V近傍の場合、FTT-A、FTT-Bのいずれにおいても、ドレイン電流 I_{sd} は極小となる。ゲート電圧 V_{gd} が概ね $V_{gd} < -8V$ の範囲では、ゲート電圧 V_{gd} が低くなるにつれてFTT-Aのドレイン電流 I_{sd} が著しく増加するが、FTT-Bにおいてはその増加はFTT-Aと比べて小さい。このように、FTT-Aのオフ電流はFTT-Bのオフ電流よりも大きい。

- [0077] 一方、 TFT-A のしきい値（しきい値電圧）は TFT-B よりも高いが、 TFT-A の移動度は TFT-B よりも高いため、概ねゲート電圧 $V_{gd} > 10\text{V}$ の範囲では TFT-A のドレイン電流 I_{sd} は TFT-B と比べて大きい。以上から、ゲート電圧 $V_{gd} < -8\text{V}$ 、 $V_{gd} > 10\text{V}$ の範囲を TFT のオフ範囲、オン範囲として用いる場合、 TFT-A のオン電流およびオフ電流はいずれも TFT-B よりも大きい。
- [0078] なお、一般に、画素 TFT では、 TFT のオン状態としてゲート電圧 V_{gd} をゼロよりも高い値で保持し、 TFT のオフ状態としてゲート電圧 V_{gd} をゼロよりも低い値で保持し、これらの2つの状態を遷移させる。このように、画素 TFT におけるゲート電圧 V_{gd} は正と負の異なる範囲内の値で保持および遷移を繰り返すが、ゲート電圧がオンからオフまたはその逆に変化する遷移期間は短いため、この期間のゲート電圧 V_{gd} およびドレイン電流 I_{sd} は実質的に無視できる。
- [0079] これに対し、回路 TFT におけるゲート電圧 V_{gd} は主に $V_{gd} \geq 0$ の範囲で動作する。例えば基板上にモノリシック化したゲートドライバでは、ゲート電圧 $V_{gd} \geq 0$ の範囲のみで動作する TFT を用いて回路を設計することができる。ただし、回路 TFT でもゲート電圧 $V_{gd} < 0$ の範囲を全く利用しないというわけではなく、画素 TFT の場合に比べて使用割合や重要度が低いということである。
- [0080] 図3（a）には、参考のために、ある場合での画素 TFT がオンまたはオフである場合のゲート電圧の範囲を示しており、また、回路 TFT におけるゲート電圧の範囲を一例として示している。ただし、これはあくまで画素 TFT と回路 TFT の動作範囲を示す一例であって、実際はそれぞれのパネル・回路設計によって上限下限等の範囲が異なる。ソース電圧 V_{sd} も 10V に限らず、そのパネル・回路設計に応じて適切に選択される。
- [0081] 以下、図3（b）を参照して、ソース電圧 V_{sd} が 10V である場合の $\text{TFT-C} \sim \text{TFT-E}$ のゲート電圧 V_{gd} ードレイン電流 I_{sd} の特性を説明する。図3（b）では、半導体層のうちの微結晶シリコン膜（ $\mu\text{c-Si}$

層)の厚さが50nmであり、アモルファスシリコン膜(a-Si膜)の厚さがそれぞれ5nm、10nm、30nmと異なる半導体層を有するTFT-C、TFT-D、TFT-Eの室温における測定結果を示している。

[0082] TFT-C~TFT-Eの構成は、半導体層を除いてTFT-AおよびTFT-Bと同様の構成を有している。なお、半導体装置100では、上述したように、TFT140において微結晶シリコン膜152の厚さは50nmであり、アモルファスシリコン膜154の厚さは10nmである。TFT120において微結晶シリコン膜132の厚さは50nmであり、アモルファスシリコン膜134の厚さは30nmである。すなわち、TFT-DはTFT140と同様の構成を有しており、TFT-EはTFT120と同様の構成を有している。ここで、微結晶シリコン膜はゲート絶縁層側に配置され、ゲート絶縁層と接する。図3(b)には、上述したTFT-A、TFT-Bの測定結果も併せて示している。

[0083] 図3(b)から、アモルファスシリコン膜が厚くなるほど、ゲート電圧 V_{gd} がマイナスである場合のドレイン電流(すなわち、オフ電流) I_{sd} は低下することが理解される。特に、この条件において、アモルファスシリコン膜の厚さが30nmになると、オフ電流は著しく低下する。このため、半導体層が厚さ50nmの微結晶シリコン膜と厚さ30nmのアモルファスシリコン膜を有する場合、低いオフ電流を実現できる。

[0084] 図4および図5を参照して、図3(b)に示したTFTの特性をより詳しく説明する。図4(a)、図4(b)および図5(a)、図5(b)のそれぞれの横軸は微結晶シリコン膜上のアモルファスシリコン(a-Si)膜の厚さを示している。ただし、図4(a)~図5(b)のそれぞれの横軸において厚さ50nmに示されたデータは微結晶シリコン膜を有しないTFT-Bの値である。

[0085] 図4(a)の縦軸はゲート電圧 $V_{gd}=15V$ または $9V$ である場合のドレイン電流 I_{sd} (オン電流)である。図4(b)の縦軸はゲート電圧 $V_{gd}=-15V$ の場合のドレイン電流 I_{sd} (オフ電流)である。図5(a)

の縦軸はオン／オフ比である。このオン／オフ比は、ゲート電圧 $V_{gd} = 15 \text{ V}$ のときのドレイン電流 I_{sd} (オン電流) をゲート電圧 $V_{gd} = -15 \text{ V}$ のときのドレイン電流 I_{sd} (オフ電流) で除した値である。参考として、図 5 (b) に、各 TFT-A ~ TFT-E のしきい値を示す。なお、図 4 (a) ~ 図 5 (b) のいずれにおいても、ソース電圧 $V_{sd} = 10 \text{ V}$ としている。

[0086] 図 4 (a) から理解されるように、ゲート電圧 $V_{gd} = 15 \text{ V}$ 、 9 V のいずれの場合においても、積層したアモルファスシリコン膜の厚さが $5 \text{ nm} \sim 10 \text{ nm}$ 付近の場合、オン電流は最大となり、TFT-B のオン電流が最小である。TFT-A のオン電流が最大となっていないのは、図 5 (b) に示すように、TFT-A のしきい値電圧が高いためである。TFT-A のように、微結晶シリコン膜のみからなる半導体層を有する微結晶シリコン TFT は、一般にしきい値が高くなりやすい特性を有しており、しきい値を低い値に制御することは難しい。一方、微結晶シリコン膜上にアモルファスシリコン膜を積層した半導体層を有する TFT-C ~ TFT-E は、微結晶シリコン膜の高移動度の特性を反映するとともに、しきい値が適切に制御できることから高いオン電流を得ることができるという優れた特性を有する。このように、TFT-C ~ TFT-E では微結晶シリコン膜上にアモルファスシリコン膜が存在することにより、オン電流が増大されている。オン電流の観点から TFT 特性を評価すると、TFT 特性はアモルファスシリコン膜の厚さが 0 nm 以上 30 nm 以下であることが好ましく、アモルファスシリコン膜の厚さが 5 nm 以上 30 nm 以下であることがさらに好ましい。

[0087] 一方、図 4 (b) から理解されるように、ゲート電圧 $V_{gd} = -15 \text{ V}$ の場合、積層したアモルファスシリコン膜が厚いほどオフ電流は小さく、TFT-B のオフ電流が最も小さい。これはアモルファスシリコン膜がソース電極ードレイン電極間の電流経路上にあって、ゲート電圧 $V_{gd} = -15 \text{ V}$ の場合、ソース電極ードレイン電極間を流れる電流に対して直列の抵抗成分として効果的に働いているためと考えられる。オフ電流の観点から TFT 特性

を評価すると、微結晶シリコン膜およびアモルファスシリコン膜を有する場合にはアモルファスシリコン膜の厚さは30 nm以上であることが好ましく、微結晶シリコン膜を有することなくアモルファスシリコン膜のみを有することがさらに好ましい。

[0088] また、図5 (a) から理解されるように、積層したアモルファスシリコン膜が厚いほどオン／オフ比は大きく、TFT-Bのオン／オフ比が最も大きい。ここで、アモルファスシリコン膜が厚いほうがオン／オフ比が大きいということは、アモルファスシリコン膜がオフ電流を効果的に下げていることを示している。オン／オフ比の観点からTFT特性を評価すると、微結晶シリコン膜およびアモルファスシリコン膜を有する場合にはアモルファスシリコン膜の厚さは30 nm以上あることが好ましく、微結晶シリコン膜を有することなくアモルファスシリコン膜のみを有することがさらに好ましい。

[0089] 図4 (a) ~図5 (a) の結果を参照して画素TFTに適するTFTを検討する。図3 (a) を参照して説明したように、ほとんどの画素TFTは、ゲート電圧 $V_{gd} > 0$ のオン範囲と、 $V_{gd} < 0$ のオフ範囲の両方で動作するので、オフ電流、およびオン／オフ比が特に重要である。従って、画素TFTの半導体層は、微結晶シリコン膜およびアモルファスシリコン膜を有する場合にはアモルファスシリコン膜の厚さが30 nm以上であること、または、微結晶シリコン膜を有することなくアモルファスシリコン膜を有することが好ましい。一方、回路TFTは、ゲート電圧 V_{gd} の範囲がほぼ $V_{gd} \geq 0$ の範囲のみで動作することが多い。回路TFTは、特にパネル等の周辺領域に形成される場合、あるいは表示領域において読み出し回路等を形成する場合に、狭額縁化あるいは開口率の最大化のために、サイズの小さいTFTおよび大電流を必要とすることが多いので、TFTの特性のうちオン電流が重要視される。従って、回路TFTの半導体層は微結晶シリコンを有しており、さらに、アモルファスシリコン膜の厚さは好ましくは0 nm以上30 nm以下であり、さらに好ましくは、アモルファスシリコン膜の厚さは5 nm以上30 nm以下である。

[0090] 以下、図6～図12を参照して、半導体装置100の製造方法を説明する。

[0091] 図6は、半導体装置100の製造方法の概略を説明するための図である。図6に示すように、半導体装置100の製造方法は、ゲート電極を形成するゲート電極形成工程S602と、ゲート絶縁層、半導体層およびチャネル保護層を形成するゲート絶縁層・半導体層・チャネル保護層形成工程S604と、コンタクト層形成工程S606と、ソースおよびドレイン電極を形成するソース・ドレイン電極形成工程S608と、ソースおよびドレイン電極を電氣的に分離するソース・ドレイン分離工程S610とを包含する。

[0092] 以下、図7～図12を参照して、半導体装置100の製造方法を工程毎に詳しく説明する。図7～図12のそれぞれにおいて、(a)には第1領域の上面図を示しており、(b)および(c)には(a)の断面図を示している。同様に、図7～図12のそれぞれにおいて、(d)には第2領域の上面図を示しており、(e)および(f)には(d)の断面図を示している。

[0093] (1) ゲート電極形成工程S602

図7(a)～図7(f)に示すように、基板102の上にゲート金属膜(図示せず)を形成し、これをパターニングすることにより、ゲート電極122、142を形成する。具体的には、まず、アルゴン(Ar)ガスを用いたスパッタ法により、ガラス基板などの基板102の上に厚さ200nmのモリブデン(Mo)を堆積してゲート金属膜(図示せず)を形成する。ゲート金属膜を形成する際の基板102の温度は、例えば200～300℃である。

[0094] 次に、ゲート金属膜の上にフォトリソistパターン膜(図示せず)を形成し、このフォトリソistパターン膜をマスクとしてゲート金属膜のパターニングを行う(フォトリソグラフィ工程)。これにより、ゲート電極122、142が形成される。ゲート金属膜のエッチングには例えばウェットエッチング法が用いられる。エッチャントとして、10～90重量%の燐酸、1～10重量%の硝酸、1～10重量%の酢酸、および、残部水からなる溶液が

用いられる。エッチング終了後、有機アルカリを含む剥離液を用いてフォトリソパターン膜を除去する。

- [0095] ゲート電極 122、142 の材料は、モリブデン (Mo) の他に、インジウム錫酸化物 (ITO) や、タングステン (W)、銅 (Cu)、クロム (Cr)、タンタル (Ta)、アルミニウム (Al)、チタン (Ti) 等の単体金属、またはそれらに窒素、酸素、あるいは他の金属を含有させたものであってもよい。ゲート金属膜は、上記材料を用いた単一の層であってもよいし、積層構造であってもよい。例えば、ゲート電極 122、142 は、チタンおよびアルミニウムによる Ti/Al/Ti 積層構造であってよく、チタンおよび銅による Ti/Cu/Ti 積層構造、あるいは銅およびモリブデンによる Mo/Cu/Mo 積層構造であってもよい。
- [0096] ゲート金属膜の形成方法としては、スパッタ法その他、蒸着法等を用いることもできる。また、ゲート金属膜の厚さも特に限定されない。また、ゲート金属膜のエッチング方法も、ゲート金属膜の材料に応じて適切に変更することができ、上述したウェットエッチング法に限定されず、塩素 (Cl₂) ガス、三塩化ホウ素 (BCl₃) ガス、CF₄ (四フッ化炭素) ガスおよび O₂ (酸素) 等を組み合わせたドライエッチング法等を用いることもできる。

[0097] (2) ゲート絶縁層・半導体層・チャネル保護層形成工程 S604

次に、図 8 (a) ~ 図 8 (f) に示すように、ゲート電極 122、142 の上に、それぞれゲート絶縁層 124、144、微結晶シリコン膜 131、151 を順番に堆積する。その後、窒化シリコン膜 (図示せず) をさらに堆積し、この窒化シリコン膜をパターニングすることにより、チャネル保護層 136、156 を形成する。

- [0098] 例えば、ゲート絶縁層 124、144、微結晶シリコン膜 131、151 および窒化シリコン膜は、マルチチャンバー型装置を用いて真空中において連続して形成される。ゲート絶縁層 124、144 は、一般的なアモルファス TFT の製造プロセスと同じ形成条件で形成できる。具体的には、ゲート電極 122、142 の形成後、プラズマ CVD 法により、窒化シリコン (S

i N_x) からなるゲート絶縁層 (厚さ: 例えば 400 nm) 124、144 を形成する。例えば、ゲート絶縁層 124、144 の形成は、CCP 方式 (容量結合型) のプラズマ CVD を用いて、基板温度: 250~300°C、圧力: 50~300 Pa の条件下で行われる。また、原料ガスとして、シラン (SiH₄)、アンモニア (NH₃) および窒素 (N₂) の混合ガスが用いられる。

[0099] 次に、積層構造を有する基板 102 を真空中で別チャンバーに搬送し、厚さ: 50 nm の微結晶シリコン膜 131、151 を形成する。CVD の方式は高密度プラズマ CVD 方式 (ICP 方式、表面波プラズマ方式又は ECR 方式) を用いて、基板温度: 250~300°C、圧力: 約 1.33 Pa の条件下で行う。原料ガスとして、シラン (SiH₄) および水素 (H₂) が用いられ、シランと水素との流量の比は 1:20 である。なお、微結晶シリコン膜の形成の前に、ゲート絶縁層 124、144 に対して、水素プラズマ処理などの表面処理を行ってもよい。このときの圧力は例えば 1.33 Pa である。

[0100] さらに、積層構造を有する基板 102 を真空中で別チャンバーに搬送し、厚さ 150 nm の窒化シリコン膜を形成する。ここでは、窒化シリコン膜は、ゲート絶縁層 124、144 とほぼ同様に形成される。

[0101] この後、窒化シリコン膜の上にフォトレジストパターン膜 (図示せず) を形成し、このフォトレジストパターン膜をマスクとして窒化シリコン膜のパターニングを行う (フォトリソグラフィ工程)。これにより、島状のチャネル保護層 136、156 が形成される。このときのフォトレジストパターン膜の形成の際に、裏面露光法を併用することにより、フォトレジストパターン膜の一部を自己整合的に形成することもできる。窒化シリコン膜のエッチングは、例えば CF₄ (四フッ化炭素) ガスおよび O₂ (酸素) ガスを主として用いたドライエッチング法で行われるが、SF₆ (六フッ化硫黄) ガスおよび酸素ガスを用いることも可能である。または、フッ化水素酸によるウェットエッチング法でも可能である。エッチング終了後、有機アルカリを含む剥離液を用いてフォトレジストパターン膜を除去する。

- [0102] なお、必要に応じて、ゲート絶縁層 124、144 にコンタクトホール（図示せず）を形成してもよい。このコンタクトホールはゲート電極 122、142 と、上層の電極等と接続を行うため等の目的で設けられる。コンタクトホールの形成は、上記のチャネル保護層 136、156 の形成と同様に行うことができる。フォトレジストパターン膜（図示せず）を形成し、このフォトレジストパターン膜をマスクとして、エッチングを行えばよい。
- [0103] 次に、チャネル保護層 136、156、および微結晶シリコン膜 131、151 の上に、アモルファスシリコン膜（図示せず）を形成し、上記のフォトリソグラフィ工程と同様に第 2 領域のアモルファスシリコン膜を薄くし、図 9（a）～図 9（f）に示すようにアモルファスシリコン膜 133、153 を形成する。具体的には、チャネル保護層 136、156、および、微結晶シリコン膜 131、151 が形成された後、CCP 方式（容量結合型）のプラズマ CVD を用いて、厚さ 30 nm のアモルファスシリコン膜を形成する。このアモルファスシリコン膜については、一般的なアモルファスシリコン TFT の製造プロセスと同じ形成条件で形成することができる。ここでは、アモルファスシリコン膜の形成は、基板温度：250～300℃、圧力：200～500 Pa という条件下で行われ、原料ガスとしてシラン（ SiH_4 ）ガスおよび水素（ H_2 ）ガスを用いる。シランガスと水素ガスとの流量比は 1：10～1：100 である。なお、アモルファスシリコン膜の形成の前に、微結晶シリコン膜 131、151 等に対して、水素プラズマ処理などの表面処理を行ってもよい。このときの圧力は例えば 1.33 Pa である。
- [0104] この後、アモルファスシリコン膜の上にフォトレジストパターン膜（図示せず）を形成し、このフォトレジストパターン膜をマスクとしてアモルファスシリコン膜のパターニングを行う（フォトリソグラフィ工程）。このとき、第 1 領域のアモルファスシリコン膜上にマスクとしてフォトレジストパターン膜を配置し、第 1 領域のアモルファスシリコン膜がエッチングされないようにする。
- [0105] アモルファスシリコン膜のエッチングは、例えば Cl_2 （塩素）ガスを主と

して用いたドライエッチング法で行われるが、他のガスを用いることも可能である。エッチングは第2領域のアモルファスシリコン膜の厚さが10 nmとなるように行う。エッチング終了後、有機アルカリを含む剥離液を用いてフォトレジストパターン膜を除去する。

[0106] (3) コンタクト層形成工程S606

次に、図10(a)～図10(f)に示すように、アモルファスシリコン膜133、153上に、リンをドーピングしたn⁺型アモルファスシリコン膜125、145を形成する。ここで、n⁺型アモルファスシリコン膜125、145の厚さは30 nmである。アモルファスシリコン膜125、145は、ホスフィン(PH₃)を例えば0.5%程度含むシランガスを用いて、アモルファスシリコン膜133、153と同様に形成してもよい。

[0107] (4) ソース・ドレイン電極形成工程S608

次に、図11(a)～図11(f)に示すように、n⁺型アモルファスシリコン膜125、145上にソース・ドレイン金属膜(図示せず)およびフォトレジストパターン膜137、157を形成し、フォトレジストパターン膜137、157をマスクとしてソース・ドレイン金属膜をパターニングすることにより、ソース電極127、147、ドレイン電極128、148を形成する。ソース・ドレイン金属膜は、厚さ200 nmのモリブデン(Mo)であり、ソース・ドレイン金属膜の堆積およびパターニングはゲート電極122、142と同様に行われる。ソース・ドレイン金属膜の材料はゲート金属膜と同様に他の材料であってもよく、ゲート金属膜と異なる材料であってもよい。また、次の工程において、ソース電極127、147、ドレイン電極128、148を保護するために、ここでは、フォトレジストパターン膜137、157は除去せずに残しているが、フォトレジストパターン膜137、157を除去してもよい。

[0108] (5) ソース・ドレイン分離工程S610

次に、図12(a)～図12(f)に示すように、フォトレジストパターン膜137、157をマスクとして、n⁺型アモルファスシリコン膜125、

145、アモルファスシリコン膜133、153をエッチングし、さらにチャネル保護層136、156をマスクとして、微結晶シリコン膜131、151をエッチングする。このときのエッチングは、塩素(Cl_2)ガスを用いたドライエッチング法で行われる。チャネル保護層136、156の材料は窒化シリコンであって、塩素ガスを用いた適切なドライエッチング条件においてはほとんどエッチングされず、マスクとして利用できる。なお、エッチング方法は上記の方法に限定されず、他のガスを用いることも可能である。フォトレジストパターン膜137、157は、エッチング終了後に有機アルカリを含む剥離液を用いて除去する。

[0109] 以上のようにして、TFT120およびTFT140を備える半導体装置100が作製される。なお、さらにTFT120、140に、窒化シリコンまたは有機材料からなるパッシベーション層(図示せず)を形成してもよい。また、このパッシベーション層に、外部からソース電極127、147等と電氣的な接続を得るための開口部としてコンタクトホールを設けてもよいが、ここでは記載を省略する。

[0110] 上述した半導体装置100は表示装置のアクティブマトリクス基板に好適に用いられる。図13に、半導体装置100を有するアクティブマトリクス基板200の模式図を示す。図13において、アクティブマトリクス基板200の表示領域202と周辺領域203との境界201を二重線で示している。

[0111] アクティブマトリクス基板200の表示領域202には、画素TFTとして機能するTFT120と、TFT120のゲート電極と電氣的に接続されたゲート配線Gと、TFT120のソース電極と電氣的に接続されたソース配線Sと、TFT120のドレイン電極と電氣的に接続された画素電極204と、画素電極204に補助容量を与えるための補助容量配線CSが設けられている。補助容量を与えるための電極は、補助容量配線CSの一部を電極として用いている。また、アクティブマトリクス基板200の周辺領域203には、ゲート配線Gに走査信号を印加するゲートドライバー回路205と

、ソース配線Sにソース信号を印加するソースドライバーIC(Integrated Circuit)206と、ゲートドライバー回路205およびソースドライバーIC206に電源や信号を印加するための接続端子部207とを有している。ゲートドライバー回路205およびソースドライバーIC206は接続端子部207等を介して外部回路(図示せず)と電氣的に接続されている。

[0112] アクティブマトリクス基板200では、周辺領域203にあるゲートドライバー回路205の回路TFTとしてオン電流の高いTFT140が用いられ、表示領域202にある画素TFTとしてオフ電流が低く、オン／オフ比の高いTFT120が用いられている。TFT140はオン電流が高いためTFTのチャネル幅を小さくでき、それによってゲートドライバー回路205がアクティブマトリクス基板200上に占める面積を小さくすることができるので、アクティブマトリクス基板200や半導体装置100の狭額縁化を実現することができる。また、TFT120のオフ電流は低く、オン／オフ比が高いため、画素TFTとして用いても画素電極電位が十分に保持される。このため、表示装置ではコントラスト比の低下を抑制でき、表示品位が保たれる。このようにTFT120、140をアクティブマトリクス基板200上に適切に設けることにより、表示品位を低下させることなく狭額縁化を実現できる。

[0113] なお、ここでは、ソースドライバーIC206が設けられているが、ソースドライバーIC206の代わりにTFT140を有するソースドライバー回路が設けられてもよい。

[0114] なお、上記では、ゲートドライバー回路またはソースドライバー回路にTFT140が用いられていたが、アクティブマトリクス基板に例えば特開2005-115342号公報に開示されているようなソース分割駆動回路が設けられ、ソース分割駆動回路にTFT140が用いられてもよい。

[0115] 図14は、ソース分割駆動回路の模式図である。表示領域側に、ソース配線SR_n、SG_n、SB_n、SR_{n+1}、SG_{n+1}、SB_{n+1}が設けら

れ、ソースドライバー IC 側にドライバー配線 $SRIN_m$ 、 $SGIN_m$ 、 $SBIN_m$ が設けられている。TFT140 のオンオフはスイッチング信号 SEL_1 または SEL_2 によって制御される。例えば、ソースドライバー IC から供給され、ドライバー配線 $SRIN_m$ を介して供給される信号はソース配線 SR_n および SR_{n+1} に分割される。ソースドライバー IC からドライバー配線 $SGIN_m$ 、 $SBIN_m$ を介して供給される信号についても同様である。ここで TFT140 はオン電流が高いので、回路の面積を小さくでき、狭額縁化を実現できる。

[0116] また、上述した説明では、ゲートドライバー回路またはソースドライバー回路の TFT としてオン電流の高い TFT140 が用いられているが、必要に応じてゲートドライバー回路またはソースドライバー回路の TFT としてオフ電流の低い TFT120 を併用して用いてもよい。

[0117] 図15に、アクティブマトリクス基板200を備える液晶表示装置300の模式図を示す。液晶表示装置300は、アクティブマトリクス基板200と、対向基板220と、アクティブマトリクス基板200と対向基板220との間に設けられた液晶層240とを備えている。

[0118] なお、図2に示した半導体装置100では、半導体層150は微結晶シリコン膜152およびアモルファスシリコン膜154を含む積層構造であったが、本発明はこれに限定されない。以下、図16～図18を参照して半導体装置100A、100B、100Cを説明する。図16～図18のそれぞれにおいて、(a)には第1領域の上面図を示しており、(b)および(c)には(a)の断面図を示している。同様に、図16～図18のそれぞれにおいて、(d)には第2領域の上面図を示しており、(e)および(f)には(d)の断面図を示している。以下、簡単のため、図2に示した半導体装置100と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0119] 図16(a)～図16(f)に示す半導体装置100Aでは、半導体層150はアモルファスシリコン膜154を含まず、半導体層150は微結晶シリコン膜152のみから形成されている。なお、TFT120Aは第1領域

にあり、TFT140Aは第2領域にある。

[0120] また、図17(a)～図17(f)に示した半導体装置100Bでは、アモルファスシリコン膜134はチャネル保護層136と微結晶シリコン膜132との間に位置しており、同様に、アモルファスシリコン膜154はチャネル保護層156と微結晶シリコン膜152との間に位置している。ここで、TFT120Bは第1領域にあり、TFT140Bは第2領域にある。

[0121] さらに、図18(a)～図18(f)に示した半導体装置100Cでは、アモルファスシリコン膜134はチャネル保護層136と微結晶シリコン膜132との間に位置しており、半導体層150はアモルファスシリコン膜154を含まず、半導体層150は微結晶シリコン膜152のみから形成されている。ここで、TFT120Cは第1領域にあり、TFT140Cは第2領域にある。

[0122] なお、図16～図18に示した半導体装置100A、100B、100Cは、半導体装置100と同様に製造される。特に、膜の形成順序を変更したり、膜の形成を省略することにより、半導体層130、150の構成を変えることができる。また、特にアモルファスシリコン膜134、154の厚さの変更、あるいは一方を形成しないような場合でも、半導体装置100と同様に、例えばフォトリソグラフィ工程を行えばよく、具体的には、マスクとなるフォトレジストパターン膜を形成して適切にエッチングを行えばよい。

[0123] また、上述した説明では、半導体層130および半導体層150とソース電極127、147、ドレイン電極128、148との間には、コンタクト層126a、146a、126b、146bが設けられていたが、本発明はこれに限定されない。コンタクト層126a、146a、126b、146bが設けられなくてもよい。あるいは、TFT120のコンタクト層126a、126bおよびTFT140のコンタクト層146a、146bの一方が設けられなくてもよい。半導体装置100A、100B、100Cについても同様である。これらの場合の製造方法は、半導体装置100、100A、100Bおよび100Cと同様である。

- [0124] また、上述した説明では、半導体層 150 の微結晶シリコン膜 152 は半導体層 130 の微結晶シリコン膜 132 と同一工程で形成されており、微結晶シリコン膜 152 の厚さは微結晶シリコン膜 132 と略等しかつたが、本発明はこれに限定されない。微結晶シリコン膜 152 の厚さは微結晶シリコン膜 132 と異なってもよい。
- [0125] また、上述した説明では、半導体層 150 の微結晶シリコン膜 152 は半導体層 130 の微結晶シリコン膜 132 と同一工程で形成されており、微結晶シリコン膜 152 の結晶化率は微結晶シリコン膜 132 と略等しかつたが、本発明はこれに限定されない。微結晶シリコン膜 152 の結晶化率は微結晶シリコン膜 132 よりも高くてもよい。
- [0126] また、上述した説明では、半導体装置 100、100A、100B、100C の T F T はシングルゲート構造であったが、本発明はこれに限定されない。T F T はダブルゲート構造であってもよい。あるいは、一部の T F T がダブルゲート構造であり、他の T F T がシングルゲート構造を有するように両方の構造が混在してもよい。図 19 に、ダブルゲート構造を有する T F T 120D を示す。T F T 120D は、半導体装置 100、100A、100B、100C の中に含まれてもよい。
- [0127] 図 19 (a) に、T F T 120D の上面図を示し、図 19 (b) および図 19 (c) に、T F T 120D の断面図を示す。図 19 (b) および図 19 (c) は、図 19 (a) の 19b-19b' 線および 19c-19c' 線に沿った断面のそれぞれに相当する。
- [0128] T F T 120D は、基板 102 上に設けられたゲート電極 122、138 と、ゲート電極 122、138 を覆うゲート絶縁層 124 と、ソース電極 127 と、ドレイン電極 128 と、中間電極 129 と、ゲート絶縁層 124 上に設けられた半導体層 130 と、半導体層 130 の一部を覆うチャネル保護層 136、139 とを有している。半導体層 130 は、微結晶シリコン膜 132 およびアモルファスシリコン膜 134 を含んでいる。なお、T F T 120D を用いる場合、半導体装置 100、100A、100B、100C の中

の一部のTFTとして用いることが望ましい。ダブルゲート構造を有するTFT120Dは、本実施形態の半導体装置100、100A、100B、100Cの有するTFT120等と同様に、オン／オフ比の改善が期待できるが、サイズが大きくなるために基板102上の占有面積が大きくなるというデメリットがある。従って、TFT120Dを第1領域にて画素TFTとして用いた場合には、開口率が低下してしまうことがある。以上のように、オン／オフ比の改善を図る場合、上述した半導体装置100、100A、100B、100C、および、後述の半導体装置500、500A、500B、500C、800、800Aに示した構成を有することにより、ダブルゲート構造のTFTを用いるよりも、半導体装置およびアクティブマトリクス基板の特性を効果的に向上させることができる。

[0129] (実施形態2)

上述した説明では、チャネル保護層136、156が設けられており、このチャネル保護層136、156が微結晶シリコン膜132、152のマスクとして機能したが、本発明はこれに限定されない。

[0130] 以下、図20を参照して、本発明による半導体装置の第2実施形態を説明する。本実施形態の半導体装置500はTFT520およびTFT540を有している。ここでは、TFT520およびTFT540は逆スタガ・チャネルエッチング型TFTである。

[0131] 図20(a)に、TFT520の上面図を示し、図20(b)および図20(c)に、TFT520の断面図を示す。図20(b)および図20(c)は、図20(a)の20b-20b'線および20c-20c'線に沿った断面のそれぞれに相当する。また、図20(d)に、TFT540の上面図を示し、図20(e)および図20(f)に、TFT540の断面図を示す。図20(e)および図20(f)は、図20(d)の20e-20e'線および20f-20f'線に沿った断面のそれぞれに相当する。以下、簡単のため、図2に示した半導体装置100と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0132] TFT520は、基板102上に設けられたゲート電極122と、ゲート電極122を覆うゲート絶縁層124と、ソース電極127と、ドレイン電極128と、ゲート絶縁層124上に設けられた半導体層530とを有している。半導体層530は、ソース領域530aと、ドレイン領域530bと、チャネル領域530cとを有している。半導体層530のソース領域530aはコンタクト層126aを介してソース電極127と電氣的に接続されており、半導体層530のドレイン領域530bはコンタクト層126bを介してドレイン電極128と電氣的に接続されている。

[0133] また、TFT540は、基板102上に設けられたゲート電極142と、ゲート電極142を覆うゲート絶縁層144と、ソース電極147と、ドレイン電極148と、ゲート絶縁層144上に設けられた半導体層550とを有している。半導体層550は、ソース領域550aと、ドレイン領域550bと、チャネル領域550cとを有している。半導体層550のソース領域550aはコンタクト層146aを介してソース電極147と電氣的に接続されており、半導体層550のドレイン領域550bはコンタクト層146bを介してドレイン電極148と電氣的に接続されている。例えば、ゲート絶縁層124、144の厚さは、ゲート電極122、142上にあるかどうかにかかわらず、いずれもほぼ400nmであり、ゲート絶縁層124、144は窒化シリコン(SiN_x)から形成される。

[0134] TFT520、540のチャネル長L3、L4は、図20(a)、図20(d)に示されているように、ソース電極127とドレイン電極128との間の距離、ソース電極147とドレイン電極148との間の距離にそれぞれ相当しており、例えば、 $L3 = L4 = 3.5 \mu m$ である。また、TFT520、540のチャネル幅W3、W4は、図20(a)、図20(d)に示されているように、ソース電極127、147の電極の幅にそれぞれ相当しており、 $W3 = W4 = 24 \mu m$ である。ここでは、ソース電極127の幅はドレイン電極128の幅とほぼ等しく、ソース電極147の幅はドレイン電極148の幅とほぼ等しい。

- [0135] ゲート電極 1 2 2 およびゲート電極 1 4 2 は同一工程で形成されており、ゲート電極 1 2 2 およびゲート電極 1 4 2 は互いに同じ材料（例えば、モリブデン（Mo））から形成されている。
- [0136] ここで、半導体層 5 3 0 および半導体層 5 5 0 は多層構造である。半導体層 5 3 0 は、ゲート絶縁層 1 2 4 上に設けられた微結晶シリコン膜 5 3 2 と、微結晶シリコン膜 5 3 2 上に設けられたアモルファスシリコン膜 5 3 4 とを含んでいる。同様に、半導体層 5 5 0 は、ゲート絶縁層 1 4 4 上に設けられた微結晶シリコン膜 5 5 2 と、微結晶シリコン膜 5 5 2 上に設けられたアモルファスシリコン膜 5 5 4 とを含んでいる。微結晶シリコン膜 5 3 2、5 5 2 は互いに同じ材料（例えば、微結晶シリコン）から形成されており、アモルファスシリコン膜 5 3 4、5 5 4 は互いに同じ材料（例えば、アモルファスシリコン）から形成されている。
- [0137] 半導体層 5 3 0、5 5 0 のそれぞれにおいて、チャネル領域の一部は除去されている。具体的には、半導体層 5 5 0 のチャネル領域 5 5 0 c ではアモルファスシリコン膜 5 5 4 が完全に除去されているとともに、微結晶シリコン膜 5 5 2 の一部が除去されている。一方、半導体層 5 3 0 のチャネル領域 5 3 0 c においてアモルファスシリコン膜 5 3 4 の一部が除去されているが、微結晶シリコン膜 5 3 2 は除去されていない。
- [0138] コンタクト層 1 2 6 a、1 2 6 b はアモルファスシリコン膜 5 3 4 を介して微結晶シリコン膜 5 3 2 上に設けられている。同様に、コンタクト層 1 4 6 a、1 4 6 b はアモルファスシリコン膜 5 5 4 を介して微結晶シリコン膜 5 5 2 上に設けられている。
- [0139] 半導体装置 5 0 0 では、半導体層 5 3 0、5 5 0 のチャネル領域 5 3 0 c、5 5 0 c、ソース電極 1 2 7、1 4 7 およびドレイン電極 1 2 8、1 4 8 を覆うようにパッシベーション層 5 3 6、5 5 6 が設けられている。
- [0140] ここでは、ゲート電極 1 2 2、1 4 2 上にある半導体層 5 3 0、5 5 0 が T F T 5 2 0、5 4 0 の基本的な特性を決める。T F T 5 4 0 の半導体層 5 5 0 は T F T 5 2 0 の半導体層 5 3 0 と異なる。具体的には、ソース領域 5

50aおよびドレイン領域550bにおけるアモルファスシリコン膜554は、ソース領域530aおよびドレイン領域530bにおけるアモルファスシリコン膜534よりも薄い。さらに、チャネル領域550cにおけるアモルファスシリコン膜554は除去されているが、チャネル領域530cにおけるアモルファスシリコン膜534は残されている。また、チャネル領域550cにおける微結晶シリコン膜552は、チャネル領域530cにおける微結晶シリコン膜532よりも薄い。

[0141] 例えば、ソース領域550aおよびドレイン領域550bにおけるアモルファスシリコン膜554の厚さは10nmであって、ソース領域530aおよびドレイン領域530bにおけるアモルファスシリコン膜534の厚さは50nmである。チャネル領域550cにおけるアモルファスシリコン膜554は除去されているが、チャネル領域530cにおけるアモルファスシリコン膜534の厚さは20nmである。また、チャネル領域550cにおける微結晶シリコン膜552の厚さは30nmであって、チャネル領域530cにおける微結晶シリコン膜532の厚さは50nmである。なお、ソース領域530a、550aおよびドレイン領域530b、550bにおける微結晶シリコン膜532、552の厚さは50nmである。

[0142] なお、チャネル領域530c、550cにおける微結晶シリコン膜532、552の厚さはともに20nm以上60nm以下であることが好ましい。チャネル領域530c、550cにおける微結晶シリコン膜532、552の厚さが20nm未満であると、それぞれのTFT520、540の移動度、オン電流が低下する。一方、チャネル領域530c、550cにおける微結晶シリコン膜532、552の厚さが60nmを越えると、それぞれのTFT520、540のオフ電流が増加し、オン／オフ比が低下する。

[0143] 半導体装置500では、半導体層550が微結晶シリコン膜552を有しており、TFT540のオン電流が大きい。また、ソース領域530aおよびドレイン領域530bにおける半導体層530のアモルファスシリコン膜534は、ソース領域550aおよびドレイン領域550bにおける半導体

層550のアモルファスシリコン膜554と比べて厚いので、TFT520のオフ電流が小さい。

[0144] 上述した半導体装置100と同様、半導体装置500においても、ほとんどの画素TFTでは、ゲート電圧 $V_{gd} > 0$ のオン範囲と、ゲート電圧 $V_{gd} < 0$ のオフ範囲の両方が用いられるので、オフ電流、およびオン／オフ比が特に重要である。従って画素TFTの半導体層は、微結晶シリコン膜およびアモルファスシリコン膜を有する場合にはアモルファスシリコン膜の厚さが30nm以上であること、または、半導体層が微結晶シリコン膜を有することなくアモルファスシリコン膜を有することが好ましい。一方、回路TFTは、ゲート電圧 V_{gd} の範囲がほぼ $V_{gd} \geq 0$ の範囲のみで回路設計が可能な場合が多い。回路TFTは、特にパネル等の周辺領域に形成される場合、あるいは表示領域において読み出し回路等を形成する場合において、狭縁縁化あるいは開口率の最大化のためにサイズの小さいTFTおよび大電流を必要とすることが多いので、TFTの特性のうちオン電流が重要視される。従って、回路TFTの半導体層は、微結晶シリコン膜および必要に応じてアモルファスシリコン膜を有しており、そのアモルファスシリコン膜の厚さは0nm以上30nm以下であることが好ましい。このため、半導体装置500においてTFT520は画素TFTとして好適に用いられ、TFT540は回路TFTとして好適に用いられる。

[0145] このように、半導体装置500においてTFT520の特性はTFT540の特性と異なる。具体的には、ゲート電圧が等しい場合、TFT540のオン電流はTFT520のオン電流よりも大きい。また、ゲート電圧が等しい場合、TFT520のオフ電流はTFT540のオフ電流よりも小さい。また、オン電流とオフ電流の比（オン／オフ比）に着目すると、TFT520のオン／オフ比はTFT540よりも大きい。ここでは、第1の実施形態と同様に、TFT520を第1薄膜トランジスタと呼ぶことがあり、TFT540を第2薄膜トランジスタと呼ぶことがある。また、同様に、TFT520の設けられる領域を第1領域と呼び、TFT540の設けられる領域を

第2領域と呼ぶことがある。

[0146] このような半導体装置500は、表示装置のアクティブマトリクス基板の作製に好適に用いられる。オン電流の高いTFT540は周辺領域の回路TFTとして好適に用いられ、オフ電流の低いTFT520は表示領域における画素TFTとして好適に用いられる。

[0147] ここで、図21を参照して比較例1の半導体装置600を説明する。半導体装置600は第1領域に設けられたTFT620と、第2領域に設けられたTFT640とを有しており、TFT620はTFT640と同様の構成を有している。

[0148] 図21(a)に、TFT620の上面図を示し、図21(b)および図21(c)に、TFT620の断面図を示す。図21(b)および図21(c)は、図21(a)の21b-21b'線および21c-21c'線に沿った断面のそれぞれに相当する。また、図21(d)に、TFT640の上面図を示し、図21(e)および図21(f)に、TFT640の断面図を示す。図21(e)および図21(f)は、図21(d)の21e-21e'線および21f-21f'線に沿った断面のそれぞれに相当する。

[0149] TFT620は、半導体層630として微結晶シリコン膜632のみを有している。微結晶シリコン膜632は、ゲート絶縁層624に接し、コンタクト層626a、626bにそれぞれ直接接している。同様に、TFT640は、半導体層650として微結晶シリコン膜652のみを有している。微結晶シリコン膜652は、ゲート絶縁層644に接し、コンタクト層626a、626bにそれぞれ直接接している。ここで、微結晶シリコン膜632、652の厚さはチャネル領域630c、650cにおいて30nmであって、ソース領域630a、650a、ドレイン領域630b、650bにおいて50nmである。

[0150] TFT620、640のチャネル長L0は、図21(a)、図21(b)に示されているように、それぞれソース電極627とドレイン電極628との間の距離またはソース電極647とドレイン電極648との間の距離に相

当しており、 $L_0 = 3.5 \mu\text{m}$ である。また、TFT620、640のチャネル幅 W_0 は、図21(a)、図21(b)に示されているように、それぞれソース電極627、647の幅に相当しており、 $W_0 = 24 \mu\text{m}$ である。ここでは、ソース電極627の幅はドレイン電極628の幅と等しく、ソース電極647の幅はドレイン電極648の幅と等しい。

[0151] 以下、図22～図27を参照して、本実施形態の半導体装置500の製造方法を説明する。

[0152] 図22は、半導体装置500の製造方法の概略を説明するための図である。図22に示すように、半導体装置500の製造方法は、ゲート電極を形成するゲート電極形成工程S2202と、ゲート絶縁層、半導体層を形成するゲート絶縁層・半導体層形成工程S2204と、コンタクト層を形成するコンタクト層形成工程S2206と、ソースおよびドレイン電極を形成するソース・ドレイン電極形成工程S2208と、ソースおよびドレイン電極を電氣的に分離するソース・ドレイン分離工程S2210と、パッシベーション層形成工程S2212とを包含する。

[0153] 以下、図23～図27を参照して半導体装置500の製造方法を工程毎に詳しく説明する。図23～図27のそれぞれにおいて、(a)には第1領域の上面図を示しており、(b)および(c)には(a)の断面図を示している。同様に、図23～図27のそれぞれにおいて、(d)には第2領域の上面図を示しており、(e)および(f)には(d)の断面図を示している。なお、簡単のため、上述した半導体装置100と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0154] (1) ゲート電極形成工程S2202

ゲート電極形成工程S2202は、図7を参照して上述した半導体装置100におけるゲート電極形成工程S602と同様であり、その詳細な説明を省略する。ゲート電極122およびゲート電極142は同一工程で形成されており、ゲート電極122およびゲート電極142は互いに同じ材料（例えば、モリブデン(Mo)）から形成されている。

[0155] 上述した半導体装置 100 と同様、ゲート電極 122、142 の材料は、モリブデン (Mo) の他に、インジウム錫酸化物 (ITO) や、タングステン (W)、銅 (Cu)、クロム (Cr)、タンタル (Ta)、アルミニウム (Al)、チタン (Ti) 等の単体金属、またはそれらに窒素、酸素、あるいは他の金属を含有させたものであってもよい。ゲート電極 122、142 は、上記材料を用いた単一の層であってもよいし、積層構造を有していてもよい。例えば、ゲート電極 122、142 は、チタンおよびアルミニウムによる Ti/Al/Ti 積層構造であってよく、チタンおよび銅による Ti/Cu/Ti 積層構造、あるいは銅およびモリブデンによる Mo/Cu/Mo 積層構造であってもよい。ゲート金属膜の形成方法としては、スパッタ法その他、蒸着法等を用いることもできる。ゲート金属膜の厚さも特に限定されない。ゲート金属膜のエッチング方法も限定されない。

[0156] (2) ゲート絶縁層・半導体層形成工程 S2204

次に、図 23 (a) ~ 図 23 (f) に示すように、ゲート電極 122、142 の上に、それぞれゲート絶縁層 124、144、微結晶シリコン膜 (図示せず)、およびアモルファスシリコン膜 (図示せず) を順に堆積し、この微結晶シリコン膜およびアモルファスシリコン膜を同一のフォトリソグラフィ工程でパターニングする。その後、さらに別のフォトリソグラフィ工程により、第 2 領域のアモルファスシリコン膜を薄くし、微結晶シリコン膜 531、551、アモルファスシリコン膜 533、553 を形成する。

[0157] 例えば、ゲート絶縁層 124、144、微結晶シリコン膜およびアモルファスシリコン膜は、マルチチャンバー型装置を用いて真空中にて連続して形成される。ゲート絶縁層 124、144 は、一般的なアモルファス TFT の製造プロセスと同じ形成条件で形成できる。具体的には、上述した半導体装置 100 と同様に、ゲート電極 122、142 が形成された後、プラズマ CVD 法により、窒化シリコン (SiN_x) からなるゲート絶縁層 (例えば厚さ 400 nm) 124、144 を形成する。ここでは、ゲート絶縁層 124、144 の形成は、CCP 方式 (容量結合型) のプラズマ CVD を用いて、基

板温度：250～300℃、圧力：50～300Paの条件下で行われる。

また、原料ガスとして、シラン（SiH₄）、アンモニア（NH₃）および窒素（N₂）の混合ガスを用いる。

[0158] 次に、積層構造を有する基板102を真空中で別チャンバーに搬送し、厚さ50nmの微結晶シリコン膜を形成する。CVDは高密度プラズマCVD方式（ICP方式、表面波プラズマ方式又はECR方式）を用いて、基板温度：250～300℃、圧力：約1.33Paの条件下で行う。また、原料ガスとして、シラン（SiH₄）および水素（H₂）が用いられるが、シランと水素との流量の比は1：20である。また、微結晶シリコン膜の形成の前に、ゲート絶縁層124、144に対して、水素プラズマ処理などの表面処理を行ってもよい。このときの圧力は例えば1.33Paである。

[0159] さらに、積層構造を有する基板102を真空中で別チャンバーに搬送し、厚さ50nmのアモルファスシリコン膜を形成する。このアモルファスシリコン膜については、一般的なアモルファスシリコンTFTの製造プロセスと同じ形成条件で形成することができる。ここでは、アモルファスシリコン膜の形成は、基板温度：250～300℃、圧力：200～500Paの条件下で行われ、原料ガスとしてシラン（SiH₄）ガスおよび水素（H₂）ガスが用いられる。シランガスと水素ガスとの流量比は1：10～1：100である。なお、アモルファスシリコン膜の形成の前に、微結晶シリコン膜等に対して、水素プラズマ処理などの表面処理を行ってもよい。このときの圧力は例えば1.33Paである。

[0160] この後、アモルファスシリコン膜の上にフォトレジストパターン膜（図示せず）を形成し、このフォトレジストパターン膜をマスクとして微結晶シリコン膜とアモルファスシリコン膜のパターニングを行う（フォトリソグラフィ工程）。さらに、第1領域のアモルファスシリコン膜上にフォトレジストパターン膜（図示せず）を形成し、このフォトレジストパターン膜をマスクとして第2領域のアモルファスシリコン膜を薄くする（フォトリソグラフィ工程）。これにより、島状のアモルファスシリコン膜533、553、微結

晶シリコン膜 531、551 が形成される。

[0161] 微結晶シリコン膜およびアモルファスシリコン膜のエッチングは、例えば Cl_2 (塩素) ガスを主として用いたドライエッチング法で行われるが、他のガスを用いることも可能である。2 回目のフォトリソグラフィ工程におけるエッチングは第 2 領域において、アモルファスシリコン膜の厚さが 10 nm となるように行う。エッチング終了後、有機アルカリを含む剥離液を用いてフォトレジストパターン膜を除去する。

[0162] なお、必要に応じて、ゲート絶縁層 124、144 にコンタクトホール (図示せず) を形成してもよい。このコンタクトホールはゲート電極 122、142 と、上層の電極等と接続を行うため等の目的で設けられる。コンタクトホールの形成は、フォトレジストパターン膜 (図示せず) を形成し、このフォトレジストパターン膜をマスクとして、エッチングを行えばよい。

[0163] (3) コンタクト層形成工程 S2206

次に、図 24 (a) ~ 図 24 (f) に示すように、アモルファスシリコン膜 533、553 上に、リンをドーピングした n^+ 型アモルファスシリコン膜 125、145 を形成する。ここで、 n^+ 型アモルファスシリコン膜 125、145 の厚さは 30 nm である。アモルファスシリコン膜 125、145 は、ホスフィン (PH_3) を例えば 0.5% 程度含むシランガスを用いて、前工程であるゲート絶縁層・半導体層形成工程 S2204 でのアモルファスシリコン膜と同様に形成してもよい。

[0164] (4) ソース・ドレイン電極形成工程 S2208

次に、図 25 (a) ~ 図 25 (f) に示すように、 n^+ 型アモルファスシリコン膜 125、145 上にソース・ドレイン金属膜 (図示せず) とフォトレジストパターン膜 137、157 を形成し、ソース・ドレイン金属膜をパターンニングすることにより、ソース電極 127、147、ドレイン電極 128、148 を形成する。

[0165] ソース・ドレイン金属膜は厚さ 200 nm のモリブデン (Mo) であり、ソース・ドレイン金属膜の堆積およびパターンニングはゲート電極 122、1

42と同様に行われる。ソース・ドレイン金属膜の材料はゲート金属膜と同様に他の材料であってもよく、ゲート金属膜と異なる材料であってもよい。また、次の工程において、ソース電極127、147、ドレイン電極128、148を保護するために、ここでは、フォトリジストパターン膜137、157は除去せずに残しているが、フォトリジストパターン膜137、157を除去してもよい。

[0166] (5) ソース・ドレイン分離工程S2210

次に、フォトリジストパターン膜137、157をマスクとして、 n^+ 型アモルファスシリコン膜125、145、アモルファスシリコン膜533、553、微結晶シリコン膜551の一部をエッチングする。このときのエッチングは、塩素(Cl_2)ガスを用いたドライエッチング法で行われる。なお、エッチング方法は上記の方法に限定されず、他のガスを用いることも可能である。

[0167] その後、図26(a)～図26(f)に示すように、フォトリジストパターン膜137、157を除去する。フォトリジストパターン膜137、157は、エッチング終了後に有機アルカリを含む剥離液を用いて除去する。

[0168] (6) パッシベーション層形成工程S2212

次に、図27(a)～図27(f)に示すように、パッシベーション層536、556を形成する。パッシベーション層536、556については、一般的なアモルファスTFTの製造プロセスと同じ形成条件で形成することができる。具体的には、ソース・ドレイン分離工程S2210の後に、ゲート絶縁層124、144の形成と同様に、プラズマCVD法により、窒化シリコン(SiN_x)からなるパッシベーション層536、556(厚さ:例えば250nm)を形成する。ここでは、パッシベーション層536、556の形成は、容量結合プラズマ方式のプラズマCVDを用いて、基板温度:250～300℃、圧力:50～300Paの条件下で行われる。また、原料ガスとして、シラン(SiH_4)、アンモニア(NH_3)および窒素(N_2)の混合ガスが用いられる。なお、パッシベーション層536、556の材料とし

ては、有機材料、具体的には感光性の有機材料を用いることができ、または、窒化シリコン、酸化シリコン (SiO_x) を組み合わせて用いてもよい。

[0169] 以上のようにして、TFT520およびTFT540を備える半導体装置500が作製される。なお、ここでは図示しないが、さらにフォトリソグラフィ工程を行い、パッシベーション層536、556に、外部からソース電極127、147等と電気的な接続を得るための開口部としてコンタクトホールを形成してもよい。

[0170] なお、上述した説明では、上記のゲート絶縁層・半導体層形成工程S2204において、厚さの異なるアモルファスシリコン膜533、553は、2度のフォトリソグラフィ工程を行って形成されたが、これに限定されない。例えば、ハーフトーン露光を用いることにより、厚さの異なるアモルファスシリコン膜533、553を形成することができる。この場合、フォトレジストパターン膜の形成回数を減らすことができ、フォトレジストパターン膜形成のための材料を削減できる。

[0171] ハーフトーン露光を用いたプロセスは、例えばC. W. Kim等によるSID 2000 DIGEST、pp1006-1009に記載されている。上述したゲート絶縁層・半導体層形成工程S2204において、アモルファスシリコン膜の上にフォトレジストパターン膜を形成する際、ハーフトーン露光を用いて、第1領域にあるアモルファスシリコン膜上に厚いフォトレジストパターン膜を形成し、第2領域にあるアモルファスシリコン膜上に薄いフォトレジストパターン膜を形成する。まず、全てのフォトレジストパターン膜を用いてアモルファスシリコン膜、微結晶シリコン膜をエッチングした後、ドライエッチングなどによってフォトレジストパターン全体を薄くすることにより、フォトレジストパターン膜の薄い部分を除去し、残された第1領域にあるフォトレジストパターン膜を利用して、第2領域のアモルファスシリコン膜を薄くする。このように2段階の厚さを有するフォトレジストパターン膜を形成することで、フォトレジストパターン膜の形成回数が減少するので、工程数の削減が可能である。

- [0172] 半導体装置 500 において、上記ハーフトーン露光プロセスを適用すれば、フォトリソパターン膜の形成回数を、比較例 1 の半導体装置 600 と同様にできるので、生産性が向上する。従って、半導体装置 500 の形成には、ハーフトーン露光プロセスの併用が有効である。
- [0173] なお、上記のハーフトーン露光を用いたプロセスは、他の工程においても用いることができる。例えば、パッシベーション層形成工程 S2212 において、同一のフォトリソパターン膜を用いたハーフトーン露光により、ゲート絶縁層 124、144 およびパッシベーション層 536、556 にコンタクトホールを形成することもでき、加工する層の組み合わせは様々である。また、ハーフトーン露光を用いたプロセスは、他の実施形態においても用いることができる。
- [0174] なお、上述したように、微結晶シリコン膜 532、552 の厚さは 20 nm 以上 60 nm 以下であることが好ましい。微結晶シリコン膜の厚さが 20 nm 未満である場合、移動度が低下し、TFT のオン特性が低下する。一方、微結晶シリコン膜の厚さが 60 nm を越えると、TFT のオフ電流が増加し、オン／オフ比が低下する。
- [0175] 以下、図 28 を参照してチャネル領域の半導体層の厚さと TFT の特性との関係を説明する。図 28 は、多数の逆スタガ・チャネルエッチング型の TFT のそれぞれにおいて 10 V のソース電圧 V_{sd} でチャネル領域の半導体層の厚さと TFT 特性の関係を詳細に調べたグラフである。図 28 (a)、図 28 (b) および図 28 (c) において、横軸はいずれもチャネル領域の半導体層の厚さを示しており、縦軸は移動度、最低オフ電流および S 値をそれぞれ示す。なお、ここでは、図 21 (a) ~ 図 21 (c) において示された形状を有する TFT 620 が用いられ、半導体層 630 は微結晶シリコン膜 632 のみからなり、ソース領域 630a とドレイン領域 630b での半導体層 630 の厚さは 100 nm である。また、ここでは、TFT のチャネル長は 3 μ m、チャネル幅 W は 20 μ m である。
- [0176] 図 28 (a) に示すように、チャネル領域の半導体層の厚さが 20 nm 以

上であれば、移動度はほぼ一定の高い値を示す。また、図28(b)に示すように、チャネル領域の半導体層の厚さが60nm以下であれば、最低オフ電流が許容範囲(15pA)内に収まる。さらに、また、図28(c)に示すように、チャネル領域の半導体層の厚さが60nm以下であれば、サブスレッショルドスイング値(S値)が許容範囲(2.1V/decade)内に収まる。これらの結果から、チャネル領域の半導体層の厚さが20nm以上60nm以下であれば、高移動度(オン特性)と低オフ電流(最低オフ電流)を両立できるとともにサブスレッショルドスイング値を所望に設定できることがわかる。

[0177] なお、図28には、逆スタガ・チャネルエッチング型TFET構造の結果を示したが、実施形態1において上述した逆スタガ・チャネル保護型TFET構造を有するTFETでも同様の結果が得られることが確認されている。また、他の実施形態においても、チャネル領域の微結晶シリコン膜の厚さは20nm以上60nm以下の範囲であることが好ましい。

[0178] なお、図20に示した半導体装置500では、半導体層550は微結晶シリコン膜552およびアモルファスシリコン膜554を含む積層構造であったが、本発明はこれに限定されない。

[0179] 以下、図29を参照して半導体装置500Aを説明する。本実施形態の半導体装置500Aは、第1領域に設けられたTFET520Aと、第2領域に設けられたTFET540Aとを備えている。

[0180] 図29(a)に、半導体装置500Aの第1領域の上面図を示し、図29(b)および図29(c)に、図29(a)の断面図を示す。同様に、図29(d)に、半導体装置500Aの第2領域の上面図を示し、図29(e)および図29(f)には図29(d)の断面図を示している。以下、簡単のため、図20に示した半導体装置500と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0181] 半導体装置500Aでは、半導体層550はアモルファスシリコン膜554を含まず、半導体層550は微結晶半導体膜552のみから形成されてい

る。半導体装置 500A の半導体層 550 は、上述したゲート絶縁層・半導体層形成工程 S2204 における 2 回目のフォトリソグラフィ工程において、第 2 領域のアモルファスシリコン膜を全てエッチングすることによって形成できる。

[0182] (実施形態 3)

上述した説明では、第 2 薄膜トランジスタにおけるアモルファスシリコン膜は第 1 薄膜トランジスタにおけるアモルファスシリコン膜よりも薄い、第 2 薄膜トランジスタにおける半導体層はアモルファスシリコン膜を有していなかったが、本発明はこれに限定されない。

[0183] 以下、図 30 を参照して本発明による半導体装置の第 3 実施形態を説明する。本実施形態の半導体装置 500B は、第 1 領域に設けられた TFT520B と、第 2 領域に設けられた TFT540B とを備えている。

[0184] 図 30 (a) に、第 1 領域の上面図を示しており、図 30 (b) および図 30 (c) に、図 30 (a) の断面図を示している。同様に、図 30 (d) に、第 2 領域の上面図を示しており、図 30 (e) および図 30 (f) には図 30 (d) の断面図を示している。以下、簡単のため、図 20 に示した半導体装置 500 と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0185] TFT520B は、ゲート電極 122 と、ゲート絶縁層 524B と、ソース電極 127 と、ドレイン電極 128 と、半導体層 530 とを有している。半導体層 530 は、ソース領域 530a と、ドレイン領域 530b と、チャネル領域 530c とを有している。半導体層 530 のソース領域 530a はコンタクト層 126a を介してソース電極 127 と電氣的に接続されており、半導体層 530 のドレイン領域 530b はコンタクト層 126b を介してドレイン電極 128 と電氣的に接続されている。

[0186] また、TFT540B は、ゲート電極 142 と、ゲート絶縁層 544B と、ソース電極 147 と、ドレイン電極 148 と、半導体層 550 とを有している。半導体層 550 は、ソース領域 550a と、ドレイン領域 550b と

、チャネル領域 550c とを有している。半導体層 550 のソース領域 550a はコンタクト層 146a を介してソース電極 147 と電氣的に接続されており、半導体層 550 のドレイン領域 550b はコンタクト層 146b を介してドレイン電極 148 と電氣的に接続されている。

[0187] 図 30 に示した半導体装置 500B では、TFT520B の半導体層 530 は TFT540B の半導体層 550 と同様の構成を有しており、半導体層 530 および半導体層 550 は単層構造である。半導体層 530 は、厚さ 50nm の微結晶シリコン膜 532 のみを含んでいる。同様に、半導体層 550 は、厚さ 50nm の微結晶シリコン膜 552 のみを含んでいる。

[0188] 半導体装置 500B において、ゲート絶縁層 524B およびゲート絶縁層 544B は、例えば窒化シリコン (SiN_x) から形成されており、ゲート絶縁層 524B の厚さはゲート絶縁層 544B と異なる。例えば、ゲート絶縁層 524B の厚さは 400nm であり、ゲート絶縁層 544B の厚さはゲート絶縁層 524B のほぼ $2/3$ であって、ほぼ 266nm である。このように、ゲート絶縁層 544B はゲート絶縁層 524B よりも薄い。

[0189] 半導体装置 500B は、半導体装置 500 と同様に作製される。ただし、半導体装置 500B のゲート絶縁層 524B、544B は、例えば、ゲート絶縁層となる窒化シリコン膜 (SiN_x) を堆積した後にフォトリソグラフィ工程を行うことによって第 2 領域の窒化シリコン膜を部分的にエッチングすることによって形成される。ただし、ゲート絶縁層 524B、544B の形成方法はこれに限定されない。

[0190] 半導体装置 500B では、TFT540B のゲート絶縁層 544B はゲート絶縁層 524B と比べて薄いため、ゲート電圧 V_{gd} が同じであっても、半導体層 550 に印加される電界強度が半導体層 530 に印加される電界強度よりも強い。このため、ゲート電圧 V_{gd} が同じ場合、TFT540B のオン電流は TFT520B よりも大きい。このような TFT540B は、ゲート電圧 $V_{gd} < 0$ の場合のオフ電流も大きい、ゲート電圧 $V_{gd} \geq 0$ の範囲で動作させる場合にはオフ電流の増大は問題にならない。従って、回路

TFTのうち、例えば $V_{gd} \geq 0$ の範囲で駆動するTFTにTFT540Bを用いることが好ましい。この場合、同じサイズのTFTで大きなオン電流を得ることができるので、ドライバー回路がアクティブマトリクス基板上に占める面積を小さくすることができる。一方、TFT520Bのゲート絶縁層524Bは、上述した半導体装置100におけるゲート絶縁層124、144と同様に400nmの厚さを有しており、画素TFTとして用いても画素電極の電位が十分に保持されるため、コントラスト比の低下を抑制でき、表示品位が保たれる。このように半導体装置500Bは、異なるゲート絶縁層524B、544Bを有するTFT520B、540Bが適切に設けられており、半導体装置500Bを用いたモノリシック基板は、表示品位を低下させることなく狭額縁化を実現できる。このような半導体装置500Bを用いて表示装置のアクティブマトリクス基板が好適に作製される。オン電流の高いTFT540Bは周辺領域の回路TFTとして好適に用いられ、オフ電流の低いTFT520Bは表示領域の画素TFTとして好適に用いられる。

[0191] 図30に示した半導体装置500Bでは、TFT520Bの半導体層530はTFT540Bの半導体層550と同様の構成を有しており、半導体層530および半導体層550は単層構造であるが、本発明はこれに限定されない。例えば、半導体層530および半導体層550は、微結晶シリコン膜とアモルファスシリコン膜の積層構造であってもよい。なお、半導体装置500Bにおいて、TFT520Bの半導体層530はTFT540Bの半導体層550と異なる構成であってもよい。

[0192] また、上述した説明では、ゲート絶縁層524Bおよびゲート絶縁層544Bはいずれも単層構造であったが、本発明はこれに限定されない。

[0193] 図31に、半導体装置500Cを示す。図31(a)に、半導体装置500Cの第1領域の上面図を示しており、図31(b)および図31(c)には図31(a)の断面図を示している。同様に、図31(d)には第2領域の上面図を示しており、図31(e)および図31(f)には図31(d)の断面図を示している。図31に示した半導体装置500Cでは、簡単なた

め、図20に示した半導体装置500と同様の構成要素には同一の参照符号を付しており、その説明を省略する。

[0194] 半導体装置500Cにおいてゲート絶縁層524Cは絶縁層524C1と絶縁層524C2の積層構造であり、ゲート絶縁層544Cは単層構造である。絶縁層524C1はゲート絶縁層544Cと同様の構成を有している。例えば、絶縁層524C1およびゲート絶縁層544Cは厚さ200nmの酸化シリコン膜(SiO_x)であり、絶縁層524C2は厚さ50nmの窒化シリコン膜(SiN_x)である。

[0195] 半導体装置500Cは、上述した半導体装置500と同様に作製される。ただし、酸化シリコン膜は、TEOS（テトラエトキシシラン）を原材料として、窒化シリコン膜と同様にプラズマCVD法で形成可能である。なお、半導体装置500Cは半導体装置500とは異なる態様で作製されてもよい。

[0196] 図31に示した半導体装置500Cでは、半導体層550は半導体層530と異なる構成を有している。半導体層530、550は両方とも微結晶シリコン膜532、552の単層から構成されるが、下地絶縁層の表面の材料の違いに起因して結晶化率の違いが発生する。微結晶シリコン膜532、552の形成条件は同様であっても、微結晶シリコン膜532は窒化シリコンからなる絶縁層524C2上に形成される一方、微結晶シリコン膜552は酸化シリコンからなるゲート絶縁層544C上に形成されるため、微結晶シリコン膜552の結晶化率は微結晶シリコン膜532よりも高い。

[0197] 一般に、微結晶シリコンTFTでは、微結晶シリコン膜の結晶化率が高いほどTFTの移動度が高い。ここでは、微結晶シリコン膜552の結晶化率が高いので、TFT540Cの移動度が高く、オン電流が大きい。従って、TFT540Cは回路TFTに適し、ドライバー回路がアクティブマトリクス基板上に占める面積を小さくすることができる。一方、微結晶シリコン膜532の結晶化率は比較的低いので、TFT520Cの特性はアモルファスシリコンTFTに近く、移動度が低く、オン電流は小さいものの、オフ電流

が小さく、オン／オフ比が高い。TFT520Cを画素TFTとして用いると、画素電極電位が十分に保持されるため、コントラスト比の低下を抑制でき、表示品位が保たれる。

[0198] このように半導体装置500Cは、異なるゲート絶縁層と異なる結晶化率の微結晶シリコン膜を有するTFT520C、540Cが基板上に適切に設けられているので、ゲートドライバ回路等を有する半導体装置において、表示品位を低下させることなく狭額縁化を実現できる。

[0199] なお、図30に示した半導体装置500Bでは、ゲート絶縁層524Bおよびゲート絶縁層544Bはいずれも同じ材料から形成されていたが、本発明はこれに限定されない。ゲート絶縁層524Bおよびゲート絶縁層544Bは別の材料から形成されていてもよい。例えば、ゲート絶縁層524Bは窒化シリコン膜(SiN_x)単層からなり、ゲート絶縁層544Bは酸化シリコン膜(SiO_x)単層からなっている。例えば、ゲート絶縁層524Bの厚さは400nmであって、ゲート絶縁層544Bの厚さは200nmである。半導体層530、550は両方とも微結晶シリコン膜532、552の単層から構成されるが、このような場合でも、下地絶縁層の表面の材料の違いに起因して結晶化率の違いが発生する。この場合、微結晶シリコン膜552の結晶化率は微結晶シリコン膜532よりも高いので、TFT540Bの移動度が高く、オン電流が大きい。従って、TFT540Bは回路TFTに適し、ドライバ回路がアクティブマトリクス基板上に占める面積を小さくすることができる。一方、微結晶シリコン膜532の結晶化率は比較的低いので、TFT520Bの特性はアモルファスシリコンTFTに近く、移動度が低く、オン電流は小さいものの、オフ電流が小さく、オン／オフ比が高い。TFT520Bを画素TFTとして用いると、画素電極電位が十分に保持されるため、コントラスト比の低下を抑制でき、表示品位が保たれる。

[0200] このように、異なるゲート絶縁層524B、544Bの表面上に微結晶シリコン膜532、552を形成することによって、異なる特性を有するTFT520B、540Bを得ることができる。この場合、TFT520Bでは

、微結晶シリコン膜 532 を窒化シリコン膜 (SiN_x) からなるゲート絶縁層 524B の表面上に形成するため、画素 TFT として適し、TFT 540B では、微結晶シリコン膜 552 を酸化シリコン膜 (SiO_x) からなるゲート絶縁層 544B の表面上に形成するため、回路 TFT として適する特性を有する。このような形態を有する半導体装置でも、異なるゲート絶縁層と異なる結晶化率の微結晶シリコン膜を有する TFT 520B、540B が基板上に適切に設けられているので、ゲートドライバー回路等を有する半導体装置において、表示品位を低下させることなく狭額縁化を実現できる。

[0201] (実施形態 4)

上述した説明では、半導体装置は特性の異なる TFT を備えていたが、本発明はこれに限定されない。半導体装置は TFT 以外の半導体素子を備えていてもよい。

[0202] 以下、図 32 を参照して本発明による半導体装置の第 4 実施形態の構成を説明する。本実施形態の半導体装置 800 は、TFT 820 と、ダイオード 860 とを備えている。ダイオード 860 は TFT のダイオード接続の行われたフォトダイオードである。図 32 に TFT 820、ダイオード 860 の模式的な断面図を示す。以下、簡単のため、図 20 に示した半導体装置 500 と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0203] TFT 820 は、基板 102 上に設けられたゲート電極 122 と、ゲート電極 122 を覆うゲート絶縁層 124 と、ソース電極 127 と、ドレイン電極 128 と、ゲート絶縁層 124 上に設けられた半導体層 530 とを有している。半導体層 530 は微結晶シリコン膜 532 およびアモルファスシリコン膜 534 を有している。半導体層 530 のソース領域 530a はコンタクト層 126a を介してソース電極 127 と電氣的に接続されており、半導体層 530 のドレイン領域 530b はコンタクト層 126b を介してドレイン電極 128 と電氣的に接続されている。

[0204] また、ダイオード 860 は、基板 102 上に設けられたゲート電極 162 と、ゲート電極 162 を覆うゲート絶縁層 164 と、第 1 電極 (ソース電極

）１６７と、第２電極（ドレイン電極）１６８と、ゲート絶縁層１６４上に設けられた半導体層１７０とを有している。半導体層１７０は微結晶シリコン膜１７２およびアモルファスシリコン膜１７４を有している。半導体層１７０のソース領域１７０aはコンタクト層１６６aを介して第１電極１６７と電氣的に接続されており、半導体層１７０のドレイン領域１７０bはコンタクト層１６６bを介して第２電極１６８と電氣的に接続されている。

[0205] なお、ＴＦＴ８２０のチャネル長は、ソース電極１２７とドレイン電極１２８との間の距離に相当しており、例えば、 $3.5\mu\text{m}$ である。ダイオード８６０のチャネル長は、同様に第１電極１６７と第２電極１６８との間の距離に相当しており、例えば、 $10\mu\text{m}$ である。なお、ダイオード８６０の第１電極（ソース電極）１６７および第２電極（ドレイン電極）１６８の少なくとも一方がその一部分にＵ字状の平面形状を有してもよく、このような場合には、第１電極（ソース電極）１６７と第２電極（ドレイン電極）１６８がつくる隙間（ギャップ）の総延長がチャネル幅に相当する。なお、ＴＦＴ８２０等、本明細書中で説明した他のＴＦＴについても同様に、ソース電極またはドレイン電極はＵ字状の平面形状を有してもよい。

[0206] ＴＦＴ８２０のチャネル幅は、ソース電極１２７の電極の幅に相当し、 $24\mu\text{m}$ である。ダイオード８６０のチャネル幅は、第１電極１６７と第２電極１６８の幅に相当し、 $150\mu\text{m}$ である。ここでは、ソース電極１２７とソース電極１２８の幅は等しく、第１電極１６７と第２電極１６８の幅は等しい。

[0207] 半導体層５３０、１７０のそれぞれにおいて、チャネル領域５３０c、１７０cの一部は除去されている。微結晶シリコン膜５３２、１７２の厚さは 50nm であって、アモルファスシリコン膜５３４、１７４の厚さは 80nm である。ただし、チャネル領域５３０c、１７０cにおけるアモルファスシリコン膜の厚さは 50nm である。

[0208] ダイオード８６０では、ゲート電極１６２はゲート絶縁層１６４に設けられたコンタクトホール１７９を介して第１電極１６７と電氣的に接続されて

いる。このようなダイオード 860 はフォトダイオードとして用いることができる。ダイオード 860 に逆方向バイアスを与えた場合のダイオード 860 は暗電流が非常に小さいものの、外光を受けたときには光電流が発生し、別途設けられる蓄積容量部の電位が変化する。この電位の変化を所定の配線と読み出し用回路等によって外部に読み出して信号処理を行い、ダイオード 860 が受けた光の強度情報を得る。

[0209] 半導体装置 800 において、ダイオード 860 の半導体層 170 は微結晶シリコン膜 172 だけでなくアモルファスシリコン膜 174 を有している。このように、半導体層 170 がアモルファスシリコン膜 174 を有していることにより、外光強度に対するダイオード電流を増大させることができるので、フォトダイオードとしての感度が向上する。

[0210] ここで、図 33 を参照して、比較例 2 の半導体装置と比較して本実施形態の半導体装置 800 の利点を説明する。まず、比較例 2 の半導体装置を説明する。比較例 2 の半導体装置は半導体層として微結晶シリコン膜のみを有するフォトダイオードを有している。

[0211] 図 33 には、比較例 2 の半導体装置におけるフォトダイオードの特性および半導体装置 800 におけるフォトダイオード 860 の特性を示す。ここで、外光は基板 102 と反対側から、基板 102 の主面の法線方向に照射する。比較例 2 の半導体装置におけるフォトダイオードのダイオード電流は外光強度の増加にかかわらずそれほど増加しない。これに対して半導体装置 800 におけるダイオード 860 のダイオード電流は外光強度の増加に伴い大きく増加するため、感度および S/N 比を向上させることができる。半導体装置 800 ではアモルファスシリコン膜 174 が外光を受けて光電流を発生させるためである。このような半導体装置 800 を備えるアクティブマトリクス基板は光センサーおよび／または光センサーを利用したタッチパネル機能を内蔵した表示装置に好適に用いられる。

[0212] なお、チャネル領域 530c、170c における微結晶シリコン膜 532、172 の厚さはいずれも 20 nm 以上 60 nm 以下であることが好ましい

。チャネル領域 530c、170cにおける微結晶シリコン膜の厚さが20nm未満である場合、移動度が低下し、TFTおよびダイオードのオン特性や光電流が低下する。一方、微結晶シリコン膜の厚さが60nmを越えると、TFTおよびダイオードのオフ電流、暗電流が増加し、オン／オフ比、S／N比が低下する。

[0213] また、ダイオード860におけるアモルファスシリコン膜174の厚さは、チャネル領域170cにおいて30nm以上であることが好ましい。この場合、外光に反応して発生するダイオード電流が大きいので、フォトセンサーとして好適に用いられる。

[0214] ここで、図34を参照して、半導体装置800を備えるアクティブマトリクス基板1000を説明する。図34(a)に、アクティブマトリクス基板1000の模式図を示す。図34(b)に、アクティブマトリクス基板1000を備える液晶表示装置1100の模式的な回路図を示し、図34(c)に液晶表示装置1100の模式図を示す。また、図34(d)に、アクティブマトリクス基板1000を備える別の液晶表示装置1100Aの模式的な回路図を示す。

[0215] 図34(a)に示すように、アクティブマトリクス基板1000は、ソース配線Sと、読み出し配線Rと、補助容量配線CSと、ゲート配線Gと、画素領域1106と、センサー領域1107とを有している。補助容量配線CSはゲート配線Gと平行に延びている。また、読み出し配線Rはソース配線Sと平行に延びている。

[0216] 画素領域1106には、画素電極135と、半導体層530を有するTFT820と、接続配線1111と、コンタクトホール180とが設けられており、画素電極135は、接続配線1111とコンタクトホール180を介してドレイン電極128と電氣的に接続されている。ここで、接続配線1111には、補助容量配線CSとの間で容量結合が形成され、画素電位の保持に寄与する。TFT820のソース電極127は、ソース配線Sと接続されている。

- [0217] 一方、センサー領域 1107 には、半導体層 170 を有するダイオード 860 と、半導体層 590 を有する TFT 880 と、コンタクトホール 181 と、接続配線 1110 とが設けられている。接続配線 1110 は補助容量配線 CS およびその分岐部分との間に容量結合が形成され、蓄積容量部 1112 を形成する。また、接続配線 1110 は、TFT 880 のドレイン電極 188 とダイオード 860 の第 2 電極（ドレイン電極）168 を接続する。TFT 880 のソース電極 187 は、読み出し配線 R と接続されている。また、ダイオード 860 の第 1 電極（ソース電極）167 は、コンタクトホール 181 を介して補助容量配線 CS と接続されている。ここで、TFT 880、半導体層 590 は、それぞれ TFT 820、半導体層 530 と同様の構成を有するが、平面形状およびサイズは必ずしも同一である必要はない。
- [0218] 図 34（b）において、COM は対向基板上の共通電極（図示せず）、C_{lc} は対向基板上の共通電極と画素電極 135 の間の容量、C_{cs} は接続配線 1111 と補助容量配線 CS の間の容量、C_{ps} は接続配線 1110 と補助容量配線 CS の間の容量を表す。
- [0219] 図 34（c）に示すように、液晶表示装置 1100 は、アクティブマトリクス基板 1000 と、対向基板 1101 と、遮光層 1102 と、遮光層 1102 に設けられた開口部 1103 と、TFT 820、880 と、ダイオード 860 と、画素電極 135 と、カラーフィルター 1105 と、アクティブマトリクス基板 1000 と対向基板 1101 との間に設けられた液晶層 1104 とを備えている。なお、上記のアクティブマトリクス基板 1000、液晶表示装置 1100 はあくまでも一例であって、本発明はこれに限定されるものではない。例えば、図 34（d）に示すように、液晶表示装置 1100A において、領域 1108 は、画素領域 1106 とセンサー領域 1107 の両方を含んでおり、1 画素につき 1 つのフォトセンサーを備えていてもよい。また、図 34（b）および図 34（d）に示した回路図は他の形態であってもよい。
- [0220] 上述した半導体装置 100 では TFT 120、140 の半導体層 130、

150および／またはゲート絶縁層124、144は互いに異っており、半導体装置100A、100B、100C、500、500A、500B、500Cでも同様に、半導体層および／またはゲート絶縁層は互いに異っている。半導体装置800において、TFT820およびダイオード860の半導体層530、170およびゲート絶縁層124、164は同様の構成であってもよいし、異なってもよい。

[0221] また、半導体装置800は、TFT820、ダイオード860に加えて、上述した半導体装置500のTFT540をさらに有してもよい。TFT820、540は、それぞれ第1薄膜トランジスタ、第2薄膜トランジスタとも呼ばれる。上述したように、TFT540の半導体層550のアモルファスシリコン膜554の厚さは例えば10 μ mであり、ダイオード860におけるアモルファスシリコン膜174はアモルファスシリコン膜554よりも薄い。この場合、TFT820はオフ電流が低くオン／オフ比が高いため、画素TFTとして適しており、TFT540はオン電流が大きいので、回路TFTとして適している。また、ダイオード860はフォトダイオードとして外光強度の変化を感じ取るセンサーとして適している。

[0222] このように半導体装置800は、異なる半導体層を有するTFT540、TFT820、ダイオード860が基板上に適切に配置されるので、ゲートドライバ回路等を有する半導体装置において、表示品位を低下させることなく狭額縁化を実現するとともに、フォトダイオードを形成してタッチパネル機能を内蔵することができる。

[0223] なお、図32を参照して上述した半導体装置800では、TFT820の半導体層530が微結晶シリコン膜532およびアモルファスシリコン膜534を有していたが、本発明はこれに限定されない。

[0224] 図35に示した半導体装置800Aでは、TFT820Aの半導体層530は微結晶シリコン膜を有しておらず、アモルファスシリコン膜534のみから形成されている。ここで、図示していないが、半導体装置800Aは、半導体装置800の有するダイオード860を同様に有しているが、半導体

装置 800A は T F T 540 をさらに有してもよい。

[0225] また、上述した説明では、半導体装置 100、100A、100B、100C、500、500A、500B、500C、800、800A の T F T はシングルゲート構造であったが、本発明はこれに限定されない。T F T はダブルゲート構造であってもよく、ダブルゲート構造とシングルゲート構造の両方を混在させてもよい。

[0226] (実施形態 5)

上述した説明では、半導体装置を液晶表示装置に用いた形態を説明したが、本発明はこれに限定されない。半導体装置を有機 E L (O r g a n i c L i g h t E m i t t i n g D i o d e : O L E D) 表示装置に用いてもよい。有機 E L 表示装置は電流駆動型であって、一つの画素は、有機 E L 素子を駆動するための駆動 T F T と、駆動 T F T をスイッチングするスイッチング T F T の二つ以上の T F T で構成される。

[0227] 以下、図 36 を参照して本発明による半導体装置の第 5 実施形態の構成を説明する。図 36 に、本実施形態の半導体装置 1200 を有する有機 E L 表示装置 1300 の画素等価回路例を示す。

[0228] 有機 E L 表示装置 1300 は、ソース配線 1301 と、ゲート配線 1302 と、供給線 1303 と、有機 E L 素子 1306 と、有機 E L 素子 1306 に所定の電圧を与えるためのカソード 1304 およびアノード 1305 と、表示信号としてのアナログ電圧を保持するための保持容量 1307 と、スイッチング T F T 1308 と、駆動 T F T 1309 とを有する。有機 E L 素子 1306 が発光状態であるとき、駆動 T F T 1309 は常に電流を流しつづけるため、高いオン電流が必要である。

[0229] 半導体装置 1200 の T F T 1308 および 1309 は上述した半導体装置 500 の T F T 520、540 と同様の構成を有している。具体的には、スイッチング T F T 1308 は T F T 520 と同様の構成を有しており、駆動 T F T 1309 は T F T 540 と同様の構成を有している。したがって、スイッチング T F T 1308 および駆動 T F T 1309 のそれぞれの半導体

層は微結晶シリコン膜およびアモルファスシリコン膜を有しており、スイッチングTFT1308における半導体層のソース領域およびド레인領域におけるアモルファスシリコン膜は厚く、駆動TFT1309における半導体層のソース領域およびド레인領域におけるアモルファスシリコン膜は薄い。スイッチングTFT1308はオン／オフ比が高いため、表示信号としてのアナログ電圧を適切に保持して、良好な表示を実現することができる。また、駆動TFT1309は微結晶シリコン膜を有しており、オン電流が大きいため、同一オン電流でTFTのサイズを小さくできる。このため、開口率の拡大および有機EL素子の面積の拡大などの利点により、輝度の高いディスプレイを実現できる。このように、半導体装置1200は、有機EL表示装置として好適に用いられ、高輝度を実現できる。

[0230] なお、半導体装置1200は上述した半導体装置100、100A、100B、100C、500、500A、500B、500C、800、800Aのいずれの構成と同様の構成を有してもよく、微結晶シリコン膜およびアモルファスシリコン膜の厚さも上述した半導体装置100、100A、100B、100C、500、500A、500B、500C、800、800Aのいずれの構成と同様の構成を有してもよい。また、最適な範囲についても同様である。

[0231] なお、上述した説明では、微結晶半導体膜の一例として微結晶シリコン膜を説明したが、本発明はこれに限定されない。例えば、微結晶半導体膜は、シリコンとゲルマニウムを含んでいてもよい。あるいは、微結晶半導体膜は、シリコンとガリウムを含んでいてもよく、または、シリコンとバリウムを含んでいてもよい。微結晶半導体膜は、シリコンと金属元素（ニッケル、モリブデン、ネオジウム、チタン、バナジウムまたはニオブあるいはこれらの任意の組み合わせ）を含んでいてもよい。あるいは、微結晶半導体膜は、Zn-O系半導体（ZnO）膜、In-Zn-O系半導体（IZO）膜、Zn-Ti-O系半導体（ZTO）膜などの金属酸化物半導体からなってもよい。

[0232] また、上述した説明では、非晶質半導体膜の一例としてアモルファスシリコン膜を説明したが、本発明はこれに限定されない。例えば、非晶質半導体膜は、シリコンとゲルマニウムを含んでいてもよい。非晶質半導体膜は、シリコンとガリウムを含んでいてもよく、または、シリコンとバリウムを含んでいてもよい。あるいは、非晶質半導体膜は、シリコンと金属元素（例えば、ニッケル、モリブデン、ネオジウム、チタン、バナジウムまたはニオブあるいはこれらの任意の組み合わせ）を含んでいてもよい。また、非晶質半導体膜は、Zn-O系半導体（ZnO）膜、In-Ga-Zn-O系半導体（IGZO）膜、Zn-O系半導体（ZnO）膜、In-Zn-O系半導体（IZO）膜などの金属酸化物半導体からなってもよい。

[0233] また、上述した微結晶半導体膜と上述した非晶質半導体膜は任意の組み合わせで用いてもよい。例えば微結晶半導体膜として微結晶シリコン膜を用いるとともに、非晶質半導体膜としてシリコンとゲルマニウムを含んだ混色膜あるいはそのアモルファス膜を用いてもよい。なお、結晶化促進のためにシリコンに金属元素をごく微量添加してもよい。

[0234] なお、参考のために、本願の基礎出願である特願2009-26784号の開示内容を本明細書に援用する。

産業上の利用可能性

[0235] 本発明によれば、特性の異なるTFTを備える半導体装置を簡便に作製することができる。また、本発明によれば、微結晶シリコン膜を有するTFTとともに光応答特性の良好なダイオードを備える半導体装置を提供することができる。このような半導体装置は、液晶表示装置に好適に用いられる。また、本発明による半導体装置は、フラットパネル型X線イメージセンサー装置等の撮像装置、画像入力装置等の電子装置、および、有機エレクトロルミネセンス表示装置等の表示装置にも好適に用いられる。

符号の説明

[0236] 100 半導体装置
120 第1薄膜トランジスタ

- 1 4 0 第2薄膜トランジスタ
- 2 0 0 アクティブマトリクス基板
- 2 2 0 対向基板
- 2 4 0 液晶層
- 3 0 0 液晶表示装置

請求の範囲

[請求項1]

第1薄膜トランジスタと、

前記第1薄膜トランジスタとは異なる第2薄膜トランジスタとを備える、半導体装置であって、

前記第1薄膜トランジスタは、ゲート電極と、微結晶半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、

前記第2薄膜トランジスタは、ゲート電極と、微結晶半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、

前記第1薄膜トランジスタの前記半導体層は厚さ、層構造および結晶化率のうちの少なくとも1つの点で前記第2薄膜トランジスタの前記半導体層と異なるか、または、前記第1薄膜トランジスタの前記ゲート絶縁層は厚さ、層構造および誘電率のうちの少なくとも1つの点で前記第2薄膜トランジスタの前記ゲート絶縁層と異なる、半導体装置。

[請求項2]

前記第1薄膜トランジスタの前記半導体層は非晶質半導体膜をさらに含む、請求項1に記載の半導体装置。

[請求項3]

前記第2薄膜トランジスタの前記半導体層は非晶質半導体膜をさらに含み、

前記第1薄膜トランジスタの前記非晶質半導体膜は前記第2薄膜トランジスタの前記非晶質半導体膜よりも厚い、請求項2に記載の半導体装置。

[請求項4]

前記第1薄膜トランジスタの前記微結晶半導体膜の厚さは前記第2薄膜トランジスタの前記微結晶半導体膜の厚さと略等しい、請求項1から3のいずれかに記載の半導体装置。

[請求項5]

前記第1薄膜トランジスタの前記微結晶半導体膜の厚さは前記第2薄膜トランジスタの前記微結晶半導体膜の厚さと異なる、請求項1か

ら 3 のいずれかに記載の半導体装置。

[請求項6] 前記第 1 薄膜トランジスタの前記ゲート絶縁層は前記第 2 薄膜トランジスタの前記ゲート絶縁層よりも厚い、請求項 1 から 5 のいずれかに記載の半導体装置。

[請求項7] 前記第 1 薄膜トランジスタの前記ゲート絶縁層は多層構造を有しており、

前記第 1 薄膜トランジスタにおいて前記ゲート絶縁層のうちの前記半導体層と接する部分の組成は、前記第 2 薄膜トランジスタにおいて前記ゲート絶縁層のうちの前記半導体層と接する部分の組成と異なる、請求項 1 から 6 のいずれかに記載の半導体装置。

[請求項8] 前記第 1 薄膜トランジスタの前記微結晶半導体膜の結晶化率は前記第 2 薄膜トランジスタの前記微結晶半導体膜の結晶化率と異なる、請求項 1 から 7 のいずれかに記載の半導体装置。

[請求項9] 第 1 薄膜トランジスタと、

前記第 1 薄膜トランジスタとは異なる第 2 薄膜トランジスタとを備える、半導体装置であって、

前記第 1 薄膜トランジスタは、ゲート電極と、非晶質半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、

前記第 2 薄膜トランジスタは、ゲート電極と、非晶質半導体膜を含まず微結晶半導体膜を含む半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層とを有しており、

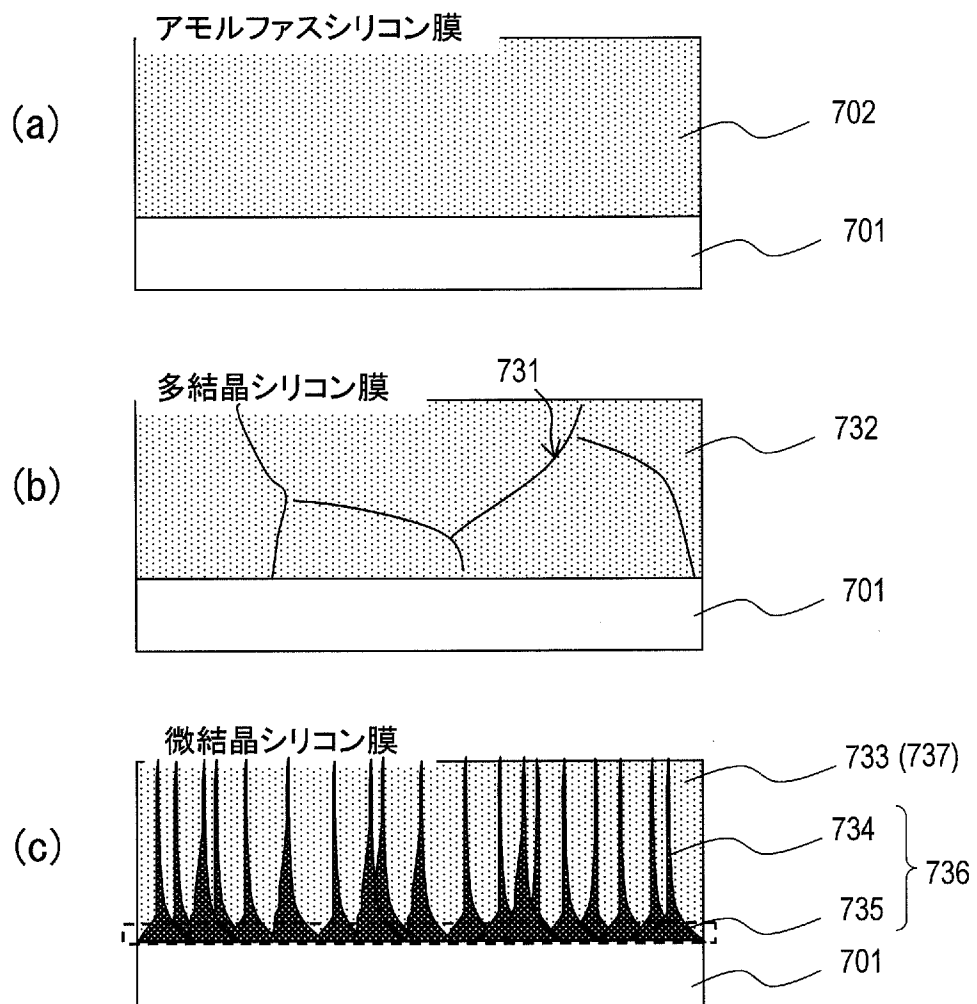
前記第 1 薄膜トランジスタの前記半導体層は厚さ、層構造および結晶化率のうちの少なくとも 1 つの点で前記第 2 薄膜トランジスタの前記半導体層と異なる、半導体装置。

[請求項10] ダイオードをさらに備え、

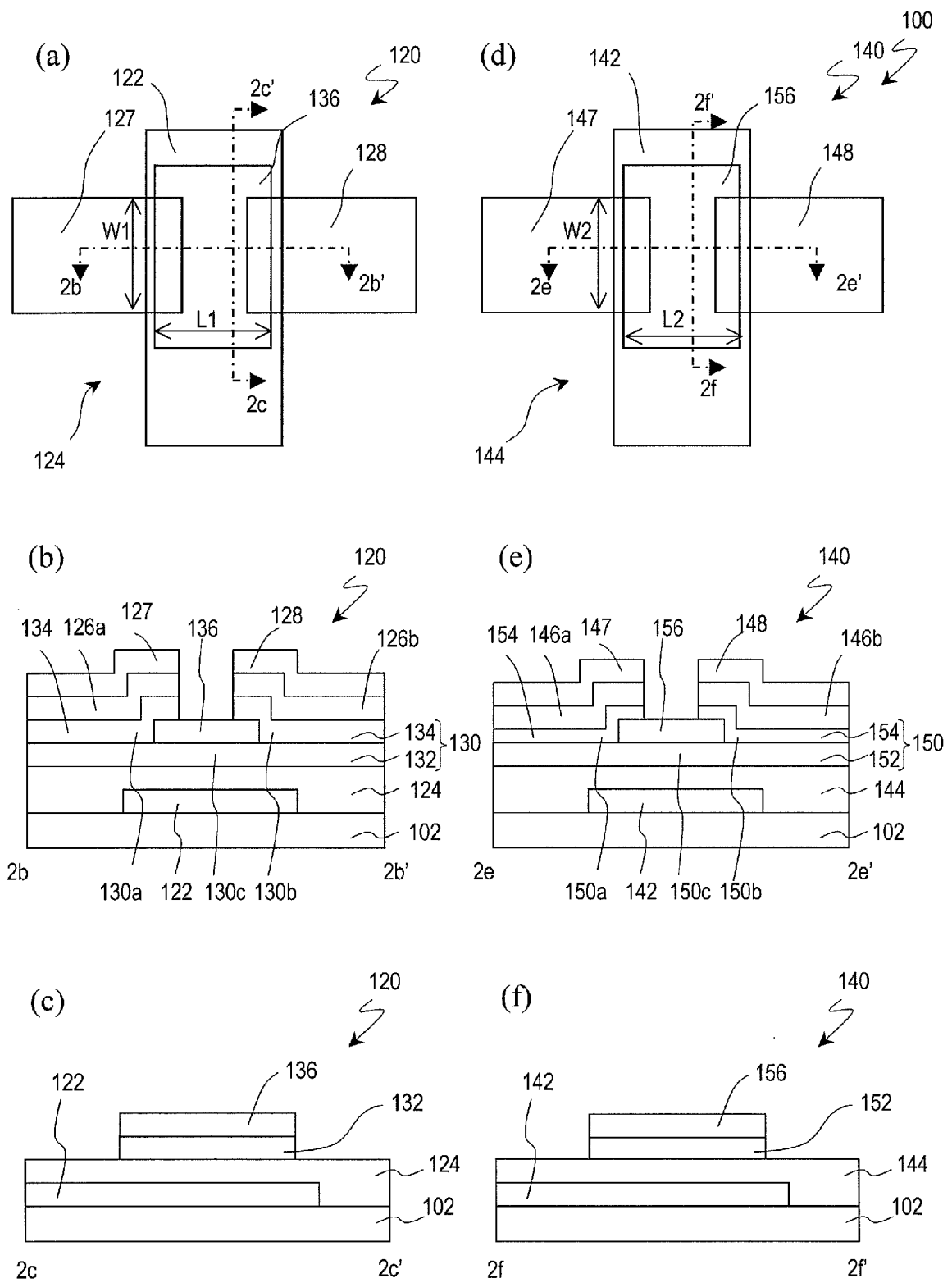
前記ダイオードは微結晶半導体膜および非晶質半導体膜を含む半導体層を有している、請求項 1 から 9 のいずれかに記載の半導体装置。

- [請求項11] 請求項 1 から 1 0 のいずれかに記載の半導体装置を備えるアクティブマトリクス基板であって、
- 前記第 2 薄膜トランジスタのドレイン電極は画素電極と接続されている、アクティブマトリクス基板。
- [請求項12] 薄膜トランジスタと、
- ダイオードと
- を備える、半導体装置であって、
- 前記薄膜トランジスタは微結晶半導体膜を含む半導体層を有しており、
- 前記ダイオードは微結晶半導体膜および非晶質半導体膜を含む半導体層を有している、半導体装置。
- [請求項13] 前記薄膜トランジスタの前記半導体層は非晶質半導体膜をさらに含む、請求項 1 2 に記載の半導体装置。
- [請求項14] 前記ダイオードの前記非晶質半導体膜は前記薄膜トランジスタの前記非晶質半導体膜よりも厚い、請求項 1 3 に記載の半導体装置。
- [請求項15] 請求項 1 2 から 1 4 のいずれかに記載の半導体装置を備えるアクティブマトリクス基板であって、
- 前記ダイオードは表示領域に設けられる、アクティブマトリクス基板。

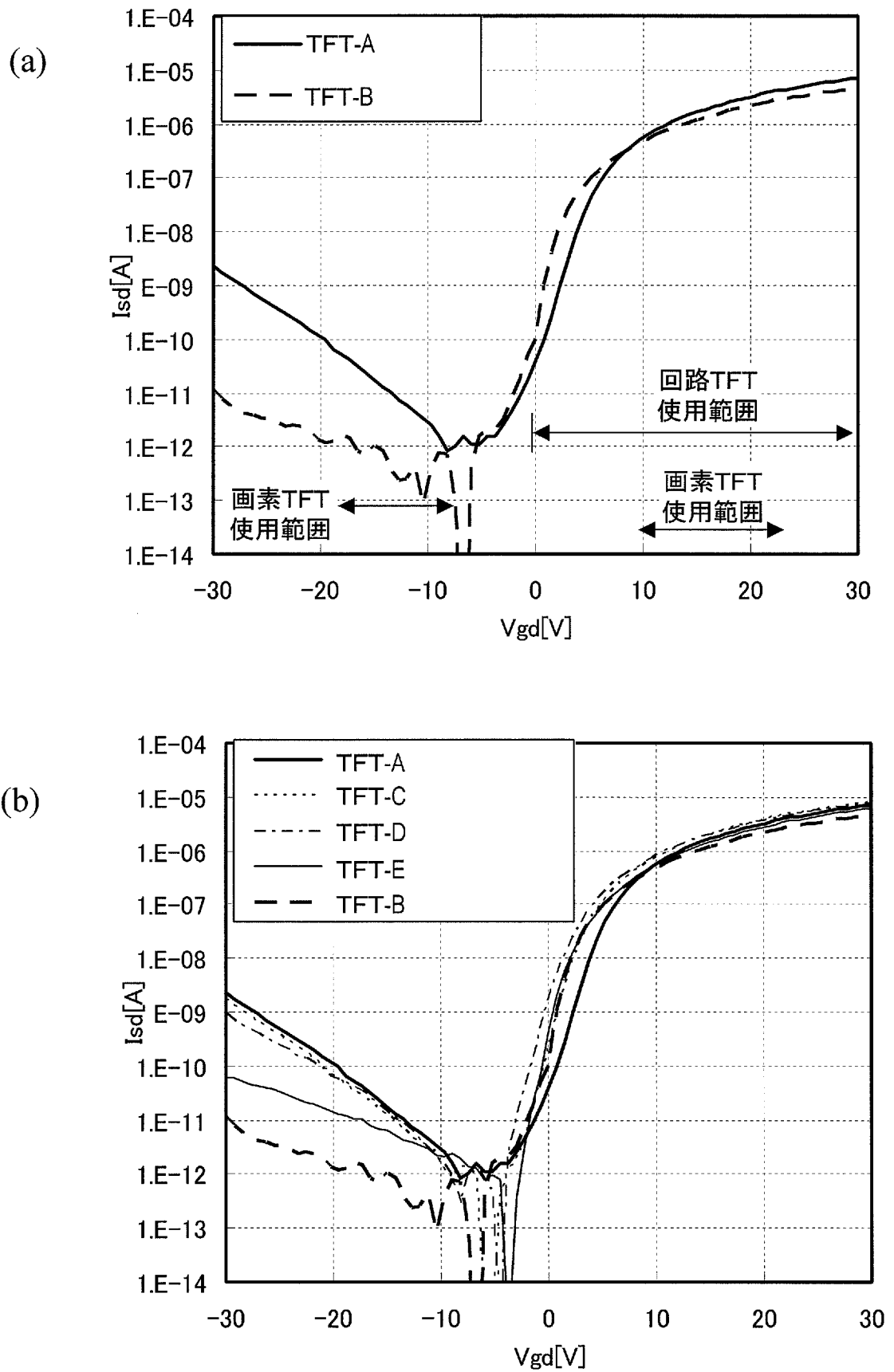
[図1]



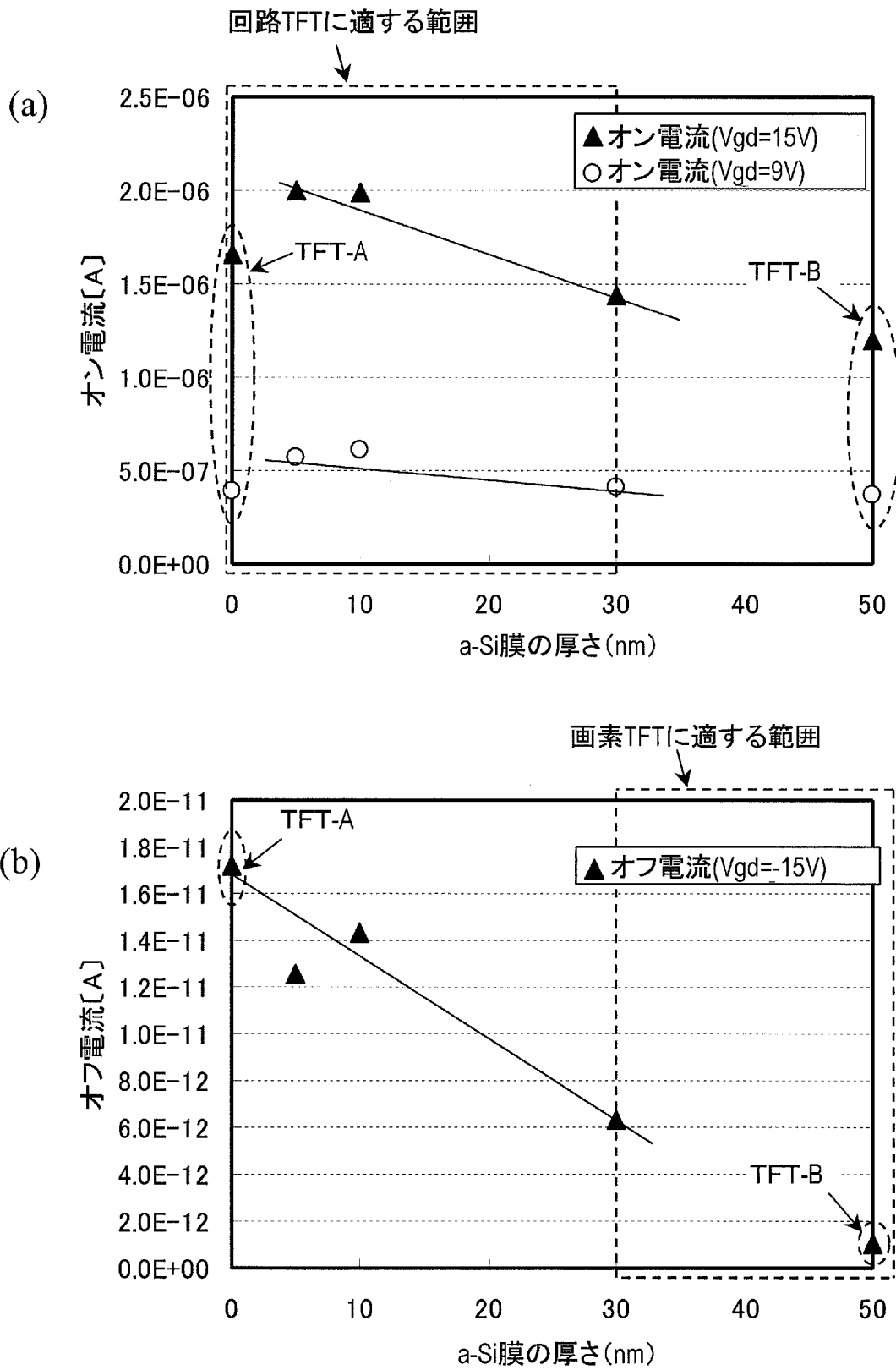
[図2]



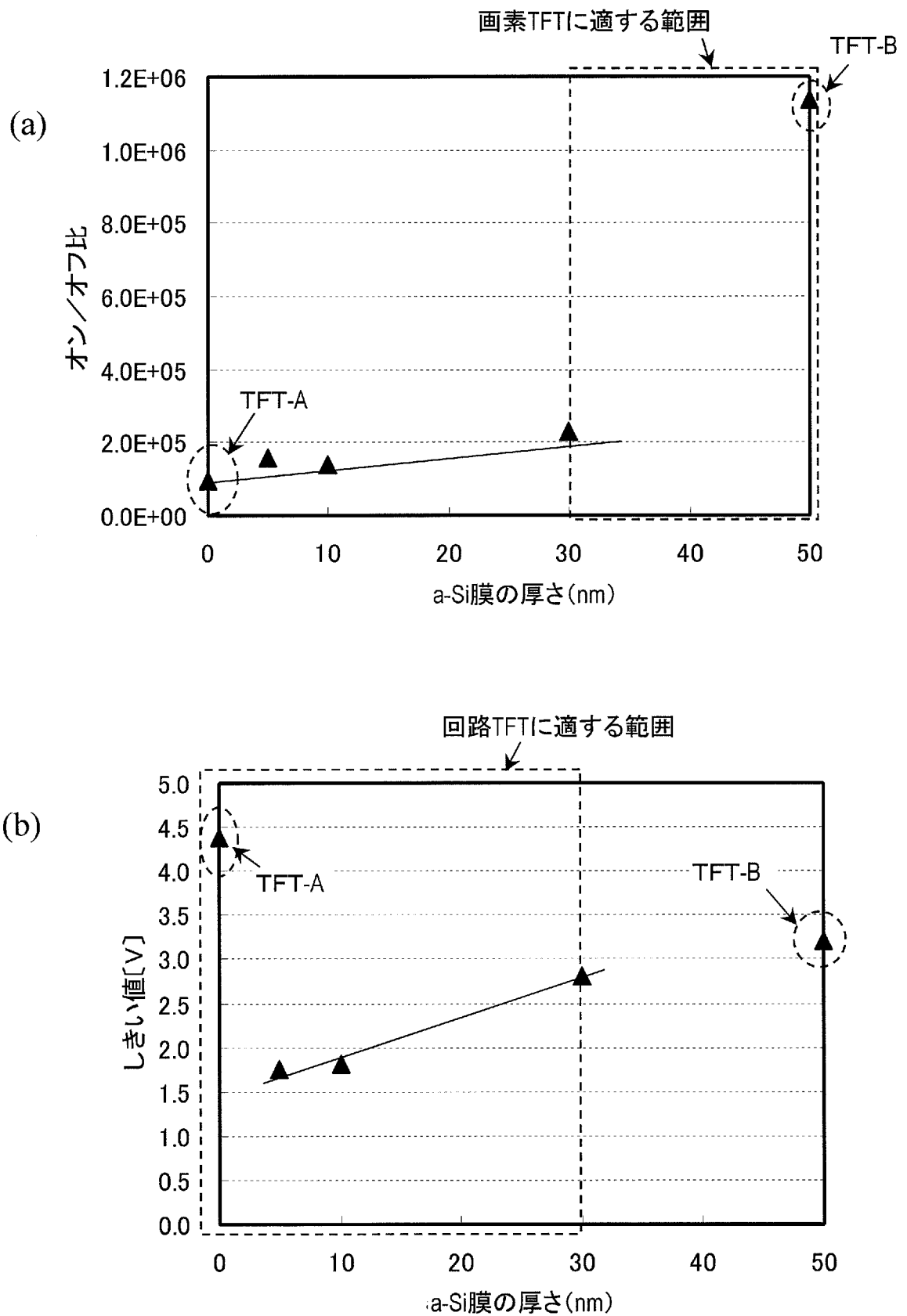
[図3]



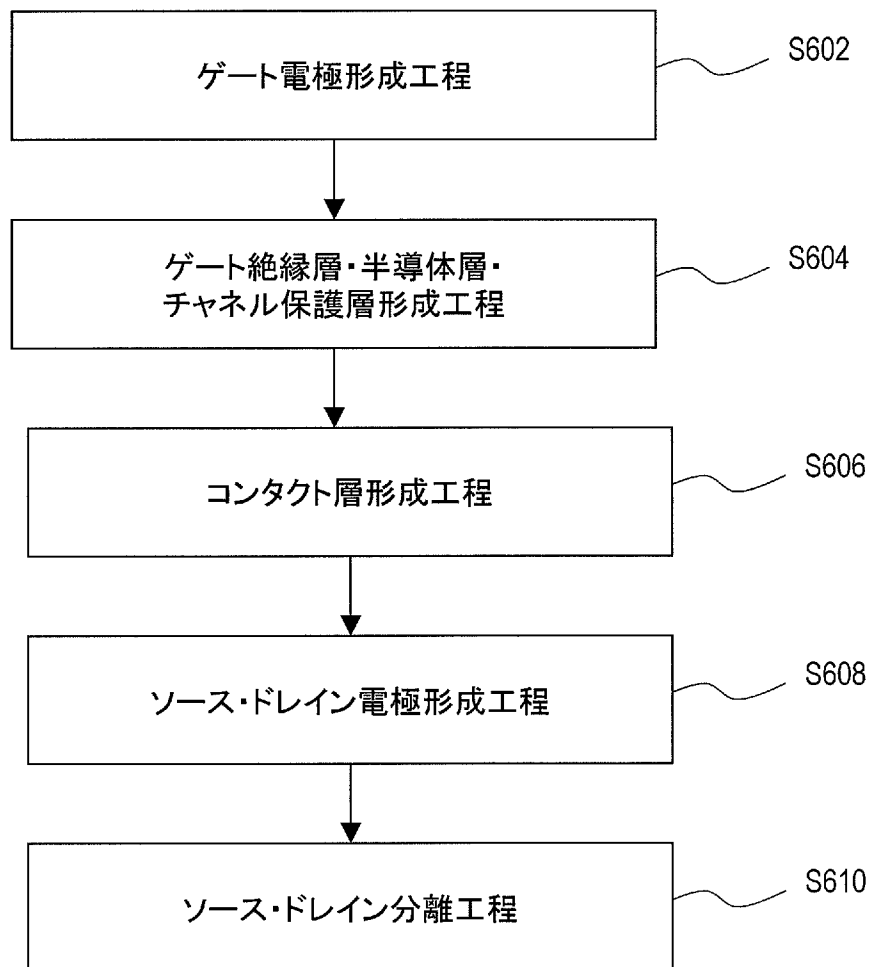
[図4]



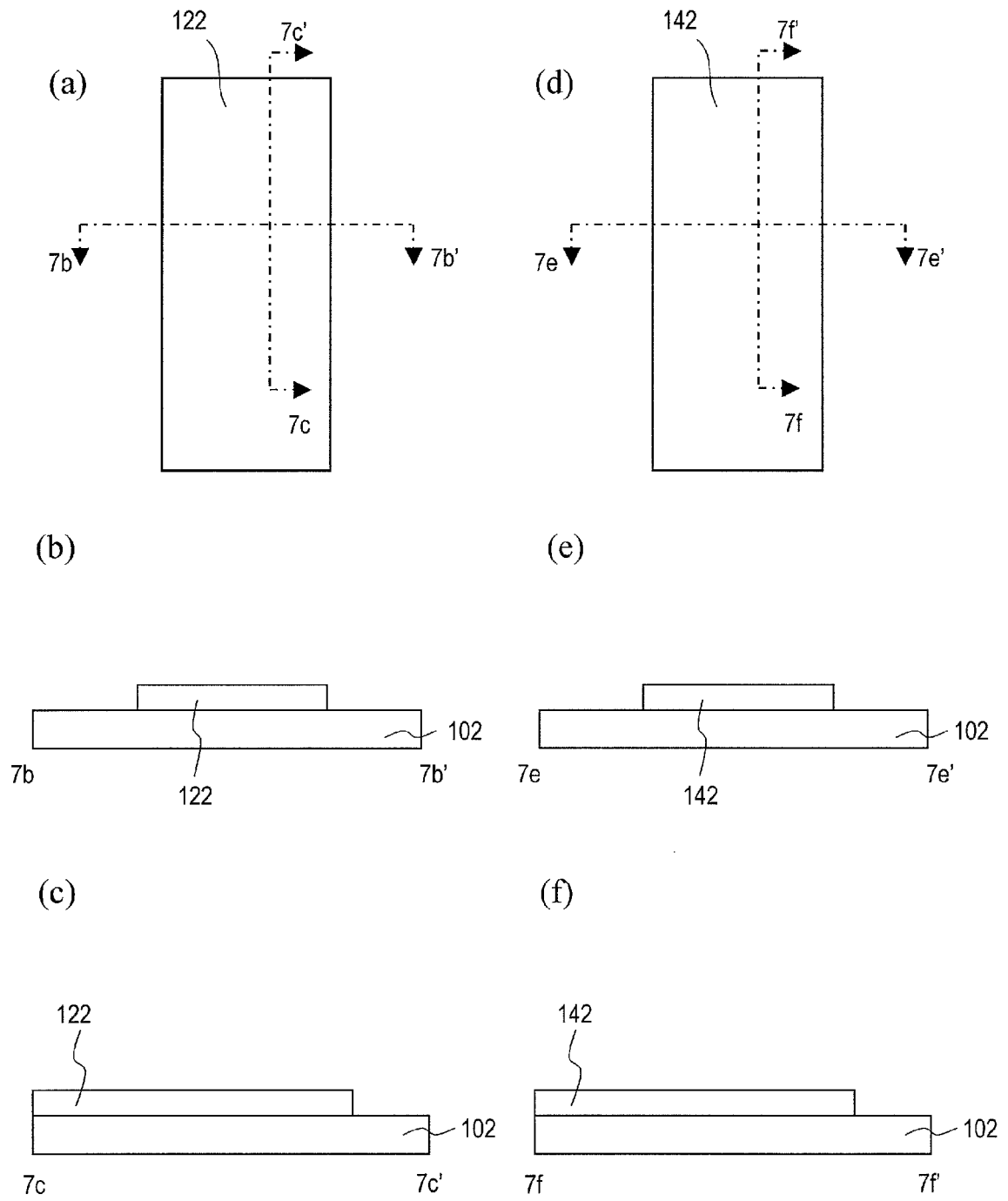
[図5]



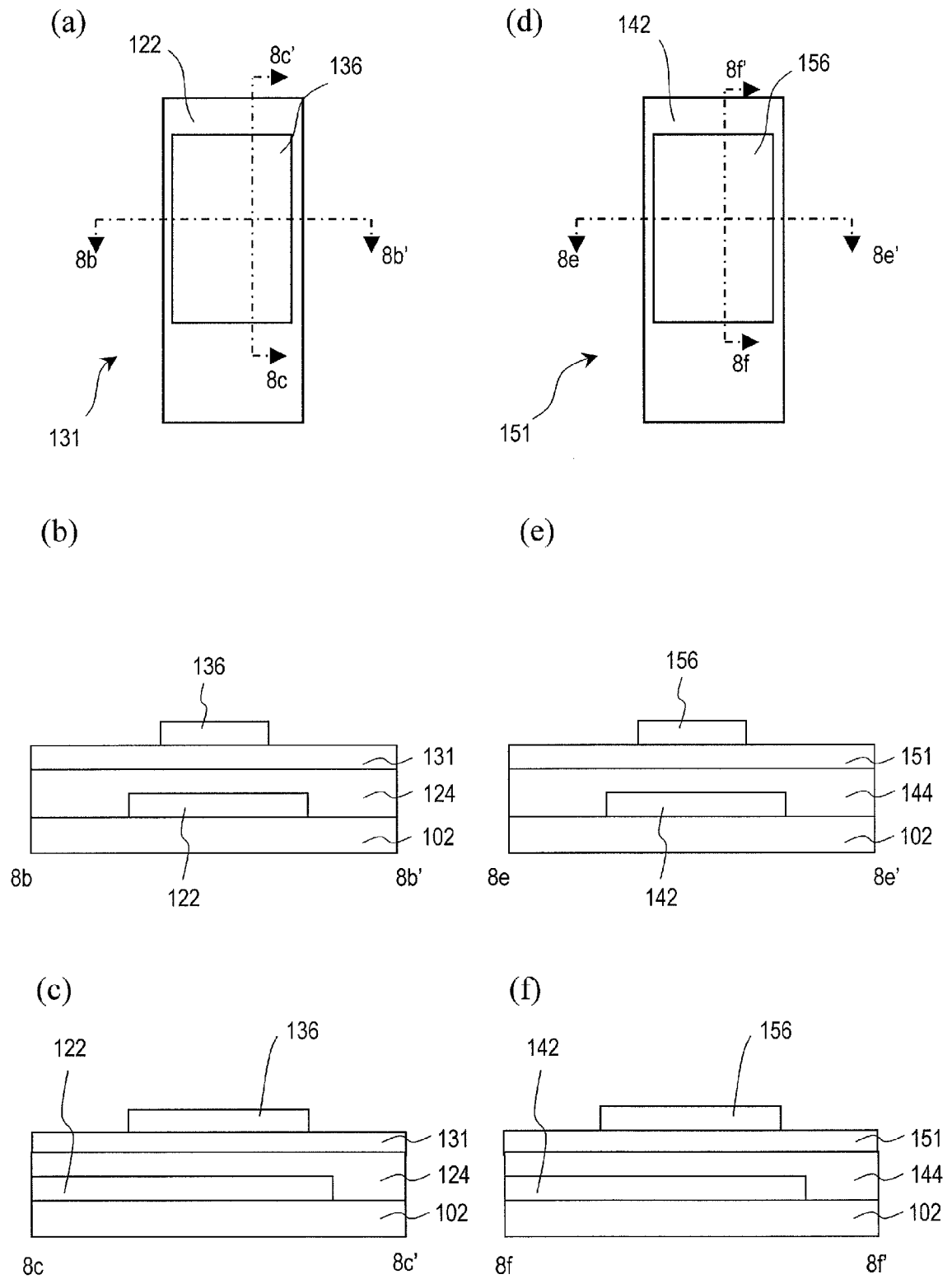
[図6]



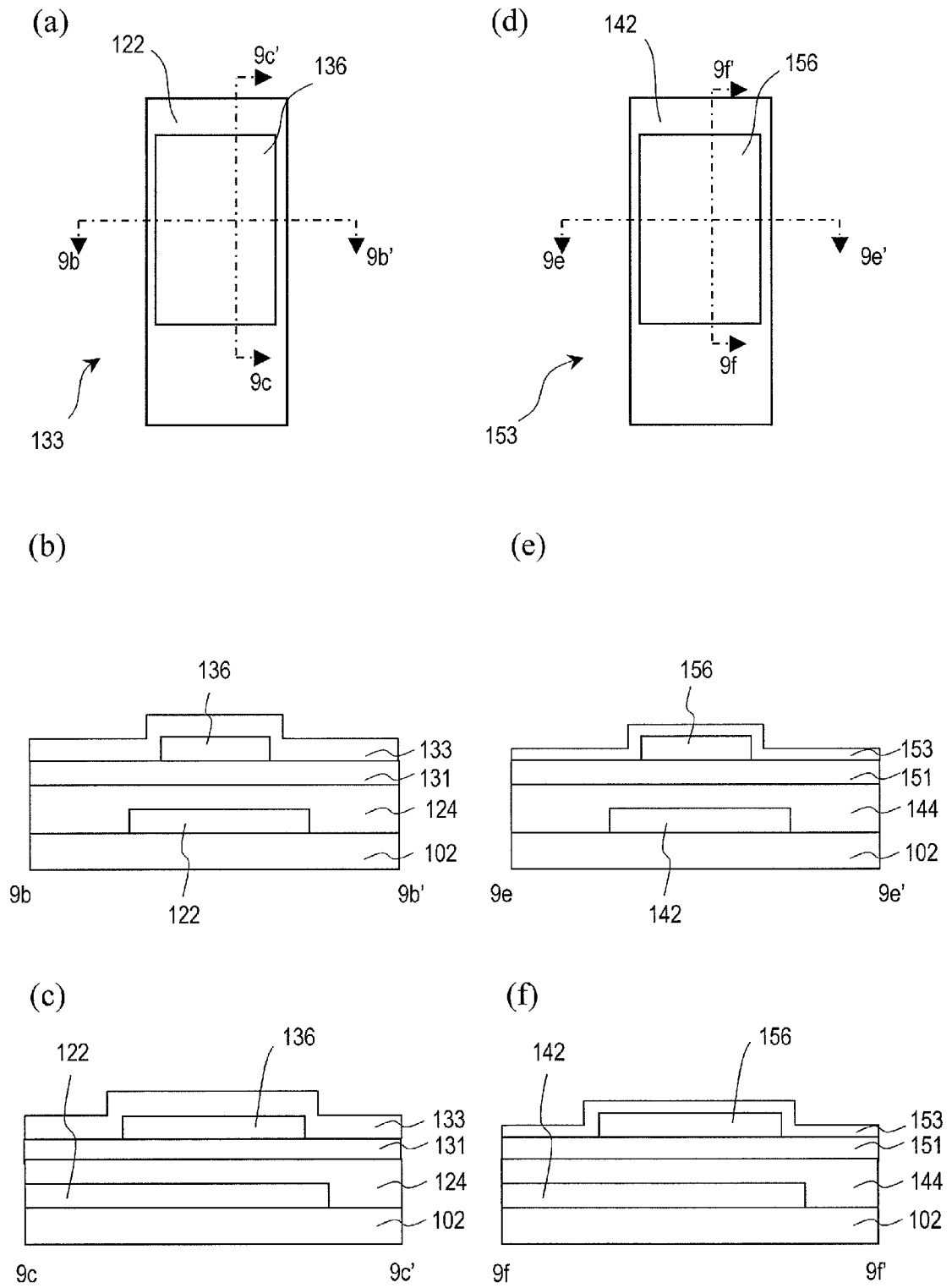
[図7]



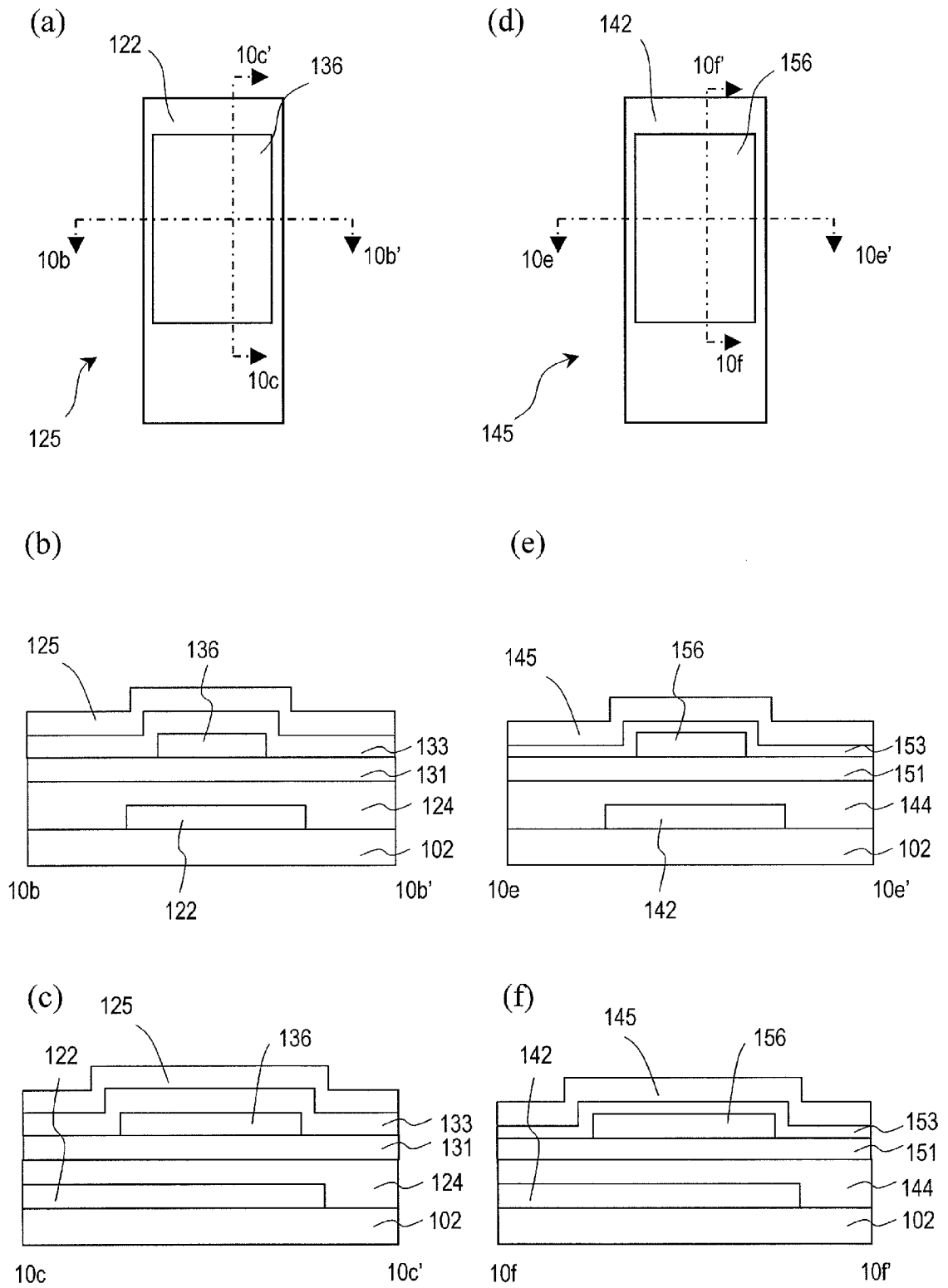
[図8]



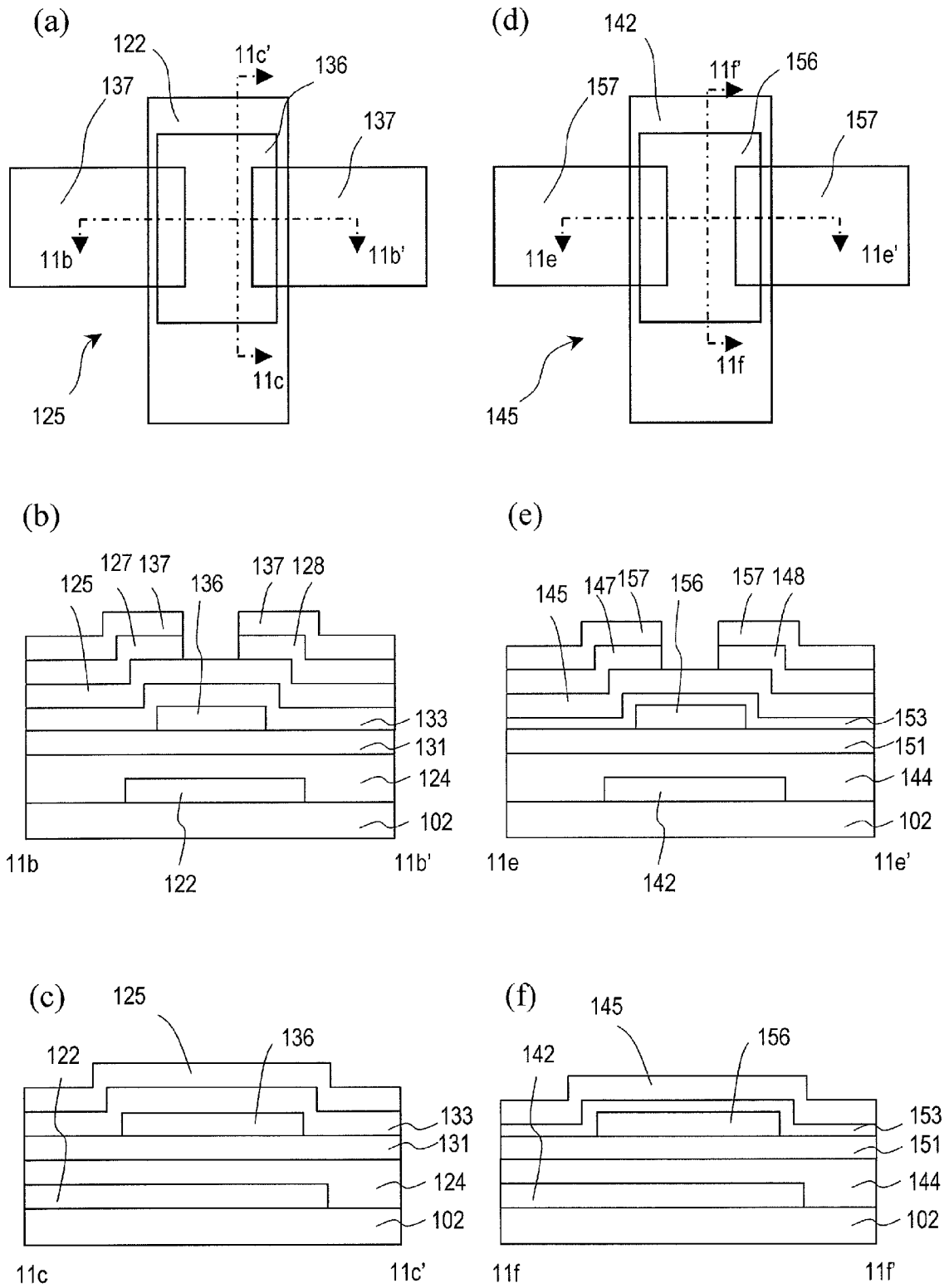
[図9]



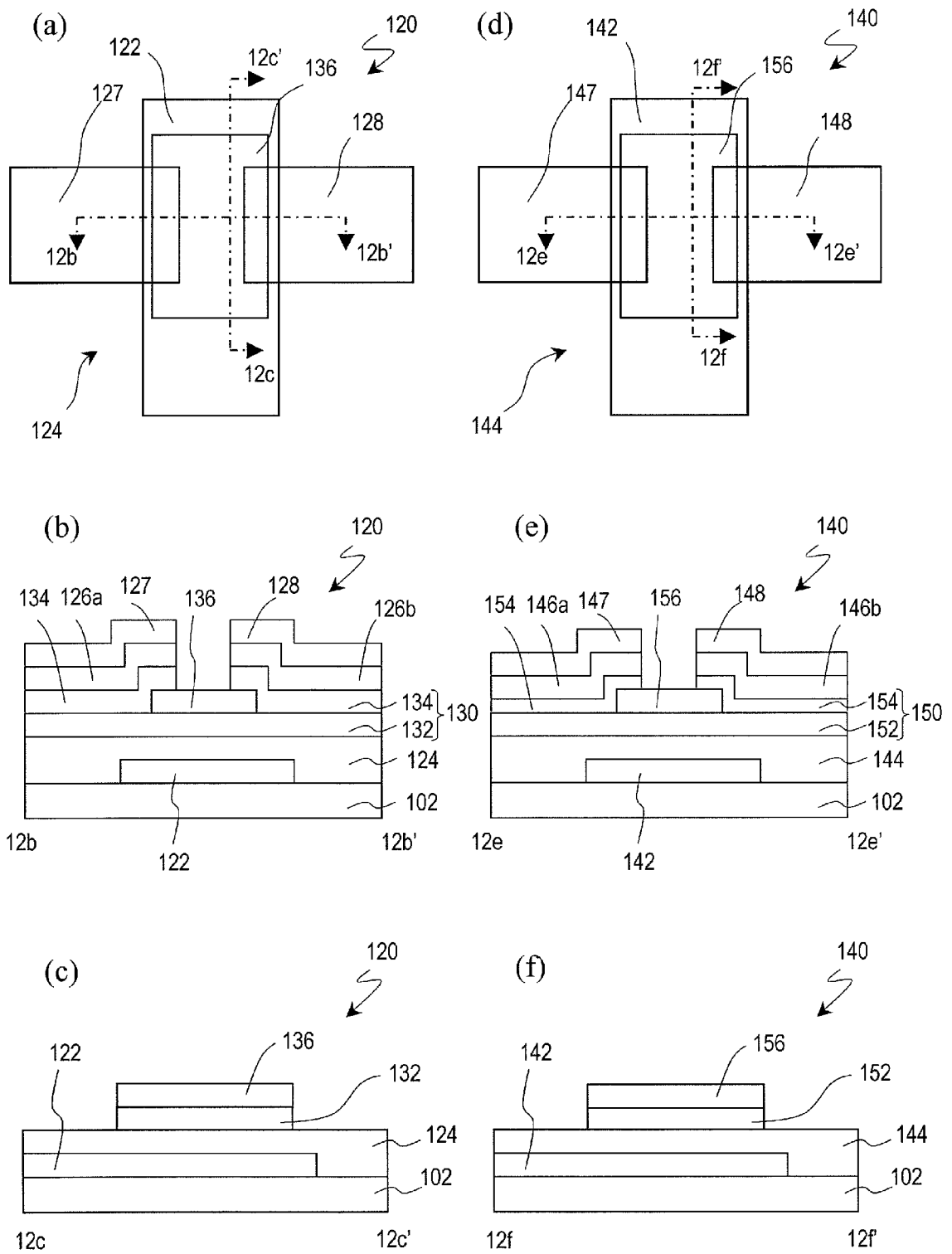
[図10]



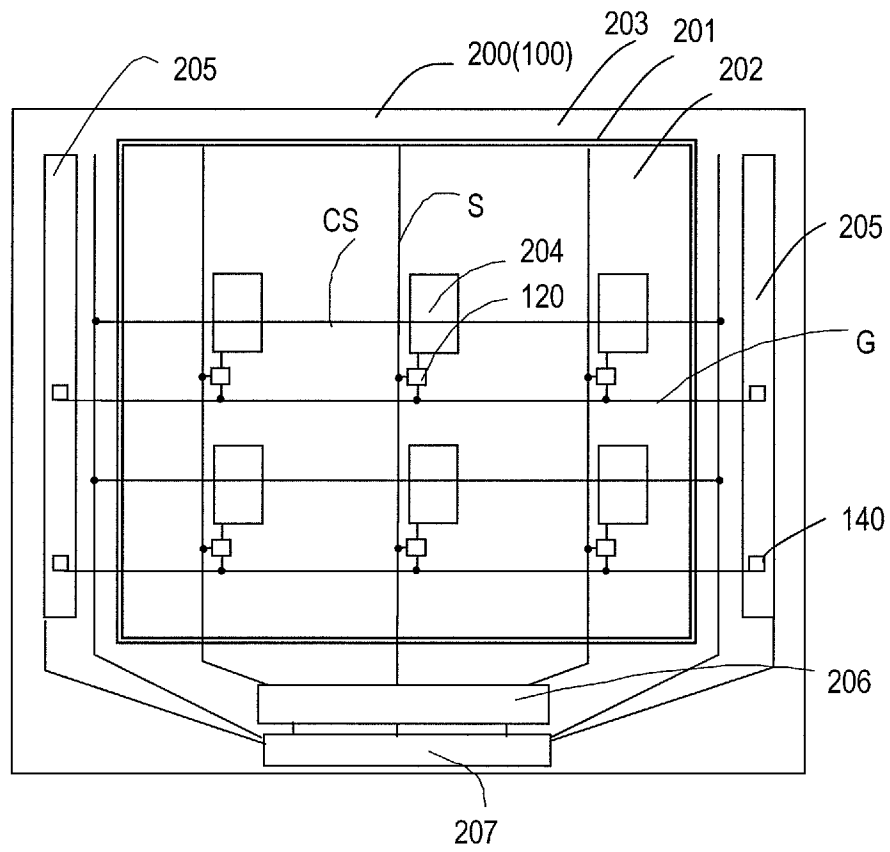
[図11]



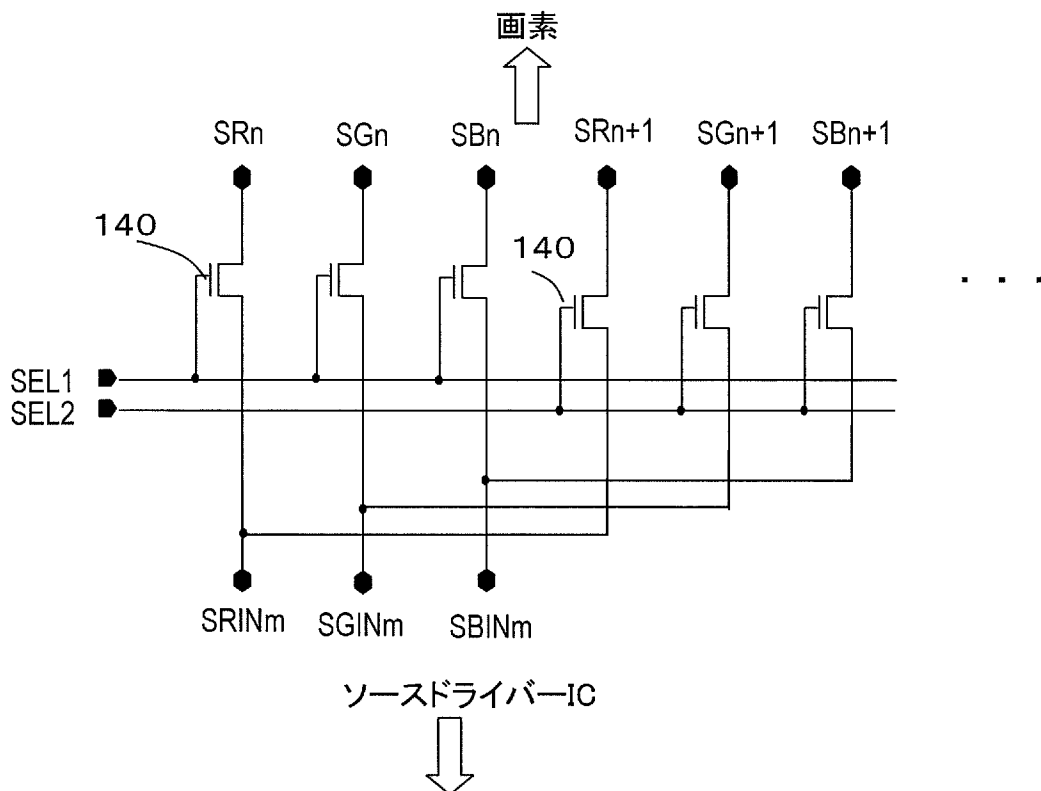
[図12]



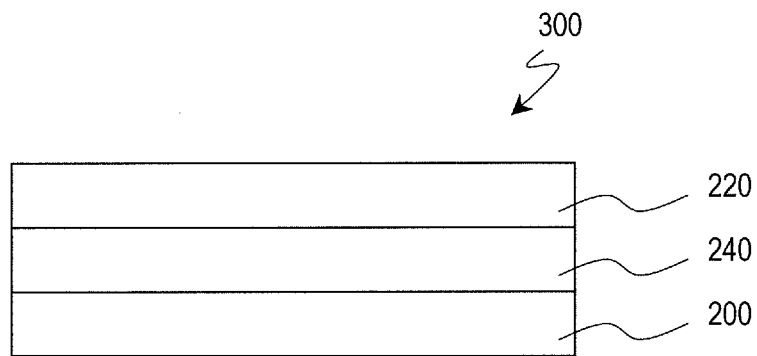
[図13]



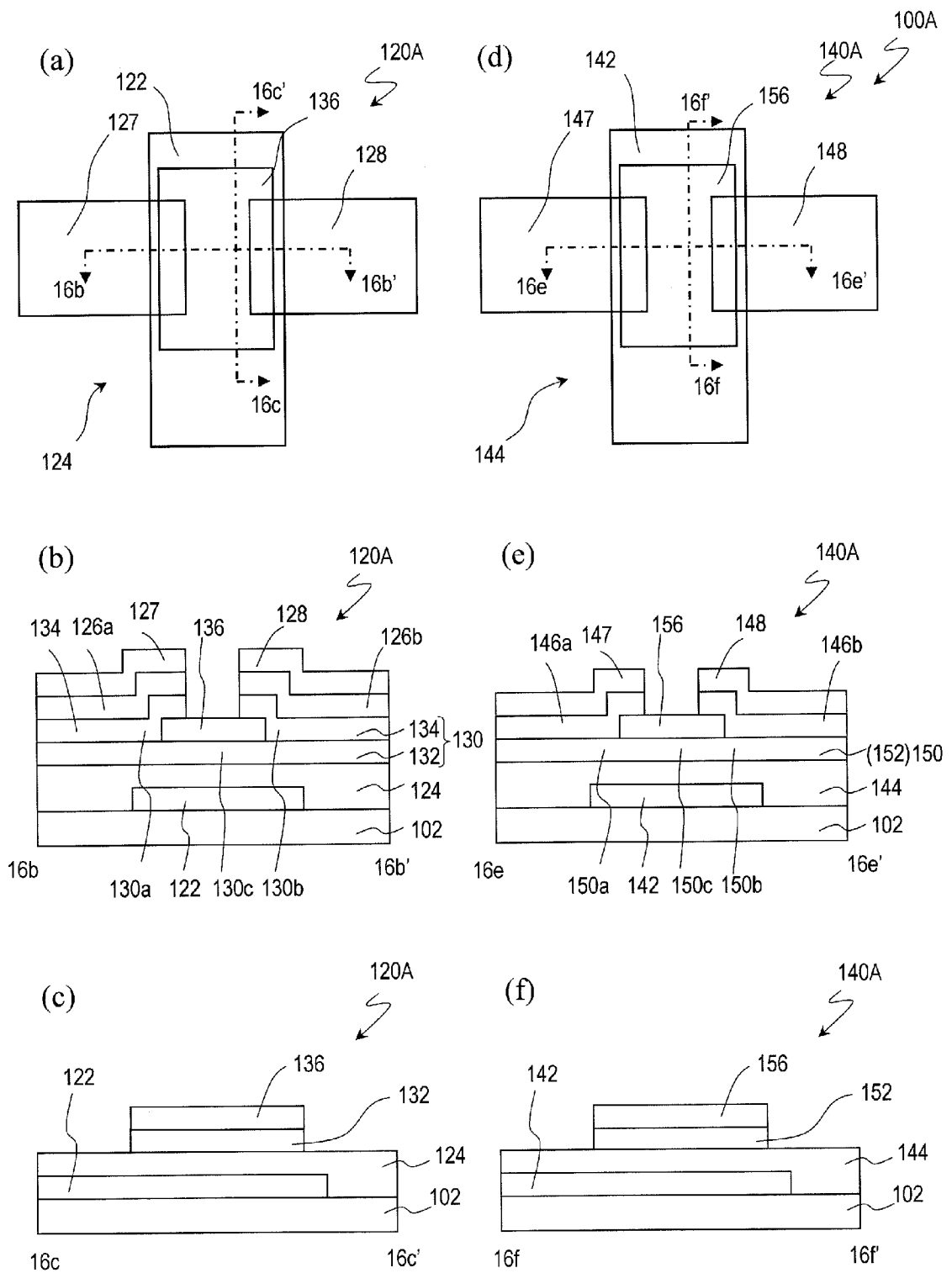
[図14]



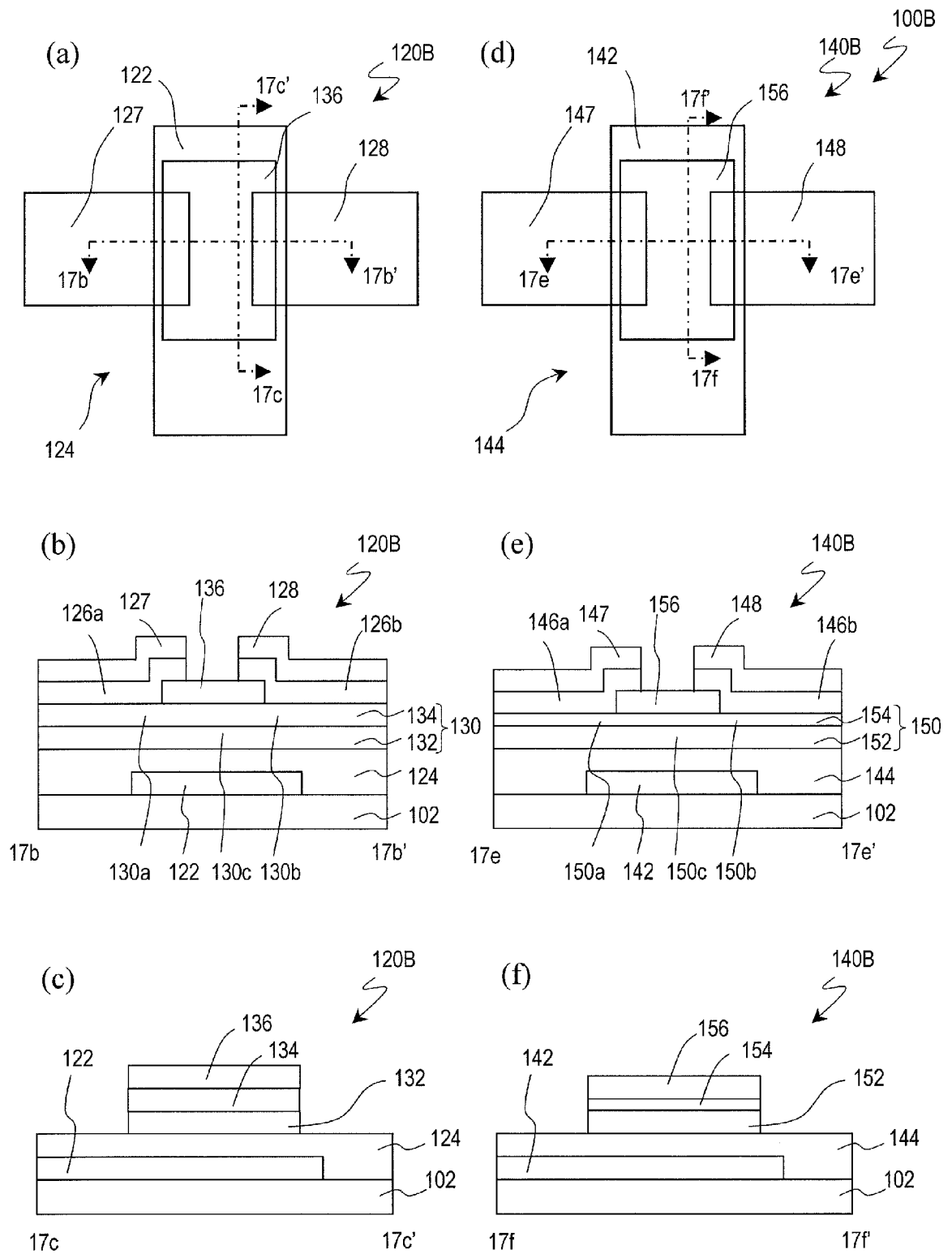
[図15]



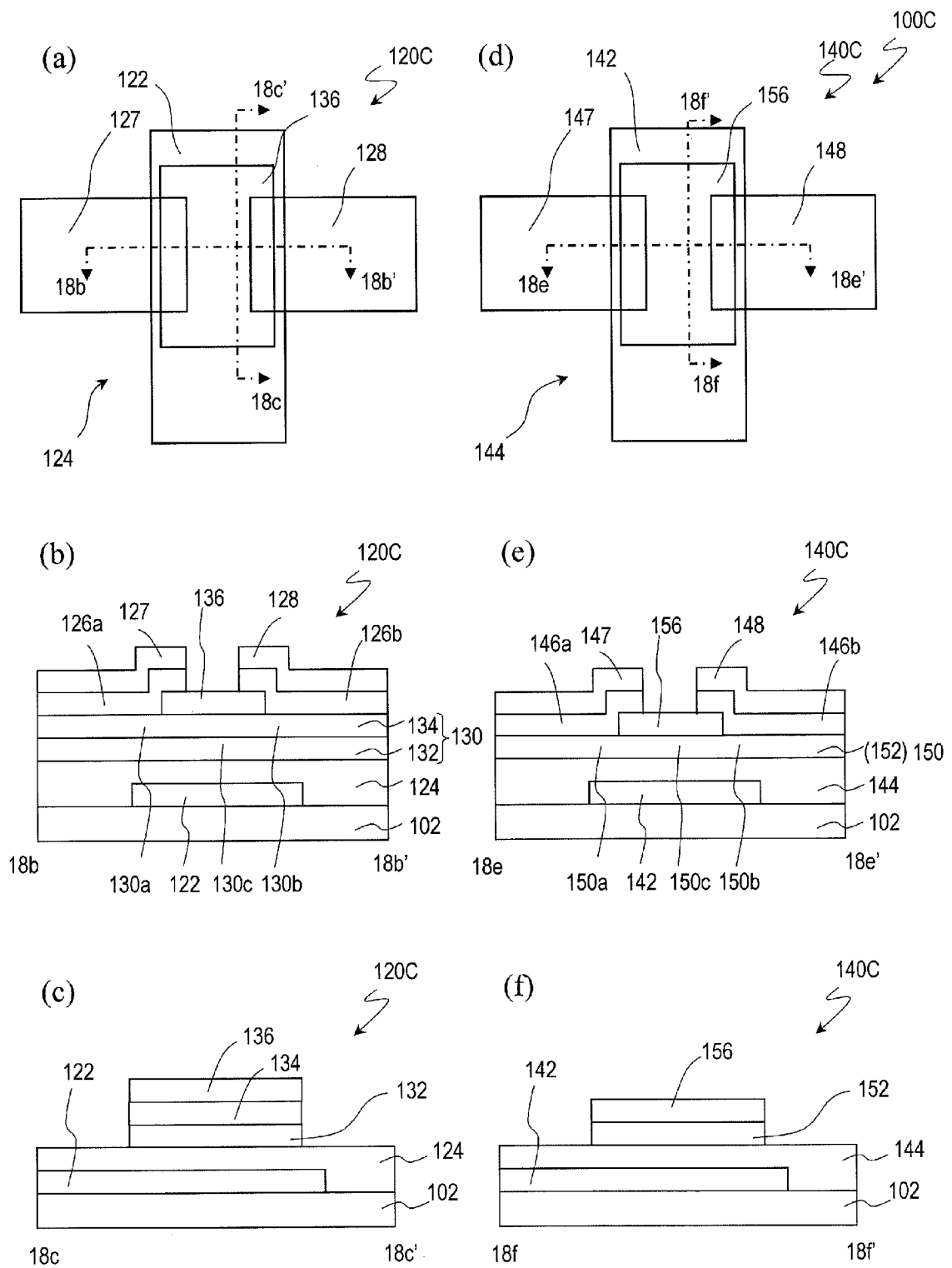
[図16]



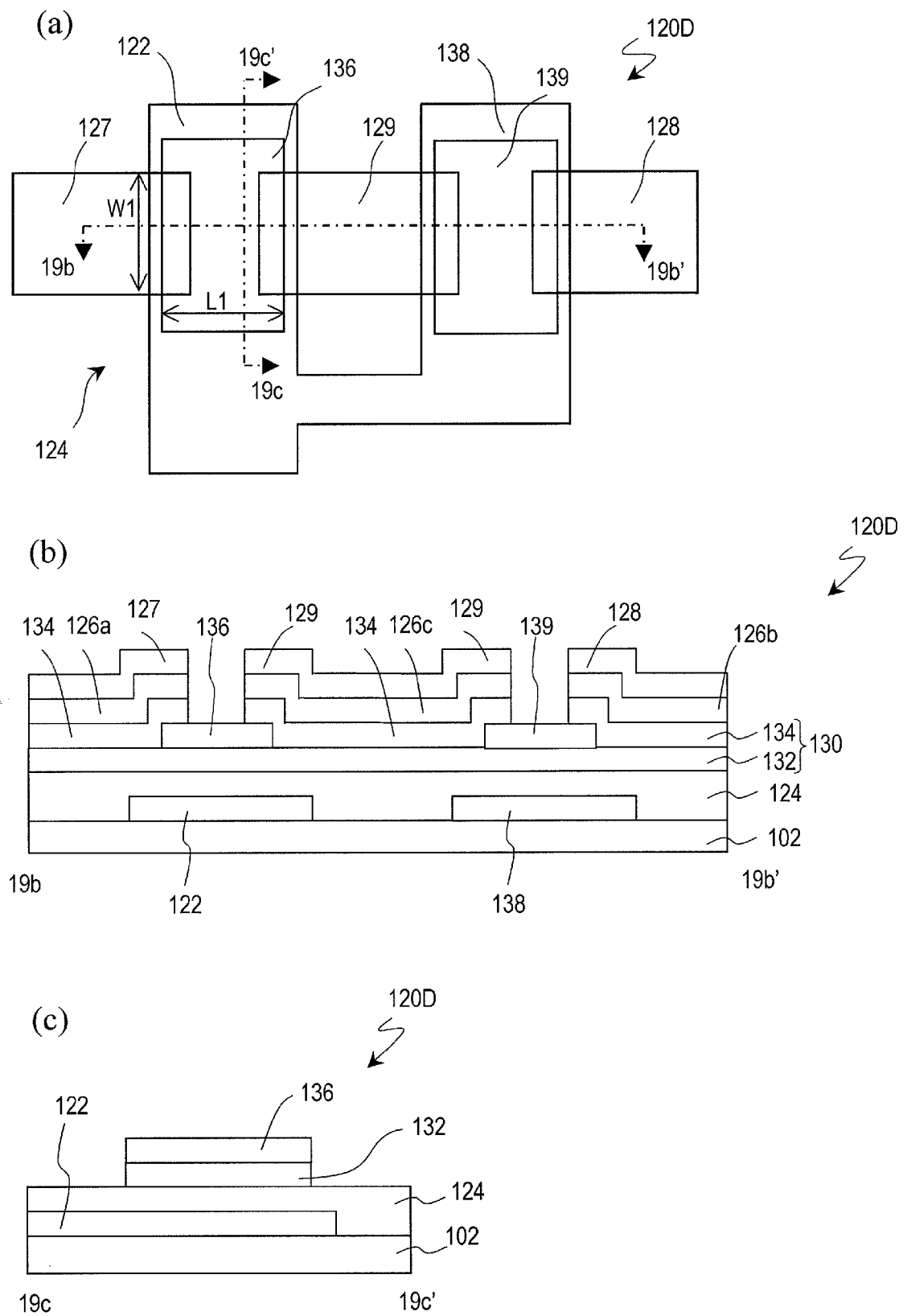
[図17]



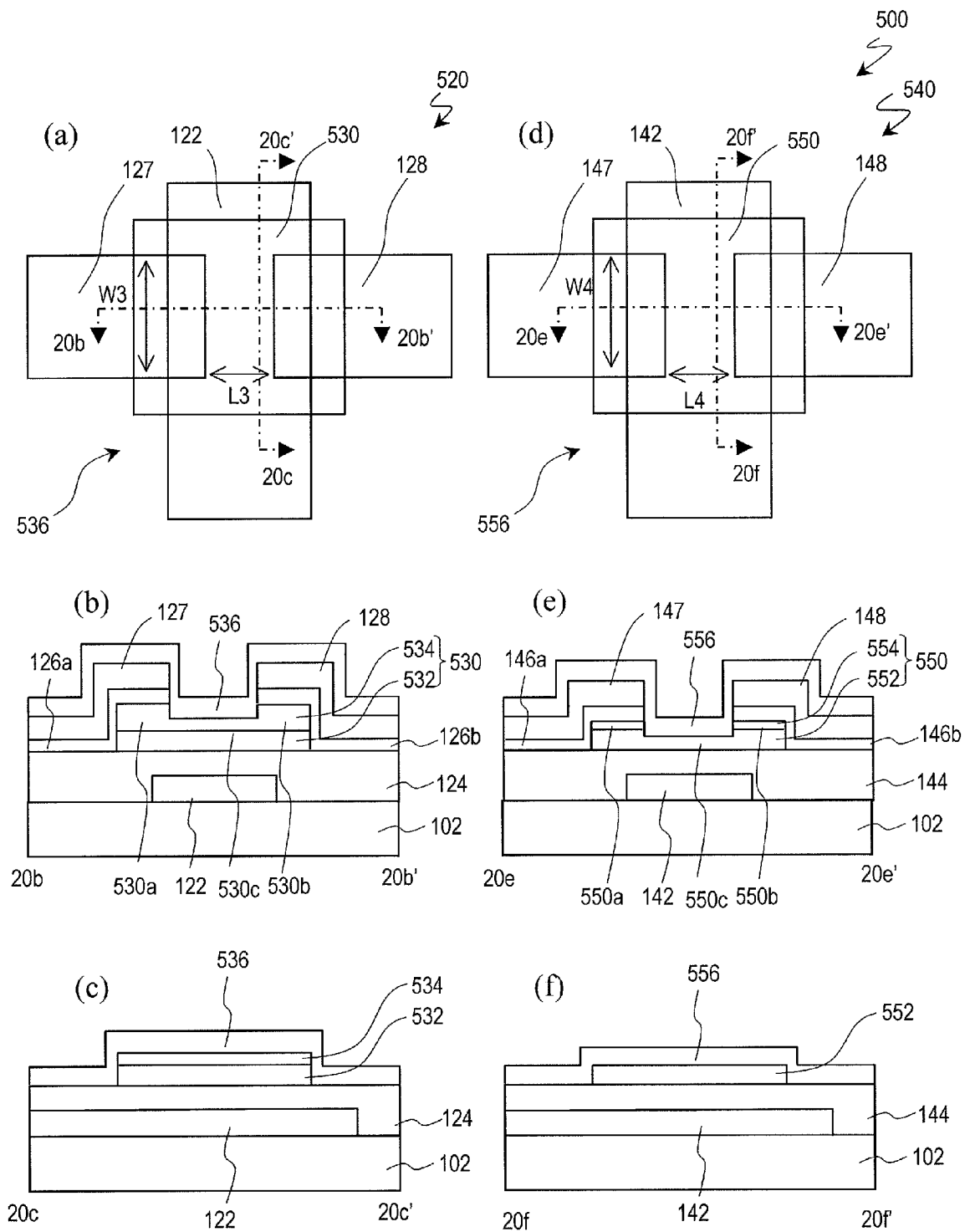
[図18]



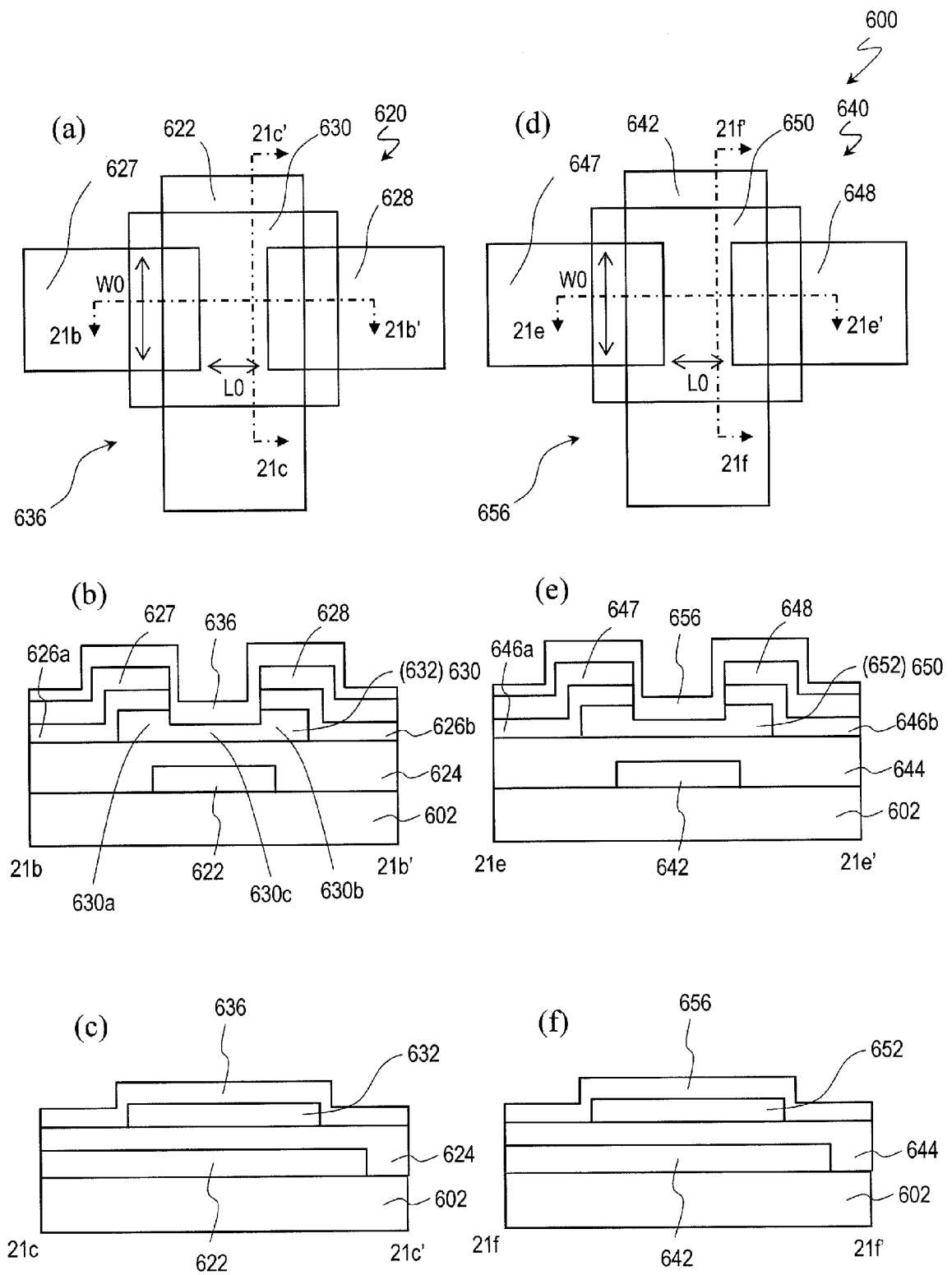
[図19]



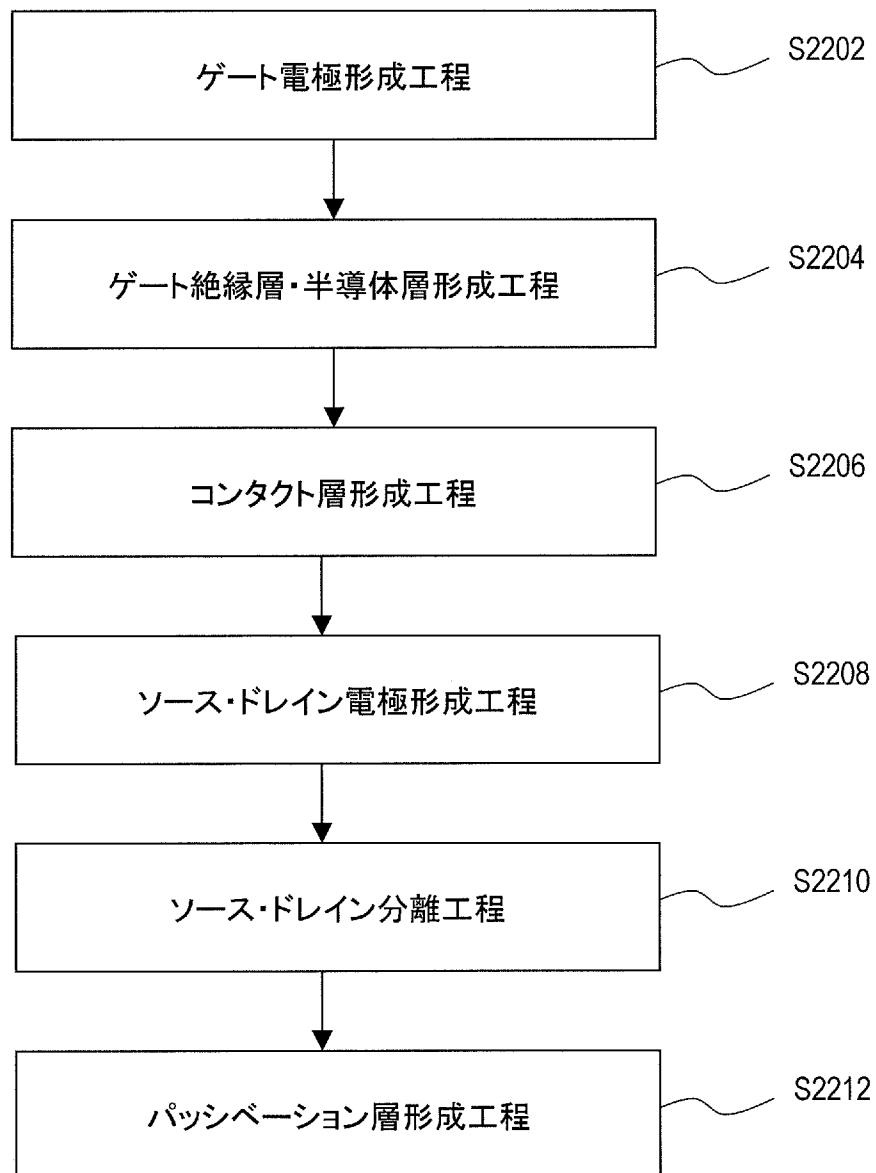
[図20]



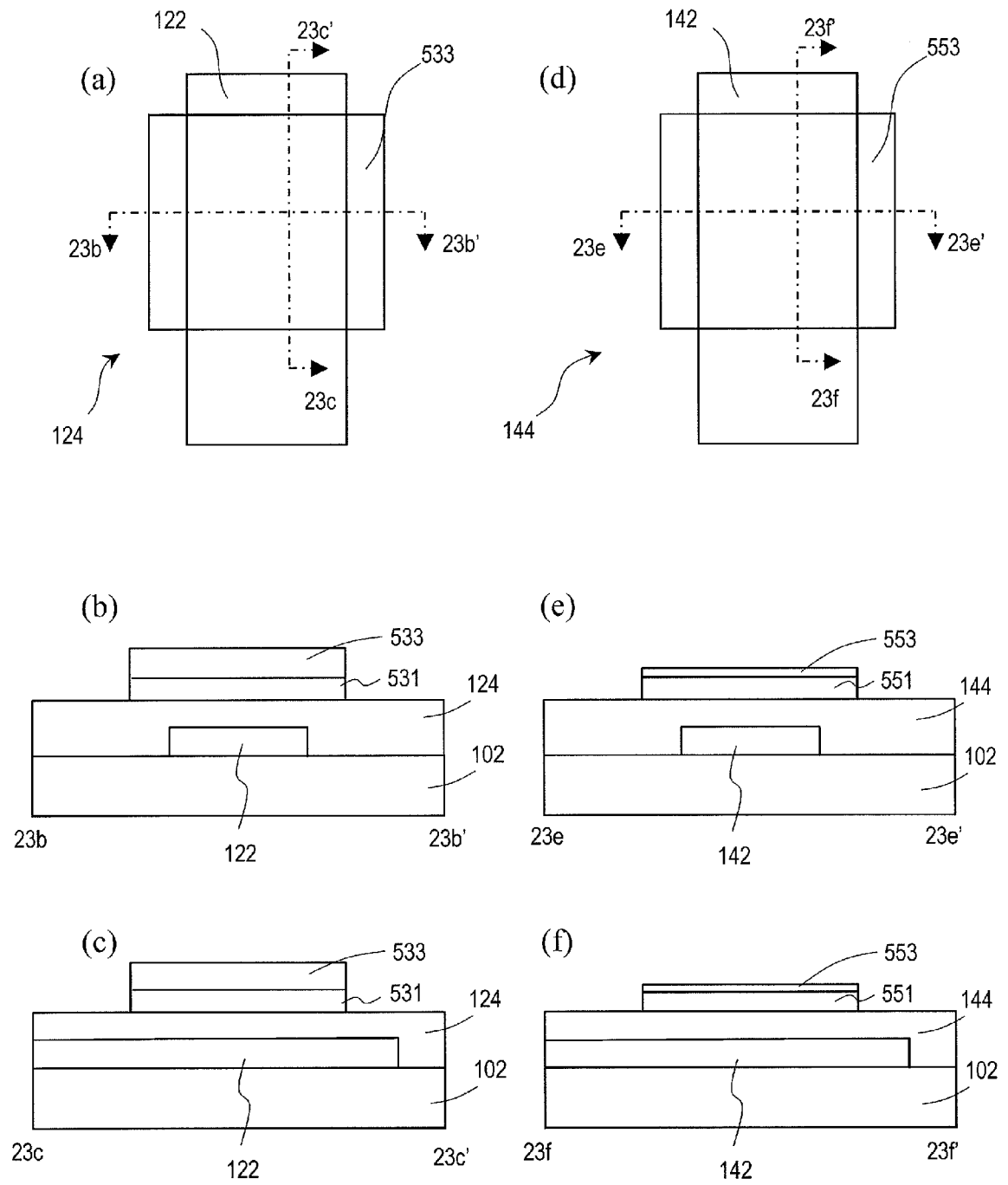
[図21]



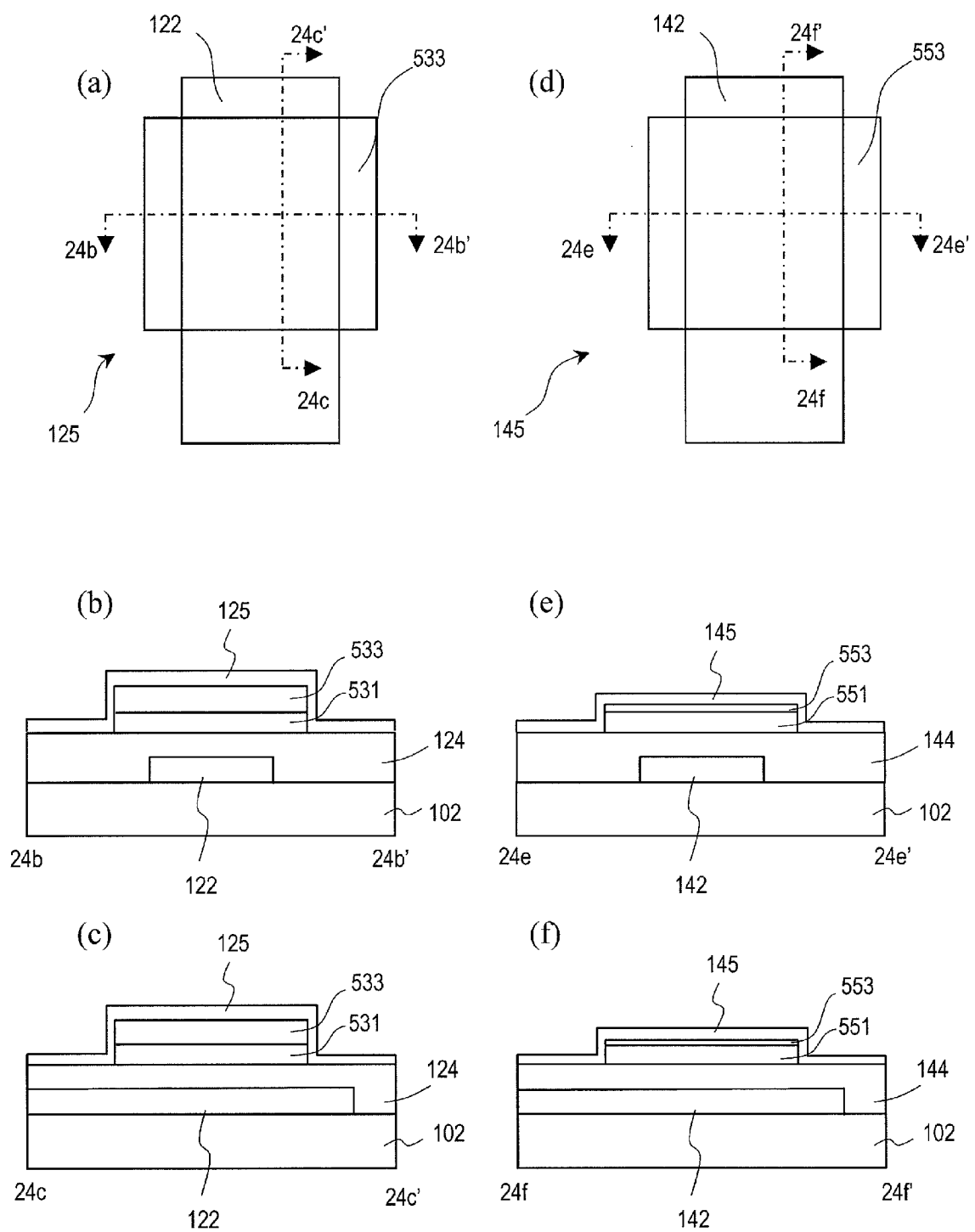
[図22]



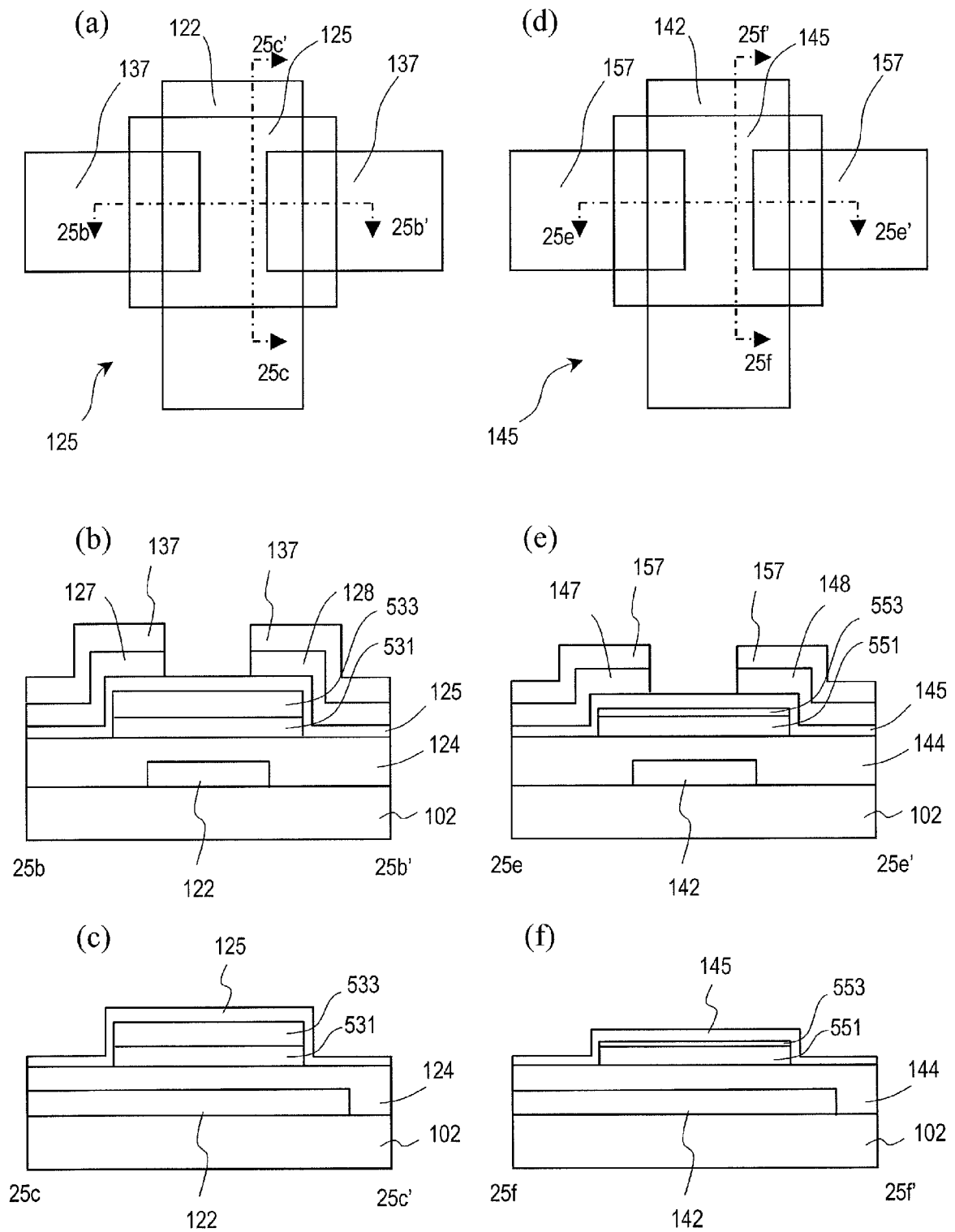
[図23]



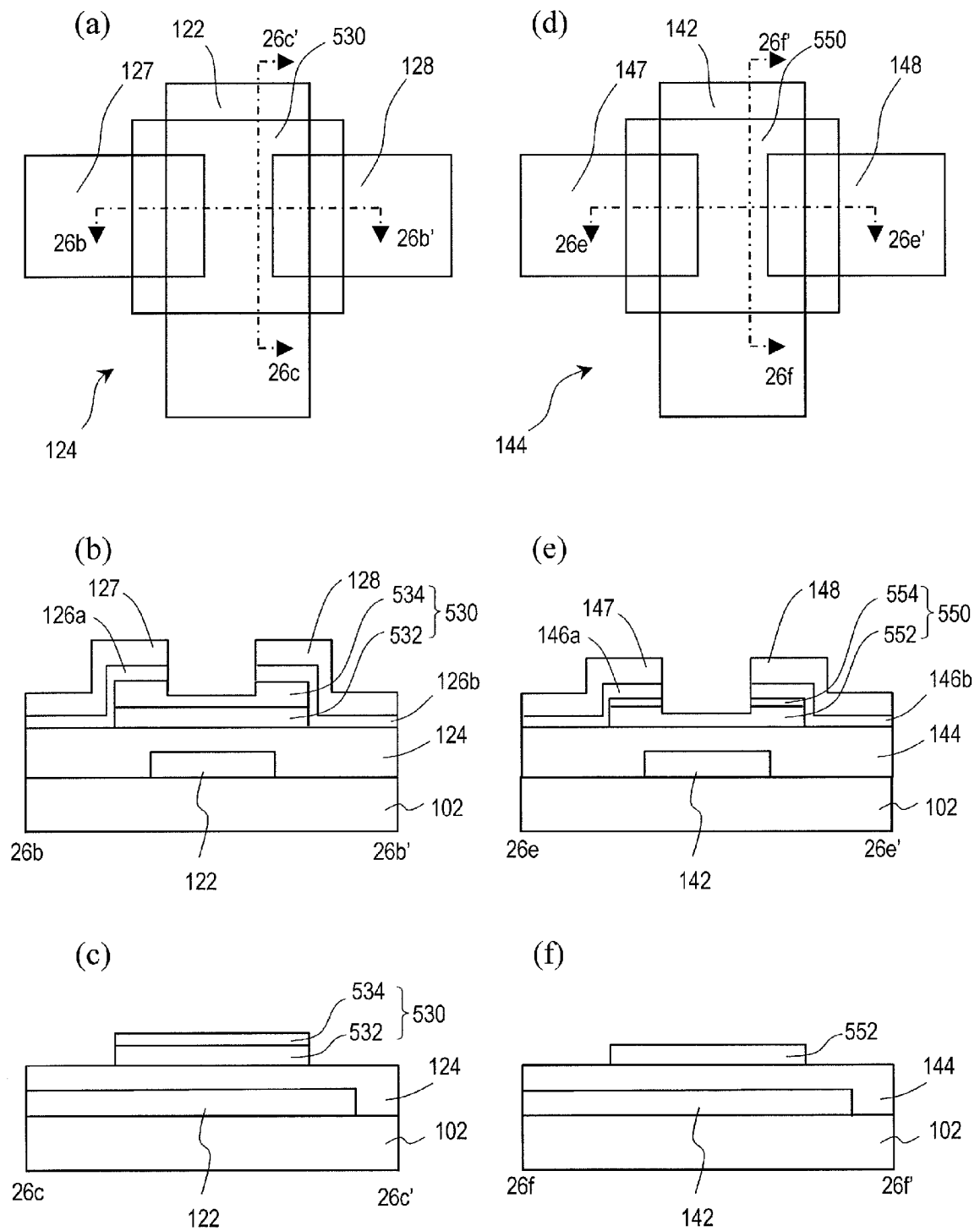
[図24]



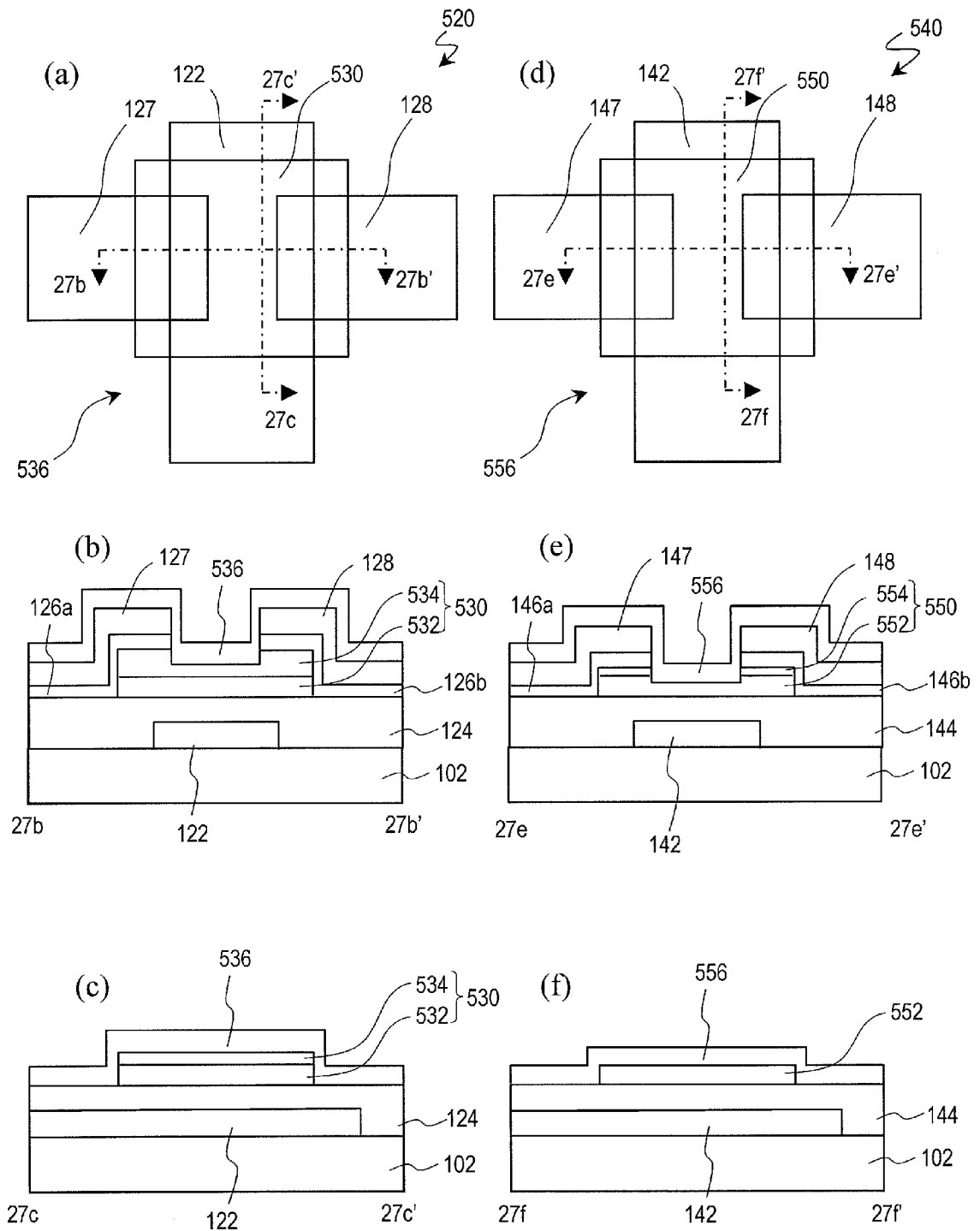
[図25]



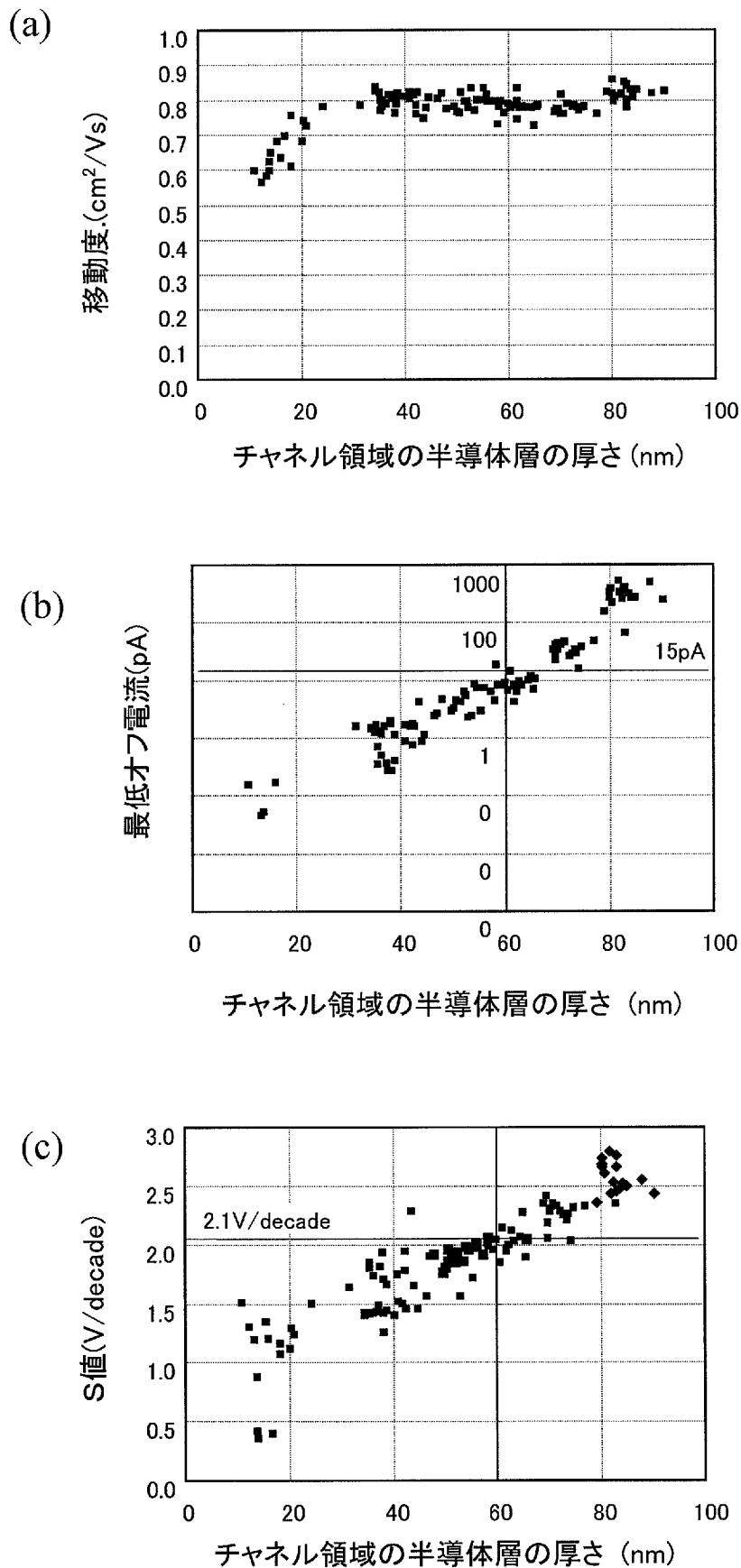
[図26]



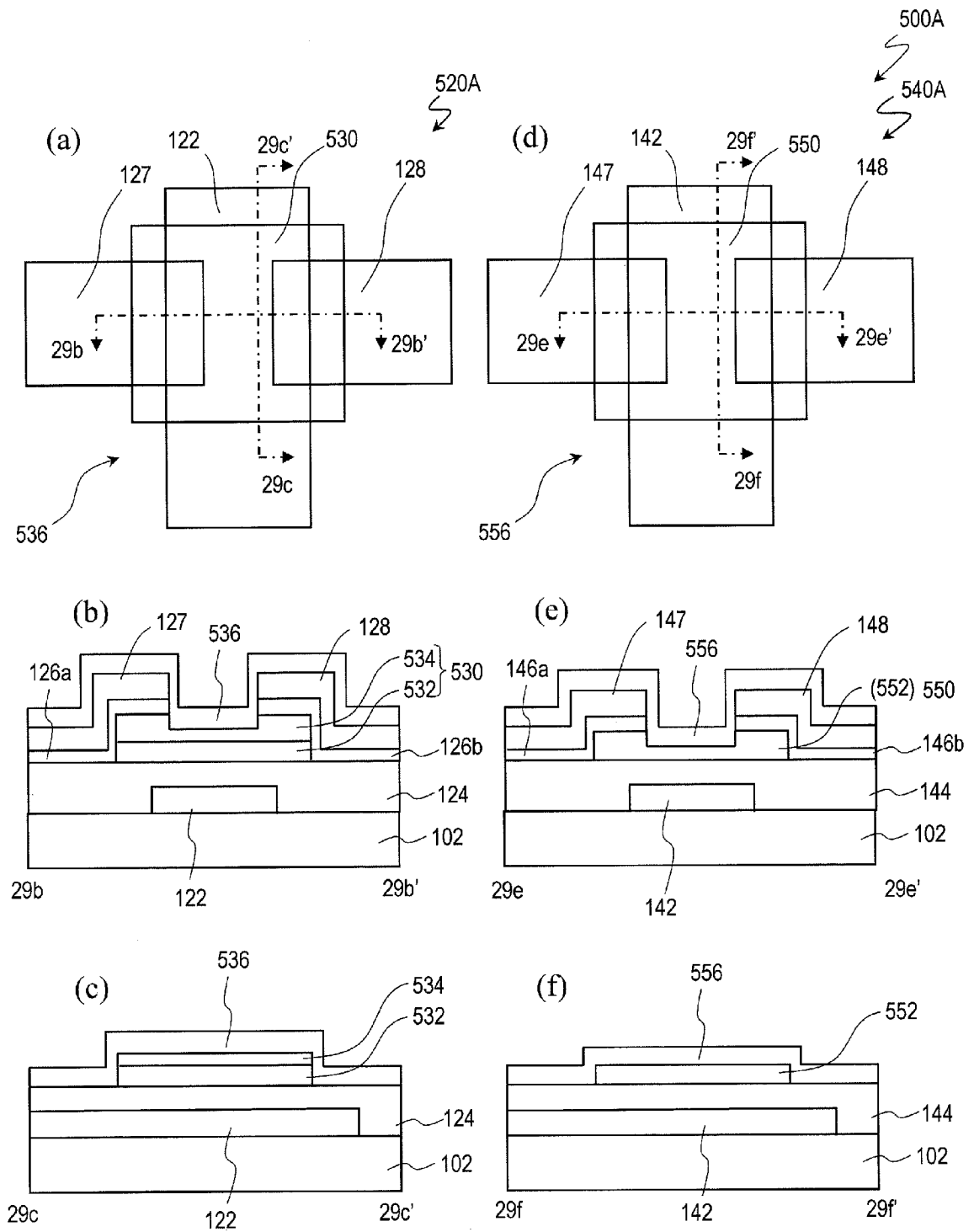
[図27]



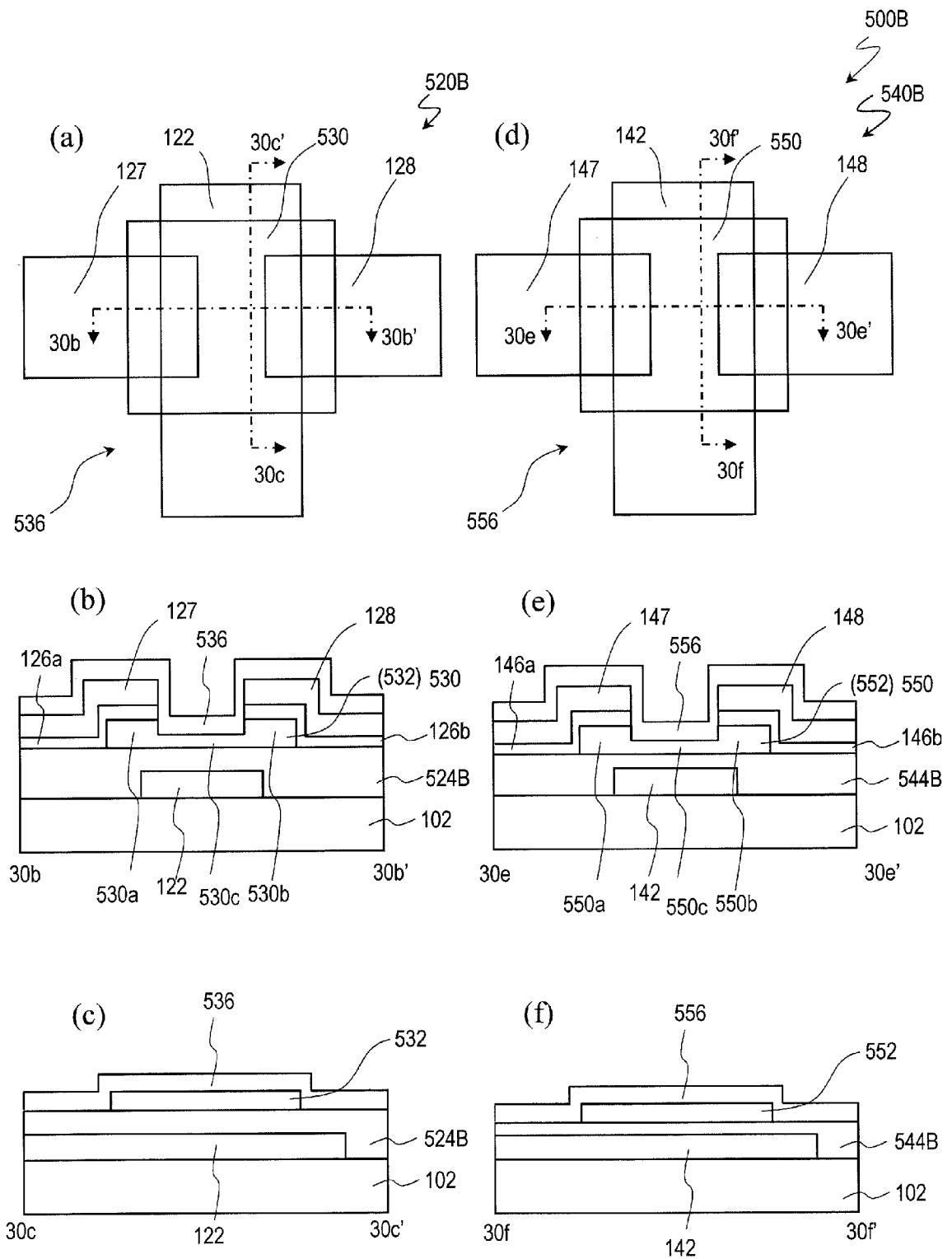
[図28]



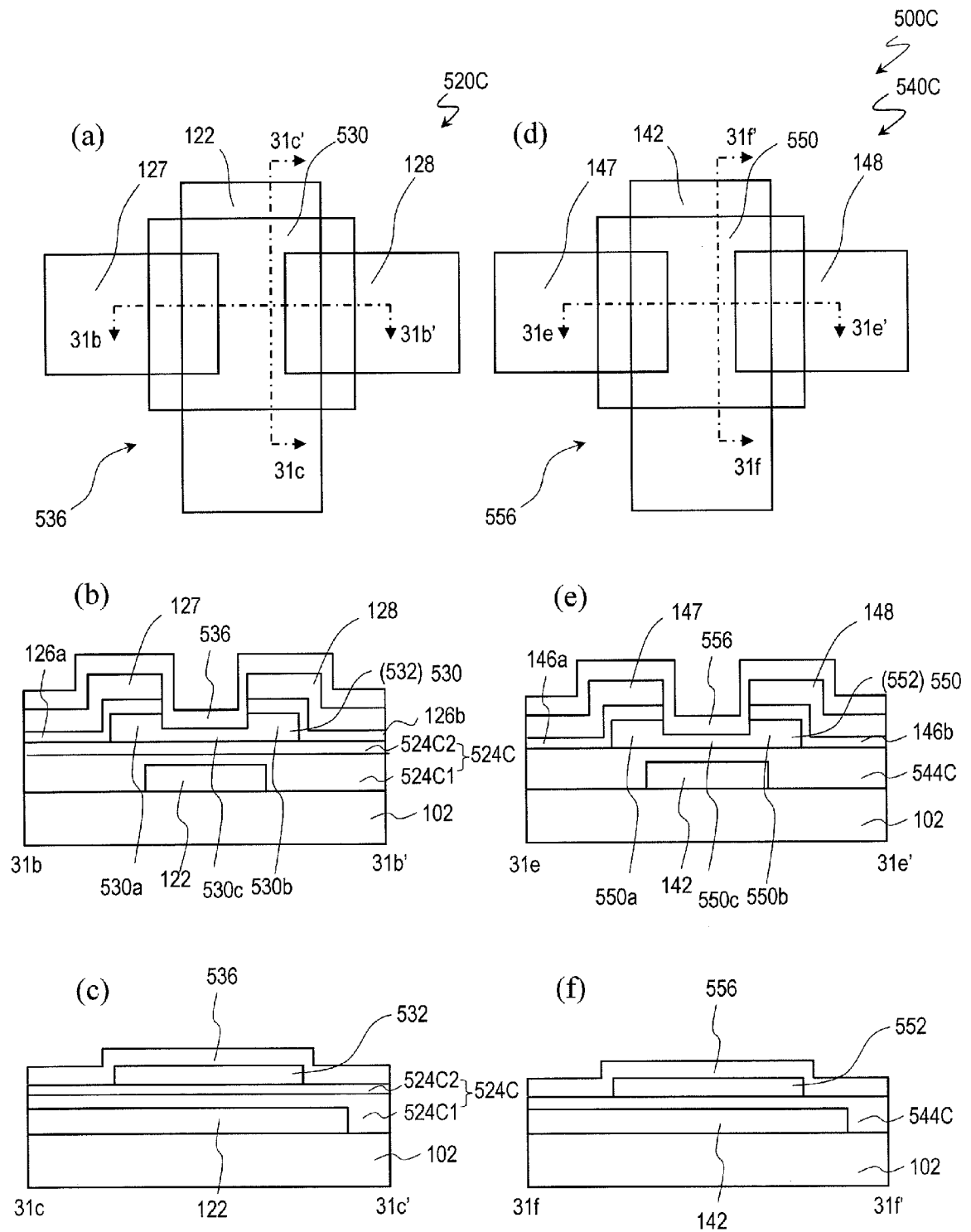
[図29]



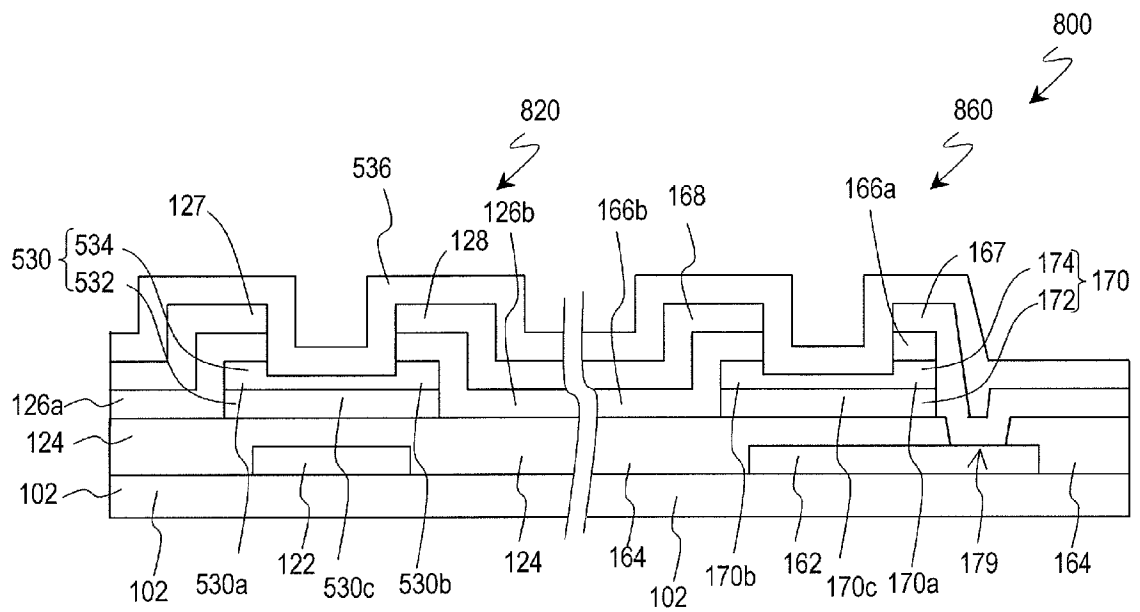
[図30]



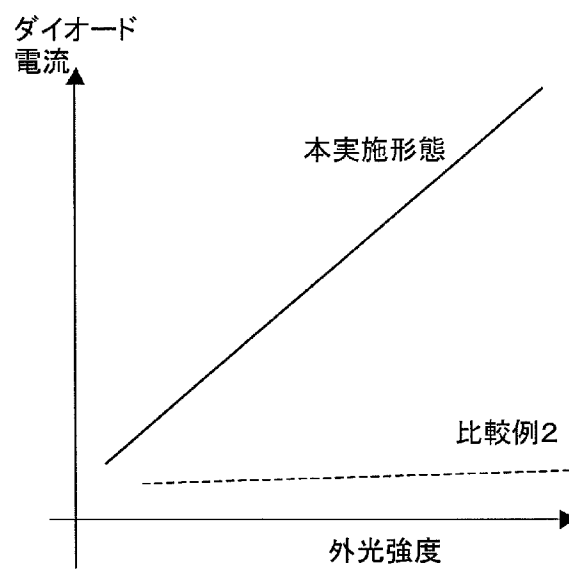
[図31]

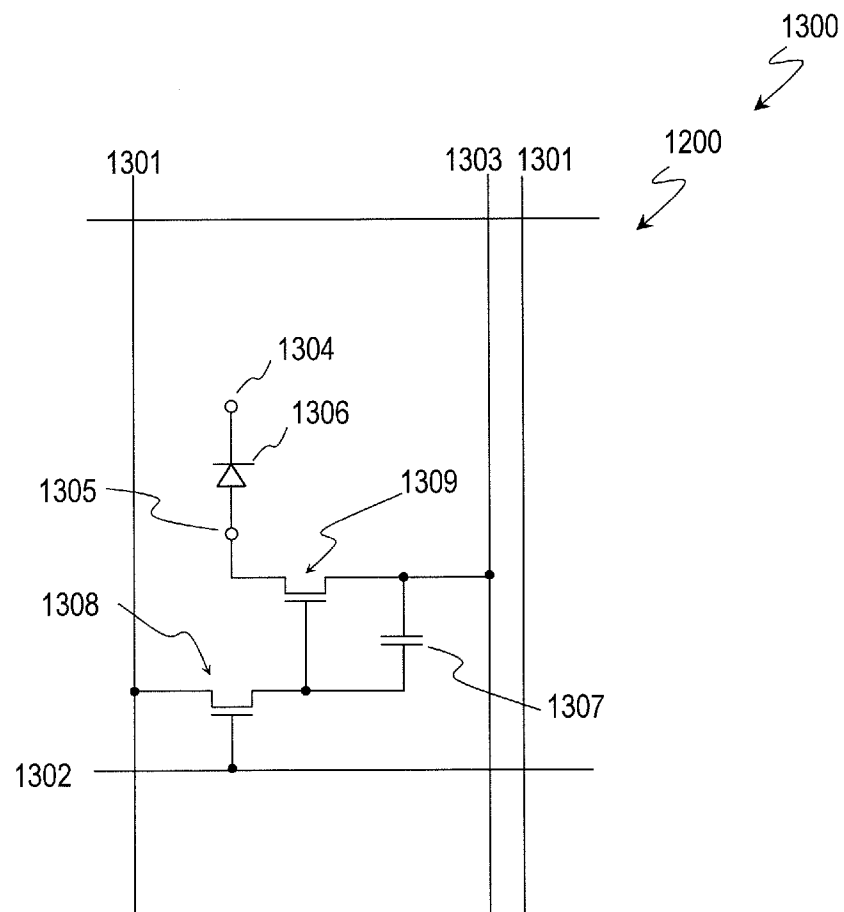


[図32]

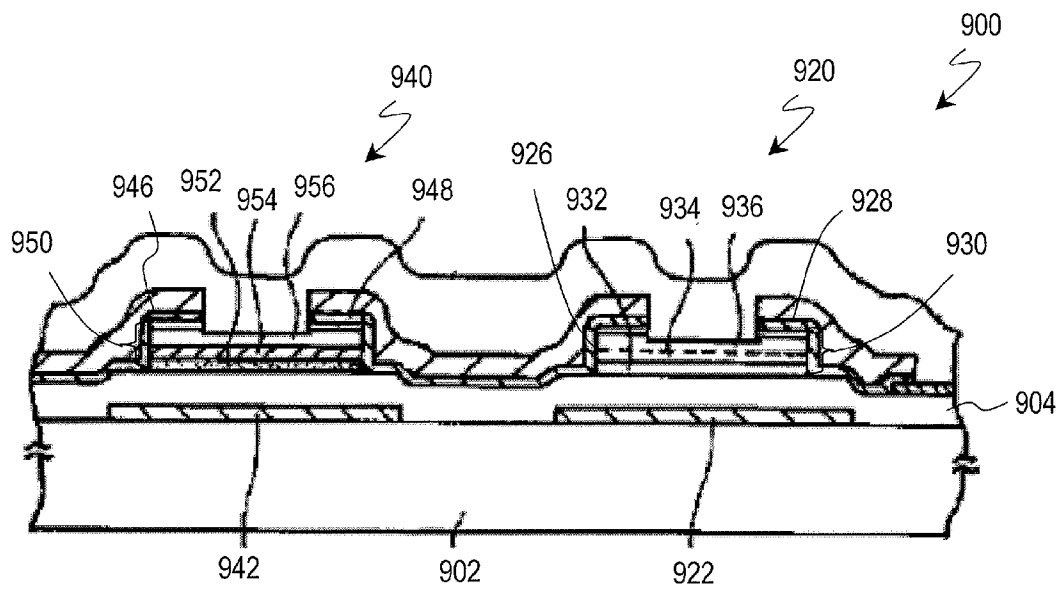


[図33]





[図37]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000593

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1333(2006.01)i, G02F1/1345(2006.01)i,
G02F1/136(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1333, G02F1/1345, G02F1/136, G02F1/1368, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 08-116067 A (Sanyo Electric Co., Ltd.), 07 May 1996 (07.05.1996), paragraphs [0017] to [0099] (Family: none)	1 2-15
Y	JP 2009-27200 A (Semiconductor Energy Laboratory Co., Ltd.), 05 February 2009 (05.02.2009), paragraphs [0035] to [0037] & JP 05-343430 A & JP 06-013610 A & JP 2001-028447 A & JP 2004-320053 A & US 5468987 A1 & US 5879969 A1 & US 5917225 A1 & US 6624450 B1	2-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01 March, 2010 (01.03.10)

Date of mailing of the international search report
16 March, 2010 (16.03.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000593

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-222387 A (Sharp Corp.), 12 August 1994 (12.08.1994), paragraphs [0001] to [0055] (Family: none)	4, 6-8, 10-15
Y	JP 06-059278 A (Hitachi, Ltd.), 04 March 1994 (04.03.1994), paragraphs [0002] to [0021] (Family: none)	8, 10-15
Y	JP 06-202151 A (Casio Computer Co., Ltd.), 22 July 1994 (22.07.1994), paragraphs [0011] to [0040] & US 5504348 A1	10-15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000593

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 cannot be considered to have a special technical feature, since the invention does not make contribution over the prior art in the light of the contents disclosed in JP 08-116067 A (Sanyo Electric Co., Ltd.), 7 May 1996 (07.05.1996), paragraphs 0017 - 0099.

Therefore, since there is no technical relationship involving one or more same or corresponding special technical feature between the invention in claim 1 and the inventions in claims 2 - 15, those inventions cannot be recognized to be so linked as to form a single general inventive concept.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G02F1/1333(2006.01)i, G02F1/1345(2006.01)i, G02F1/136(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G02F1/1333, G02F1/1345, G02F1/136, G02F1/1368, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 08-116067 A (三洋電機株式会社) 1996.05.07, 0 0 1 7 段落 ないし 0 0 9 9 段落 (ファミリーなし)	1 2-15
Y	JP 2009-27200 A (株式会社半導体エネルギー研究所) 2009.02.05, 0 0 3 5 段落ないし 0 0 3 7 段落 & JP 05-343430 A & JP 06-013610 A & JP 2001-028447 A & JP 2004-320053 A & US 5468987 A1 & US 5879969 A1 & US 5917225 A1 & US 6624450 B1	2-15

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 3 . 2 0 1 0

国際調査報告の発送日

1 6 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

4 M

9 3 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 06-222387 A (シャープ株式会社) 1994.08.12, 0 0 0 1 段落 ないし 0 0 5 5 段落 (ファミリーなし)	4, 6-8, 10-15
Y	JP 06-059278 A (株式会社日立製作所) 1994.03.04, 0 0 0 2 段落 ないし 0 0 2 1 段落 (ファミリーなし)	8, 10-15
Y	JP 06-202151 A (カシオ計算機株式会社) 1994.07.22, 0 0 1 1 段落ないし 0 0 4 0 段落 & US 5504348 A1	10-15

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、JP 08-116067 A (三洋電機株式会社) 1996.05.07, 0017段落ないし0099段落の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴を有するものとはいえない。

したがって、請求項1に係る発明と、請求項2ないし15に係る発明とは、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。