

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4756221号
(P4756221)

(45) 発行日 平成23年8月24日 (2011. 8. 24)

(24) 登録日 平成23年6月10日 (2011. 6. 10)

(51) Int. Cl.	F I
HO 1 L 27/11 (2006. 01)	HO 1 L 27/10 3 8 1
HO 1 L 21/8244 (2006. 01)	HO 1 L 29/78 3 O 1 X
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 3 B

請求項の数 16 (全 30 頁)

(21) 出願番号	特願2010-147238 (P2010-147238)	(73) 特許権者	506240584
(22) 出願日	平成22年6月29日 (2010. 6. 29)		日本ユニサンティスエレクトロニクス株式
(62) 分割の表示	特願2009-123882 (P2009-123882)		会社
	の分割		東京都中央区新川 1-22-11 フジラ
原出願日	平成21年5月22日 (2009. 5. 22)		イト新川ビル2F
(65) 公開番号	特開2010-272874 (P2010-272874A)	(74) 代理人	100082005
(43) 公開日	平成22年12月2日 (2010. 12. 2)		弁理士 熊倉 禎男
審査請求日	平成22年9月9日 (2010. 9. 9)	(74) 代理人	100067013
			弁理士 大塚 文昭
早期審査対象出願		(74) 代理人	100086771
			弁理士 西島 孝喜
		(74) 代理人	100109070
			弁理士 須田 洋之
		(74) 代理人	100109335
			弁理士 上杉 浩

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

6 個の MOS トランジスタが基板上に配列されたスタティック型メモリセルを備えた半導体記憶装置であって、

前記 6 個の MOS トランジスタの各々は、
メモリにアクセスするための第 1 及び第 2 の NMOS のアクセストランジスタと、メモリセルのデータを保持するために記憶ノードを駆動する第 1 及び第 2 の NMOS のドライバトランジスタと、メモリセルのデータを保持するために電荷を供給する第 1 及び第 2 の PMOS のロードトランジスタとして機能し、

メモリにアクセスするための第 1 及び第 2 の NMOS のアクセストランジスタにおいて、
N 型の導電型を持つ第 1 の拡散層、第 1 の柱状半導体層及び N 型の導電型を持つ第 2 の拡散層が、基板上に形成された絶縁膜上に垂直方向に階層的に配置され、前記第 1 の柱状半導体層は前記第 1 の柱状半導体層の底部に形成される前記第 1 の拡散層と前記第 1 の柱状半導体層の上部に形成される前記第 2 の拡散層の間に配置され、前記第 1 の柱状半導体層の側壁にゲートが形成されており、

メモリセルのデータを保持するために記憶ノードを駆動する第 1 及び第 2 の NMOS のドライバトランジスタにおいて、

N 型の導電型を持つ第 3 の拡散層、第 2 の柱状半導体層及び N 型の導電型を持つ第 4 の拡散層が、基板上に形成された絶縁膜上に垂直方向に階層的に配置され、前記第 2 の柱状半導体層は前記第 2 の柱状半導体層の底部に形成される前記第 3 の拡散層と前記第 2 の柱状半

10

20

導体層の上部に形成される前記第4の拡散層の間に配置され、前記第2の柱状半導体層の側壁にゲートが形成されており、

メモリセルのデータを保持するために電荷を供給する第1及び第2のPMOSのロードトランジスタにおいて、

P型の導電型を持つ第5の拡散層、第3の柱状半導体層及びP型の導電型を持つ第6拡散層が、基板上に形成された絶縁膜上に垂直方向に階層的に配置され、前記第3の柱状半導体層は前記第3の柱状半導体層の底部に形成される前記第5の拡散層と前記第3の柱状半導体層の上部に形成される前記第6の拡散層の間に配置され、前記第3の柱状半導体層の側壁にゲートが形成されており、

前記第1のNMOSのアクセストランジスタ、前記第1のNMOSのドライバトランジスタ及び前記第1のPMOSのロードトランジスタは、互いに隣接して配列され、

前記第2のNMOSのアクセストランジスタ、前記第2のNMOSのドライバトランジスタ及び前記第2のPMOSのロードトランジスタは、互いに隣接して配列され、

基板に電位を与えるための複数のメモリセルに共通の第1のウェルが形成され、

前記第1のNMOSのアクセストランジスタの底部に形成されるN型の導電型を持つ前記第1の拡散層、前記第1のNMOSのドライバトランジスタの底部に形成されるN型の導電型を持つ前記第3の拡散層及び前記第1のPMOSのロードトランジスタの底部に形成されるP型の導電型を持つ前記第5の拡散層は、前記第1の拡散層、第3の拡散層及び第5の拡散層の表面に形成された第1のシリサイド層を介して相互に接続され、
前記相互に接続された前記第1の拡散層、第3の拡散層及び第5の拡散層はメモリセルに記憶されるデータを保持するための第1の記憶ノードとして機能し、

前記第5の拡散層と前記第1のウェル間のリークを防止するために、前記第5の拡散層と第1のウェルの間に前記第1のウェルと反対の導電型を持つ第1のリーク防止拡散層の底部が素子分離より浅くなるように形成され、

前記第1のリーク防止拡散層は、前記第1の拡散層及び第3の拡散層と直接接続され、

前記第2のNMOSのアクセストランジスタの底部に形成されるN型の導電型を持つ前記第1の拡散層、前記第2のNMOSのドライバトランジスタの底部に形成されるN型の導電型を持つ前記第3の拡散層及び前記第2のPMOSのロードトランジスタの底部に形成されるP型の導電型を持つ前記第5の拡散層は、前記第1の拡散層、第3の拡散層及び第5の拡散層の表面に形成された第2のシリサイド層を介して相互に接続され、

前記相互に接続された前記第1の拡散層、第3の拡散層及び第5の拡散層はメモリセルに記憶されるデータを保持するための第2の記憶ノードとして機能し、
前記第5の拡散層と前記第1のウェル間のリークを防止するために、前記第5の拡散層と前記第1のウェルの間には、前記第1のウェルと反対の導電型を持つ第2のリーク防止拡散層の底部が素子分離より浅くなるように形成され、

前記第2のリーク防止拡散層は、前記第1の拡散層及び第3の拡散層と直接接続されていることを特徴とする半導体記憶装置。

【請求項2】

6個のMOSTランジスタが基板上に配列されたスタティック型メモリセルを備えた半導体記憶装置であって、

前記6個のMOSTランジスタの各々は、

メモリにアクセスするための第1及び第2のNMOSのアクセストランジスタと、メモリセルのデータを保持するために記憶ノードを駆動する第1及び第2のNMOSのドライバトランジスタと、メモリセルのデータを保持するために電荷を供給する第1及び第2のPMOSのロードトランジスタとして機能し、

メモリにアクセスするための第1及び第2のNMOSのアクセストランジスタにおいて、
N型の導電型を持つ第1の拡散層、第1の柱状半導体層及びN型の導電型を持つ第2の拡散層が、基板上に形成された絶縁膜上に垂直方向に階層的に配置され、前記第1の柱状半導体層は前記第1の柱状半導体層の底部に形成される前記第1の拡散層と前記第1の柱状半導体層の上部に形成される前記第2の拡散層の間に配置され、前記第1の柱状半導体層の

側壁にゲートが形成されており、

メモリセルのデータを保持するために記憶ノードを駆動する第1及び第2のNMOSのドライバトランジスタにおいて、

N型の導電型を持つ第3の拡散層、第2の柱状半導体層及びN型の導電型を持つ第4の拡散層が、基板上に形成された絶縁膜上に垂直方向に階層的に配置され、前記第2の柱状半導体層は前記第2の柱状半導体層の底部に形成される前記第3の拡散層と前記第2の柱状半導体層の上部に形成される前記第4の拡散層の間に配置され、前記第2の柱状半導体層の側壁にゲートが形成されており、

メモリセルのデータを保持するために電荷を供給する第1及び第2のPMOSのロードトランジスタにおいて、

P型の導電型を持つ第5の拡散層、第3の柱状半導体層及びP型の導電型を持つ第6の拡散層が、基板上に形成された絶縁膜上に垂直方向に階層的に配置され、前記第3の柱状半導体層は前記第3の柱状半導体層の底部に形成される前記第5の拡散層と前記第3の柱状半導体層の上部に形成される前記第6の拡散層の間に配置され、前記第3の柱状半導体層の側壁にゲートが形成されており、

前記第1のNMOSのアクセストランジスタ、前記第1のNMOSのドライバトランジスタ及び前記第1のPMOSのロードトランジスタは、互いに隣接して配列され、

前記第2のNMOSのアクセストランジスタ、前記第2のNMOSのドライバトランジスタ及び前記第2のPMOSのロードトランジスタは、互いに隣接して配列され、

基板に電位を与えるための複数のメモリセルに共通の第1のウェルが形成され、

前記第1のNMOSのアクセストランジスタの底部に形成されるN型の導電型を持つ前記第1の拡散層、前記第1のNMOSのドライバトランジスタの底部に形成されるN型の導電型を持つ前記第3の拡散層及び前記第1のPMOSのロードトランジスタの底部に形成されるP型の導電型を持つ前記第5の拡散層は、前記第1の拡散層、第3の拡散層及び第5の拡散層の表面に形成された第1のシリサイド層を介して相互に接続され、前記相互に接続された前記第1の拡散層、第3の拡散層及び第5の拡散層はメモリセルに記憶されるデータを保持するための第1の記憶ノードとして機能し、

前記第1の拡散層及び前記第3の拡散層と前記第1のウェル間のリークを防止するために、前記第1の拡散層と第1のウェルの間、及び前記第3の拡散層と第1のウェルの間には前記第1のウェルと反対の導電型を持つ第1のリーク防止拡散層の底部が素子分離より浅くなるように形成され、

前記第1のリーク防止拡散層は、前記第5の拡散層と直接接続され、

前記第2のNMOSのアクセストランジスタの底部に形成されるN型の導電型を持つ前記第1の拡散層、前記第2のNMOSのドライバトランジスタの底部に形成されるN型の導電型を持つ前記第3の拡散層及び前記第2のPMOSのロードトランジスタの底部に形成されるP型の導電型を持つ前記第5の拡散層は、前記第1の拡散層、第3の拡散層及び第5の拡散層の表面に形成された第2のシリサイド層を介して相互に接続され、前記相互に接続された前記第1の拡散層、第3の拡散層及び第5の拡散層はメモリセルに記憶されるデータを保持するための第2の記憶ノードとして機能し、

前記第1の拡散層及び前記第3の拡散層と前記第1のウェル間のリークを防止するために、前記第1の拡散層と前記第1のウェルの間、及び前記第3の拡散層と前記第1のウェルの間には、前記第1のウェルと反対の導電型を持つ第2のリーク防止拡散層の底部が素子分離より浅くなるように形成され、

前記第2のリーク防止拡散層は、前記第5の拡散層と直接接続されていることを特徴とする半導体記憶装置。

【請求項3】

前記第1の記憶ノードとして機能する拡散層上に形成される前記第1のNMOSのドライバトランジスタおよび前記第1のPMOSのロードトランジスタのゲートより延在する第1のゲート配線が共通の第1のコンタクトにより接続され、第2の記憶ノードとして機能する拡散層上に形成される前記第2のNMOSのドライバトランジスタおよび前記第2

10

20

30

40

50

のPMOSのロードトランジスタのゲートより延在する第2のゲート配線が共通の第1のコンタクトにより接続されることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】

前記第1及び第2のNMOSのドライバトランジスタを形成する柱状半導体層の側壁の周囲長は、前記第1及び第2のPMOSのロードトランジスタを形成する柱状半導体層の側壁の周囲長より長いことを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項5】

前記第1及び第2のNMOSのドライバトランジスタを形成する柱状半導体層を楕円柱形状に形成することにより、前記第1及び第2のNMOSのドライバトランジスタを形成する柱状半導体層の側壁の周囲長を前記第1及び第2のPMOSのロードトランジスタを形成する柱状半導体層の側壁の周囲長より長くすることを特徴とする請求項1又は2に記載の半導体記憶装置。

10

【請求項6】

前記第1及び第2のNMOSのドライバトランジスタを形成する柱状半導体層の側壁の周囲長は、前記第1及び第2のNMOSのアクセストランジスタを形成する柱状半導体層の側壁の周囲長より長いことを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項7】

前記第1及び第2のNMOSのドライバトランジスタを形成する柱状半導体層を楕円柱形状に形成することにより、前記第1及び第2のNMOSのドライバトランジスタを形成する柱状半導体層の側壁の周囲長を前記第1及び第2のNMOSのアクセストランジスタを形成する柱状半導体層の側壁の周囲長より長くすることを特徴とする請求項1又は2に記載の半導体記憶装置。

20

【請求項8】

前記第1及び第2のPMOSのロードトランジスタを形成する柱状半導体層の側壁の周囲長は、前記第1及び第2のNMOSのアクセストランジスタを形成する柱状半導体層の側壁の周囲長より短いことを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項9】

第1及び第2のNMOSのアクセストランジスタのゲート電極よりそれぞれ延在する第3及び第4のゲート配線上にそれぞれ形成される第3及び第4のコンタクトの少なくとも1つを、隣接するメモリセルのNMOSのアクセストランジスタのゲート電極より延在するゲート配線上に形成されるコンタクトと共有化したことを特徴とする請求項1又は2に記載の半導体記憶装置。

30

【請求項10】

複数の前記柱状半導体層は、六方格子状に配列されていることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項11】

前記第1の記憶ノードとして機能する拡散層上に形成される前記第1のNMOSのドライバトランジスタおよび前記第1のPMOSのロードトランジスタのゲートより延在する各々の第5のゲート配線が、前記第2の記憶ノードとして機能する拡散層と第1の共通のコンタクトにより接続され、

40

前記第2の記憶ノードとして機能する拡散層上に形成される前記第2のNMOSのドライバトランジスタおよび前記第2のPMOSのロードトランジスタのゲートより延在する各々の第6のゲート配線が、前記第1の記憶ノードとして機能する拡散層と第2の共通のコンタクトにより接続されることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項12】

前記6個のMOSトランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

前記6個のMOSトランジスタは、前記基板上に3行2列に配列され、

前記第1のNMOSのアクセストランジスタは1行1列目に配列され、

前記第1のPMOSのロードトランジスタは2行1列目に配列され、

50

前記第1のNMOSのドライバトランジスタは3行1列目に配列され、
前記第2のNMOSのアクセストランジスタは3行2列目に配列され、
前記第2のPMOSのロードトランジスタは2行2列目に配列され、
前記第2のNMOSのドライバトランジスタは1行2列目に配列されていることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項13】

前記6個のMOSトランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

前記6個のMOSトランジスタは、前記基板上に3行2列に配列され、

前記第1のNMOSのアクセストランジスタは1行1列目に配列され、

10

前記第1のPMOSのロードトランジスタは3行1列目に配列され、

前記第1のNMOSのドライバトランジスタは2行1列目に配列され、

前記第2のNMOSのアクセストランジスタは3行2列目に配列され、

前記第2のPMOSのロードトランジスタは1行2列目に配列され、

前記第2のNMOSのドライバトランジスタは2行2列目に配列されていることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項14】

前記6個のMOSトランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

前記6個のMOSトランジスタは、前記基板上に3行2列に配列され、

20

前記第1のNMOSのアクセストランジスタは1行1列目に配列され、

前記第1のPMOSのロードトランジスタは3行1列目に配列され、

前記第1のNMOSのドライバトランジスタは2行1列目に配列され、

前記第2のNMOSのアクセストランジスタは1行2列目に配列され、

前記第2のPMOSのロードトランジスタは3行2列目に配列され、

前記第2のNMOSのドライバトランジスタは2行2列目に配列されていることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項15】

前記第1及び第2のNMOSのアクセストランジスタのゲートより延在する第7のゲート配線上に形成される第5のコンタクトを共有したことを特徴とする請求項10に記載の半導体記憶装置。

30

【請求項16】

前記6個のMOSトランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

前記6個のMOSトランジスタは、前記基板上に2行3列に配列され、

前記第1のNMOSのアクセストランジスタは1行1列目に配列され、

前記第1のPMOSのロードトランジスタは2行2列目に配列され、

前記第1のNMOSのドライバトランジスタは2行1列目に配列され、

前記第2のNMOSのアクセストランジスタは2行3列目に配列され、

前記第2のPMOSのロードトランジスタは1行2列目に配列され、

40

前記第2のNMOSのドライバトランジスタは1行3列目に配列されていることを特徴とする請求項1又は2に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置に関し、特にSRAM (Static Random Access Memory) からなる半導体記憶装置に関する。

【背景技術】

【0002】

半導体装置の高集積化、高性能化を実現するため、半導体基板の表面に柱状半導体を形

50

成し、その側壁に柱状半導体層を取り囲むように形成されたゲートを有する縦型ゲートトランジスタであるSGT(Surrounding Gate Transistor)が提案された(例えば、特許文献1:特開平2-188966)。SGTではドレイン、ゲート、ソースが垂直方向に配置されるため、従来のプレーナー型トランジスタに比べて占有面積を大幅に縮小することができる。

【0003】

SGTを用いてLSI(大規模集積回路)を構成する場合、それらのキャッシュ用メモリとしてSGTの組み合わせで構成されるSRAMを用いることが必須である。近年、LSIに搭載されるSRAMに対する大容量化の要求は非常に強いため、SGTを用いた場合にも小さいセル面積を持つSRAMを実現することが必須である。

10

【0004】

特許文献2(特開平7-99311)の実施例に示された、SGTを用いて設計された6個のトランジスタにより構成されるCMOS型6T-SRAMの平面図を図25(a)に断面図を図25(b)に示す。これらの図を参考にして、上記SRAMについて説明する。ビット線(801a、801b)はN+拡散層で形成され、接地配線GNDはN+拡散層802で形成され、電源配線VccはP+拡散層803で形成される。これらの拡散層の上にメモリセルにアクセスするためのアクセストランジスタ(810a、810b)、メモリセルを駆動するためのドライバトランジスタ(811a、811b)、メモリセルに電荷を供給するロードトランジスタ(812a、812b)を構成する柱状シリコン層が形成される。これらの柱状シリコン層を取り囲むようにゲート(804a、804b、804c、804d)が形成される。記憶ノードは配線層(807a、807b)より構成される。上記SRAMセルにおいては、SRAMを構成する各トランジスタは柱状シリコン層上に縦方向にソース、ゲート、ドレインが形成されているため、小さいSRAMセルを設計することができる。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平2-188966

【特許文献2】特開平7-99311(第51項、図75)

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

しかしながら、上記SRAMセルにおいては、実際には以下のような問題点がある。

特許文献2のSRAMにおいては、SRAMセルアレイ内に形成される電源配線803および接地配線802が最小寸法程度に形成される場合には小さいセル面積を実現することが可能であるが、上記電源配線803および接地配線802はそれぞれP+拡散層およびN+拡散層によって形成されているため、これらが最小寸法程度に形成される場合には非常に高抵抗になり、SRAMを安定動作させることは不可能である。逆にSRAMを安定動作させるために電源配線803および接地配線802の寸法を大きくすると、SRAMセル面積が増加してしまう。

40

【0007】

本発明は上記の事情を鑑みてなされたもので、SGTを用いたCMOS型6T-SRAMにおいて面積の小さいSRAMセルを実現するとともに、十分な動作マージンを持つSRAMセルを実現することを目的とする。

【課題を解決するための手段】

【0008】

本発明によれば、例えば、図3dに記載されるように、6個のMOSトランジスタが基板上に配列されたスタティック型メモリセルを備えた半導体記憶装置であって、

前記6個のMOSトランジスタの各々は、

ソース拡散層、ドレイン拡散層及び柱状半導体層が、基板上に垂直方向に階層的に配置

50

され、前記柱状半導体層は前記ソース拡散層と前記ドレイン拡散層の間に配置され、前記柱状半導体層の側壁にゲートが形成されており、

メモリにアクセスするための第1及び第2のNMO Sのアクセストランジスタ(Qn11及びQn21)と、メモリセルのデータを保持するために記憶ノードを駆動する第1及び第2のNMO Sのドライバトランジスタ(Qn31及びQn41)と、メモリセルのデータを保持するために電荷を供給する第1及び第2のPMO Sのロードトランジスタ(Qp11及びQp21)として機能し、

第1のNMO Sのアクセストランジスタ(Qn11)、第1のNMO Sのドライバトランジスタ(Qn31)及び第1のPMO Sのロードトランジスタ(Qp11)は、互いに隣接して配列され、

10

第2のNMO Sのアクセストランジスタ(Qn21)、第2のNMO Sのドライバトランジスタ(Qn41)及び第2のPMO Sのロードトランジスタ(Qp21)は、互いに隣接して配列され、

基板に電位を与えるための複数のメモリセルに共通の第1のウェル(1a、p-well)が形成され、

第1のNMO Sのアクセストランジスタ(Qn11)の底部に形成されるN型の導電型を持つ第1の拡散層(3a、N型)、第1のNMO Sのドライバトランジスタ(Qn31)の底部に形成されるN型の導電型を持つ第2の拡散層(5a、N型)及び第1のPMO Sのロードトランジスタ(Qp11)の底部に形成されるP型の導電型を持つ第3の拡散層(4a、P型)は、前記第1の拡散層(3a、N型)、第2の拡散層(5a、N型)及び第3の拡散層(4a、P型)の表面に形成された第1のシリサイド層(13a)を介して相互に接続され、前記相互に接続された前記第1の拡散層(3a、N型)、第2の拡散層(5a、N型)及び第3の拡散層(4a、P型)はメモリセルに記憶されるデータを保持するための第1の記憶ノード(Qa)として機能し、

20

前記第3の拡散層(4a、P型)と前記第1のウェル(1a、p-well)間のリークを防止するために、前記第3の拡散層(4a、P型)と第1のウェル(1a、p-well)の間に前記第1のウェルと反対の導電型を持つ第1のリーク防止拡散層(1b、N型)が形成され、

前記第1のリーク防止拡散層(1b、N型)は、前記第1の拡散層(3a、N型)及び第2の拡散層(5a、N型)と直接接続され、

第2のNMO Sのアクセストランジスタ(Qn21)の底部に形成されるN型の導電型を持つ第4の拡散層(N型)、第2のNMO Sのドライバトランジスタ(Qn41)の底部に形成されるN型の導電型を持つ第5の拡散層(N型)及び第2のPMO Sのロードトランジスタ(Qp21)の底部に形成されるP型の導電型を持つ第6の拡散層(P型)は、前記第4の拡散層(N型)、第5の拡散層(N型)及び第6の拡散層(P型)の表面に形成された第2のシリサイド層を介して相互に接続され、

30

前記相互に接続された前記第4の拡散層(N型)、第5の拡散層(N型)及び第6の拡散層(P型)はメモリセルに記憶されるデータを保持するための第2の記憶ノード(Qb)として機能し、

前記第6の拡散層(P型)と前記第1のウェル(1a、p-well)間のリークを防止するために、前記第6の拡散層(P型)と前記第1のウェル(1a、p-well)の間には、前記第1のウェルと反対の導電型を持つ第2のリーク防止拡散層(N型)が形成され、

40

前記第2のリーク防止拡散層(N型)は、前記第4の拡散層(N型)及び第5の拡散層(N型)と直接接続されていることを特徴とする半導体記憶装置が提供される。

また、本発明によれば、例えば、図4dに記載されるように、6個のMO Sトランジスタが基板上に配列されたスタティック型メモリセルを備えた半導体記憶装置であって、

前記6個のMO Sトランジスタの各々は、

ソース拡散層、ドレイン拡散層及び柱状半導体層が、基板上に垂直方向に階層的に配置され、前記柱状半導体層は前記ソース拡散層と前記ドレイン拡散層の間に配置され、前記柱状半導体層の側壁にゲートが形成されており、

メモリにアクセスするための第1及び第2のNMO Sのアクセストランジスタ(Qn11及

50

びQn21)と、メモリセルのデータを保持するために記憶ノードを駆動する第1及び第2のNMOSのドライバトランジスタ(Qn31及びQn41)と、メモリセルのデータを保持するために電荷を供給する第1及び第2のPMOSのロードトランジスタ(Qp11及びQp21)として機能し、

第1のNMOSのアクセストランジスタ(Qn11)、第1のNMOSのドライバトランジスタ(Qn31)及び第1のPMOSのロードトランジスタ(Qp11)は、互いに隣接して配列され、

第2のNMOSのアクセストランジスタ(Qn21)、第2のNMOSのドライバトランジスタ(Qn41)及び第2のPMOSのロードトランジスタ(Qp21)は、互いに隣接して配列され、

基板に電位を与えるための複数のメモリセルに共通の第1のウェル(1a、N-well)が形成され、

第1のNMOSのアクセストランジスタ(Qn11)の底部に形成されるN型の導電型を持つ第1の拡散層(3a、N型)、第1のNMOSのドライバトランジスタ(Qn31)の底部に形成されるN型の導電型を持つ第2の拡散層(5a、N型)及び第1のPMOSのロードトランジスタ(Qp11)の底部に形成されるP型の導電型を持つ第3の拡散層(4a、P型)は、前記第1の拡散層(3a、N型)、第2の拡散層(5a、N型)及び第3の拡散層(4a、P型)の表面に形成された第1のシリサイド層(13a)を介して相互に接続され、

前記相互に接続された前記第1の拡散層(3a、N型)、第2の拡散層(5a、N型)及び第3の拡散層(4a、P型)はメモリセルに記憶されるデータを保持するための第1の記憶ノード(Qa)として機能し、

前記第1の拡散層(3a、N型)及び前記第2の拡散層(5a、N型)と前記第1のウェル(1a、N-well)間のリークを防止するために、前記第1の拡散層(3a、N型)と第1のウェル(1a、N-well)の間、及び前記第2の拡散層(5a、N型)と第1のウェル(1a、N-well)の間には前記第1のウェルと反対の導電型を持つ第1のリーク防止拡散層(1b、P型)が形成され、

前記第1のリーク防止拡散層(1b、P型)は、前記第3の拡散層(4a、P型)と直接接続され、

第2のNMOSのアクセストランジスタ(Qn21)の底部に形成されるN型の導電型を持つ第4の拡散層(N型)、第2のNMOSのドライバトランジスタ(Qn41)の底部に形成されるN型の導電型を持つ第5の拡散層(N型)及び第2のPMOSのロードトランジスタ(Qp21)の底部に形成されるP型の導電型を持つ第6の拡散層(P型)は、前記第4の拡散層(N型)、第5の拡散層(N型)及び第6の拡散層(P型)の表面に形成された第2のシリサイド層を介して相互に接続され、

前記相互に接続された前記第4の拡散層(N型)、第5の拡散層(N型)及び第6の拡散層(P型)はメモリセルに記憶されるデータを保持するための第2の記憶ノード(Qb)として機能し、

前記第4の拡散層(N型)及び前記第5の拡散層(N型)と前記第1のウェル(1a、N-well)間のリークを防止するために、前記第4の拡散層(N型)と前記第1のウェル(1a、N-well)の間、及び前記第5の拡散層(N型)と前記第1のウェル(1a、N-well)の間には、前記第1のウェルと反対の導電型を持つ第2のリーク防止拡散層(P型)が形成され、

前記第2のリーク防止拡散層(P型)は、前記第6の拡散層(P型)と直接接続されていることを特徴とする半導体記憶装置が提供される。

【0009】

本発明の好ましい態様では、前記半導体装置において、前記第1の記憶ノード(Qa)として機能する拡散層上に形成される前記第1のNMOSのドライバトランジスタ(Qn31)および前記第1のPMOSのロードトランジスタ(Qp11)のゲートより延在するゲート配線(18c)が共通のコンタクト(11a)により接続され、第2の記憶ノード(Qb)として機能する拡散層上に形成される前記第2のNMOSのドライバトランジスタ(Qn41)および前記第2のPMOSのロードトランジスタ(Qp21)のゲートより延在するゲート配線(18

10

20

30

40

50

d) が共通のコンタクト (11b) により接続される。

【 0 0 1 0 】

本発明の別の好ましい態様では、前記半導体装置において、前記第 1 及び第 2 の N M O S のドライバトランジスタ (Qn33 及び Qn43) を形成する柱状半導体層の側壁の周囲長は、前記第 1 及び第 2 の N M O S のアクセストランジスタ (Qn13 及び Qn23) を形成する柱状半導体層の側壁の周囲長以上の値を持つこと、

又は前記第 1 及び第 2 の P M O S のロードトランジスタ (Qp13 及び Qp23) を形成する柱状半導体層の側壁の周囲長は、前記第 1 及び第 2 の N M O S のアクセストランジスタ (Qn13 及び Qn23) を形成する柱状半導体層の側壁の周囲長以下の値を持つ。

【 0 0 1 1 】

また、本発明の別の好ましい態様では、前記半導体装置において、第 1 及び第 2 の N M O S のアクセストランジスタ (Qn12 及び Qn22) のゲート電極より延在するゲート配線上に形成されるコンタクト (107a) の少なくとも 1 つを、隣接するメモリセルの N M O S のアクセストランジスタのゲート電極より延在するゲート配線上に形成されるコンタクト (107a) と共有化される。

【 0 0 1 2 】

更なる本発明の別の好ましい態様では、複数の前記半導体装置において、複数の前記柱状半導体層は、六方格子状に配列されている。

また、前記半導体装置において、前記 6 個の M O S トランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

前記 6 個の M O S トランジスタは、前記基板上に 3 行 2 列に配列され、
前記第 1 の N M O S のアクセストランジスタ (Qn11) は 1 行 1 列目に配列され、
前記第 1 の P M O S のロードトランジスタ (Qp11) は 2 行 1 列目に配列され、
前記第 1 の N M O S のドライバトランジスタ (Qn31) は 3 行 1 列目に配列され、
前記第 2 の N M O S のアクセストランジスタ (Qn21) は 3 行 2 列目に配列され、
前記第 2 の P M O S のロードトランジスタ (Qp21) は 2 行 2 列目に配列され、
前記第 2 の N M O S のドライバトランジスタ (Qn41) は 1 行 2 列目に配列される。

【 0 0 1 3 】

また、前記半導体装置において、前記 6 個の M O S トランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

前記 6 個の M O S トランジスタは、前記基板上に 3 行 2 列に配列され、
前記第 1 の N M O S のアクセストランジスタ (Qn15) は 1 行 1 列目に配列され、
前記第 1 の P M O S のロードトランジスタ (Qp15) は 3 行 1 列目に配列され、
前記第 1 の N M O S のドライバトランジスタ (Qn35) は 2 行 1 列目に配列され、
前記第 2 の N M O S のアクセストランジスタ (Qn25) は 3 行 2 列目に配列され、
前記第 2 の P M O S のロードトランジスタ (Qp25) は 1 行 2 列目に配列され、
前記第 2 の N M O S のドライバトランジスタ (Qn45) は 2 行 2 列目に配列される。

【 0 0 1 4 】

また、前記半導体装置において、前記 6 個の M O S トランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

前記 6 個の M O S トランジスタは、前記基板上に 3 行 2 列に配列され、
前記第 1 の N M O S のアクセストランジスタ (Qn16) は 1 行 1 列目に配列され、
前記第 1 の P M O S のロードトランジスタ (Qp16) は 3 行 1 列目に配列され、
前記第 1 の N M O S のドライバトランジスタ (Qn36) は 2 行 1 列目に配列され、
前記第 2 の N M O S のアクセストランジスタ (Qn26) は 1 行 2 列目に配列され、
前記第 2 の P M O S のロードトランジスタ (Qp26) は 3 行 2 列目に配列され、
前記第 2 の N M O S のドライバトランジスタ (Qn46) は 2 行 2 列目に配列される。

【 0 0 1 5 】

また、前記半導体装置において、前記 6 個の M O S トランジスタは、前記基板上において互いに直交する行方向と列方向に行列状に配列されており、

10

20

30

40

50

前記 6 個の MOS トランジスタは、前記基板上に 2 行 3 列に配列され、
 前記第 1 の NMOS のアクセストランジスタ (Qn18) は 1 行 1 列目に配列され、
 前記第 1 の PMOS のロードトランジスタ (Qp18) は 2 行 2 列目に配列され、
 前記第 1 の NMOS のドライバトランジスタ (Qn38) は 2 行 1 列目に配列され、
 前記第 2 の NMOS のアクセストランジスタ (Qn28) は 2 行 3 列目に配列され、
 前記第 2 の PMOS のロードトランジスタ (Qp28) は 1 行 2 列目に配列され、
 前記第 2 の NMOS のドライバトランジスタ (Qn48) は 1 行 3 列目に配列される。

【 0 0 1 6 】

また、本発明の別の好ましい態様では、前記半導体装置において、前記柱状半導体上に形成されるコンタクト (6a、6b、8a、8b、9a、9b) と、それ以外のコンタクト (7a、7b、10a、10b、11a、11b) が異なるエッチング工程において形成される。

10

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】本発明の第 1 の実施例の SRAM を示す等価回路である。

【図 2】本発明の第 1 の実施例の SRAM 平面図である。

【図 3 a】本発明の第 1 の実施例の SRAM の断面図である。

【図 3 b】本発明の第 1 の実施例の SRAM の断面図である。

【図 3 c】本発明の第 1 の実施例の SRAM の断面図である。

【図 3 d】本発明の第 1 の実施例の SRAM の断面図である。

【図 4 a】本発明の第 1 の実施例の SRAM の断面図である。

20

【図 4 b】本発明の第 1 の実施例の SRAM の断面図である。

【図 4 c】本発明の第 1 の実施例の SRAM の断面図である。

【図 4 d】本発明の第 1 の実施例の SRAM の断面図である。

【図 5】本発明の製造方法を工程順に示す工程図である。

【図 6】本発明の製造方法を工程順に示す工程図である。

【図 7】本発明の製造方法を工程順に示す工程図である。

【図 8】本発明の製造方法を工程順に示す工程図である。

【図 9】本発明の製造方法を工程順に示す工程図である。

【図 10】本発明の製造方法を工程順に示す工程図である。

【図 11】本発明の製造方法を工程順に示す工程図である。

30

【図 12】本発明の製造方法を工程順に示す工程図である。

【図 13】本発明の製造方法を工程順に示す工程図である。

【図 14】本発明の製造方法を工程順に示す工程図である。

【図 15】本発明の製造方法を工程順に示す工程図である。

【図 16】本発明の製造方法を工程順に示す工程図である。

【図 17】本発明の第 2 の実施例の SRAM 平面図である。

【図 18】本発明の第 3 の実施例の SRAM 平面図である。

【図 19】本発明の第 4 の実施例の SRAM 平面図である。

【図 20】本発明の第 5 の実施例の SRAM 平面図である。

【図 21】本発明の第 6 の実施例の SRAM 平面図である。

40

【図 22】本発明の第 7 の実施例の SRAM 平面図である。

【図 23】本発明の第 8 の実施例の SRAM 平面図である。

【図 24 a】本発明の第 8 の実施例の SRAM の断面図である。

【図 24 b】本発明の第 8 の実施例の SRAM の断面図である。

【図 24 c】本発明の第 8 の実施例の SRAM の断面図である。

【図 24 d】本発明の第 8 の実施例の SRAM の断面図である。

【図 25】従来の SRAM を示す平面図および断面図である。

【発明を実施するための形態】

【 0 0 1 8 】

[実施例 1]

50

図 1 に本発明に用いた C M O S 型 6 T - S R A M のメモリセルの等価回路図を示す。図 1 において、B L 1 および B L B 1 はビット線、W L 1 はワード線、V c c 1 は電源電位、V s s 1 は接地電位、Q n 1 1 および Q n 2 1 はメモリセルにアクセスするためのアクセストランジスタ、Q n 3 1 および Q n 4 1 はメモリセルを駆動するドライバトランジスタ、Q p 1 1 および Q p 2 1 はメモリセルに電荷を供給するロードトランジスタ、Q a および Q b はデータを記憶するための記憶ノードを示している。

【 0 0 1 9 】

以下に図 1 のメモリセルの動作の一例として、記憶ノード Q a に “ L ” のデータが、記憶ノード Q b に “ H ” のデータが記憶されている場合の読み出し動作について説明する。読み出しを行う場合には、ビット線 B L 1 および B L B 1 が “ H ” 電位にプリチャージされる。プリチャージ完了後にワード線 W L 1 が “ H ” になることでデータの読み出しが開始する。このとき、アクセストランジスタ Q n 1 1 および Q n 2 1 がオンになり、“ H ” になっているビット線 B L 1 の電位は、記憶ノード Q b が “ H ” 電位に近い値であるためドライバトランジスタ Q n 3 1 がオンになり、アクセストランジスタ Q n 1 1 から記憶ノード Q a、ドライバトランジスタ Q n 3 1 を通してディスチャージされ、“ L ” 電位に近づく。一方、ビット線 B L B 1 の電位は、記憶ノード Q a が “ L ” 電位に近い値であるためにドライバトランジスタ Q n 4 1 はオフであり、ディスチャージされず、逆にロードトランジスタ Q p 2 1 より電荷が供給されるため “ H ” 電位に近い値のままである。B L 1 と B L B 1 の電位差がセンスアンプによって増幅できるレベルになった時点で、図には示されていないがビット線に接続されているセンスアンプを起動することで、メモリセルのデータが増幅され出力される。

【 0 0 2 0 】

図 2 に本発明の第 1 の実施例における S R A M メモリセルのレイアウト図を示す。S R A M セルアレイ内においては図 2 に示したユニットセル U C が繰り返し配置されている。図 3 a、b、c 及び d に、図 2 のレイアウト図のカットライン A - A'、B - B'、C - C' 及び D - D' における断面構造をそれぞれ示す。

【 0 0 2 1 】

まず図 2 および図 3 を参考にして本発明のレイアウトについて説明する。

基板の S R A M セルアレイ内には第 1 のウェル 1 a である P - w e l l が形成され、素子分離 2 により基板上の拡散層は分離されている。基板上の拡散層により形成される第 1 の記憶ノード Q a は N + 拡散層 (3 a、5 a)、P + 拡散層 4 a により構成され、互いに隣接する N + 拡散層と P + 拡散層は基板表面に形成されるシリサイド層 1 3 a によって接続され、基板上の拡散層により形成される第 2 の記憶ノード Q b はアクセストランジスタ Q n 2 1 の下部に形成される N + 拡散層、N + 拡散層 5 b および P + 拡散層 4 b により構成され、互いに隣接する N + 拡散層と P + 拡散層は各々の拡散層表面に形成されるシリサイド層 1 3 b によって接続される。第 1 のウェル 1 a である P - w e l l と同一の導電型を持つ P + 拡散層の底部には基板へのリークを抑制するために、第 1 のウェルと異なる導電型であり、第 1 のウェルの上に配置される第 1 のリーク防止拡散層 (1 b、1 c) が形成される。第 1 のリーク防止拡散層は素子分離により各々の S R A M セルに分離される。Q n 1 1 及び Q n 2 1 は N M O S であるメモリセルにアクセスするためのアクセストランジスタ、Q n 3 1 および Q n 4 1 は N M O S であるメモリセルを駆動するドライバトランジスタ、Q p 1 1 および Q p 2 1 は P M O S であるメモリセルに電荷を供給するロードトランジスタである。

本実施例では、1つのユニットセル U C は、基板上に 3 行 2 列に配列されたトランジスタを備えている。1列目には、図の上側からアクセストランジスタ Q n 1 1、ロードトランジスタ Q p 1 1 及びドライバトランジスタ Q n 3 1 がそれぞれ配列されている。なお、Q n 1 1、Q p 1 1 及び Q n 3 1 の下位の層に配置される拡散層 3 a、4 a 及び 5 a は、第 1 の記憶ノード Q a として機能する。また、2列目には、図の上側からドライバトランジスタ Q n 4 1、ロードトランジスタ Q p 2 1、アクセストランジスタ Q n 2 1 がそれぞれ配列されている。なお、Q n 4 1、Q p 2 1 及び Q n 2 1 の下位の層に配置される拡散

層 3 b、4 b 及び 5 b は、第 2 の記憶ノード Q b として機能する。本実施例の S R A M セルアレイは、このような 6 個のトランジスタを備えたユニットセル U C を図の上下方向に連続的に配列することにより構成される。

第 1 の記憶ノード Q a である基板上的拡散層上に形成されるコンタクト 1 0 a はノード接続配線 N a 1 によりドライバトランジスタ Q n 4 1 およびロードトランジスタ Q p 2 1 のゲート電極より延在するゲート配線上に形成されるコンタクト 1 1 b と接続され、第 2 の記憶ノード Q b である基板上的拡散層上に形成されるコンタクト 1 0 b はノード接続配線 N b 1 によりドライバトランジスタ Q n 3 1 およびロードトランジスタ Q p 1 1 のゲート電極より延在するゲート配線上に形成されるコンタクト 1 1 a と接続される。アクセストランジスタ Q n 1 1 上部に形成されるコンタクト 6 a はビット線 B L 1 に接続され、アクセストランジスタ Q n 2 1 上部に形成されるコンタクト 6 b はビット線 B L B 1 に接続される。アクセストランジスタ Q n 1 1 のゲート電極から延在するゲート配線上に形成されるコンタクト 7 a およびアクセストランジスタ Q n 2 1 のゲート電極から延在するゲート配線上に形成されるコンタクト 7 b はワード線 W L 1 に接続される。ドライバトランジスタ (Q n 3 1、Q n 4 1) 上部に形成されるコンタクト (8 a、8 b) は接地電位である配線層 (V s s 1 a、V s s 1 b) にそれぞれ接続され、ロードトランジスタ (Q p 1 1、Q p 2 1) 上部に形成されるコンタクト (9 a、9 b) は電源電位である配線層 V c c 1 に接続される。

ワード線の配線、ビット線の配線、電源電位の配線及び接地電位の配線は、他のメモリセルの配線と共用するために、望ましくは、各メモリセル内での配線であるノード接続配線より上位の層で接続される。

なお、上記の階層的な配線の構成の一例として、各配線が接触すべきでないコンタクトと接触しないように、ノード接続配線 (N a 1)、ノード接続配線 (N b 1)、及び接地電位の配線 (V s s 1 a、V s s 1 b) は、ビット線 (B L 1、B L B 1) 及び電源電位の配線 (V c c 1) より下位の層で配線し、ワード線 (W L 1) は、ビット線 (B L 1、B L B 1) 及び電源電位の配線 (V c c 1) より上位の層で配線する構成が実現可能である。

【 0 0 2 2 】

図 2 に N + 注入領域 (2 4 a、2 4 b) および P + 注入領域 2 5 を示す。本実施例の S R A M セルアレイ領域においては N + 注入領域 (2 4 a、2 4 b) および P + 注入領域 2 5 を形成するパターンは単純なライン & スペースにより形成される。このため寸法ズレや位置合わせのズレの影響が小さく、N + 注入領域と P + 注入領域の境界付近の寸法のマージンを最小に抑えることができ、図面上で言えば、S R A M セルの縦方向の長さ (各 S R A M セルの接続方向の長さ) の縮小に有効である。

また、本実施例においては、図 2 のレイアウトに示される記憶ノードやゲート配線の形状が長方形の形状のみで構成されているために、O P C (O p t i c a l P r o x i m i t y C o r r e c t i o n) によるパターン形状の補正が容易であり、小さい S R A M セル面積を実現するために適したレイアウトである。

【 0 0 2 3 】

本発明において、S R A M を構成する各トランジスタのソースおよびドレインを以下のように定義する。ドライバトランジスタ (Q n 3 1、Q n 4 1) については、接地電圧に接続される柱状半導体層の上部に形成される拡散層をソース拡散層、柱状半導体層の下部に形成される拡散層をドレイン拡散層と定義する。ロードトランジスタ (Q p 1 1、Q p 2 1) については、電源電圧に接続される柱状半導体層の上部に形成される拡散層をソース拡散層、柱状半導体層の下部に形成される拡散層をドレイン拡散層と定義する。アクセストランジスタについては、動作状態によっては柱状半導体層の上部に形成される拡散層および下部に形成される拡散層がともにソースまたはドレインになるが、便宜的に柱状半導体層の上部に形成される拡散層をソース拡散層、柱状半導体層の下部に形成される拡散層をドレイン拡散層と定義する。

【 0 0 2 4 】

続いて、図3の断面構造を参照して本発明のSRAMの構造について説明する。図3aに示されるように、基板に第1のウェル1aであるP-wellが形成され、素子分離2により基板上の拡散層が分離されている。基板上の拡散層により形成される第1の記憶ノードQaには不純物注入等によりN+ドレイン拡散層3aが形成され、基板上の拡散層により形成される第2の記憶ノードQbには不純物注入等によりN+ドレイン拡散層5bが形成されている。また、N+ドレイン拡散層(3a、5b)上にはシリサイド層(13a、13b)が形成されている。N+ドレイン拡散層3a上にアクセストランジスタQn1を構成する柱状シリコン層21aが形成され、N+ドレイン拡散層3b上にドライバトランジスタQn41を構成する柱状シリコン層22bが形成される。それぞれの柱状シリコン層の周囲にはゲート絶縁膜17およびゲート電極18が形成されている。柱状シリコン層上部にはN+ソース拡散層14が不純物注入などにより形成され、ソース拡散層表面にはシリサイド層15が形成されている。アクセストランジスタQn11上に形成されるコンタクト6aはビット線BL1に接続され、アクセストランジスタQn11のゲートより延在するゲート配線18a上に形成されるコンタクト7aはワード線WL1に接続され、ドライバトランジスタQn41上に形成されるコンタクト8bは接地電位配線Vss1に接続される。

【0025】

図3bに示されるように、基板に第1のウェル1aであるP-wellが形成され、素子分離2により基板上の拡散層が分離されている。基板上の拡散層により形成される第1の記憶ノードQaには不純物注入等によりN+ドレイン拡散層3aが形成され、基板上の拡散層により形成される第2の記憶ノードQbには不純物注入等によりN+ドレイン拡散層5bが形成されている。また、N+ドレイン拡散層上にはシリサイド層(13a、13b)が形成されている。ドレイン拡散層3a上に形成されるコンタクト10aはN+ドレイン拡散層3aとP+ドレイン拡散層4aの境界上に形成され、記憶ノード接続配線Na1を通じてドライバトランジスタQn41およびロードトランジスタQp21のゲート電極から延在するゲート配線18d上に形成されるコンタクト11bに接続される。

【0026】

図3cに示されるように、基板に第1のウェルであるP-wellが形成され、素子分離2により基板上の拡散層が分離されている。基板上の拡散層により形成される第1の記憶ノードQaには不純物注入等によりP+ドレイン拡散層4aが形成され、基板上の拡散層により形成される第2の記憶ノードQbには不純物注入等によりN+ドレイン拡散層4bが形成されている。また、P+ドレイン拡散層(4a、4b)表面にシリサイド層(13a、13b)が形成されている。第1のウェルと同一の導電型を持つP+拡散層4aの底部には基板へのリークを抑制するために、第1のウェルと異なる導電型を持つ第1のリーク防止拡散層1bが形成され、第1のウェルと同一の導電型を持つP+拡散層4bの底部には基板へのリークを抑制するために、第1のウェルと異なる導電型であり、第1のウェルの上に配置される第2のリーク防止拡散層1cが形成される。

P+ドレイン拡散層4a上にロードトランジスタQp11を構成する柱状シリコン層23aが形成され、P+ドレイン拡散層4b上にロードトランジスタQp21を構成する柱状シリコン層23bが形成される。それぞれの柱状シリコン層の周囲にゲート絶縁膜17およびゲート電極18が形成されている。柱状シリコン層上部にはP+ソース拡散層16が不純物注入などにより形成され、ソース拡散層表面にはシリサイド層15が形成されている。ロードトランジスタ(Qp11、Qp21)上に形成されるコンタクト(9a、9b)はともに配線層を通して電源電位配線Vcc1に接続される。

【0027】

図3dに示されるように、基板に第1のウェルであるP-wellが形成され、素子分離2により基板上の拡散層が分離されている。基板上の拡散層により形成される第1の記憶ノードQaには不純物注入等により、N+ドレイン拡散層(3a、5a)およびP+ドレイン拡散層4aが形成される。ドレイン拡散層上にはシリサイド層13aが形成され、シリサイド層13aによってN+ドレイン拡散層(3a、5a)とP+ドレイン拡散層4

10

20

30

40

50

aは直接接続されている。このため、N + ドレイン拡散層とP + ドレイン拡散層を分離するための素子分離や、N + ドレイン拡散層とP + ドレイン拡散層を接続するためのコンタクトを形成する必要がないため、メモリセル面積を縮小できる。第1のウェルと同一の導電型を持つP + 拡散層4 aの底部には基板へのリークを抑制するために、第1のウェル1 aと異なる導電型を持つ第1のリーク防止拡散層1 bが形成される。

N + ドレイン拡散層3 a上にアクセストランジスタQ n 1 1を構成する柱状シリコン層2 1 aが形成され、N + ドレイン拡散層5 a上にドライバトランジスタQ n 3 1を構成する柱状シリコン層2 2 aが形成され、P + ドレイン拡散層4 a上にロードトランジスタQ p 1 1を構成する柱状シリコン層2 3 aが形成される。N + ドレイン拡散層3 aとP + ドレイン拡散層4 aとN + ドレイン拡散層5 aは各々の拡散層の表面に形成されたシリサイド層1 3 aにより直接接続される。それぞれの柱状シリコン層の周囲にゲート絶縁膜1 7およびゲート電極1 8が形成されている。それぞれの柱状シリコン層上部にはソース拡散層が不純物注入などにより形成され、ソース拡散層表面にはシリサイド層1 5が形成されている。アクセストランジスタQ n 1 1上に形成されるコンタクト6 aはビット線B L 1に接続され、ドライバトランジスタQ n 3 1上に形成されるコンタクト8 aは電源電位配線V s s 1 aに接続され、ロードトランジスタQ p 1 1上に形成されるコンタクト9 aは電源電位配線V c c 1に接続される。

ドライバトランジスタQ n 3 1とロードトランジスタQ p 1 1のゲート電極は、それらから延在するゲート配線1 8 c上で共通のコンタクト1 1 aに接続される。コンタクト1 1 aは、記憶ノード接続配線N b 1を通じて記憶ノード2 bのドレイン拡散層上に形成されるコンタクト1 0 bに接続される。ドレイン拡散層3 aと4 aの境界上に形成されるコンタクト1 0 aは記憶ノード接続配線N a 1を通じてドライバトランジスタQ n 4 1およびロードトランジスタQ p 2 1のゲート電極から延在するゲート配線1 8 d上に形成されるコンタクト1 1 bに接続される。

【0028】

本発明においては、基板上に形成されるN + ドレイン拡散層とP + ドレイン拡散層が拡散層表面に形成されるシリサイド層で直接接続されることにより、アクセストランジスタ、ドライバトランジスタ、およびロードトランジスタのドレイン拡散層は共通化され、S R A Mの記憶ノードとして機能している。このため、通常プレーナー型トランジスタで必要となるN + ソースドレイン拡散層とP + ソースドレイン拡散層とを分離するための素子分離が必要なくなり、S R A Mの2つの記憶ノードを分離するだけの素子分離だけで十分であるため、非常に小さいS R A Mセル面積を実現することができる。また、第1のウェルと同一の導電型を持つドレイン拡散層のそれぞれの底部に第1のウェルと反対の導電型を持ち、第1のウェルより浅い第1のリーク防止拡散層及び第2のリーク防止拡散層が形成されることにより、基板へのリークを抑制している。

【0029】

図4に示されるように、第1のウェル1 aがN - w e l lであり、N + 拡散層の底部に第1のリーク防止拡散層1 b及び第2のリーク防止拡散層1 cが形成される構造においても、同様にS R A Mセルを形成することができる。

【0030】

以下に本発明の半導体装置を形成するための製造方法の一例を図5～図14を参照して説明する。各図において(a)は平面図、(b)はD - D'間の断面図である。

【0031】

図5に示されるように、基板上にシリコン窒化膜等のマスク19を成膜する。その後、柱状シリコン層(2 1 a～2 3 a、2 1 b～2 3 b)のパターンをリソグラフィーにより形成し、エッチングすることにより柱状シリコン層(2 1 a～2 3 a、2 1 b～2 3 b)を形成する。続いて、不純物注入などにより、S R A Mセルアレイ内に第1のウェル1 aであるP - w e l lを形成する。

【0032】

図6に示されるように、素子分離2を形成する。素子分離は、まず溝パターンをエッチ

ングして、シリカなどの塗布やCVDにより溝パターンに酸化膜を埋め込み、余分な基板上の酸化膜をドライエッチやウェットエッチなどにより取り除くことにより形成する。これにより、基板上に第1の記憶ノードQaおよび第2の記憶ノードQbとなる拡散層のパターンが形成される。

【0033】

図7に示されるように、N+注入領域24a、24bおよびP+注入領域25にそれぞれイオン注入などにより不純物を導入し、基板上に柱状シリコン層下部のドレイン拡散層(3a、4a、5a)を形成する。第1のウェル1aであるP-wellと同一の導電型を持つP+拡散層4aの底部には基板へのリークを抑えるために第1のリーク防止拡散層1bが形成される。第1のリーク防止拡散層1bはP+注入領域25のマスクを用いて不純物注入などを行うことにより形成することができる。第1のリーク防止拡散層は素子分離により各々のSRAMセルに分離される。

10

【0034】

図8に示されるように、ゲート絶縁膜17およびゲート導電膜18を成膜する。ゲート絶縁膜17は酸化膜やHigh-k膜により形成される。また、ゲート導電膜はポリシリコンは金属膜により形成される。

【0035】

図9に示されるように、レジスト等33を用いて、リソグラフィーによりゲート配線パターンを形成する。

【0036】

20

図10に示されるように、レジスト33をマスクにして、ゲート導電膜17及びゲート絶縁膜18をエッチングし、除去する。これによりゲート配線(18a~8d)が形成される。その後、ピラー上のマスク19を除去する。

【0037】

図11に示されるように、シリコン窒化膜等の絶縁膜を成膜後、エッチバックして、柱状シリコン層の側壁およびゲート電極の側壁をシリコン窒化膜等の絶縁膜34で覆う構造にする。

【0038】

図12に示されるように、N+注入領域およびP+注入領域にそれぞれイオン注入などにより不純物を導入し、柱状シリコン層上部のソース拡散層(14、16)を形成する。

30

【0039】

図13に示されるように、CoやNiなどの金属をスパッタして、熱処理を行うことにより、ソースドレイン拡散層を選択的にシリサイド化して、ドレイン拡散層上のシリサイド層(13a、13b)および柱状シリコン層上部のソース拡散層上のシリサイド層15を形成する。

ここで、柱状シリコン層およびゲート電極の側壁を覆っているシリコン窒化膜等の絶縁膜34により、シリサイド層に起因するドレイン-ゲート間およびソース-ゲート間のショートを抑制することができる。

【0040】

図14に示されるように、層間膜であるシリコン酸化膜を形成後にコンタクト(6a~10a、6b~10b)を形成する。

40

【0041】

コンタクト形成時に図15に示されるように1回目のリソグラフィー及びエッチングにてピラー上のコンタクトを形成し、図16に示されるように、2回目のリソグラフィー及びエッチングにて、それ以外のコンタクトを形成することにより、ピラー上のコンタクトとそれ以外のコンタクトの最小間隔を縮小することができ、よりSRAMセル面積を縮小することができる。

【0042】

[実施例2]

図17に本実施例のSRAMセルレイアウトを示す。本実施例では、SRAMセルアレ

50

イ内において図17のユニットセルUCの1列目に配列されるトランジスタは、そのユニットセルUCの上側又は下側に隣接するメモリセルの2列目に配列されるトランジスタと配置構成が等しく、ユニットセルUCの2列目に配列されるトランジスタは、そのユニットセルUCの上側又は下側に隣接するメモリセルの1列目に配列されるトランジスタと配置構成が等しい。すなわち、図17のユニットセルUCの1列目に配列されるトランジスタQn12、Qp12、Qn32の上側には、2列目に配列されるトランジスタQn42、Qp22、Qn22と同じトランジスタが上から順に配列される。したがって、アクセストラジスタQn12の図面の上側には、アクセストラジスタが隣接して配列されることになり、アクセストラジスタQ22の図面の下側にもアクセストラジスタが隣接して配列されることになる。このようにSRAMセルを配置することで、アクセストラジスタQn12のゲート電極より延在するゲート配線は、図面の上側に隣接するメモリセルのアクセストラジスタのゲート電極と接続され、ワード線(WL2)へのコンタクト(107a、107b)をそのゲート配線上で共有することができる。実施例1においてはワード線(WL2)へのコンタクト(107a、107b)は第1の記憶ノードと第2の記憶ノードとの間に形成されていたが、本実施例においては、上下のSRAMセルとの境界上に配置されているため、記憶ノード間のスペースを縮小することができ、図面上で言えば、SRAMセルの横方向の長さの縮小が可能である。

10

なお、上述したアクセストラジスタのゲート電極同士のコンタクトの共有化については、実施例1のようにトランジスタを配置した場合にも適用できる。例えば、図2のアクセストラジスタQn11のゲート電極からゲート配線を図の右斜め上方向に延在させ、そのゲート配線を、Qn11の右斜め上に配置されたアクセストラジスタのゲート電極から左斜め下方向に延在させたゲート配線と接続し、接続されたゲート配線上でコンタクトを共有するように構成してもよい。このように、隣接したメモリセルのアクセストラジスタについて、ゲート電極同士を隣接して配置するように構成しさえすれば、ワード線へのコンタクトを共有化することは可能である。

20

また、第1の実施例で述べたように、ワード線の配線、ビット線の配線、電源電位の配線及び接地電位の配線は、望ましくは、他のメモリセルの配線と共用するために、各メモリセル内での配線であるノード接続配線より上位の層に配置される。この点、階層的な配線の構成の一例として、各配線が接触すべきでないコンタクトと接触しないように、ノード接続配線(Na2、Nb2)を下位の層で、ワード線(WL2)を中位の層で、ビット線の配線(BL2、BLB2)、電源電位の配線(Vcc2)及び接地電位の配線(Vss2a、Vss2b)を上位の層で配線する構成が実現可能である。

30

これ以外の構成に関しては実施例1と同一であるので説明を省略する。

【0043】

[実施例3]

図18に本実施例のSRAMレイアウトを示す。本実施例において実施例2と異なる点は、ドライバトランジスタを形成する柱状シリコン層の形状が異なる点である。6T-SRAMにおいては、通常読み出し時の動作マージンを確保するために、通常アクセストラジスタよりドライバトランジスタのドレイン電流を大きく設定することが多い。プレーナ型トランジスタの場合にはドライバトランジスタの拡散層幅をアクセストラジスタの拡散層幅より大きくすることによりドレイン電流を増加させることができるが、SGTを用いた場合には柱状シリコン層の直径を大きくして、ドライバトランジスタを形成する柱状シリコン層の側壁の周囲長を、アクセストラジスタを形成する柱状シリコン層の側壁の周囲長以上にすることによりドレイン電流を増加させることができる。図18のようにドライバトランジスタを形成する柱状シリコン層の直径を他の柱状シリコン層より大きくすることにより、読み出しマージンを改善することができる。ただし、柱状シリコン層の寸法を大きくするとショートチャネル効果が発生しやすくなるため、注意が必要である。なお、柱状シリコン層の形状は円形のみでなく、楕円形や長方形などの形状にすることによって柱状シリコン層の周囲長を長くしてもよい。

40

また、動作速度を上げるためにアクセストラジスタの直径を大きくしてアクセストラ

50

ンジスタのドレイン電流値を増加させたり、書き込みマージンを改善するためにロードトランジスタの直径を小さくしてロードトランジスタのドレイン電流を他のトランジスタに比べて相対的に低下させたりするなど、ロードトランジスタを形成する柱状シリコン層の側壁の周囲長を、アクセストランジスタを形成する柱状シリコン層の側壁の周囲長以下にしてもよい。このように、アクセストランジスタ、ドライバトランジスタ、ロードトランジスタのそれぞれの形状を変更することにより、各種SRAM特性を調整することができる。

なお、第1の実施例で述べたように、ワード線の配線、ビット線の配線、電源電位の配線及び接地電位の配線は、望ましくは、他のメモリセルの配線と共用するために、各メモリセル内での配線であるノード接続配線より上位の層に配置される。この点、階層的な配線の構成は、一例として、上記実施例2と同様の構成が実現可能である。

これ以外の点に関しては実施例2に示す構成と同一であるので説明を省略する。

【0044】

[実施例4]

図19に本実施例のSRAMセルレイアウトを示す。本実施例において実施例2と異なる点は、本実施例においては記憶ノードである基板上的拡散層とゲート配線が両者にまたがって形成される共通のコンタクトによって接続される点である。図19を参照すると、記憶ノードQa4である基板上的拡散層と、ドライバトランジスタQn44およびロードトランジスタQp24のゲート電極より延在するゲート配線は両者にまたがって形成される共通のコンタクト310aにより接続され、記憶ノードQb4である基板上的拡散層と、ドライバトランジスタQn34およびロードトランジスタQp14のゲート電極より延在するゲート配線は両者にまたがって形成される共通のコンタクト310bにより接続される。上記のようにゲートと記憶ノードを配線層ではなくコンタクトで接続することによって、SRAMセル内におけるコンタクトの数を減らすことができるので、柱状シリコン層やコンタクトの配置を調整することによりセル面積を縮小することができる。特に、ピラー上に形成されるコンタクトと上記共通のコンタクト(310a、310b)を異なるリソグラフィ及びエッチング工程にて形成することによりセル面積の縮小が可能である。この場合、共通のコンタクト310aを4個のピラー上コンタクト(306a、308b、309a、309b)の中央付近に配置し、共通のコンタクト310bを4個のピラー上コンタクト(306b、308a、309a、309b)の中央付近に配置することにより、ピラー上コンタクトと共通のコンタクト間のスペースを同一工程により形成可能な最小スペースより小さくすることができ、セル面積を縮小することができる。

なお、第1の実施例で述べたように、ワード線の配線、ビット線の配線、電源電位の配線及び接地電位の配線は、望ましくは、他のメモリセルの配線と共用するために、各メモリセル内での配線であるノード接続配線より上位の層、すなわち、コンタクト310a及びコンタクト310bより上位の層に配置される。

これ以外の点に関しては実施例2に示す構成と同一であるので説明を省略する。

【0045】

[実施例5]

図20に本実施例のSRAMセルレイアウトを示す。本実施例において実施例2と異なる点は、ドライバトランジスタとロードトランジスタの配置が入れ替わっている点である。本実施例においてはドライバトランジスタとロードトランジスタが入れ替わったために、記憶ノードである基板上的拡散層を横切るN+注入領域とP+注入領域(425a、425b)の境界が一箇所しか存在しない。このため、N+注入領域とP+注入領域の境界付近において重ね合わせマージンを確保しなければならない箇所は一箇所しかないため、SRAMセルの縦方向の長さを縮小することが可能である。ただし、実施例1のレイアウトのように、N+注入領域およびP+注入領域は単純なライン&スペースではなく、P+注入領域(425a、425b)は長方形の溝パターンでありN+注入領域はP+注入領域(425a、425b)を反転させたパターンになる。このため、注入領域をパターンニングするにあたっては正確なレジストパターンの制御が要求される。

本実施例においてはドライバトランジスタとロードトランジスタの配置を入れ替えたことに伴い、電源配線（Vcc5a、Vcc5b）と接地配線Vss5の配置を実施例2の場合と入れ替えている。

なお、第1の実施例で述べたように、ワード線の配線、ビット線の配線、電源電位の配線及び接地電位の配線は、望ましくは、他のメモリセルの配線と共用するために、各メモリセル内での配線であるノード接続配線より上位の層に配置される。この点、階層的な配線の構成は、一例として、上記実施例2と同様の構成が実現可能である。

これ以外の点に関しては実施例2に示す構成と同一であるので説明を省略する。

【0046】

[実施例6]

図21に本実施例のSRAMセルレイアウトを示す。本実施例において実施例2と異なる点は、SRAMを構成する各トランジスタの配列が異なっている点である。本実施例においてはトランジスタの配列を変えたために、記憶ノードである基板上的拡散層を横切るN+注入領域524とP+注入領域525の境界線が一箇所しかない。このため、N+注入領域とP+注入領域の境界付近における重ね合わせマージンを確保しなければならない箇所は一箇所しかないため、SRAMセルの縦方向の長さを縮小することが可能である。さらに実施例1と同様にN+注入領域524およびP+注入領域525は単純なライン&スペースにより形成される。このため、N+注入領域とP+注入領域の境界付近の寸法のマージンを最小に抑えることができるため、実施例5の場合よりさらにSRAMセルの縦方向の長さの縮小が可能になる。また、アクセストランジスタとなる（Qn16、Qn26）が隣接しているため、これらのゲート電極に形成されるコンタクトを共通化することができる。

図21に示されるように、基板上的拡散層により形成される第1の記憶ノード502aと、ドライバトランジスタQn46およびロードトランジスタQp26のゲート電極より延在するゲート配線が共通のコンタクト510aにより接続され、基板上的拡散層により形成される第2の記憶ノード502b上に形成されるコンタクト510bは第1層配線であるノード接続配線Nb6によりコンタクト511aと接続される。このように本実施例においては、SRAMセルの配線方法が左右非対称であるため、SRAM特性も左右で非対称となる可能性がある。SRAM特性が左右非対称になると、SRAMの動作マージンを劣化させるため、本実施例においては、SRAM特性の非対称性に注意する必要がある。

本実施例においては、これまでの実施例とは異なりワード線WL6が横方向に配線され、ビット線（BL8、BLB8）は縦方向に配線される。また、2個のドライバトランジスタ（Qn36、Qn46）と2個のロードトランジスタ（Qp16、Qp26）が同一列上に形成されているため、単純なレイアウトにて電源配線Vcc6および接地配線Vss6に接続することができる。

なお、第1の実施例で述べたように、ワード線の配線、ビット線の配線、電源電位の配線及び接地電位の配線は、望ましくは、他のメモリセルの配線と共用するために、各メモリセル内での配線であるノード接続配線より上位の層に配置される。この点、階層的な配線の構成の一例として、ノード接続配線（Na6、Nb6）を下位の層で、ワード線（WL6）、電源電位の配線（Vcc6）及び接地電位の配線（Vss6）を中位の層で、ビット線の配線（BL6、BLB6）を上位の層で配線する構成が実現可能である。

【0047】

[実施例7]

図22に本実施例のSRAMセルレイアウトを示す。本実施例においては柱状半導体が最密充填に配置されるように6方格子状に配列されている点で他の実施例とは異なる。このように柱状半導体を配置することにより柱状半導体を最も小さい面積にバランスよく配置することができ、小さいSRAMセル面積を設計することができる。各トランジスタの配列は図22のものに限らず、他の配列にしてもよい。

なお、第1の実施例で述べたように、ワード線の配線、ビット線の配線、電源電位の配

線及び接地電位の配線は、望ましくは、他のメモリセルの配線と共用するために、各メモリセル内での配線であるノード接続配線より上位の層に配置される。この点、階層的な配線の構成は、一例として、上記実施例 2 と同様の構成が実現可能である。

【 0 0 4 8 】

[実施例 8]

図 2 3 に本実施例のセルレイアウトを示す。S R A Mセルアレイ内においては図 2 3 に示したユニットセルが繰り返し配置されている。図 2 4 a、b、c 及び d に図 2 3 のレイアウト図のカットライン A - A'、B - B'、C - C' 及び D - D' における断面構造をそれぞれ示す。

【 0 0 4 9 】

まず図 2 3 および図 2 4 を参考にして本発明のレイアウトについて説明する。

本実施例においては記憶ノードである基板上の拡散層のレイアウトが L 字型となっている点において他の実施例と異なる。記憶ノードである基板上の拡散層のパターニングに関しては他の実施例のように長方形であるほうが容易である。しかし、本実施例においては実施例 5 および実施例 6 と同様に記憶ノードを横切る N + 注入領域 (7 2 4 a、7 2 4 b) と P + 注入領域 7 2 5 の境界線が一箇所しかなく、さらに N + 注入領域 (7 2 4 a、7 2 4 b) および P + 注入領域 7 2 5 を形成するパターンは単純なライン & スペースにより形成される。このため、N + 注入領域 (7 2 4 a、7 2 4 b) と P + 注入領域 7 2 5 の境界付近の寸法のマージンを最小に抑えることができるため、小さい面積の S R A Mセルを設計することができる。

本実施例においては、ワード線 W L 8 が横方向に配線され、ビット線 (B L 8、B L B 8) は縦方向に配線される。ビット線から接続されるアクセストランジスタのゲートへのコンタクト (7 0 7 a、7 0 7 b) は図には示されていないが、横方向に隣接するメモリセルと共通化することができる。記憶ノード Q a 7 の基板上の拡散層と、ドライバトランジスタ Q n 4 8 およびロードトランジスタ Q p 2 8 のゲート電極より延在するゲート配線は両者にまたがって形成される共通のコンタクト 7 1 0 a により接続され、記憶ノード Q b 7 の基板上の拡散層と、ドライバトランジスタ Q n 3 8 およびロードトランジスタ Q p 1 8 のゲート電極より延在するゲート配線は両者にまたがって形成されるコンタクト 7 1 0 b により接続される。

なお、第 1 の実施例で述べたように、ワード線の配線、ビット線の配線、電源電位の配線及び接地電位の配線は、望ましくは、他のメモリセルの配線と共用するために、各メモリセル内での配線であるノード接続配線より上位の層、すなわち、コンタクト 7 0 7 a 及びコンタクト 7 0 7 b より上位の層に配置される。この点、階層的な配線の構成の一例として、ノード接続配線を下位の層で、ワード線 (W L 8) 及び接地電位の配線 (V s s 8 a、V s s 8 b) を中位の層で、ビット線の配線 (B L 8、B L B 8) 及び電源電位の配線 (V c c 8) を上位の層で配線する構成が実現可能である。

【 0 0 5 0 】

続いて、図 2 4 の断面構造を参照して本発明の S R A Mの構造について説明する。

図 2 4 (a) に示されるように、基板に第 1 のウェル 7 0 1 a である P - w e l l が形成され、素子分離 7 0 2 により基板上の拡散層が分離されている。基板上の拡散層により形成される第 1 の記憶ノード Q a 7 には不純物注入等により N + ドレイン拡散層 7 0 3 a が形成されており、基板上の拡散層により形成される第 2 の記憶ノード Q b 7 には不純物注入等により N + ドレイン拡散層 7 0 3 b および P + ドレイン拡散層 7 0 4 b がそれぞれ形成されている。また、第 1 のウェル 7 0 1 a と同一の導電型を持つ P + 拡散層 7 0 4 b の底部には基板へのリークを抑制するために、第 1 のウェル 7 0 1 a と異なる導電型を持つ第 2 のリーク防止拡散層 7 0 1 c が形成される。

ドレイン拡散層 (7 0 3 a、7 0 3 b、7 0 4 b) 表面にはシリサイド層 (7 1 3 a、7 1 3 b) が形成されており、N + 拡散層 7 0 3 b と P + 拡散層 7 0 4 b は、図には示されていないが、シリサイド層 7 1 3 b により接続されている。N + ドレイン拡散層 7 0 3 a 上にアクセストランジスタ Q n 1 8 を構成する柱状シリコン層 7 2 1 a が形成され、P

+ドレイン拡散層704b上にロードトランジスタQp28を構成する柱状シリコン層723bが形成され、N+ドレイン拡散層703b上にドライバトランジスタQn48を構成する柱状シリコン層722bが形成される。それぞれの柱状シリコン層の周囲にはゲート絶縁膜717およびゲート電極718が形成されている。柱状シリコン層上部にはソース拡散層(714、716)が不純物注入などにより形成され、ソース拡散層表面にはシリサイド層715が形成されている。アクセストランジスタQn18上に形成されるコンタクト706aはビット線BL8に接続され、アクセストランジスタQn18のゲート電極より延在するゲート配線718a上に形成されるコンタクト707aはワード線WL8に接続され、ロードトランジスタQp28上に形成されるコンタクト708bは電源電位配線Vcc8に接続され、ドライバトランジスタQn48上に形成されるコンタクト709bは接地電位配線Vss8に接続され、ロードトランジスタQp28およびドライバトランジスタQn48のゲート電極はそれぞれのゲート電極より延在するゲート配線718dにより互いに接続される。

10

【0051】

図24(b)に示されるように、基板に第1のウェル701aであるP-wellが形成され、素子分離702により基板上の拡散層が分離されている。基板上の拡散層により形成される第1の記憶ノードQa7には不純物注入等によりN+ドレイン拡散層703aが形成され、基板上の拡散層により形成される第2の記憶ノードQb7には不純物注入等によりN+ドレイン拡散層703bが形成され、N+ドレイン拡散層上にはシリサイド層(713a、713b)が形成されている。ドレイン拡散層703aおよびゲート配線718fは両者にまたがって形成される共通のコンタクト710aによって接続され、ドレイン拡散層703bおよびゲート配線718eは両者にまたがって形成される共通のコンタクト710bによって接続される。

20

【0052】

図24(c)に示されるように、基板に第1のウェル701aであるP-wellが形成され、素子分離702により基板上の拡散層が分離されている。基板上の拡散層により形成される第1の記憶ノードQa7には不純物注入等によりN+ドレイン拡散層703aが形成され、N+ドレイン拡散層703a表面にシリサイド層713aが形成されている。N+ドレイン拡散層703a上にアクセストランジスタQn18を構成する柱状シリコン層721a、およびドライバトランジスタQn38を構成する柱状シリコン層722aが形成される。それぞれの柱状シリコン層の周囲にゲート絶縁膜717およびゲート電極718が形成されている。柱状シリコン層上部にはN+ソース拡散層714が不純物注入などにより形成され、ソース拡散層表面にはシリサイド層715が形成されている。アクセストランジスタQn18上に形成されるコンタクト706aはビット線BL8に接続され、ドライバトランジスタQn38上に形成されるコンタクト709aは配線層を通して接地電位配線Vss8に接続される。

30

【0053】

図24(d)に示されるように、基板に第1のウェル701aであるP-wellが形成され、素子分離702により基板上の拡散層が分離されている。基板上の拡散層により形成される第1の記憶ノードQa7には不純物注入等によりN+ドレイン拡散層703aが形成され、基板上の拡散層により形成される第2の記憶ノードQb7には不純物注入等によりN+ドレイン拡散層703bが形成される。また、第1のウェル701aと同一の導電型を持つP+拡散層704aの底部には基板へのリークを抑制するために、第1のウェル701aと異なる導電型を持つ第1のリーク防止拡散層701bが形成され、第1のウェル701aと同一の導電型を持つP+拡散層704bの底部には基板へのリークを抑制するために、第1のウェル701aと異なる導電型を持つ第2のリーク防止拡散層701cが形成される。ドレイン拡散層704b上にはロードトランジスタQp28を構成する柱状シリコン層723bが形成され、ドレイン拡散層704a上にはロードトランジスタQp18を構成する柱状シリコン層723aが形成される。それぞれの柱状シリコン層の周囲にゲート絶縁膜717およびゲート電極718が形成され、それぞれの柱状シリコ

40

50

ン層上部にはP + ソース拡散層 7 1 6 が不純物注入などにより形成され、ソース拡散層表面にはシリサイド層 7 1 5 が形成されている。ロードトランジスタ Q p 2 8 およびロードトランジスタ Q p 1 8 上に形成されるコンタクト (7 0 8 b、7 0 8 a) は電源電位配線 V c c 8 に接続される。

【 0 0 5 4 】

本実施例においてもこれまでの実施例と同様に、基板上の記憶ノードに形成されるN + ドレイン拡散層とP + ドレイン拡散層が各々の拡散層表面に形成されるシリサイド層で直接接続されることにより、アクセストランジスタ、ドライバトランジスタ、およびロードトランジスタのドレイン拡散層は共通化され、S R A Mの記憶ノードとして機能している。このため、通常プレーナ型トランジスタで必要となるN + ソースドレイン拡散層とP + ソースドレイン拡散層とを分離するための素子分離が必要なくなり、S R A Mの2つの記憶ノードを分離するだけの素子分離だけで十分であるため、非常に小さいS R A Mセル面積を実現することができる。

【 0 0 5 5 】

以上説明したように、本発明によれば6個のM O Sトランジスタを用いて構成されたスタティック型メモリセルにおいて、前記M O Sトランジスタがドレイン、ゲート、ソースが垂直方向に配置されたS G Tで形成され、基板に第1のウェルが形成され、基板上に形成されるN + ソース拡散層とP + ソース拡散層がそれらの表面に形成されるシリサイド層により直接接続され、第1のウェルと同一の導電型を持つドレイン拡散層の各々の底部にを第1のウェルと反対の導電型を持ち、第1のウェルより浅い第1及び第2のリーク防止拡散層を形成することにより、S R A Mの記憶ノードとして機能する。このため、通常プレーナ型トランジスタで必要となるN + ソースドレイン拡散層とP + ソースドレイン拡散層とを分離するための素子分離が必要なくなり、素子分離としては、S R A Mの2つの記憶ノードを分離するだけで十分であるため、非常に小さいメモリセル面積を持つC M O S型6 T - S R A Mを実現することができる。

【 符号の説明 】

【 0 0 5 6 】

Q a、Q a 2、Q a 3、Q a 4、Q a 5、Q a 6、Q a 7 : 第1の記憶ノード

Q b、Q b 2、Q b 3、Q b 4、Q b 5、Q b 6、Q b 7 : 第2の記憶ノード

1 a、1 0 1 a、2 0 1 a、3 0 1 a、4 0 1 a、5 0 1 a、6 0 1 a、7 0 1 a : 第1のウェル

1 b、7 0 1 b : 第1のリーク防止拡散層

1 c、7 0 1 c : 第2のリーク防止拡散層

2、1 0 2、2 0 2、3 0 2、4 0 2、5 0 2、6 0 2、7 0 2 : 素子分離

3 a、1 0 3 a、2 0 3 a、3 0 3 a、4 0 3 a、5 0 3 a、6 0 3 a、7 0 3 a、3 b、1 0 3 b、2 0 3 b、3 0 3 b、4 0 3 b、5 0 3 b、6 0 3 b、7 0 3 b : N + ドレイン拡散層

4 a、1 0 4 a、2 0 4 a、3 0 4 a、4 0 4 a、5 0 4 a、6 0 4 a、7 0 4 a、4 b、1 0 4 b、2 0 4 b、3 0 4 b、4 0 4 b、5 0 4 b、6 0 4 b、7 0 4 b : P + ドレイン拡散層

5 a、1 0 5 a、2 0 5 a、3 0 5 a、4 0 5 a、5 0 5 a、6 0 5 a、5 b、1 0 5 b、2 0 5 b、3 0 5 b、4 0 5 b、5 0 5 b、6 0 5 b : N + ドレイン拡散層

6 a、1 0 6 a、2 0 6 a、3 0 6 a、4 0 6 a、5 0 6 a、6 0 6 a、7 0 6 a、6 b、1 0 6 b、2 0 6 b、3 0 6 b、4 0 6 b、5 0 6 b、6 0 6 b、7 0 6 b : アクセストランジスタソース拡散層上コンタクト

7 a、1 0 7 a、2 0 7 a、3 0 7 a、4 0 7 a、5 0 7 a、6 0 7 a、7 0 7 a、7 b、1 0 7 b、2 0 7 b、3 0 7 b、4 0 7 b、5 0 7 b、6 0 7 b、7 0 7 b : アクセストランジスタワード配線上コンタクト

8 a、1 0 8 a、2 0 8 a、3 0 8 a、4 0 8 a、5 0 8 a、6 0 8 a、7 0 8 a、8 b、1 0 8 b、2 0 8 b、3 0 8 b、4 0 8 b、5 0 8 b、6 0 8 b、7 0 8 b : ロードト

10

20

30

40

50

ランジスタソース拡散層上コンタクト

9 a、1 0 9 a、2 0 9 a、3 0 9 a、4 0 9 a、5 0 9 a、6 0 9 a、7 0 9 a、9 b、
1 0 9 b、2 0 9 b、3 0 9 b、4 0 9 b、5 0 9 b、6 0 9 b、7 0 9 b：ドライバ
トランジスタソース拡散層上コンタクト

1 0 a、1 1 0 a、2 1 0 a、3 1 0 a、4 1 0 a、5 1 0 a、6 1 0 a、7 1 0 a、1
0 b、1 1 0 b、2 1 0 b、3 1 0 b、4 1 0 b、5 1 0 b、6 1 0 b、7 1 0 b：ドレ
イン拡散層上コンタクト

1 1 a、1 1 1 a、2 1 1 a、3 1 1 a、4 1 1 a、5 1 1 a、6 1 1 a、7 1 1 a、1
1 b、1 1 1 b、2 1 1 b、3 1 1 b、4 1 1 b、5 1 1 b、6 1 1 b、7 1 1 b：ゲー
ト配線上コンタクト

10

1 3 a、1 3 b、1 5、7 1 3 a、7 1 3 b、7 1 5：シリサイド層

1 4、7 1 4：N＋ソース拡散層

1 6、7 1 6：P＋ソース拡散層

1 7、7 1 7：ゲート絶縁膜

1 8、7 1 8：ゲート電極

1 8 a、1 8 b、1 8 c、1 8 d、7 1 8 a、7 1 8 d、7 1 8 e、1 8 f、：ゲート配
線

1 9：シリコン窒化膜マスク

2 1 a、2 1 b、7 2 1 a、7 2 1 b：アクセストランジスタ柱状シリコン層

2 2 a、2 2 b、7 2 2 a、7 2 2 b：ドライバトランジスタ柱状シリコン層

20

2 3 a、2 3 b、7 2 3 a、7 2 3 b：ロードトランジスタ柱状シリコン層

2 4 a、1 2 4 a、2 2 4 a、3 2 4 a、5 2 4、7 2 4 a、2 4 b、1 2 4 b、2 2 4
b、3 2 4 b、7 2 4 b：N＋注入領域

2 5、1 2 5、2 2 5、3 2 5、4 2 5 a、4 2 5 b、5 2 5、6 2 5 a、6 2 5 b、7
2 5：P＋注入領域

3 3：レジスト

3 4：シリコン窒化膜等の絶縁膜

Q a、Q b：記憶ノード

Q n 1 1、Q n 2 1、Q n 1 2、Q n 2 2、Q n 1 3、Q n 2 3、Q n 1 4、Q n 2 4、
Q n 1 5、Q n 2 5、Q n 1 6、Q n 2 6、Q n 1 7、Q n 2 7、Q n 1 8、Q n 2 8：
アクセストランジスタ

30

Q n 3 1、Q n 4 1、Q n 3 2、Q n 4 2、Q n 3 3、Q n 4 3、Q n 3 4、Q n 4 4、
Q n 3 5、Q n 4 5、Q n 3 6、Q n 4 6、Q n 3 7、Q n 4 7、Q n 3 8、Q n 4 8：
ドライバトランジスタ

Q p 1 1、Q p 2 1、Q p 1 2、Q p 2 2、Q p 1 3、Q p 2 3、Q p 1 4、Q p 2 4、
Q p 1 5、Q p 2 5、Q p 1 6、Q p 2 6、Q p 1 7、Q p 2 7、Q p 1 8、Q p 2 8：
ロードトランジスタ

B L 1、B L 2、B L 3、B L 4、B L 5、B L 6、B L 7、B L 8、B L B 1、B L B
2、B L B 3、B L B 4、B L B 5、B L B 6、B L B 7、B L B 8：ビット線

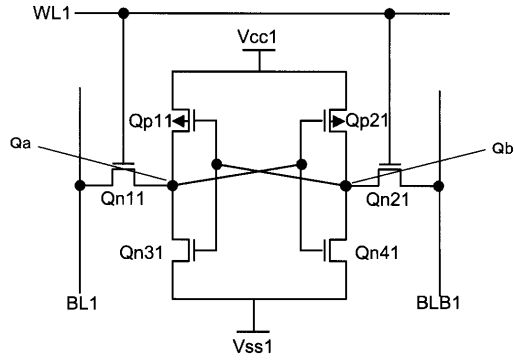
W L 1、W L 2、W L 3、W L 4、W L 5、W L 6、W L 7、W L 8：ワード線

40

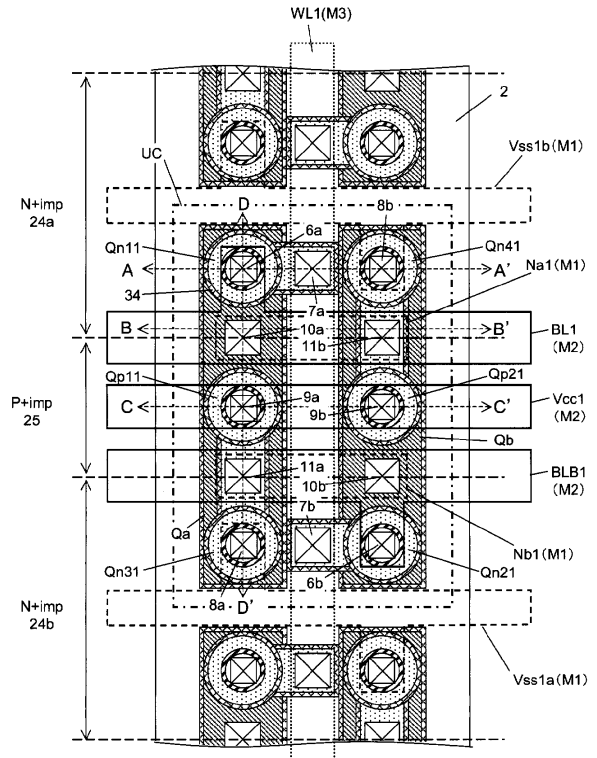
V c c 1、V c c 2、V c c 3、V c c 4、V c c 5 a、V c c 5 b、V c c 6、V c c
7、V c c 8：電源線

V s s 1 a、V s s 1 b、V s s 2 a、V s s 2 b、V s s 3 a、V s s 3 b、V s s 4
a、V s s 4 b、V s s 5、V s s 6、V s s 7 a、V s s 7 b、V s s 8 a、V s s 8
b：接地線

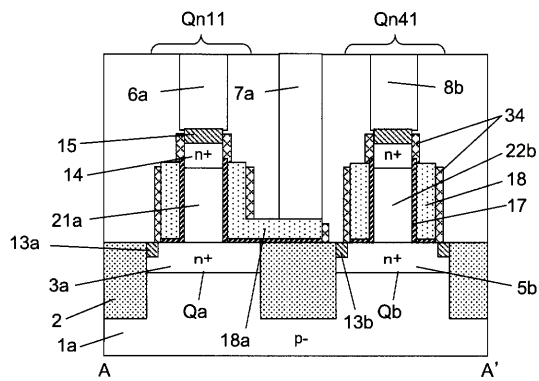
【図 1】



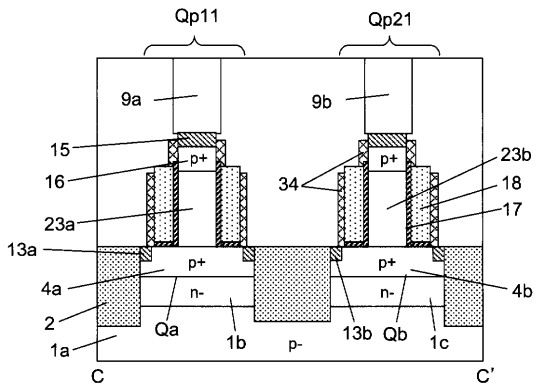
【図 2】



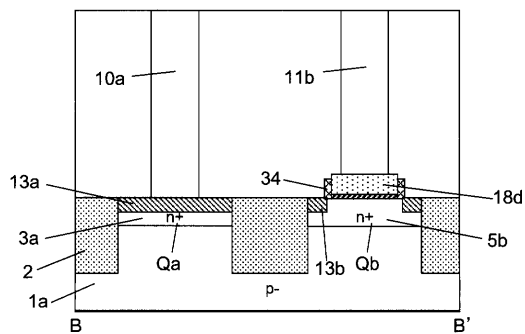
【図 3 a】



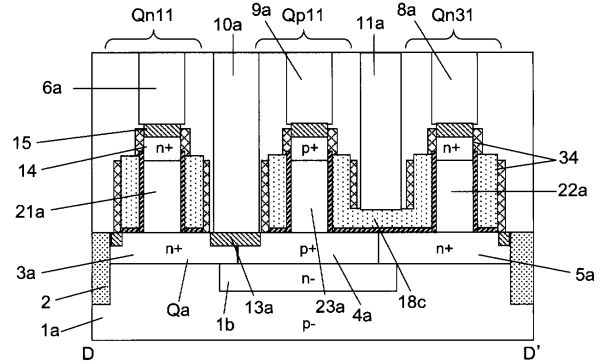
【図 3 c】



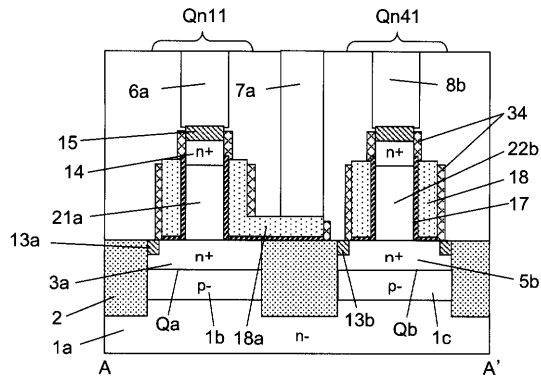
【図 3 b】



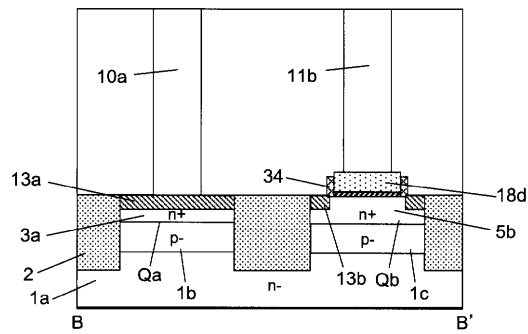
【図 3 d】



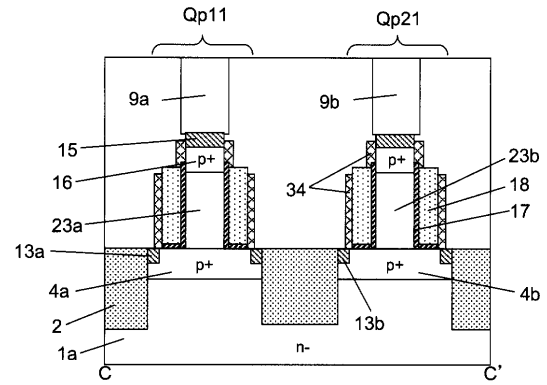
【図 4 a】



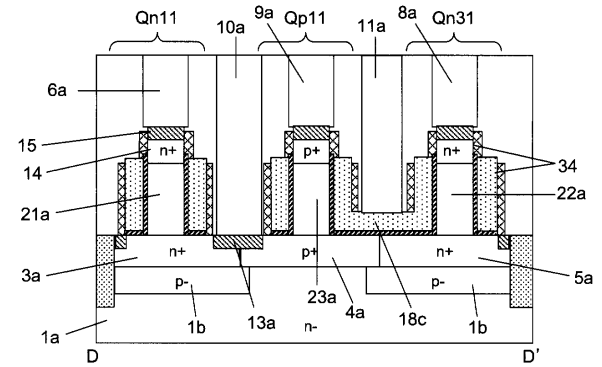
【図 4 b】



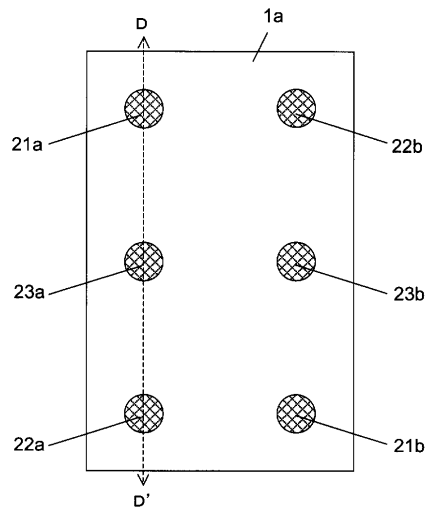
【図 4 c】



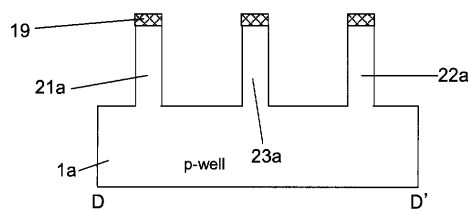
【図 4 d】



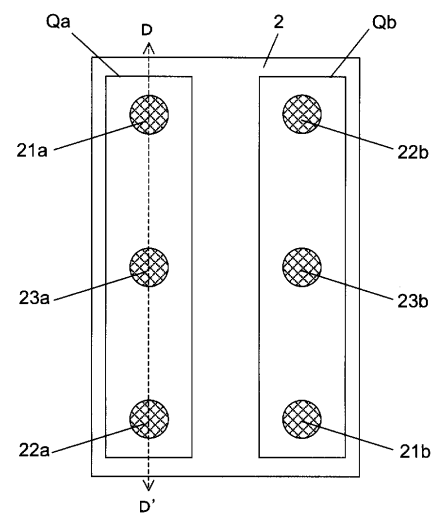
【図 5 a】



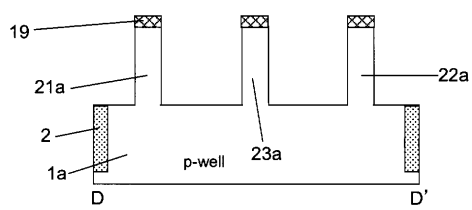
【図 5 b】



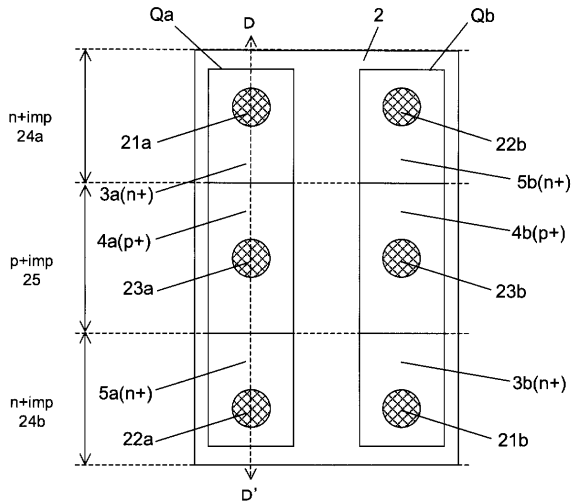
【図 6 a】



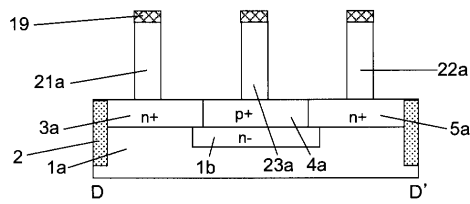
【図 6 b】



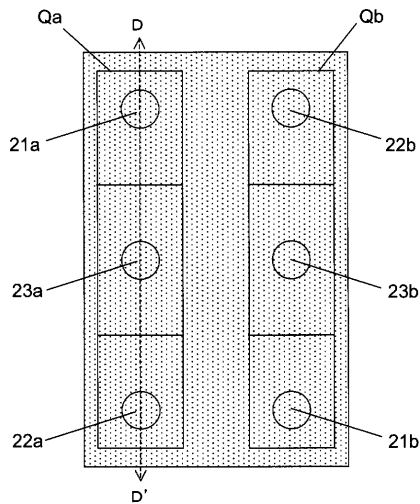
【図 7 a】



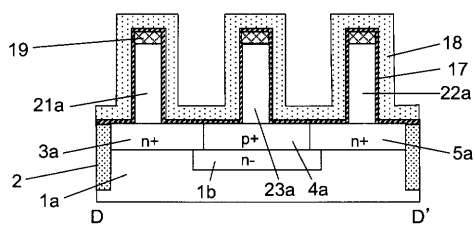
【図 7 b】



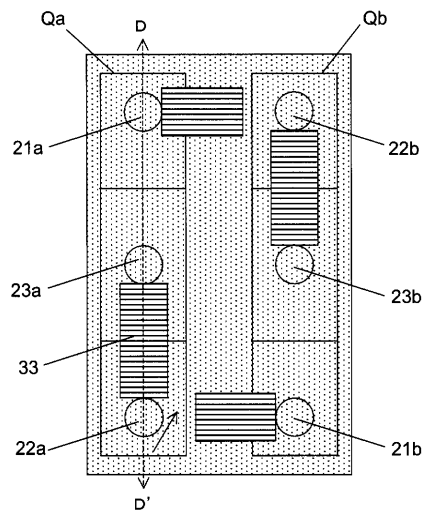
【図 8 a】



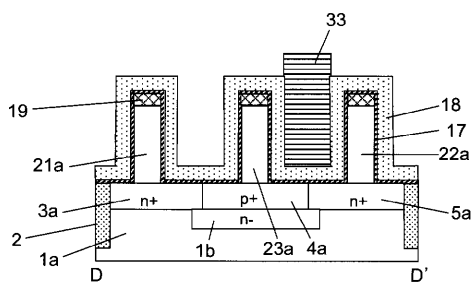
【図 8 b】



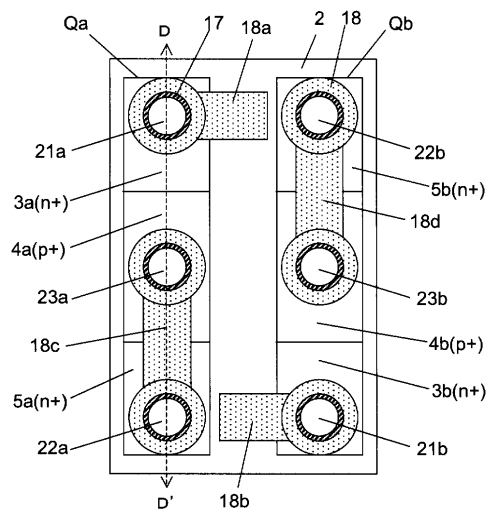
【図 9 a】



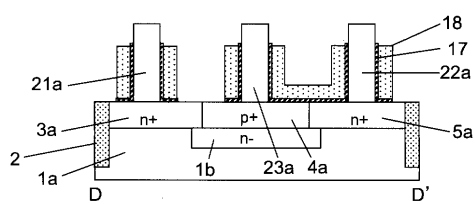
【図 9 b】



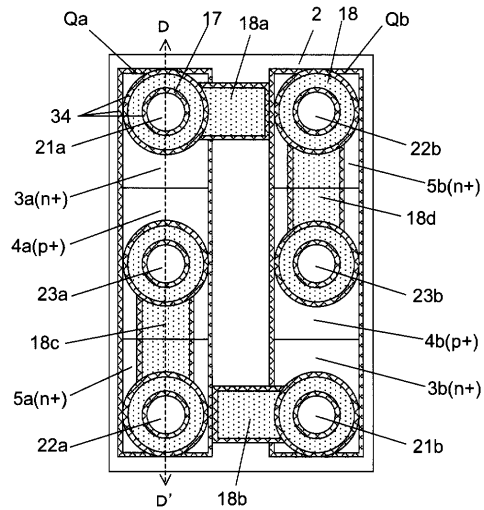
【図 10 a】



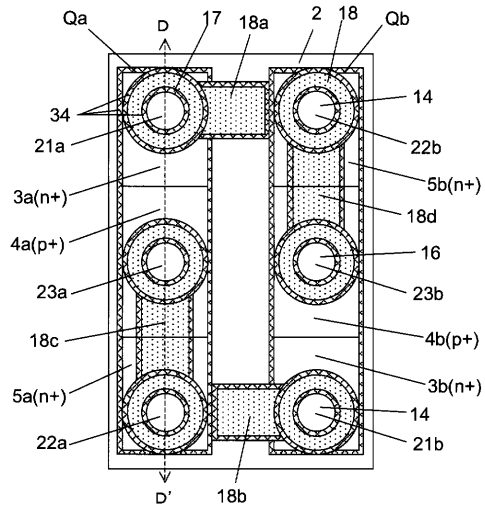
【図 10 b】



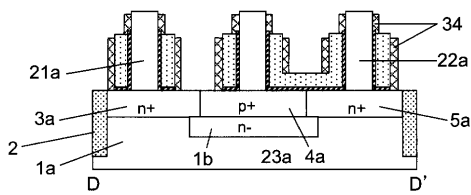
【図 1 1 a】



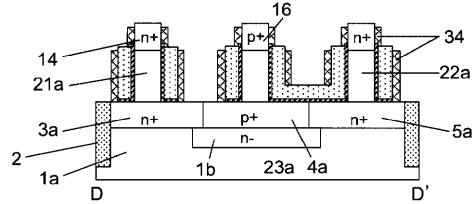
【図 1 2 a】



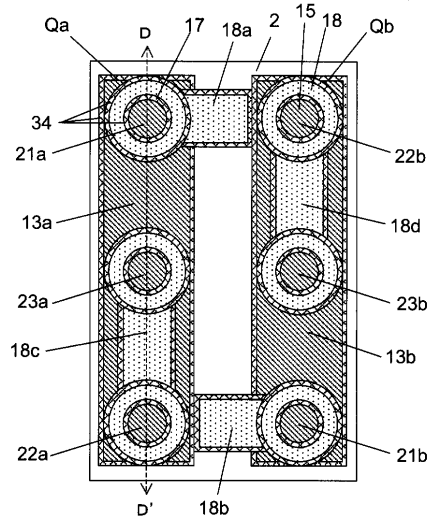
【図 1 1 b】



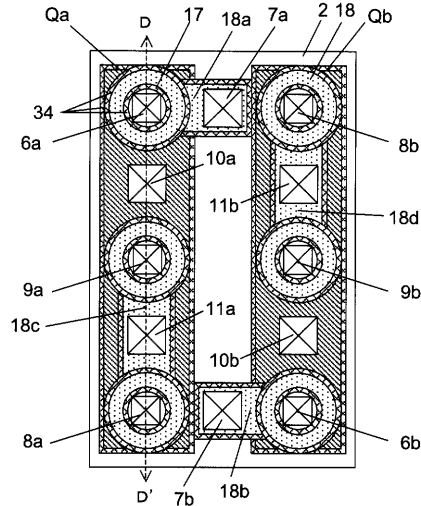
【図 1 2 b】



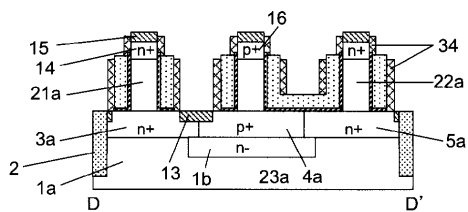
【図 1 3 a】



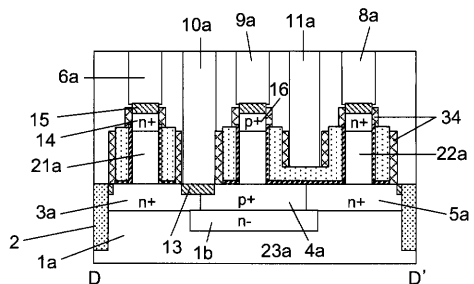
【図 1 4 a】



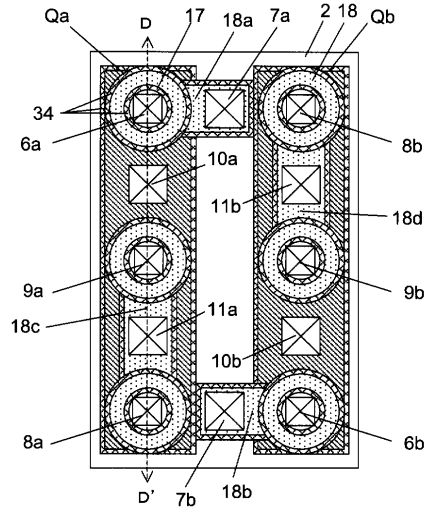
【図 1 3 b】



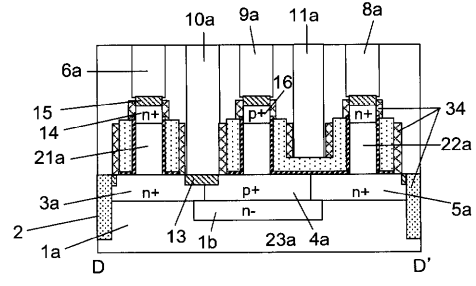
【図 1 4 b】



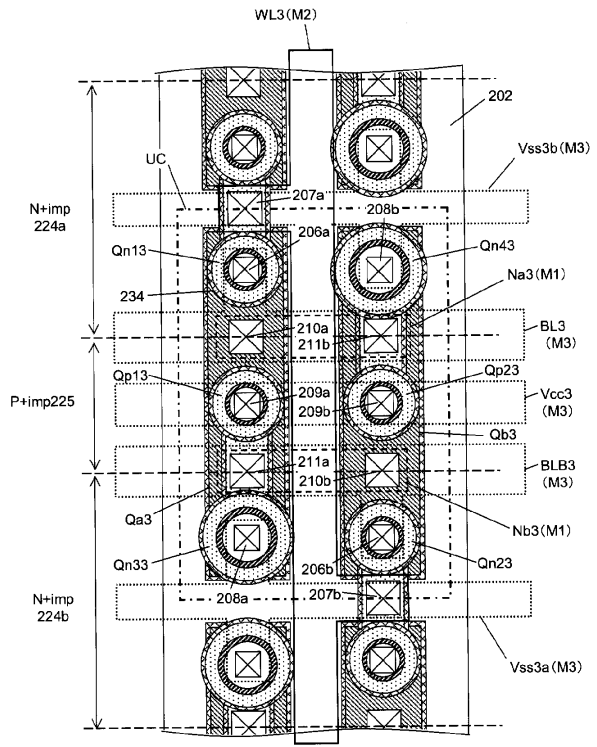
【図 16 a】



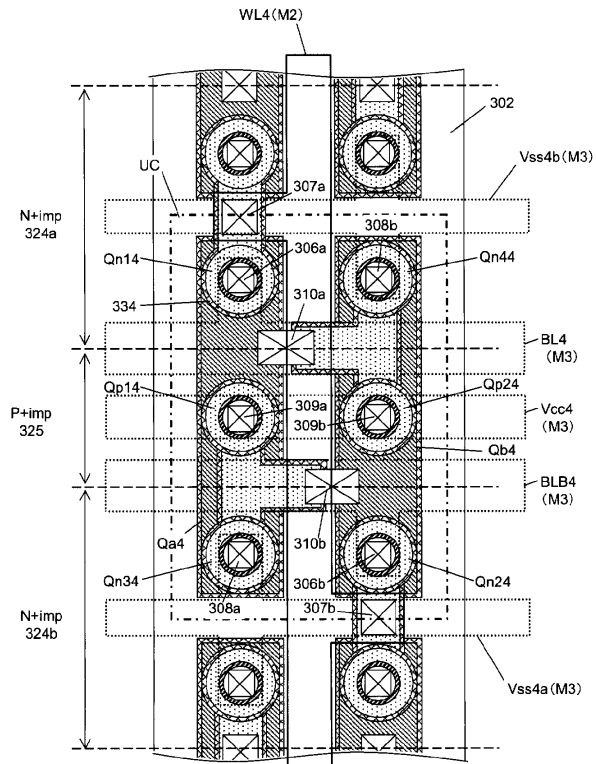
【 図 1 6 b 】



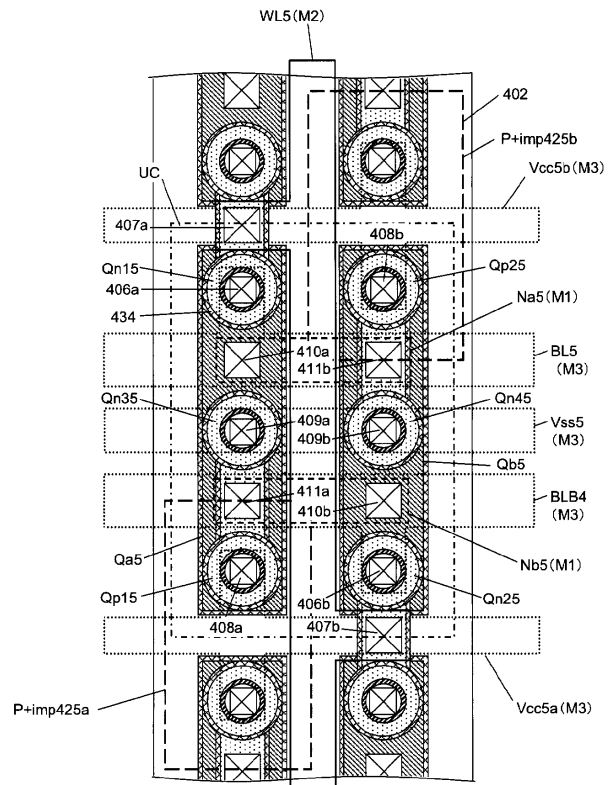
【 図 1 8 】



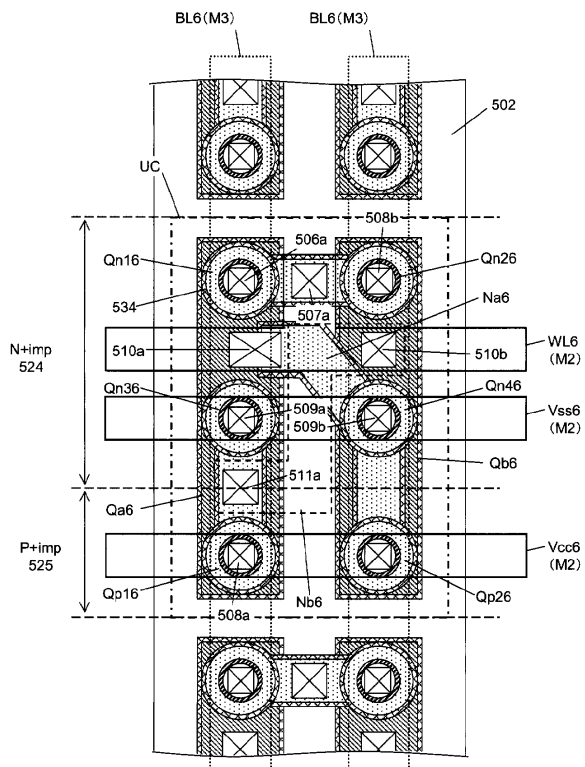
【図 19】



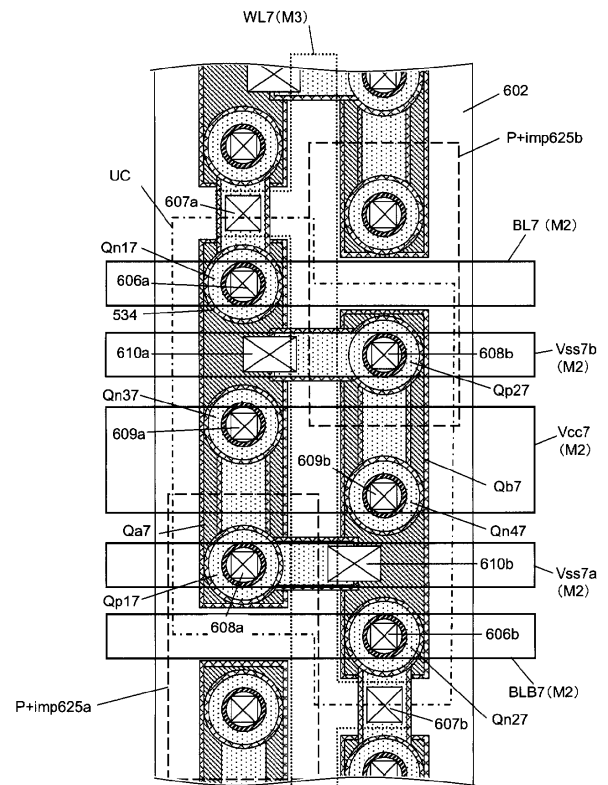
【図 20】



【図 21】



【図 22】



フロントページの続き

(74)代理人 100141553

弁理士 鈴木 信彦

(72)発明者 舩岡 富士雄

東京都中央区新川 1 - 2 2 - 1 1 フジライト新川ビル 2 F 日本ユニサンティスエレクトロニクス株式会社内

(72)発明者 新井 紳太郎

東京都中央区新川 1 - 2 2 - 1 1 フジライト新川ビル 2 F 日本ユニサンティスエレクトロニクス株式会社内

審査官 正山 旭

(56)参考文献 特開 2 0 0 8 - 2 0 5 1 6 8 (J P , A)

特開平 0 7 - 0 9 9 3 1 1 (J P , A)

特開 2 0 0 0 - 2 4 3 8 5 8 (J P , A)

特開 2 0 0 5 - 0 7 8 7 4 1 (J P , A)

米国特許出願公開第 2 0 0 1 / 0 0 5 3 0 8 9 (U S , A 1)

国際公開第 2 0 0 9 / 0 6 0 9 3 4 (W O , A 1)

特開平 1 0 - 0 7 9 4 8 2 (J P , A)

特開平 0 3 - 2 2 5 8 7 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 4

H 0 1 L 2 7 / 1 1

H 0 1 L 2 9 / 7 8