(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-37726
(P2005-37726A)
(43)公開日　平成17年2月10日(2005.2.10)

(51)Int.Cl.[7]	F I			テーマコード（参考）
G09G 3/30	G09G	3/30	J	3K007
G09G 3/20	G09G	3/30	K	5C080
H05B 33/14	G09G	3/20	612F	
	G09G	3/20	621A	
	G09G	3/20	621F	

審査請求 未請求　請求項の数 47　ＯＬ　（全 60 頁）　最終頁に続く

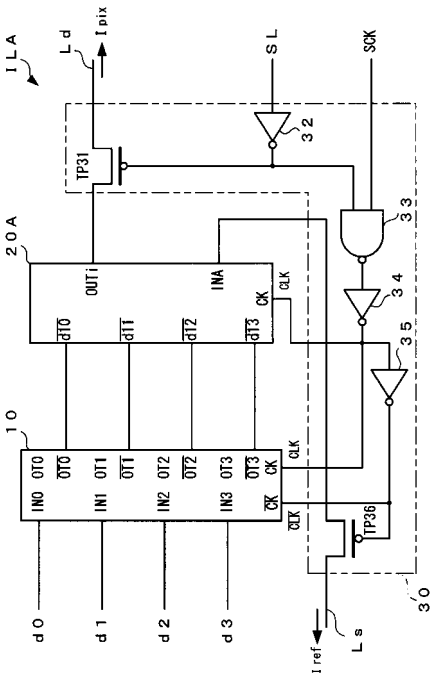
(21)出願番号　特願2003-275077(P2003-275077)
(22)出願日　平成15年7月16日(2003.7.16)

(71)出願人　000001443
カシオ計算機株式会社
東京都渋谷区本町１丁目６番２号
(74)代理人　100096699
弁理士　鹿嶋　英實
(72)発明者　佐々木　和広
東京都八王子市石川町２９５１番地の５　カシオ計算機株式会社八王子研究所内
(72)発明者　両澤　克彦
東京都八王子市石川町２９５１番地の５　カシオ計算機株式会社八王子研究所内

Ｆターム(参考)　3K007 AB17 BA06 DB03 GA04
5C080 AA06 BB05 DD08 DD22 EE29 FF11 GG12 JJ02 JJ03 JJ04

(54)【発明の名称】電流生成供給回路及びその制御方法並びに電流生成供給回路を備えた表示装置

(57)【要約】
【課題】　負荷に供給する駆動電流が微少な場合であっても、適切な電流値を有する駆動電流を迅速に生成、供給することができる電流生成供給回路及びその制御方法を提供し、以て、表示応答特性及び表示画質の向上を図ることができる表示装置を提供する。
【解決手段】　電流生成供給回路ＩＬＡは、複数ビットのデジタル信号ｄ０～ｄ３を取り込んで保持するデータラッチ部１０と、基準電流Ｉrefを取り込み、上記データラッチ部１０から出力される反転出力信号ｄ１０＊～ｄ１３＊に基づいて、所定の電流値を有する負荷駆動電流ＩＤを生成し、負荷に出力する電流生成部２０Ａと、タイミング制御信号ＳＣＫ及び選択設定信号ＳＬに基づいて、電流生成供給回路ＩＬＡの動作状態（データサンプリング動作、データ出力動作、リフレッシュ動作）を設定する動作設定部３０と、を備えた構成を有している。
【選択図】　図１



【特許請求の範囲】
【請求項１】
負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流生成供給回路において、
少なくとも、
前記負荷の駆動状態を設定する複数ビットのデジタル信号を各ビットごとに保持する信号保持手段と、
定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記複数の単位電流を選択的に合成し、前記駆動電流として前記負荷に対して供給する電流生成手段と、
前記信号保持手段及び前記電流生成手段における動作状態を設定する動作状態設定手段と、
を備え、
前記動作状態設定手段は、少なくとも、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記電流生成手段における前記駆動電流の生成供給動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする電流生成供給回路。
【請求項２】
前記信号保持手段は、直列に接続された前段及び後段からなる２組の信号保持部を備え、
前記動作状態設定手段は、前記前段の信号保持部に前記複数ビットのデジタル信号を取り込み保持する動作と、前記後段の信号保持部から前記電流生成部に前記複数ビットのデジタル信号に基づく出力信号を出力する動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする請求項１記載の電流生成供給回路。
【請求項３】
前記電流生成手段は、並列に接続された２組の電流生成部を備え、
前記動作状態設定手段は、前記２組の電流生成部のうちのいずれか一方に、前記信号保持手段から前記複数ビットのデジタル信号に基づく出力信号を供給し、該出力信号に応じた前記駆動電流を生成する動作を実行するように、前記２組の電流生成部の動作状態を選択的に設定する手段を具備していることを特徴とする請求項２記載の電流生成供給回路。
【請求項４】
前記電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、
前記電荷蓄積手段に保持された電荷量に基づいて、前記複数の単位電流を生成する手段と、
を備えていることを特徴とする請求項１乃至３のいずれかに記載の電流生成供給回路。
【請求項５】
前記電流生成供給回路は、前記電流生成手段に設けられた前記電荷蓄積手段に蓄積された電荷量を、前記基準電流に応じた電荷量にリフレッシュするリフレッシュ手段を備え、
前記動作状態設定手段は、前記リフレッシュ手段における動作状態を設定する手段を具備していることを特徴とする請求項４記載の電流生成供給回路。
【請求項６】
前記動作状態設定手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする請求項５記載の電流生成供給回路。
【請求項７】
前記動作状態設定手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作及び前記電流生成手段における前記駆動電流の生成供給動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重ならないよ

うに実行するように前記動作状態を設定する手段を具備していることを特徴とする請求項５記載の電流生成供給回路。

【請求項８】

前記電流生成手段は、少なくとも、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有する前記複数の単位電流を生成する単位電流生成回路部と、

前記複数の単位電流から、前記デジタル信号の各ビット値に応じて前記単位電流を選択して合成するスイッチ回路部と、

を備え、

前記選択された前記単位電流の合成電流を、前記駆動電流とすることを特徴とする請求項１乃至７のいずれかに記載の電流生成供給回路。

【請求項９】

前記単位電流生成回路部は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を備え、

前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする請求項８記載の電流生成供給回路。

【請求項１０】

前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする請求項１１記載の電流生成供給回路。

【請求項１１】

前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャネル幅が、互いに2^k（ｋ＝０、１、２、３、・・・）で規定される、異なる比率に設定されていることを特徴とする請求項１０記載の電流生成供給回路。

【請求項１２】

前記電流生成手段は、前記駆動電流を前記負荷側から引き込む方向に流すように、前記駆動電流の信号極性を設定することを特徴とする請求項１乃至１１のいずれかに記載の電流生成供給回路。

【請求項１３】

前記電流生成手段は、前記駆動電流を前記負荷に流し込む方向に流すように、前記駆動電流の信号極性を設定することを特徴とする請求項１乃至１１のいずれかに記載の電流生成供給回路。

【請求項１４】

前記負荷は、前記電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項１乃至１３のいずれかに記載の電流生成供給回路。

【請求項１５】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項１４記載の電流生成供給回路。

【請求項１６】

負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流生成供給回路の制御方法において、

前記負荷の駆動状態を設定するために、連続する所定のタイミングで供給される複数ビットのデジタル信号を各ビットごとに取り込み保持するステップと、

定電流源から供給される基準電流に基づいて、前記取り込み保持した前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成するステップと、

前記デジタル信号の各ビット値に応じて、前記複数の単位電流を選択的に合成し、前記駆動電流として前記負荷に供給するステップと、

を含み、

少なくとも、先のタイミングで取り込み保持した前記複数ビットのデジタル信号に基づいて前記駆動電流を生成して前記負荷に供給するステップと、次のタイミングの前記複数

ビットのデジタル信号を取り込み保持するステップと、を時間的に重なるように、並行して実行することを特徴とする電流生成供給回路の制御方法。

【請求項１７】

前記複数ビットのデジタル信号を各ビットごとに取り込み保持するステップは、

前記複数ビットのデジタル信号を前段の信号保持部に取り込むステップと、

前記取り込んだ前記複数ビットのデジタル信号を後段の信号保持部に転送するステップと、

前記転送された前記複数ビットのデジタル信号に基づく出力信号を出力するステップと、

を含み、

少なくとも、前記複数ビットのデジタル信号を取り込むステップと、前記転送された前記複数ビットのデジタル信号に基づく出力信号を出力するステップと、を時間的に重なるように、並行して実行することを特徴とする請求項１６記載の電流生成供給回路の制御方法。

【請求項１８】

前記複数の単位電流を生成するステップは、

前記基準電流の電流成分に応じた電荷を電荷蓄積手段に蓄積するステップと、

前記電荷蓄積手段に蓄積された電荷量に応じた電圧成分に基づいて、前記複数の単位電流を生成するステップと、

を含むことを特徴とする請求項１６又は１７記載の電流生成供給回路の制御方法。

【請求項１９】

前記複数ビットのデジタル信号に基づいて前記駆動電流を生成して前記負荷に供給するステップに先立って、前記電荷蓄積手段に蓄積された電荷量を、前記基準電流に応じた電荷量にリフレッシュするステップを含むことを特徴とする請求項１８記載の電流生成供給回路の制御方法。

【請求項２０】

前記複数ビットのデジタル信号を取り込むステップと、前記電荷蓄積手段に蓄積された電荷量をリフレッシュするステップと、を時間的に重なるように、並行して実行することを特徴とする請求項１９記載の電流生成供給回路の制御方法。

【請求項２１】

前記複数ビットのデジタル信号を取り込むステップ及び前記複数ビットのデジタル信号に基づいて前記駆動電流を生成して前記負荷に供給するステップと、前記電荷蓄積手段に蓄積された電荷量をリフレッシュするステップと、を時間的に重ならないように実行することを特徴とする請求項１９記載の電流生成供給回路の制御方法。

【請求項２２】

相互に並列に接続された２組の電流生成部のうちの一方の電流生成部により、前記複数ビットのデジタル信号に基づいて前記駆動電流を生成して前記負荷に供給するステップと、前記２組の電流生成部のうちの他方の電流生成部に設けられた前記電荷蓄積手段に蓄積された電荷量をリフレッシュするステップと、を時間的に重なるように、並行して実行することを特徴とする請求項１９記載の電流生成供給回路の制御方法。

【請求項２３】

前記複数の単位電流は、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする請求項１６乃至２２のいずれかに記載の電流生成供給回路の制御方法。

【請求項２４】

前記複数の単位電流の電流値は、互いに2^{k}（ｋ＝０、１、２、３、・・・）で規定される、異なる比率を有するように設定されていることを特徴とする請求項２３記載の電流生成供給回路の制御方法。

【請求項２５】

前記駆動電流の信号極性は、前記駆動電流が前記負荷から引き込む方向に流れるように設

定されていることを特徴とする請求項１６乃至２４のいずれかに記載の電流生成供給回路の制御方法。

【請求項２６】

前記駆動電流の信号極性は、前記駆動電流が前記負荷に流し込む方向に流れるように設定されていることを特徴とする請求項１６乃至２４のいずれかに記載の電流生成供給回路の制御方法。

【請求項２７】

前記負荷は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項１６乃至２６いずれかに記載の電流生成供給回路の制御方法。

【請求項２８】

少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該複数の走査線及び該複数の信号線の各交点に、マトリクス状に複数の表示画素が配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記各走査線に印加する走査駆動手段と、表示信号に基づく階調電流を、前記各信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記階調電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、

前記信号駆動手段は、

前記各表示画素に対応して、前記表示信号に基づく複数ビットのデジタル信号を各ビットごとに保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記表示画素に対して前記階調電流として供給する電流生成手段と、前記信号保持手段及び前記電流生成手段における動作状態を設定する動作状態設定手段と、を有する電流生成供給回路を備え、

前記動作状態設定手段は、少なくとも、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記電流生成手段における前記階調電流の生成供給動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする表示装置。

【請求項２９】

前記信号保持手段は、直列に接続された前段及び後段からなる２組の信号保持部を備え、

前記動作状態設定手段は、前記前段の信号保持部に前記複数ビットのデジタル信号を取り込み保持する動作と、前記後段の信号保持部から前記電流生成部に前記複数ビットのデジタル信号に基づく出力信号を出力する動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする請求項２８記載の表示装置。

【請求項３０】

前記電流生成手段は、並列に接続された２組の電流生成部を備え、

前記動作状態設定手段は、前記２組の電流生成部のうちのいずれか一方に、前記信号保持手段から前記複数ビットのデジタル信号に基づく出力信号を供給し、該出力信号に応じた前記階調電流を生成する動作を実行するように、前記２組の電流生成部の動作状態を選択的に設定する手段を具備していることを特徴とする請求項２８記載の表示装置。

【請求項３１】

前記信号駆動手段は、少なくとも、前記複数の信号線の各々に対して２組の前記電流生成供給回路を備えるとともに、各組の前記電流生成供給回路群が前記表示パネルを挟んで対向する位置に配置され、

前記動作状態設定手段は、少なくとも、前記一方の電流生成供給回路群の前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記他方の電流生成供給回路群の前記電流生成手段における前記階調電流の生成供給動作と、を時間的に重な

るように、並行して実行する手段を具備していることを特徴とする請求項２８記載の表示装置。

【請求項３２】

前記信号駆動手段は、少なくとも、前記複数の信号線を２組にグループ化し、該各グループの各信号線に対応して前記電流生成供給回路が設けられた２組の前記電流生成供給回路群を備え、

前記動作状態設定手段は、少なくとも、前記一方の電流生成供給回路群の前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記他方の電流生成供給回路群の前記電流生成手段における前記階調電流の生成供給動作と、を時間的に重なるように、並行して実行する手段を具備していることを特徴とする請求項２８記載の表示装置。

【請求項３３】

前記２組の前記電流生成供給回路群は、各々前記表示パネルを挟んで対向する位置に配置されていることを特徴とする請求項３２記載の表示装置。

【請求項３４】

前記各グループは、前記表示パネルに配設された前記複数の信号線の総本数ｍのうち、第１本目から第ｍ／２本目までを第１のグループとし、第ｍ／２＋１本目から第ｍ本目までを第２のグループとするように設定されていることを特徴とする請求項３２記載の表示装置。

【請求項３５】

前記各グループは、前記表示パネルに配設された前記複数の信号線のうち、奇数本目の前記信号線を第１のグループとし、偶数本目の前記信号線を第２のグループとするように設定されていることを特徴とする請求項３２又は３４記載の表示装置。

【請求項３６】

前記電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、

前記電荷蓄積手段に保持された電荷量に基づいて、前記複数の単位電流を生成する手段と、

を備えていることを特徴とする請求項２８乃至３５のいずれかに記載の表示装置。

【請求項３７】

前記電流生成供給回路は、前記電流生成手段に設けられた前記電荷蓄積手段に蓄積された電荷量を、前記基準電流に応じた電荷量にリフレッシュするリフレッシュ手段を備え、

前記動作状態設定手段は、前記リフレッシュ手段における動作状態を設定する手段を具備していることを特徴とする請求項３６記載の表示装置。

【請求項３８】

前記動作状態設定手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする請求項３７記載の表示装置。

【請求項３９】

前記動作状態設定手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作及び前記電流生成手段における前記駆動電流の生成供給動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重ならないように実行するように前記動作状態を設定する手段を具備していることを特徴とする請求項３７記載の表示装置。

【請求項４０】

前記電流生成手段は、少なくとも、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有する前記複数の単位電流を生成する単位電流生成回路部と、

前記複数の単位電流から、前記デジタル信号の各ビット値に応じて前記単位電流を選択して合成するスイッチ回路部と、

を備え、
　前記選択された前記単位電流の合成電流を、前記階調電流とすることを特徴とする請求項２８乃至３９のいずれかに記載の表示装置。
【請求項４１】
前記単位電流生成回路部は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を備え、
　前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする請求項４０記載の表示装置。
【請求項４２】
前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする請求項４１記載の表示装置。
【請求項４３】
前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャネル幅が、互いに2^k（ｋ＝０、１、２、３、・・・）で規定される、異なる比率に設定されていることを特徴とする請求項４２記載の表示装置。
【請求項４４】
前記電流生成手段は、前記階調電流を前記表示画素側から引き込む方向に流すように、前記階調電流の信号極性を設定することを特徴とする請求項２８乃至４３のいずれかに記載の表示装置。
【請求項４５】
前記電流生成手段は、前記階調電流を前記表示画素に流し込む方向に流すように、前記階調電流の信号極性を設定することを特徴とする請求項２８乃至４３のいずれかに記載の表示装置。
【請求項４６】
前記表示画素は、前記電流生成手段から供給される前記階調電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項２８乃至４５のいずれかに記載の表示装置。
【請求項４７】
前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項４６記載の表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明は、電流生成供給回路及びその制御方法並びに該電流生成供給回路を備えた表示装置に関し、特に、表示データに応じた階調電流に基づいて所定の輝度階調で発光動作する電流駆動型（又は、電流指定型）の発光素子のように、供給する電流に応じて駆動状態が制御される負荷に対して、所望の電流値を有する駆動電流を生成して供給する電流生成供給回路及びその制御方法、並びに、該電流生成供給回路を備えた表示装置に関する。
【背景技術】
【０００２】
　近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして多用されている液晶表示装置（ＬＣＤ）に続く次世代の表示デバイス（ディスプレイ）として、有機エレクトロルミネッセンス素子（以下、「有機ＥＬ素子」と略記する）や無機エレクトロルミネッセンス素子（以下、「無機ＥＬ素子」と略記する）、あるいは、発光ダイオード（ＬＥＤ）等のような自己発光型の光学要素（発光素子）を、マトリクス状に配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）の、実用化に向けた研究開発が盛んに行われている。
【０００３】
　このような発光素子型ディスプレイ（特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイ）においては、液晶表示装置に比較して、表示応答速度が速く

、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。

【０００４】

このようなディスプレイの一例は、概略、行方向に配設された走査ラインと列方向に配設されたデータラインの各交点近傍に発光素子を含む表示画素が配列された表示パネルと、画像表示信号（表示データ）に応じた階調信号を生成して、データラインを介して各表示画素に供給するデータドライバと、所定のタイミングで走査信号を順次印加して特定の行の表示画素を選択状態にする走査ドライバと、を備え、走査ドライバにより選択状態に設定された各表示画素に、データドライバから階調信号を供給することにより、各表示画素（発光素子）が表示データに応じた所定の輝度階調で発光動作して、所望の画像情報が表示パネルに表示される。なお、発光素子型のディスプレイの具体例については、後述する発明の実施の形態において、詳しく説明する。

【０００５】

ここで、上記ディスプレイにおける表示駆動動作としては、走査ドライバにより選択された特定の行の表示画素（発光素子）に対して、データドライバにより印加する階調信号の電圧値（階調信号電圧）を、表示データに応じて調整することにより、各発光素子に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させる電圧指定型の駆動方式や、データドライバにより供給する階調信号の電流値（階調電流）を調整することにより、各発光素子に流す発光駆動電流の電流値を制御する電流指定型の駆動方式等が知られている。

【０００６】

このような表示駆動方式のうち、電圧指定型の駆動方式においては、各表示画素において階調信号電圧の電圧成分を電流成分に変換する画素駆動回路を備える必要があるが、この画素駆動回路を構成する能動素子（薄膜トランジスタ等）の特性は外的環境や経時変化による影響を受けやすく、そのため、発光駆動電流の電流値の変動が大きくなり、長期間にわたり安定的に所望の発光特性を得ることが困難であるという問題があるのに対して、表示画素に供給する階調電流の電流値を調整する電流指定型の駆動方式においては、このような素子特性の変動の影響を抑制することができるという優位性を有している。なお、電流指定型の駆動方式に適用される画素駆動回路の構成例については、詳しく後述する。

【０００７】

そして、このような電流指定型の駆動方式を採用したディスプレイに適用されるデータドライバの具体的な構成としては、例えば、図２８に示すように、電流路の一端側（エミッタ）が電源端子ＴＭｐに接続されるとともに、電流路の他端側（コレクタ）が基準電流入力端子ＴＭｒに接続されたトランジスタＴＰｒと、電流路の一端側（エミッタ）が共通電源ラインＬｐを介して上記電源端子ＴＭｐに共通に接続されるとともに、電流路の他端側（コレクタ）が個別の出力端子ＯＵＴ１、ＯＵＴ２、・・・ＯＵＴｍに接続され、かつ、各制御端子（ベース）が上記トランジスタＴＰｒの制御端子（ベース）に並列的に接続された複数のトランジスタＴＰ１、ＴＰ２、・・・ＴＰｍからなるカレントミラー回路を基本構成として備えた定電流生成供給回路を良好に適用することができる。

【０００８】

このようなデータドライバにおいては、トランジスタＴＰｒに流れる入力電流（基準電流）Ｉｒに応じて、複数のトランジスタＴＰ１、ＴＰ２、・・・ＴＰｍに流れる一定の電流値を有する階調電流（駆動電流）ＩＰ１、ＩＰ２、・・・ＩＰｍを個別の出力端子ＯＵＴ１、ＯＵＴ２、・・・ＯＵＴｍを介して（もしくは、図示を省略した出力回路をさらに介して）、図示を省略した表示パネルを構成する複数の表示画素に一括して供給することにより、表示画素（発光素子）を発光動作させることができる。ここで、図２８に示したようなデータドライバ（定電流生成供給回路）については、例えば、特許文献１等に、その基本構成や、出力電流間のバラツキを改善した構成が記載されている。

【０００９】

また、データドライバの他の構成としては、例えば、図２９に示すように、表示データに応じた電流値を有する入力電流Ｉdtを生成、出力する電流源ＰＩに共通の電流供給ラインＬｉを介して接続された複数のラッチ回路ＬＴ１、ＬＴ２、・・・ＬＴｍと、該各ラッチ回路ＬＴ１、ＬＴ２、・・・ＬＴｍに対応して設けられた出力回路ＤＯ１、ＤＯ２、・・・ＤＯｍとを備えたものを良好に適用することができる。

【００１０】

このようなデータドライバにおいては、時系列的に入力されるラッチ制御信号ＳＬ１、ＳＬ２、・・・ＳＬｍに基づいて、電流源ＰＩから出力される表示データに応じた入力電流Ｉdtを、ラッチ回路ＬＴ１、ＬＴ２、・・・ＬＴｍに順次保持し、所定のタイミングで入力される出力イネーブル信号Ｓenに基づいて、出力回路ＤＯ１、ＤＯ２、・・・ＤＯｍから個別の出力端子ＯＵＴ１、ＯＵＴ２、・・・ＯＵＴｍを介して、各ラッチ回路ＬＴ１、ＬＴ２、・・・ＬＴｍに保持された入力電流Ｉdtに基づく階調電流（駆動電流）ＩＤ１、ＩＤ２、・・・ＩＤｍを、表示パネルを構成する複数の表示画素に一括して供給する。ここで、図２９においては、複数のラッチ回路及び出力回路からなる構成を一組のみ示したが、このような構成を二組設けて、一方のラッチ回路群に電流を順次保持している期間に、他方のラッチ回路群に保持された電流を出力するようにした構成を適用するものであってもよい。

【００１１】

なお、図２８、図２９に示した従来技術においては、データドライバにより生成された階調電流（駆動電流）をデータドライバ側から表示パネル（表示画素）側に、流し込む方向に供給する場合について説明したが、上記特許文献１にも示されているように、データドライバにより生成された階調電流を表示パネル（表示画素）側からデータドライバ側に、引き込む方向に供給するものも知られている。また、図２８に示したデータドライバ（電流生成供給回路）を構成するカレントミラー回路は、バイポーラトランジスタを適用した回路構成を有しているが、電界効果型トランジスタを適用したものも知られている。

【００１２】

【特許文献１】特開２００２－２０２８２３号公報　（第３頁、図２、図１５）

【発明の開示】

【発明が解決しようとする課題】

【００１３】

しかしながら、上述したような発光素子型ディスプレイにおいては、以下に示すような問題を有していた。

すなわち、データドライバにより表示データに応じた階調電流（駆動電流）を表示画素ごとに生成し、出力端子に接続された各データラインを介して、特定行の各表示画素に一括して供給する従来の構成及び駆動制御方法においては、データラインに供給される階調電流が表示データに対応して変化するとともに、各データライン（表示画素）に対応してデータドライバに個別に設けられたトランジスタやラッチ回路等の回路構成（図２８、図２９参照）に、所定の電流源から共通の電流供給ラインＬｐ、Ｌｉを介して供給される入力電流Ｉｒ、Ｉdtも変化することになる。

【００１４】

一般に、信号配線には寄生容量（配線容量）が存在するため、上述したような電流供給ラインやデータラインを介して所定の電流を供給する動作は、当該信号配線（電流供給ラインやデータライン）に存在する寄生容量を所定の電位まで充電、あるいは、放電することに相当する。そのため、電流供給ラインやデータラインを介して供給される電流が微少である場合には、その充放電動作に時間を要し、電流供給ラインやデータラインの電位が安定するまでに所定の（ある程度の）時間を要することになる。

【００１５】

ここで、データドライバにおける動作は、データライン数（すなわち、表示画素数）が増加するほど、各データラインにおける電流の保持、供給動作等に割り当てられる動作期間が短くなって高速な動作を要求されるが、上述したように電流供給ラインやデータライ

ンへの充放電動作にある程度の時間を要するため、この充放電動作の速度に起因してデータドライバの動作速度が律速されてしまうという問題を有していた。すなわち、表示パネルの小型化や高精細化（高解像度化）等に伴って、データラインを介して供給される階調電流の電流値が小さくなるほど、データドライバの動作速度（又は、動作期間）が制約されることになり、良好な画像表示動作を実現することが困難になるという問題を有していた。

【００１６】

そこで、本発明は、上述した課題に鑑み、負荷に供給する駆動電流が微少な場合であっても、適切な電流値を有する駆動電流を迅速に生成、供給することができる電流生成供給回路及びその制御方法を提供し、以て、表示応答特性及び表示画質の向上を図ることができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【００１７】

請求項１記載の発明は、負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流生成供給回路において、少なくとも、前記負荷の駆動状態を設定する複数ビットのデジタル信号を各ビットごとに保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記複数の単位電流を選択的に合成し、前記駆動電流として前記負荷に対して供給する電流生成手段と、前記信号保持手段及び前記電流生成手段における動作状態を設定する動作状態設定手段と、を備え、前記動作状態設定手段は、少なくとも、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記電流生成手段における前記駆動電流の生成供給動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする。

【００１８】

請求項２記載の発明は、請求項１記載の電流生成供給回路において、前記信号保持手段は、直列に接続された前段及び後段からなる２組の信号保持部を備え、前記動作状態設定手段は、前記前段の信号保持部に前記複数ビットのデジタル信号を取り込み保持する動作と、前記後段の信号保持部から前記電流生成部に前記複数ビットのデジタル信号に基づく出力信号を出力する動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする。

【００１９】

請求項３記載の発明は、請求項２記載の電流生成供給回路において、前記電流生成手段は、並列に接続された２組の電流生成部を備え、前記動作状態設定手段は、前記２組の電流生成部のうちのいずれか一方に、前記信号保持手段から前記複数ビットのデジタル信号に基づく出力信号を供給し、該出力信号に応じた前記駆動電流を生成する動作を実行するように、前記２組の電流生成部の動作状態を選択的に設定する手段を具備していることを特徴とする。

【００２０】

請求項４記載の発明は、請求項１乃至３のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて、前記複数の単位電流を生成する手段と、を備えていることを特徴とする。

請求項５記載の発明は、請求項４記載の電流生成供給回路において、前記電流生成供給回路は、前記電流生成手段に設けられた前記電荷蓄積手段に蓄積された電荷量を、前記基準電流に応じた電荷量にリフレッシュするリフレッシュ手段を備え、前記動作状態設定手段は、前記リフレッシュ手段における動作状態を設定する手段を具備していることを特徴とする。

【００２１】

請求項６記載の発明は、請求項５記載の電流生成供給回路において、前記動作状態設定

手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする。

請求項７記載の発明は、請求項５記載の電流生成供給回路において、前記動作状態設定手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作及び前記電流生成手段における前記駆動電流の生成供給動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重ならないように実行するように前記動作状態を設定する手段を具備していることを特徴とする。

【００２２】

請求項８記載の発明は、請求項１乃至７のいずれかに記載の電流生成供給回路において、前記電流生成手段は、少なくとも、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有する前記複数の単位電流を生成する単位電流生成回路部と、前記複数の単位電流から、前記デジタル信号の各ビット値に応じて前記単位電流を選択して合成するスイッチ回路部と、を備え、前記選択された前記単位電流の合成電流を、前記駆動電流とすることを特徴とする。

【００２３】

請求項９記載の発明は、請求項８記載の電流生成供給回路において、前記単位電流生成回路部は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を備え、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする。

請求項１０記載の発明は、請求項１１記載の電流生成供給回路において、前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする。

【００２４】

請求項１１記載の発明は、請求項１０記載の電流生成供給回路において、前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャネル幅が、互いに2^{k}（ｋ＝０、１、２、３、・・・）で規定される、異なる比率に設定されていることを特徴とする。

請求項１２記載の発明は、請求項１乃至１１のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記駆動電流を前記負荷側から引き込む方向に流すように、前記駆動電流の信号極性を設定することを特徴とする。

【００２５】

請求項１３記載の発明は、請求項１乃至１１のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記駆動電流を前記負荷に流し込む方向に流すように、前記駆動電流の信号極性を設定することを特徴とする。

請求項１４記載の発明は、請求項１乃至１３のいずれかに記載の電流生成供給回路において、前記負荷は、前記電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

請求項１５記載の発明は、請求項１４記載の電流生成供給回路において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【００２６】

請求項１６記載の発明は、負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流生成供給回路の制御方法において、前記負荷の駆動状態を設定するために、連続する所定のタイミングで供給される複数ビットのデジタル信号を各ビットごとに取り込み保持するステップと、定電流源から供給される基準電流に基づいて、前記取り込み保持した前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成するステップと、前記デジタル信号の各ビット値に応じて、前記複数の単位電流を選択的に合成し、前記駆動電流として前記負荷に供給するステップと、を含み、少なくとも、先のタイミングで取り込み保持した前記複数ビットのデジタル信号に基づいて

前記駆動電流を生成して前記負荷に供給するステップと、次のタイミングの前記複数ビットのデジタル信号を取り込み保持するステップと、を時間的に重なるように、並行して実行することを特徴とする。

【００２７】

請求項１７記載の発明は、請求項１６記載の電流生成供給回路の制御方法において、前記複数ビットのデジタル信号を各ビットごとに取り込み保持するステップは、前記複数ビットのデジタル信号を前段の信号保持部に取り込むステップと、前記取り込んだ前記複数ビットのデジタル信号を後段の信号保持部に転送するステップと、前記転送された前記複数ビットのデジタル信号に基づく出力信号を出力するステップと、を含み、少なくとも、前記複数ビットのデジタル信号を取り込むステップと、前記転送された前記複数ビットのデジタル信号に基づく出力信号を出力するステップと、を時間的に重なるように、並行して実行することを特徴とする。

【００２８】

請求項１８記載の発明は、請求項１６又は１７記載の電流生成供給回路の制御方法において、前記複数の単位電流を生成するステップは、前記基準電流の電流成分に応じた電荷を電荷蓄積手段に蓄積するステップと、前記電荷蓄積手段に蓄積された電荷量に応じた電圧成分に基づいて、前記複数の単位電流を生成するステップと、を含むことを特徴とする。

請求項１９記載の発明は、請求項１８記載の電流生成供給回路の制御方法において、前記複数ビットのデジタル信号に基づいて前記駆動電流を生成して前記負荷に供給するステップに先立って、前記電荷蓄積手段に蓄積された電荷量を、前記基準電流に応じた電荷量にリフレッシュするステップを含むことを特徴とする。

【００２９】

請求項２０記載の発明は、請求項１９記載の電流生成供給回路の制御方法において、前記複数ビットのデジタル信号を取り込むステップと、前記電荷蓄積手段に蓄積された電荷量をリフレッシュするステップと、を時間的に重なるように、並行して実行することを特徴とする。

請求項２１記載の発明は、請求項１９記載の電流生成供給回路の制御方法において、前記複数ビットのデジタル信号を取り込むステップ及び前記複数ビットのデジタル信号に基づいて前記駆動電流を生成して前記負荷に供給するステップと、前記電荷蓄積手段に蓄積された電荷量をリフレッシュするステップと、を時間的に重ならないように実行することを特徴とする。

【００３０】

請求項２２記載の発明は、請求項１９記載の電流生成供給回路の制御方法において、相互に並列に接続された２組の電流生成部のうちの一方の電流生成部により、前記複数ビットのデジタル信号に基づいて前記駆動電流を生成して前記負荷に供給するステップと、前記２組の電流生成部のうちの他方の電流生成部に設けられた前記電荷蓄積手段に蓄積された電荷量をリフレッシュするステップと、を時間的に重なるように、並行して実行することを特徴とする。

請求項２３記載の発明は、請求項１６乃至２２のいずれかに記載の電流生成供給回路の制御方法において、前記複数の単位電流は、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする。

【００３１】

請求項２４記載の発明は、請求項２３記載の電流生成供給回路の制御方法において、前記複数の単位電流の電流値は、互いに2^{k}（ｋ＝０、１、２、３、・・・）で規定される、異なる比率を有するように設定されていることを特徴とする。

請求項２５記載の発明は、請求項１６乃至２４のいずれかに記載の電流生成供給回路の制御方法において、前記駆動電流の信号極性は、前記駆動電流が前記負荷から引き込む方向に流れるように設定されていることを特徴とする。

【００３２】
請求項２６記載の発明は、請求項１６乃至２４のいずれかに記載の電流生成供給回路の制御方法において、前記駆動電流の信号極性は、前記駆動電流が前記負荷に流し込む方向に流れるように設定されていることを特徴とする。
請求項２７記載の発明は、請求項１６乃至２６いずれかに記載の電流生成供給回路の制御方法において、前記負荷は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。
【００３３】
請求項２８記載の発明は、少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該複数の走査線及び該複数の信号線の各交点に、マトリクス状に複数の表示画素が配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記各走査線に印加する走査駆動手段と、表示信号に基づく階調電流を、前記各信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記階調電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、前記信号駆動手段は、前記各表示画素に対応して、前記表示信号に基づく複数ビットのデジタル信号を各ビットごとに保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記表示画素に対して前記階調電流として供給する電流生成手段と、前記信号保持手段及び前記電流生成手段における動作状態を設定する動作状態設定手段と、を有する電流生成供給回路を備え、前記動作状態設定手段は、少なくとも、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記電流生成手段における前記階調電流の生成供給動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする。
【００３４】
請求項２９記載の発明は、請求項２８記載の表示装置において、前記信号保持手段は、直列に接続された前段及び後段からなる２組の信号保持部を備え、前記動作状態設定手段は、前記前段の信号保持部に前記複数ビットのデジタル信号を取り込み保持する動作と、前記後段の信号保持部から前記電流生成部に前記複数ビットのデジタル信号に基づく出力信号を出力する動作と、を時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする。
【００３５】
請求項３０記載の発明は、請求項２８記載の表示装置において、前記電流生成手段は、並列に接続された２組の電流生成部を備え、前記動作状態設定手段は、前記２組の電流生成部のうちのいずれか一方に、前記信号保持手段から前記複数ビットのデジタル信号に基づく出力信号を供給し、該出力信号に応じた前記階調電流を生成する動作を実行するように、前記２組の電流生成部の動作状態を選択的に設定する手段を具備していることを特徴とする。
【００３６】
請求項３１記載の発明は、請求項２８記載の表示装置において、前記信号駆動手段は、少なくとも、前記複数の信号線の各々に対して２組の前記電流生成供給回路を備えるとともに、各組の前記電流生成供給回路群が前記表示パネルを挟んで対向する位置に配置され、前記動作状態設定手段は、少なくとも、前記一方の電流生成供給回路群の前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記他方の電流生成供給回路群の前記電流生成手段における前記階調電流の生成供給動作と、を時間的に重なるように、並行して実行する手段を具備していることを特徴とする。
【００３７】
請求項３２記載の発明は、請求項２８記載の表示装置において、前記信号駆動手段は、少なくとも、前記複数の信号線を２組にグループ化し、該各グループの各信号線に対応し

て前記電流生成供給回路が設けられた２組の前記電流生成供給回路群を備え、前記動作状態設定手段は、少なくとも、前記一方の電流生成供給回路群の前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記他方の電流生成供給回路群の前記電流生成手段における前記階調電流の生成供給動作と、を時間的に重なるように、並行して実行する手段を具備していることを特徴とする。

【００３８】

請求項３３記載の発明は、請求項３２記載の表示装置において、前記２組の前記電流生成供給回路群は、各々前記表示パネルを挟んで対向する位置に配置されていることを特徴とする。

請求項３４記載の発明は、請求項３２記載の表示装置において、前記各グループは、前記表示パネルに配設された前記複数の信号線の総本数ｍのうち、第１本目から第ｍ／２本目までを第１のグループとし、第ｍ／２＋１本目から第ｍ本目までを第２のグループとするように設定されていることを特徴とする。

【００３９】

請求項３５記載の発明は、請求項３２又は３３記載の表示装置において、前記各グループは、前記表示パネルに配設された前記複数の信号線のうち、奇数本目の前記信号線を第１のグループとし、偶数本目の前記信号線を第２のグループとするように設定されていることを特徴とする。

請求項３６記載の発明は、請求項２８乃至３５のいずれかに記載の表示装置において、前記電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて、前記複数の単位電流を生成する手段と、を備えていることを特徴とする。

【００４０】

請求項３７記載の発明は、請求項３６記載の表示装置において、前記電流生成供給回路は、前記電流生成手段に設けられた前記電荷蓄積手段に蓄積された電荷量を、前記基準電流に応じた電荷量にリフレッシュするリフレッシュ手段を備え、前記動作状態設定手段は、前記リフレッシュ手段における動作状態を設定する手段を具備していることを特徴とする。

請求項３８記載の発明は、請求項３７記載の表示装置において、前記動作状態設定手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重なって、並行して実行するように前記動作状態を設定する手段を具備していることを特徴とする。

【００４１】

請求項３９記載の発明は、請求項３７記載の表示装置において、前記動作状態設定手段は、前記信号保持手段における前記複数ビットのデジタル信号の取り込み保持動作及び前記電流生成手段における前記駆動電流の生成供給動作と、前記リフレッシュ手段における前記電荷蓄積手段のリフレッシュ動作と、が時間的に重ならないように実行するように前記動作状態を設定する手段を具備していることを特徴とする。

請求項４０記載の発明は、請求項２８乃至３９のいずれかに記載の表示装置において、前記電流生成手段は、少なくとも、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有する前記複数の単位電流を生成する単位電流生成回路部と、前記複数の単位電流から、前記デジタル信号の各ビット値に応じて前記単位電流を選択して合成するスイッチ回路部と、を備え、前記選択された前記単位電流の合成電流を、前記階調電流とすることを特徴とする。

【００４２】

請求項４１記載の発明は、請求項４０記載の表示装置において、前記単位電流生成回路部は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を備え、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする。

請求項４２記載の発明は、請求項４１記載の表示装置において、前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする。

【００４３】

請求項４３記載の発明は、請求項４２記載の表示装置において、前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャネル幅が、互いに2^k（ｋ＝０、１、２、３、・・・）で規定される、異なる比率に設定されていることを特徴とする。

請求項４４記載の発明は、請求項２８乃至４３のいずれかに記載の表示装置において、前記電流生成手段は、前記階調電流を前記表示画素側から引き込む方向に流すように、前記階調電流の信号極性を設定することを特徴とする。

【００４４】

請求項４５記載の発明は、請求項２８乃至４３のいずれかに記載の表示装置において、前記電流生成手段は、前記階調電流を前記表示画素に流し込む方向に流すように、前記階調電流の信号極性を設定することを特徴とする。

請求項４６記載の発明は、請求項２８乃至４５のいずれかに記載の表示装置において、前記表示画素は、前記電流生成手段から供給される前記階調電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

請求項４７記載の発明は、請求項４６記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【発明の効果】

【００４５】

すなわち、本発明に係る電流生成供給回路及びその制御方法においては、有機ＥＬ素子や発光ダイオード等のように、電流値に応じて所定の駆動状態（発光輝度）で動作する負荷（表示画素）に対して、所定の電流値を有する負荷駆動電流（階調電流）を個別に供給する電流生成供給回路であって、負荷の駆動状態を設定する複数ビットのデジタル信号を保持する信号保持手段（データラッチ部）と、該複数ビットのデジタル信号制御信号に対応した電流値を有する駆動電流（階調電流）を生成して出力する電流生成手段（電流生成部）と、少なくとも、信号保持手段における複数ビットのデジタル信号の取り込み保持動作と、電流生成手段における駆動電流の生成供給動作と、を時間的に重なって、並行して実行するように、信号保持手段及び電流生成手段の動作状態を設定する動作状態設定手段（動作設定部）と、を備えた構成を有している。

【００４６】

ここで、本発明に係る電流生成供給回路は、上記信号保持手段として２組の信号保持部を備え、連続して供給される上記複数ビットのデジタル信号を、異なるタイミングで交互に取り込み保持し、さらには、電流生成手段として２組の電流生成部を備え、上記複数ビットのデジタル信号の取り込み動作に並行して、先のタイミングで取り込み保持した複数ビットのデジタル信号に対応した電流値を有する駆動電流を生成して供給する動作を実行する。

【００４７】

また、本発明に係る電流生成供給回路は、上記電流生成手段における駆動電流の生成手法として、定電流源から供給される基準電流に基づいて、複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、上記信号保持手段に保持されたデジタル信号の各ビット値に応じて、上記複数の単位電流を選択的に合成して駆動電流を生成する構成を有し、具体的には、上記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段に保持された電荷量に基づいて、複数の単位電流を生成するように構成されている。

さらには、本発明に係る電流生成供給回路は、上記電流生成手段に設けられた電荷蓄積手段に蓄積された電荷量を、所定値にリフレッシュするリフレッシュ手段を備えた構成を適用することができ、該リフレッシュ動作を任意のタイミングで実行する。

【００４８】

なお、電流生成手段としては、上記基準電流が流れる基準電流トランジスタと、上記複

数の単位電流が各々流れる複数の単位電流トランジスタと、を具備したカレントミラー回路構成を適用することができ、特に、複数の単位電流トランジスタの各チャネル幅が相互に異なるように設定することにより、一定の基準電流に対して各々異なる比率の電流値を有する複数の単位電流が生成される回路構成を適用することができる。

【００４９】

これにより、負荷に直接駆動電流を供給する電流生成供給回路において、一定の基準電流、及び、連続的に供給される複数ビットのデジタル信号に基づいて、負荷を所望の駆動状態で動作させることができる電流値を有する駆動電流を、順次生成することができるため、生成する駆動電流の電流値が微少な場合や、負荷への駆動電流の供給時間が短い場合であっても、上記基準電流を供給する基準電流供給線の配線容量（寄生容量）への充放電動作に起因する信号遅延の影響を排除することができ、電流生成供給回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で連続的に動作させることができる。

【００５０】

また、この場合、電流生成供給回路に設けられた単一の動作状態設定手段により、信号保持手段における複数ビットのデジタル信号の取り込み保持動作と、電流生成手段における駆動電流の生成供給動作を並行かつ連続して実行するように制御することができるので、各負荷に２組の電流生成供給回路（少なくとも、信号保持手段と電流生成手段と動作状態設定手段とを含む構成）を並列に設けて、これらを連続的かつ相補的に動作させる構成に比較して、回路構成を簡素化することができる。

【００５１】

そして、本発明に係る表示装置においては、相互に直交する複数の走査線（走査ライン）及び複数の信号線（データライン）の各交点近傍に、発光素子を備えた複数の表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、上述したような電流生成供給回路を信号駆動手段（データドライバ）の階調電流生成回路に適用し、表示パネルの所定の行に配列された表示画素群の選択期間内に、連続して供給される表示信号（表示データ）に基づく複数ビットのデジタル信号を各階調電流生成回路の信号保持手段に取り込み保持する動作（データ取り込み動作）と、上記信号保持手段に保持した複数ビットのデジタル信号に基づいて電流生成手段において生成された特定の単位電流の合成電流を、階調電流として表示画素に供給する動作（データ出力動作）と、を時間的に重なるように並行して、かつ、連続的に実行するように構成されている。

【００５２】

ここで、信号駆動手段に設けられる各階調電流生成回路は、表示パネルに配設される各信号線を２グループ（例えば、奇数ラインと偶数ライン等）に分割し、各グループの信号線に対応して設けられた階調電流生成回路群ごとに、上記信号保持手段における複数ビットのデジタル信号の取り込み保持動作と、電流生成手段における階調電流の生成供給動作と、を個別かつ並行して実行するとともに、２グループの階調電流生成回路群により交互に繰り返し実行するようにした構成を適用することができる。さらに、少なくとも、上記２グループの階調電流生成回路群を、各々表示パネルを挟んで対向する位置に設けた構成を適用することもできる。

【００５３】

これにより、階調電流生成回路により表示画素に供給される階調電流が、一定の基準電流、及び、連続して供給される複数ビットのデジタル信号（表示信号）に基づいて順次生成されるので、表示画素を比較的低い輝度階調で発光動作させる場合（階調電流の電流値が微少な場合）や、表示パネルの高精細化等に伴って表示画素への階調電流の供給時間（選択時間）が短く設定されている場合であっても、連続する階調電流の生成に関連して信号駆動手段（特に、階調電流生成回路）に供給される基準電流による、基準電流供給線への充放電動作に起因する信号遅延の影響を排除することができ、信号駆動手段の動作速度の低下を抑制して、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

【００５４】

また、表示パネルに配設された信号線を２グループ化して、各グループに対応して設けられた階調電流生成回路群において、表示信号に基づくデジタル信号の取り込み保持動作と階調電流の生成供給動作を、並行して実行しつつ、交互に繰り返し実行することにより、信号駆動手段から各表示画素に対して、表示信号に適切に対応した電流値を有する階調電流を継続的に供給することができるので、信号駆動手段の動作速度を実質的に向上させて、表示画素を所望の輝度階調で迅速に発光動作させることができ、表示装置の表示応答速度及び表示画質を一層向上させることができる。さらに、各階調電流生成回路群を表示パネルを挟んで対向する領域（例えば、上方及び下方）に個別に配置することができるので、各領域における信号駆動手段の回路規模を縮小することができ、表示装置の表示エリアの外側に設置される額縁部分を狭くして、表示装置の小型化（あるいは、表示エリアサイズの大型化）を図ることができる。

【発明を実施するための最良の形態】

【００５５】

以下、本発明に係る電流生成供給回路及びその制御方法並びに電流生成供給回路を備えた表示装置について、実施の形態を示して詳しく説明する。

まず、本発明に係る電流生成供給回路及びその制御方法について、図面を参照して説明する。

【００５６】

＜電流生成供給回路の第１の実施形態＞

図１は、本発明に係る電流生成供給回路の第１の実施形態を示す概略構成図であり、図２は、本実施形態に電流生成供給回路に適用されるデータラッチ部を示す概略構成図である。

図１に示すように、本実施形態に係る電流生成供給回路ＩＬＡは、少なくとも、電流値を指定するための複数ビットのデジタル信号（本実施形態においては、便宜的に４ビットの場合を示す）ｄ０、ｄ１、ｄ２、ｄ３（ｄ０～ｄ３）を取り込んで保持（ラッチ）するデータラッチ部（信号保持手段）１０と、図示を省略した定電流発生源（定電流源）から供給される一定の電流値を有する基準電流Ｉrefを、基準電流供給線Ｌｓを介して取り込み、上記データラッチ部１０から出力される出力信号（反転出力信号）ｄ１０＊、ｄ１１＊、ｄ１２＊、ｄ１３＊（ｄ１０＊～ｄ１３＊；以下、本明細書中では、反転極性を示す記号を、便宜的に「＊」を用いて示す。図１、図２の符号参照）に基づいて、上記基準電流Ｉrefに対して所定比率の電流値を有する負荷駆動電流（駆動電流）ＩＤを生成し、駆動電流供給線Ｌｄを介して図示を省略した負荷に出力する電流生成部（電流生成手段）２０Ａと、図示を省略したタイミングジェネレータやシフトレジスタ等を備えた制御手段から出力されるタイミング制御信号ＳＣＫ及び選択設定信号ＳＬに基づいて、電流生成供給回路ＩＬＡの動作状態（データサンプリング動作、データ出力動作、リフレッシュ動作）を設定する動作設定部（動作状態設定手段）３０と、を備えた構成を有している。

【００５７】

以下、上記各構成について、具体的に説明する。

（データラッチ部１０）

データラッチ部１０は、具体的には、図２（ａ）、（ｂ）に示すように、デジタル信号ｄ０～ｄ３のビット数（４ビット）に応じた数のラッチ回路ＬＣ０、ＬＣ１、ＬＣ２、ＬＣ３（ＬＣ０～ＬＣ３）が並列に設けられた構成を有し、後述する動作設定部３０において生成される、上記タイミング制御信号ＳＣＫの非反転クロック信号ＣＬＫ及び反転クロック信号ＣＬＫ＊に基づいて、該非反転クロック信号ＣＬＫがハイレベル（反転クロック信号ＣＬＫ＊がローレベル）となるタイミングで、各々個別に供給される上記デジタル信号ｄ０～ｄ３を同時に取り込み、非反転クロック信号ＣＬＫがローレベル（反転クロック信号ＣＬＫ＊がハイレベル）となるタイミングで、取り込んだデジタル信号ｄ０～ｄ３に基づく信号レベル（非反転レベル及び反転レベル）を出力、保持する動作（信号保持動作）を実行する。

【００５８】

なお、図１又は図２（ａ）に示したデータラッチ部１０において、ＩＮ０～ＩＮ３は、各々、図２（ｂ）に示した各ラッチ回路ＬＣ０～ＬＣ３の入力接点ＩＮを示し、ＯＴ０～ＯＴ３は、各々、各ラッチ回路ＬＣ０～ＬＣ３の非反転出力接点ＯＴを示し、ＯＴ０＊～ＯＴ３＊は、各々、各ラッチ回路ＬＣ０～ＬＣ３の反転出力接点ＯＴ＊を示す。

【００５９】

（電流生成部２０Ａ）

図３は、本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。

電流生成部２０Ａは、図３に示すように、定電流発生源ＩＲＡから供給される基準電流Ｉrefに対して、各々、異なる比率の電流値を有する複数の単位電流Ｉsa、Ｉsb、Ｉsc、Ｉsd（Ｉsa～Ｉsd）を生成するカレントミラー回路部（単位電流生成回路部）２１Ａと、該複数の単位電流Ｉsa～Ｉsdのうち、上述したデータラッチ部１０の各ラッチ回路ＬＣ０～ＬＣ３から個別に出力される出力信号（反転出力信号）ｄ１０＊～ｄ１３＊（図１、図２に示した反転出力接点ＯＴ０＊～ＯＴ３＊の信号レベル）に基づいて、任意の単位電流を選択して合成するスイッチ回路部２２Ａと、を備えている。

【００６０】

カレントミラー回路部２１Ａは、具体的には、図３に示すように、定電流発生源ＩＲＡから基準電流供給線Ｌｓ（及び電流供給制御トランジスタＴＰ３６）を介して、基準電流Ｉrefが供給される（引き抜かれる）電流入力接点ＩＮＡと高電位電源＋Ｖとの間に、電流路（ソース－ドレイン端子）が接続されるとともに、制御端子（ゲート端子）が接点Ｎgaに接続されたｐチャネル型の電界効果型トランジスタ（以下、「ｐチャネル型トランジスタ」と記す）からなる基準電流トランジスタＴＰ１１と、接点Ｎａ、Ｎｂ、Ｎｃ、Ｎｄ（Ｎａ～Ｎｄ）の各々と高電位電源＋Ｖとの間に各電流路が接続されるとともに、制御端子が接点Ｎgaに共通に接続された複数（ラッチ回路ＬＣ０～ＬＣ３に対応した４個）のｐチャネル型トランジスタからなる単位電流トランジスタＴＰ１２、ＴＰ１３、ＴＰ１４、ＴＰ１５（ＴＰ１２～ＴＰ１５）と、電流入力接点ＩＮＡと接点Ｎgaとの間に電流路が接続されるとともに、制御端子に後述する動作設定部３０から出力される非反転クロック信号ＣＬＫが印加され、導通状態が制御されるｎチャネル型の電界効果型トランジスタ（以下、「ｎチャネル型トランジスタ」と記す）からなるリフレッシュ制御トランジスタ（リフレッシュ手段）Ｔｒ１０と、接点Ｎga（基準電流トランジスタＴＰ１１のゲート端子）と高電位電源＋Ｖとの間に接続されたコンデンサ（電荷蓄積手段）Ｃａと、を備えた構成を有している。

【００６１】

また、電流入力接点ＩＮＡは、後述する動作設定部３０に設けられた、ｐチャネル型トランジスタからなる電流供給制御トランジスタＴＰ３６及び基準電流供給線Ｌｓを介して、定電流発生源ＩＲＡに接続され、電流供給制御トランジスタＴＰ３６の導通状態に応じて、一定の電流値を有する基準電流Ｉrefが引き抜かれるように構成されている。ここで、定電流発生源ＩＲＡは、上述したように、電流生成供給回路ＩＬＡから基準電流Ｉrefを引き抜く方向に流すように、他端側が低電位電源－Ｖ（例えば、接地電位Ｖgnd）に接続されている。

なお、図３においては、カレントミラー回路部２１Ａを構成する基準電流トランジスタＴＰ１１及び各単位電流トランジスタＴＰ１２～ＴＰ１５のトランジスタサイズの大小関係を、トランジスタの回路記号の幅を変えることで便宜的かつ概念的に示した。

【００６２】

また、スイッチ回路部２２Ａは、後述する動作設定部３０に設けられた、ｐチャネル型トランジスタからなる出力制御トランジスタＴＰ３１及び駆動電流供給線Ｌｄを介して（図１参照）、負荷が直接接続される電流出力接点ＯＵＴｉと各接点Ｎａ～Ｎｄとの間に電流路が接続されるとともに、制御端子に上記データラッチ部１０の各ラッチ回路ＬＣ０～ＬＣ３から個別に出力される出力信号ｄ１０＊～ｄ１３＊が並列的に印加される複数（４個）のｐチャネル型トランジスタからなるスイッチトランジスタＴＰ１６、ＴＰ１７、Ｔ

Ｐ１８、ＴＰ１９（ＴＰ１６～ＴＰ１９）と、を備えた構成を有している。

【００６３】

ここで、本実施形態に係る電流生成部２０Ａにおいては、特に、上述したカレントミラー回路部２１Ａを構成する各単位電流トランジスタＴＰ１２～ＴＰ１５に流れる単位電流Ｉsa～Ｉsdが、基準電流トランジスタＴＰ１１に流れる一定の基準電流Ｉrefに対して、各々異なる所定の電流比率の電流値を有するように設定されている。

【００６４】

具体的には、各単位電流トランジスタＴＰ１２～ＴＰ１５のトランジスタサイズが各々異なる比率、例えば、各単位電流トランジスタＴＰ１２～ＴＰ１５を構成する電界効果型トランジスタにおいて、チャネル長を一定とした場合の各チャネル幅の比が、Ｗ１２：Ｗ１３：Ｗ１４：Ｗ１５＝１：２：４：８になるように形成されている。ここで、Ｗ１２は、単位電流トランジスタＴＰ１２のチャネル幅を示し、Ｗ１３は、単位電流トランジスタＴＰ１３のチャネル幅を示し、Ｗ１４は、単位電流トランジスタＴＰ１４のチャネル幅を示し、Ｗ１５は、単位電流トランジスタＴＰ１５のチャネル幅を示す。

【００６５】

これにより、後述するリフレッシュ制御トランジスタＴｒ１０及び電流供給制御トランジスタＴＰ３６が共にオン動作する状態で、各単位電流トランジスタＴＰ１２～ＴＰ１５に流れる単位電流Ｉsa～Ｉsdの電流値は、基準電流トランジスタＴＰ１１のチャネル幅をＷ１１とすると、各々Ｉsa＝（Ｗ１２／Ｗ１１）×Ｉref、Ｉsb＝（Ｗ１３／Ｗ１１）×Ｉref、Ｉsc＝（Ｗ１４／Ｗ１１）×Ｉref、Ｉsd＝（Ｗ１５／Ｗ１１）×Ｉrefに設定される。したがって、単位電流トランジスタＴＰ１２～ＴＰ１５の各チャネル幅を、各々2^k（ｋ＝０、１、２、３、・・・；2^k＝１、２、４、８、・・・）の関係になるように設定することにより、各単位電流Ｉsa～Ｉsdの電流値を2^kで規定される比率に設定することができる。

【００６６】

このような構成を有する電流生成部２０Ａ（カレントミラー回路２１Ａ及びスイッチ回路部２２Ａ）においては、上記ラッチ回路ＬＣ０～ＬＣ３から出力される出力信号$d10^*$～$d13^*$の信号レベルに応じて、スイッチ回路部２２Ａのうちの、特定のスイッチトランジスタがオン動作（スイッチトランジスタＴＰ１６～ＴＰ１９のいずれか１つ以上がオン動作する場合のほか、いずれのスイッチトランジスタＴＰ１６～ＴＰ１９もオフ動作する場合を含む）し、該オン動作したスイッチトランジスタに接続されたカレントミラー回路部２２Ａの単位電流トランジスタ（ＴＰ１２～ＴＰ１５のいずれか１つ以上の組み合わせ）に、基準電流トランジスタＴＰ１１に流れる基準電流Ｉrefに対して、所定比率（$a\times2^k$倍；ａは基準電流トランジスタＴＰ１１のチャネル幅Ｗ１１により規定される定数）の電流値を有する単位電流Ｉsa～Ｉsdが流れ、上述したように、電流出力接点ＯＵＴｉにおいて、これらの単位電流の合成値となる電流値を有する負荷駆動電流ＩＤが、高電位電源＋Ｖから、オン状態にあるスイッチトランジスタ（ＴＰ１６～ＴＰ１９のいずれか）に接続された単位電流トランジスタ（ＴＰ１２～ＴＰ１５のいずれか）及び電流出力接点ＯＵＴｉ、駆動電流供給線Ｌｄを介して、図示を省略した負荷方向に流れる。

【００６７】

したがって、複数ビットのデジタル信号のビット数ｋに応じて、2^k段階の電流値を有する負荷駆動電流ＩＤが生成される。すなわち、本実施形態のように４ビットのデジタル信号ｄ０～ｄ３を適用した場合には、各単位電流トランジスタＴＰ１２～ＴＰ１５に接続されるトランジスタＴＰ１６～ＴＰ１９のオン状態に応じて、2^4＝１６段階（階調）の異なる電流値を有する負荷駆動電流ＩＤが生成される。

【００６８】

また、後述する動作設定部３０から出力されるタイミング制御信号ＳＣＫの非反転クロック信号ＣＬＫがハイレベルとなるタイミングにおいて、電流入力接点ＩＮＡ及び接点Ｎga（基準電流トランジスタＴＰ１１の制御端子）間に設けられたリフレッシュ制御トランジスタＴｒ１０がオン動作することにより、基準電流Ｉrefに基づく電荷が接点Ｎgaに供

給されてコンデンサＣａに蓄積され、該接点Ngaの電位（すなわち、各単位電流トランジスタＴＰ１６～ＴＰ１９のゲート端子に印加される電圧）が一定電圧に再充電（リフレッシュ）される。すなわち、電流生成部２０Ａにおいて接点Ngaの電位を再充電するリフレッシュ動作を所定の周期で繰り返し実行することにより、単位電流トランジスタＴＰ１６～ＴＰ１９における電流リーク等に起因する接点Ngaの電位の低下が抑制される。なお、接点Ngaの電位を保持するリフレッシュ動作においては、後述する。

【００６９】

（動作設定部３０）

本実施形態に係る電流生成供給回路ＩＬＡに適用される動作設定部３０Ａは、例えば、図１に示すように、図示を省略した制御手段から出力される選択設定信号ＳＬを反転処理するインバータ３２と、駆動電流供給線Ｌｄに電流路が設けられ、制御端子に上記選択設定信号の反転信号（インバータ３２の出力信号）が印加されるｐチャネル型トランジスタからなる出力制御トランジスタＴＰ３１と、選択設定信号ＳＬの反転信号及びタイミング制御信号ＳＣＫを入力とするＮＡＮＤ回路３３と、該ＮＡＮＤ回路３３の論理出力を反転処理するインバータ３４と、該インバータ３４の反転出力をさらに反転処理するインバータ３５と、電流生成部２０Ａへの基準電流Ｉrefの供給経路に電流路が設けられ、制御端子に上記インバータ３５の出力信号が印加されるｐチャネル型トランジスタからなる電流供給制御トランジスタＴＰ３６と、を備えた構成を有している。

【００７０】

なお、本発明に係る電流生成供給回路に適用可能な動作設定部は、本実施形態に示した構成に限定されるものではなく、同等の機能を有するものであれば、後述する表示装置の実施形態に示すように、他の構成を有するものであってもよい。したがって、本実施形態においては、本発明に係る電流生成供給回路に適用可能な動作設定部のうちの、基本的な一構成例のみを示すものとする。

【００７１】

このような構成を有する動作設定部３０においては、ハイレベルの選択設定信号ＳＬが入力されると、インバータ３２により信号極性が反転処理されることにより、出力制御トランジスタＴＰ３１がオン動作して、電流生成部２０Ａの電流出力端子ＯＵＴｉが、該出力制御トランジスタＴＰ３１を介して駆動電流供給線Ｌｄに接続される。このとき、ＮＡＮＤ回路３３及びインバータ３４、３５により、タイミング制御信号ＳＣＫの出力タイミングに関わらずデータラッチ部１０の非反転入力接点ＣＫにはローレベルの非反転クロック信号ＣＬＫが、また、反転入力接点ＣＫ＊及び電流供給制御トランジスタＴＰ３６の制御端子にはハイレベルの反転クロック信号ＣＬＫ＊が定常的に入力されることにより、データラッチ部１０に保持されている複数ビットのデジタル信号ｄ０～ｄ３に基づく反転出力信号ｄ１０＊～ｄ１３＊が電流生成部２０Ａに出力されるとともに、電流生成部２０Ａへの基準電流Ｉrefの供給が遮断される。

【００７２】

一方、動作設定部３０にローレベルの選択設定信号ＳＬが入力されると、インバータ３２により信号極性が反転処理されて、出力制御トランジスタＴＰ３１がオフ動作して、電流生成部２０Ａの電流出力端子ＯＵＴｉが駆動電流供給線Ｌｄから切り離される。また、このとき、ＮＡＮＤ回路３３及びインバータ３４、３５により、タイミング制御信号ＳＣＫの入力タイミングに対応してデータラッチ部１０の非反転入力接点ＣＫにはハイレベルの制御信号が、また、反転入力接点ＣＫ＊及び電流供給制御トランジスタＴＰ３６の制御端子にはローレベルの制御信号が入力されて、データラッチ部１０に複数ビットのデジタル信号ｄ０～ｄ３が取り込み保持されるとともに、電流生成部２０Ａに基準電流Ｉrefが供給される。

【００７３】

したがって、本実施形態に係る電流生成供給回路ＩＬＡにおいては、選択レベル（ハイレベル）の選択設定信号ＳＬが入力された場合には、データラッチ部１０に保持されている複数ビットのデジタル信号ｄ０～ｄ３の反転出力信号ｄ１０＊～ｄ１３＊に基づいて、

電流生成部２０Ａにおいて、複数ビットのデジタル信号ｄ０～ｄ３に応じて、基準電流Ｉrefに対して所定の電流比率の電流値を有するアナログ電流からなる負荷駆動電流ＩＤが生成されて、駆動電流供給線Ｌｄを介して負荷に供給されることになり（本実施形態においては、上述したように、電流生成供給回路側から負荷方向に負荷駆動電流が流し込まれる）、電流生成供給回路ＩＬＡは選択状態に設定される。

【００７４】

一方、非選択レベル（ローレベル）の選択設定信号ＳＬが入力された場合には、データラッチ部１０において、複数ビットのデジタル信号ｄ０～ｄ３を取り込み保持するものの、負荷駆動電流ＩＤは生成されず駆動電流供給線Ｌｄには供給されないことになり、電流生成供給回路ＩＬＡは非選択状態に設定される。なお、この非選択状態においては、電流供給制御トランジスタＴＰ３６及びリフレッシュ制御トランジスタＴｒ１０が共にオン動作することにより、基準電流トランジスタＴＰ１１の電流路に基準電流Ｉrefが流れ、ゲート端子（接点Ｎga）に該基準電流Ｉref及び基準電流トランジスタＴＰ１１のチャネル幅に基づく電荷が供給される。これにより、コンデンサＣａに該電荷が蓄積（充電）され、ゲート端子（接点Ｎga）の電位が所定の電圧に再充電されるリフレッシュ動作が実行される。

【００７５】

なお、本実施形態においては、電流生成供給回路ＩＬＡに接続された負荷に対して、電流生成供給回路ＩＬＡ側から負荷駆動電流ＩＤを流し込むように電流極性を設定した構成（以下、便宜的に「電流印加方式」と記す）について示したが、本発明はこれに限定されるものではなく、負荷側から電流生成供給回路方向に負荷駆動電流ＩＤを引き込むように電流極性を設定した構成（以下、便宜的に「電流シンク方式」と記す）を適用したものであってもよい。以下、電流シンク方式に対応した電流生成供給回路について、簡単に後述する。

【００７６】

＜電流生成供給回路の第２の実施形態＞

図４は、本発明に係る電流生成供給回路の第２の実施形態を示す要部構成図であり、図５は、本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。ここで、上述した第１の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

【００７７】

図４に示すように、本実施形態に係る電流生成供給回路ＩＬＢは、上述した第１の実施形態（図１参照）と同様に、データラッチ部１０（ラッチ回路ＬＣ０～ＬＣ３）と、該データラッチ部１０の非反転出力接点ＯＴ０～ＯＴ３に接続された電流生成部２０Ｂと、電流生成供給回路ＩＬＢの動作状態を設定する動作設定部（図示を省略）を備えた構成を有している。

【００７８】

電流生成部２０Ｂは、図５に示すように、概略、上述した第１の実施形態（図３参照）と略同等の回路構成を有するカレントミラー回路部２１Ｂ及びスイッチ回路部２２Ｂと、を備え、データラッチ部１０（各ラッチ回路ＬＣ０～ＬＣ３）からの出力信号（非反転出力信号）ｄ１０～ｄ１３に基づいて、基準電流Ｉrefに対して所定の電流比率の電流値を有する複数の単位電流Ｉsh、Ｉsi、Ｉsj、Ｉsk（Ｉsh～Ｉsk）を選択的に合成して生成される負荷駆動電流ＩＤを負荷に供給するように構成されている。

【００７９】

電流生成部２０Ｂは、具体的には、図５に示すように、カレントミラー回路部２１Ｂ及びスイッチ回路部２２Ｂを構成するリフレッシュ制御トランジスタＴＮ２０、基準電流トランジスタＴＮ２１、単位電流トランジスタＴＮ２２～ＴＮ２５及びスイッチトランジスタＴＮ２６～ＴＮ２９が全てｎチャネル型トランジスタにより形成されている。基準電流トランジスタＴＮ２１は、電流路が定電流発生源ＩＲＢから基準電流Ｉrefが供給される（流し込まれる）電流入力接点ＩＮＢと低電位電源－Ｖとの間に接続されるとともに、制

御端子が接点Ngbに接続され、接点Ngbと低電位電源－Ｖとの間にはコンデンサＣｂが接続されている。リフレッシュ制御トランジスタＴＮ２０は、電流路が電流入力接点ＩＮＢと接点Ngbとの間に接続されるとともに、制御端子に非反転クロック信号ＣＬＫが印加されるように構成されている。

【００８０】

また、単位電流トランジスタＴＮ２２～ＴＮ２５は、各々、電流路が各接点Ｎｈ、Ｎｉ、Ｎｊ、Ｎｋと低電位電源－Ｖとの間に接続されるとともに、制御端子が接点Ngbに共通に接続され、また、スイッチングトランジスタＴＮ２６～ＴＮ２９は、各々、電流路が上記各接点Ｎｈ、Ｎｉ、Ｎｊ、Ｎｋと電流出力接点ＯＵＴｉとの間に接続されるとともに、制御端子にデータラッチ部１０（ラッチ回路ＬＣ０～ＬＣ３）から出力される出力信号（非反転出力信号）ｄ１０～ｄ１３が個別に印加されるように構成されている。

【００８１】

ここで、本実施形態においても、カレントミラー回路部２１Ｂを構成する各単位電流トランジスタＴＮ２２～ＴＮ２５のトランジスタサイズ（すなわち、チャネル長を一定とした場合のチャネル幅）が、基準電流トランジスタＴＮ２１を基準として、所定の比率になるように形成され、各電流路に流れる単位電流Ｉsh～Ｉskが、基準電流Ｉrefに対して、各々異なる所定の電流比率の電流値を有するように設定されている。

【００８２】

これにより、本実施形態に係る電流生成供給回路ＩＬＢにおいても、選択設定信号ＳＬの信号レベルにより設定される非選択状態において、データラッチ部１０に複数ビットのデジタル信号ｄ０～ｄ３が取り込み保持されるとともに、基準電流トランジスタＴＮ２１のゲート端子（接点Ngb）の電位が所定の電圧にリフレッシュされ、一方、選択状態において、データラッチ部１０に保持されている複数ビットのデジタル信号ｄ０～ｄ３の非反転出力信号ｄ１０～ｄ１３に基づいて、スイッチ回路部２２Ｂの特定のスイッチトランジスタＴＮ２６～ＴＮ２９がオン動作して、該オン動作したスイッチトランジスタに接続された単位電流トランジスタＴＮ２２～ＴＮ２５を介して流れる単位電流Ｉsh～Ｉskが選択的に合成されて、電流出力接点ＯＵＴｉ及び駆動電流供給線Ｌｄを介して負荷駆動電流ＩＤとして図示を省略した負荷に供給される（本実施形態においては、負荷側から電流生成供給回路方向に負荷駆動電流が流れ込む）。

【００８３】

したがって、上述した第１及び第２の実施形態に示した電流生成供給回路ＩＬＡ、ＩＬＢにおいては、駆動電流供給線Ｌｄを介して負荷に直接接続された電流生成部２０Ａ、２０Ｂに、定電流発生源ＩＲＡ、ＩＲＢから基準電流供給線Ｌｓを介して信号レベルが変動しない一定の基準電流Ｉrefを供給し、複数ビットのデジタル信号ｄ０～ｄ３（データラッチ部１０の出力信号ｄ１０～ｄ１３、ｄ１０＊～ｄ１３＊）に基づいて、負荷を所望の駆動状態で動作させることができる電流値を有する負荷駆動電流ＩＤを生成する構成を有していることにより、負荷駆動電流ＩＤの電流値が微少な場合や、負荷への負荷駆動電流ＩＤの供給時間（あるいは、負荷の駆動時間）が短く設定されている場合であっても、配線容量等の寄生容量への充放電動作に起因する信号遅延の影響を排除することができ、電流生成供給回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で動作させることができる。

【００８４】

また、負荷駆動電流ＩＤの電流値を設定するために電流生成供給回路ＩＬＡ、ＩＬＢに供給される電流として一定の電流値からなる基準電流Ｉrefを供給し、かつ、複数ビットのデジタル信号の信号レベルをそのまま適用して、カレントミラー回路により予め基準電流に対する電流比率が規定された複数の単位電流を選択的に合成して負荷駆動電流ＩＤを生成することができるので、複数ビットのデジタル信号により指定される階調（指定階調）に対して均一化された電流特性（指定階調－負荷駆動電流の電流値の関係）を有する負荷駆動電流を生成することができ、比較的簡易な駆動制御方法（負荷駆動電流の生成供給動作）で、負荷を適切な駆動状態で動作させることができる。

【００８５】
なお、上述した第１又は第２の実施形態において、複数ビットのデジタル信号としては、後述するように、表示装置に所望の画像情報を表示するための表示データ（表示信号）を適用することでき、この場合において、電流生成供給回路により生成、出力される負荷駆動電流は、表示パネルを構成する各表示画素を所定の輝度階調で発光動作させるために供給される階調電流に対応する。以下、上述したような構成及び機能を有する電流生成供給回路を、データドライバに適用した表示装置について、具体的に説明する。
【００８６】
＜表示装置の第１の実施形態＞
図６は、本発明に係る電流生成供給回路を適用可能な表示装置の第１の実施形態を示す概略ブロック図であり、図７は、本実施形態に係る表示装置に適用される表示パネルを示す概略構成図である。ここでは、表示パネルとしてアクティブマトリクス方式に対応した表示画素を備えた構成について説明する。また、本実施形態においては、データドライバ側から表示画素に階調電流（駆動電流）を流し込むようにした電流印加方式を採用した場合について説明し、上述した第１の実施形態に示した電流生成供給回路（図１、図３）を適宜参照する。
【００８７】
図６、図７に示すように、本実施形態に係る表示装置１００Ａは、概略、複数の表示画素（負荷）がマトリクス状に配列された表示パネル１１０Ａと、表示パネル１１０Ａの行方向に配列された表示画素群ごとに、共通に接続された走査ライン（走査線）ＳＬａ、ＳＬｂに接続された走査ドライバ（走査駆動手段）１２０Ａと、表示パネル１１０Ａの列方向に配列された表示画素群ごとに、共通に接続されたデータライン（信号線）ＤＬ１、ＤＬ２、・・・（ＤＬ）に接続されたデータドライバ（信号駆動手段）１３０Ａと、走査ドライバ１２０Ａ及びデータドライバ１３０Ａの動作状態を制御する各種制御信号を生成、出力するシステムコントローラ１４０Ａと、表示装置１００Ａの外部から供給される映像信号に基づいて、表示データやタイミング信号等を生成する表示信号生成回路１５０Ａと、を備えて構成されている。
【００８８】
以下、上記各構成について説明する。
（表示パネル１１０Ａ）
表示パネル１１０Ａは、図７に示すように、各行ごとの表示画素群に対応して、各々、並列に配設された一対の走査ラインＳＬａ、ＳＬｂと、走査ラインＳＬａ、ＳＬｂに対して直交し、各列ごとの表示画素群に対応するように配設されたデータラインＤＬと、これらの直交するラインの各交点近傍に配列された複数の表示画素（図７中、画素駆動回路ＤＣｘ及び有機ＥＬ素子ＯＥＬからなる構成）と、を備えた構成を有している。
【００８９】
表示画素は、例えば、走査ドライバ１２０Ａから走査ラインＳＬａを介して印加される走査信号Ｖsel、走査ラインＳＬｂを介して印加される走査信号Ｖsel*（走査ラインＳＬａに印加される走査信号Ｖselの極性反転信号；図７の符号参照）、及び、データドライバ１３０ＡからデータラインＤＬを介して供給される階調電流（駆動電流）Ｉpixに基づいて、各表示画素における階調電流Ｉpixの書込動作及び発光動作を制御する画素駆動回路ＤＣｘと、該画素駆動回路ＤＣｘから供給される発光駆動電流の電流値に応じて発光輝度が制御される、周知の有機ＥＬ素子（電流駆動型の発光素子）ＯＥＬと、を有して構成されている。
【００９０】
なお、画素駆動回路ＤＣｘに適用可能な回路構成例については後述する。また、本実施形態においては、表示画素の発光素子として、有機ＥＬ素子ＯＥＬを適用した構成を示すが、本発明はこれに限定されるものではなく、発光素子に供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流駆動型の発光素子であれば、発光ダイオード等の他の発光素子を適用するものであってもよい。

【００９１】
（走査ドライバ１２０Ａ）
走査ドライバ１２０Ａは、図７に示すように、シフトレジスタとバッファからなるシフトブロックＳＢを、各行の走査ラインＳＬａ、ＳＬｂに対応して複数段備え、システムコントローラ１４０Ａから供給される走査制御信号（走査スタート信号ＳＳＴＲ、走査クロック信号ＳＣＬＫ等）に基づいて、シフトレジスタにより表示パネル１１０Ａの上方から下方に順次シフトしつつ出力されるシフト信号が、バッファを介して所定の電圧レベル（選択レベル；例えば、ハイレベル）を有する走査信号Ｖselとして各走査ラインＳＬａに印加されるとともに、該走査信号Ｖselを極性反転した電圧レベルが走査信号Ｖsel＊として各走査ラインＳＬｂに印加される。これにより、各行ごとの表示画素群を選択状態に設定し、データドライバ１３０Ａから各データラインＤＬを介して供給される表示データに基づく階調電流Ｉpixを、各表示画素に書き込むように制御する。
【００９２】
（データドライバ１３０Ａ）
データドライバ１３０Ａは、図７に示すように、システムコントローラ１４０Ａから供給されるデータ制御信号（後述するシフトスタート信号ＳＴＲ、シフトクロック信号ＳＦＣ等）に基づいて、表示信号生成回路１５０Ａから供給される複数ビットのデジタル信号からなる表示データを取り込んで保持し、所定の基準電流に基づいて、当該表示データに対応する電流値を有する階調電流Ｉpixを生成して、走査ドライバ１２０Ａにより選択状態に設定された各表示画素に、各データラインＤＬを介して並行して供給するように制御する。なお、データドライバ１３０Ａの具体的な回路構成やその駆動制御動作については、詳しく後述する。
【００９３】
（システムコントローラ１４０Ａ）
システムコントローラ１４０Ａは、後述する表示信号生成回路１５０Ａから供給されるタイミング信号に基づいて、少なくとも、走査ドライバ１２０Ａ及びデータドライバ１３０Ａの各々に対して、走査制御信号（上述した走査スタート信号ＳＳＴＲや走査クロック信号ＳＣＬＫ等）及びデータ制御信号（上述したシフトスタート信号ＳＴＲやシフトクロック信号ＳＦＣ等）を生成して出力することにより、各ドライバを所定のタイミングで動作させて、表示パネル１１０Ａに走査信号Ｖsel、Ｖsel＊及び階調電流Ｉpixを出力させ、画素駆動回路ＤＣｘにおける所定の制御動作（詳しくは、後述する）を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル１１０Ａに表示させる制御を行う。
【００９４】
（表示信号生成回路１５０Ａ）
表示信号生成回路１５０Ａは、例えば、表示装置１００Ａの外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル１１０Ａの１行分ごとに、該輝度階調信号成分を、複数ビットのデジタル信号からなる表示データとしてデータドライバ１３０Ａに供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路１５０Ａは、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ１４０Ａに供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ１４０Ａは、表示信号生成回路１５０Ａから供給されるタイミング信号に基づいて、走査ドライバ１２０Ａやデータドライバ１３０Ａに対して供給する上記走査制御信号及びデータ制御信号を生成する。
【００９５】
なお、本実施形態において、表示パネル１１０Ａとその周辺に付設されるドライバやコントローラ等の周辺回路との実装構造については、特に限定するものではないが、例えば、少なくとも、表示パネル１１０Ａと走査トランジスタ１２０Ａ、データドライバ１３０Ａが同一の基板上に形成されているものであってもよいし、後述するデータドライバ１３０Ａのみ、もしくは、走査ドライバ１２０Ａ及びデータドライバ１３０Ａを、表示パネル

１１０Ａとは別個に設けて電気的に接続するようにしたものであってもよい。ここで、有機ＥＬ素子を備えた表示画素からなる表示パネル１１０Ａと、周辺回路（ドライバ等）を同一の基板上に一体的に形成する場合にあっては、例えば、周辺回路の各機能素子（トランジスタ等）をポリシリコン材料等を適用して形成することにより、表示画素の製造プロセスと共通化することができるとともに、回路規模を大幅に縮小することができる。

【００９６】

（表示画素の構成例）

次いで、上述した表示パネルを構成する各表示画素に適用される画素駆動回路について簡単に説明する。

図８は、本実施形態に適用される表示画素（画素駆動回路）の一実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、電流印加方式を採用した表示装置に適用可能な一例を示すものにすぎず、同等の機能を有する他の回路構成を適用するものであってもよいことはいうまでもない。

【００９７】

図８に示すように、本実施例に係る画素駆動回路ＤＣｘは、走査ラインＳＬａ、ＳＬｂとデータラインＤＬとの交点近傍に、ゲート端子が走査ラインＳＬａに、ソース端子及びドレイン端子が電源接点Ｖdd及び接点Ｎxaに各々接続されたｐチャネル型トランジスタＴｒ４１と、ゲート端子が走査ラインＳＬｂに、ソース端子及びドレイン端子がデータラインＤＬ及び接点Ｎxaに各々接続されたｐチャネル型トランジスタＴｒ４２と、ゲート端子が接点Ｎxbに、ソース端子及びドレイン端子が接点Ｎxa及び接点Ｎxcに各々接続されたｐチャネル型トランジスタＴｒ４３と、ゲート端子が走査ラインＳＬに、ソース端子及びドレイン端子が接点Ｎxb及び接点Ｎxcに各々接続されたｎチャネル型トランジスタＴｒ４４と、接点Ｎxa及び接点Ｎxb間に接続されたコンデンサ（保持容量）Ｃｘと、を備えた構成を有している。ここで、電源接点Ｖddは、例えば、図示を省略した電源ラインを介して、高電位電源に接続され、常時、もしくは、所定のタイミングで一定の高電位電圧が印加される。

【００９８】

また、このような画素駆動回路ＤＣｘから供給される発光駆動電流により発光輝度が制御される有機ＥＬ素子ＯＥＬは、アノード端子が上記画素駆動回路ＤＣｘの接点Ｎxcに、カソード端子が低電位電源（例えば、接地電位Ｖgnd）に各々接続された構成を有している。ここで、コンデンサＣｘは、トランジスタＴｒ４３のゲート－ソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲート－ソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

【００９９】

このような構成を有する画素駆動回路ＤＣｘにおける有機ＥＬ素子ＯＥＬの駆動制御動作は、まず、書込動作期間において、例えば、走査ラインＳＬａにハイレベル（選択レベル）の走査信号Ｖselを印加するとともに、走査ラインＳＬｂにローレベルの走査信号Ｖsel*を印加し、このタイミングに同期して、後述するデータドライバ１３０Ａから階調電流Ｉpixをデータライン ＤＬに供給する。ここでは、階調電流Ｉpixとして、正極性の電流を供給し、データドライバ１３０Ａ側からデータラインＤＬを介して表示画素（画素駆動回路ＤＣｘ）方向に当該電流が流し込まれる（印加する）ように設定する。

【０１００】

これにより、画素駆動回路ＤＣｘを構成するトランジスタＴｒ４２及びＴｒ４４がオン動作するとともに、トランジスタＴｒ４１がオフ動作して、データラインＤＬに供給された階調電流Ｉpixに対応する正の電位が接点Ｎxaに印加される。また、接点Ｎxb及び接点Ｎxc間が短絡して、トランジスタＴｒ４３のゲート－ドレイン間が同電位に制御されることにより、トランジスタＴｒ４３がオフ動作するとともに、コンデンサＣｘの両端（接点Ｎxa及び接点Ｎxb間）には、階調電流Ｉpixに応じた電位差が生じ、該電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。

【０１０１】

次いで、発光動作期間において、走査ラインＳＬａにローレベル（非選択レベル）の走査信号Ｖselを印加するとともに、走査ラインＳＬｂにハイレベルの走査信号Ｖsel＊を印加し、このタイミングに同期して、データラインＤＬへの階調電流Ｉpixの供給を遮断する。これにより、トランジスタＴｒ４２及びＴｒ４４がオフ動作してデータラインＤＬ及び接点Ｎxa間、並びに、接点Ｎxb及び接点Ｎxc間が電気的に遮断されることにより、コンデンサＣｘは、上述した書込動作において蓄積された電荷を保持する。

【０１０２】

このように、コンデンサＣｘが書込動作時の充電電圧を保持することにより、接点Ｎxa及び接点Ｎxb間（トランジスタのＴｒ４３のゲート－ソース間）の電位差が保持されることになり、トランジスタＴｒ４３はオン動作する。また、上記走査信号Ｖsel（ローレベル）の印加により、トランジスタＴｒ４１が同時にオン動作するので、電源接点（高電位電源）Ｖddからトランジスタ Ｔｒ４１及びＴｒ４３を介して、有機ＥＬ素子ＯＥＬに階調電流Ｉpix（より詳しくは、コンデンサＣｘに蓄積された電荷に基づく電圧成分）に応じた発光駆動電流が流れ、有機ＥＬ素子ＯＥＬが所定の輝度階調で発光する。

【０１０３】

（データドライバの構成例）

次いで、上述した表示装置に適用されるデータドライバの構成について説明する。

図９は、本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。

本実施形態に係る表示装置１００Ａに適用されるデータドライバ１３０Ａは、概略、第１の実施形態（図１、図３参照）に示した電流生成供給回路ＩＬＡ（データラッチ部１０、電流生成部２０Ａ）が各データラインＤＬに対応して、階調電流生成回路として個別に設けられ、各々の階調電流生成回路に対して、第１の実施形態（図２参照）に示したように、唯一の定電流発生源（定電流源）ＩＲＡから、共通の基準電流供給線Ｌｓを介して、一定の電流値を有する基準電流Ｉrefが供給される（本実施例においては、基準電流Ｉrefが引き抜かれるように供給される）ように構成されている。

【０１０４】

本実施例に係るデータドライバ１３０Ａは、図９に示すように、具体的には、システムコントローラ１４０Ａからデータ制御信号として供給されるシフトクロック信号ＳＦＣに基づいて、非反転クロック信号ＣＫａ及び反転クロック信号ＣＫｂを生成する反転ラッチ回路１３３Ａと、該非反転クロック信号ＣＫａ及び反転クロック信号ＣＫｂに基づいて、サンプリングスタート信号ＳＴＲをシフトしつつ、所定のタイミングでシフト信号ＳＲ１、ＳＲ２、・・・（上述したタイミング制御信号ＳＣＫに相当する；以下、便宜的に「シフト信号ＳＲ」とも記す）を順次出力するシフトレジスタ回路１３１Ａと、該シフトレジスタ回路１３１Ａからのシフト信号ＳＲ１、ＳＲ２、・・・の出力タイミングに基づいて、表示信号生成回路１５０Ａから順次供給される１行分の表示データＤ０～Ｄｑ（ここでは、図１、図３に示した電流生成供給回路ＩＬＡに入力されるデジタル信号ｄ０～ｄ３に対応させて、便宜的にｑ＝３とする）を順次取り込み、各表示画素における発光輝度に対応した階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・（上述した駆動電流供給線Ｌｄに相当する）に供給（印加）する階調電流生成回路群１３２Ａと、を備えて構成されている。

【０１０５】

（反転ラッチ回路１３３Ａ）

本実施例に係るデータドライバ１３０Ａに適用される反転ラッチ回路１３３Ａは、概略、シフトクロック信号ＳＦＣが印加されると、当該信号レベルが保持されて、該信号レベルの非反転信号及び反転信号が、各々非反転出力端子及び反転出力端子から出力され、シフトレジスタ回路１３１Ａに対して非反転クロック信号ＣＫａ及び反転クロック信号ＣＫｂとして供給される。

【０１０６】

（シフトレジスタ回路１３１Ａ）

シフトレジスタ回路１３１Ａは、上述した反転ラッチ回路１３３Ａから出力される非反転クロック信号ＣＫａ及び反転クロック信号ＣＫｂに基づいて、システムコントローラ１４０Ａから供給されるサンプリングスタート信号ＳＴＲを取り込み、所定のタイミングで順次シフトしつつ、該シフト信号ＳＲ１、ＳＲ２、・・・を階調電流生成回路群１３２Ａを構成する各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・に出力する。

【０１０７】

（階調電流生成回路群１３２Ａ）

図１０は、本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。ここで、上述した実施形態に示した電流生成供給回路（図１、図３）と同等の構成については、同一又は同等の符号を付してその説明を簡略化するとともに、図１、図３に示した構成と対応付けながら説明する。

【０１０８】

階調電流生成回路群１３２Ａを構成する各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・（以下、便宜的に「階調電流生成回路ＰＸＡ」とも記す）は、図１０に示すように、図１に示した電流生成供給回路ＩＬＡの各構成を基本要素とし、データラッチ部１０と同一の構成を有する前段及び後段からなるデータラッチ部（信号保持手段）１０１、１０２と、電流生成部２０Ａと同一の構成を有し、上記データラッチ部１０２の反転出力接点ＯＴ０＊～ＯＴ３＊に並列に接続された電流生成部（電流生成手段）２０１、２０２と、システムコントローラ１４０Ａから出力される選択設定信号ＳＥＬに基づいて、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・の選択状態及び動作状態を設定する動作設定部（動作状態設定手段）３０Ａと、データラッチ部１０１、１０２に取り込み保持される表示データＤ０～Ｄ３（データラッチ部１０２の非反転出力接点ＯＴ０～ＯＴ３から出力される非反転出力信号ｄ１０～ｄ１３）に基づいて、表示画素を黒表示動作等の特定の駆動状態で動作させる場合にのみ、データラインＤＬ１、ＤＬ２、・・に対して特定電圧Ｖbkを印加する特定状態設定部５０と、を備えた構成を有している。

【０１０９】

（データラッチ部１０１、１０２）

本実施例に係るデータラッチ部１０１、１０２は、各々、表示データＤ０～Ｄ３のビット数に対応した複数のラッチ回路（図示を省略）を備え、前段のデータラッチ部１０１は、シフトレジスタ回路１３１Ａから出力されるシフト信号ＳＲに基づくタイミングで表示データＤ０～Ｄ３を取り込み保持する動作と、後段のデータラッチ部１０２に出力する動作を実行する。

【０１１０】

また、後段のデータラッチ部１０２は、システムコントローラ１４０Ａから供給されるロード信号loadに基づくタイミングで、データラッチ部１０１の非反転出力接点ＯＴ０～ＯＴ３から出力される非反転出力信号ｄ１０～ｄ１３を取り込み保持する動作と、非反転出力接点ＯＴ０～ＯＴ３から出力される非反転出力信号ｄ１０～ｄ１３を特定状態設定部５０のＮＯＲ回路５１に、また、反転出力接点ＯＴ０＊～ＯＴ３＊から出力される反転出力信号ｄ１０＊～ｄ１３＊を電流生成部２０１、２０２に出力する動作を実行する。なお、本実施例においては、データラッチ部１０２における上記動作をロード信号loadに基づいて制御する場合について示したが、本発明はこれに限定されるものではなく、例えば、システムコントローラ１４０Ａからシフトレジスタ回路１３１Ａに入力されるシフトスタート信号ＳＴＲに基づいて制御するものであってもよい。

【０１１１】

（電流生成部２０１、２０２）

本実施例に係る電流生成部２０１、２０２は、各々図３に示した電流生成部２０Ａと同様に、カレントミラー回路部とスイッチ回路部とを備え、上述したデータラッチ部１０２から出力される反転出力信号ｄ１０＊～ｄ１３＊、及び、後述する動作設定部３０Ａから出力される制御信号ＣＫ１、ＣＫ２に基づいて、所定の単位電流を選択的に合成して表示データＤ０～Ｄ３に応じた電流値を有する階調電流Ｉpixを生成し、動作設定部３０Ａに

設けられた各出力制御トランジスタＴｒ３１１、Ｔｒ３１２を介してデータラインＤＬに供給される。

【０１１２】

（動作設定部３０Ａ）

動作設定部３０Ａは、図１０に示すように、システムコントローラ１４０Ａから出力される選択設定信号ＳＥＬを反転処理するインバータ３１５と、データラインＤＬが接続される出力接点Ｔoutと電流生成部２０１の電流出力接点ＯＵＴｉとの間に電流路が設けられ、制御端子に上記選択設定信号ＳＥＬの反転信号（インバータ３１５の出力信号）が印加されるｐチャネル型トランジスタからなる出力制御トランジスタＴｒ３１１と、上記出力接点Ｔoutと電流生成部２０２の電流出力接点ＯＵＴｉとの間に電流路が設けられ、制御端子に上記選択設定信号ＳＥＬが印加されるｐチャネル型トランジスタからなる出力制御トランジスタＴｒ３１２と、選択設定信号ＳＥＬの反転信号及びシフトレジスタ回路１３１Ａからのシフト信号ＳＲを入力とするＮＡＮＤ回路３１６と、選択設定信号ＳＥＬ及びシフトレジスタ回路１３１Ａからのシフト信号ＳＲを入力とするＮＡＮＤ回路３１７と、ＮＡＮＤ回路３１６の論理出力を反転処理するインバータ３１８と、ＮＡＮＤ回路３１７の論理出力を反転処理するインバータ３１９と、基準電流Ｉrefが供給される（基準電流供給線Ｌｓが接続される）基準電流接点Ｔinsと電流生成部２０１の電流入力接点ＩＮｉとの間に電流路が設けられ、制御端子に上記ＮＡＮＤ回路３１６の出力信号が印加されるｐチャネル型トランジスタからなる電流供給制御トランジスタＴｒ３１３と、基準電流接点Ｔinsと電流生成部２０２の電流入力接点ＩＮｉとの間に電流路が設けられ、制御端子に上記ＮＡＮＤ回路３１７の出力信号が印加されるｐチャネル型トランジスタからなる電流供給制御トランジスタＴｒ３１４と、シフトレジスタ回路１３１Ａからのシフト信号ＳＲを反転処理するインバータ３２０と、システムコントローラ１４０Ａからのロード信号loadを反転処理するインバータ３２１と、を備えた構成を有している。

【０１１３】

ここで、インバータ３１８の出力信号は、制御信号ＣＫ１として電流生成部２０１に設けられたリフレッシュ制御トランジスタ（図３に示したトランジスタＴｒ１０に相当する）に印加され、インバータ３１９の出力信号は、制御信号ＣＫ２として電流生成部２０２に設けられたリフレッシュ制御トランジスタに印加される。また、シフトレジスタ回路１３１Ａからのシフト信号ＳＲは、直接データラッチ部１０１の非反転入力接点ＣＫに非反転クロック信号として入力され、該シフト信号ＳＲの反転信号（インバータ３２０の出力信号）は、データラッチ部１０１の反転入力接点ＣＫ＊に反転クロック信号として入力される。また、システムコントローラ１４０Ａからのロード信号loadは、直接データラッチ部１０２の非反転入力接点ＣＫに非反転クロック信号として入力され、該ロード信号loadの反転信号（インバータ３２１の出力信号）は、データラッチ部１０２の反転入力接点ＣＫ＊に反転クロック信号として入力される。

【０１１４】

（特定状態設定部５０）

特定状態設定部５０は、図１０に示すように、データラッチ部１０２から出力される非反転出力信号ｄ１０～ｄ１３を入力信号とする論理和演算回路（以下、「ＯＲ回路」と略記する）５１と、該ＯＲ回路５１の出力端が制御端子（ゲート）に接続されるとともに、特定電圧Ｖbkを印加する電圧接点Ｖinと出力接点Ｔoutとの間に電流路が設けられたｐチャネル型トランジスタからなる特定電圧印加トランジスタＴｒ５２と、を備えた構成を有している。このような構成により、ＯＲ回路５１により上記データラッチ部１０２から出力される非反転出力信号ｄ１０～ｄ１３の信号レベルが全て“０”となる特定状態（黒表示状態に相当する）であるか否かが判別され、該特定状態においてのみ、特定電圧印加トランジスタＴｒ５２を介して、データラインＤＬに特定電圧Ｖbkが印加される。

【０１１５】

このような構成を有する階調電流生成回路ＰＸＡにおいては、シフトレジスタ回路１３１Ａからのシフト信号ＳＲの出力タイミング（ハイレベルの出力タイミング）に応じて、

複数ビットのデジタル信号として供給される表示データＤ０～Ｄ３がデータラッチ部１０１に同時に取り込み保持される。また、ロード信号loadがハイレベルとなるタイミング（例えば、帰線期間中）で、データラッチ部１０１に保持された表示データＤ０～Ｄ３に基づく非反転出力信号がデータラッチ部１０２に転送されて同時に取り込み保持される。そして、システムコントローラ１４０Ａからのロード信号loadが次にローレベルとなるタイミング（例えば、水平選択期間中の帰線期間以外の期間）で、データラッチ部１０２に保持された上記非反転出力信号（すなわち、表示データＤ０～Ｄ３）に基づく反転出力信号ｄ１０＊～ｄ１３＊が電流生成部２０１又は２０２に同時に出力される。

【０１１６】

ここで、システムコントローラ１４０Ａから動作設定部３０Ａに入力される選択設定信号ＳＥＬがハイレベルの場合には、インバータ３１５により出力制御トランジスタＴｒ３１１がオン動作するとともに、出力制御トランジスタＴｒ３１２がオフ動作する。これにより、電流生成部２０１の電流出力接点ＯＵＴｉが、出力制御トランジスタＴｒ３１１を介してデータラインＤＬ（出力接点Ｔout）に接続され、また、電流生成部２０２の電流出力接点ＯＵＴｉとデータラインＤＬとの接続は遮断される。

【０１１７】

このとき同時に、ＮＡＮＤ回路３１６及びインバータ３１８により、シフト信号ＳＲの出力タイミングに関わらず、電流供給制御トランジスタＴｒ３１３の制御端子にハイレベルの制御信号（ＮＡＮＤ回路３１６の出力信号）が印加されるとともに、電流生成部２０１にローレベルの制御信号ＣＫ１が供給され、電流供給制御トランジスタＴｒ３１３及び電流生成部２０１のリフレッシュ制御トランジスタ（図３に示したｎチャネル型トランジスタＴｒ１０に相当する）がオフ動作する。

【０１１８】

また、ハイレベルの選択設定信号ＳＥＬが入力されることにより、ＮＡＮＤ回路３１７及びインバータ３１９により、シフト信号ＳＲの出力タイミング（ハイレベルの出力タイミング）に応じて、電流供給制御トランジスタＴｒ３１４の制御端子にローレベルの制御信号（ＮＡＮＤ回路３１７の出力信号）が印加されるとともに、電流生成部２０２にハイレベルの制御信号ＣＫ２が供給され、電流供給制御トランジスタＴｒ３１４及び電流生成部２０２のリフレッシュ制御トランジスタ及びがオン動作する。

【０１１９】

したがって、階調電流生成回路ＰＸＡにハイレベルの選択設定信号ＳＥＬが入力されている場合には、電流生成部２０１がデータ出力状態に設定されて、先のタイミングでデータラッチ部１０１及び１０２に取り込み保持した表示データＤ０～Ｄ３（反転出力信号ｄ１０＊～ｄ１３＊）に基づいて生成された階調電流Ｉpixをデータ ラインＤＬに供給し、同時に、電流生成部２０２に基準電流Ｉrefが供給される（基準電流トランジスタの電流路に流れるとともに、ゲート端子に供給される）ことにより、電流生成部２０２の電荷蓄積手段（図３に示したコンデンサＣａ）を所定電圧に再充電するリフレッシュ動作が実行される。

【０１２０】

一方、階調電流生成回路ＰＸＡにおいて、システムコントローラ１４０Ａから入力される選択設定信号ＳＥＬがローレベルの場合には、インバータ３１５により出力制御トランジスタＴｒ３１１がオフ動作するとともに、出力制御トランジスタＴｒ３１２がオン動作する。これにより、電流生成部２０１の電流出力接点ＯＵＴｉとデータラインＤＬとの接続は遮断され、また、電流生成部２０２の電流出力接点ＯＵＴｉは出力制御トランジスタＴｒ３１２を介してデータラインＤＬ（出力接点Ｔout）に接続される。

【０１２１】

このとき同時に、ＮＡＮＤ回路３１６及びインバータ３１８により、シフト信号ＳＲの出力タイミング（ハイレベルの出力タイミング）に応じて、電流供給制御トランジスタＴｒ３１３の制御端子にローレベルの制御信号が印加されるとともに、電流生成部２０１にハイレベルの制御信号ＣＫ１が供給され、電流供給制御トランジスタＴｒ３１３及び電流

生成部２０１のリフレッシュ制御トランジスタがオン動作する。

【０１２２】

また、ローレベルの選択設定信号ＳＥＬが入力されることにより、ＮＡＮＤ回路３１７及びインバータ３１９により、シフト信号ＳＲの出力タイミングに関わらず、電流供給制御トランジスタＴｒ３１４の制御端子にハイレベルの制御信号が印加されるとともに、電流生成部２０２にローレベルの制御信号ＣＫ２が供給され、電流供給制御トランジスタＴｒ３１４及び電流生成部２０２のリフレッシュ制御トランジスタがオフ動作する。

【０１２３】

したがって、階調電流生成回路ＰＸＡにローレベルの選択設定信号ＳＥＬが入力されている場合には、電流生成部２０２がデータ出力状態に設定されて、先のタイミングでデータラッチ部１０１及び１０２に取り込み保持した表示データＤ０～Ｄ３（反転出力信号ｄ１０＊～ｄ１３＊）に基づいて生成された階調電流Ｉpixをデータラインｄｌに供給し、同時に、電流生成部２０１に基準電流Ｉrefが供給されることにより、電流生成部２０１の電荷蓄積手段を所定電圧に再充電するリフレッシュ動作が実行される。

【０１２４】

このように、本実施例に係る階調電流生成回路ＰＸＡにおいては、システムコントローラ１４０Ａから供給する選択設定信号ＳＥＬの信号レベルを所定の周期（例えば、水平選択期間）ごとに適宜設定することにより、２組の電流生成部２０１又は２０２のいずれか一方をデータ出力状態とするとともに、同時に、他方の電流生成部にリフレッシュ動作を行うようにすることができる。

【０１２５】

なお、本実施例においては、データドライバ１３０Ａに設けられた全ての階調電流生成回路ＰＸＡ１、ＰＸＡ２、ＰＸＡ３、・・・に対して、単一の定電流発生源ＩＲから共通の基準電流供給線Ｌｓを介して、基準電流Ｉrefが共通に供給される構成を示したが、本発明はこれに限定されるものではなく、例えば、データドライバが表示パネルに対して複数個設けられている場合には、各データドライバ内に定電流発生源を個別に備えるものであってもよく、また、単一のデータドライバ内に設けられた複数の階調電流生成回路ごとに対応して定電流発生源を複数備えるものであってもよい。

【０１２６】

＜表示装置の駆動制御方法＞

次に、上述した構成を有する表示装置（データドライバ）の動作について、図面を参照して説明する。

図１１は、本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートであり、図１２は、本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。ここでは、図９、図１０に示したデータドライバの構成に加え、図３に示した電流生成供給回路の構成も適宜参照しながら説明する。

【０１２７】

（データドライバの制御動作）

データドライバ１３０Ａにおける制御動作は、概略、上述したように、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・に設けられたデータラッチ部１０１に、表示信号生成回路１５０Ａから供給される表示データＤ０～Ｄ３を取り込み保持しつつ、電流生成部２０１又は２０２のいずれか一方に基準電流を供給してリフレッシュするデータ取り込み期間（データ取り込み動作）兼リフレッシュ期間（リフレッシュ動作）と、該電流生成部２０１又は２０２の他方により、上記取り込まれた表示データＤ０～Ｄ３に応じた階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・を介して各表示画素（画素駆動回路ＤＣｘ）に供給するデータ出力期間（データ出力動作）と、を設定し、これらの動作期間を水平選択期間（１サイクル）ごとに同時に実行しつつ、かつ、データ出力動作を２組の電流生成部２０１、２０２により、交互に繰り返し実行する。

【０１２８】

各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・のデータラッチ部１０１に表示データ

Ｄ０～Ｄ３を取り込んで保持するデータ取り込み期間においては、図１１に示すように、ｉ行目の水平選択期間（ｉ）にローレベルの選択設定信号ＳＥＬを入力することにより、該水平選択期間（ｉ）のうちの帰線期間を除く期間に、シフトレジスタ回路１３１Ａから順次出力されるシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・に基づいて、各データラインＤＬ１、ＤＬ２、・・・に対応して設けられた各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・のデータラッチ部１０１に、（ｉ＋１）行目の各列の表示画素に対応して切り替わる表示データＤ０～Ｄ３を順次取り込み保持する動作が１行分連続的に実行される。

【０１２９】

また、この動作期間においては、出力制御トランジスタＴｒ３１２がオン動作することにより、電流生成部２０２において、先のタイミングのデータ取り込み動作（ｉ－１行目の水平選択期間）により取り込み保持されたｉ行目の表示データＤ０～Ｄ３に対応して、データラッチ部１０２から出力される反転出力信号ｄ１０＊～ｄ１３＊に基づいて、複数のスイッチトランジスタ（図３に示したトランジスタＴＰ１６～ＴＰ１９に相当する）のオン／オフ状態が制御され、これにより、オン動作したスイッチトランジスタに接続された単位電流トランジスタ（図３に示したトランジスタＴＰ１２～ＴＰ１５に相当する）に流れる単位電流の合成電流が、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・からデータラインＤＬ１、ＤＬ２、・・・に階調電流Ｉpixとして同時（並列的）に供給される（データ出力期間）。ここで、単位電流トランジスタに流れる各単位電流は、上述した電流生成供給回路（図３参照）と同様に、予め基準電流Ｉrefに対して所定の電流比率の電流値（例えば、単位電流相互が2^kで規定される、異なる電流値）を有するように設定されている。この階調電流Ｉpixの供給動作（データ出力動作）は、当該水平選択期間（ｉ）における帰線期間の直前まで継続される。

【０１３０】

さらに、この動作期間においては、電流供給制御トランジスタＴｒ３１３がオン動作するとともに、電流生成部２０１に設けられたリフレッシュ制御トランジスタがオン動作することにより、電流生成部２０１において、基準電流トランジスタに基準電流Ｉrefが流れ、該基準電流トランジスタのゲート端子に基準電流Ｉrefに基づく電荷が供給される。これにより、基準電流トランジスタのゲート端子に設けられたコンデンサ（電荷蓄積手段）に電荷が蓄積され、ゲート端子の電位が所定の一定電圧に再充電される（リフレッシュ動作）。

【０１３１】

次いで、上記１行分の表示データＤ０～Ｄ３を順次取り込む動作（データ取り込み期間）が終了した後の帰線期間（便宜的に「ロードラッチ期間」と記す）においては、システムコントローラ１４０Ａから一括して出力されるロード信号loadに基づいて、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・のデータラッチ部１０１に取り込み保持された表示データＤ０～Ｄ３に基づく非反転出力信号が、データラッチ部１０２に転送されて取り込み保持される。

【０１３２】

次いで、（ｉ＋１）行目の水平選択期間（ｉ＋１）にハイレベルの選択設定信号ＳＥＬを入力することにより、該水平選択期間（ｉ＋１）のうちの帰線期間を除く期間に、上記データ出力期間における電流生成部２０２の動作と同様に、各階調電流生成回路ＰＸＡ、ＰＸＡ２、・・・に取り込み保持された（ｉ＋１）行目の表示データＤ０～Ｄ３に対応して、データラッチ部１０２から出力される反転出力信号ｄ１０＊～ｄ１３＊に基づいて、電流生成部２０１において単位電流が選択的に合成されて、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・からデータラインＤＬ１、ＤＬ２、・・・に階調電流Ｉpixとして同時（並列的）に供給される。

【０１３３】

また、この動作期間においては、上記データ取り込み期間と同様に、シフトレジスタ回路１３１Ａから順次出力されるシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・に基づいて、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・のデータラッチ部１０１に、（ｉ＋２）

行目の表示データＤ０～Ｄ３を１行分連続的に取り込み保持する動作が実行される。
さらに、この動作期間においては、電流供給制御トランジスタＴｒ３１４がオン動作するとともに、電流生成部２０２に設けられたリフレッシュ制御トランジスタがオン動作することにより、電流生成部２０２に設けられた基準電流トランジスタのゲート端子の電位が所定の一定電圧に再充電（リフレッシュ）される。

【０１３４】

そして、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・において、上述したように、データラッチ部１０１に表示データＤ０～Ｄ３を取り込み保持しつつ、電流生成部２０１又は２０２の一方に基準電流を供給してリフレッシュするデータ取り込み動作兼リフレッシュ動作と、該電流生成部２０１又は２０２の他方により、上記取り込まれた表示データＤ０～Ｄ３に応じた階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・に供給するデータ出力動作とを、１水平選択期間ごとに、電流生成部２０１及び２０２により同期かつ交互に繰り返し実行するように設定する。

【０１３５】

なお、本実施形態に係る表示装置においては、表示パネル１１０Ａの画像表示領域全域を黒表示等の特定の表示状態で駆動する場合には、表示データＤ０～Ｄ３として信号レベルが全て“０”となる複数ビットのデジタル信号を入力することにより、水平選択期間のうち帰線期間を除く期間において、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・のデータラッチ部１０２から電流生成部２０１及び２０２に出力される非反転出力信号が全て“０”に設定される。

【０１３６】

これにより、電流生成部２０１及び２０２のいずれにおいても、単位電流を選択、合成するスイッチトランジスタが全てオフ動作して階調電流が生成されず、データラインの信号レベルが不確定状態となるが、特定状態設定部５０に設けられた特定電圧印加トランジスタＴｒ５２を介して、例えば、表示画素における最低輝度階調での発光動作に対応した所定の黒表示電圧（特定電圧Ｖbk）がデータラインＤＬに印加されることにより、データラインの信号レベルが速やかに確定して、良好な黒表示動作が実行される。

【０１３７】

（表示パネルの制御動作）

そして、表示パネル１１０Ａ（表示画素）における制御動作は、図１２に示すように、表示パネル１１０Ａ一画面に所望の画像情報を表示する一走査期間Ｔscを１サイクルとして、該一走査期間Ｔsc内に、走査ドライバ１２０Ａにより特定の行の走査ラインに接続された表示画素群を選択して、データドライバ１３０Ａから供給される表示データＤ０～Ｄ３に対応する階調電流Ｉpixを書き込み、信号電圧として保持する書込動作期間（表示画素の選択期間）Ｔseと、該保持された信号電圧に基づいて、上記表示データに応じた発光駆動電流を有機ＥＬ素子ＯＥＬに供給して、所定の輝度階調で発光動作させる発光動作期間（表示画素の非選択期間）Ｔnseと、を設定（Ｔsc＝Ｔse＋Ｔnse）し、各動作期間において、上述した画素駆動回路ＤＣｘと同等の駆動制御を実行する。ここで、各行ごとに設定される書込動作期間Ｔseは、相互に時間的な重なりが生じないように設定される。また、書込動作期間Ｔseは、少なくとも、上記データドライバ１３０Ａにおけるデータ出力動作において、各データラインＤＬに階調電流Ｉpixを並列的に供給する一定期間を含む期間に設定される。

【０１３８】

すなわち、表示画素への書込動作期間Ｔseにおいては、図１２に示すように、特定の行（ｉ行目）の表示画素に対して、走査ドライバ１２０Ａにより走査ラインＳＬａ、ＳＬｂに所定の信号レベルを印加して選択走査することにより、データドライバ１３０Ａにより各データラインＤＬに並列的に供給された階調電流Ｉpixを、各表示画素に設けられた保持容量（図８に示した画素駆動回路ＤＣｘに設けられたコンデンサＣｘに相当する）に電圧成分として一斉に保持する動作を実行し、その後の発光動作期間Ｔnseにおいては、上記書込動作期間Ｔseに保持された電圧成分に基づく発光駆動電流を有機ＥＬ素子ＯＥＬに

継続的に供給することにより、表示データに対応する輝度階調で発光する動作が継続される。

このような一連の駆動制御動作を、図１２に示すように、表示パネル１１０Ａを構成する全ての行（１～ｎ行）の表示画素群について順次繰り返し実行することにより、表示パネル１１０Ａ一画面分の表示データが書き込まれて、各表示画素が所定の輝度階調で発光し、所望の画像情報が表示される。

【０１３９】

したがって、本実施形態に係るデータドライバ及び表示装置によれば、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・により各データラインＤＬを介して特定の行の表示画素群に供給される階調電流Ｉpixが、単一の定電流発生源ＩＲから（共通の基準電流供給線Ｌｓを介して）供給される信号レベルが変動しない一定の基準電流Ｉref、及び、複数ビットのデジタル信号からなる表示データＤ０～Ｄ３に基づいて生成されるので、表示画素を比較的低い輝度階調で発光動作させる場合（階調電流Ｉpixの電流値が微少な場合）や、表示パネルの高精細化等に伴って表示画素への階調電流Ｉpixの供給時間（選択時間）が短く設定されている場合であっても、階調電流Ｉpixの生成に関連してデータドライバ（各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・）に供給される信号の信号遅延の影響を排除して、データドライバの動作速度の低下を抑制することができるともに、各階調電流生成回路ＰＸＡ１、ＰＸＡ２、・・・により生成される階調電流の電流特性を均一化して、表示装置における表示応答特性及び表示画質の向上を図ることができる。

【０１４０】

また、各データラインＤＬに対して、階調電流生成回路に２組のデータラッチ部及び電流生成部を備え、データラッチ部へのデータ取り込み動作及び電流生成部におけるデータ出力動作を並行して実行しつつ、かつ、該動作状態を水平選択期間ごとに交互に繰り返し実行することにより、データドライバから各表示画素に対して、表示データに適切に対応した電流値を有する階調電流を継続的に供給することができるので、データドライバの動作速度を実質的に向上させて、表示画素を所望の輝度階調で迅速に発光動作させることができ、表示装置の表示応答速度及び表示画質を一層向上させることができる。

【０１４１】

さらに、各階調電流生成回路ＰＸＡ（電流生成部２０１、２０２）を構成する各単位電流トランジスタのゲート端子に印加される電位（ゲート電位）を、周期的に所定の一定電圧に再充電（リフレッシュ）することができるので、単位電流トランジスタにおける電流リーク等に起因するゲート電位の低下を抑制することができ、各単位電流トランジスタの導通状態のバラツキにより、階調電流（すなわち、表示画素の輝度階調）が不均一になる現象を抑制して、良好な階調表示動作（表示画質の向上）を実現することができる。

【０１４２】

＜表示装置の第２の実施形態＞

次に、本発明に係る電流生成供給回路を適用可能な表示装置の第２の実施形態について簡単に説明する。

（データドライバの構成例）

図１３は、第２の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。ここで、上述した第１の実施形態に示した表示装置及びデータドライバと同等の構成については、同等又は同一の符号を付してその説明を簡略化又は省略する。

【０１４３】

本実施形態に係る表示装置は、概略、図６に示した表示装置１００Ａと同等の構成を有する表示パネル、走査ドライバ、データドライバを備え、特に、データドライバ１３０Ｂは、図２０に示すように、第１の実施形態に示したデータドライバ１３０Ａ（図９参照）と同様に、図示を省略したシステムコントローラから供給されるシフトクロック信号ＳＦＣに基づいて、非反転クロック信号ＣＫａ及び反転クロック信号ＣＫｂを生成する反転ラッチ回路１３３Ｂと、該非反転クロック信号ＣＫａ及び反転クロック信号ＣＫｂ並びにサ

ンプリングスタート信号ＳＴＲに基づいて、所定の信号周波数（クロック周波数）を有するシフト信号ＳＲ１、ＳＲ２、・・・を順次出力するシフトレジスタ回路１３１Ｂと、該シフト信号ＳＲ１、ＳＲ２、・・・の出力タイミングに基づいて、図示を省略した表示信号生成回路１５０Ａから供給される表示データＤ０～Ｄ３を順次取り込み、所定の電流値を有する階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・に供給する階調電流生成回路群１３２Ｂと、を備えて構成されている。

【０１４４】

（階調電流生成回路群１３２Ｂ）

図１４は、本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。ここで、上述した実施形態に示した階調電流生成回路（図１０参照）と同等の構成については、同一又は同等の符号を付してその説明を簡略化する。

階調電流生成回路群１３２Ｂを構成する各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・（以下、便宜的に「階調電流生成回路ＰＸＢ」とも記す）は、図１４に示すように、図１に示した電流生成供給回路ＩＬＡの各構成を基本要素とし、前段及び後段からなるデータラッチ部（信号保持手段）１０１、１０２と、上記データラッチ部１０２の反転出力接点ＯＴ０＊～ＯＴ３＊に接続された単一の電流生成部（電流生成手段）２０１と、選択設定信号ＳＥＬに基づいて、各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・の選択状態及び動作状態を設定する動作設定部（動作状態設定手段）３０Ｂと、データラッチ部１０２の非反転出力接点ＯＴ０～ＯＴ３に接続され、表示画素を特定の駆動状態（黒表示動作等）で動作させる場合に、データラインＤＬ１、ＤＬ２、・・に対して特定電圧Ｖbkを印加する特定状態設定部５０と、を備えた構成を有している。ここで、データラッチ部１０１、１０２、電流生成部２０１及び特定状態設定部５０は、上述した実施形態と同等の構成及び機能を有しているので、その説明を省略する。

【０１４５】

動作設定部３０Ｂは、図１４に示すように、図示を省略したシステムコントローラから出力される選択設定信号ＳＥＬを反転処理するインバータ３２４と、データラインＤＬが接続される出力接点Ｔoutと電流生成部２０１の電流出力接点ＯＵＴｉとの間に電流路が設けられ、制御端子に上記選択設定信号ＳＥＬの反転信号（インバータ３２４の出力信号）が印加される出力制御トランジスタＴｒ３２２と、選択設定信号ＳＥＬの反転信号及びシフトレジスタ回路１３１Ｂからのシフト信号ＳＲを入力とするＮＡＮＤ回路３２５と、選択設定信号ＳＥＬ及びシフトレジスタ回路１３１Ｂからのシフト信号ＳＲを入力とするＮＡＮＤ回路３２６と、ＮＡＮＤ回路３２５の論理出力を反転処理するインバータ３２７と、ＮＡＮＤ回路３２６の論理出力を反転処理するインバータ３２８と、基準電流Ｉref が供給される（基準電流供給線Ｌｓが接続される）基準電流接点Ｔinsと電流生成部２０１の電流入力接点ＩＮｉとの間に電流路が設けられ、制御端子に上記ＮＡＮＤ回路３２５の出力信号が印加される電流供給制御トランジスタＴｒ３２３と、を備えた構成を有している。

【０１４６】

ここで、インバータ３２７の出力信号は、制御信号ＣＫ１として電流生成部２０１に設けられたリフレッシュ制御トランジスタ（図３に示したトランジスタＴｒ１０に相当する）に印加される。また、インバータ３２８の出力信号は、データラッチ部１０１の非反転入力接点ＣＫに非反転クロック信号として入力され、ＮＡＮＤ回路３２６の出力信号は、データラッチ部１０１の反転入力接点ＣＫ＊に反転クロック信号として入力される。また、選択設定信号ＳＥＬの反転信号（インバータ３２４の出力信号）は、データラッチ部１０２の非反転入力接点ＣＫに非反転クロック信号として入力され、選択設定信号ＳＥＬは、直接データラッチ部１０２の反転入力接点ＣＫ＊に反転クロック信号として入力される。

【０１４７】

このような構成を有する階調電流生成回路ＰＸＢにおける制御動作は、動作設定部３０

Ｂに入力される選択設定信号ＳＥＬがハイレベルとなる期間（例えば、水平選択期間中の帰線期間以外の期間）であって、シフトレジスタ回路１３１Ｂからシフト信号ＳＲ（ハイレベル）が出力されるタイミングで、複数ビットのデジタル信号からなる表示データＤ０～Ｄ３がデータラッチ部１０１に同時に取り込み保持される。また、選択設定信号ＳＥＬがローレベルとなるタイミング（例えば、帰線期間中）で、データラッチ部１０１に保持された表示データＤ０～Ｄ３に基づく非反転出力信号がデータラッチ部１０２に転送されて同時に取り込み保持される。そして、選択設定信号ＳＥＬが次にハイレベルとなるタイミング（例えば、水平選択期間中の帰線期間以外の期間）で、データラッチ部１０２に保持された上記非反転出力信号（すなわち、表示データＤ０～Ｄ３）に基づく反転出力信号ｄ１０＊～ｄ１３＊が電流生成部２０１に同時に出力される。

【０１４８】

ここで、動作設定部３０Ｂに入力される選択設定信号ＳＥＬがハイレベルの場合には、インバータ３２４により出力制御トランジスタＴｒ３２２がオン動作する。これにより、電流生成部２０１の電流出力接点ＯＵＴｉが、出力制御トランジスタＴｒ３２２を介してデータラインＤＬ（出力接点Ｔout）に接続される。

このとき同時に、ＮＡＮＤ回路３２５及びインバータ３２７により、シフト信号ＳＲの出力タイミングに関わらず、電流供給制御トランジスタＴｒ３２３の制御端子にハイレベルの制御信号（ＮＡＮＤ回路３２５の出力信号）が印加されるとともに、電流生成部２０１にローレベルの制御信号ＣＫ１が供給され、電流供給制御トランジスタＴｒ３２３及び電流生成部２０１のリフレッシュ制御トランジスタがオフ動作する。

【０１４９】

したがって、階調電流生成回路ＰＸＢにハイレベルの選択設定信号ＳＥＬが入力されている場合には、電流生成部２０１がデータ出力状態に設定されて、先のタイミングでデータラッチ部１０１及び１０２に取り込み保持された表示データＤ０～Ｄ３（反転出力信号ｄ１０＊～ｄ１３＊）に基づいて生成された階調電流Ｉpixをデータライン ＤＬに供給し、同時に、データラッチ部１０１がデータ取り込み状態に設定されて、表示データＤ０～Ｄ３を所定のタイミングで取り込む動作が実行される。

【０１５０】

一方、設定部３０Ｂに入力される選択設定信号ＳＥＬがローレベルの場合には、インバータ３２４により出力制御トランジスタＴｒ３２２がオフ動作する。これにより、電流生成部２０１の電流出力接点ＯＵＴｉとデータラインＤＬとの接続は遮断される。

このとき同時に、ＮＡＮＤ回路３２５及びインバータ３２７により、シフト信号ＳＲの出力タイミングに応じて、電流供給制御トランジスタＴｒ３２３の制御端子にローレベルの制御信号が印加されるとともに、電流生成部２０１にハイレベルの制御信号ＣＫ１が供給され、電流供給制御トランジスタＴｒ３２３及び電流生成部２０１のリフレッシュ制御トランジスタ及びがオン動作する。

【０１５１】

したがって、階調電流生成回路ＰＸＢにローレベルの選択設定信号ＳＥＬが入力されている場合には、データラッチ部１０１に取り込み保持された表示データに基づく非反転出力信号がデータラッチ部１０２に転送されるとともに、電流生成部２０１に基準電流Ｉrefが供給される（基準電流トランジスタの電流路に流れるとともに、ゲート端子に供給される）ことにより、電流生成部２０１の電荷蓄積手段（図３に示したコンデンサＣａ）を所定電圧に再充電するリフレッシュ動作が実行される。

【０１５２】

このように、本実施例に係る階調電流生成回路ＰＸＢにおいては、システムコントローラから供給する選択設定信号ＳＥＬの信号レベルを所定の周期（例えば、帰線期間及びそれ以外の期間）ごとに適宜設定することにより、データラッチ部１０１への表示データの取り込み保持動作及び電流生成部２０１のデータ出力動作を実行する状態と、データラッチ部１０１からデータラッチ部１０２への表示データに基づくデジタル信号の転送動作及び電流生成部２０１のリフレッシュ動作を実行する状態を、交互に繰り返し設定すること

ができる。

【０１５３】

（データドライバの制御動作）

図１５は、本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

上述したような階調電流生成回路ＰＸＢ（階調電流生成回路群１３２Ｂ）を備えたデータドライバ１３０Ｂにおける制御動作は、概略、上述したように、各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・に設けられたデータラッチ部１０１に、表示データＤ０～Ｄ３を取り込み保持するデータ取り込み期間と、電流生成部２０１により、上記取り込まれた表示データＤ０～Ｄ３に応じた階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・を介して各表示画素に供給するデータ出力期間と、電流生成部２０１に基準電流を供給してリフレッシュするリフレッシュ期間と、を設定し、水平選択期間ごとにデータ取り込み動作及びデータ出力動作を同時に実行し、また、該水平選択期間の帰線期間にリフレッシュ動作を実行するように制御する。

【０１５４】

各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・のデータラッチ部１０１に表示データＤ０～Ｄ３を取り込んで保持するデータ取り込み期間においては、図１５に示すように、ｉ行目の水平選択期間（ｉ）のうちの帰線期間を除く期間に、ハイレベルの選択設定信号ＳＥＬを入力するとともに、シフトレジスタ回路１３１Ｂから第１の信号周波数を有するシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・を順次入力することにより、各データラインＤＬ１、ＤＬ２、・・・に対応して設けられた各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・のデータラッチ部１０１に、（ｉ＋１）行目の各列の表示画素に対応して切り替わる表示データＤ０～Ｄ３を順次取り込み保持する動作が１行分連続的に実行される。

【０１５５】

また、この動作期間においては、出力制御トランジスタＴｒ３２２がオン動作することにより、電流生成部２０１において、先のタイミングのデータ取り込み動作（ｉ－１行目の水平選択期間）により取り込み保持されたｉ行目の表示データＤ０～Ｄ３に対応して、データラッチ部１０２から出力される反転出力信号ｄ１０＊～ｄ１３＊に基づいて、オン動作したスイッチトランジスタに接続された単位電流トランジスタに流れる単位電流の合成電流が、各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・からデータラインＤＬ１、ＤＬ２、・・・に階調電流Ｉpixとして同時（並列的）に供給される（データ出力期間）。この階調電流Ｉpixの供給動作（データ出力動作）は、当該水平選択期間（ｉ）における帰線期間の直前まで継続される。

【０１５６】

次いで、各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・の電流生成部２０１に設けられた各基準電流トランジスタのゲート端子の電位をリフレッシュするリフレッシュ期間においては、図１５に示すように、ｉ行目の水平選択期間（ｉ）の帰線期間に、ローレベルの選択設定信号ＳＥＬを入力することにより、出力制御トランジスタＴｒ３２２がオフ動作して、電流生成部２０１からデータラインＤＬ１、ＤＬ２、・・・への階調電流Ｉpixの供給が遮断される。

【０１５７】

また、この動作期間においては、シフトレジスタ回路１３１Ｂから上記第１の信号周波数よりも高い第２の信号周波数を有するシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・を順次入力することにより、電流供給制御トランジスタＴｒ３２３がオン動作するとともに、電流生成部２０１に設けられたリフレッシュ制御トランジスタがオン動作して、電流生成部２０１の基準電流トランジスタのゲート端子に設けられたコンデンサに電荷が蓄積され、該ゲート端子の電位が所定の一定電圧に再充電される（リフレッシュ動作）。

さらに、この動作期間においては、上記データ取り込み期間において各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・のデータラッチ部１０１に取り込み保持された表示データＤ０～Ｄ３に基づく非反転出力信号が、データラッチ部１０２に転送されて取り込み保持

される。

【０１５８】

次いで、（ｉ＋１）行目の水平選択期間（ｉ＋１）のうちの帰線期間を除く期間に、ハイレベルの選択設定信号ＳＥＬを入力することにより、上記データ出力期間と同様に、ｉ行目の水平選択期間（ｉ）において各階調電流生成回路ＰＸＢ、ＰＸＢ２、・・・に取り込み保持された（ｉ＋１）行目の表示データＤ０～Ｄ３に対応して、データラッチ部１０２から出力される反転出力信号ｄ１０＊～ｄ１３＊に基づいて、電流生成部２０１において、単位電流が選択的に合成されて、各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・からデータラインＤＬ１、ＤＬ２、・・・に階調電流Ｉpixとして同時（並列的）に供給される。

また、この動作期間においては、上記データ取り込み期間と同様に、シフトレジスタ回路１３１Ｂから順次出力されるシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・に基づいて、各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・のデータラッチ部１０１に、（ｉ＋２）行目の表示データＤ０～Ｄ３を１行分連続的に取り込み保持する動作が実行される。

【０１５９】

なお、本実施例に係るデータドライバにおいては、水平選択期間内にあって、比較的短い期間である帰線期間中に、各階調電流生成回路に設けられた電流生成部に基準電流を順次供給してリフレッシュする動作を行っているため、シフトレジスタ回路１３１Ｂから供給するシフト信号として、データ取り込み動作を実行する際と、上記リフレッシュ動作を実行する際では、その信号周波数が異なるように（切り換えるように）設定制御する。すなわち、シフトレジスタ回路１３１Ｂから出力されるシフト信号の信号周波数を２通り（第１、第２の信号周波数）に切り換え制御して、少なくとも、帰線期間中（すなわち、リフレッシュ期間）においては、帰線期間以外の水平選択期間（データ取り込み期間）に比較して、シフト信号の信号周波数が高くなるように設定（第１の信号周波数＜第２の信号周波数）する。

【０１６０】

したがって、本実施形態に係るデータドライバ及び表示装置においても、上述した実施形態と同様に、各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・により表示データＤ０～Ｄ３に対応した階調電流Ｉpixが、単一の定電流発生源ＩＲから供給される一定の基準電流Ｉref、及び、複数ビットのデジタル信号からなる表示データＤ０～Ｄ３に基づいて生成されるので、階調電流Ｉpixの生成に関連してデータドライバ（各階調電流生成回路ＰＸＢ１、ＰＸＢ２、・・・）に供給される信号の信号遅延の影響を排除して、データドライバの動作速度の低下を抑制することができるともに、階調電流の電流特性を均一化して、表示装置における表示応答特性及び表示画質の向上を図ることができる。

【０１６１】

また、各データラインＤＬに対して、階調電流生成回路に２組のデータラッチ部と単一の電流生成部を備え、データラッチ部へのデータ取り込み動作及び電流生成部におけるデータ出力動作を並行して実行することにより、データドライバから各表示画素に対して、表示データに適切に対応した電流値を有する階調電流を継続的に供給することができるので、データドライバの動作速度を実質的に向上させて、表示画素を所望の輝度階調で迅速に発光動作させることができ、表示装置の表示応答速度及び表示画質を一層向上させることができる。また、各データライン（表示画素）に対応して２組の電流生成部を備える構成に比較して回路規模を縮小することができ、表示装置の表示エリアの外側に設置される額縁部分を狭くして、表示装置の小型化（あるいは、表示エリアサイズの大型化）を図ることができる。

【０１６２】

＜表示装置の第３の実施形態＞

次に、本発明に係る電流生成供給回路を適用可能な表示装置の第３の実施形態について簡単に説明する。

図１６は、本発明に係る電流生成供給回路を適用可能な表示装置の第３の実施形態を示

す概略ブロック図であり、図１７は、第３の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。ここで、上述した第１、第２の実施形態に示した表示装置及びデータドライバと同等の構成については、同等又は同一の符号を付してその説明を簡略化又は省略する。

【０１６３】

図１６、図１７に示すように、本実施形態に係る表示装置１００Ｃは、概略、図６に示した表示装置１００Ａを基本構成として、表示パネル１１０Ｃの列方向に配列された表示画素群ごとに、共通に接続されたデータライン（信号線）ＤＬ１、ＤＬ２、・・・（ＤＬ）の両端にデータドライバ（信号駆動手段）１３０Ｃａ、１３０Ｃｂが接続され、表示パネル１００Ｃの上方及び下方に配置された構成を有している。また、図示を省略したシステムコントローラから供給されるデータ制御信号（シフトクロック信号ＳＦＣ、選択設定信号ＳＥＬ等）に基づいて、データドライバ１３０Ｃａ及び１３０Ｃｂの動作状態を切り換え制御する共通制御部（動作状態設定手段）１３４Ｃを備えている。

【０１６４】

（データドライバの構成例）

共通制御部１３４Ｃは、図１６に示すように、図示を省略したシステムコントローラから供給される選択設定信号ＳＥＬに基づいて、非反転選択信号ＳＥａ及び反転選択信号ＳＥｂを生成する選択設定回路３３０と、システムコントローラから供給されるシフトクロック信号ＳＦＣ及び上記選択設定回路３３０から出力される反転選択信号ＳＥｂを入力とするＮＡＮＤ回路３３１と、シフトクロック信号ＳＦＣ及び上記選択設定回路３３０から出力される非反転選択信号ＳＥａを入力とするＮＡＮＤ回路３３２と、ＮＡＮＤ回路３３１の論理出力を反転処理するインバータ３３３と、ＮＡＮＤ回路３３２の論理出力を反転処理するインバータ３３４と、を備えた構成を有している。

【０１６５】

また、データドライバ１３０Ｃａ、１３０Ｃｂは、各々、図１７に示すように、概略、上述した第２の実施形態に示したデータドライバ１３０Ｂ（図１３参照）と同様の構成を有するシフトレジスタ回路１３１Ｃと、階調電流生成回路群１３２Ｃと、反転ラッチ回路１３３Ｃと、を備えて構成されている。ここで、シフトレジスタ回路１３１Ｃ及び反転ラッチ回路１３３Ｃは、上述した各実施形態と同等の構成及び機能を有しているので、その説明を省略する。また、ここでは図示の都合上、データドライバ１３０Ｃａ及び１３０Ｃｂのうち、いずれか一方の構成のみを示す。

【０１６６】

（階調電流生成回路群１３２Ｃ）

図１８は、本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。

階調電流生成回路群１３２Ｃを構成する各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・（以下、便宜的に「階調電流生成回路ＰＸＣ」とも記す）は、図１８に示すように、図１に示した電流生成供給回路ＩＬＡの各構成を基本要素とし、単一のデータラッチ部（信号保持手段）１０１と、該データラッチ部１０１の反転出力接点ＯＴ０＊～ＯＴ３＊に接続された単一の電流生成部（電流生成手段）２０１と、上述した選択設定回路３３０から出力される非反転選択信号ＳＥａ又は反転選択信号ＳＥｂに基づいて、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・の選択状態及び動作状態を設定する動作設定部（動作状態設定手段）３０Ｃと、データラッチ部１０１の非反転出力接点ＯＴ０～ＯＴ３に接続され、表示画素を特定の駆動状態（黒表示動作等）で動作させる場合に、データラインＤＬ１、ＤＬ２、・・に対して特定電圧Ｖbkを印加する特定状態設定部５０と、を備えた構成を有している。ここで、データラッチ部１０１、電流生成部２０１及び特定状態設定部５０は、上述した実施例と同等の構成及び機能を有しているので、その説明を省略する。

【０１６７】

動作設定部３０Ｃは、図１８に示すように、上述した選択設定回路３３０から出力される非反転選択信号ＳＥａ又は反転選択信号ＳＥｂを反転処理するインバータ３３６と、デ

ータラインＤＬが接続される出力接点Ｔoutと電流生成部２０１の電流出力接点ＯＵＴｉとの間に電流路が設けられ、制御端子にインバータ３２４の出力信号が印加される出力制御トランジスタＴｒ３３５と、シフトレジスタ回路１３１Ｃからのシフト信号ＳＲを反転処理するインバータ３３７と、基準電流Ｉrefが供給される（基準電流供給線Ｌｓが接続される）基準電流接点Ｔinsと電流生成部２０１の電流入力接点ＩＮｉとの間に電流路が設けられ、制御端子に上記インバータ３３７の出力信号が印加される電流供給制御トランジスタＴｒ３３８と、を備えた構成を有している。

【０１６８】

ここで、シフトレジスタ回路１３１Ｃからのシフト信号ＳＲは、データラッチ部１０１の非反転入力接点ＣＫに非反転クロック信号として直接入力されるとともに、制御信号ＣＫ１として電流生成部２０１に設けられたリフレッシュ制御トランジスタに直接印加される。また、該シフト信号ＳＲの反転信号（インバータ３３７の出力信号）は、データラッチ部１０１の反転入力接点ＣＫ＊に反転クロック信号として入力されるとともに、電流供給制御トランジスタＴｒ３３８の制御端子に印加される。

【０１６９】

（データドライバの制御動作）

図１９は、本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

上述したような構成を有する階調電流生成回路ＰＸＣ（階調電流生成回路群１３２Ｃ）を備えたデータドライバにおける制御動作は、概略、データドライバ１３０Ｃａ又は１３０Ｃｂに設けられた階調電流生成回路群１３２Ｃ（各階調電流生成回路ＰＸＣに設けられたデータラッチ部１０１）に、表示データＤ０～Ｄ３を取り込み保持するデータ取り込み期間と、電流生成部２０１に基準電流を供給してリフレッシュするリフレッシュ期間と、電流生成部２０１により、上記取り込まれた表示データＤ０～Ｄ３に応じた階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・を介して各表示画素に供給するデータ出力期間と、を設定し、水平選択期間ごとに一方のデータドライバによりデータ取り込み動作及びリフレッシュ動作を同時に実行しつつ、他方のデータドライバによりデータ出力動作を実行するように制御する。

【０１７０】

データ取り込み期間においては、図１９に示すように、ｉ行目の水平選択期間（ｉ）に、ローレベルの選択設定信号ＳＥＬを入力することにより、共通制御部１３４Ｃ（選択設定回路３３０）によりローレベルの非反転選択信号ＳＥａ及びハイレベルの反転選択信号ＳＥｂが生成され、各々データドライバ１３０Ｃａ及び１３０Ｃｂに入力される。

また、このとき、共通制御部１３４Ｃにおいて、選択設定回路３３０から出力される非反転選択信号ＳＥａがローレベル、反転選択信号ＳＥｂがハイレベルとなることにより、ＮＡＮＤ回路３３１及びインバータ３３３により、シフトクロック信号ＳＦＣに応じて信号レベルが変化するクロック信号ＳＣａが生成されてデータドライバ１３０Ｃａに出力されるとともに、ＮＡＮＤ回路３３２及びインバータ３３４により、シフトクロック信号ＳＦＣに関わらずローレベルを有するクロック信号ＳＣｂが生成されてデータドライバ１３０Ｃｂに出力される。

【０１７１】

これにより、データドライバ１３０Ｃａにおいては、ローレベルの非反転選択信号ＳＥａが入力されることにより、インバータ３３６により信号極性が反転処理されて出力制御トランジスタＴｒ３３５がオフ動作し、電流生成部２０１の電流出力接点ＯＵＴｉとデータラインＤＬ（出力接点Ｔout）の接続が遮断される。

また、この動作期間においては、シフトクロック信号ＳＦＣに基づく所定の周波数で信号レベルが変化するクロック信号ＳＣａに基づいて生成されるシフト信号（ハイレベル）ＳＲが、各階調電流生成回路ＰＸＣに供給されることにより、該シフト信号ＳＲの出力タイミングに応じて、電流供給制御トランジスタＴｒ３３８及び電流生成部２０１に設けられたリフレッシュ制御トランジスタがオン、オフ動作を交互に繰り返す。

【０１７２】
したがって、データドライバ１３０Ｃａにおいては、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・にローレベルの非反転選択信号ＳＥａ（ローレベルの選択設定信号ＳＥＬ）を入力するとともに、シフトレジスタ回路１３１Ｃからシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・を順次入力することにより、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・のデータラッチ部１０１に、（ｉ＋１）行目の各列の表示画素に対応して切り替わる表示データＤ０～Ｄ３を順次取り込み保持する動作（データ取り込み動作）が１行分連続的に実行されるとともに、所定の周期で電流供給制御トランジスタＴｒ３３８を介して電流生成部２０１に設けられた基準電流トランジスタのゲート端子に基準電流Ｉrefに基づく所定の電圧が充電される（リフレッシュ動作）。

【０１７３】
一方、データドライバ１３０Ｃｂにおいては、ハイレベルの反転選択信号ＳＥｂが入力されることにより、出力制御トランジスタＴｒ３３５がオン動作し、電流生成部２０１の電流出力接点ＯＵＴｉとデータラインＤＬ（出力接点Ｔout）が接続される。
また、この動作期間においては、一定のローレベルを有するクロック信号ＳＣｂがシフトレジスタ回路１３１Ｃに定常的に供給されるため、ローレベルを有するシフト信号ＳＲが、各階調電流生成回路ＰＸＣに供給されることになり、電流供給制御トランジスタＴｒ３３８及び電流生成部２０１に設けられたリフレッシュ制御トランジスタがオフ動作する。

【０１７４】
したがって、データドライバ１３０Ｃｂにおいては、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・にハイレベルの非反転選択信号ＳＥｂを入力するとともに、シフトレジスタ回路１３１Ｃからローレベルのシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・を定常的に入力することにより、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・のデータラッチ部１０１に、先のタイミング（水平選択期間（ｉ－１））で取り込み保持された（ｉ）行目の表示データＤ０～Ｄ３に基づく反転出力信号ｄ１０＊～ｄ１３＊が電流生成部２０１に転送されて取り込まれ、該反転出力信号ｄ１０＊～ｄ１３＊に基づいて単位電流が選択的に合成されて、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・からデータラインＤＬ１、ＤＬ２、・・・に階調電流Ｉpixとして同時（並列的）に供給される（データ出力動作）。この階調電流Ｉpixの供給動作（データ出力動作）は、当該水平選択期間（ｉ）における帰線期間の直前まで継続される。

【０１７５】
次いで、（ｉ＋１）行目の水平選択期間に、ハイレベルの選択設定信号ＳＥＬを入力することにより、データドライバ１３０Ｃａにおいて、上記データドライバ１３０Ｃｂにおけるデータ出力動作と同様に、ｉ行目の水平選択期間（ｉ）において各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・のデータラッチ部１０１に取り込み保持された（ｉ＋１）行目の表示データＤ０～Ｄ３に基づく反転出力信号ｄ１０＊～ｄ１３＊が電流生成部２０１に転送されて、表示データＤ０～Ｄ３に応じた電流値を有する階調電流Ｉpixが生成されて、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・からデータラインＤＬ１、ＤＬ２、・・・に同時（並列的）に供給される。

【０１７６】
また、この動作期間においては、データドライバ１３０Ｃｂにおいて、上記データドライバ１３０Ｃｂにおけるデータ取り込み動作及びリフレッシュ動作と同様に、シフトレジスタ回路１３１Ｃから順次出力されるシフト信号ＳＲ１、ＳＲ２、ＳＲ３、・・・に基づいて、各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・のデータラッチ部１０１に、（ｉ＋２）行目の表示データＤ０～Ｄ３を１行分連続的に取り込み保持するとともに、電流生成部２０１に基準電流Ｉrefが供給されてリフレッシュ動作が実行される。

【０１７７】
このように、本実施例に係る２組のデータドライバ１３０Ｃａ、１３０Ｃｂにおいては、システムコントローラから供給する選択設定信号ＳＥＬの信号レベルを所定の周期（水

平選択期間）ごとに適宜切り換え制御することにより、一方のデータドライバによりデータラッチ部１０１への表示データの取り込み保持動作及び電流生成部２０１のリフレッシュ動作と、他方のデータドライバによりデータラッチ部１０１からの出力信号に基づいて階調電流Ｉpixを生成、出力する動作を、同時に実行するとともに、該動作状態を交互に繰り返し実行するように設定することができる。

【０１７８】

したがって、本実施形態に係るデータドライバ及び表示装置においても、上述した実施形態と同様に、階調電流Ｉpixの生成に関連してデータドライバ（各階調電流生成回路ＰＸＣ１、ＰＸＣ２、・・・）に供給される信号のレベル変動に起因する信号遅延の影響を排除して、データドライバの動作速度の低下を抑制することができるともに、階調電流の電流特性を均一化して、表示装置における表示応答特性及び表示画質の向上を図ることができる。

【０１７９】

また、各データラインＤＬに対して、単一のデータラッチ部及び単一の電流生成部からなる階調電流生成回路を備えた２組のデータドライバを設け、一方のデータドライバにおいて表示データのデータ取り込み動作及び電流生成部のリフレッシュ動作を実行しつつ、他方のデータドライバにおいて先のタイミングで取り込んだ表示データに応じたデータ出力動作を実行することにより、２組のデータドライバから各表示画素に対して、表示データに適切に対応した電流値を有する階調電流を継続的に供給することができるので、データドライバの動作速度を実質的に向上させて、表示画素を所望の輝度階調で迅速に発光動作させることができ、表示装置の表示応答速度及び表示画質を一層向上させることができる。また、２組のデータドライバを表示パネルの上方及び下方に配置することにより、２組のデータドライバを表示パネルの一辺側に配置する場合に比較して、データドライバの回路規模を縮小することができ、表示装置の額縁部分を狭くして、表示装置の小型化（あるいは、表示エリアサイズの大型化）を図ることができる。

【０１８０】

＜表示装置の第４の実施形態＞

次に、本発明に係る電流生成供給回路を適用可能な表示装置の第４の実施形態について簡単に説明する。

（データドライバの構成例）

図２０は、第４の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。ここで、上述した各実施形態に示した表示装置及びデータドライバと同等の構成については、同等又は同一の符号を付してその説明を簡略化又は省略する。

【０１８１】

本実施形態に係る表示装置は、概略、図６に示した表示装置１００Ａと同等の構成を有する表示パネル、走査ドライバ、データドライバを備え、特に、データドライバ１３０Ｄは、図２０に示すように、上述した第２の実施形態に示したデータドライバ１３０Ｂ（図１３参照）と同様の構成を有するシフトレジスタ回路１３１Ｄと、階調電流生成回路群１３２Ｄと、反転ラッチ回路１３３Ｄと、に加え、さらに、図示を省略したシステムコントローラから供給される選択設定信号ＳＥＬに基づいて、非反転選択信号ＳＥａ及び反転選択信号ＳＥｂを生成する選択設定回路１３４Ｄを備えた構成を有している。

ここで、シフトレジスタ回路１３１Ｄ及び反転ラッチ回路１３３Ｄは、上述した各実施形態と同等の構成及び機能を有しているので、その説明を省略する。また、階調電流生成回路群１３２Ｄを構成する各階調電流生成回路ＰＸＤ１、ＰＸＤ２、・・・は、上述した第３の実施形態（図１８参照）と同等の回路構成を有しているので、その説明を省略する。

【０１８２】

本実施形態においては、選択設定回路１３４Ｄにより生成された選択設定信号ＳＥＬの非反転選択信号ＳＥａが、例えば、表示パネルの左半分の領域に配設されたデータラインＤＬ１、ＤＬ２、・・・ＤＬｍ／２に対応して設けられた階調電流生成回路ＰＸＤ１、Ｐ

ＸＤ２、・・・ＰＸＤｍ／２の選択制御端子ＴＳＬに入力され、また、選択設定信号ＳＥＬの反転選択信号ＳＥｂが、例えば、表示パネルの右半分の領域に配設されたデータラインＤＬｍ／２＋１、ＤＬｍ／２＋２、・・・ＤＬｍに対応して設けられた階調電流生成回路ＰＸＤｍ／２＋１、ＰＸＤｍ／２＋２、・・・ＰＸＤｍの選択制御端子ＴＳＬに入力されるように構成されている。

【０１８３】

すなわち、データドライバ１３０Ｄに設けられた階調電流生成回路群１３２Ｄは、表示パネルの左半分及び右半分の領域に対応して設けられた階調電流生成回路を各々一組として、選択設定信号ＳＥＬ（非反転選択信号ＳＥａ、反転選択信号ＳＥｂ）に基づいて、２組の階調電流生成回路において、データ取り込み動作及びリフレッシュ動作を実行する動作状態と、データ出力動作を実行する動作状態との、相互に異なる動作状態に同時に設定されるとともに、これらの動作状態を交互に繰り返し実行するように設定される。

【０１８４】

（データドライバの制御動作）

図２１は、本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

上述したような構成を有するデータドライバ１３０Ｄにおける制御動作は、概略、データドライバ１３０Ｄに設けられた階調電流生成回路群１３２Ｄのうち、表示パネルの左半分及び右半分の各領域に対応して設けられた各組（左領域側及び右領域側）の階調電流生成回路ＰＸＤの各々に、順次表示データＤ０～Ｄ３を取り込み保持するデータ取り込み期間（データ取り込み水平選択期間）と、上記取り込まれた表示データＤ０～Ｄ３に応じた階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・を介して各表示画素に供給するデータ出力期間（データ出力水平選択期間）と、を設定し、階調電流生成回路群１３２Ｄのうち、一方の組の階調電流生成回路ＰＸＤにより上記データ取り込み動作を実行しつつ、他方の組の階調電流生成回路ＰＸＤにより上記データ出力動作を実行するように制御する。

【０１８５】

まず、データ取り込み期間においては、図２１に示すように、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の前半で、ローレベルの選択設定信号ＳＥＬを入力することにより、選択設定回路１３４Ｄによりローレベルの非反転選択信号ＳＥａ及びハイレベルの反転選択信号ＳＥｂが生成され、非反転選択信号ＳＥａが、階調電流生成回路群１３２Ｄのうち、表示パネルの左半分の領域に配設されたデータラインＤＬ１～ＤＬｍ／２に対応して設けられた階調電流生成回路ＰＸＤ１、ＰＸＤ２、・・・ＰＸＤｍ／２（以下、便宜的に「左領域電流生成回路群ＬＰＸ」と総称する）に入力されるとともに、反転選択信号ＳＥｂが、階調電流生成回路群１３２Ｄうち、表示パネルの右半分の領域に配設されたデータラインＤＬｍ／２＋１～ＤＬｍに対応して設けられた階調電流生成回路ＰＸＤｍ／２＋１、ＰＸＤｍ／２＋２、・・・ＰＸＤｍ２（以下、便宜的に「右領域電流生成回路群ＲＰＸ」と総称する）に入力される。

【０１８６】

これにより、左領域電流生成回路群ＬＰＸに設けられた出力制御トランジスタ（図１８参照）がオフ動作するとともに、シフトレジスタ回路１３１Ｄから順次出力されるシフト信号ＳＲに基づいて、データラッチ部へのｉ行目の表示データＤ０～Ｄ３の取り込み保持動作及び電流生成部のリフレッシュ動作が実行される。なお、このとき、右領域電流生成回路群ＲＰＸにおいては、出力制御トランジスタがオン動作することにより、先のタイミング（図示を省略したデータ取り込み水平選択期間（ｉ－１<in>））でデータラッチ部に取り込み保持された（ｉ－１）行目の表示データＤ０～Ｄ３に基づいて、電流生成部により所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの右半分の領域に配設された各データラインＤＬｍ／２＋１～ＤＬｍを介して各表示画素に同時に（並列に）供給される。

【０１８７】

次いで、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半で、ハイレベルの選択設定信号ＳＥＬを入力することにより、左領域電流生成回路群ＬＰＸにハイレベルの非反転選択信号ＳＥａが入力されるとともに、右領域電流生成回路群ＲＰＸにローレベルの反転選択信号ＳＥｂが入力される。

これにより、右領域電流生成回路群ＲＰＸに設けられた出力制御トランジスタがオフ動作するとともに、シフトレジスタ回路１３１Ｄから順次出力されるシフト信号ＳＲに基づいて、データラッチ部へのｉ行目の表示データＤ０～Ｄ３の取り込み保持動作及び電流生成部のリフレッシュ動作が実行される。

【０１８８】

そして、このとき同時に、左領域電流生成回路群ＬＰＸにおいては、出力制御トランジスタがオン動作することにより、上述したｉ行目のデータ取り込み水平選択期間（ｉ<in>）の前半でデータラッチ部に取り込み保持されたｉ行目の表示データＤ０～Ｄ３に基づいて、電流生成部により所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの左半分の領域に配設された各データラインＤＬ１～ＤＬｍ／２を介して各表示画素に同時に（並列に）供給される。すなわち、図２１に示すように、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半の期間は、ｉ行目のデータ出力水平選択期間（ｉ<out>）の前半と時間的に重なるように同時かつ並列に設定される。

【０１８９】

次いで、ｉ行目のデータ出力水平選択期間（ｉ<out>）の後半で、再びローレベルの選択設定信号ＳＥＬを入力することにより、右領域電流生成回路群ＬＰＸに設けられた出力制御トランジスタがオン動作して、上述したｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半でデータラッチ部に取り込み保持されたｉ行目の表示データＤ０～Ｄ３に基づいて、電流生成部により所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの右半分の領域に配設された各データラインＤＬｍ／２＋１～ＤＬｍを介して各表示画素に同時に（並列に）供給される。

【０１９０】

そして、このとき同時に、左領域電流生成回路群ＬＰＸに設けられた出力制御トランジスタがオフ動作することにより、シフトレジスタ回路１３１Ｄから順次出力されるシフト信号ＳＲに基づいて、データラッチ部への（ｉ＋１）行目の表示データＤ０～Ｄ３の取り込み保持動作及び電流生成部のリフレッシュ動作が実行される。すなわち、図２１に示すように、ｉ行目のデータ出力水平選択期間（ｉ<out>）の後半の期間は、（ｉ＋１）行目のデータ取り込み水平選択期間（ｉ＋１<in>）の前半と時間的に重なるように並列に設定される。

【０１９１】

このように、本実施例に係るデータドライバ１３０Ｄにおいては、システムコントローラから供給する選択設定信号ＳＥＬの信号レベルを所定の周期（水平選択期間の前半、後半）ごとに適宜切り換え制御することにより、左領域電流生成回路群ＬＰＸ（又は、右領域電流生成回路群ＲＰＸ）のデータラッチ部への表示データの取り込み保持動作及び電流生成部のリフレッシュ動作と、右領域電流生成回路群ＲＰＸ（又は、左領域電流生成回路群ＬＰＸ）による階調電流Ｉpixの生成、出力動作を、同時並行的に実行するとともに、該動作状態を交互に繰り返し実行するように設定することができる。

【０１９２】

したがって、本実施形態に係るデータドライバ及び表示装置においても、上述した実施形態と同様に、階調電流Ｉpixの生成に関連してデータドライバ（各階調電流生成回路ＰＸＤ１、ＰＸＤ２、・・・）に供給される信号のレベル変動に起因する信号遅延の影響を排除して、データドライバの動作速度の低下を抑制することができるともに、階調電流の電流特性を均一化して、表示装置における表示応答特性及び表示画質の向上を図ることができる。

【０１９３】

また、各データラインＤＬに対して、単一のデータラッチ部及び単一の電流生成部から

なる階調電流生成回路を備えた一組のデータドライバを設け、表示パネルの左右いずれか一方の領域に対応した階調電流生成回路群において表示データのデータ取り込み動作及び電流生成部のリフレッシュ動作を実行しつつ、他方の領域に対応した階調電流生成回路群において先のタイミングで取り込んだ表示データに応じたデータ出力動作を実行することにより、一組のデータドライバにより各表示画素に対して、表示データに適切に対応した電流値を有する階調電流を継続的に供給することができるので、データドライバの回路規模を大幅に縮小しつつ、データドライバの動作速度を実質的に向上させて、表示画素を所望の輝度階調で迅速に発光動作させることができ、表示装置の小型化、表示応答速度及び表示画質を一層向上させることができる。

【０１９４】

＜表示装置の第５の実施形態＞

次に、本発明に係る電流生成供給回路を適用可能な表示装置の第５の実施形態について簡単に説明する。

（データドライバの構成例）

図２２は、第５の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。ここで、上述した各実施形態に示した表示装置及びデータドライバと同等の構成については、同等又は同一の符号を付してその説明を簡略化又は省略する。

【０１９５】

本実施形態に係る表示装置は、概略、図６に示した表示装置１００Ａと同等の構成を有する表示パネル、走査ドライバ、データドライバを備え、特に、データドライバ１３０Ｄは、図２２に示すように、上述した第４の実施形態に示したデータドライバ１３０Ｄ（図２０参照）と同様の構成を有するシフトレジスタ回路１３１Ｅと、階調電流生成回路群１３２Ｅと、反転ラッチ回路１３３Ｅと、選択設定回路１３４Ｅと、を備えた構成を有している。ここで、反転ラッチ回路１３３Ｅ及び選択設定回路１３４Ｅは、上述した各実施形態と同等の構成及び機能を有しているので、その説明を省略する。

【０１９６】

（階調電流生成回路群１３２Ｅ）

図２３は、本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。ここで、上述した実施形態に示した階調電流生成回路と同等の構成については、同一又は同等の符号を付してその説明を簡略化する。

階調電流生成回路群１３２Ｅを構成する各階調電流生成回路ＰＸＥ１、ＰＸＥ２、・・・（以下、便宜的に「階調電流生成回路ＰＸＥ」とも記す）は、図２３に示すように、図１に示した電流生成供給回路ＩＬＡの各構成を基本要素とし、単一のデータラッチ部（信号保持手段）１０１と、該データラッチ部１０１の反転出力接点ＯＴ０＊～ＯＴ３＊に接続された単一の電流生成部（電流生成手段）２０１と、上述した選択設定回路１３４Ｅから出力される非反転選択信号ＳＥａ又は反転選択信号ＳＥｂに基づいて、各階調電流生成回路ＰＸＥ１、ＰＸＥ２、・・・の選択状態及び動作状態を設定する動作設定部（動作状態設定手段）３０Ｅと、データラッチ部１０１の非反転出力接点ＯＴ０～ＯＴ３に接続され、表示画素を特定の駆動状態（黒表示動作等）で動作させる場合に、データラインＤＬ１、ＤＬ２、・・に対して特定電圧Ｖbkを印加する特定状態設定部５０と、を備えた構成を有している。ここで、データラッチ部１０１、電流生成部２０１及び特定状態設定部５０は、上述した実施例と同等の構成及び機能を有しているので、その説明を省略する。また、動作設定部３０Ｅは、図１に示した電流生成供給回路ＩＬＡと同等の回路構成を有しているので、その説明を省略する。

【０１９７】

さらに、本実施形態に適用されるデータドライバ１３０Ｅにおいては、シフトレジスタ回路１３１Ｅから出力されるシフト信号ＳＲ１が、データラインＤＬ１及びＤＬ２に対応して設けられた階調電流生成回路ＰＸＥ１及びＰＸＥ２に供給され、シフト信号ＳＲ２が、データラインＤＬ３及びＤＬ４に対応して設けられた階調電流生成回路ＰＸＥ３及びＰ

ＸＥ４に供給されるように、各シフト信号ＳＲが連続する２列分（奇数番目と偶数番目）のデータラインＤＬに対応して設けられた階調電流生成回路ＰＸＥに共通に供給されるように構成されている。したがって、本実施例に係るデータドライバ１３０Ｅにおいては、シフトレジスタ回路１３１Ｅから出力されるシフト信号がＳＲ１～ＳＲｍ／２のｍ／２個となり、上述した各実施形態に示したデータドライバに比較してシフト信号の数が半減するように構成されている。

【０１９８】

また、選択設定回路１３４Ｅにより生成された選択設定信号ＳＥＬの非反転選択信号ＳＥａが、例えば、表示パネルの奇数番目のデータラインＤＬ１、ＤＬ３、・・・ＤＬｍ－１に対応して設けられた階調電流生成回路ＰＸＥ１、ＰＸＥ３、・・・ＰＸＥｍ－１の選択制御端子ＴＳＬに入力され、また、選択設定信号ＳＥＬの反転選択信号ＳＥｂが、例えば、表示パネルの偶数番目のデータラインＤＬ２、ＤＬ４、・・・ＤＬｍに対応して設けられた階調電流生成回路ＰＸＥ２、ＰＸＥ４、・・・ＰＸＥｍの選択制御端子ＴＳＬに入力されるように構成されている。

【０１９９】

（データドライバの制御動作）

図２４は、本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

このような構成を有するデータドライバ１３０Ｅにおける制御動作は、概略、データドライバ１３０Ｅに設けられた階調電流生成回路群１３２Ｅのうち、表示パネルに配設された奇数番目又は偶数番目のデータラインに対応して設けられた各組（奇数ライン側及び偶数ライン側）の階調電流生成回路ＰＸＥの各々に、順次表示データＤ０～Ｄ３を取り込み保持するデータ取り込み期間（データ取り込み水平選択期間）と、上記取り込まれた表示データＤ０～Ｄ３に応じた階調電流Ｉpixを生成して、各データラインＤＬ１、ＤＬ２、・・・を介して各表示画素に供給するデータ出力期間（データ出力水平選択期間）と、を設定し、階調電流生成回路群１３２Ｅのうち、一方の組の階調電流生成回路ＰＸＥにより上記データ取り込み動作を実行しつつ、他方の組の階調電流生成回路ＰＸＥにより上記データ出力動作を実行するように制御する。

【０２００】

まず、データ取り込み期間においては、図２４に示すように、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の前半（１／２）で、ローレベルの選択設定信号ＳＥＬを入力することにより、選択設定回路１３４Ｅによりローレベルの非反転選択信号ＳＥａ及びハイレベルの反転選択信号ＳＥｂが生成され、非反転選択信号ＳＥａが、階調電流生成回路群１３２Ｅうち、表示パネルの奇数番目のデータラインＤＬ１、ＤＬ３、・・・に対応して設けられた階調電流生成回路ＰＸＥ１、ＰＸＥ３、・・・（以下、便宜的に「奇数ライン電流生成回路群ＯＰＸ」と総称する）に入力されるとともに、反転選択信号ＳＥｂが、階調電流生成回路群１３２Ｅうち、表示パネルの偶数番目のデータラインＤＬ２、ＤＬ４、・・・に対応して設けられた階調電流生成回路ＰＸＥ２、ＰＸＥ４・・・（以下、便宜的に「偶数ライン電流生成回路群ＥＰＸ」と総称する）に入力される。

【０２０１】

これにより、奇数ライン電流生成回路群ＯＰＸに設けられた出力制御トランジスタ（図１８参照）がオフ動作するとともに、シフトレジスタ回路１３１Ｅから順次出力されるシフト信号ＳＲに基づいて、データラッチ部へのｉ行目の表示データＤ０～Ｄ３の取り込み保持動作及び電流生成部のリフレッシュ動作が実行される。なお、ここで、図示を省略した表示信号生成回路（図６参照）からデータドライバ１３０Ｅ（階調電流生成回路群１３２Ｅ）に供給される表示データＤ０～Ｄ３は、予め、奇数ラインに接続された表示画素の輝度階調を規定するデジタル信号群と、偶数ラインに接続された表示画素の輝度階調を規定するデジタル信号群にグループ分けされ、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の前半においては、奇数ラインに対応したグループのデジタル信号が、奇数ライン電流生成回路群ＯＰＸを構成する各階調電流生成回路ＰＸＥ１、ＰＸＥ３、・・・のデータ

ラッチ部に順次供給されて、取り込み保持される。

【０２０２】

また、このとき、偶数ライン電流生成回路群ＥＰＸにおいては、出力制御トランジスタがオン動作することにより、先のタイミング（図示を省略したデータ取り込み水平選択期間（ｉ－１<in>））でデータラッチ部に取り込み保持された（ｉ－１）行目の表示データＤ０～Ｄ３に基づいて、電流生成部により所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの偶数番目の各データラインＤＬ２、ＤＬ４、・・・ＤＬｍを介して各表示画素に同時に（並列に）供給される。

【０２０３】

次いで、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半（１／２）で、ハイレベルの選択設定信号ＳＥＬを入力することにより、奇数ライン電流生成回路群ＯＰＸにハイレベルの非反転選択信号ＳＥａが入力されるとともに、偶数ライン電流生成回路群ＥＰＸにローレベルの反転選択信号ＳＥｂが入力される。

これにより、偶数ライン電流生成回路群ＥＰＸに設けられた出力制御トランジスタがオフ動作するとともに、シフトレジスタ回路１３１Ｅから順次出力されるシフト信号ＳＲに基づいて、データラッチ部へのｉ行目の表示データＤ０～Ｄ３の取り込み保持動作及び電流生成部のリフレッシュ動作が実行される。ここで、このｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半において、データドライバに１３０Ｅ（階調電流生成回路群１３２Ｅ）に供給される表示データＤ０～Ｄ３は、上述したように予め奇数ライン、偶数ラインに対応してグループ分けされたデジタル信号群のうち、偶数ラインに対応したグループのデジタル信号が、偶数ライン電流生成回路群ＥＰＸを構成する各階調電流生成回路ＰＸＥ２、ＰＸＥ４、・・・のデータラッチ部に順次供給されて、取り込み保持される。

【０２０４】

そして、このとき同時に、奇数ライン電流生成回路群ＯＰＸにおいては、出力制御トランジスタがオン動作することにより、上述したｉ行目のデータ取り込み水平選択期間（ｉ<in>）の前半でデータラッチ部に取り込み保持されたｉ行目の表示データＤ０～Ｄ３に基づいて、電流生成部により所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの奇数番目の各データラインＤＬ１、ＤＬ３、・・・ＤＬｍ－１を介して各表示画素に同時に（並列に）供給される。すなわち、図２４に示すように、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半の期間は、ｉ行目のデータ出力水平選択期間（ｉ<out>）の前半（１／２）と時間的に重なるように同時かつ並列に設定される。

【０２０５】

次いで、ｉ行目のデータ出力水平選択期間（ｉ<out>）の後半（１／２）で、再びローレベルの選択設定信号ＳＥＬを入力することにより、偶数ライン電流生成回路群ＥＰＸに設けられた出力制御トランジスタがオン動作することにより、上述したｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半でデータラッチ部に取り込み保持されたｉ行目の表示データＤ０～Ｄ３に基づいて、電流生成部により所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの偶数番目の各データラインＤＬ２、ＤＬ４、・・・ＤＬｍを介して各表示画素に同時に（並列に）供給される。

【０２０６】

そして、このとき同時に、奇数ライン電流生成回路群ＯＰＸに設けられた出力制御トランジスタがオフ動作することにより、シフトレジスタ回路１３１Ｅから順次出力されるシフト信号ＳＲに基づいて、データラッチ部への（ｉ＋１）行目の表示データＤ０～Ｄ３の取り込み保持動作及び電流生成部のリフレッシュ動作が実行される。すなわち、図２４に示すように、ｉ行目のデータ出力水平選択期間（ｉ<out>）の後半の期間は、（ｉ＋１）行目のデータ取り込み水平選択期間（ｉ＋１<in>）の前半（１／２）と時間的に重なるように同時かつ並列に設定される。

【０２０７】

このように、本実施例に係るデータドライバ１３０Ｅにおいては、システムコントローラから供給する選択設定信号ＳＥＬの信号レベルを所定の周期（水平選択期間の１／２）

ごとに適宜切り換え制御することにより、奇数ライン電流生成回路群ＯＰＸ（又は、偶数ライン電流生成回路群ＥＰＸ）のデータラッチ部への表示データの取り込み保持動作及び電流生成部のリフレッシュ動作と、偶数ライン電流生成回路群ＥＰＸ（又は、奇数ライン電流生成回路群ＯＰＸ）による階調電流Ｉpixの生成、出力動作を、同時並行的に実行するとともに、該動作状態を交互に繰り返し実行するように設定することができる。

【０２０８】

したがって、本実施形態に係るデータドライバ及び表示装置においても、上述した実施形態と同様に、階調電流Ｉpixの生成に関連してデータドライバ（各階調電流生成回路ＰＸＥ１、ＰＸＥ２、・・・）に供給される信号のレベル変動に起因する信号遅延の影響を排除して、データドライバの動作速度の低下を抑制することができるともに、階調電流の電流特性を均一化して、表示装置における表示応答特性及び表示画質の向上を図ることができる。

【０２０９】

また、各データラインＤＬに対して、単一のデータラッチ部及び単一の電流生成部からなる階調電流生成回路を備えた一組のデータドライバを設け、表示パネルに配設された奇数番目又は偶数番目のいずれかのデータラインに対応した階調電流生成回路群において表示データのデータ取り込み動作及び電流生成部のリフレッシュ動作を実行しつつ、他方のデータラインに対応した階調電流生成回路群において先のタイミングで取り込んだ表示データに応じたデータ出力動作を実行することにより、一組のデータドライバにより各表示画素に対して、表示データに適切に対応した電流値を有する階調電流を継続的に供給することができるので、データドライバの回路規模を大幅に縮小しつつ、データドライバの動作速度を実質的に向上させて、表示画素を所望の輝度階調で迅速に発光動作させることができ、表示装置の小型化、表示応答速度及び表示画質を一層向上させることができる。

【０２１０】

＜表示装置の第６の実施形態＞

次に、本発明に係る電流生成供給回路を適用可能な表示装置の第６の実施形態について簡単に説明する。

図２５は、本発明に係る電流生成供給回路を適用可能な表示装置の第６の実施形態を示す概略ブロック図である。ここで、上述した各実施形態に示した表示装置と同等の構成については、同等又は同一の符号を付してその説明を簡略化又は省略する。

【０２１１】

図２５に示すように、本実施形態に係る表示装置１００Ｆは、概略、図６に示した表示装置１００Ａを基本構成として、表示パネル１１０Ｆの列方向に配列された表示画素群ごとに、共通に接続されたデータライン（信号線）ＤＬ１、ＤＬ２、・・・ＤＬｍのうち、奇数番目のデータライン（奇数ライン）ＤＬ１、ＤＬ３、・・・ＤＬｍ－１に接続され、例えば、表示パネル１１０Ｆの上方に配置されたデータドライバ（信号駆動手段）１３０Ｆａと、偶数番目のデータライン（偶数ライン）ＤＬ２、ＤＬ４、・・・ＤＬｍに接続され、例えば、表示パネル１１０Ｆの下方に配置されたデータドライバ１３０Ｃｂと、上述した第３の実施形態（図１６参照）と同様に、図示を省略したシステムコントローラから供給されるデータ制御信号（シフトクロック信号ＳＦＣ、選択設定信号ＳＥＬ等）に基づいて、データドライバ１３０Ｆａ及び１３０Ｆｂの動作状態を切り換え制御する共通制御部（動作状態設定手段）１３４Ｆと、を備えた構成を有している。

ここで、共通制御部１３４Ｆは、上述した第３の実施形態（図１６参照）と同等の構成及び機能を有しているので、その説明を省略する。

【０２１２】

（データドライバの構成例）

図２６は、第６の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。ここで、データドライバ１３０Ｆａ及び１３０Ｆｂは同等の構成を有しているので、図示の都合上、データドライバ１３０Ｆａの構成のみを示す。また、上述した各実施形態に示したデータドライバと同等の構成については、同等又は同一の符号

を付してその説明を簡略化又は省略する。

【０２１３】

データドライバ１３０Ｆａ（又は１３０Ｆｂ）は、図２６に示すように、概略、上述した第３の実施形態に示したデータドライバ１３０Ｃａ、１３０Ｃｂ（図１７参照）と同様の構成を有するシフトレジスタ回路１３１Ｆと、階調電流生成回路群１３２Ｆと、反転ラッチ回路１３３Ｆと、を備えた構成を有している。ここで、階調電流生成回路群１３２Ｆは、上述した第３の実施形態（図１８参照）と同等の構成及び機能を有し、また、反転ラッチ回路１３３Ｆは、上述した各実施形態と同等の構成及び機能を有しているので、その説明を省略する。

【０２１４】

さらに、本実施形態に適用されるデータドライバ１３０Ｆａにおいては、図２５、図２６に示すように、シフトレジスタ回路１３１Ｆから順次出力されるシフト信号ＳＲ１、ＳＲ３、・・・ＳＲｍ－１が、各々奇数ラインＤＬ１、ＤＬ３、・・・ＤＬｍ－１に対応して設けられた階調電流生成回路ＰＸＦ１、ＰＸＦ３、・・・ＰＸＦｍ－１に供給される。また、データドライバ１３０Ｆｂにおいては、データドライバ１３０Ｆｂに設けられたシフトレジスタ回路１３１から順次出力されるシフト信号ＳＲ（ＳＲ２、ＳＲ４、・・・ＳＲｍ；図示を省略）が、各々偶数ラインＤＬ２、ＤＬ４、・・・ＤＬｍに対応して設けられた階調電流生成回路ＰＸＦ（ＰＸＦ２、ＰＸＦ４、・・・ＰＸＦｍ；図示を省略）に供給される。したがって、本実施例に係るデータドライバ１３０Ｆａ、１３０Ｆｂにおいては、シフトレジスタ回路から出力されるシフト信号がデータラインの総数ｍの１／２個となるように構成されている。

【０２１５】

すなわち、本実施形態に係る表示装置においては、上述した第５の実施形態に示したデータドライバ１３０Ｅ（図２２参照）において、表示パネルの奇数ラインに対応して設けられた階調電流生成回路群と、偶数ラインに対応して設けられた階調電流生成回路群と、を各々個別に備えた２組のデータドライバ１３０Ｆａ、１３０Ｆｂを設け、かつ、該データドライバ１３０Ｆａ、１３０Ｆｂを表示パネルの上方及び下方に分離して配置した構成を有している。

【０２１６】

また、共通制御部１３４Ｆに設けられた選択設定回路３５０により生成された選択設定信号ＳＥＬの反転選択信号ＳＥｂとシフトクロック信号ＳＦＣの論理演算処理（ＮＡＮＤ回路３５１及びインバータ３５３による論理演算）の結果がクロック信号ＳＣａとして、データドライバ１３０Ｆａに設けられた反転ラッチ回路１３３Ｆ及びシフトレジスタ回路１３１Ｆに入力され、また、選択設定信号ＳＥＬの非反転選択信号ＳＥａとシフトクロック信号ＳＦＣの論理演算処理（ＮＡＮＤ回路３５２及びインバータ３５４による論理演算）の結果がクロック信号ＳＣｂとして、データドライバ１３０Ｆｂに設けられた反転ラッチ回路及びシフトレジスタ回路に入力されるように構成されている。

【０２１７】

（データドライバの制御動作）

図２７は、本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

このような構成を有するデータドライバ１３０Ｆにおける制御動作は、概略、表示パネルに配設された奇数ラインに対応して設けられたデータドライバ１３０Ｆａ又は偶数ラインに対応して設けられたデータドライバ１３０Ｆｂにより、順次表示データＤ０～Ｄ３を取り込み保持するデータ取り込み期間（データ取り込み水平選択期間）と、上記取り込まれた表示データＤ０～Ｄ３に応じた階調電流Ｉpixを生成して、各々異なるタイミングで奇数ライン又は偶数ラインを介して各表示画素に供給するデータ出力期間（データ出力水平選択期間）と、を設定し、データドライバ１３０Ｆａ、１３０Ｆｂのうち、一方のデータドライバにより上記データ取り込み動作を実行しつつ、他方のデータドライバにより上記データ出力動作を実行するように制御する。

【０２１８】
まず、データ取り込み期間においては、図２７に示したように、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の前半（１／２）で、ローレベルの選択設定信号ＳＥＬを入力することにより、共通制御部１３４Ｆ（選択設定回路３５０）からローレベルの非反転選択信号ＳＥａがデータドライバ１３０Ｆａに入力されるとともに、ハイレベルの反転選択信号ＳＥｂがデータドライバ１３０Ｆｂに入力される。
【０２１９】
また、このとき、共通制御部１３４Ｆにおいて、ＮＡＮＤ回路３５１及びインバータ３５３により、シフトクロック信号ＳＦＣに応じて信号レベルが変化するクロック信号ＳＣａが生成されてデータドライバ１３０Ｆａに出力されるとともに、ＮＡＮＤ回路３５２及びインバータ３５４により、シフトクロック信号ＳＦＣに関わらずローレベルを有するクロック信号ＳＣｂが生成されてデータドライバ１３０Ｆｂに出力される。
【０２２０】
これにより、データドライバ１３０Ｆａにおいては、奇数ラインに対応して設けられた階調電流生成回路ＰＸＦの出力制御トランジスタがオフ動作するとともに、共通制御部１３４Ｆにより生成されるクロック信号ＳＣａに基づいて、シフトレジスタ回路から各階調電流生成回路ＰＸＦにシフト信号ＳＲが順次出力され、ｉ行目の奇数ラインに対応した表示データＤ０～Ｄ３を取り込み保持する動作、及び、電流生成部のリフレッシュ動作が実行される。
【０２２１】
なお、このとき、データドライバ１３０Ｆｂにおいては、偶数ラインに対応して設けられた階調電流生成回路ＰＸＦの出力制御トランジスタがオン動作することにより、先のタイミング（図示を省略したデータ取り込み水平選択期間（ｉ－１<in>））で取り込み保持された（ｉ－１）行目の偶数ラインに対応した表示データＤ０～Ｄ３に基づいて、電流生成部により所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの偶数ラインを介して偶数列の各表示画素に同時に（並列に）供給される。
【０２２２】
次いで、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半（１／２）で、ハイレベルの選択設定信号ＳＥＬを入力することにより、共通制御部１３４Ｆ（選択設定回路３５０）からハイレベルの非反転選択信号ＳＥａがデータドライバ１３０Ｆａに入力されるとともに、ローレベルの反転選択信号ＳＥｂがデータドライバ１３０Ｆｂに入力される。
【０２２３】
また、このとき、共通制御部１３４Ｆにおいて、ＮＡＮＤ回路３５１及びインバータ３５３により、シフトクロック信号ＳＦＣに関わらずローレベルを有するクロック信号ＳＣａが生成されてデータドライバ１３０Ｆａに出力されるとともに、ＮＡＮＤ回路３５２及びインバータ３５４により、シフトクロック信号ＳＦＣに応じて信号レベルが変化するクロック信号ＳＣｂが生成されてデータドライバ１３０Ｆｂに出力される。
【０２２４】
これにより、データドライバ１３０Ｆｂにおいては、階調電流生成回路の出力制御トランジスタがオフ動作するとともに、共通制御部１３４Ｆにより生成されるクロック信号ＳＣｂに基づいて、シフトレジスタ回路から各階調電流生成回路ＰＸＦにシフト信号ＳＲが順次出力され、ｉ行目の偶数ラインに対応した表示データＤ０～Ｄ３を取り込み保持する動作、及び、電流生成部のリフレッシュ動作が実行される。
【０２２５】
そして、このとき同時に、データドライバ１３０Ｆａにおいては、階調電流生成回路ＰＸＦの出力制御トランジスタがオン動作することにより、上述したｉ行目のデータ取り込み水平選択期間（ｉ<in>）の前半で取り込み保持されたｉ行目の奇数ラインに対応した表示データＤ０～Ｄ３に基づいて、所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの奇数ラインを介して奇数列の各表示画素に同時に（並列に）供給される。すなわち、図２７に示すように、ｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半の期間

は、ｉ行目のデータ出力水平選択期間（ｉ<out>）の前半（１／２）と時間的に重なるように同時かつ並列に設定される。

【０２２６】

次いで、ｉ行目のデータ出力水平選択期間（ｉ<out>）の後半（１／２）で、再びローレベルの選択設定信号ＳＥＬを入力することにより、データドライバ１３０Ｆｂに設けられた階調電流生成回路の出力制御トランジスタがオン動作することにより、上述したｉ行目のデータ取り込み水平選択期間（ｉ<in>）の後半でデータラッチ部に取り込み保持されたｉ行目の偶数ラインに対応した表示データＤ０～Ｄ３に基づいて、所定の電流値を有する階調電流Ｉpixが生成され、表示パネルの偶数ラインを介して偶数列の各表示画素に同時に（並列に）供給される。

【０２２７】

そして、このとき同時に、データドライバ１３０Ｆａに設けられた階調電流生成回路ＰＸＦの出力制御トランジスタがオフ動作することにより、シフトレジスタ回路１３１Ｆから順次出力されるシフト信号ＳＲに基づいて、（ｉ＋１）行目の奇数ラインに対応した表示データＤ０～Ｄ３の取り込み保持動作及び電流生成部のリフレッシュ動作が実行される。すなわち、図２７に示すように、ｉ行目のデータ出力水平選択期間（ｉ<out>）の後半の期間は、（ｉ＋１）行目のデータ取り込み水平選択期間（ｉ＋１<in>）の前半（１／２）と時間的に重なるように同時かつ並列に設定される。

【０２２８】

したがって、本実施形態に係るデータドライバ及び表示装置によれば、上述した第５の実施形態と同等の機能を実現しつつ、２組のデータドライバを表示パネルの上方及び下方に配置することにより、各データドライバの回路規模を縮小して表示装置の額縁部分を狭くすることができ、表示装置の小型化（あるいは、表示エリアサイズの大型化）を図ることができる。

【０２２９】

なお、上述した各実施形態に係る表示装置においては、データドライバ及び表示画素（画素駆動回路）として、電流印加方式に対応した構成を示したが、本発明はこれに限定されるものではなく、図４、図５に示したような電流生成供給回路ＩＬＢの各構成を基本要素として階調電流生成回路に適用し、表示画素側からデータドライバ方向に階調電流Ｉpixを引き込むように供給する電流シンク方式に対応した構成を有するものであってもよいことはいうまでもない。

【図面の簡単な説明】

【０２３０】

【図１】本発明に係る電流生成供給回路の第１の実施形態を示す概略構成図である。

【図２】本実施形態に電流生成供給回路に適用されるデータラッチ部を示す概略構成図である。

【図３】本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。

【図４】本発明に係る電流生成供給回路の第２の実施形態を示す要部構成図である。

【図５】本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。

【図６】本発明に係る電流生成供給回路を適用可能な表示装置の第１の実施形態を示す概略ブロック図である。

【図７】本実施形態に係る表示装置に適用される表示パネルを示す概略構成図である。

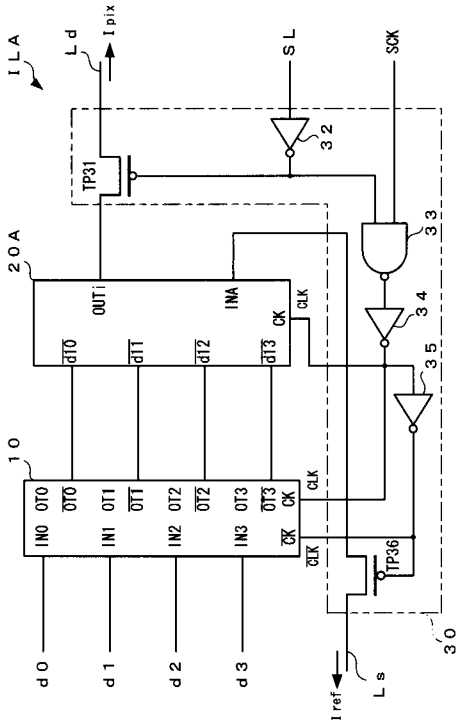
【図８】本実施形態に適用される表示画素（画素駆動回路）の一実施例を示す回路構成図である。

【図９】本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。

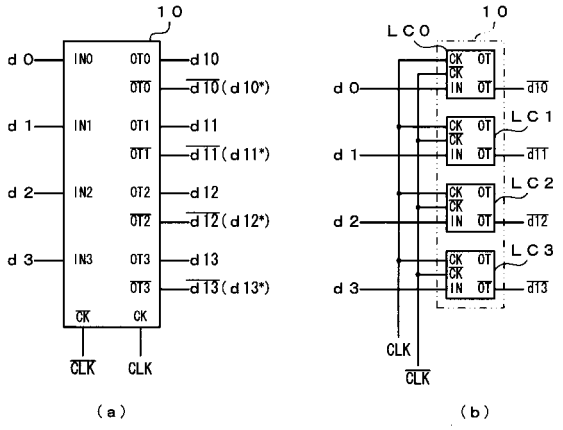
【図１０】本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。

【図１１】本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。
【図１２】本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。
【図１３】第２の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。
【図１４】本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。
【図１５】本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。
【図１６】本発明に係る電流生成供給回路を適用可能な表示装置の第３の実施形態を示す概略ブロック図である。
【図１７】第３の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。
【図１８】本実施本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。
【図１９】本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。
【図２０】第４の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。
【図２１】本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。
【図２２】第５の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。
【図２３】本実施例に係るデータドライバに適用される階調電流生成回路群を構成する階調電流生成回路の一具体例を示す概略構成図である。
【図２４】本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。
【図２５】本発明に係る電流生成供給回路を適用可能な表示装置の第６の実施形態を示す概略ブロック図である。
【図２６】第６の実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。
【図２７】本実施例に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。
【図２８】従来技術におけるデータドライバの一構成例を示す回路構成図である。
【図２９】従来技術におけるデータドライバの他の構成例を示す回路構成図である。
【符号の説明】
【０２３１】
ＩＬＡ、ＩＬＢ　電流生成供給回路
ＩＲＡ、ＩＲＢ、ＩＲ　定電流発生源
１０、１０１　データラッチ部
２０Ａ、２０Ｂ、２０１　電流生成部
３０、３０Ａ～３０Ｅ　動作設定部
２１Ａ、２１Ｂ　カレントミラー回路部
２２Ａ、２２Ｂ　スイッチ回路部
１００Ａ　表示装置
１１０Ａ　表示パネル
１２０Ａ　走査ドライバ
１３０Ａ～１３０Ｆ　データドライバ
１３２Ａ～１３２Ｆ　階調電流生成回路群

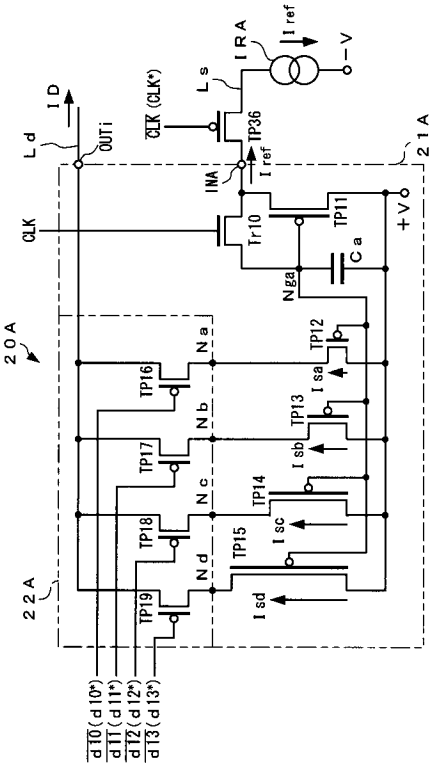
【図１】


ILA
Ld
Ipix
SL
SCK
TP31
32
33
34
35
20A
OUTi
INA
CK
CLK
d10
d11
d12
d13
10
IN0
OT0
IN1
OT1
IN2
OT2
IN3
OT3
TP36
30
d0
d1
d2
d3
Iref
Ls

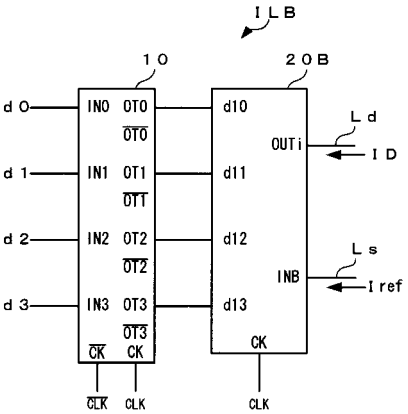
【図２】


10
d0
d1
d2
d3
IN0
IN1
IN2
IN3
OT0
OT1
OT2
OT3
d10
d11
d12
d13
d10(d10*)
d11(d11*)
d12(d12*)
d13(d13*)
CK
CLK
(a)
LC0
LC1
LC2
LC3
IN
OT
(b)

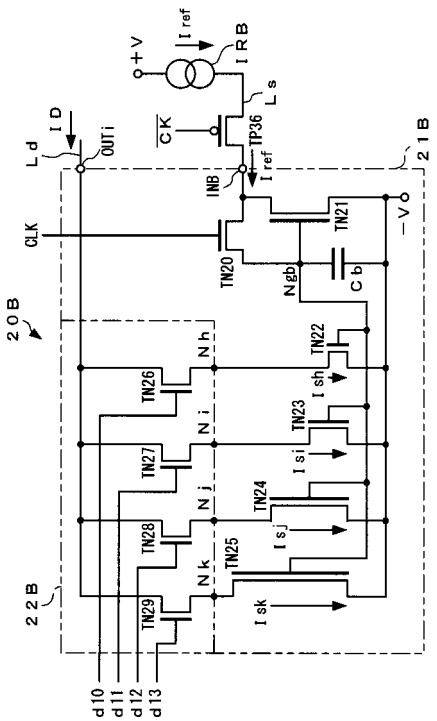
【図３】


IRA
Iref
−V
Ls
ID
Ld
OUTi
CLK (CLK*)
TP36
21A
INA
CLK
Tr10
TP11
+V
Ca
Nga
20A
Na
Nb
Nc
Nd
TP12
TP13
TP14
TP15
TP16
TP17
TP18
TP19
Isa
Isb
Isc
Isd
22A
d10(d10*)
d11(d11*)
d12(d12*)
d13(d13*)

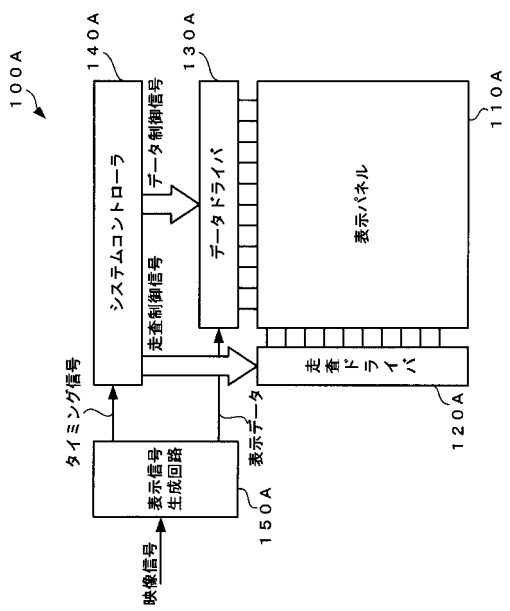
【図４】


ILB
10
20B
d0
d1
d2
d3
IN0
IN1
IN2
IN3
OT0
OT1
OT2
OT3
d10
d11
d12
d13
OUTi
INB
Ld
ID
Ls
Iref
CK
CLK

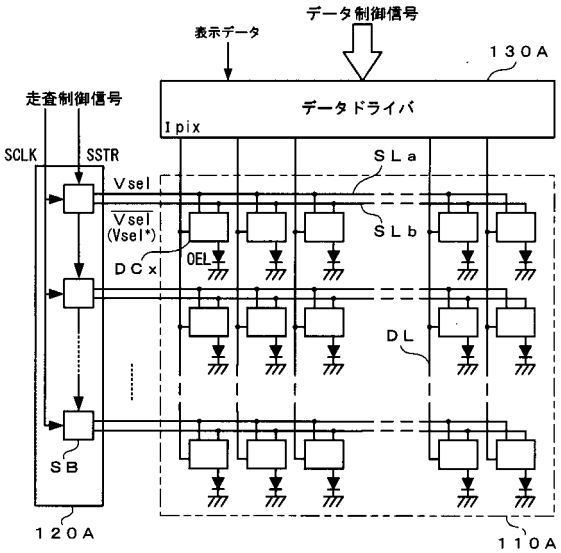
【図５】


+V
Iref
IRB
Ls
CK
TP36
Iref
INB
ID
OUTi
Ld
21B
CLK
TN20
TN21
−V
Ngb
Cb
20B
Nh
TN22
Ish
TN26
Ni
TN23
Isi
TN27
Nj
TN24
Isj
TN28
Nk
TN25
Isk
TN29
22B
d10
d11
d12
d13

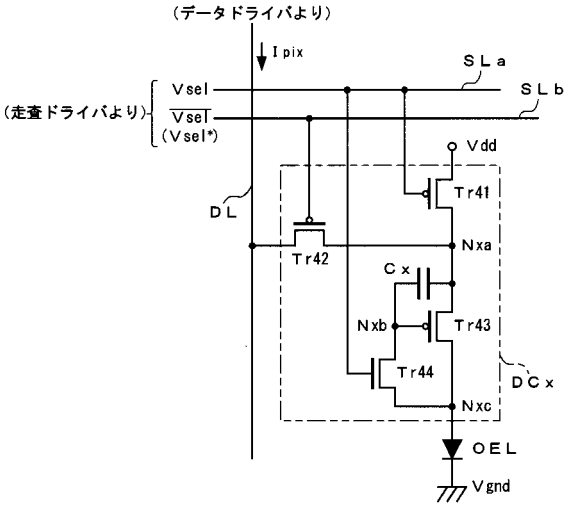
【図６】


100A
140A
130A
110A
システムコントローラ
データ制御信号
データドライバ
表示パネル
走査制御信号
走査ドライバ
120A
タイミング信号
表示データ
表示信号生成回路
150A
映像信号

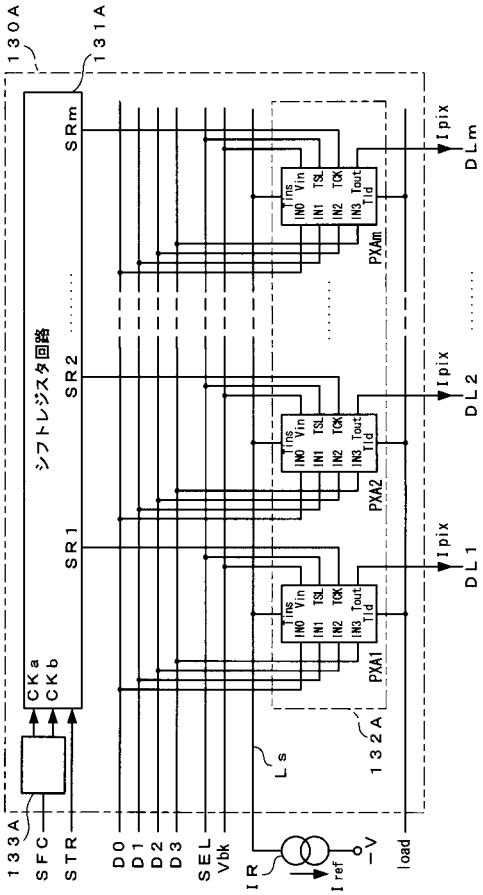
【図７】


データ制御信号
表示データ
130A
走査制御信号
データドライバ
Ipix
SCLK
SSTR
SLa
Vsel
Vsel
(Vsel*)
SLb
DCx
OEL
DL
SB
120A
110A

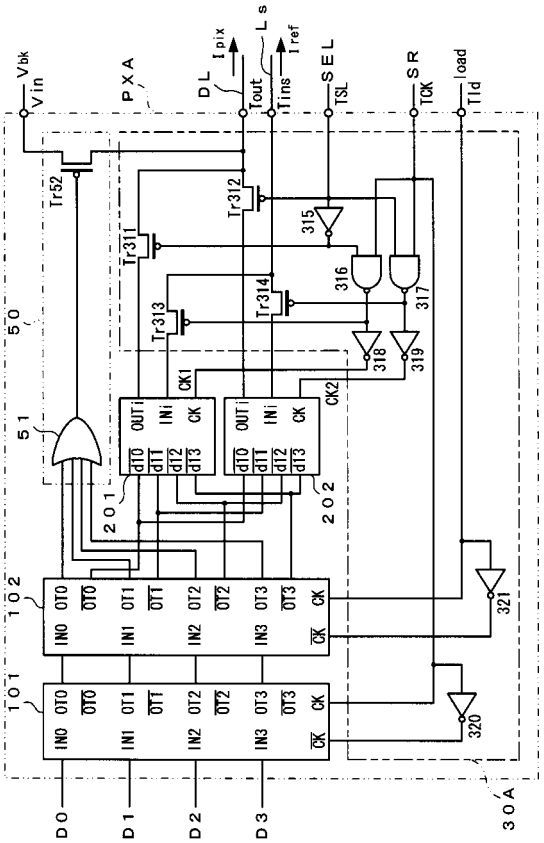
【図８】


(データドライバより)
Ipix
SLa
SLb
(走査ドライバより)
Vsel
Vsel
(Vsel*)
Vdd
Tr41
DL
Tr42
Nxa
Cx
Nxb
Tr43
Tr44
DCx
Nxc
OEL
Vgnd

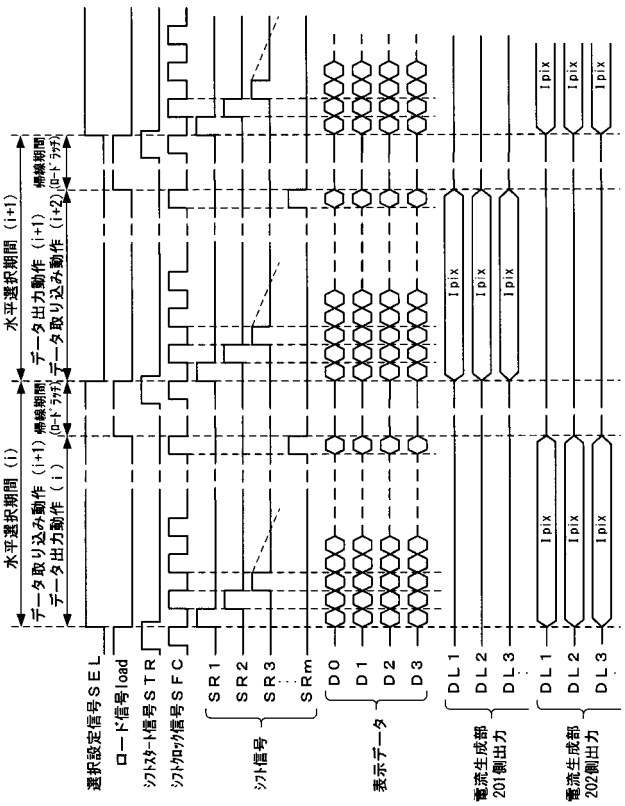
【図９】



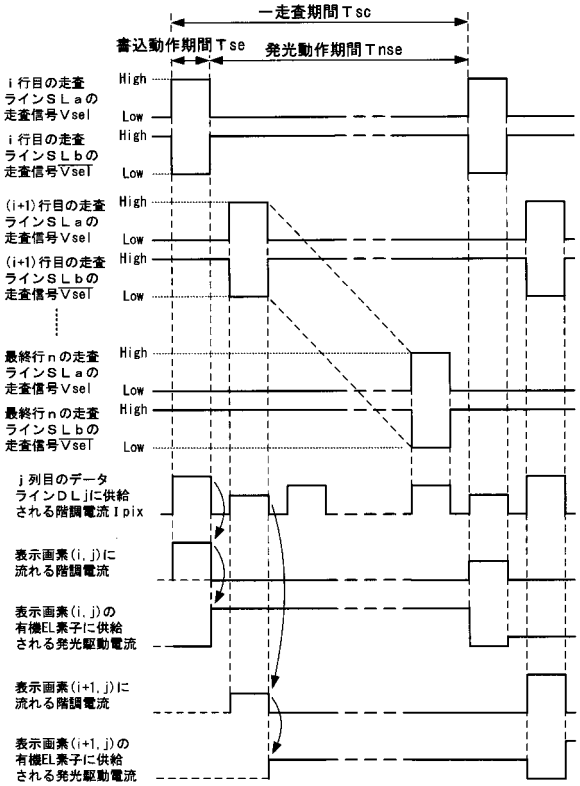
【図１０】



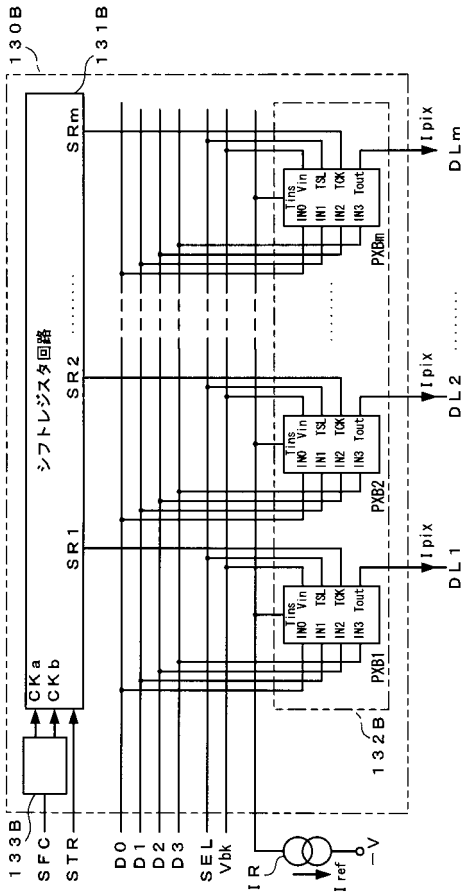
【図１１】



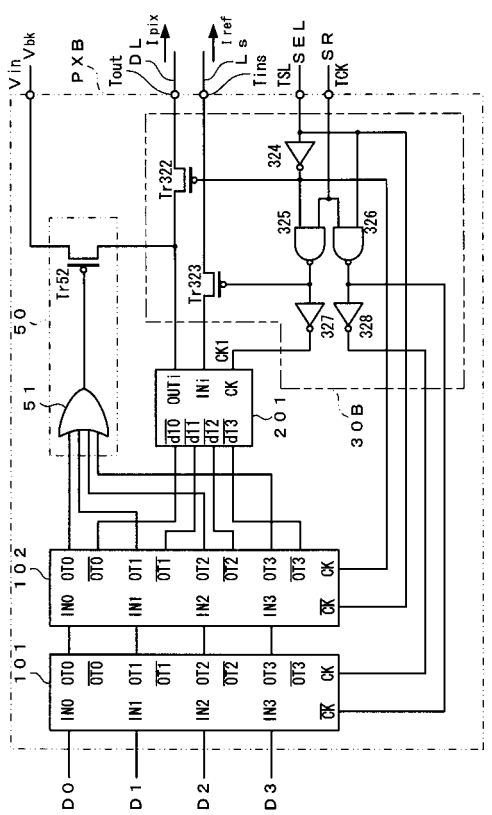
【図１２】



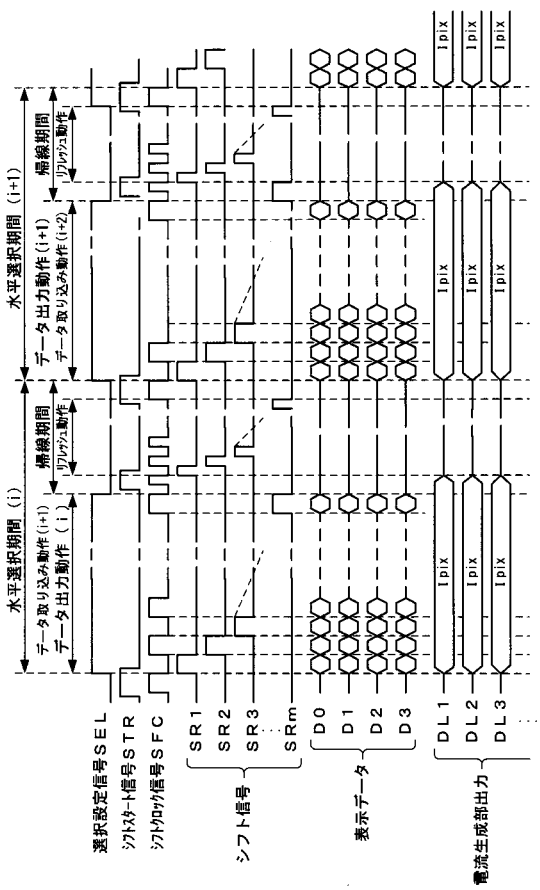
【図１３】



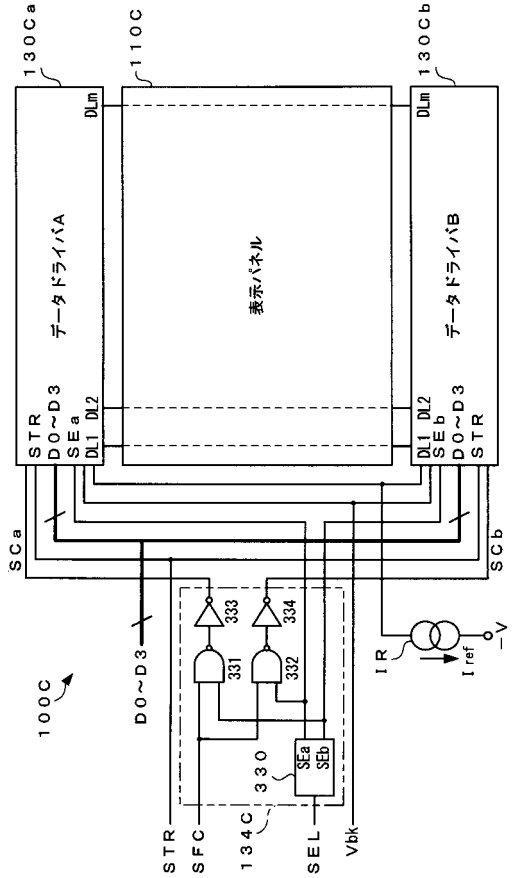
【図１４】



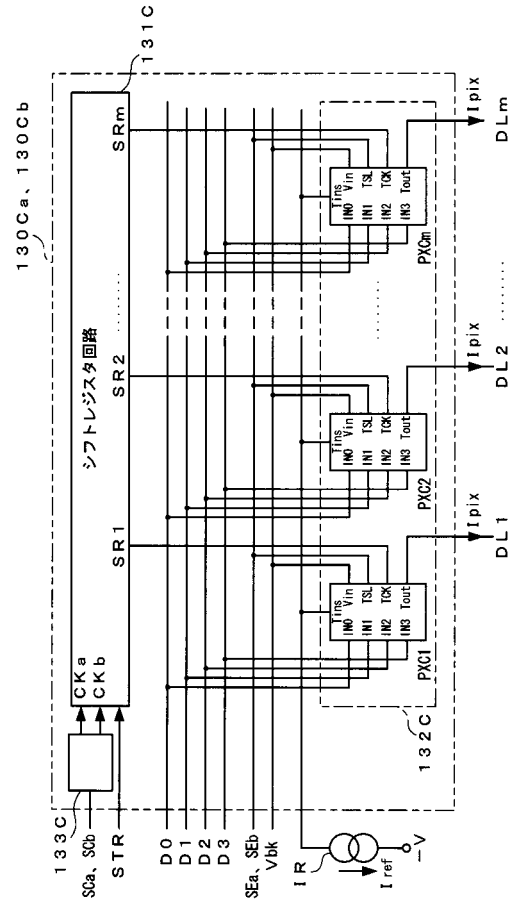
【図１５】



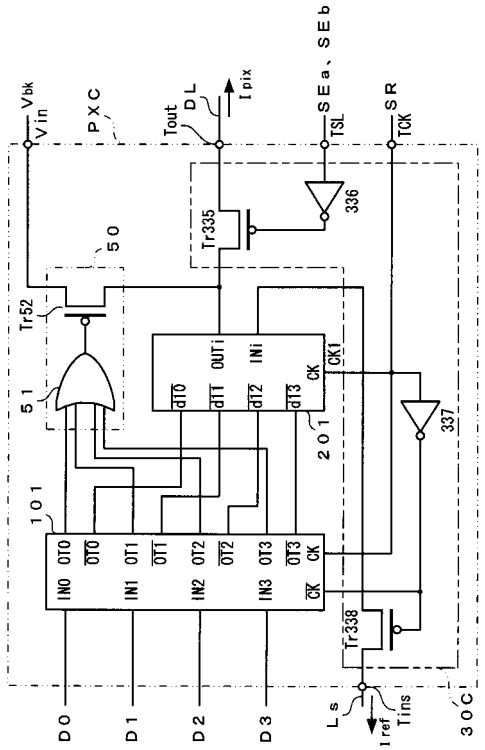
【図１６】



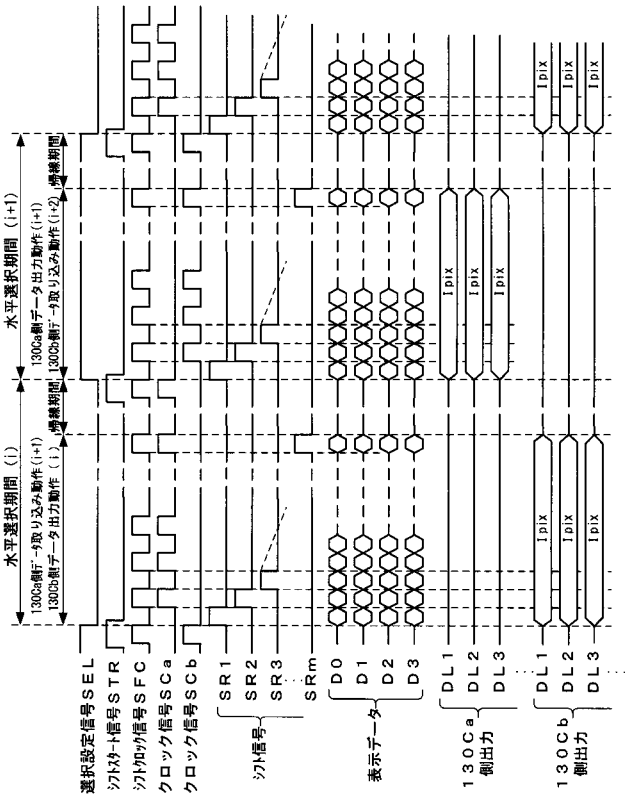
【図１７】



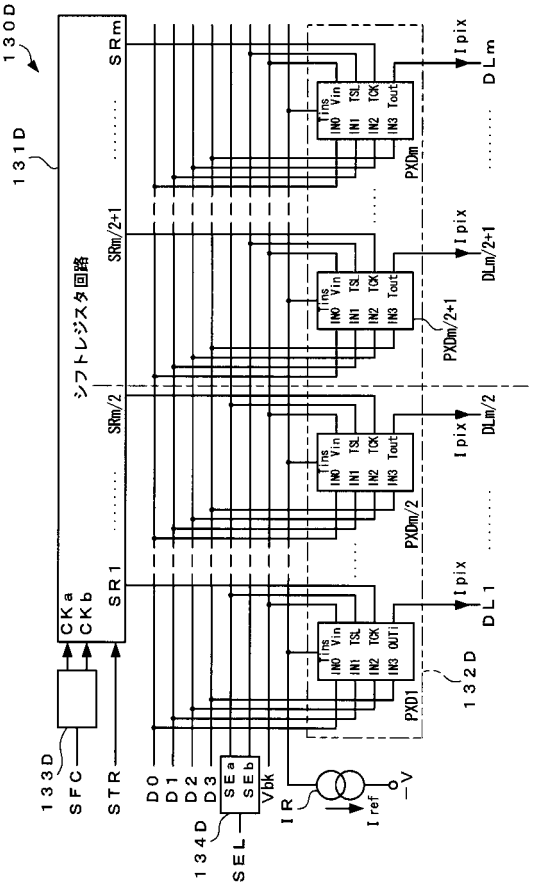
【図１８】



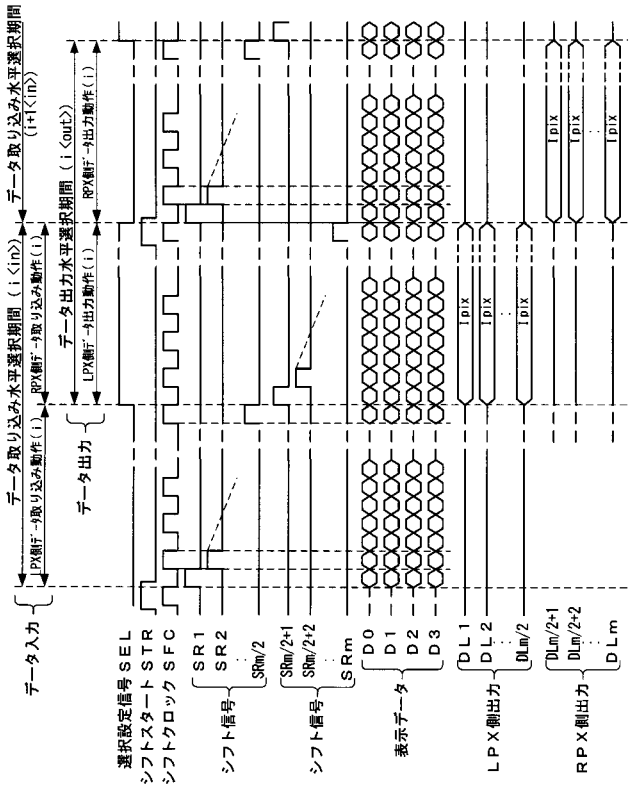
【図１９】



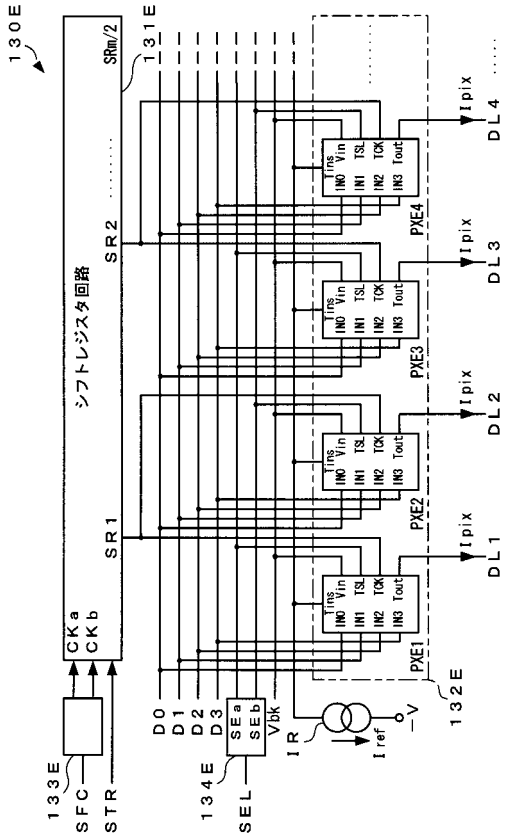
【図２０】



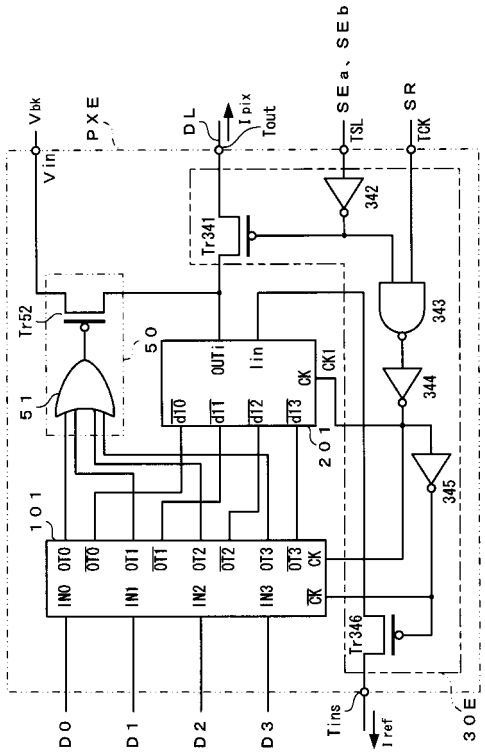
【図２１】



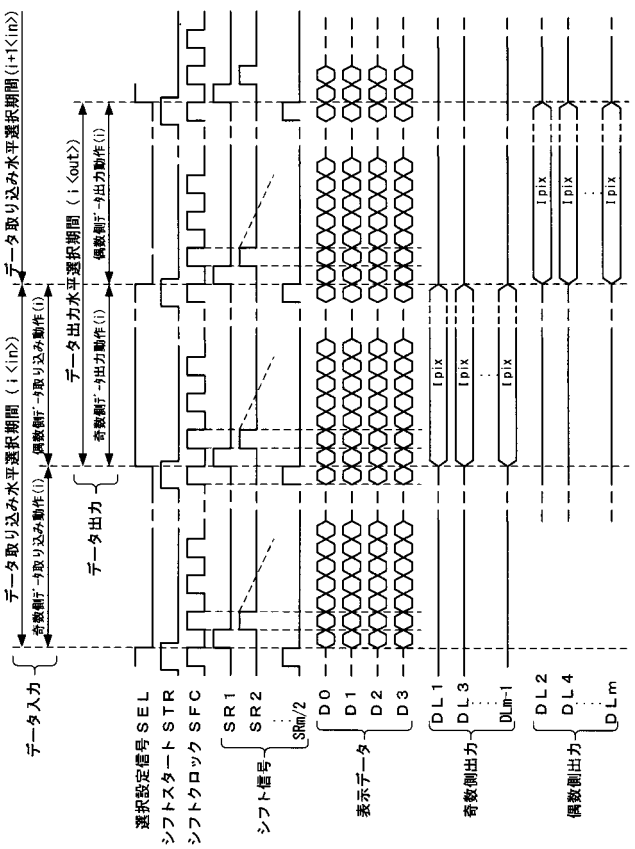
【図２２】



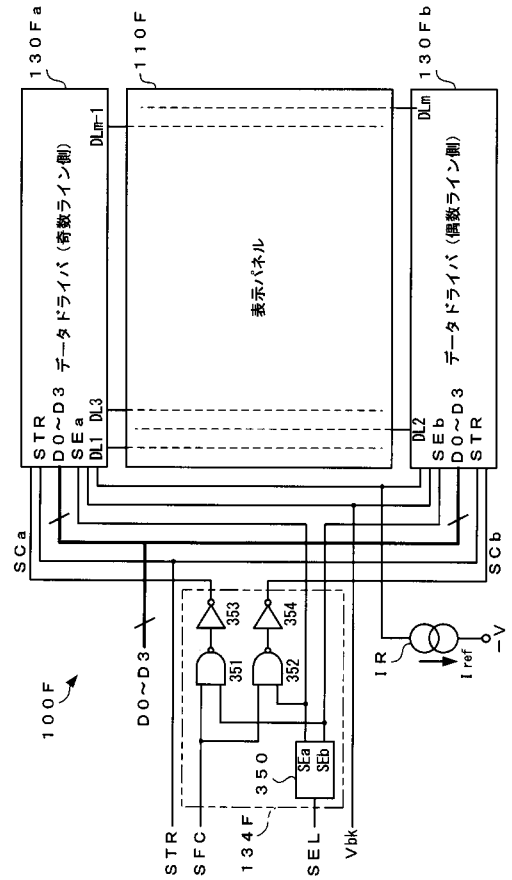
【図２３】



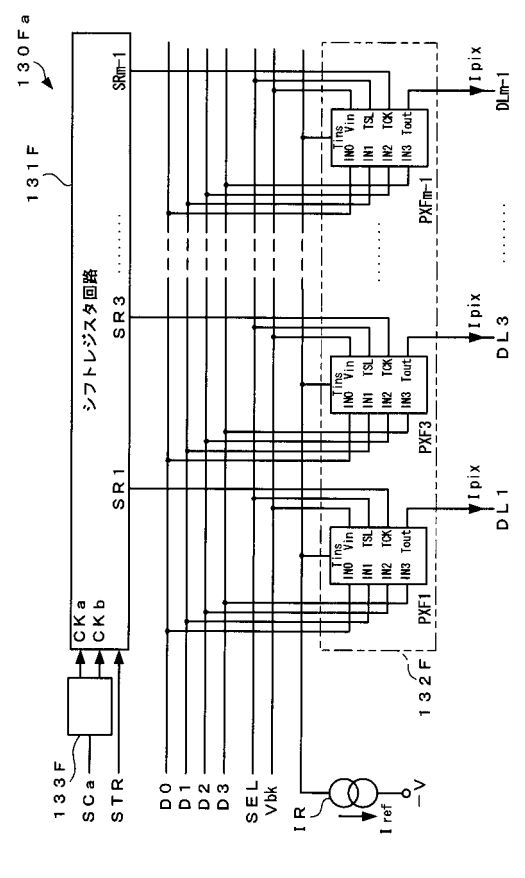
【図２４】



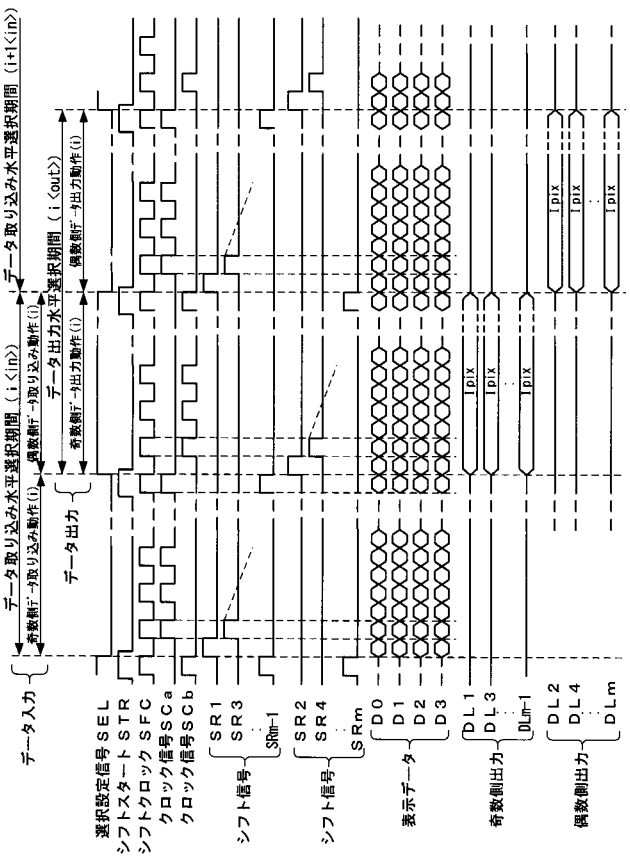
【図２５】



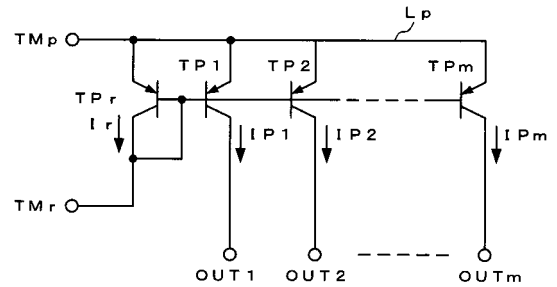
【図２６】



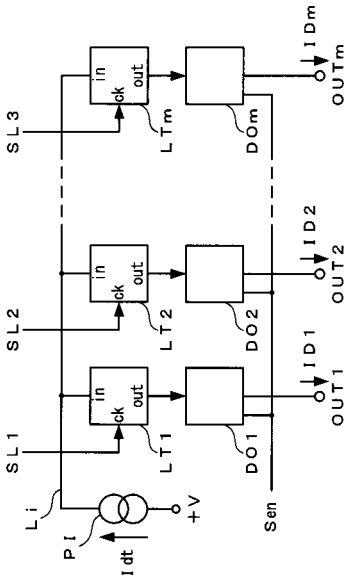
【図２７】



【図２８】



【図２９】


SL1
SL2
SL3
Li
PI
Idt
+V
LT1
LT2
LTm
in
ck
out
DO1
DO2
DOm
Sen
ID1
ID2
IDm
OUT1
OUT2
OUTm

フロントページの続き

(51)Int.Cl.[7]	ＦＩ			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６２３Ｂ	
	Ｇ０９Ｇ	3/20	６２４Ｂ	
	Ｇ０９Ｇ	3/20	６４１Ｄ	
	Ｈ０５Ｂ	33/14	Ａ	