

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0045597  
H01L 29/78 (2006.01) (43) 공개일자 2006년05월17일

(21) 출원번호 10-2005-0030160  
(22) 출원일자 2005년04월12일

(30) 우선권주장 JP-P-2004-00123153 2004년04월19일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지  
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쥬메 4-1

(72) 발명자 우노 토모아키  
일본 도쿄도 지요다구 마루노우찌 2-쥬메 4-1 가부시끼가이샤르네사스  
테크놀로지나이  
시라이시 마사키  
일본 도쿄도 지요다구 마루노우찌 2-쥬메 4-1 가부시끼가이샤르네사스  
테크놀로지나이  
마츠우라 노부요시  
일본 도쿄도 지요다구 마루노우찌 2-쥬메 4-1 가부시끼가이샤르네사스  
테크놀로지나이  
나가사와 토시오  
일본 도쿄도 지요다구 마루노우찌 2-쥬메 4-1 가부시끼가이샤르네사스  
테크놀로지나이

(74) 대리인 특허법인 원전

심사청구 : 없음

(54) 반도체장치

요약

반도체장치의 전압변환 효율을 향상시킨다.

하이사이드 스위치용의 파워 MOS·FET와 로사이드 스위치용의 파워 MOS·FET가 직렬로 접속된 회로를 갖는 비절연형 DC-DC 컨버터에 있어서, 하이사이드 스위치용의 파워 MOS·FET와 로사이드 스위치용의 파워 MOS·FET와, 이들의 동작을 제어하는 드라이버 회로와, 로사이드 스위치용의 파워 MOS·FET에 병렬로 접속된 쇼트키 배리어 다이오드를 각기 다른 반도체 칩(5a~5d)에 형성하고, 이들 4개의 반도체 칩(5a~5d)을 1개의 패키지(6)에 수납하였다. 반도체 칩(5b, 5d)을 동일한 다이패드(7a2) 위에 탑재하였다. 또한, 반도체 칩(5a, 5c)을 근접시켜 배치하였다.

대표도

도 15

색인어

반도체장치, 전압, 변환, 효율, 스위치, MOS·FET, DC-DC 컨버터

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시형태인 반도체장치의 일례의 회로도이다.

도 2는 도 1의 반도체장치의 제어회로의 일례의 회로도이다.

도 3은 도 1의 반도체장치의 동작시 타이밍 차트의 일례의 설명도이다.

도 4는 본 발명자가 검토한 반도체장치의 패키징(packaging) 구성 예의 설명도이다.

도 5는 반도체장치의 회로의 설명도이다.

도 6은 제어용 칩이 형성된 반도체 칩에서의 기생 동작의 설명도이다.

도 7은 도 4의 반도체장치에 기생하는 인덕턴스 성분을 나타낸 등가회로이다.

도 8은 반도체장치의 회로 동작의 설명도이다.

도 9는 도 8의 회로 동작시 디바이스 단면의 설명도이다.

도 10은 본 발명의 일 실시형태인 반도체장치의 구성 예의 설명도이다.

도 11은 도 10의 반도체장치의 주면(主面)측의 전체 평면도이다.

도 12는 도 11의 반도체장치의 측면도이다.

도 13은 도 11의 반도체장치의 이면(裏面)측의 전체 평면도이다.

도 14는 도 11의 반도체장치의 외관 사시도이다.

도 15는 도 11의 반도체장치의 패키지 내부를 투시해 본 때의 패키지 주면측의 전체 평면도이다.

도 16은 도 15의 Y1-Y1선의 단면도이다.

도 17은 도 15의 X1-X1선의 단면도이다.

도 18은 도 11의 반도체장치를 구성하는 제1 반도체 칩의 주면측의 전체 평면도이다.

도 19는 도 18의 X2-X2선의 단면도이다.

도 20은 도 18의 제1 반도체 칩의 요부 단면도이다.

도 21은 도 18의 Y2-Y2선의 단면도이다.

도 22는 도 11의 반도체장치를 구성하는 제3 반도체 칩의 요부 단면도이다.

도 23은 도 11의 반도체장치를 구성하는 제4 반도체 칩의 요부 단면도이다.

도 24는 도 11의 반도체장치의 실장 상태의 일례의 평면도이다.

도 25는 도 24의 반도체장치의 측면도이다.

도 26은 도 11의 반도체장치를 포함하는 회로 시스템 구성의 일례를 나타내는 회로도이다.

도 27은 도 11의 반도체장치의 조립공정을 나타내는 플로우도이다.

도 28은 도 11의 반도체장치의 조립공정에서 사용하는 리드 프레임의 단위영역의 주면측의 일례의 요부 평면도이다.

도 29는 도 28의 리드 프레임의 단위영역의 이면측의 평면도이다.

도 30은 도 11의 반도체장치의 조립공정중에서의 리드 프레임의 단위영역의 평면도이다.

도 31은 본 발명의 다른 실시형태인 반도체장치의 구성 예를 나타내는 평면도이다.

도 32는 도 31의 반도체장치의 금속배선판을 제외하고 나타낸 구성 예의 평면도이다.

도 33은 도 31의 Y3-Y3선의 단면도이다.

도 34는 도 31의 X3-X3선의 단면도이다.

도 35는 본 발명의 다른 실시형태인 반도체장치의 상면(上面)의 평면도이다.

도 36은 도 35의 Y4-Y4선의 단면도이다.

도 37은 도 35의 X4-X4선의 단면도이다.

도 38은 본 발명의 다른 실시형태인 반도체장치의 단면도이다.

도 39는 도 38의 변형 예의 반도체장치의 단면도이다.

도 40은 본 발명의 다른 실시형태인 반도체장치의 구성 예의 평면도이다.

도 41은 도 40의 X5-X5선의 단면도이다.

도 42는 본 발명의 다른 실시형태인 반도체장치의 구성 예를 나타내는 평면도이다.

도 43은 도 42의 금속배선판 및 본딩와이어를 제외하고 나타낸 반도체장치의 구성 예의 평면도이다.

도 44는 도 42의 Y6-Y6선의 단면도이다.

도 45는 도 42의 X6-X6선의 단면도이다.

도 46은 본 발명의 다른 실시형태인 반도체장치의 구성 예의 설명도이다.

도 47은 도 46의 반도체장치의 구성에서의 제3 반도체 칩의 기생소자의 동작 상태의 설명도이다.

도 48은 도 46의 반도체장치의 구성에서의 제3 반도체 칩의 기생소자의 동작 상태의 설명도이다.

도 49는 본 발명의 다른 실시형태인 반도체장치의 구성 예의 평면도이다.

도 50은 도 49의 Y7-Y7선의 단면도이다.

도 51은 본 발명의 다른 실시형태인 반도체장치의 구성 예의 평면도이다.

도 52는 도 51의 Y8-Y8선의 단면도이다.

도 53은 본 발명의 다른 실시형태인 반도체장치의 구성 예의 평면도이다.

도 54는 도 53의 Y9-Y9선의 단면도이다.

[도면의 주요 부분에 대한 부호의 설명]

1 비접촉형 DC-DC 컨버터, 2 제어회로,

3a 드라이버 회로(제1 제어회로), 3b 드라이버 회로(제2 제어회로),

4 부하회로, 5a 반도체 칩(제1 반도체 칩),

5b 반도체 칩(제2 반도체 칩), 5c 반도체 칩(제3 반도체 칩),

5d 반도체 칩(제4 반도체 칩), 5e 반도체 칩(제5 반도체 칩),

6 패키지, 6a~6d 패키지,

7 리드 프레임, 7a1 다이패드(제1 칩 탑재부),

7a2 다이패드(제2 칩 탑재부), 7a3 다이패드(제3 칩 탑재부),

7a4 다이패드(제4 칩 탑재부),

7b, 7b1~7b5 리드, 7c, 7c1, 7c2 배선부,

9 반도체 기판, 10 절연층,

11 배선층, 12 표면보호막,

13 드레인 전극, 14ep 에피택셜층,

15n1 n-형의 반도체영역, 15n2 n+ 형의 반도체영역,

15p1 p형의 반도체영역, 15p1 p+ 형의 반도체영역,

16 홈, 17 게이트 절연막,

18 콘택트 홀, 20p, 20n 게이트 절연막,

21a p-형의 반도체영역, 21b p+ 형의 반도체영역,

23 반도체 기판, 24 에피택셜층,

25 배선층, 25a 배리어 메탈층,

25b 메탈층, 26 절연막,

27 표면보호막, 28 개구부,

29 캐소드 전극, 30 배선 기판,  
 30a~30e 배선, 31, 32 패키지,  
 33, 34 칩 부품, 36 금속 배선,  
 37 범프 전극, 38 접착재,  
 39 절연 시트, 40 방열 핀,  
 50A 비절연형 DC-DC 컨버터,  
 Q1 파워 MOS·FET(제1 전계효과 트랜지스터),  
 Q2 파워 MOS·FET(제2 전계효과 트랜지스터),  
 Q3 파워 MOS·FET, Q4 파워 MOS·FET,  
 Qp 바이폴라 트랜지스터,  
 D1 쇼트키 배리어 다이오드(제1 쇼트키 배리어 다이오드),  
 D2 쇼트키 배리어 다이오드(제2 쇼트키 배리어 다이오드),  
 Dp 기생 다이오드, L1 코일,  
 C1 콘덴서, N1 출력노드(출력단자),  
 Vin 입력용 전원전위, GND 기준전위,  
 G 게이트, S 소스,  
 D 드레인, IN1 입력신호,  
 OUT1 출력신호, ET1 단자(제1 전원단자),  
 ET2, ET3 단자, ET4 단자(제2 전원단자),  
 ET5 단자, ET6 단자,  
 ET7 단자, ET8 단자,  
 I1, I2 전류, UVL 보호회로,  
 SUB 반도체 기판, NISO n형의 반도체영역,  
 PW p형의 반도체영역, CHN n형의 반도체영역,  
 CHP p형의 반도체영역, PR1 p+ 형의 반도체영역,  
 NR1 n+ 형의 반도체영역, G1 게이트 전극,  
 SR1, SR2, SR3 소스 영역, DR1, DR2, DR3 드레인 영역,

MB 수지밀봉체,  
 BP1~BP5, BP5a, BP5b, BP6~BP12 본딩패드,  
 WA1~WA5 본딩와이어, WB1~WB6 본딩와이어,  
 FLD 필드 절연막, PWL p-형의 웰  
 PWL1 p형의 웰, NWL1 n형의 웰,  
 DR 소자영역, PR 주변영역.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은, 반도체장치 기술에 관한 것으로서, 특히, 전원회로를 갖는 반도체장치에 적용하는 유효한 기술에 관한 것이다.

전원회로의 일례로서 널리 사용되어 있는 DC-DC 컨버터는, 하이사이드 스위치용의 파워 MOS·FET(Metal Oxide Semiconductor Field Effect Transistor)와 로사이드 스위치용의 파워 MOS·FET가 직렬로 접속된 구성을 갖고 있다. 하이사이드 스위치용의 파워 MOS·FET는, DC-DC 컨버터의 컨트롤용의 스위치 기능을 갖고, 로사이드 스위치용의 파워 MOS·FET는 동기정류용의 스위치 기능을 갖고 있어, 이들 2개의 파워 MOS·FET가 동기를 취하면서 교대로 온/오프하는 것에 의해 전원전압의 변환을 행하고 있다.

그런데, 이 DC-DC 컨버터에는, 그 출력에 상기 로사이드 스위치용의 파워 MOS·FET와 병렬로 쇼트키 배리어 다이오드가 전기적으로 접속되어 있는 것이 있다. 즉, 순방향 전압(Vf)이 로사이드 스위치용의 파워 MOS·FET의 기생(보디)다이오드보다도 낮은 쇼트키 배리어 다이오드를, 로사이드 스위치용의 파워 MOS·FET에 병렬로 접속하고, DC-DC 컨버터의 데트 타임(하이사이드 스위치 및 로사이드 스위치용 양쪽의 파워 MOS·FET가 턴오프한 기간)중에 흐르는 전류를 쇼트키 배리어 다이오드로 전류(轉流)시키는 것에 의해, 다이오드 도통손실의 저감과, 역회복시간(trr)의 고속화에 의한 다이오드 리커버리 손실의 저감과를 도모하고, DC-DC 컨버터의 데트 타임중의 손실을 저감시켜 전압변환 효율의 향상을 도모하고 있다. 발명자가 검토한 DC-DC 컨버터에서는, 하이사이드 스위치용의 파워 MOS·FET, 로사이드 스위치용의 파워 MOS·FET, 그것들의 파워 MOS·FET의 동작을 제어하는 제어용 IC(Integrated circuit) 및 상기 쇼트키 배리어 다이오드가 각각 개개의 반도체 칩에 형성되고, 또 그 각각의 반도체 칩이 개개의 패키지에 밀봉되어 있다.

DC-DC 컨버터에 대해서는, 예컨대 특개2002-217416호 공보에 기재가 있고, 하이사이드 스위치를 횡형(橫型)의 파워 MOS·FET로 형성하고, 로사이드 스위치를 종형(縱型)의 파워 MOS·FET로 형성하는 기술이 개시되어 있다(특허문헌1 참조).

또, 예컨대 특개2001-25239호 공보에는, 제어회로와 드라이버 회로와 파워 MOS·FET를 1칩화한 DC-DC 컨버터에 있어서 문제가 되는 노이즈를 저항 및 콘덴서에 의해 저감하는 기술이 개시되어 있다(특허문헌2 참조).

[특허문헌1] 특개2002-217416호 공보

[특허문헌2] 특개2001-25239호 공보

**발명이 이루고자 하는 기술적 과제**

그런데, 상기와 같이 하이사이드 스위치용의 파워 MOS·FET, 로사이드 스위치용 파워 MOS·FET, 제어용 IC 및 쇼트키 배리어 다이오드가 각각 개개의 반도체 칩에 형성되고, 또 그 각각의 반도체 칩이 개개의 패키지에 밀봉되어 있는 구성에서는, 이하의 과제가 있는 것을 본 발명자는 발견하였다.

즉, 패키지를 개개로 하는 상기 구성에서는, 데트 타임중에서의 쇼트키 배리어 다이오드로의 부하전류의 전류(轉流)가, 쇼트키 배리어 다이오드의 캐소드와 DC-DC 컨버터의 출력을 전기적으로 접속하는 배선 및 쇼트키 배리어 다이오드의 애노드와 접지용의 배선을 전기적으로 접속하는 배선의 인덕턴스에 의해 저해되는 결과, 기생 다이오드보다도 순방향 전압의 낮은 쇼트키 배리어 다이오드를 접속했는데도 불구하고, 다이오드 도통손실의 저감이나 역회복시간의 고속화에 의한 다이오드 리커버리 손실의 저감 상에서 충분한 효과를 얻을 수 없다는 문제가 있다.

또한, 상기의 배선의 인덕턴스에 기인해서 데트 타임중에 쇼트키 배리어 다이오드에 흐르는 부하전류가 작아져, 로사이드 스위치용의 파워 MOS·FET의 보디 다이오드에도 부하전류가 흐르면, DC-DC 컨버터의 출력측의 전위가 보디 다이오드의 순방향 전압분만큼 부(負)전위로 떨어지고, 파워 MOS·FET에 전기적으로 접속되어 있는 제어용 IC의 출력도 부전위가 되는 결과, 제어용 IC내에서 기생(寄生)의 npn 바이폴라 트랜지스터가 온해 버리고, 제어용 IC의 소비 전류가 증가하는 문제가 있다. 그리고, 그 상태가 진행해 제어용 IC의 CMOS(Complementary MOS) 인버터의 p채널형의 MOS·FET의 소스 전극(BOOT)측과, DC-DC 컨버터의 출력과의 사이의 전위가 규정의 전위값보다 낮아지면, DC-DC 컨버터의 보호회로 기능이 자동적으로 작동하고, 하이사이드 스위치용의 파워 MOS·FET의 동작을 정지시킨다는 오동작이 생기는 문제가 있다. 이밖에, DC-DC 컨버터를 포함하는 시스템이, CPU 등과 같은 부하회로에 복수의 DC-DC 컨버터가 전기적으로 접속되는 것으로 전체적인 시스템이 구축될 경우, 개개의 DC-DC 컨버터에 다른 패키지에서 쇼트키 배리어 다이오드를 접속하면, 전체적인 시스템의 소형화가 저해되어 버리는 문제도 있다.

본 발명의 목적은, 반도체장치의 전원변환 효율을 향상시키는 것이 가능한 기술을 제공하는데 있다.

본 발명의 상기 및 그 밖의 목적으로 신규한 특징은, 본명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

### 발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

즉, 본 발명은, 제1 전위 공급용의 제1 전원단자와, 상기 제1 전위보다도 낮은 제2 전위 공급용의 제2 전원단자와, 상기 제1, 제2 전원단자의 사이에 직렬로 접속된 제1, 제2 전계효과 트랜지스터와, 이들 제1, 제2 전계효과 트랜지스터의 입력과 전기적으로 접속되어, 그 제1, 제2 전계효과 트랜지스터의 동작을 제어하는 제어회로와, 상기 제1, 제2 전계효과 트랜지스터를 잇는 배선에 접속된 출력 배선부와, 상기 출력 배선부와 상기 제2 전원단자와의 사이에, 상기 제2 전계효과 트랜지스터에 병렬로 접속된 쇼트키 배리어 다이오드를 구비하고, 상기 제1 전계효과 트랜지스터와, 상기 제2 전계효과 트랜지스터와, 상기 제어회로와, 상기 쇼트키 배리어 다이오드를 각각 개개의 반도체 칩에 형성하며, 상기 개개의 반도체 칩을 1개의 밀봉체에 밀봉한 것이다.

이하의 실시형태에 있어서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시형태로 분할해서 설명하지만, 특히 명시한 경우를 제외하고, 그것들은 서로 무관계한 것은 아니라, 한쪽은 다른쪽의 일부 또는 전부의 변형 예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시형태에 있어서, 요소의 수 등(개수, 수치, 량, 범위 등을 포함한다)을 언급할 경우, 특히 명시한 경우 및 원리적으로 분명히 특정한 수에 한정될 경우 등을 제외하고, 그 특정한 수에 한정되는 것은 아니고, 특정한 수 이상이라도 이하라도 된다. 또, 이하의 실시형태에 있어서, 그 구성 요소(요소 스텝 등도 포함한다)는, 특히 명시한 경우 및 원리적으로 분명히 필수라고 생각될 경우 등을 제외하고, 반드시 필수적인 것은 아니라고는 말할 필요도 없다. 마찬가지로, 이하의 실시형태에 있어서, 구성 요소 등의 형상, 위치 관계 등을 언급할 때는, 특히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각될 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사하는 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 관해서도 같다. 또한, 본 실시형태를 설명하기 위한 전체 도면에 있어서 동일한 기능을 갖는 것은 동일한 부호를 붙이고, 그 반복의 설명은 생략한다. 또한, 본 실시형태에서는 전계효과 트랜지스터를 대표하는 MOS·FET(Metal Oxide Semiconductor Field Effect Transistor)를 MOS로 약기한다. 이하, 본 발명의 실시형태를 도면에 근거해서 상세히 설명한다.

#### (실시형태 1)

본 실시형태 1의 반도체장치는, 예컨대 데스크톱형의 퍼스널 컴퓨터, 노트북형의 퍼스널 컴퓨터, 서버 또는 게임기 등과 같은 전자기기의 전원회로에 사용할 수 있는 비절연형 DC-DC 컨버터이다. 도 1은, 그 비절연형 DC-DC 컨버터(1)의 회로도의 일례를 나타내고 있다. 비절연형 DC-DC 컨버터(1)는, 제어회로(2), 드라이버 회로(제1, 제2 제어회로)(3a, 3b), 파워 MOS(제1, 제2 전계효과 트랜지스터)(Q1, Q2), 쇼트키 배리어 다이오드(제1다이오드)(D1), 코일(L1) 및 콘덴서(C1) 등과 같은 소자를 갖고 있다.

제어회로(2)는, 파워 MOS(Q1, Q2)의 전압 스위치 온의 폭(온시간)을 제어하는 신호를 공급하는 회로이다. 이 제어회로(2)는, 파워 MOS(Q1, Q2)와는 별도로 패키징 되어 있다. 이 제어회로(2)의 출력(제어신호용의 단자)은, 드라이버 회로(3a, 3b)의 입력에 전기적으로 접속되어 있다. 드라이버 회로(3a, 3b)의 출력은, 각각 파워 MOS(Q1, Q2)의 게이트에 전기적으로 접속되어 있다. 드라이버 회로(3a, 3b)는, 제어회로(2)로부터 공급된 제어신호에 의해, 각각 파워 MOS(Q1, Q2)의 게이트의 전위를 제어하고, 파워 MOS(Q1, Q2)의 동작을 제어하는 회로이다. 드라이버 회로(3a, 3b)는, 예컨대 CMOS 인버터 회로에 의해 형성되어 있다. 드라이버 회로(3a)의 회로도(도 2)에 나타낸다. 드라이버 회로(3a)는, p채널형의 파워 MOS(Q3)와 n채널형의 파워 MOS(Q4)가 직렬에 상보 접속된 회로 구성을 갖고 있다. 드라이버 회로(3a)는, 제어용의 입력신호(IN1)에 근거해서 제어되고, 파워 MOS(Q1)를 통해서, 출력신호(OUT1)의 레벨을 제어하고 있다. 또, 부합의 G는 게이트, D는 드레인, S는 소스를 나타내고 있다. 또한, 드라이버 회로(3b)의 동작은 드라이버 회로(3a)와 거의 동일하므로 설명을 생략한다.

도 1에 나타낸 상기 파워 MOS(Q1, Q2)는, 입력용 전원전위(제1 전원전위)(Vin) 공급용의 단자(제1 전원단자)(ET1)와, 기준전위(제2 전원전위)(GND) 공급용의 단자(제2 전원단자)와의 사이에 직렬로 접속되어 있다. 즉, 파워 MOS(Q1)는, 그 소스·드레인 경로가, 단자(ET1)와 출력노드(출력단자)(N1)와의 사이에 직렬로 접속되도록 설치되고, 파워 MOS(Q2)는 그 소스·드레인 경로가 출력노드(N1)와 접지전위(GND) 공급용의 단자와의 사이에 직렬로 접속되도록 설치되어 있다. 입력 전원전위(Vin)는, 예컨대 5~12V 정도이다. 또한, 기준전위(GND)는, 예컨대 입력용 전원전위보다도 낮은 전원전위이며, 예컨대 접지전위에서 0(영)V이다. 또한, 비절연형 DC-DC 컨버터(1)의 동작 주파수(파워 MOS(Q1, Q2)를 온, 오프 할 때의 주기)는, 예컨대 1MHz 정도이다.

파워 MOS(Q1)는, 하이사이드 스위치(고전위측:제1 동작전압)용의 파워 트랜지스터이며, 비절연형 DC-DC 컨버터(1)의 출력(부하회로(4)의 입력)에 전력을 공급하는 코일(L1)에 에너지를 축적하기 위한 스위치 기능을 갖고 있다. 이 파워 MOS(Q1)는, 그 채널이 반도체 칩의 두께 방향에 형성되는 종형의 전계효과 트랜지스터에 의해 형성되어 있다. 본 발명자의 검토에 의하면, 하이사이드 스위치용의 파워 MOS(Q1)에서는, 그것에 부가되는 기생용량에 의해, 비절연형 DC-DC 컨버터(1)의 동작 주파수가 높아짐에 따라 스위칭 손실(턴온 손실 및 턴오프 손실)이 커져 눈에 보이게 된다. 따라서, 통상이라면, 스위칭 손실을 고려해서 하이사이드 스위치용의 전계효과 트랜지스터로서, 채널이 반도체 칩의 주면(반도체 칩의 두께 방향에 대하여 교차하는 면)을 따라 형성되는 횡형의 전계효과 트랜지스터를 적용하는 것이 바람직하다. 이 이유는, 횡형의 전계효과 트랜지스터는, 게이트 전극과 드레인 영역의 오버랩 면적이, 종형의 전계효과 트랜지스터에 비해 작기 때문에, 게이트와 드레인 사이에 부가되는 기생용량(게이트 기생용량)을 저감할 수 있기 때문이다. 그러나, 횡형의 전계효과 트랜지스터의 동작시에 있어서 생기는 저항(온저항)을 종형의 전계효과 트랜지스터와 같은 정도의 값을 얻고자 하면, 횡형의 전계효과 트랜지스터의 셀 면적은 종형의 전계효과 트랜지스터의 셀 면적의 약 2.5배 이상으로 커지지 않으면 안되기 때문에, 소자의 소형화에 불리하다. 이것에 대해서 종형의 전계효과 트랜지스터의 경우, 횡형의 전계효과 트랜지스터에 비해서 단위 면적당 채널 폭을 증가시킬 수 있고, 온저항을 저감할 수 있다. 즉, 하이사이드 스위치용의 파워 MOS(Q1)를 종형의 전계효과 트랜지스터로 형성하는 것에 의해, 소자의 소형화를 실현할 수 있고, 패키징을 소형화 할 수 있다.

한편, 파워 MOS(Q2)는, 로사이드 스위치(저전위측:제2 동작전압)용의 파워 트랜지스터이며, 비절연형 DC-DC 컨버터(1)의 정류용의 트랜지스터로서, 제어회로(2)로부터의 주파수에 동기해서 트랜지스터의 저항을 낮게 해서 정류를 행하는 기능을 갖고 있다. 이 파워 MOS(Q2)는, 파워 MOS(Q1)와 같이 채널이 반도체 칩의 두께 방향을 따라 형성되는 종형의 파워 MOS에 의해 형성되어 있다. 이것은, 예컨대 다음 이유 때문이다. 도 3은, 비절연형 DC-DC 컨버터(1)의 타이밍 차트의 일례를 나타내고 있다. Ton은 하이사이드 스위치용의 파워 MOS(Q1)의 온일때의 펄스 폭, T는 펄스 주기를 나타내고 있다. 이 도 3에 나타내는 바와 같이, 로사이드용의 파워 MOS(Q2)는, 그 온시간(전압을 가하고 있는 동안의 시간)이, 하이사이드 스위치용의 파워 MOS(Q1)의 온시간보다도 길다. 이 때문에, 파워 MOS(Q2)에서는, 스위칭 손실에 대해서 보다도 온저항에 의한 손실이 크게 보여지므로, 횡형의 전계효과 트랜지스터에 비해 단위 면적당 채널 폭을 증가시킬 수 있는 종형의 전계효과 트랜지스터를 적용하는 것이 유리하기 때문이다. 즉, 로사이드 스위치용의 파워 MOS(Q2)를 종형의 전계효과 트랜지스터로 형성하는 것에 의해, 온저항을 작게 할 수 있으므로, 비절연형 DC-DC 컨버터(1)에 흐르는 전류가 증대해도 전압변환 효율을 향상시킬 수 있기 때문이다.

도 1의 비절연형 DC-DC 컨버터(1)의 파워 MOS(Q1)의 소스와, 파워 MOS(Q2)의 드레인을 잇는 배선간에는, 출력용 전원전위를 외부에 공급하는 출력노드(N1)가 설치되어 있다. 출력노드(N1)는, 출력 배선을 통해서 코일(L1)과 전기적으로 접속되고, 또 출력 배선을 통해서 부하회로(4)와 전기적으로 접속되어 있다. 이 출력노드(N1)와 코일(L1)을 잇는 출력 배선과 기준전위(GND) 공급용의 단자와의 사이에는, 상기 파워 MOS(Q2)의 기생 다이오드(Dp)보다도 순방향 전압(Vf)이 낮은 쇼트키 배리어 다이오드(D1)가 파워 MOS(Q2)와 병렬이 되도록 전기적으로 접속되어 있다. 쇼트키 배리어 다이오드(D1)의 애노드는 기준전위(GND) 공급용의 단자와 전기적으로 접속되고, 캐소드는 상기 코일(L1)과 출력노드(N1)를 잇는



출력 배선에 전기적으로 접속되어 있다. 이와 같이 쇼트키 배리어 다이오드(D1)를 접속하는 것에 의해, 파워 MOS(Q2)를 오프로 했을 때의 데트 타임의 전압강하를 작게 하여, 다이오드의 도통손실의 저감이 가능하다. 또한, 역회복시간(trr)의 고속화에 의해 다이오드 리커버리 손실의 저감이 가능하다.

상기 코일(L1)과 부하회로(4)를 잇는 출력 배선과 기준전위(GND) 공급용의 단자와의 사이에는, 상기 콘덴서(C1)가 전기적으로 접속되어 있다. 부하회로(4)는, 상기 전자기기의 CPU(Central Processing Unit) 또는 DSP(Digital Signal Processor) 등을 예시할 수 있다. 또한, 도 1의 단자(ET2, ET3)는, 각각 드라이버 회로(3a, 3b)로의 전원전압 공급용의 단자이다.

이와 같은 회로에서는, 파워 MOS(Q1, Q2)에서 동기를 취하면서 교대로 온/오프 하는 것에 의해 전원전압의 변환을 행하고 있다. 즉, 하이사이드 스위치용의 파워 MOS(Q1)가 온일때, 파워 MOS(Q1)의 드레인에 전기적으로 접속된 단자(ET1)로부터 파워 MOS(Q1)를 통해서 출력노드(N1)에 전류(제1전류)(I1)가 흐르고, 하이사이드 스위치용의 파워 MOS(Q1)가 오프일 때, 코일(L1)의 역기전압에 의해 전류(I2)가 흐른다. 이 전류(I2)가 흐르고 있을 때에 로사이드 스위치용의 파워 MOS(Q2)를 온함으로써 전압강하를 적게 할 수 있다. 상기 전류(I1)는, 예컨대 20A 정도의 대전류이다.

다음에, 본 발명자가 검토한 비절연형 DC-DC 컨버터의 패키징 구성의 일례를 도 4에 나타낸다. 이 비절연형 DC-DC 컨버터(50A)에서는, 하이사이드 스위치용의 파워 MOS(Q1), 로사이드 스위치용의 파워 MOS(Q2), 드라이버 회로(3a, 3b) 및 쇼트키 배리어 다이오드(D1)가 각각 개개의 반도체 칩(5a~5d)에 형성되고, 각각 개개의 패키지(6a~6d)에 밀봉되어 있다. 그리고, 각 패키지(6a~6d) 사이는, 패키지(6a~6d)를 탑재하는 배선 기판의 배선을 통해서 전기적으로 접속되어 있다. 그러나, 이와 같은 패키지 구성에서는, 이하의 문제가 있는 것을 본 발명자는 발견하였다.

제1의 문제는, 쇼트키 배리어 다이오드(D1)를 다른 패키지로 한 것에 의해, 쇼트키 배리어 다이오드(D1)의 캐소드와 DC-DC 컨버터의 출력 배선을 전기적으로 접속하는 배선의 경로나 쇼트키 배리어 다이오드(D1)의 애노드와 접지용의 배선을 전기적으로 접속하는 배선의 경로가 길어져, 그것들의 배선에 기생하는 인덕턴스(Lk, La)가 증대하는 결과, 쇼트키 배리어 다이오드(D1)를 접속한 것에 의한 전압변환 효율의 향상 효과가 작아져버린다는 문제이다. 즉, 비절연형 DC-DC 컨버터(1)의 데트 타임(양쪽 파워 MOS(Q1, Q2)가 턴오프한 기간)중에서의 쇼트키 배리어 다이오드(D1)로의 부하전류의 전류(轉流)가, 상기 배선의 인덕턴스(Lk, La)에 의해 저해되는 결과, 기생 다이오드(Dp)보다도 순방향 전압(Vf)의 낮은 쇼트키 배리어 다이오드(D1)를 접속했는데도 불구하고, 다이오드 도통손실의 저감이나 역회복시간(trr)의 고속화에 의한 다이오드 리커버리 손실의 저감 상에서 충분한 효과가 얻어지지 않는다는 문제이다. 최근, 비절연형 DC-DC 컨버터에서는, 부하회로(4)의 구동전류의 증대에 따라 비절연형 DC-DC 컨버터에 필요해지는 구동전류가 증대하고 있는 동시, 정전압을 안정적으로 공급하는 관점이나 코일(L1)이나 콘덴서(C1)의 소형화(소자 개수를 저감시켜 전체적인 치수를 축소)하는 관점으로부터 비절연형 DC-DC 컨버터의 동작 주파수도 높아지고 있으므로, 상기 배선의 인덕턴스(Lk, La)에 기인하는 문제는 점점 현저한 문제가 된다.

제2의 문제는, 상기 쇼트키 배리어 다이오드(D1)로의 부하전류의 전류(轉流)가 배선의 인덕턴스(Lk, La)에 의해 저해되는 것에 기인하여, 드라이버 회로(3a, 3b)가 형성된 드라이버 칩(반도체 칩(5c))에서 생기는 문제이다. 이 문제를 도 5 및 도 6에 의해 설명한다. 도 5는 드라이버 회로(3, 3b)와 그 출력단을 포함하는 비절연형 DC-DC 컨버터 회로의 설명도, 도 6은 드라이버 회로(3a)가 형성된 반도체 칩(5c)의 기생소자의 동작의 설명도를 각각 나타내고 있다. 도 5의 단자(ET4)는 상기 기준전위(GND) 공급용의 단자이며, 단자(ET5)는 비절연형 DC-DC 컨버터(1)의 출력단자이다. 단자(ET6)(BOOT)는 하이사이드 스위치용의 파워 MOS(Q1)의 게이트를 제어하기 위한 부트 스트랩 회로용의 단자이며, 파워 MOS(Q1)의 소스의 전위가 기준전위(GND)에 대하여 높은 값(부유하고 있다)이므로, 그 전압에 대하여 단자(ET6)로부터 전압을 공급하고 있다. 부호의 UVL은, 단자(ET5)와 단자(ET6) 사이의 전압이, 어떤 일정한 기준전압에 도달하지 않고 있을 경우에, 이상상태라고 판단하고, 비절연형 DC-DC 컨버터(1)의 출력의 발생을 자동적으로 정지하는 기능을 가지는 보호회로이다. 또한, 부호 GH는, 하이사이드 스위치용의 파워 MOS(Q1)의 게이트를 나타내고 있다. 또한, 도 6의 반도체 기판(SUB)은, 상기 반도체 칩(5c)의 기판부이며, 예컨대 p형의 실리콘(Si) 단결정으로 이루어진다. 부호 NISO는, n형의 반도체영역, PW는 p형의 반도체영역(p웰), CUN은 p채널형의 파워 MOS(Q3)의 채널이 형성되는 n형의 반도체영역, CHP는 n채널형의 파워 MOS(Q4)의 채널이 형성되는 p형의 반도체영역, PR1은 p채널형의 파워 MOS(Q3)의 소스·드레인용의 P+ 형의 반도체영역, NR1은 n채널형의 파워 MOS(Q4)의 소스·드레인용의 n+ 형의 반도체영역을 각각 나타내고 있다.

이와 같은 구성에서는, 양쪽 파워 MOS(Q1, Q2)의 데트 타임시에, 부하전류는 쇼트키 배리어 다이오드(D1)를 통해서 공급된다. 그러나, 중(重)부하시에, 상기한 바와 같이 배선의 인덕턴스(Lk, La)에 기인해서 쇼트키 배리어 다이오드(D1)에 흐르는 부하전류가 작아져, 로사이드 스위치용의 파워 MOS(Q2)의 기생 다이오드(보디 다이오드)(Dp)에도 부하전류가 흐르면, 비절연형 DC-DC 컨버터(1)의 출력측의 단자(ET5)(VSWH)의 전위가 기생 다이오드(Dp)의 순방향 전압(Vf)분 만큼 부전위로 떨어지고, 파워 MOS(Q1)에 전기적으로 접속되어 있는 드라이버 칩(제어용 IC)의 출력도 부전위가 되는 결과, 반

도체 칩(5c)내에서 기생의 npn형의 바이폴라 트랜지스터(Qp)이 온해 버리고, 드라이버 칩의 소비 전류가 증가하는 문제가 있다. 또, 단자(ET6)(BOOT)로부터 전하를 빼내는 양이 커지고, 단자(ET5)와 단자(ET6) 사이의 전위가 규정의 전위값보다 낮아지면, 상기 보호회로(UVL)가 자동적으로 동작하고, 파워 MOS(Q1)의 동작을 정지시킨다는 오동작이 생기는 문제가 있다.

제3의 문제는, 쇼트키 배리어 다이오드(D1)가 별개의 패키지므로 시스템이 대형화하는 문제이다. 특히 1개의 부하회로(4)에 복수의 비절연형 DC-DC 컨버터가 전기적으로 접속되는 것으로 전체적인 시스템이 구축될 경우, 개개의 비절연형 DC-DC 컨버터에 별개의 패키지로 쇼트키 배리어 다이오드(D1)가 접속되면, 전체적인 시스템의 소형화가 저해되어 버리는 문제가 있다.

제4의 문제는, 하이사이드 스위치용의 파워 MOS(Q1), 로사이드 스위치용의 파워 MOS(Q2), 드라이버 회로(3a, 3b) 및 쇼트키 배리어 다이오드(D1)를 개개의 패키지(6a~6d)에 수용한 것에 의해, 각 반도체 칩(5a~5d)(패키지(6a~6d)) 사이의 배선 경로가 길어져, 그 배선부에 기생하는 인덕턴스가 증대하는 결과, 비절연형 DC-DC 컨버터(50A)의 전압변환 효율이 저하한다는 문제이다. 도 7은 비절연형 DC-DC 컨버터(50A)에 기생하는 인덕턴스 성분을 나타낸 등가회로이다. 부호 LdH, Lgh, LsH, LdL, LgL, LsL은, 파워 MOS(Q1, Q2)의 패키지 및 프린트 배선 기판의 배선 등에 기생하는 인덕턴스를 나타내고 있다. 또 VgH는 파워 MOS(Q1)을 온으로 하기 위한 게이트 전압, 부호의 VgL은 파워 MOS(Q2)를 온으로 하기 위한 게이트 전압을 나타내고 있다. 하이사이드 스위치용의 파워 MOS(Q1)의 소스측에 기생하는 인덕턴스(LsH)와 게이트 측에 기생하는 LgH, 로사이드 스위치용의 파워 MOS(Q2)의 소스측에 기생하는 인덕턴스(LsL)의 영향에 의해 비절연형 DC-DC 컨버터(50A)의 전압변환 효율이 저하한다. 특히 기생 인덕턴스(LsH)가 증가하면, 하이사이드 스위치용의 파워 MOS(Q1)의 턴온 손실 및 턴오프 손실(특히 턴온 손실)이 현저하게 커지고, 비절연형 DC-DC 컨버터(50A)의 전압변환 효율이 현저하게 저하한다. 턴온 손실 및 턴오프 손실은, 주파수 및 출력 전류에 비례하므로, 상기와 같이 비절연형 DC-DC 컨버터(50A)의 대전류화 및 고주파화가 진행함에 따라 손실 성분이 커진다.

다음에, 기생 인덕턴스(LsH)가 증가하면, 턴온 및 턴오프가 지연되어, 턴온 손실 및 턴오프 손실이 증가하는 원인에 대해서 설명한다. 도 8은 비절연형 DC-DC 컨버터(50A)의 회로 동작의 설명도, 도 9는 도8의 회로 동작시 디바이스 단면의 설명도이다.

하이사이드 스위치용의 파워 MOS(Q1)의 게이트 전압이 문턱치전압을 초과하여, 파워 MOS(Q1)의 드레인 영역(DR1)으로부터 소스 영역(SR1)을 향해서 전류(제1전류)(I1)가 흐르기 시작하면, 기생 인덕턴스(LsH)에 의해, 역기전력(LsH×di/dt)이 발생하고, 출력노드(N1)에 비해 하이사이드 스위치용의 파워 MOS(Q1)의 소스 전위가 높아진다. 파워 MOS(Q1)의 게이트 전압은, 드라이버 회로(3a)에 의해, 출력노드(N1)를 기준으로 주어지므로, 하이사이드 스위치용의 파워 MOS(Q1)의 게이트와 접속되는 게이트 전극(G1)과 소스 영역(SR1)과의 사이에 인가되는 전압은, 게이트 전압(VgH)보다도 낮아진다. 이 때문에, 하이사이드 스위치용의 파워 MOS(Q1)의 채널 저항(R1)이 충분히 내려 가지 않으므로, 전류(I1)의 손실이 발생한다. 즉, 턴온 시간이 길어진다. 상기와 같이 대전력화 및 고주파화에 의해 턴온 손실 및 턴오프 손실이 증가하는 것은, 대전력화 및 고주파화에 의해 역기전력(LsH×di/dt)이 증가하기 때문이다.

또한, 하이사이드 스위치용의 파워 MOS(Q1)은, 비절연형 DC-DC 컨버터(50A)의 출력(부하회로(4)의 입력)에 전력을 공급하는 코일(L1)에 에너지를 축적하기 위한 스위치 기능을 갖고 있기 때문에, 고주파화에 있어서 스위칭 동작의 고속화를 요구한다. 그러나, 드라이버 회로(3a)와 파워 MOS(Q1)와의 사이에는, 기생 인덕턴스(LgH)가 생기기 위해서, 스위칭 동작은 지연된다. 즉, 스위칭 손실로 되어, 전압변환 효율은 저하한다.

한편, 로사이드 스위치용의 파워 MOS(Q2)에서는, 상기와 같은 스위칭 손실이 파워 MOS(Q1)보다는 생기기 어려운 구성으로 되어 있다. 즉, 하이사이드 스위치용의 파워 MOS(Q1)을 오프하면, 로사이드 스위치용의 파워 MOS(Q2)에 병렬로 접속되어 있는 쇼트키 배리어 다이오드(D1)를 통해서 출력측에 전류(제2전류)(I21)가 흐르고, 또한, 기생 다이오드(Dp)를 통해서 기준전위(GND)로부터 파워 MOS(Q2)의 드레인 영역(DR2)을 향해서 전류(제2전류)(I22)가 흐른다. 이 상태에서, 로사이드 스위치용의 파워 MOS(Q2)의 게이트와 접속되는 게이트 전극(G2)에 게이트 전압(VgL)을 인가해 온하면, 파워 MOS(Q2)의 소스 영역(SR2)으로부터 파워 MOS(Q2)의 채널 영역을 통하여 드레인 영역(DR2)을 향해 전류(제3전류)(I23)가 흐르지만, 그 전에 이미 상기 전류(I21, I22)가 흐르고 있어, 전류(I23)가 흐를 때의 단위 시간당 전류 변화량이 작으므로, 기생 인덕턴스(LsL)에 의한 역기전력은 무시할 수 있을 만큼 작아 실질적인 손실로 이어지지 않기 때문이다. 그러나, 상기와 같이 쇼트키 배리어 다이오드(D1)의 애노드 및 캐소드측에 기생하는 인덕턴스(La, Lk)가 크면, 쇼트키 배리어 다이오드(D1)측에 흐르는 전류(I21)이 작아져, 순방향 전압이 기생 다이오드(Dp)보다도 작은 쇼트키 배리어 다이오드(D1)를 접속한 것에 의한 효과를 충분히 얻을 수 없다. 또, 하이사이드 스위치용의 파워 MOS(Q1)에 있어서도, 마찬가지로 기생 다이오드(Dp)가 존재하지만, 하이사이드 스위치용의 파워 MOS(Q1)측의 기생 다이오드(Dp)는, 각각 파워 MOS(Q1)의 소스 영역(SR1)측에 애노드, 파워 MOS(Q1)의 드레인 영역(DR1)측에 캐소드가 형성되어 있고, 파워 MOS(Q1)의 드레

인 영역(DR1)으로부터 소스 영역(SR1)을 향해 흐르는 전류(제1 전류)(I1)와 같은 방향에 대하여 순방향으로 접속되어 있지 않다. 이 때문에, 게이트 전압(VgH)을 인가 하여 온하기 전에 파워 MOS(Q1)에 전류가 흐르고 있지 않고, 단위 시간당 전류 변화량이 작아지지 않으므로 스위칭 손실이 생긴다.

또한, 파워 MOS(Q2)는, 비절연형 DC-DC 컨버터(50A)의 정류용의 트랜지스터로서, 제어회로(2)로부터의 주파수에 동기해서 트랜지스터의 저항을 낮게하여 정류를 행하는 기능을 갖고 있다. 이 때문에, 상기와 같이 파워 MOS(Q2)의 온 시간은, 파워 MOS(Q1)보다도 길기 때문에, 스위칭 손실보다도 온저항에 의한 손실이 현저해져, 온저항의 저저항화가 요구된다. 그러나, 파워 MOS(Q2)와 기준전위(GND)가 공급되는 단자(제2 전원단자)(ET4)의 사이에는, 기생 인덕턴스(LsL)에 의해 생기는 배선 저항(배선 임피던스) 때문에, 온저항은 증가하고, 전류변환 효율은 저하한다

그래서, 본 실시형태 1에서는, 도 10에 예시하는 바와 같이, 비절연형 DC-DC 컨버터(1)를 구성하는 하이사이드 스위치용의 파워 MOS(Q1), 로사이드 스위치용의 파워 MOS(Q2), 드라이버 회로(3a, 3b) 및 쇼트키 배리어 다이오드(D1)를 각각 개개의 반도체 칩(5a~5d)(제1~제4 반도체 칩)에 형성하고, 그 복수의 반도체 칩(5a~5d)을 동일한 패키지(6)에 수용하는 구성으로 하였다. 우선, 로사이드 스위치용의 파워 MOS(Q2)와 쇼트키 배리어 다이오드(D1)를 동일 패키지(6)내에 수용하는 것에 의해, 각각을 별개의 패키지에 수용하는 구성에 비해, 파워 MOS(Q2)와 쇼트키 배리어 다이오드(D1) 사이의 배선을 짧게 할 수 있으므로, 그 배선에 기생하는 인덕턴스(La, Lk)를 저감할 수 있다. 이 때문에, 쇼트키 배리어 다이오드(D1)의 효과를 충분히 발휘할 수 있으므로, 다이오드 도통손실 및 역회복시간(trr)의 고속화에 의한 다이오드 리커버리 손실을 저감할 수 있고, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 향상시킬 수 있다. 또한, 쇼트키 배리어 다이오드(D1)의 효과를 충분히 발휘할 수 있으므로, 드라이버 회로(3a, 3b)가 형성된 반도체 칩(5c)내에서 기생의 npn형의 바이폴라 트랜지스터(Qp)가 온해 버리는 것을 억제 또는 방지할 수 있어, 반도체 칩(5a)내의 회로의 소비전류의 증대를 억제 또는 방지할 수 있다. 또, 단자(ET6)로부터의 전하의 빼냄을 억제하여, 단자(ET5)와 단자(ET6) 사이의 전위가 규정의 전위 값보다 낮아져버리는 것을 억제 또는 방지할 수 있고, 보호회로(UVL)의 동작에 의한 파워 MOS(Q1)의 정지동작(오동작)을 억제 또는 방지할 수 있으므로, 비절연형 DC-DC 컨버터(1)의 동작 신뢰성을 향상시킬 수 있다. 더구나, 쇼트키 배리어 다이오드(D1)가 동일 패키지(6)내에 수용되어 있으므로 시스템을 소형화 할 수 있다.

또한, 반도체 칩(5a~5d)을 동일한 패키지(6)내에 수용한 것에 의해, 각각을 별개의 패키지에 수용하는 구성에 비해, 각 반도체 칩(5a~5d)의 배선 경로를 짧게 할 수 있으므로, 그 배선에 기생하는 인덕턴스(LdH, Lgh, LsH, LdL, LgL, LsL)를 저감할 수 있다. 이 때문에, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 향상시킬 수 있다. 또한, 비절연형 DC-DC 컨버터(1)를 소형화 할 수 있다.

여기에서, 소형화나 인덕턴스 저감에만 착안한 경우, 로사이드 스위치용의 파워 MOS(Q2)와 쇼트키 배리어 다이오드(D1)를 동일한 반도체 칩에 형성한 쪽이 바람직하다고 생각할 수도 있다. 그러나, 이 경우, 각각의 소자 특성을 충분히 끌어 낼 수 없다. 특히 쇼트키 배리어 다이오드(D1)측에서는 내압확보를 위해 에피택셜층의 두께를 어느 정도 필요로 하므로, 쇼트키 배리어 다이오드(D1)가 형성되는 반도체 칩에 로사이드 스위치용의 파워 MOS(Q2)를 설치하면, 로사이드 스위치용의 파워 MOS(Q2)의 성능이 저하해 버린다. 또한, 제조 프로세스가 복잡해져, 반도체 칩의 제조에 시간이 걸리는데 더하여, 코스트가 증대하는 문제도 있다. 이와 같은 관점으로부터 본 실시형태 1에서는, 로사이드 스위치용의 파워 MOS(Q2)와, 쇼트키 배리어 다이오드(D1)를, 각각 별체(別體)의 반도체 칩(5b, 5d)에 나누어서 형성하고 있다. 이것에 의해, 로사이드 스위치용의 파워 MOS(Q2)와 쇼트키 배리어 다이오드(D1)를 동일한 반도체 칩에 형성하는 경우에 비해, 각각의 소자 특성을 충분히 끌어 낼 수 있으므로, 비절연형 DC-DC 컨버터(1)의 동작 특성을 향상시킬 수 있다. 또한, 비절연형 DC-DC 컨버터(1)의 제조 프로세스를 용이하게 할 수 있으므로, 비절연형 DC-DC 컨버터(1)의 제조 시간을 단축할 수 있고, 또한, 코스트를 저감할 수 있다.

또한, 마찬가지로, 소형화나 인덕턴스 저감에만 착안하면, 하이사이드 스위치용의 파워 MOS(Q1)와 로사이드 스위치용의 파워 MOS(Q2)를 동일한 반도체 칩에 형성한 쪽이 바람직하다고 생각되지만, 이 경우도 마찬가지로, 각각의 트랜지스터를 동일한 반도체 칩에 형성하면, 각각의 소자 특성이 충분히 끌어내이지 않는다. 또한, 제조 프로세스가 복잡해져 반도체 칩의 제조에 시간이 걸리는데 더하여, 코스트가 증대하는 문제도 있다. 또한, 로사이드 스위치용의 파워 MOS(Q2)는, 상기와 같이 하이사이드 스위치용의 파워 MOS(Q1)에 비해 온시간이 길기 때문 발열하기 쉽다. 따라서, 양쪽 파워 MOS(Q1, Q2)를 동일한 반도체 칩에 형성해 버리면, 로사이드 스위치용의 파워 MOS(Q2)의 동작시에 발생한 열이 반도체 기판을 통해서 하이사이드 스위치용의 파워 MOS(Q1)에 악영향을 미치는 것도 염려된다. 이와 같은 관점으로부터 본 실시형태 1에서는, 하이사이드 스위치용의 파워 MOS(Q1)와, 로사이드 스위치용의 파워 MOS(Q2)와, 드라이버 회로(3a, 3b)를, 각각 별체의 반도체 칩(5a~5c)에 나누어 형성하고 있다. 이것에 의해, 하이사이드 스위치용의 파워 MOS(Q1)와 로사이드 스위치용의 파워 MOS(Q2)와 드라이버 회로(3a, 3b)를 동일한 반도체 칩에 형성할 경우에 비해, 각각의 소자 특성을 충분히 끌어 낼 수 있다. 또한, 비절연형 DC-DC 컨버터(1)의 제조 프로세스를 용이하게 할 수 있으므로, 비절연형 DC-DC 컨버터(1)

의 제조 시간을 단축할 수 있고, 또한, 코스트를 저감할 수 있다. 또한, 하이사이드 스위치용의 파워 MOS(Q1) 및 드라이버 회로(3a, 3b)가 로사이드 스위치용의 파워 MOS의 동작시에 발생할 열에 의한 악영향을 받지 않도록 할 수 있으므로, 비절연형 DC-DC 컨버터(1)의 동작 안정성을 향상시킬 수 있다.

또, 드라이버 회로(3a, 3b)는, 서로 동기해서 교대로 동작하는 것으로, 전체적인 회로 동작의 안정성의 관점에서부터 동일한 반도체 칩(5c)에 형성하고 있다.

그런데, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 향상시키기 위해서는, 상기와 같이 쇼트키 배리어 다이오드(D1)를 파워 MOS(Q1, Q2) 및 드라이버 회로(3a, 3b)와 동일한 패키지(6)에 수용하는 것이 중요하지만, 단지 단순히 동일한 패키지(6)에 수용한 것만으로는 전압변환 효율을 향상시키는데 충분한 효과를 얻을 수 없다. 그래서, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 향상시키는데 중요한 패키지(6)내의 구체적인 구성 예에 대해서 설명한다.

도 11은 패키지(6)의 주면측의 전체 평면도, 도 12는 도 11의 패키지(6)의 측면도, 도 13은 도 11의 패키지(6)의 이면측의 전체 평면도, 도 14는 도 11의 패키지(6)의 외관사시도를 각각 나타내고 있다.

본 실시형태 1의 패키지(6)은, 예컨대 QFN(Quad Flat Non-leaded package) 구성으로 되어 있다. 단지, QFN에 한정되나 것이 아니라 여러가지 변경 가능하며, 예컨대 QFP(Quad Flat Package)나 SOP(Small Out-line Package) 등과 같은 플랫 패키지 구성으로 해도 된다.

패키지(6)를 구성하는 수지밀봉체(MB)는, 그 외관이 얇은 판자 모양으로 형성되어 있다. 수지밀봉체(MB)는, 예컨대 에폭시계의 수지로 이루어진다. 또한, 수지밀봉체(MB)의 재료로서 저응력화를 도모하는 등의 이유로부터, 예컨대 페놀계 경화제, 실리콘 고무 및 필러 등이 첨가된 비페닐계의 열경화성수지를 이용해도 된다. 수지밀봉체(MB)의 형성 방법으로서, 대량 생산에 바람직한 트랜스퍼-몰딩법을 이용하고 있다. 이 수지밀봉체(MB)의 이면으로부터는, 예컨대 평면 거의 직사각형 형상의 3개의 다이패드(제1~제3칩 탑재부)(7a1, 7a2, 7a3)의 이면이 노출되어 있다. 또한, 수지밀봉체(MB)의 4측면 및 이면 외주(外周)로부터는, 수지밀봉체(MB)의 외주를 따라 복수의 리드(외부단자)(7b)의 일부가 노출되어 있다. 다이패드(7a1, 7a2, 7a3) 및 리드(7b)는, 예컨대 42 얼로이 등과 같은 금속재료를 주재료로해서 형성되어 있고, 그 두께는, 예컨대 200 $\mu$ m 정도이다. 다이패드(7a1, 7a2, 7a3) 및 리드(7b)의 다른 재료로서, 예컨대 동(Cu) 또는 동의 표면에 표면으로부터 순차로 니켈(Ni), 팔라듐(Pd) 및 금(Au)을 도금한 것을 사용해도 된다. 후술과 같이, 다이패드(7a1, 7a2)의 주면에는, 각각 상기 반도체 칩(5a, 5b)이 탑재되어 있다. 또한, 다이패드(7a3)의 주면에는, 상기 반도체 칩(5c, 5d)이 탑재되어 있다. 다이패드(7a3)의 1개의 각부(角部)에는 위치 결정용의 테이퍼 TR1(index mark)이 형성되어 있다. 이 테이퍼 TR1은, 예컨대 패키지(6)를 출하할 때의 대향이나 패키지(6)에 상표 등을 표시할 때에 패키지(6)의 주이면의 구별을 행할 때에 사용되는 것으로, 예컨대 에칭에 의해 형성되어 있다. 파워 MOS(Q1, Q2)가 형성된 반도체 칩(5a, 5b)을 탑재하는 다이패드(7a1, 7a2)는, 제1, 제2 전원단자로부터 전류(I1, I2)가 공급되는 부분이기 때문에, 테이퍼 TR1을 형성하면 외형 치수가 작아져 전류 특성에 영향을 미칠 우려가 있다. 이것에 대하여, 다이패드(7a3)에는 다이내믹한 전류가 흐르지 않고, 전위는 고정되어 있기 때문에, 전류 특성을 그다지 마음대로 할 필요가 없으므로, 위치 결정용의 테이퍼 TR1은 다이패드(7a3)의 일부에 형성하는 것이 바람직하다.

또, 이 구조에서는 다이패드(7a1~7a3)의 이면(반도체 칩(5a, 5b, 5c)이 탑재된 면의 반대측의 면)도, 리드(7b)의 이면(배선 기관의 단자와 접합되는 접합면)도, 패키지(6)의 탑재면(패키지(6)을 배선 기관에 탑재할 때 배선 기관에 대향하는 면)에 존재한다.

다음에, 도 15는 패키지(6)의 내부를 투시해 본 때의 패키지(6)의 주면측의 전체 평면도, 도 16은 도 15의 Y1-Y1선의 단면도, 도 17은 도 15의 X1-X1선의 단면도를 각각 나타내고 있다. 또, 도 15는 평면도이지만, 도면을 보기 쉽게 하기 위해서, 다이패드(7a1~7a3), 리드(7b) 및 배선부(7c)에 해칭을 붙였다.

패키지(6)내에는, 상기한 3개의 다이패드(7a1~7a3)(제1~제3칩 탑재부)와, 그 다이패드(7a1~7a3) 위에 후술과 같이 탑재된 복수의 반도체 칩(5a~5d)과, 반도체 칩(5a~5d)의 본딩패드(이하, 단지 패드라고 한다)(BP1~BP11)를 각 부(部)에 전기적으로 접속하는 본딩와이어(이하, 단지 와이어라고 한다)(WA1~WA3, WB1~WB6)가 밀봉되어 있다.

다이패드(7a1~7a3)는, 서로 소정의 간격을 갖고 분리된 상태에서 인접해서 배치되어 있다. 반도체 칩(5a~5c)의 동작시에 발생할 열은, 주로 반도체 칩(5a~5c)의 이면으로부터 다이패드(7a1~7a3)를 통해서 그 이면측으로부터 외부로 방열되도록 되어 있다. 이 때문에, 각각의 다이패드(7a1~7a3)는, 반도체 칩(5a~5c)의 면적보다도 크게 형성되어 있다. 이것에 의해, 비절연형 DC-DC 컨버터(1)의 방열성을 향상시킬 수 있어, 동작 안정성을 향상시킬 수 있다. 다이패드(7a1~7a3)

및 리드(7b)의 이면측의 외주 일부는, 그 두께가 얇아지도록 하프 에칭영역이 형성되어 있다. 이것은, 다이패드(7a1~7a3) 및 리드(7b)와 수지밀봉체(MB)와의 밀착성을 향상시켜 다이패드(7a1~7a3) 및 리드(7b)의 박리나 변형 불량을 저감 또는 방지하기 위함이다.

도 15의 좌상의 다이패드(7a1) 위에는, 상기 하이사이드 스위치용의 파워 MOS(Q1)가 형성된 반도체 칩(5a)이 그 주면을 위에 향한 상태로 배치되어 있다. 이 반도체 칩(5a)의 주면에는, 파워 MOS(Q1)의 소스 전극용의 패드(BP1) 및 게이트 전극용의 패드(BP2)가 배치되어 있다. 이 소스 전극용의 패드(BP1)는, 복수개의 와이어(WA1)를 통해서 다이패드(7a2)와 전기적으로 접속되어 있는 동시에, 복수개의 와이어(WB1)를 통해서 반도체 칩(5c)의 드라이버 회로(3a)의 소스 전극용의 패드(BP3)와 전기적으로 접속되어 있다. 또한, 상기 게이트 전극용의 패드(BP2)는, 복수개의 와이어(WB2)를 통해서 반도체 칩(5c)의 드라이버 회로(3a)의 출력(드레인)전극용의 패드(BP4)와 전기적으로 접속되어 있다. 또, 반도체 칩(5a)의 이면은 파워 MOS(Q1)의 드레인과 접속되는 드레인 전극으로 되어 있고, 다이패드(7a1)를 통해서 다이패드(7a1)의 외주에 일체적으로 형성된 복수의 리드 7b1(7b)와 전기적으로 접속되어 있다. 이 리드(7b1)는 상기 단자(ET1)와 전기적으로 접속된다. 또, 와이어(WA1)는, 제1방향(X)에 인접하는 와이어(WA1)가 상하의 패드(BP1)에 교대로 접속되도록, 지그재그 배치되어 있다.

하이사이드 스위치용의 파워 MOS(Q1)가 형성된 반도체 칩(5a)은, 도 15의 제1방향(X)의 길이가, 이것에 직교하는 제2방향(Y)의 길이보다도 긴 직사각형으로 형성되어 있다. 이 반도체 칩(5a)은, 다이패드(7a1)의 중앙으로부터 다이패드(7a2)에 접근하는 것처럼 어긋나서 배치되어 있다. 즉, 반도체 칩(5a)은, 다이패드(7a2)의 한변에 인접하는 다이패드(7a1)의 한변에 붙여져 배치되어 있다. 이와 같이, 반도체 칩(5a)을 다이패드(7a2)에 붙여져 배치하는 것에 의해, 파워 MOS(Q1)의 소스 전극용의 패드(BP1)와 다이패드(7a2)를 전기적으로 접속하는 와이어(WA1)의 길이를 짧게 할 수 있으므로, 파워 MOS(Q1)의 소스와, 파워 MOS(Q2)의 드레인과 사이의 기생 인덕턴스(LsH)를 저감할 수 있다. 또한, 반도체 칩(5a)은, 그 장변이 다이패드(7a2)의 인접 장변에 따르도록 배치되어 있다. 이것에 의해, 반도체 칩(5a)의 소스 전극용의 패드(BP1)와 다이패드(7a2)의 대향 길이를 확보할 수 있으므로, 상기 와이어(WA1)를 복수개 배치함으로써, 파워 MOS(Q1)의 소스와, 파워 MOS(Q2)의 드레인과 사이의 인덕턴스(LsH)를 저감할 수 있다. 또한, 반도체 칩(5a)을 직사각형으로 형성한 것에 의해, 도 15의 제2방향(Y)으로 연재하는 폴리실리컨으로 형성된 게이트 배선 패턴의 길이를 짧게 할 수 있으므로, 파워 MOS(Q1)의 게이트 저항을 저감할 수 있다. 또, 반도체 칩(5a)은, 반도체 칩(5a, 5c) 사이의 거리가, 반도체 칩(5a, 5b)사이의 거리보다도 짧아지도록, 특히 반도체 칩(5a)의 게이트 전극용의 패드(BP2)와, 반도체 칩(5c)의 출력 전극용의 패드(BP4)와의 거리가 가까워지도록 배치되어 있다. 이것은, 하이사이드 스위치용의 파워 MOS(Q1)에서는, 그 게이트의 인덕턴스의 증대가 스위칭 손실의 증대에 크게 영향을 미치는 것을 고려한 구성이며, 반도체 칩(5a)을 반도체 칩(5c)에 가깝게 배치하는 것에 의해, 파워 MOS(Q1)의 게이트 전극용의 패드(BP2)와, 드라이버 회로(3a)의 출력 전극용의 패드(BP4)를 전기적으로 접속하는 와이어(WB2)의 길이를 짧게 할 수 있으므로, 파워 MOS(Q1)의 게이트에 기생하는 인덕턴스(LgH)를 저감할 수 있어, 파워 MOS(Q1)의 스위칭 손실을 저감할 수 있다. 이상과 같은 반도체 칩(5a)의 배치에 의해 파워 MOS(Q1)의 스위칭 손실을 저감할 수 있고, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 향상시킬 수 있다.

또한, 반도체 칩(5a)의 소스 전극용의 패드(BP1)에는, 2종류의 와이어(WA1, WB1)가 전기적으로 접속되어 있다. 즉, 반도체 칩(5a)의 소스 전극용의 패드(BP1)와 전기적으로 접속되는 와이어를, 다이패드(7a2)와 접속되는 와이어(WA1)와 드라이버 회로(3a)의 소스에 접속되는 와이어(WB1)로 나누고 있다. 이것에 의해, 파워 MOS(Q1)의 소스로부터, 다이패드(7a2)를 통해서 출력단자에 흐르는 전류(I1)와, 드라이버 회로(3a)를 향해서 흐르는 전류와의 경로를 분산할 수 있기 때문에, 각각의 와이어(WA1, WB1)에 생기는 전류부하를 저감할 수 있다. 이 때문에, 파워 MOS(Q1)와 드라이버 회로(3a)와의 사이에 생기는 기생 인덕턴스를 저감할 수 있으므로, 스위칭 손실을 더 개선할 수 있다.

또한, 상기 와이어(WA1, WB1, WB2)는 모두, 예컨대 금(Au)으로 이루어지지만, 와이어(WA1)는, 와이어(WB1, WB2)보다도 굵은 것이 사용되고 있다. 이것에 의해, 파워 MOS(Q1)의 소스측의 배선 인덕턴스를 저감할 수 있으므로, 비절연형 DC-DC 컨버터(1)의 스위칭 손실을 저감할 수 있어, 전압변환 효율을 향상시킬 수 있다.

도 15의 하측의 최대 대면적의 다이패드(7a2) 위에는, 상기 로사이드 스위치용의 파워 MOS(Q2)가 형성된 반도체 칩(5b)과, 상기 쇼트키 배리어 다이오드(D1)가 형성된 반도체 칩(5d)이 그 주면을 위에 향한 상태로 배치되어 있다. 반도체 칩(5b)의 주면에는, 파워 MOS(Q2)의 소스 전극용의 패드(BP5a, BP5b) 및 게이트 전극용의 패드(BP6)가 배치되어 있다. 이 소스 전극용의 패드(BP5a)는, 복수개의 와이어(WA2)를 통해서 리드(7b2(7b))와 전기적으로 접속되고, 패드(BP5b)는, 복수개의 와이어(WB3)를 통해서 반도체 칩(5c)의 드라이버 회로(3b)의 소스 전극용의 패드(BP7)와 전기적으로 접속되어 있다. 또한, 상기 게이트 전극용의 패드(BP6)는, 복수개의 와이어(WB4)를 통해서 반도체 칩(5c)의 드라이버 회로(3b)의 출력(드레인) 전극용의 패드(BP8)와 전기적으로 접속되어 있다. 또, 반도체 칩(5b)의 이면은 파워 MOS(Q2)의 드레인 전극으로 되어 있고, 다이패드(7a2)를 통해서 다이패드(7a2)의 외주에 일체적으로 형성된 복수의 리드(7b3(7b))와 전기적으로 접속되어 있다. 이 리드(7b3)는 출력용의 상기 단자(ET5)와 전기적으로 접속된다. 한편, 반도체 칩(5d)의 주면에

는, 쇼트키 배리어 다이오드(D1)의 애노드 전극용의 패드(와이어가 접속되는 영역)(BP9)이 배치되어 있다. 이 애노드 전극용의 패드(BP9)는, 복수개의 와이어(WA3)를 통하여 반도체 칩(5b)의 소스 전극용의 패드(BP5a)와 전기적으로 접속되어 있다. 반도체 칩(5d)의 이면은, 쇼트키 배리어 다이오드(D1)의 캐소드 전극으로 되어 있고, 다이패드(7a2)를 통해서 리드(7b3)와 전기적으로 접속되어 있다.

로사이드 스위치용의 파워 MOS(Q2)가 형성된 반도체 칩(5b)은, 도 15의 제1방향(X)의 길이가, 제2방향(Y)의 길이보다도 긴 직사각형으로 형성되어 있다. 이 반도체 칩(5b)은, 반도체 칩(5a)과 부합하도록 배치되어 있지만, 반도체 칩(5b)으로부터 이간되어, 리드(7b2)에 가깝도록 다이패드(7a2)의 중앙으로부터 어긋나서 배치되어 있다. 즉, 반도체 칩(5b)은, 출력용의 단자(ET5)가 접속되는 리드(7b3)보다도, 기준전위(GND)가 공급되는 단자(ET4)가 접속되는 리드(7b2)에 근접하는 다이패드(7a2)의 각부(도 15의 좌측 각부)에 붙여져 배치되어 있다. 그리고, 반도체 칩(5b)의 제2방향(Y)의 길이는, 복수의 리드(7b2)가 접속된 프레임부의 제2방향(Y)의 길이와 거의 같고, 또한, 반도체 칩(5b)의 제1방향(X)의 길이는, 복수의 리드(7b2)가 접속된 프레임부의 제1방향(X)의 길이와 거의 같아지도록 되어 있다. 이와 같은 구성으로 하는 것에 의해, 파워 MOS(Q2)의 소스 전극용의 패드(BP5a)와 리드(7b2)를 전기적으로 접속하는 와이어(WA2)의 길이를 짧게 할 수 있다. 또한, 반도체 칩(5a)의 서로 교차하는 장변과 단변의 2변이, 복수의 리드(7b2)의 배치 형상(평면 L자모양)에 따르도록 배치되고, 특히 파워 MOS(Q2)의 소스 전극용의 패드(BP5a)가, 복수의 리드(7b2)의 배치 형상에 따라 연장되는 형상으로 되어 있다. 이것에 의해, 패드(5a)와 복수의 리드(7b2)의 일군(一群)과의 대향 길이를 길게 확보할 수 있으므로, 상기 와이어(WA2)를 복수개 배치할 수 있다. 또, 복수의 리드(7b)는, 다이패드(7a3)의 서로 직교하는 2개의 변에 따라 배치되고, 또한, 그 2개의 변에 따라 연기되는 평면 L자 모양의 배선부(7c)에 접속되어 있다. 이와 같이 복수의 리드(7b)를 배선부(7c)에 붙여서 접속한 것에 의해, 복수의 리드(7b)가 분할되어 있는 것 보다도 체적이 증가하기 때문에, 배선 저항을 저감할 수 있고, 기준전위(GND)를 강화할 수 있다. 이와 같은 구성은, 로사이드 스위치용의 파워 MOS(Q2)의 소스측의 온저항의 증대가 스위칭 손실의 증대에 크게 영향을 미치는 것을 고려한 구성이며, 상기와 같은 구성으로 하는 것에 의해, 파워 MOS(Q2)의 소스측의 온저항을 저감할 수 있으므로, 파워 MOS(Q2)의 도통손실을 저감할 수 있다. 또한, 와이어(WA2)에 생기는 기생 임피던스의 변동을 저감할 수 있으므로, 와이어(WA2)에 흐르는 전류 크기의 변동도 저감할 수 있다. 이들에 의해, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 향상시킬 수 있다. 또한, 기준전위(GND)의 강화가 가능해지고, 비절연형 DC-DC 컨버터(1)의 동작 안정성을 향상시킬 수 있다.

또한, 상기와 같이 로사이드 스위치용의 파워 MOS(Q2)는 동작시의 발열량이 가장 높으므로, 최대 면적의 큰 다이패드(7a2)에 탑재되어 있다. 이것에 의해, 파워 MOS(Q2)에서 발생한 열의 방산성을 향상시킬 수 있으므로, 비절연형 DC-DC 컨버터(1)의 동작 안정성을 향상시킬 수 있다.

쇼트키 배리어 다이오드(D1)가 형성된 반도체 칩(5d)은, 가장 칩 사이즈가 큰 반도체 칩(5b)이 탑재된 다이패드(7a2)에 탑재되어 있다. 이것은 다음과 같은 이유 때문이다. 우선, 쇼트키 배리어 다이오드(D1)를 대면적의 다이패드(7a2)에 탑재하는 것에 의해, 쇼트키 배리어 다이오드(D1)의 캐소드 전극이 대면적의 다이패드(7a2)을 통해서 출력 배선이나 파워 MOS(Q1)의 드레인 전극과 전기적으로 접속되게 되므로, 상기 캐소드에 기생하는 인덕턴스(Lk)를 대폭 저감할 수 있다. 또한, 쇼트키 배리어 다이오드(D1)가 형성된 반도체 칩(5d)을 파워 MOS(Q2)가 형성된 반도체 칩(5b)에 가깝게 배치할 수 있으므로, 쇼트키 배리어 다이오드(D1)의 애노드 전극용의 패드(BP9)와 파워 MOS(Q2)의 소스 전극용의 패드(BP5a)를 전기적으로 접속하는 와이어(WA3)의 길이를 짧게 할 수 있어, 애노드에 기생하는 인덕턴스(La)를 저감할 수 있다. 또한, 쇼트키 배리어 다이오드(D1)의 애노드 전극용의 패드(BP9)는, 파워 MOS(Q2)의 소스 전극용의 패드(BP5a)를 따라 연장되는 형상으로 되어 있다. 이것에 의해, 패드(BP9)와 패드(BP5a)의 대향 길이를 길게 확보할 수 있으므로, 상기 와이어(WA3)를 복수개 배치할 수 있다. 더구나, 반도체 칩(5d)을 반도체 칩(5b)의 단변에 따라 배치하고 있으므로, 반도체 칩(5d)을 반도체 칩(5b)이 배치된 다이패드(7a2)에 배치한 후에 반도체 칩(5b)의 로사이드 스위치용의 파워 MOS(Q2)의 소스 전극용의 패드(BP5a)와 리드(7b2)를 전기적으로 접속하는 와이어(WA2)의 개수를 줄이는 일도 없으므로, 파워 MOS(Q2)의 온저항을 저감시키는 일도 없다. 이상과 같은 구성으로 하는 것에 의해, 인덕턴스(La, Lk)를 저감할 수 있으므로, 상기한 바와 같이 쇼트키 배리어 다이오드(D1)의 효과를 충분히 발휘할 수 있고, 다이오드 도통손실 및 역회복시간(trr)의 고속화에 의한 다이오드 리커버리 손실을 저감할 수 있어, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 향상시킬 수 있다. 또한, 인덕턴스(La, Lk)를 저감할 수 있으므로, 노이즈를 저감할 수도 있다.

또한, 반도체 칩(5d)의 애노드 전극용의 패드(BP9)와 반도체 칩(5b)의 패드(BP5a)를 와이어(WA3)에 의해 전기적으로 접속하는 것에 의해, 발열량의 높은 파워 MOS(Q2)로 발생한 열을, 그다지 발열하지 않는 쇼트키 배리어 다이오드(D1)측에 분산시킬 수 있다. 이것에 의해, 비절연형 DC-DC 컨버터(1)의 전압변환 효율 및 동작 안정성을 향상시킬 수 있다.

또, 반도체 칩(5d)의 애노드 전극용의 패드(BP9)는, 그 면적이 반도체 칩(5d)의 주면의 패드(BP9)의 주면의 절연막으로 덮여진 영역의 면적보다도 작아지도록 형성되어 있다. 즉, 수지밀봉체(MB)와의 밀착성의 낮은 메탈로 형성된 패드(BP9)의 면적을 와이어(WA3)의 접속에 필요한 최저한의 영역으로 하는 것에 의해, 수지밀봉체(MB)의 밀착성을 향상시킬 수 있다.

또한, 상기 와이어(WA2, WA3, WB3, WB4)는, 모두, 예컨대 금(Au)으로 이루어지지만, 와이어(WA2, WA3)는, 와이어(WB3, WB4)보다도 굵은 것이 사용되고 있다. 파워 MOS(Q2)의 소스에 전기적으로 접속되는 와이어로서 굵은 와이어(WA2)를 사용하는 것에 의해, 파워 MOS(Q2)의 소스측의 배선 저항을 저감할 수 있으므로, 파워 MOS(Q2)의 온저항을 저감할 수 있어, 전압변환 효율을 향상시킬 수 있다. 또한, 쇼트키 배리어 다이오드(D1)의 애노드에 전기적으로 접속되는 와이어로서 굵은 와이어(WA3)를 사용하는 것에 의해, 쇼트키 배리어 다이오드(D1)의 애노드측의 배선 저항을 저감할 수 있으므로, 비절연형 DC-DC 컨버터(1)의 손실을 저감할 수 있어, 전압변환 효율을 향상시킬 수 있다.

또 도 15의 우상(右上)의 가장 적은 면적의 다이패드(7a3)에는, 상기 드라이버 회로(3a, 3b)가 형성된 반도체 칩(5c)이 그 주면을 위에 향한 상태로 배치되어 있다. 이 반도체 칩(5c)의 주면에는, 상기의 패드(BP3, BP4, BP7, BP8) 이외에, 드라이버 회로(3a, 3b)의 각각의 신호입력(게이트) 전극용의 패드(BP10) 및 소스 전극용의 패드(BP11)가 배치되어 있다. 이 게이트 전극용의 패드(BP10)는, 복수개의 와이어(WB5)를 통해서 리드(7b4(7b))와 전기적으로 접속되어 있다. 소스 전극용의 패드(BP11)는, 복수개의 와이어(WB6)를 통해서, 다이패드(7a3)와 일체로 형성된 리드(7b5(7b))와 전기적으로 접속되어 있다.

이 드라이버 회로(3a, 3b)가 형성된 반도체 칩(5c)도 평면 사각형상으로 형성되어 있고, 파워 MOS(Q1, Q2)와 접속되는 패드(BP3, BP4, BP7, BP8)가, 반도체 칩(5c)의 주면에 있어서, 반도체 칩(5a, 5b)의 각각과 인접하는 측의 2면을 따라 배치되어 있다. 이것에 의해, 와이어(WB1, WB2, WB3, WB4)의 길이를 더 짧게 할 수 있으므로, 배선 경로에 생기는 기생 인덕턴스(LgH, LsH, LgL, LsL)를 더 저감할 수 있다. 또한, 상기와 같이, 반도체 칩(5a)에서는, 온저항보다도 스위칭 손실을 저감하고 싶기 때문에, 상기와 같이 반도체 칩(5c)과 반도체 칩(5a)의 거리가 반도체 칩(5c)과 반도체 칩(5b)의 거리보다도 가깝게 되도록 배치하고 있는 점에 부가하여, 상기 와이어(WB1, WB2, WB3, WB4)에 관해서도, 파워 MOS(Q1)의 소스, 게이트와 각각 전기적으로 접속되는 와이어(WB1, WB2)는, 파워 MOS(Q2)의 소스, 게이트와 각각 전기적으로 접속되는 와이어(WB3, WB4)보다도 짧게 형성되어 있다.

상기 반도체 칩(5a~5c)은, 각각 특성의 차이 때문에 외형 사이즈(면적)는 다르고, 반도체 칩(5a)의 외형 사이즈는 반도체 칩(5c)의 외형 사이즈보다도 크게 형성되며, 반도체 칩(5b)의 외형 사이즈는 반도체 칩(5a)의 외형 사이즈보다도 크게 형성되어 있다. 드라이버 회로(3a, 3b)를 갖는 반도체 칩(5c)은, 파워 MOS(Q1, Q2)의 게이트를 제어하는 제어회로이기 때문에, 패키지 전체의 사이즈를 고려하여, 가능한 한 소자의 외형 사이즈를 작게 하고 싶다. 이것에 대하여, 파워 MOS(Q1, Q2)에는, 전류(I1, I2)가 흐르기 때문에, 트랜지스터 내에 생기는 온저항을 가능한 한 저감하고 싶다. 온저항을 저감하기 위해서는, 단위 셀 면적당 채널 폭을 넓히는 것으로 실현된다. 이 때문에, 반도체 칩(5a, 5b)의 외형 사이즈는, 반도체 칩(5c)의 외형 사이즈보다도 크게 형성하고 있다. 또, 도 3에 나타내는 바와 같이, 로사이드 스위치용의 파워 MOS(Q2)는, 하이사이드 스위치용의 파워 MOS(Q1)보다도 온 시간이 길기 때문에, 파워 MOS(Q2)의 온저항은, 파워 MOS(Q1)의 온저항보다도 더 저감할 필요가 있다. 이 때문에, 반도체 칩(5b)의 외형 사이즈는, 반도체 칩(5a)의 외형 사이즈보다도 크게 형성하고 있다.

또, 상기 와이어(WA1~WA3, WB1~WB6)는, 예컨대 초음파 열압착 본딩법에 의해 접속되지만, 다이패드(7a1~7a3)나 리드(7b)의 와이어 본딩부에 초음파 에너지가 능숙하게 전달되지 않으면 본딩 불량에 될 우려가 있기 때문에, 상기 하프에 칩영역을 피해서 와이어 본딩되고 있다. 이것에 의해, 본딩 불량을 저감 또는 방지 할 수 있다.

또한, 반도체 칩(5c)에 접속되는 와이어(WB1~WB6)에 가는 와이어가 사용되고 있는 이유는, 굵은 와이어를 사용하면 필연적으로 패드(BP3, BP4, BP7, BP8, BP10, BP11) 등도 크게 하지 않으면 안되고, 칩 사이즈가 증대하여, 코스트가 높아지기 때문이다.

다음에, 도 18은 상기 반도체 칩(5a)의 확대 평면도, 도 19는 도 18의 X2-X2선의 단면도, 도 20은 반도체 칩(5a)의 요부 단면도, 도 21은 도 18의 Y2-Y2선의 단면도를 나타내고 있다.

반도체 칩(5a)은 반도체 기판(9), 이 반도체 기판(9)의 주면(패드(BP1, BP2)의 형성면측)에 형성된 복수의 트랜지스터 소자, 반도체 기판(9)의 주면상에 있어서 절연층(10) 및 배선층(11a, 11b)의 각각을 복수단 적층한 다층 배선층, 이 배선층(11)을 덮도록 해서 형성된 표면보호막(최종보호 막)(12) 등을 갖고 있다. 반도체 기판(9)은, 예컨대 n+ 형의 실리콘(Si) 단

결정으로 이루어진다. 절연층(10)은, 예컨대 산화실리콘(SiO<sub>2</sub>)막으로 이루어진다. 배선층(11a, 11b)은, 예컨대 알루미늄(Al)과 같은 금속재료로 이루어지고, 여기에서는 최상의 배선층이다. 표면보호막(12)은, 예컨대 산화실리콘막, 질화실리콘(Si<sub>3</sub>N<sub>4</sub>)막 또는 그것들의 적층막 위에 폴리이미드막(PiQ)과 같은 유기막이 적층되게 된다.

반도체 칩(5a)은, 서로 반대측에 위치하는 주면(회로 형성면)(5ax) 및 이면(이면 전극 형성면)(5ay)을 갖고 있다. 반도체 칩(5a)의 주면(5ax)측에는 집적회로 및 패드(BP1, BP2)가 형성되고, 이면(5ay)에는 드레인 영역(DR)과 전기적으로 접속된 드레인 전극(13)이 형성되어 있다. 집적회로는, 주로, 반도체 기판(9)의 주면(5ax)에 형성된 트랜지스터 소자 및 배선층(11a, 11b)에 의해 구성되어 있다. 드레인 전극(13)은, 예컨대 금(Au) 등의 금속이 증착되어 형성되어 있고, 상기와 같이 다이패드(7a2)와 접속된다. 표면보호막(12)에는, 배선층(11a, 11b)의 일부가 노출되는 것처럼 개구부(14)가 형성되어 있다. 그 개구부(14)로부터 노출된 배선층(11a, 11b)의 부분이 상기 파워 MOS(Q1)의 소스 전극용의 패드(BP1) 및 게이트 전극용의 패드(BP2)로 되어 있다.

소스 전극용의 패드(BP1)는, 반도체 칩(5a)의 폭 방향에 2개 형성되어 있고, 각각의 패드(BP2)는 서로 대향하도록 반도체 칩(5a)의 길이방향(제1방향(X))에 따라 연재된 상태로 형성되어 있다. 게이트 전극용의 패드(BP2)는, 반도체 칩(5)의 한쪽의 단면 근방에 배치되어 있다. 게이트 전극용의 패드(BP3)의 평면 형상은, 예컨대 정방형이며, 그 평면치수는, 예컨대 280 $\mu$ m $\times$ 280 $\mu$ m 정도이다. 게이트 전극용의 패드(BP2)가 형성되는 배선층(11b)은, 그것과 일체적으로 형성된 배선부(11b1, 11b2)를 갖고 있다. 배선부(11b1)는, 패드(BP2)로부터 반도체 칩(5)의 길이방향에 따라 연장되는 패턴이며, 상기 2개의 패드(BP1)의 사이에 배치되어 있다. 한쪽의 배선부(11b2)는, 반도체 칩(5)의 외주에 따라 연장되는 패턴이며, 2개의 패드(BP1)를 둘러싸도록 배치되어 있다. 배선부(11b1, 11b2)의 폭은, 예컨대 25 $\mu$ m 정도이다. 이와 같은 구성으로 하는 것에 의해, 소스 전극용의 패드(BP1)를 상기 다이패드(7a2)에 모으고, 또한, 한쌍의 장면에 따르도록 배치 할 수 있다. 이것에 의해, 소스 전극용의 패드(BP1)와 다이패드(7a2)를 전기적으로 접속하는 와이어(WA1)의 길이를 짧게 할 수 있는데 더하여, 보다 많은 와이어(WA1)를 열거하여 배치할 수 있기 때문에, 기생 인덕턴스(LsH)를 저감할 수 있다. 또한, 게이트 전극용의 배선부(11b1)에 있어서, 반도체 칩(5a)의 한쪽의 단부(패드(BP2)와 접속하고 있는 변과 반대측의 단부)는, 배선(11b2)의 일부와 연결되지 않도록 형성함으로써 파워 MOS(Q1)의 소스 영역(SR1)을 분리하지 않고 형성할 수 있다. 즉, 소스 영역(SR1)을 분리하지 않고 형성함으로써 온저항을 저감할 수 있다.

상기 반도체 기판(9)의 주면에는, 예컨대 n형의 실리콘 단결정으로 이루어지는 에피택셜층(14ep)이 형성되어 있다. 이 에피택셜층(14ep)에는, n-형의 반도체영역(15n1)과, 그 위의 p형의 반도체영역(15p1)과, 그 위의 n+ 형의 반도체영역(15n2)과, 반도체 기판(9)의 주면에서 상기 p형의 반도체영역(15p1)에 접속되도록 연장되는 p+ 형의 반도체영역(15p2)이 형성되어 있다. 그리고, 이와 같은 반도체 기판(9) 및 에피택셜층(14ep)에는, 예컨대 트렌치 게이트 구조의 n채널형의 중형 파워 MOS(Q1)가 형성되어 있다.

파워 MOS(Q1)는, 소스 영역(SR1)로서의 기능을 가지는 상기 n+ 형의 반도체영역(15n2)과, 드레인 영역(DR1)로서의 기능을 가지는 상기 n-형의 반도체영역(15n1)과, 채널 형성영역(CH1)로서의 기능을 가지는 상기 p형의 반도체영역(15p)과, 에피택셜층(14ep)의 두께 방향으로 파여진 홈(16)의 내벽면에 형성된 게이트 절연막(17)과, 홈(16)내에 게이트 절연막(17)을 통해서 매립된 게이트 전극(G1)을 갖고 있다. 게이트 전극(G1)은, 예컨대 저저항 다결정 실리콘으로 형성된다. 이와 같은 트렌치 게이트 구조로 하는 것에 의해, 파워 MOS(Q1)의 단위영역의 미세화 및 고집적화가 가능해지고 있다.

각 셀의 게이트 전극(G1)은, 이것과 일체로 형성된 다결정 실리콘으로부터 되는 게이트 배선(GL)을 통해서 필드 절연막(FLD) 위에 인출되고, 콘택트 홀(18)을 통해서 상기 배선층(11b)과 전기적으로 접속되어 있다. 게이트 전극(G1) 및 게이트 배선(GL) 표면은 상기 절연층(캡 절연층)(10)으로 덮여져 있고, 배선층(11a)과의 절연이 도모되고 있다. 배선층(11a)은, 소스용의 n+ 형의 반도체영역(15n2) 이외에, p+ 형의 반도체영역(15p2)을 통해서 채널 형성용의 p형의 반도체영역(15p1)과도 전기적으로 접속되어 있다. 파워 MOS(Q1)의 동작시의 상기 전류(I1)는, 소스 영역(SR1)과 드레인 영역(DR1)과의 사이를 홈(16)의 깊이 방향에 따라(드리프트층의 두께 방향으로 흐른다), 또 게이트 절연막(17)의 측면을 따라 흐른다. 이와 같은 중형의 파워 MOS(Q1)는, 채널이 반도체 기판의 주면에 대하여 수평한 방향으로 형성되는 횡형의 전계효과 트랜지스터보다, 단위 셀 면적당 게이트 면적이 크고, 또 게이트 전극(G1)과 드레인의 드리프트층과의 접합면적이 크기 때문에, 게이트-드레인간의 기생용량이 커지는 반면, 단위 셀 면적당 채널 폭을 크게 할 수 있어, 온저항을 작게 할 수 있다. 또, PWL은 p-형의 웰이다.

다음에, 로사이드 스위치용의 파워 MOS(Q2)가 형성된 반도체 칩(5b)의 소자구성에 대해서는, 반도체 칩(5a)과 거의 같기 때문에 생략한다. 단지, 로사이드 스위치용의 파워 MOS(Q2)의 문턱치전압은 하이사이드 스위치용의 파워 MOS(Q1)의 문턱치 전압보다도 높은 값으로 제어한다. 이것은, 하이사이드 스위치용의 파워 MOS(Q1)로부터 로사이드 스위치용의 파워



MOS(Q2)로 스위치를 전환할 때, 전류(관통 전류)가 단자(ET1)로부터 단자(ET4)를 향해서 흘러버리는 현상(셀프·턴온)이 생기는 것을 억제하기 위한 구성이며, 상기와 같이 하는 것에 의해, 관통 전류의 경로를 억제 또는 차단 할 수 있으므로, 상기 셀프·턴온을 억제 또는 방지할 수 있다.

다음에, 제어용의 드라이버 회로(3a, 3b)가 형성된 반도체 칩(5c)에 대해서 설명한다. 반도체 칩(5c)의 회로 구성 및 디바이스 단면 구성은, 도 5 및 도 6에서 설명한 것과 같다. 드라이버 회로(3a)의 기본 구성 예를 도 22에 나타낸다. 또, 드라이버 회로(3b)의 디바이스 구성은, 드라이버 회로(3a)와 거의 같으므로, 드라이버 회로(3a)를 설명함으로써 드라이버 회로(3b)의 설명은 생략한다.

드라이버 회로(3a)는, n형의 웰(NWL1)에 형성된 P채널형의 횡형(채널이 반도체 기판(SUB)의 주면에 대하여 수평방향에 형성되는 타입)의 파워 MOS(Q3)와, p형의 웰(PWL1)에 형성된 n채널형의 횡형의 파워 MOS(Q4)를 갖고 있다. 파워 MOS(Q3)는, 소스 영역(SR3)과, 드레인 영역(DR3)과, 게이트 절연막(20p)과, 게이트 전극(G3)을 갖고 있다. 소스 영역(SR3) 및 드레인 영역(DR3)은, p-형의 반도체영역(21a)과, p+ 형의 반도체영역(21b)을 갖고 있다. 파워 MOS(Q4)는, 소스 영역(SR4)과, 드레인 영역(DR4)과, 게이트 절연막(20n)과, 게이트 영역(G4)을 갖고 있다. 소스 영역(SR4) 및 드레인 영역(DR4)은, n-형의 반도체영역(22a)과, n+ 형의 반도체영역(22b)을 갖고 있다. 또한, 드레인 영역(DR3, DR4)은, 출력용의 단자(ET7)에 접속되어, 출력용의 단자(ET7)를 통해서 하이사이드 스위치용의 파워 MOS(Q1)의 게이트와 전기적으로 접속된다. 또한, 소스 영역(SR4)은, 단자(ET8)에 접속되고, 이 단자(ET8)를 통해서 하이사이드 스위치용의 파워 MOS(Q1)의 소스와 전기적으로 접속된다.

다음에, 쇼트키 배리어 다이오드(D1)가 형성된 반도체 칩(5d)에 대해서 설명한다. 도 23은, 반도체 칩(5d)의 요부 단면도를 나타내고 있다. 도 23의 좌측은 소자영역(DR)을, 우측은 주변영역(PR)을 각각 나타내고 있다. 반도체 기판(23)은, 예컨대 n+ 형의 실리콘 단결정으로 이루어진다. 이 반도체 기판(23)의 주면 위에는, 예컨대 n형의 실리콘 단결정으로 이루어지는 에피택셜층(24)이 형성되어 있다. 그리고, 그 에피택셜층(24)의 주면 위에는 그것과 접촉하도록 배선층(25)이 형성되어 있다. 배선층(25)은, 예컨대 티타늄 텅스텐(TiW) 등과 같은 배리어 메탈층(25a)과 예컨대 알루미늄(A1) 등과 같은 메탈층(25b)을 하층으로부터 순차로 적층한 구성을 갖고 있다. 쇼트키 배리어 다이오드(D1)는, 소자영역(DR)에 있어서 상기 배리어 메탈층(25a)과 에피택셜층(24)과의 접촉부에 형성되어 있다. 소자영역(DR)의 외주 주변영역(PR)에는, 필드 절연막(FLD)이 형성되어 있다. 필드 절연막(FLD)의 소자영역(DR)측의 단부 하층에는, p형의 웰(PWL2)이 형성되어 있다. 또한, 필드 절연막(FLD) 위에는, 예컨대 PSG(Phospho Silicate Glass) 등과 같은 절연막(26)이 퇴적되어 있다. 배선층(25)은, 표면보호막(27)에 의해 덮여져 있다. 표면보호막(27)의 구성은, 상기 표면보호막(12)과 같다. 표면보호막(27)의 일부에는 개구부(28)가 형성되어 있고, 배선층(25)의 일부가 노출되어 있다. 그 배선층(25)의 노출 부분은, 상기한 패드(BP9)로 되어 있다. 한편, 반도체 기판(23)의 주면과는 반대측의 이면에는 캐소드 전극(29)이 형성되어 있다. 캐소드 전극(29)은, 예컨대 금(Au) 등이 증착법 등에 의해 피착되는 것으로 형성되어 있다.

다음에, 도 24는 상기 패키지(6)의 실장 상태의 일례의 평면도, 도 25는 도 24의 패키지(6)의 측면도를 각각 나타내고 있다. 또, 도 24에서는 배선 기판(30)의 배선의 모양을 알 수 있도록 패키지(6)를 투시해 보고 있다.

배선 기판(30)은, 예컨대 프린트 배선 기판으로 이루어지고, 그 주면에는, 패키지(6, 31, 32) 및 칩 부품(33, 34)이 탑재되어 있다. 패키지(31)에는 상기 제어회로(2)가 형성되고, 패키지(32)에는 상기 부하회로(4)가 형성되어 있다. 칩 부품(33)에는, 상기 코일(L1)이 형성되고, 칩 부품(34)에는 상기 콘덴서(C1)가 형성되어 있다. 패키지(31)의 리드(31a)는, 배선 기판(30)의 배선(30a)을 통해서 패키지(6)의 리드(7b(7b4))와 전기적으로 접속되어 있다. 패키지(6)의 리드(7b1)는, 배선 기판(30)의 배선(30b)과 전기적으로 접속되어 있다. 패키지(6)의 출력의 리드(출력단자)(7b3)는, 배선 기판(30)의 배선(출력 배선)(30c)을 통해서 칩 부품(33)의 코일(L1)의 일단에 전기적으로 접속되어 있다. 칩 부품(33)의 코일(L1)의 타단은, 배선 기판(30)의 배선(출력 배선)(30d)을 통해서 부하회로(4)와 전기적으로 접속되어 있다. 패키지(6)의 기준전위(GND)용의 리드(7b2)는, 배선 기판(30)의 배선(30e)을 통해서 복수의 칩 부품(34)의 콘덴서(C1)의 일단과 전기적으로 접속되어 있다. 칩 부품(34)의 콘덴서(C1)의 타단은, 배선 기판(30)의 배선(30d)을 통해서 부하회로(4)와 전기적으로 접속되어 있다.

다음에, 도 26은 본 실시형태 1의 패키지(6)를 포함하는 비절연형 DC-DC 컨버터(1)의 회로 시스템 구성의 일례를 나타내고 있다. 이 회로 시스템에서는, 1개의 부하회로(4)에 대하여 복수개의 패키지(6)가 병렬로 접속되어 있다. 입력 전원전위(Vin), 기준전위(GND) 및 제어회로(2)는 복수개의 패키지(6)에 공통으로 되어 있다. 이와 같은 회로 시스템에서는, 파워 MOS(Q1, Q2), 드라이버 회로(3a, 3b), 쇼트키 배리어 다이오드(D1)가 각각 개개로 패키징 되어 있는 구성(도 4 참조)이면, 시스템 전체의 소형화가 저해된다. 이것에 대하여, 본 실시형태 1에서는, 파워 MOS(Q1, Q2), 드라이버 회로(3a, 3b), 쇼트키 배리어 다이오드(D1)가 동일한 패키지(6)에 수용되어 있으므로, 시스템 전체를 소형으로 할 수 있다.

다음에, 본 실시형태 1의 패키지(6)의 조립 방법을 도 17의 조립 플로우도를 이용해서 설명한다.

우선, 4종류의 반도체 웨이퍼 및 다이싱 테이프를 준비한다(공정 100a, 100b). 4종류의 반도체 웨이퍼의 주면에는, 각각 반도체 칩(5a~5d)이 복수개 형성되어 있다. 계속해서, 각 반도체 웨이퍼의 이면에 다이싱 테이프를 붙이고, 다이싱 블레이드에 의해 각 반도체 웨이퍼로부터 각각 반도체 칩(5a~5d)을 절단 반출한다(공정 101, 102).

이어서, 리드 프레임 및 다이본드 페이스트를 준비한다(공정 103a, 103b). 도 28 및 도 29에 리드 프레임(7)의 단위영역의 요부 평면도의 일례를 나타낸다. 도 28은 리드 프레임(7)의 주면을 나타내고, 도 29는 리드 프레임(7)의 이면을 나타내고 있다. 리드 프레임(7)은, 도 28의 좌우 방향을 따라 연장되는 2개의 프레임 본체부(7f1)와, 2개의 프레임 본체부(2f1) 사이의 다리를 건너도록 프레임 본체부(7f1)에 대하여 직교하는 방향으로 연장되는 프레임 본체부(7f2)와, 프레임 본체부(7f1, 7f2)의 내주(內周)로부터 단위영역의 중앙을 향해서 연장되는 복수의 리드(7b)와, 이 복수의 리드(7b)와 일체로 성형되어 그 리드(7b)를 통해서 프레임 본체부(7f1, 7f2)에 지지되어 있는 3개의 다이패드(7a1~7a3) 및 L자 모양의 배선부(7c)를 갖고 있다. 리드(7b) 및 다이패드(7a1~7a3)의 이면측의 외주에는, 하프 에칭영역이 형성되어 있고, 다른 부분보다도 얇게 되어 있다. 또, 도 29에서는 도면을 보기 쉽게 하기 위해 상기 하프 에칭영역에 사선의 해칭을 붙였다. 또한, 다이본드 페이스트로서는, 예컨대 은(Ag) 페이스트를 이용하였다.

계속해서, 상기 리드 프레임(7)의 각 단위영역의 다이패드(7a1~7a3)의 주면 위에, 다이본드 페이스트를 통해서 상기 반도체 칩(5a~5d)을 탑재한 후, 열처리를 시행하여 다이본드 페이스트를 큐어하고, 도 30의 공정 S1에 나타내는 바와 같이, 반도체 칩(5a~5d)을 다이패드(7a1~7a3) 위에 고착한다(공정 104, 105). 작은 반도체 칩(5d, 5c, 5a, 5b)의 순서로 탑재함으로써 생산성의 향상을 도모할 수도 있다.

이어서, 2종류의 와이어(WA1~WA3, WB1~WB6)를 준비한다(공정 106a, 106b). 와이어(WA1~WA3, WB1~WB6)는, 모두 예컨대 금(Au)으로 이루어지지만, 와이어(WA1~WA3)는, 예컨대 50 $\mu$ m의 굵기의 굵은 와이어이며, 와이어(WB1~WB6)는, 예컨대 30 $\mu$ m 굵기의 가는 와이어이다. 계속해서, 2종류의 와이어(WA1~WA3, WB1~WB6)를 초음파 열압착법에 의해 본딩한다(공정 106). 여기에서, 굵은 와이어(WA1~WA3)의 본딩 처리에서는, 가는 와이어(WB1~WB6)의 본딩 처리시보다도 큰 하중을 필요로 하므로, 먼저 가는 와이어(WB1~WB6)를 본딩한 후에, 굵은 와이어(WA1~WA3)를 본딩하면 그때의 큰 하중에 의해 가는 와이어(WB1~WB6)가 단선해버릴 우려가 있다. 특히 발명자의 검토에 의하면 다이패드(7a1~7a3)가 분리하고 있는 경우에 상기 와이어 단선불량이 발생하기 쉽다. 그래서, 본 실시형태 1의 와이어 본딩 공정에서는 도 30의 공정 S2, S3에서 나타내는 바와 같이, 굵은 와이어(WA1~WA3)의 본딩을 행한 후, 가는 와이어(WB1~WB6)의 본딩을 행한다. 이것에 의해, 가는 와이어(WB1~WB6)의 단선불량을 억제 또는 방지할 수 있다.

이어서, 밀봉용 수지 및 밀봉용 테이프를 준비한다(공정 107a, 107b). 계속해서, 트랜스퍼 몰드법에 의해 수지 밀봉(몰드) 공정을 행한다(공정 108). 트랜스퍼·몰딩법은, 포트, 런너, 수지주입 게이트 및 캐비티 등을 구비한 성형 금형(몰드 금형)을 사용하고, 포트로부터 런너 및 수지주입 게이트를 통과시켜서 캐비티의 내부에 열경화성 수지를 주입해서 수지밀봉체(MB)를 형성하는 방법이다. QFN형의 패키지(6)의 제조에 있어서는, 복수의 제품 형성영역(디바이스 형성영역, 제품 취득 영역)을 갖는 다수개 취득 리드 프레임을 사용하고, 각 제품 형성영역에 탑재된 반도체 칩을 각 제품 형성영역마다 수지 밀봉하는 개별방식의 트랜스퍼 몰드법이나, 각 제품 형성영역에 탑재된 반도체 칩을 일괄해서 수지 밀봉하는 일괄 방식의 트랜스퍼 몰드법이 채용되고 있다. 본 실시형태 1에서는, 예컨대 개별방식의 트랜스퍼 몰드법을 채용하고 있다.

이 수지 밀봉공정에서는, 예컨대 다음과 같이 한다. 우선, 수지 성형금형의 하형의 금형면 위에 밀봉용 테이프를 배치한 후, 그 밀봉용 테이프 위에 리드 프레임(7)을 배치하고, 복수의 리드(7b)의 일부 및 다이패드(7a1~7a3)의 이면이 밀봉용 테이프에 밀착하도록 수지 성형금형의 형 조임(클램프)을 행한다. 수지 밀봉공정 전에 리드 프레임(7)의 이면에 밀봉용 테이프를 붙여 두는 이유는, 본 실시형태 1과 같이 1개의 패키지(6) 내에 복수의 다이패드(7a1~7a3)를 가지는 구성의 것이지만 수지 밀봉공정에서는 도 28에 나타내는 3개의 다이패드(7a1~7a3)의 경계를 형성하는 슬릿의 교점부분(Z)에 있어서 수지 누설이 생기기 쉽고, 그 교점부분(Z)을 통해서 다이패드(7a1~7a3)의 이면(패키지(6)를 배선 기관에 실장할 때의 실장면)측으로 들어간 수지(수지 버)가 패키지(6)의 실장을 방해해서 실장 불량을 초래하는 것을 방지하기 위함이다. 본 실시형태 1에서는, 상기와 같은 수지 누설이 생기지 않도록, 밀봉공정에 앞서 3개의 다이패드의 이면측(3개의 다이패드의 경계를 형성하는 슬릿을 포함한다)에 밀봉용 테이프를 확실하게 붙여 상기 교점부분(Z)등으로부터 밀봉용 수지가 다이패드(7a1~7a3)의 이면으로 누설하지 않도록 하고 있다. 이것에 의해, 수지 버에 의한 패키지(6)의 실장 불량을 방지할 수 있다. 상기와 같이 밀봉용 테이프는 밀봉공정시에 다이패드(7a1~7a3) 등에 확실하게 접촉되어 있는 것이 바람직하므로, 그와 같은 관점으로부터 밀봉용 테이프의 점착강도는, 예컨대 0.5N 이상으로 높은 점성강도를 얻을 수 있는 것이 바람직하다. 한편, 최근에는, 예컨대 니켈(Ni)/팔라듐(Pd)/금(Au)플래시 도금이 시행된 리드 프레임(7)이 사용되고 있다. 이것은, Pd(팔라듐)도금제의 리드 프레임(7)의 경우, 패키지(6)를 배선 기관에 실장할 때에 납 프리 땀납의 사용을 실현하여 환경에 좋다

는 효과 이외에, 일반적인 리드 프레임에서는 와이어 본딩 때문에 리드 프레임의 와이어 본딩부에 미리 은(Ag) 페이스트를 도포해 두는 것이 필요한 것에 대해서 그러한 Ag 페이스트재가 도포되어 있지 않아도 와이어를 접속할 수 있는 등의 이점을 갖고 있기 때문이다. 그런데, Pd 도금제의 리드 프레임(7)의 경우라도 상기와 같은 수지 버에 의한 실장 불량량의 문제가 생기므로, 수지 버가 형성된 경우는, 수지 버를 세정처리 등에 의해 제거하는 것이 행해지지만, Pd 도금제의 리드 프레임(7)의 경우, 제조 공정을 삭감하기 위해서, 수지 밀봉공정의 전에 리드 프레임(7)에 도금처리를 실시하고 있기 때문에, 세정처리 등에 의해 이 수지 발리를 박리하고자 하면, 미리 도금한 Pd 도금막도 박리해버리기 때문에 문제이다. 즉, Pd도금제의 리드 프레임(7)을 사용할 수 없을 가능성이 있다. 이것에 대하여, 본 실시형태 1에서는, 상기와 같이 수지 버의 형성을 방지할 수 있고, 밀봉공정 후에 강한 세정처리를 행하지 않고 끝나므로, 상기와 같은 양호한 이점을 가지는 Pd 도금제의 리드 프레임(7)을 사용할 수 있다.

계속해서, 상(上)금형(cavity)내에 밀봉용 수지를 주입하고, 다이패드(7a1~7a3)의 일부와, 복수의 리드(7b)의 일부가 수지밀봉체(MB)(밀봉부재)로부터 노출하도록 반도체 칩(5a~5c) 및 복수의 와이어(WA1~WA3, WB1~WB6)를 수지 밀봉해서 수지밀봉체(MB)를 형성한다. 본 실시형태 1에서는, 상기와 같이, 다이패드(7a1~7a3) 및 리드(7b)의 이면의 주변부에 하프 에치영역을 형성하고 있다. 이와 같이, 하프 에치영역(경사의 해칭을 붙인 영역)을 형성함으로써 다이패드(7a1~7a3) 및 리드(7b)와 수지밀봉체(MB)와의 밀착력을 강하게 할 수 있다. 즉, 리드 빠짐을 억제 또는 방지할 수 있다. 특히 반도체장치의 경박 경화화의 요구에 따라 리드 프레임의 두께도 얇게 되어 가고 있는 것에 부가하여, 리드(7b)는 다른 부분에 비해서 가늘고, 더구나 그 선단이 다른 부분과 접속되지 않고 들떠 있는 상태이므로, 어떤 수단을 설비하지 않고 수지 밀봉하면 리드 부분이 변형 또는 박리해버릴 경우가 있다. 그래서, 리드(7b)의 선단측의 이면 외주부분도 하프 에치하고, 리드(7b)의 선단측의 이면 외주에 단차를 형성한다. 이것에 의해, 밀봉공정시에 밀봉용 수지가 그 하프 에치부분으로 흘러 들어가고, 하프 에치부분을 덮어, 리드(7b)의 선단측 외주부를 억제하게 되므로, 리드(7b)가 변형하거나 박리하거나 하는 것을 억제 또는 방지 할 수 있게 되어 있다.

상기와 같은 수지 밀봉공정 후, 주입한 밀봉용 수지를 경화해(레진 큐어 공정 108), 마크 공정(109) 행한 후에, 리드 프레임(7)으로부터 개개의 제품부분을 분할한다(공정110).

(실시형태 2)

도 31은 본 실시형태 2의 패키지(6)의 구성 예의 평면도, 도 32는 도 31의 금속판 배선을 제외하고 나타낸 패키지(6)의 구성 예의 평면도, 도 33은 도 31의 Y3-Y3선의 단면도, 도 34는 도 31의 X3-X3선의 단면도를 나타내고 있다. 또, 도 31 및 도 32에서도, 도면을 보기 쉽게 하기 위해서, 밀봉부재(MB)를 투시해 나타내는 동시에, 다이패드(7a1, 7a2), 리드(7b) 및 배선부(7c)에 해칭을 붙였다.

본 실시형태 2에서는, 패드와 각 부를 전기적으로 접속하는 배선의 일부가 와이어 대신에 금속판 배선(36)으로 되어 있다. 즉, 반도체 칩(5a)의 파워 MOS(Q1)의 소스 전극용의 패드(BP1)는, 1개의 금속판 배선(36)을 통해서, 다이패드(7a2)와 전기적으로 접속되어 있다. 또한, 반도체 칩(5b)의 파워 MOS(Q2)의 소스 전극용의 패드(BP5)는, 1개의 금속판 배선(36)을 통해서, 리드(7b2)(7b)와 전기적으로 접속되어 있다. 이 금속판 배선(36)은, 예컨대 동(Cu) 또는 알루미늄(A1) 등과 같은 금속으로 이루어지고, 범프 전극(37)을 통해서 패드(BP1, BP5)나 리드(7b)와 전기적으로 접속되어 있다. 범프 전극(37)은, 예컨대 납(Pb)/주석(Sn) 또는 금(Au) 등과 같은 금속으로 이루어진다. 범프 전극(37) 대신에 도전성 수지를 이용해도 된다. 금속판 배선(36)도 그 전체가 수지밀봉체(MB)에 의해 덮여져 있다.

이와 같이 본 실시형태 2에 의하면, 와이어 대신에 금속판 배선(36)을 이용한 것에 의해, 배선 경로에 기생하는 인덕턴스를 더 저감할 수 있으므로, 스위칭 손실을 더 저감할 수 있어, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 실시형태 1보다도 더 향상시킬 수 있다.

또한, 쇼트키 배리어 다이오드(D1)의 애노드 전극을 대면적의 금속판 배선(36)에서 기준전위(GND)에 전기적으로 접속하게 되므로, 애노드측의 배선 저항 및 애노드 전극측에 기생하는 인덕턴스(La)를 대폭 저감할 수 있다. 따라서, 상기 실시형태 1의 경우보다도 쇼트키 배리어 다이오드(D1)의 효과를 충분히 발휘할 수 있고, 다이오드 도통손실 및 역회복시간(trr)의 고속화에 의한 다이오드 리커버리 손실을 저감할 수 있으므로, 비절연형 DC-DC 컨버터(1)의 전압변환 효율을 더 향상시킬 수 있다. 또한, 인덕턴스(Lk, La)를 저감할 수 있으므로, 노이즈를 더 저감할 수도 있다.

여기에서, 배선 경로에 기생하는 인덕턴스에만 착안한 경우, 드라이버 회로(3a, 3b)의 복수의 패드(BP3, BP4, BP7, BP8, BP10, BP11)와 각 부를 전기적으로 접속하는 와이어(WB1~WB6)도 금속판 배선(36)으로 형성한 쪽이 바람직하다. 그러나, 드라이버 회로(3a, 3b)의 복수의 패드(BP3, BP4, BP7, BP8, BP10, BP11)의 개구부는, 예컨대 90 $\mu$ m로 좁고, 와이어(WB1~WB6) 대신에 금속판 배선(36)을 접속하는 것으로 되면 금속판 배선(36)도 폭의 좁은 것을 사용하지 않을 수 없고,

와이어와 비교해도 기생 인덕턴스를 저감하는데 충분한 효과를 얻을 수 없는 것이 예상된다. 또한, 예컨대 100 $\mu$ m 이하의 금속판 배선(36)을 제조하는 것은 곤란하고, 와이어와 비교해 접속하는 것이 곤란하기도 하기 때문에, 제품 코스트의 증가나 제품 수율의 저하가 염려된다. 그래서, 본 실시형태 1에서는, 드라이버 회로(3a, 3b)의 복수의 패드(BP3, BP4, BP7, BP8, BP10, BP11)와 각 부를 와이어(WB1~WB6)로 접속하는 구성을 채용하고 있다.

단, 상기와 같이 파워 MOS(Q1, Q2)와 드라이버 회로(3a, 3b)를 잇는 배선 경로에서는, 그 배선 경로에서의 기생 인덕턴스를 저감하기 위해, 복수개의 와이어(WB1, WB2)를 나란히 접속하고 있다. 즉, 이 부분에서는, 예컨대 200 $\mu$ m 폭의 폭이 넓은 금속판 배선(36)을 사용할 수 있으므로, 와이어(WB1, WB2) 대신에 금속판 배선(36)을 사용할 수 있다. 이와 같이 파워 MOS(Q1, Q2)와 드라이버 회로(3a, 3b)의 사이에 대해서는, 쌍방을 금속판 배선(36)으로 전기적으로 접속하는 것에 의해, 기생하는 인덕턴스를 저감할 수 있으므로, 스위칭 손실을 저감할 수 있다.

(실시형태 3)

도 35는 본 실시형태 3의 패키지(6)의 상면의 평면도, 도 36 및 도 37은, 각각 도 35의 Y4-Y4선 및 X4-X4선의 단면도를 각각 나타내고 있다. 또, 패키지(6) 내의 모양은 도 31에서 나타낸 것과 같다. 또한, 도 35에서는 도면을 보기 쉽게 하기 위해서 패키지(35)의 상면에 해칭을 붙였다. 패키지(6)의 상면은, 패키지(6)의 탑재면(배선 기판과 대향하는 면)과는 반대측의 면이다.

본 실시형태 3에서는, 상기 실시형태 2와 같이 패드와 각 부가 금속판 배선(36)에 의해 접속되어 있다. 단, 그 금속판 배선(36)의 일부가 수지밀봉체(MB)로부터 노출되어 있다. 금속판 배선(36)은, 특히 반도체 칩(5a, 5b)의 열발생원인 파워 MOS(Q1, Q2)의 형성영역을 덮도록 배치되어 있다. 여기에서는, 반도체 칩(5a, 5b)을 덮는 2개의 금속판 배선(36)의 양쪽이 패키지(6)의 상면으로부터 노출하고 있는 경우가 예시되어 있지만, 방열량이 상대적으로 높은 로사이드 스위치용의 파워 MOS(Q2)가 형성된 반도체 칩(5b)측의 금속판 배선(36)만을 노출시키는 구성으로 해도 된다. 또한, 패키지(6)의 상면에 방열 핀을 실어 금속판 배선(36)의 노출면에 접합하는 것에 의해, 방열성을 더 향상시킬 수도 있다.

본 실시형태 3에 의하면, 상기 실시형태 1, 2에서 얻어진 효과의 이외에, 금속판 배선(36)에 방열 기능을 갖게 하고 있는 것에 의해, 방열용 이외의 부품을 추가할 필요가 없으므로, 방열용의 부품을 추가하는 경우에 비교해서 패키지(6)의 조립 공정을 저감할 수 있어, 패키지(6)의 조립 시간을 단축할 수 있다. 또한, 부품점수를 줄이므로, 반도체장치의 코스트를 저감할 수 있다.

(실시형태 4)

DC-DC 컨버터의 대전류화 및 고주파화에 기인하는 다른 문제로서 동작시의 열의 문제가 있다. 특히, 상기 실시형태 1~3에서의 설명에서는, 반도체 칩(5a, 5b)을 1개의 패키지(6)에 수용하는 구성이므로, 높은 방열성이 필요해진다. 본 실시형태 4에서는, 그 방열성을 고려한 구성에 대해서 설명한다.

도 38은, 본 실시형태 4의 패키지(6)의 단면도를 나타내고 있다. 여기에서는, 리드(7b)가 상기 실시형태 1~3의 리드(7b)의 경우에 대해서 역성형되어 있다. 이 구조에서는 다이패드(7a1, 7a2)의 이면(반도체 칩(5a, 5b)이 탑재된 면의 반대측의 면)이 패키지(6)의 상면에 노출되고, 리드(7b)의 이면(배선 기판의 단자와 접합되는 접합면)측이 패키지(6)의 탑재면에 노출되어 있다.

또한, 도 39는, 도 38의 패키지(6)를 배선 기판(30)에 탑재한 상태의 일례의 단면도를 나타내고 있다. 패키지(6)의 이면(탑재면)의 리드(7b)는, 예컨대 납/주석 땀납 등의 접착재(38)를 통해서 배선 기판(30)의 단자와 접합되어 있다. 패키지(6)의 상면, 즉, 다이패드(7a1, 7a2)의 이면에는, 예컨대 실리콘 고무 등과 같은 높은 열전도성을 갖는 절연 시트(39)를 통해서 방열 핀(heat sink)(40)이 접합되어 있다. 이 구성에서는, 반도체 칩(5a, 5b)에서 발생한 열은, 반도체 칩(5a, 5b)의 이면으로부터 다이패드(7a1, 7a2)를 통해서 방열 핀(40)에 전달되어 방열되도록 되어 있다. 이것에 의해, 1개의 패키지(6) 내에 2개의 반도체 칩(5a, 5b)을 갖는 것과 같은 구성에서, 비절연형 DC-DC 컨버터(1)가 대전류화 및 고주파화되어도, 높은 방열성을 얻을 수 있다. 여기에서는, 풍냉식의 히트 싱크(heat sink)를 예시했지만, 예컨대 방열체에 냉각 유수를 흘릴 수 있는 유로(流路)를 가지는 액냉식의 히트 싱크를 이용해도 된다.

(실시형태 5)

도 40은 본 실시형태 5의 패키지(6)의 구성의 일례를 나타내는 평면도, 도 41은 도 40의 X5-X5선의 단면도를 각각 나타내고 있다. 또, 본 실시형태 5에서도 도면을 보기 쉽게 하기 위해, 밀봉부재(MB)를 투시해 나타내는 동시에, 다이패드(7a1, 7a2), 리드(7b) 및 배선부(7c)에 해칭을 붙였다. 또한, 도 40의 Y5-Y5선의 단면은 도 16과 같다.

본 실시형태 5에서는, 파워 MOS(Q2)가 형성된 반도체 칩(5b)이, 쇼트키 배리어 다이오드(D1)가 형성된 반도체 칩(5d)보다도 출력용의 리드(7b3)의 일군(단자(ET5)측)에 가깝게 되도록 배치되어 있다. 또한, 기준전위(GND)의 공급에 기여하는 배선부(7c)가 배선부(7c1, 7c2)로 분할되어 있다. 그리고, 쇼트키 배리어 다이오드(D1)의 애노드 전극용의 패드(BP9)는, 복수의 와이어(WA3)를 통해서 배선부(7c1)와 전기적으로 접속되고, 파워 MOS(Q2)의 소스 전극용의 패드(BP5a)는, 복수의 와이어(WA2)를 통해서 배선부(7c2)와 전기적으로 접속되어 있다. 즉, 본 실시형태 5에서는, 패키지(6) 내에서 기준전위(GND)가 반도체 칩(5d)용의 기준전위(GND)와 반도체 칩(5b)용의 기준전위(GND)로 분리되어 있다.

이것에 의해, 패키지(6)의 열저항측정(검사공정) 및 선별을 용이하게 할 수 있다. 열저항 측정은, 순방향 전압(Vf)이 온도 의존성을 가지는 것을 이용해서 반도체 칩(5b, 5d)과 각 부의 전기적인 접속의 양부를 판별하는 측정 방법이다. 이 측정에 있어서, 쇼트키 배리어 다이오드(D1)용의 기준전위(GND)와 파워 MOS(Q2)의 기준전위(GND)가 같으면, 쇼트키 배리어 다이오드(D1)측의 순방향 전압(Vf)과 파워 MOS(Q2)측의 순방향 전압(Vf)이 동시에 측정되어 버리지만, 통상, 쇼트키 배리어 다이오드(D1)의 순방향 전압(Vf) 쪽이 낮으므로, 쇼트키 배리어 다이오드(D1)측의 순방향 전압(Vf)이 보여버려 파워 MOS(Q2)측의 순방향 전압(Vf)을 충분히 측정할 수 없고, 파워 MOS(Q2)측의 접속성에 문제가 있어도 측정시에 현재화(顯在化)되지 않는 경우가 생길 우려가 있다. 그래서, 본 실시형태 5에서는, 패키지(6)의 내부에서는, 쇼트키 배리어 다이오드(D1)와 파워 MOS(Q2)로 기준전위(GND)를 나누는 것에 의해, 쇼트키 배리어 다이오드(D1)와 파워 MOS(Q2)의 순방향 전압(Vf)을 분리한 상태로 측정할 수 있으므로, 그 측정을 용이하게 할 수 있다. 또한, 그 측정 정밀도를 향상시킬 수 있으므로, 검사공정의 신뢰성을 향상시킬 수 있다. 따라서, 패키지(6)의 신뢰성을 향상시킬 수 있다.

(실시형태 6)

도 42는 본 실시형태 6의 패키지(6)의 구성 예의 평면도, 도 43은 도 42의 금속판 배선 및 와이어를 제외하고 나타낸 패키지(6)의 구성 예의 평면도, 도 44는 도 42의 Y6-Y6선의 단면도, 도 45는 도 42의 X6-X6선의 단면도를 각각 나타내고 있다. 또, 도 42 및 도 43에서도, 도면을 보기 쉽게 하기 위해, 밀봉부재(MB)를 투시해 나타내는 동시에, 다이패드(7a1, 7a2), 리드(7b) 및 배선부(7c)에 해칭을 붙였다.

본 실시형태 6은, 상기 실시형태 2, 5의 구성을 조합시킨 경우의 일례를 설명하는 것이다. 즉, 상기 실시형태 5의 구성에 있어서 일부의 와이어를 금속판 배선(36)으로 대신한 경우의 일례를 설명하는 것이다. 반도체 칩(5a)의 파워 MOS(Q1)의 소스 전극용의 패드(BP1)는, 1개의 금속판 배선(36)을 통해서, 다이패드(7a2)와 전기적으로 접속되어 있다. 또한, 반도체 칩(5b)의 파워 MOS(Q2)의 소스 전극용의 패드(BP5)는, 1개의 금속판 배선(36)을 통해서, 배선부(7c2)와 전기적으로 접속되고, 이것을 통해서 리드(7b2(7b))와 전기적으로 접속되어 있다. 또, 반도체 칩(5d)의 쇼트키 배리어 다이오드(D1)의 애노드 전극용의 패드(BP9)는, 1개의 금속판 배선(36)을 통해서, 배선부(7c1)와 전기적으로 접속되고, 이것을 통해서 리드(7b2(7b))와 전기적으로 접속되어 있다.

이와 같은 본 실시형태 6에 의하면, 상기 실시형태 2, 5와 같은 효과를 얻을 수 있다.

(실시형태 7)

본 실시형태 7에서는, 상기 실시형태 1에서 설명한 제2의 문제의 대책예를 설명한다. 도 46은 본 실시형태 7의 비절연형 DC-DC 컨버터(1)의 구성 예의 설명도를 나타내고 있다. 본 실시형태 7에서, 하이사이드 스위치용의 파워 MOS(Q1)의 게이트 전극(드라이버 회로(3a)의 출력)과 기준전위(GND)와의 사이에 쇼트키 배리어 다이오드(제2 쇼트키 배리어 다이오드)(D2)가 전기적으로 접속되어 있다. 이 쇼트키 배리어 다이오드(D2)의 애노드 전극은, 기준전위(GND)에 전기적으로 접속되고, 캐소드 전극은 하이사이드 스위치용의 파워 MOS(Q1)의 게이트 전극(드라이버 회로(3a)의 출력)과 전기적으로 접속되어 있다. 이 쇼트키 배리어 다이오드(D2)가 형성된 반도체 칩(5e)은, 다른 반도체 칩(5a~5d)와 함께 패키지(6)내에 수용되어 있다.

도 47 및 도 48은 도 46의 패키지(6)의 구성에서의 반도체 칩(5c)의 기생소자의 동작 상태의 설명도를 각각 나타내고 있다. 도 47은 드라이버 회로(3a)의 파워 MOS(Q3)가 오프이고 파워 MOS(Q4)가 온일때의 과도상태시의 기생소자의 상태를 나타내고, 도 48은 파워 MOS(Q3)가 오프이고 파워 MOS(Q4)가 온일때의 정상상태시의 기생소자의 상태를 나타내고 있다.

상기와 같이, 양쪽 파워 MOS(Q1, Q2)의 데트 타임시에, 부하전류는 쇼트키 배리어 다이오드(D1)를 통해서 공급되지만, 중부하시에, 상기와 같이 배선의 인덕턴스(Lk, La)에 기인해서 쇼트키 배리어 다이오드(D1)에 흐르는 부하전류가 작아져, 로사이드 스위치용의 파워 MOS(Q2)의 기생 다이오드(보디 다이오드)(Dp)에도 부하전류가 흐르면, 비절연형 DC-DC 컨버터(1)의 출력측의 단자(ET5)(VSWH)의 전위가 기생 다이오드(Dp)의 순방향 전압(Vf)분 만큼 부전위로 떨어지고, 어떤 대책을 세우지 않으면, 파워 MOS(Q1)에 전기적으로 접속되어 있는 반도체 칩(5c)(드라이버 칩, 제어용 IC)의 출력도 부전위가 된다. 이 결과, 반도체 칩(5c)내에서 기생의 npn형의 바이폴라 트랜지스터(QD)가 온해 버리고, 드라이버 칩의 소비전류가 증가하는 문제가 있다. 이것에 대하여, 본 실시형태 7에서는, 상기와 같이 단자(ET5)(VSWH)가 부전위로 떨어지지만, 하이사이드 스위치용의 파워 MOS(Q1)의 게이트 전극과 기준전위(GND)와의 사이에, 예컨대 0.3V 정도의 순방향 전압(Vf)을 가지는 쇼트키 배리어 다이오드(D2)를 상기와 같이 전기적으로 접속한 것에 의해, 하이사이드 스위치용의 파워 MOS(Q1)의 게이트(GH)의 전위를 -0.3V 정도로 상승시킬 수 있으므로, 반도체 칩(5c)내의 기생의 바이폴라 트랜지스터(Qp)가 온하는 것을 방지할 수 있다. 이 때문에, 반도체 칩(5c)에서의 소비전류의 증대를 억제할 수 있고, 반도체 칩(5c)이 소비하는 손실을 저감할 수 있다. 또한, 단자(ET6)(BOOT)로부터 전하가 인출되지 않도록 할 수 있으므로, 보호회로 기능에 의한 하이사이드 스위치용의 파워 MOS(Q1)의 자동정지(오동작)도 방지할 수 있다.

다음에, 도 49는 본 실시형태 7의 구체적인 패키지(6)의 구성 예의 평면도, 도 50은 도 49의 Y7-Y7선의 단면도를 각각 나타내고 있다. 또, 도 49에서도 도면을 보기 쉽게 하기 위해서, 밀봉부재(MB)를 투시해 나타내는 동시에, 다이패드(7a1, 7a2), 리드(7b) 및 배선부(7c)에 해칭을 붙였다. 또한, 도 49의 Y1-Y1선의 단면은 도 16과 같고, 도 49의 X1-X1선의 단면은 도 17과 같다. 또한, 도 50에서는 도면을 보기 쉽게 하기 위해 와이어를 제외하고 있다.

쇼트키 배리어 다이오드(D2)가 형성된 반도체 칩(5e)은, 다이패드(7a4)(제4칩 탑재부) 위에 탑재되어 있다. 반도체 칩(5e)의 이면은 캐소드 전극으로 되고 있어 다이패드(7a4)와 전기적으로 접속되어 있다. 다이패드(7a4)는, 와이어(WA4)를 통해서, 파워 MOS(Q1)이 형성된 반도체 칩(5a)의 패드(BP2)와 전기적으로 접속되어 있다. 즉, 쇼트키 배리어 다이오드(D2)의 캐소드 전극은 파워 MOS(Q1)의 게이트 전극과 전기적으로 접속되어 있다. 한편, 반도체 칩(5e)의 주면에는 애노드 전극용의 패드(BP12)가 형성되어 있다. 이 패드(BP12)는, 와이어(WA5)를 통해서 다이패드(7a3)와 전기적으로 접속되어 있다. 다이패드(7a3)에는 기준전위(GND)가 공급된다. 즉, 쇼트키 배리어 다이오드(D2)의 애노드 전극은 기준전위(GND)와 전기적으로 접속되어 있다. 이와 같이, 쇼트키 배리어 다이오드(D2)를 이용하는 것에 의해, 필요한 순방향 전압(Vf)을 작은 면적으로 얻을 수 있다. 또한, 쇼트키 배리어 다이오드(D2)는 패키지(6) 밖에 설치해도 상기와 같은 효과를 얻을 수 있지만, 패키지(6)내에 수용하는 것에 의해, 쇼트키 배리어 다이오드(D9)의 애노드 및 캐소드에 기생하는 인덕턴스를 저감할 수 있으므로, 그 쇼트키 배리어 다이오드(D2)의 삽입 효과를 향상시킬 수 있다.

(실시형태 8)

도 51은 본 실시형태 8의 패키지(6)의 구성 예의 평면도, 도 52는 도 51의 Y8-Y8선의 단면도를 각각 나타내고 있다. 또, 도 51에서도 도면을 보기 쉽게 하기 위해, 밀봉부재(MB)를 투시해 나타내는 동시에, 다이패드(7a1, 7a2), 리드(7b) 및 배선부(7c)에 해칭을 붙였다. 또한, 도 51의 Y1-Y1선의 단면은 도 16과 같고, 도 51의 X1-X1선의 단면은 도 17과 같다. 또한, 도 52에서도 도면을 보기 쉽게 하기 위해 와이어를 제외하고 있다.

본 실시형태 8에서는, 반도체 칩(5e)이 다이패드(7a3) 위에 탑재되어 있다. 즉, 반도체 칩(5e)의 주면의 애노드 전극용의 패드(BP12)는, 범프 전극(37)을 통해서 다이패드(7a3)와 전기적으로 접속되어 있다. 이것에 의해, 쇼트키 배리어 다이오드(D2)의 애노드는 다이패드(7a3)를 통해서 기준전위(GND)와 전기적으로 접속되어 있다. 한편, 반도체 칩(5e)의 이면의 캐소드 전극(29)은, 와이어(WA4)를 통해서 반도체 칩(5a)의 패드(BP1)와 전기적으로 접속되어 있다. 이것에 의해, 쇼트키 배리어 다이오드(D2)의 캐소드 전극은 와이어(WA4)를 통해서 파워 MOS(Q1)의 게이트 전극과 전기적으로 접속되어 있다.

본 실시형태 8에 의하면, 상기 실시형태 7에서 얻어진 효과의 이외에, 이하의 효과를 얻을 수 있다. 즉, 쇼트키 배리어 다이오드(D2)를 상기 실시형태 7의 경우보다도 반도체 칩(5a, 5c)에 가깝게 할 수 있으므로, 쇼트키 배리어 다이오드(D2)의 애노드 및 캐소드측에 기생하는 인덕턴스를 저감할 수 있다. 특히 쇼트키 배리어 다이오드(D2)의 애노드 전극을 대면적의 다이패드(7a3)를 통해서 기준전위(GND)와 전기적으로 접속하는 것에 의해, 쇼트키 배리어 다이오드(D2)의 애노드측에 기생하는 인덕턴스를 저감할 수 있다. 따라서, 쇼트키 배리어 다이오드(D2)의 삽입 효과를 더 향상시킬 수 있다.

(실시형태 9)

도 53은 본 실시형태 9의 패키지(6)의 구성 예의 평면도, 도 54는 도 53의 Y9-Y9선의 단면도를 각각 나타내고 있다. 또, 도 53에서도 도면을 보기 쉽게 하기 위해, 밀봉부재(MB)를 투시해 나타내는 동시에, 다이패드(7a1, 7a2), 리드(7b) 및 배선부(7c1)에 해칭을 붙였다. 또한, 도 53의 Y1-Y1선의 단면은 도 16과 같고, 도 53의 X1-X1선의 단면은 도 17과 같다. 또한, 도 54에서도 도면을 보기 쉽게 하기 위해 와이어를 제외하고 있다.

본 실시형태 9에서는, 반도체 칩(5e)이 반도체 칩(5a)의 패드(BP1) 위에 탑재되어 있다. 즉, 반도체 칩(5e)의 이면의 캐소드 전극은, 반도체 칩(5a)의 패드(BP1)와 직접 접촉한 상태로 전기적으로 접속되어 있다. 이것에 의해, 쇼트키 배리어 다이오드(D2)의 캐소드 전극은 파워 MOS(Q1)의 게이트 전극과 전기적으로 접속되어 있다. 한편, 반도체 칩(5e)의 주면의 애노드 전극용의 패드(BP12)는, 와이어(WA5)를 통해서 다이패드(7a3)와 전기적으로 접속되어 있다. 이것에 의해, 쇼트키 배리어 다이오드(D2)의 애노드는 다이패드(7a3)를 통해서 기준전위(GND)와 전기적으로 접속되어 있다.

본 실시형태 9에 의하면, 상기 실시형태 7, 8에서 얻어진 효과 이외에, 이하의 효과를 얻을 수 있다. 즉, 반도체 칩(5e)을 상기 실시형태 8의 경우보다도 더 반도체 칩(5a, 5c)에 가깝게 할 수 있으므로, 쇼트키 배리어 다이오드(D2)의 애노드 및 캐소드측에 기생하는 인덕턴스를 대폭 저감할 수 있다. 특히, 쇼트키 배리어 다이오드(D2)의 캐소드 전극(29)을 반도체 칩(5a)의 패드(BP1)에 직접 접속하므로, 쇼트키 배리어 다이오드(D2)의 캐소드측에 기생하는 인덕턴스를 더 저감할 수 있다. 따라서, 쇼트키 배리어 다이오드(D2)의 삽입 효과를 더 향상시킬 수 있다. 또한, 쇼트키 배리어 다이오드(D2)를 삽입하고 나서 리드 프레임(7)의 패턴의 설계 변경을 필요로 하지 않으므로, 반도체장치의 제조를 용이하게 할 수 있고, 제품 코스트도 저감할 수 있다. 또, 쇼트키 배리어 다이오드(D2)의 형성된 반도체 칩(5e)과 파워 MOS(Q1)의 형성된 반도체 칩(5a)으로 반도체 칩을 나누고 있으므로, 각각의 소자 특성을 충분히 끌어 낼 수 있다.

이상, 본 발명자에 의해 이루어진 발명을 실시형태에 근거해서 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 말할 필요도 없다.

예컨대 상기 실시형태에서는, 패키지 구조로서 플랫 패키지(flat package) 구조를 예시했지만, 이것에 한정되는 것은 아니고, 예컨대 BGA(Ball Grid Array) 패키지 구조를 채용해도 된다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 된 이용분야인 CPU나 DSP의 구동용 전원회로에 적용한 경우에 대해서 설명했지만, 그것에 한정되는 것은 아니고 여러가지 적용 가능하며, 예컨대 다른 회로의 구동용 전원회로에도 적용할 수 있다.

본 발명은, 반도체장치의 제조업에 적용할 수 있다.

## 발명의 효과

본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

즉, 상기 제1 전계효과 트랜지스터와, 상기 제2 전계효과 트랜지스터와, 상기 제어회로와, 상기 쇼트키 배리어 다이오드를 각각 개개의 반도체 칩에 형성하고, 상기 개개의 반도체 칩을 1개의 밀봉체에 밀봉한 것에 의해, 상기 쇼트키 배리어 다이오드의 애노드와 상기 출력 배선부를 전기적으로 접속하는 배선 부분 및 상기 쇼트키 배리어 다이오드의 캐소드와 상기 제2 전원단자를 전기적으로 접속하는 배선 부분의 길이를 짧게 할 수 있고, 그 배선 부분의 인덕턴스를 저감할 수 있으므로, 데트 타임중에서의 다이오드 도통손실이나 다이오드 리커버리 손실을 저감시킬 수 있어, 반도체장치의 전압변환 효율을 향상시킬 수 있다.

## (57) 청구의 범위

### 청구항 1.

각각이 소정의 간격을 갖고 배치된 제1칩 탑재부, 제2칩 탑재부 및 제3칩 탑재부와,

상기 제1, 제2 및 제3칩 탑재부의 주위에 배치된 복수의 외부단자와,

상기 제1칩 탑재부 위에 배치되어, 제1 전계효과 트랜지스터를 가지는 제1 반도체 칩과,

상기 제2칩 탑재부 위에 배치되어, 제2 전계효과 트랜지스터를 가지는 제2 반도체 칩과,

상기 제3칩 탑재부 위에 배치되어, 상기 제1 및 제2 전계효과 트랜지스터의 동작을 제어하는 제어회로를 포함하는 제3 반도체 칩과,

상기 제2칩 탑재부 위에 배치되어, 제1 쇼트키 배리어 다이오드를 가지는 제4 반도체 칩과,

상기 제1, 제2, 제3 및 제4 반도체 칩과, 상기 제1, 제2 및 제3칩 탑재부와, 상기 복수의 외부단자의 일부를 밀봉하는 밀봉체를 가지고,

상기 복수의 외부단자는, 입력용 전원전위를 공급하는 제1 전원단자와, 상기 입력용 전원전위보다도 낮은 전위를 공급하는 제2 전원단자와, 상기 제3 반도체 칩의 제어회로를 제어하는 신호단자와, 출력용 전원전위를 외부로 출력하는 출력단자를 가지며,

상기 제1 전계효과 트랜지스터는, 그 소스·드레인 경로가 상기 제1 전원단자와 상기 출력단자와의 사이에 직렬 접속되고,

상기 제2 전계효과 트랜지스터는, 그 소스·드레인 경로가 상기 출력단자와 상기 제2 전원단자와의 사이에 직렬 접속되며,

상기 제3 반도체 칩의 제어회로는, 상기 신호단자에 입력된 제어신호에 의해, 상기 제1 및 제2 전계효과 트랜지스터의 각각의 동작을 제어하고,

상기 제3 반도체 칩은, 상기 제3 반도체 칩과 상기 제1 반도체 칩의 거리가 상기 제3 반도체 칩과 상기 제2 반도체 칩의 거리보다 가깝게 되도록 배치되며,

상기 제4 반도체 칩의 제1 쇼트키 배리어 다이오드는, 캐소드가 상기 출력단자에 전기적으로 접속되고, 애노드가 상기 제2 전원단자에 전기적으로 접속되며, 상기 제2 전계효과 트랜지스터에 대하여 병렬로 되도록 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

## 청구항 2.

제 1 항에 있어서,

상기 제4 반도체 칩 주면의 애노드용 전극은 와이어를 통해서 상기 제2 반도체 칩의 소스용 전극과 전기적으로 접속되어 있고,

상기 제2 반도체 칩 주면의 소스용 전극은 와이어를 통해서 상기 제2 전원단자와 전기적으로 접속되어 있으며,

상기 제4 반도체 칩 주면의 애노드용 전극에서의 와이어가 접속되는 영역의 면적은, 상기 제4 반도체 칩 주면의 상기 와이어가 접속되는 영역의 주변의 절연막으로 덮여진 영역의 면적보다도 작은 것을 특징으로 하는 반도체장치.

## 청구항 3.

제 1 항에 있어서,

상기 제2 전계효과 트랜지스터의 소스가 전기적으로 접속된 상기 제2 전원단자와, 상기 제1 쇼트키 배리어 다이오드의 애노드가 전기적으로 접속된 상기 제2 전원단자가 서로 분리되어 있는 것을 특징으로 하는 반도체장치.



#### 청구항 4.

제 3 항에 있어서,

상기 제4 반도체 칩 주면의 애노드용 전극 및 상기 제2 반도체 칩 주면의 소스용 전극은, 각각 와이어를 통해서, 서로 분리되어 있는 각각의 제2 전원단자와 전기적으로 접속되어 있고,

상기 제4 반도체 칩 주면의 애노드용 전극에서의 와이어가 접속되는 영역의 면적은, 상기 제4 반도체 칩 주면의 상기 와이어가 접속되는 영역의 주변의 절연막으로 덮여진 영역의 면적보다도 작은 것을 특징으로 하는 반도체장치.

#### 청구항 5.

제 1 항에 있어서,

상기 제3 반도체 칩의 제어회로는, 상기 제1 전계효과 트랜지스터의 동작을 제어하는 제1 제어회로와, 상기 제2 전계효과 트랜지스터의 동작을 제어하는 제2 제어회로를 갖는 것을 특징으로 하는 반도체장치.

#### 청구항 6.

제 5 항에 있어서,

상기 제1 제어회로의 출력에 제2 쇼트키 배리어 다이오드의 캐소드를 전기적으로 접속하고, 상기 제2 전원단자에 상기 제2 쇼트키 배리어 다이오드의 애노드를 전기적으로 접속하며, 상기 제1 제어회로의 출력과 상기 제2 전원단자와의 사이에 상기 제2 쇼트키 배리어 다이오드를 전기적으로 접속한 것을 특징으로 하는 반도체장치.

#### 청구항 7.

제 6 항에 있어서,

또, 상기 밀봉체는,

- (a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,
- (b) 상기 제5 반도체 칩이 탑재되어, 상기 제2 쇼트키 배리어 다이오드의 캐소드가 전기적으로 접속되는 제4칩 탑재부와,
- (c) 상기 제4칩 탑재부를 상기 제1 제어회로의 출력에 전기적으로 접속하는 와이어와,
- (d) 상기 제2 쇼트키 배리어 다이오드의 애노드를 상기 제2 전원단자에 전기적으로 접속하는 와이어를 포함하는 것을 특징으로 하는 반도체장치.

#### 청구항 8.

제 6 항에 있어서,

또, 상기 밀봉체는,

- (a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,

(b) 상기 제2 쇼트키 배리어 다이오드의 캐소드를 상기 제1 제어회로의 출력에 전기적으로 접속하는 와이어를 포함하고, 상기 제5 반도체 칩은, 상기 제2 쇼트키 배리어 다이오드의 애노드가, 상기 제3칩 탑재부를 통해서 상기 제2 전원단자와 전기적으로 접속된 상태에서, 상기 제3칩 탑재부 위에 탑재되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 9.

제 6 항에 있어서,

또, 상기 밀봉체는,

(a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,

(b) 상기 제2 쇼트키 배리어 다이오드의 애노드를 상기 제2 전원단자에 전기적으로 접속하는 와이어를 포함하고,

상기 제5 반도체 칩은, 상기 제2 쇼트키 배리어 다이오드의 캐소드가, 상기 제1 반도체 칩의 상기 제1 전계효과 트랜지스터의 게이트 전극과 전기적으로 접속된 상태에서, 상기 제1 반도체 칩 위에 탑재되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 10.

각각이 소정의 간격을 갖고 배치된 제1칩 탑재부, 제2칩 탑재부 및 제3칩 탑재부와,

상기 제1, 제2 및 제3칩 탑재부의 주위에 배치된 복수의 외부단자와,

상기 제1칩 탑재부 위에 배치되어, 제1 전계효과 트랜지스터를 가지는 제1 반도체 칩과,

상기 제2칩 탑재부 위에 배치되어, 제2 전계효과 트랜지스터를 가지는 제2 반도체 칩과,

상기 제3칩 탑재부 위에 배치되어, 상기 제1 및 제2 전계효과 트랜지스터의 동작을 제어하는 제어회로를 포함하는 제3 반도체 칩과,

상기 제2칩 탑재부 위에 배치되어, 제1 쇼트키 배리어 다이오드를 가지는 제4 반도체 칩과,

상기 제1, 제2, 제3 및 제4 반도체 칩과, 상기 제1, 제2 및 제3 칩 탑재부와, 상기 복수의 외부단자의 일부를 밀봉하는 밀봉체를 가지고,

상기 복수의 외부단자는, 입력용 전원전위를 공급하는 제1 전원단자와, 상기 입력용 전원전위보다도 낮은 전위를 공급하는 제2 전원단자와, 상기 제3 반도체 칩의 제어회로를 제어하는 신호단자와, 출력 전원전위를 외부로 출력하는 출력단자를 가지며,

상기 제1 전계효과 트랜지스터는, 그 소스·드레인 경로가 상기 제1 전원단자와 상기 출력단자와의 사이에 직렬 접속되고,

상기 제2 전계효과 트랜지스터는, 그 소스·드레인 경로가 상기 출력단자와 상기 제2 전원단자와의 사이에 직렬 접속되며,

상기 제3 반도체 칩의 제어회로는, 상기 신호단자에 입력된 제어신호에 의해, 상기 제1 및 제2 전계효과 트랜지스터의 각각의 게이트를 제어하고,

상기 제2 반도체 칩은, 상기 출력단자보다도 상기 제2 전원단자에 가까운 위치에 배치되며,

상기 제4 반도체 칩의 제1 쇼트키 배리어 다이오드는, 캐소드가 상기 출력단자에 전기적으로 접속되고, 애노드가 상기 제2 전원단자에 전기적으로 접속되어, 상기 제2 전계효과 트랜지스터에 대하여 병렬로 되도록 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 11.

제 10 항에 있어서,

상기 제4 반도체 칩 주면의 애노드용 전극은 와이어를 통해서 상기 제2 반도체 칩의 소스용 전극과 전기적으로 접속되어 있고, 상기 제2 반도체 칩 주면의 소스용 전극은 와이어를 통해서 상기 제2 전원단자와 전기적으로 접속되어 있고,

상기 제4 반도체 칩 주면의 애노드용 전극에 있어서, 상기 와이어가 접속되는 영역의 면적은, 상기 제4 반도체 칩 주면의 상기 와이어가 접속되는 영역의 주변의 절연막으로 덮여진 영역의 면적보다도 작은 것을 특징으로 하는 반도체장치.

### 청구항 12.

제 10 항에 있어서,

상기 제2 전계효과 트랜지스터의 소스가 전기적으로 접속된 상기 제2 전원단자와, 상기 제1 쇼트키 배리어 다이오드의 애노드가 전기적으로 접속된 상기 제2 전원단자가 별체(別體)로 형성되어 서로 분리되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 13.

제 12 항에 있어서,

상기 제4 반도체 칩 주면의 애노드용 전극 및 상기 제2 반도체 칩 주면의 소스용 전극은, 각각 와이어를 통해서, 별체로 형성되어 서로 분리되어 있는 각각의 제2 전원단자와 전기적으로 접속되어 있고,

상기 제4 반도체 칩 주면의 애노드용 전극에 있어서, 상기 와이어가 접속되는 영역의 면적은, 상기 제4 반도체 칩 주면의 상기 와이어가 접속되는 영역의 주변의 절연막으로 덮여진 영역의 면적보다도 작은 것을 특징으로 하는 반도체장치.

### 청구항 14.

제 10 항에 있어서,

상기 제3 반도체 칩의 제어회로는, 상기 제1 전계효과 트랜지스터의 동작 제어용의 제1 제어회로와, 상기 제2 전계효과 트랜지스터의 동작 제어용의 제2 제어회로를 갖는 것을 특징으로 하는 반도체장치.

### 청구항 15.

제 14 항에 있어서,

상기 제1 제어회로의 출력에 제2 쇼트키 배리어 다이오드의 캐소드를 전기적으로 접속하고, 상기 제2 전원단자에 상기 제2 쇼트키 배리어 다이오드의 애노드를 전기적으로 접속하며, 상기 제1 제어회로의 출력과 상기 제2 전원단자와의 사이에 상기 제2 쇼트키 배리어 다이오드를 전기적으로 접속한 것을 특징으로 하는 반도체장치.

### 청구항 16.

제 15 항에 있어서,

또, 상기 밀봉체는,

- (a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,
- (b) 상기 제5 반도체 칩이 탑재되어, 상기 제2 쇼트키 배리어 다이오드의 캐소드가 전기적으로 접속되는 제4칩 탑재부와,
- (c) 상기 제4칩 탑재부를 상기 제1 제어회로의 출력에 전기적으로 접속하는 와이어와,
- (d) 상기 제2 쇼트키 배리어 다이오드의 애노드를 상기 제2 전원단자에 전기적으로 접속하는 와이어를 포함하는 것을 특징으로 하는 반도체장치.

### 청구항 17.

제 15 항에 있어서,

또, 상기 밀봉체는,

- (a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,
- (b) 상기 제2 쇼트키 배리어 다이오드의 캐소드를 상기 제1 제어회로의 출력에 전기적으로 접속하는 와이어를 포함하고,  
상기 제5 반도체 칩은, 상기 제2 쇼트키 배리어 다이오드의 애노드가, 상기 제3칩 탑재부를 통해서 상기 제2 전원단자와 전기적으로 접속된 상태에서, 상기 제3칩 탑재부 위에 탑재되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 18.

제 15 항에 있어서,

또, 상기 밀봉체는,

- (a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,
- (b) 상기 제2 쇼트키 배리어 다이오드의 애노드를 상기 제2 전원단자에 전기적으로 접속하는 와이어를 포함하고,

상기 제5 반도체 칩은, 상기 제2 쇼트키 배리어 다이오드의 캐소드가, 상기 제1 반도체 칩의 상기 제1 전계효과 트랜지스터의 게이트 전극과 전기적으로 접속된 상태에서, 상기 제1 반도체 칩 위에 탑재되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 19.

각각이 소정의 간격을 갖고 배치된 제1칩 탑재부, 제2칩 탑재부 및 제3칩 탑재부와,

상기 제1, 제2 및 제3칩 탑재부의 주위에 배치된 복수의 외부단자와,

상기 제1칩 탑재부 위에 배치되어, 제1 전계효과 트랜지스터를 가지는 제1 반도체 칩과,

상기 제2칩 탑재부 위에 배치되어, 제2 전계효과 트랜지스터를 가지는 제2 반도체 칩과,

상기 제3칩 탑재부 위에 배치되어, 상기 제1 및 제2 전계효과 트랜지스터의 동작을 제어하는 제어회로를 포함하는 제3 반도체 칩과,

상기 제2칩 탑재부 위에 배치되어, 제1 쇼트키 배리어 다이오드를 가지는 제4 반도체 칩과,

상기 제1, 제2, 제3 및 제4 반도체 칩과, 상기 제1, 제2 및 제3칩 탑재부와, 상기 복수의 외부단자의 일부를 밀봉하는 수지체를 가지고,

상기 복수의 외부단자는, 입력용 전원전위를 공급하는 제1 전원단자와, 상기 입력용 전원전위보다도 낮은 전위를 공급하는 제2 전원단자와, 상기 제3 반도체 칩의 제어회로를 제어하는 신호단자와, 출력용 전원전위를 외부로 출력하는 출력용 단자를 가지며,

상기 제1 전계효과 트랜지스터는, 그 소스·드레인 경로가 상기 제1 전원단자와 상기 출력단자와의 사이에 직렬 접속되고,

상기 제2 전계효과 트랜지스터는, 그 소스·드레인 경로가 상기 출력단자와 상기 제2 전원단자와의 사이에 직렬 접속되며,

상기 제3 반도체 칩의 제어회로는, 상기 신호단자에 입력된 제어신호에 의해, 상기 제1 및 제2 전계효과 트랜지스터의 각각의 게이트를 제어하고,

상기 제1 반도체 칩은, 그 한변이, 상기 제2칩 탑재부의 한변에 인접하는 상기 제1칩 탑재부의 한변에 붙여져 배치되며,

상기 제4 반도체 칩의 제1 쇼트키 배리어 다이오드는, 캐소드가 상기 출력단자에 전기적으로 접속되고, 애노드가 상기 제2 전원단자에 전기적으로 접속되어, 상기 제2 전계효과 트랜지스터에 대하여 병렬로 되도록 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

## 청구항 20.

제 19 항에 있어서,

상기 제4 반도체 칩 주면의 애노드용 전극은 와이어를 통해서 상기 제2 반도체 칩의 소스용 전극과 전기적으로 접속되어 있고,

상기 제2 반도체 칩 주면의 소스용 전극은 와이어를 통해서 상기 제2 전원단자와 전기적으로 접속되어 있으며,

상기 제4 반도체 칩 주면의 애노드용 전극에 있어서, 상기 와이어가 접속되는 영역의 면적은, 상기 제4 반도체 칩 주면의 상기 와이어가 접속되는 영역의 주변의 절연막으로 덮여진 영역의 면적보다도 작은 것을 특징으로 하는 반도체장치.

## 청구항 21.

제 19 항에 있어서,

상기 제2 전계효과 트랜지스터의 소스가 전기적으로 접속된 상기 제2 전원단자와, 상기 제1 쇼트키 배리어 다이오드의 애노드가 전기적으로 접속된 상기 제2 전원단자가 별체로 형성되어 서로 분리되어 있는 것을 특징으로 하는 반도체장치.

## 청구항 22.

제 21 항에 있어서,

상기 제4 반도체 칩 주면의 애노드용 전극 및 상기 제2 반도체 칩 주면의 소스용 전극은, 각각 와이어를 통해서, 별체로 형성되어 서로 분리되어 있는 각각의 제2 전원단자와 전기적으로 접속되어 있고,

상기 제4 반도체 칩 주면의 애노드용 전극에서, 상기 와이어가 접속되는 영역의 면적은, 상기 제4 반도체 칩 주면의 상기 와이어가 접속되는 영역의 주변의 절연막으로 덮여진 영역의 면적보다도 작은 것을 특징으로 하는 반도체장치.

## 청구항 23.

제 19 항에 있어서,

상기 제3 반도체 칩의 제어회로는, 상기 제1 전계효과 트랜지스터의 동작 제어용의 제1 제어회로와, 상기 제2 전계효과 트랜지스터의 동작 제어용의 제2 제어회로를 가지는 것을 특징으로 하는 반도체장치.

## 청구항 24.

제 23 항에 있어서,

상기 제1 제어회로의 출력에 제2 쇼트키 배리어 다이오드의 캐소드를 전기적으로 접속하고, 상기 제2 전원단자에 상기 제2 쇼트키 배리어 다이오드의 애노드를 전기적으로 접속하며, 상기 제1 제어회로의 출력과 상기 제2 전원단자와의 사이에 상기 제2 쇼트키 배리어 다이오드를 전기적으로 접속한 것을 특징으로 하는 반도체장치.

## 청구항 25.

제 24 항에 있어서,

또, 상기 밀봉체는,

- (a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,
- (b) 상기 제5 반도체 칩이 탑재되어, 상기 제2 쇼트키 배리어 다이오드의 캐소드가 전기적으로 접속되는 제4칩 탑재부와,
- (c) 상기 제4칩 탑재부를 상기 제1 제어회로의 출력에 전기적으로 접속하는 와이어와,
- (d) 상기 제2 쇼트키 배리어 다이오드의 애노드를 상기 제2 전원단자에 전기적으로 접속하는 와이어를 포함하는 것을 특징으로 하는 반도체장치.

## 청구항 26.

제 24 항에 있어서,

또, 상기 밀봉체는,

(a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,

(b) 상기 제2 쇼트키 배리어 다이오드의 캐소드를 상기 제1 제어회로의 출력에 전기적으로 접속하는 와이어를 포함하고,

상기 제5 반도체 칩은, 상기 제2 쇼트키 배리어 다이오드 애노드가, 상기 제3칩 탑재부를 통해서 상기 제2 전원단자와 전기적으로 접속된 상태에서, 상기 제3칩 탑재부 위에 탑재되어 있는 것을 특징으로 하는 반도체장치.

## 청구항 27.

제 24 항에 있어서,

또, 상기 밀봉체는,

(a) 상기 제2 쇼트키 배리어 다이오드를 가지는 제5 반도체 칩과,

(b) 상기 제2 쇼트키 배리어 다이오드의 애노드를 상기 제2 전원단자에 전기적으로 접속하는 와이어를 포함하고,

상기 제5 반도체 칩은, 상기 제2 쇼트키 배리어 다이오드의 캐소드가, 상기 제1 반도체 칩의 상기 제1 전계효과 트랜지스터의 게이트 전극과 전기적으로 접속된 상태에서, 상기 제1 반도체 칩 위에 탑재되어 있는 것을 특징으로 하는 반도체장치.

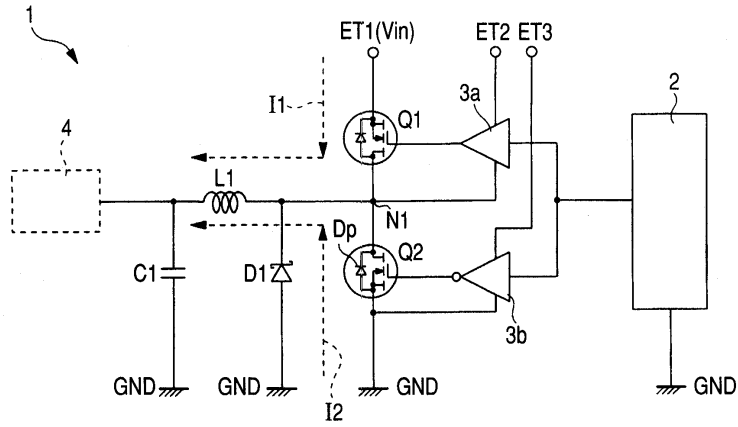
## 청구항 28.

제1 전위 공급용의 제1 전원단자와, 상기 제1 전위보다도 낮은 제2 전위 공급용의 제2 전원단자와, 상기 제1, 제2 전원단자의 사이에 직렬로 접속된 제1, 제2 전계효과 트랜지스터와, 이들 제1, 제2 전계효과 트랜지스터의 입력과 전기적으로 접속되어, 상기 제1, 제2 전계효과 트랜지스터의 동작을 제어하는 제1, 제2 제어회로와, 상기 제1, 제2 전계효과 트랜지스터를 잇는 배선에 접속된 출력 배선부를 구비하고,

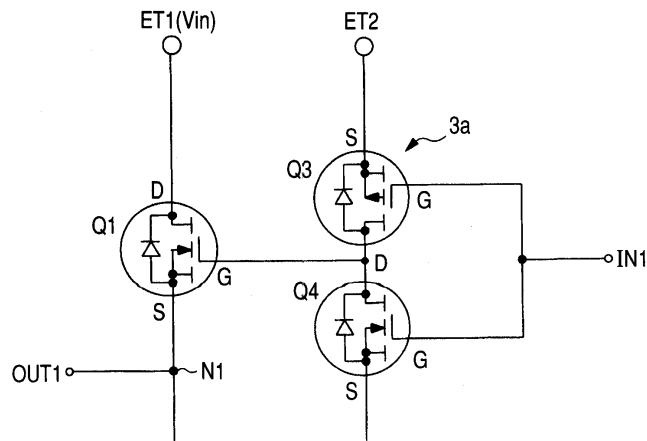
상기 제1 제어회로의 출력과 상기 제1 전계효과 트랜지스터의 입력을 잇는 배선에 쇼트키 배리어 다이오드의 캐소드를 전기적으로 접속하고, 상기 제2 전원단자에 상기 쇼트키 배리어 다이오드의 애노드를 전기적으로 접속하며, 상기 제1 제어회로의 출력과 상기 제1 전계효과 트랜지스터의 입력을 잇는 배선과 상기 제2 전원단자와의 사이에 상기 쇼트키 배리어 다이오드를 전기적으로 접속한 것을 특징으로 하는 반도체장치.

도면

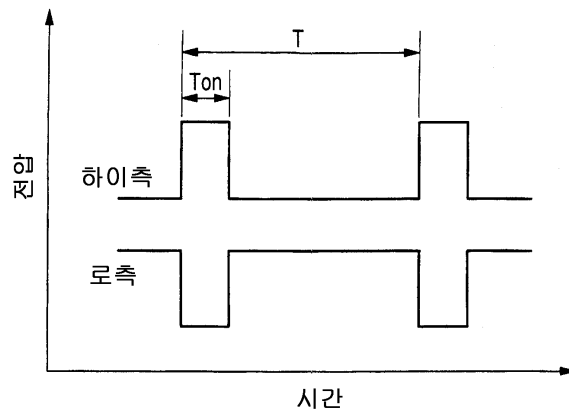
도면1



도면2

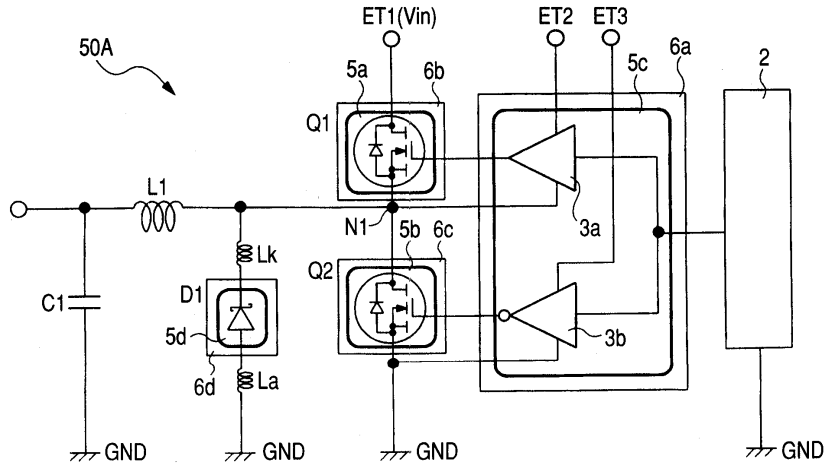


도면3

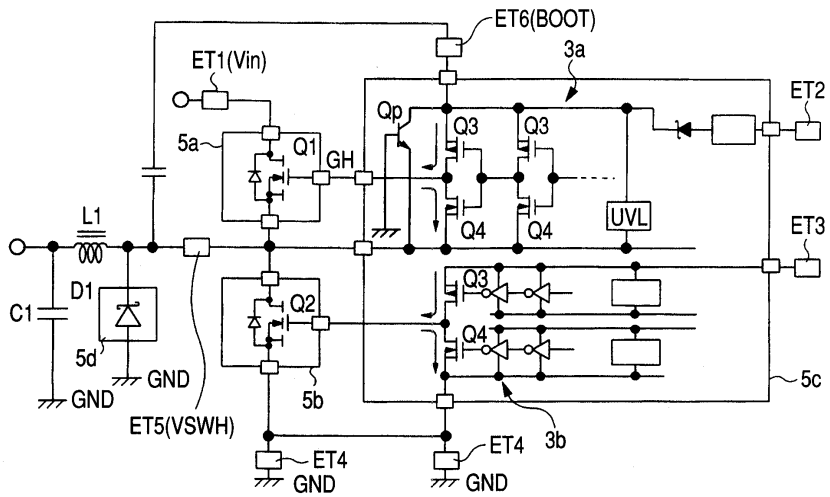




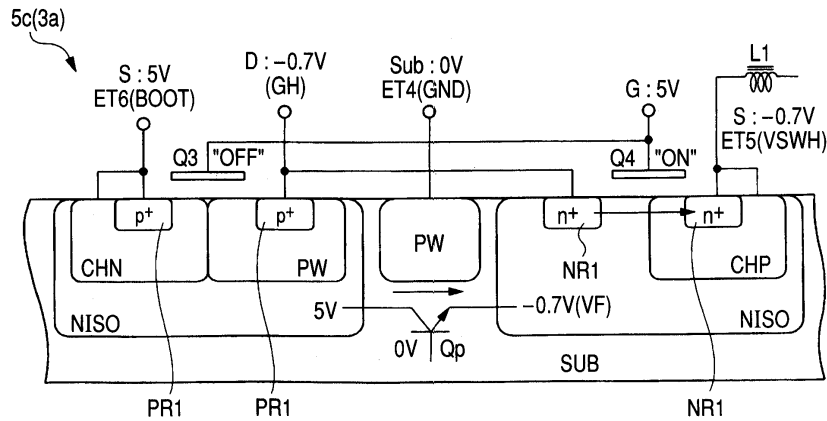
도면4



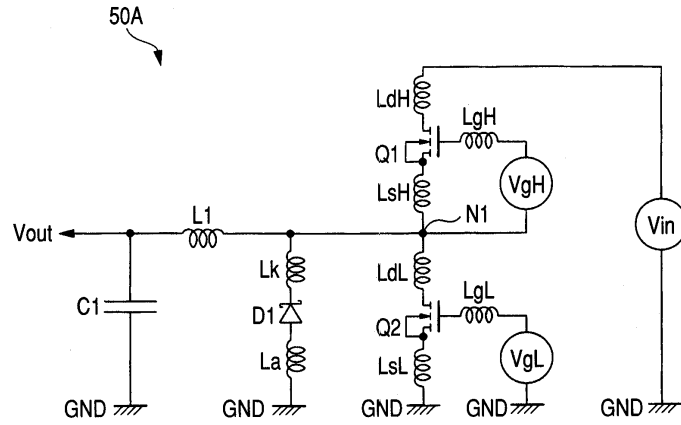
도면5



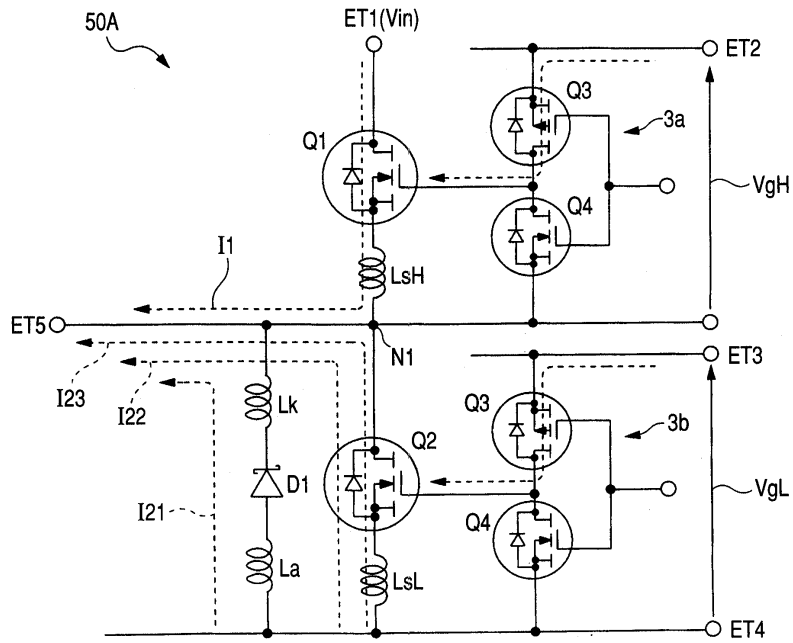
도면6



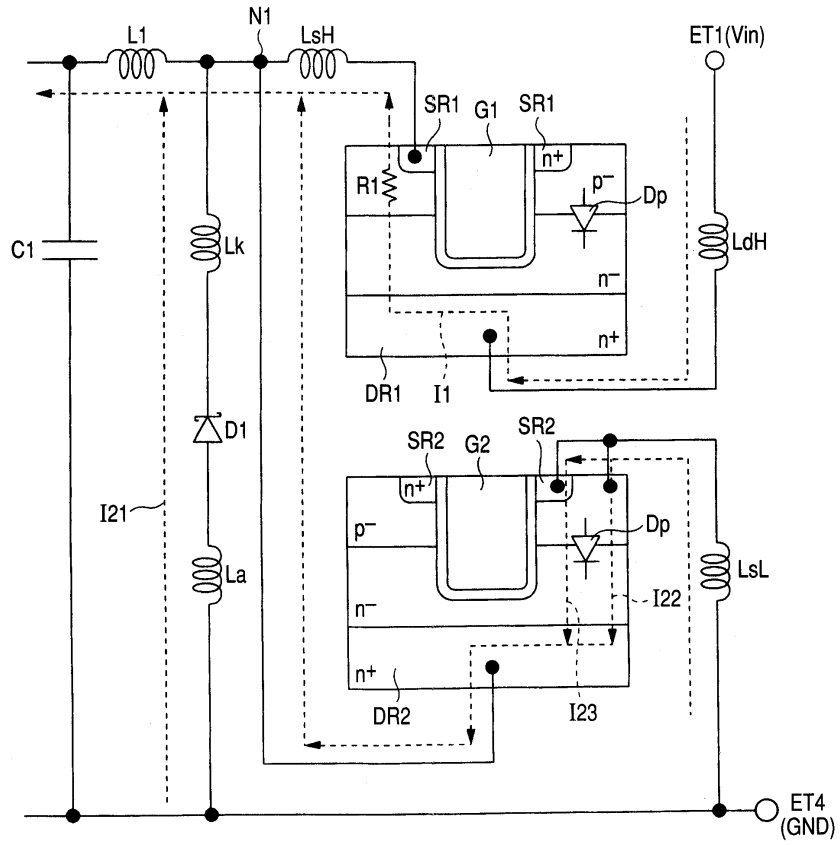
도면7



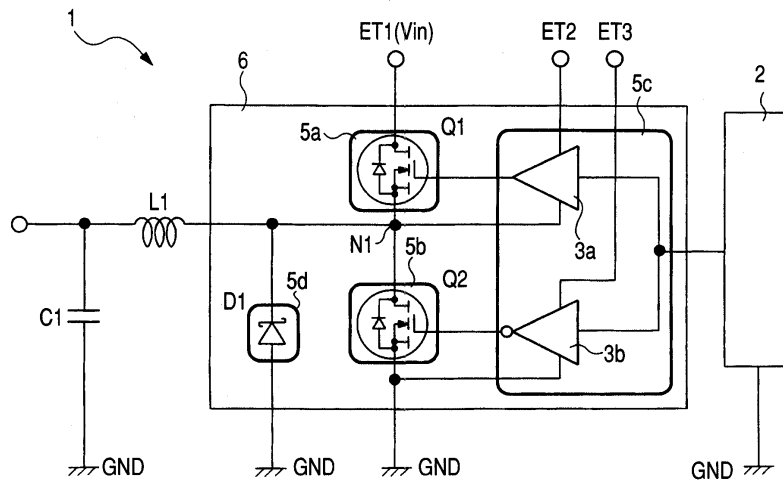
도면8



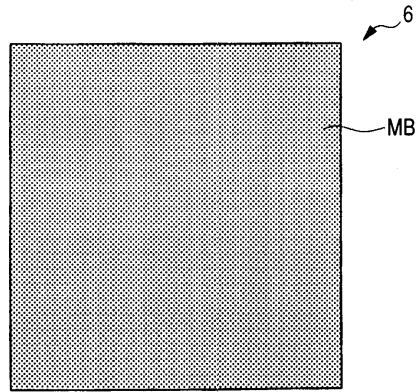
도면9



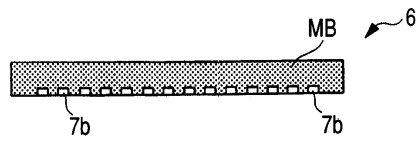
도면10



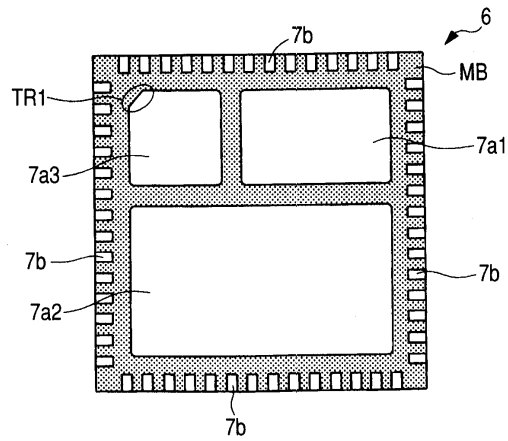
도면11



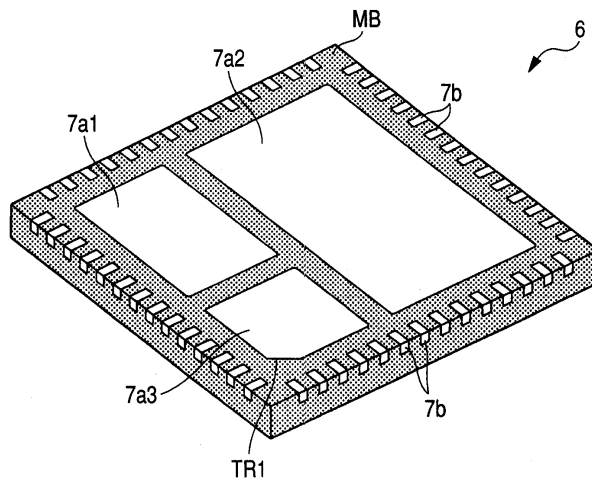
도면12



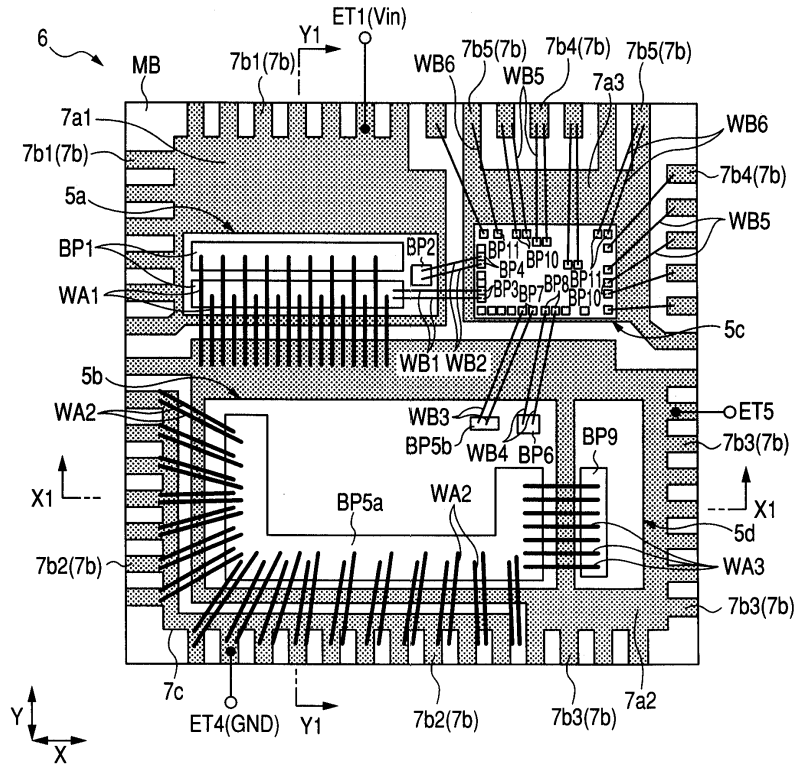
도면13



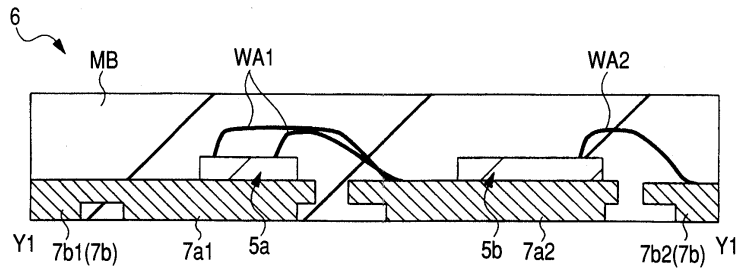
도면14



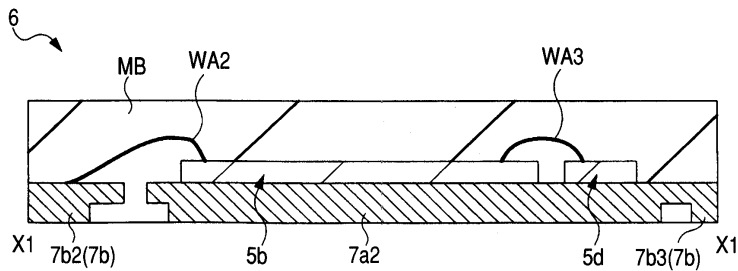
도면15



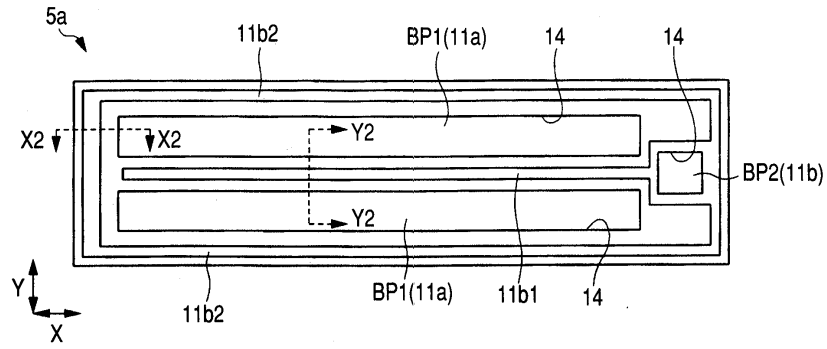
도면16



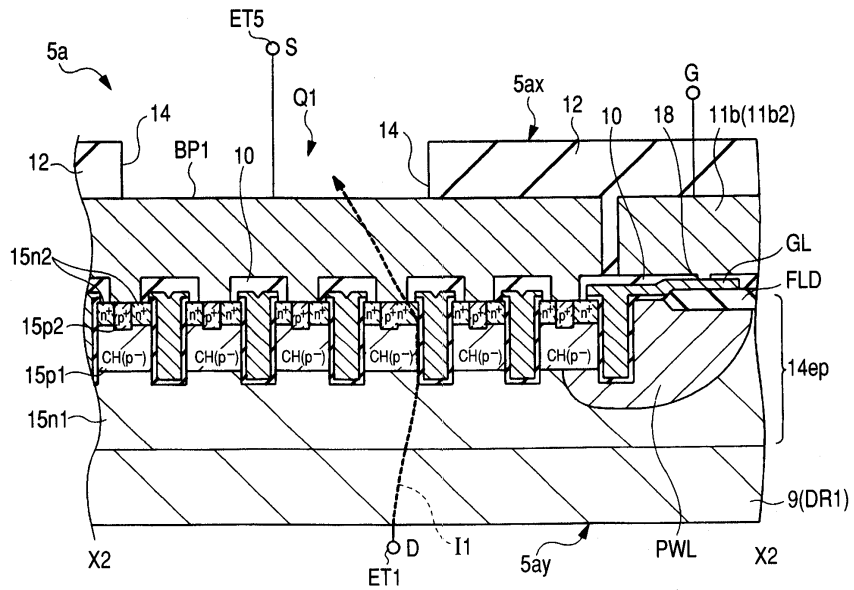
도면17



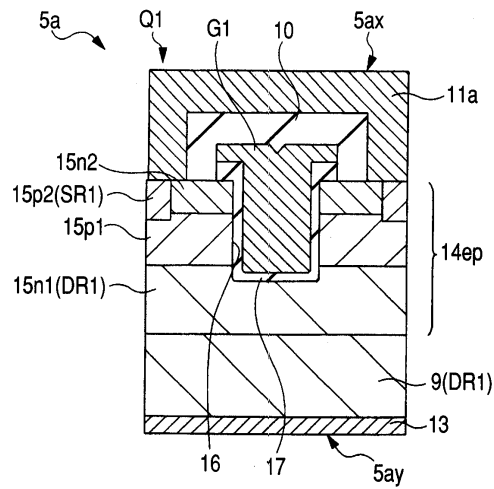
도면18



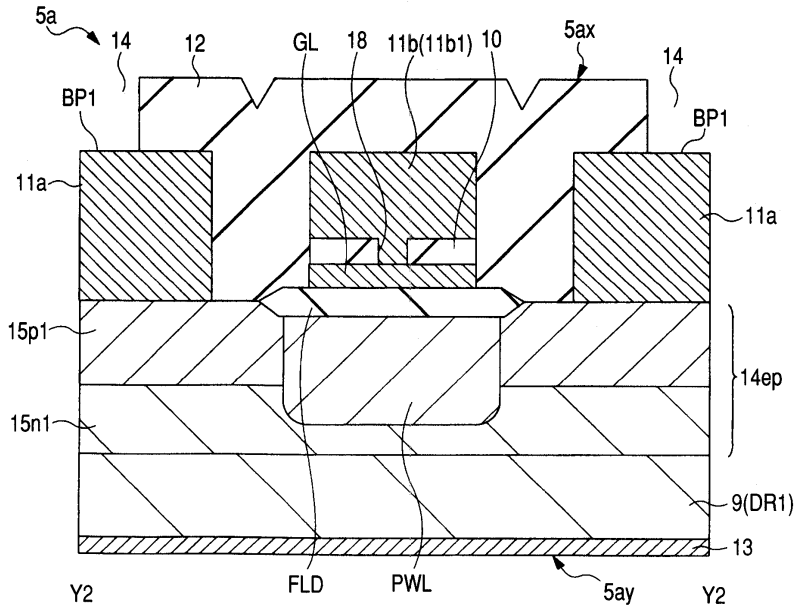
도면19



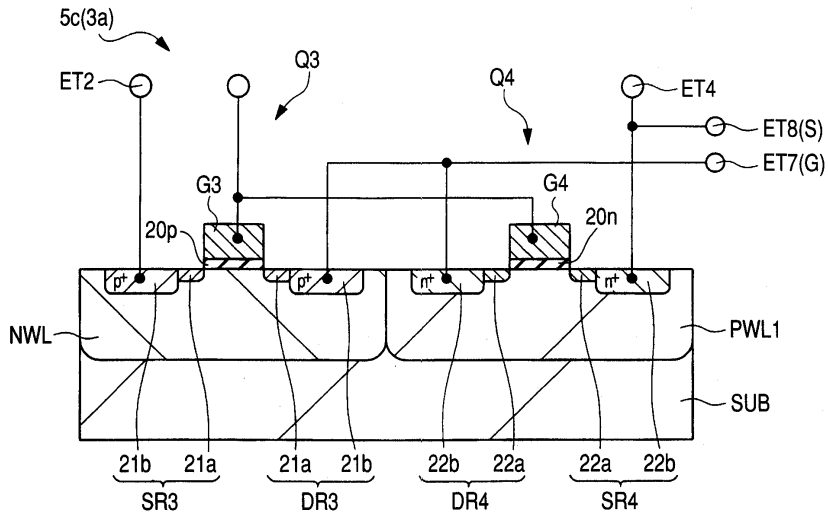
도면20



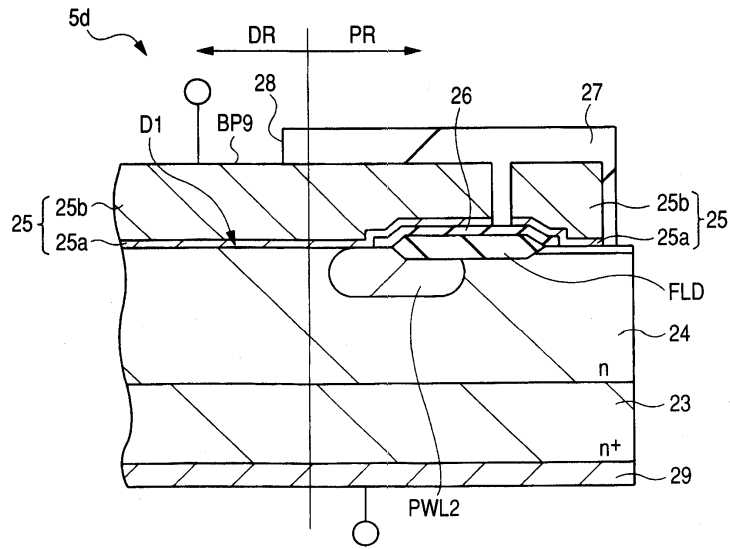
도면21



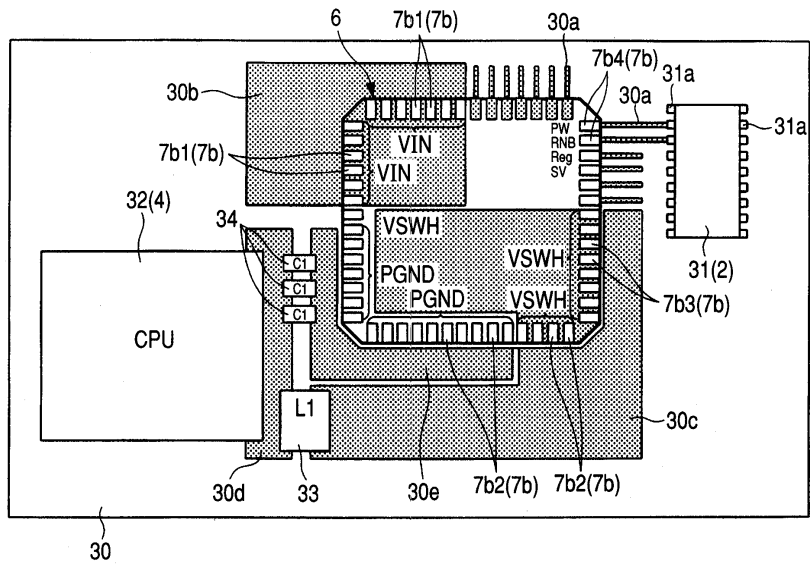
도면22



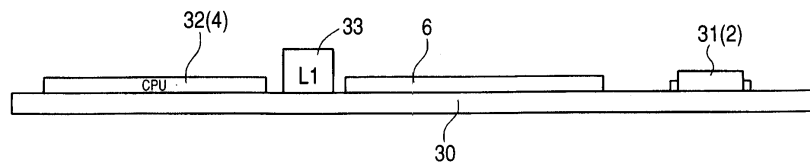
도면23



도면24

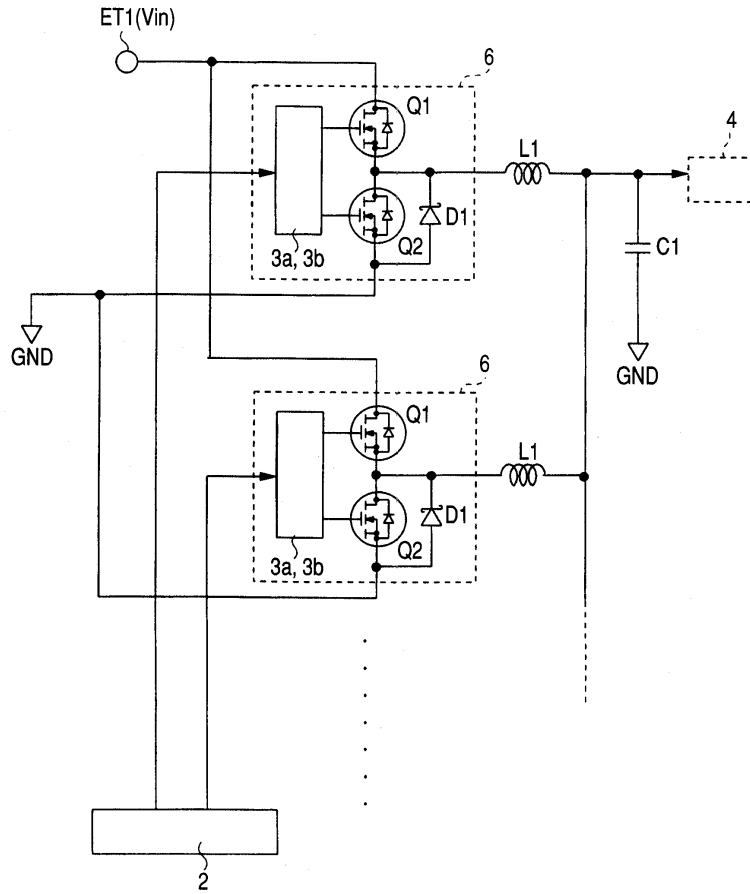


도면25

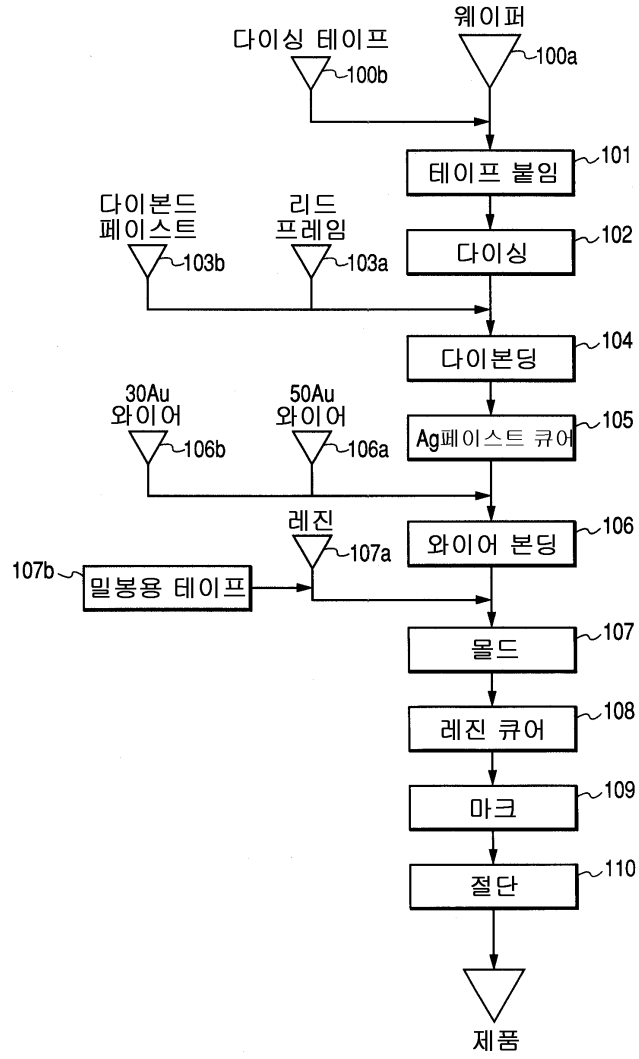




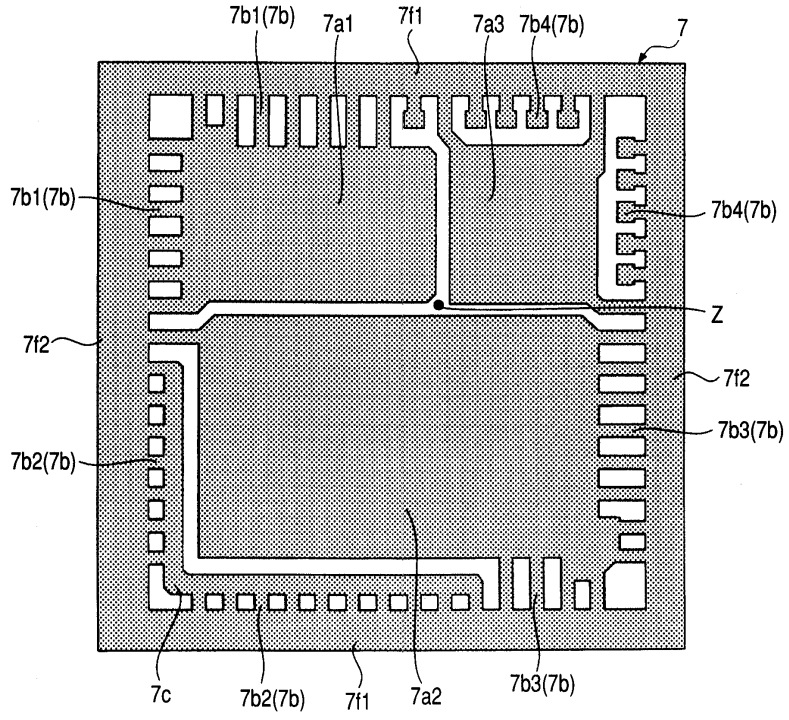
도면26



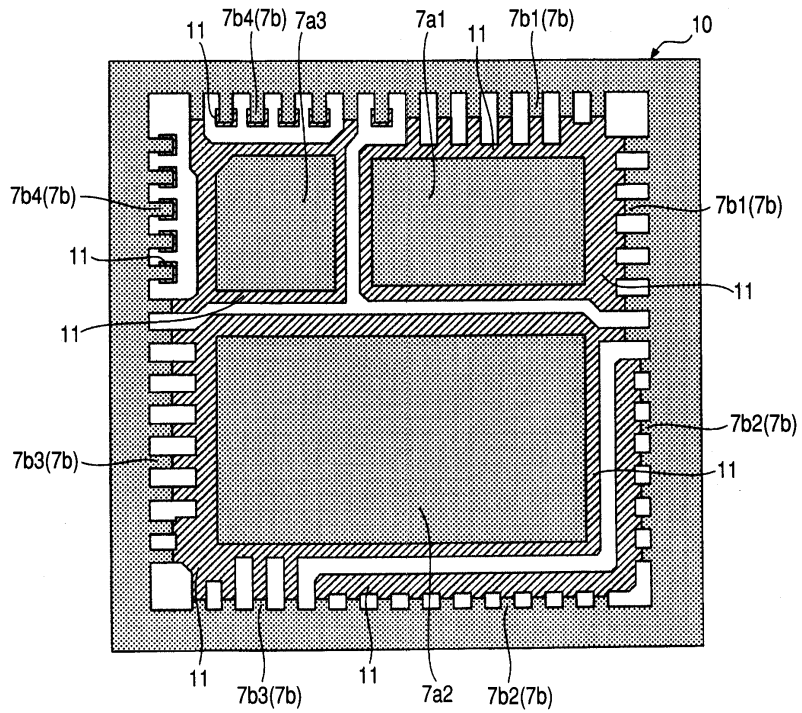
도면27



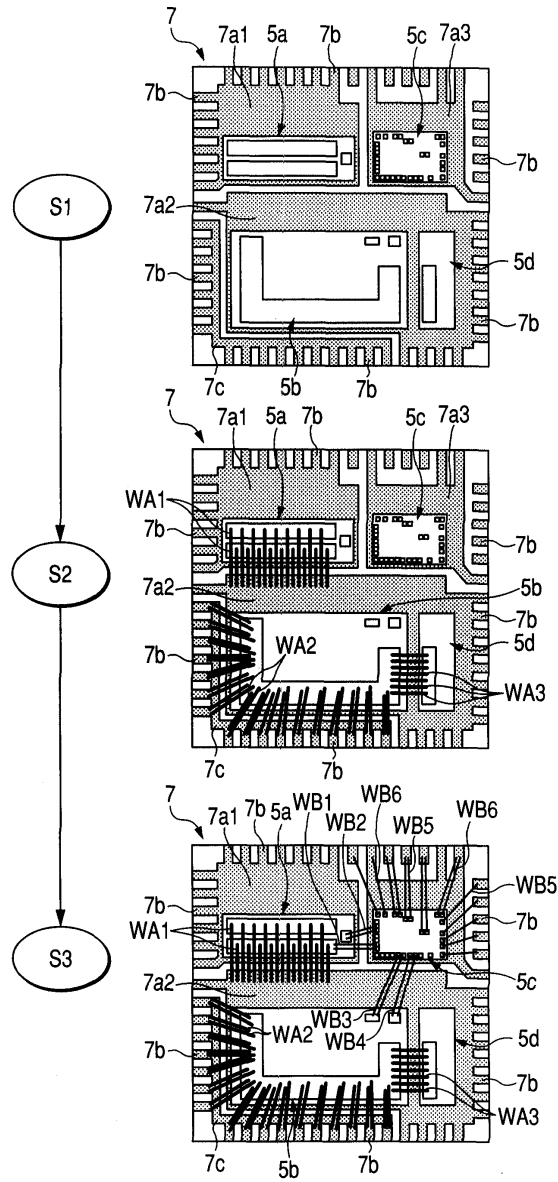
도면28



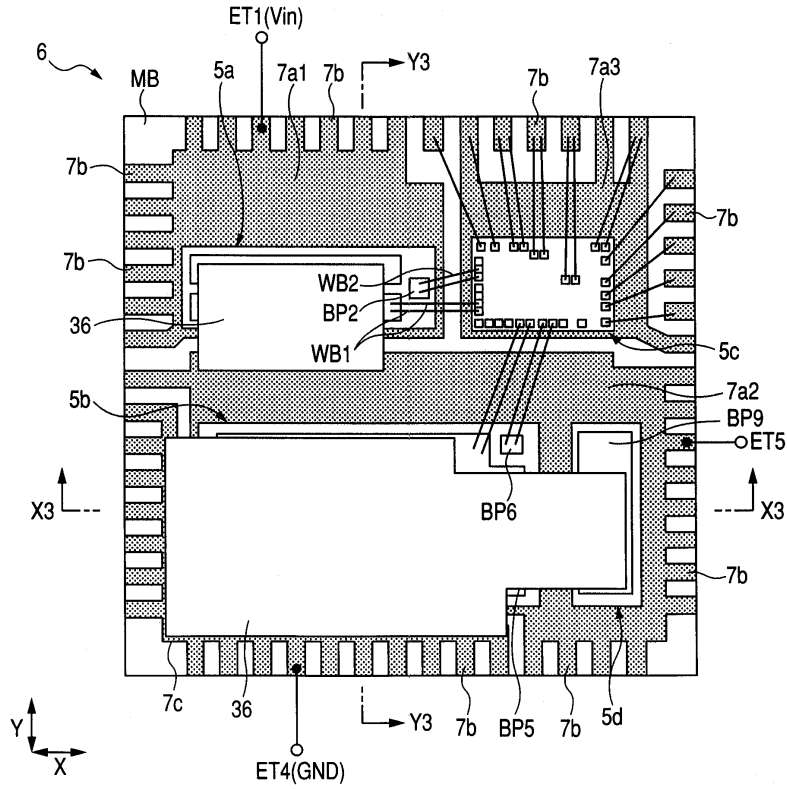
도면29



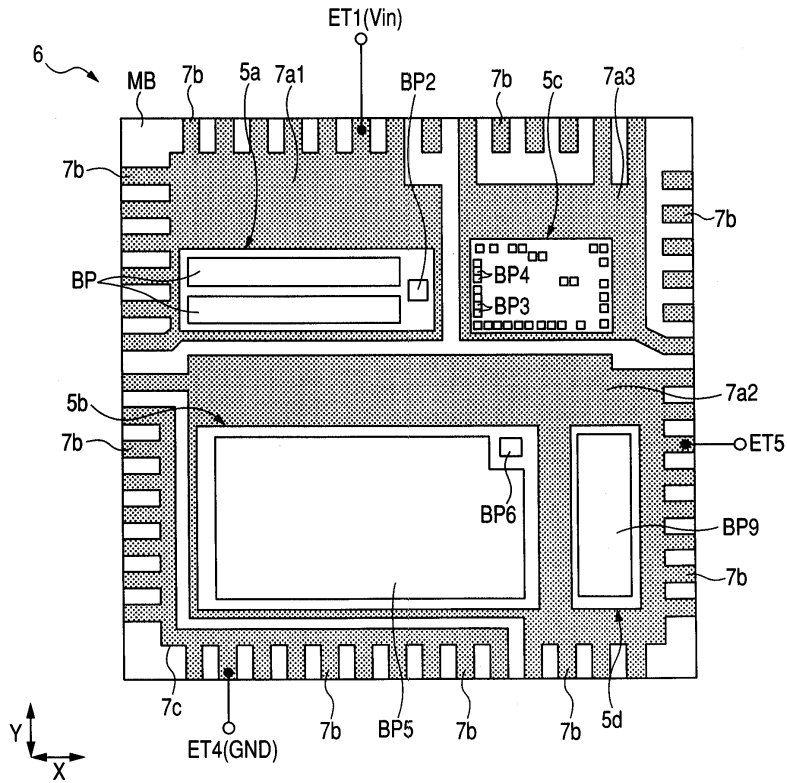
도면30



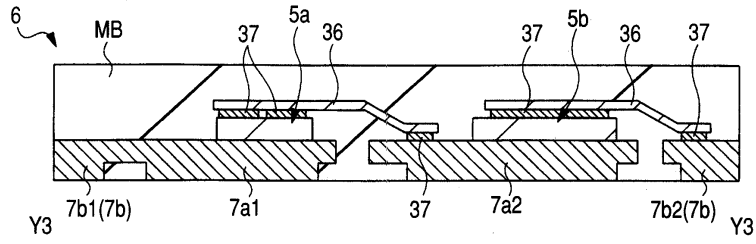
도면31



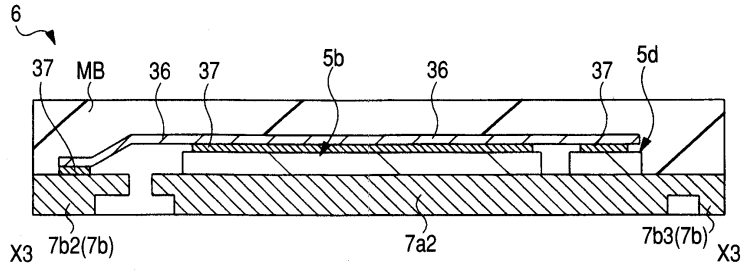
도면32



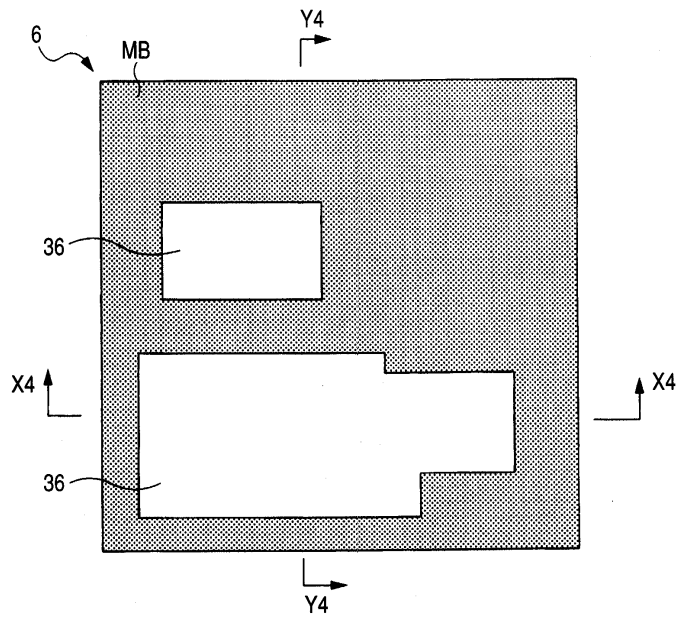
도면33



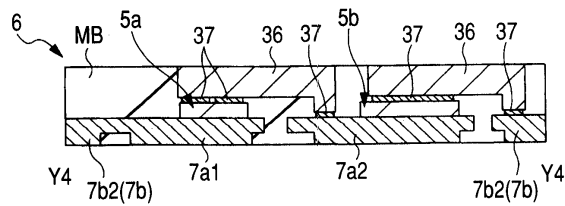
도면34



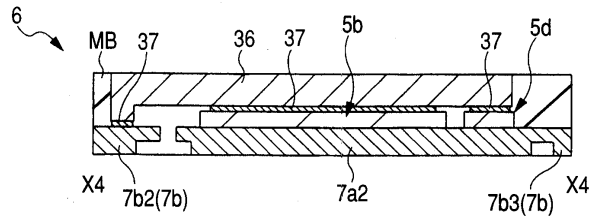
도면35



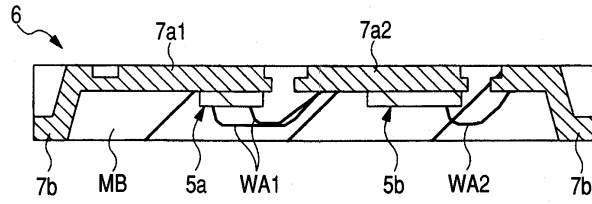
도면36



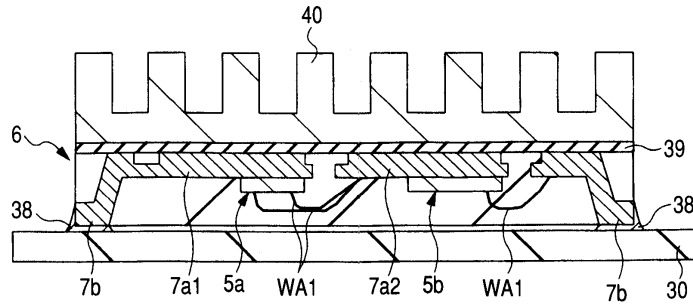
도면37



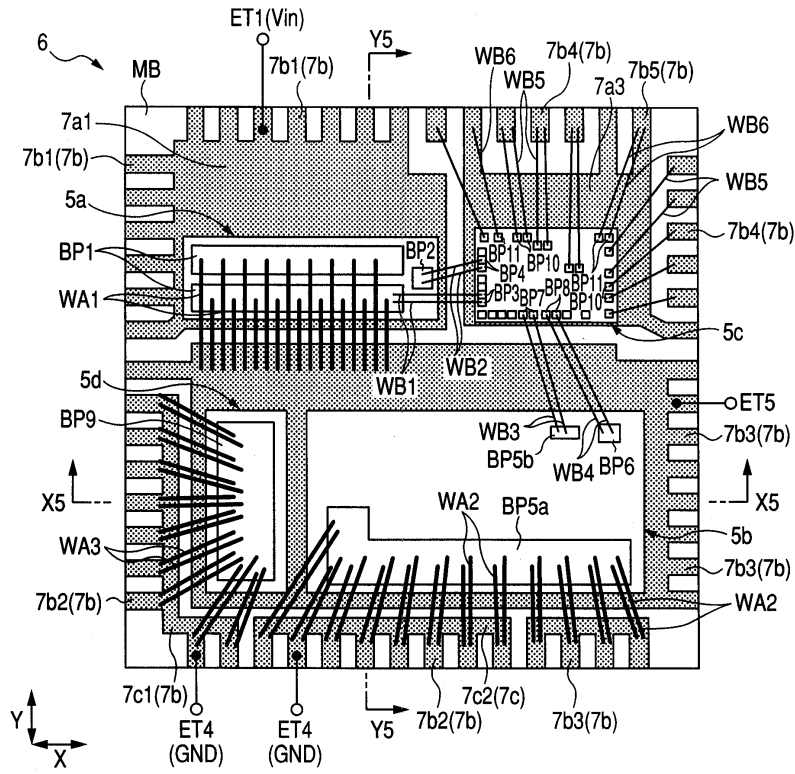
도면38



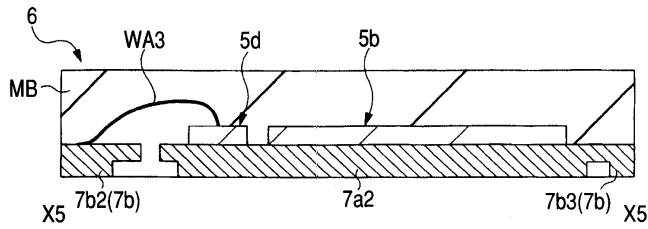
도면39



도면40

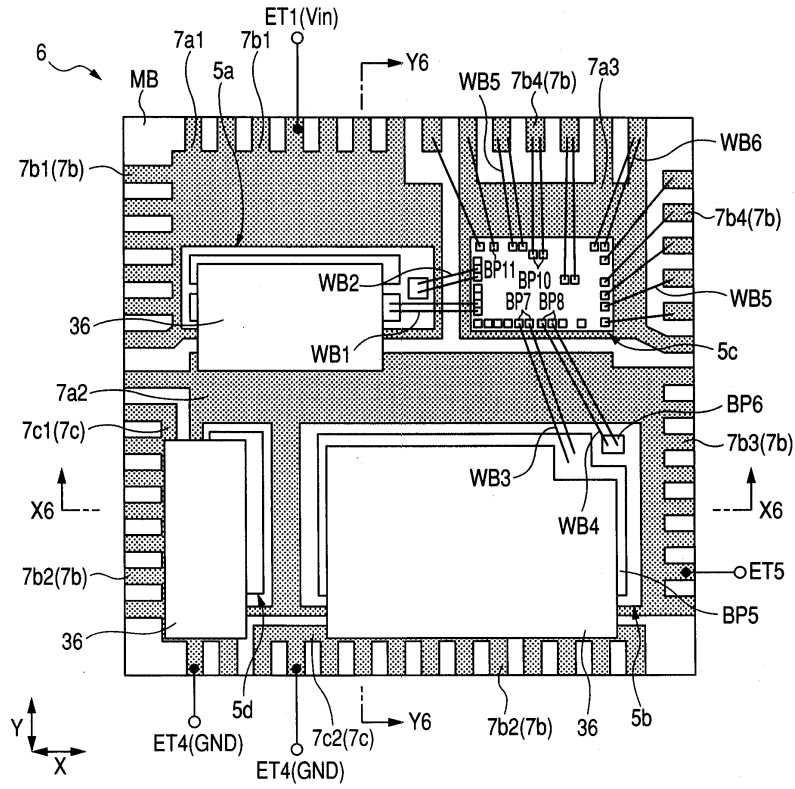


도면41

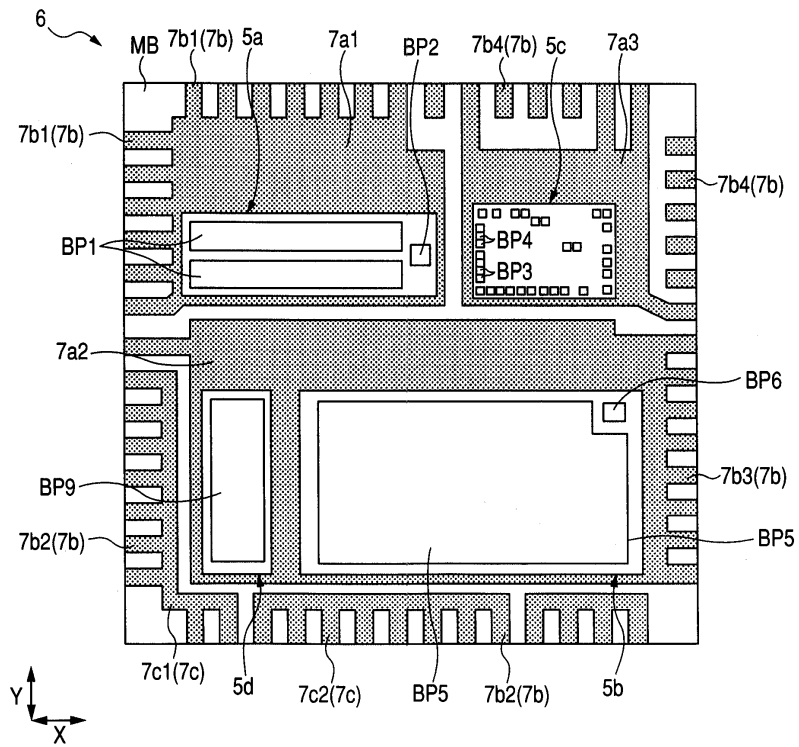




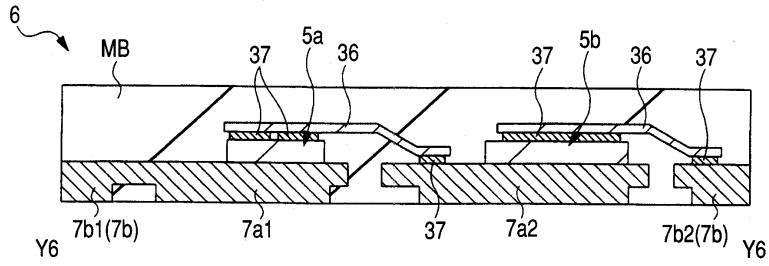
도면42



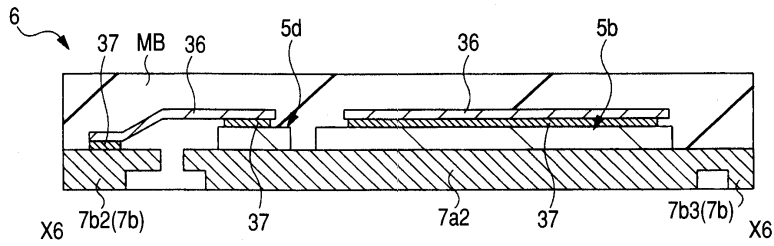
도면43



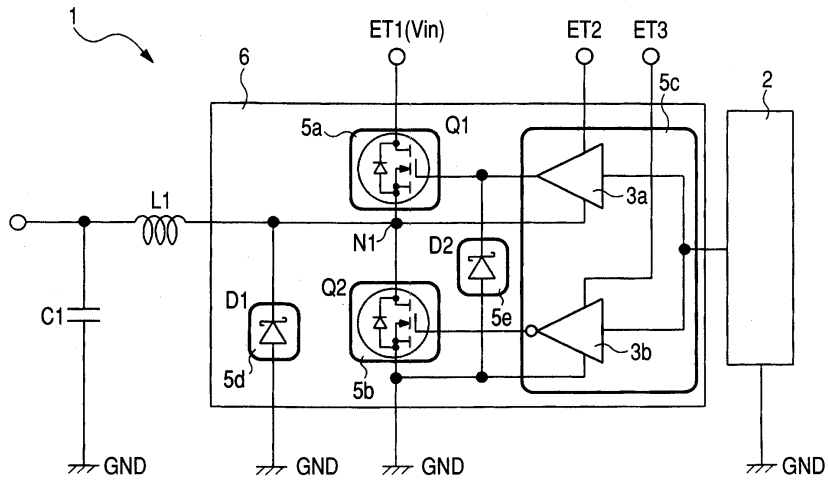
도면44



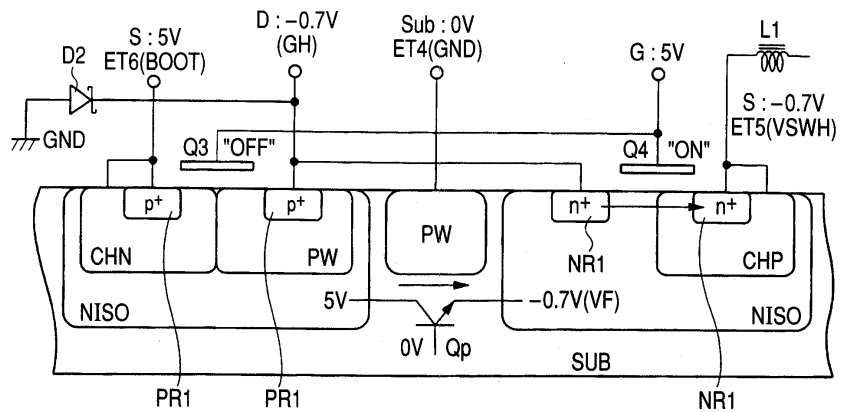
도면45



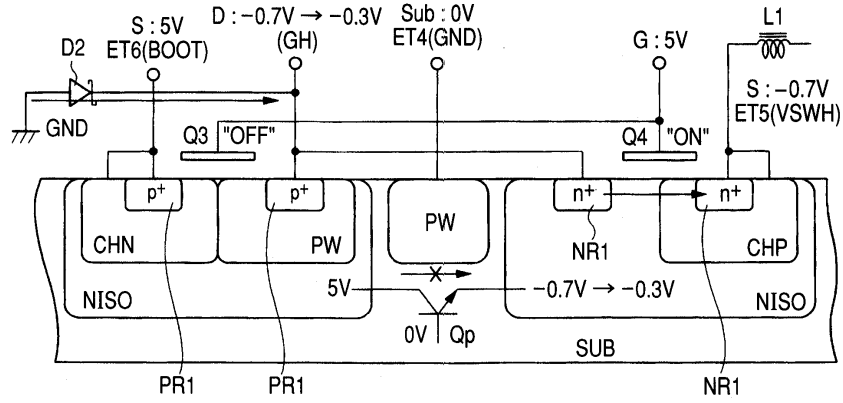
도면46



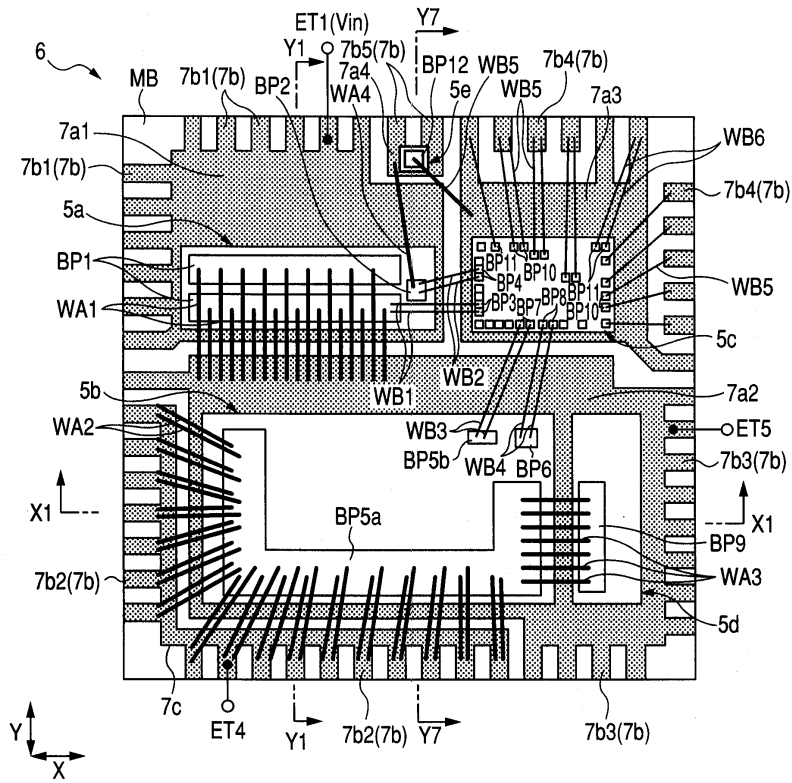
도면47



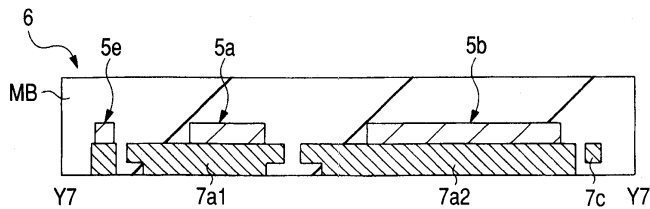
도면48



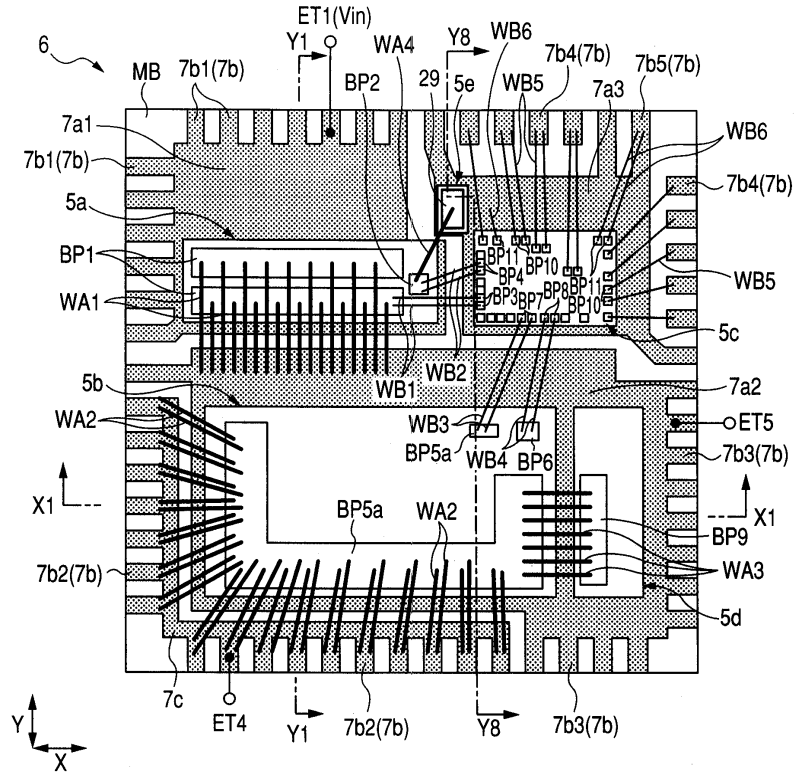
도면49



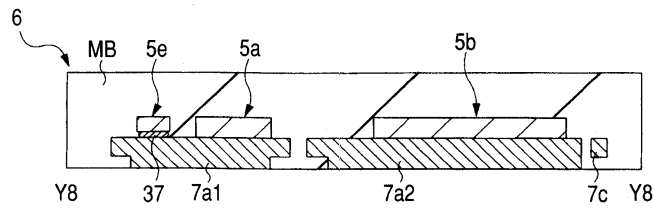
도면50



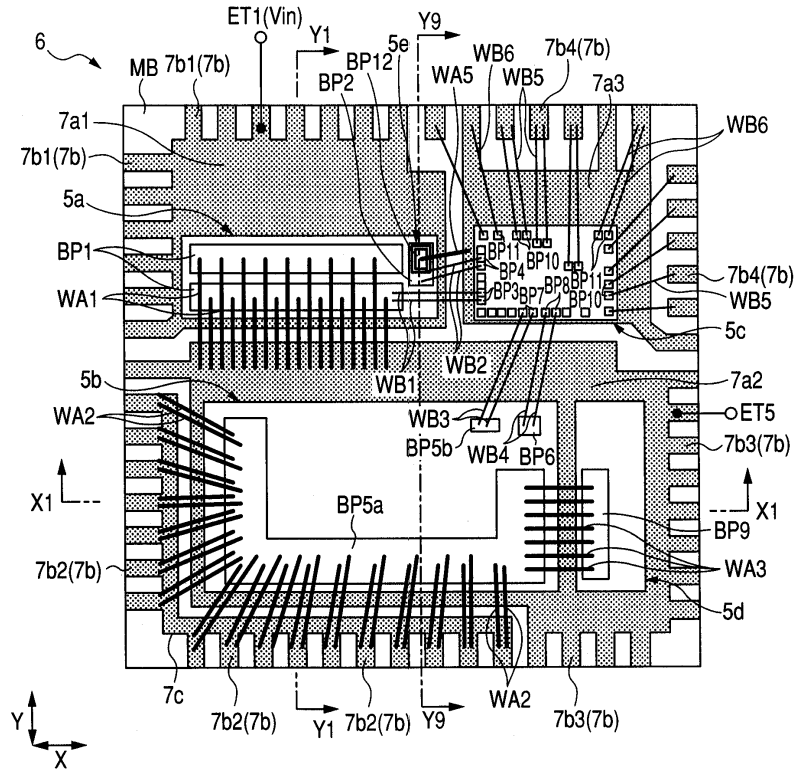
도면51



도면52



도면53



도면54

