



(12) 发明专利申请

(10) 申请公布号 CN 104409409 A

(43) 申请公布日 2015. 03. 11

(21) 申请号 201410664583. 8

(22) 申请日 2014. 11. 19

(71) 申请人 上海华力微电子有限公司

地址 201203 上海市浦东新区张江开发区高
斯路 568 号

(72) 发明人 周建华

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 王宏婧

(51) Int. Cl.

H01L 21/762(2006. 01)

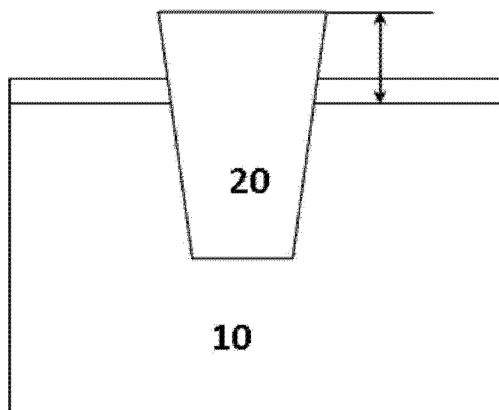
权利要求书1页 说明书4页 附图5页

(54) 发明名称

改善浅沟槽隔离边缘 SiC 应力性能的方法

(57) 摘要

本发明提供了一种改善浅沟槽隔离边缘 SiC 应力性能的方法。其中在硅衬底中形成进行浅沟槽隔离的步骤包括：在硅衬底表面依次淀积第一厚度的垫层二氧化硅层和第二厚度的垫层氮化硅层；其中，针对使用的光刻工艺，选择垫层二氧化硅层的第一厚度来调节将要形成的浅沟槽隔离的高度，并且选择垫层二氧化硅层的第一厚度以满足光刻条件；然后对垫层二氧化硅层、垫层氮化硅层和硅衬底进行有源区光刻和刻蚀以便在硅衬底中形成凹槽；随后在凹槽中填充二氧化硅并通过化学机械研磨对填充的二氧化硅进行平坦化处理以得到浅沟槽隔离；然后剥离垫层氮化硅层。



1. 一种改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于包括:
在硅衬底中形成进行浅沟槽隔离;
进行阱注入形成 N 型阱和 / 或 P 型阱;
制作栅极氧化层,执行栅极多晶硅材料的淀积,并进行栅极多晶硅的光刻形成栅极;
通过原子淀积生成的二氧化硅保护层。
2. 根据权利要求 1 所述的改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于还包括:
制作第一栅极侧墙;
进行 PMOS 轻掺杂注入形成 PMOS 器件漏轻掺杂结构;
进行锗硅外延生长工艺;
进行 NMOS 轻掺杂注入形成 NMOS 器件漏轻掺杂结构;
制作第二栅极侧墙,第二栅极侧墙包括 SiO₂ 层和 SiN 层;
形成 NMOS 源漏 SiC 外延区。
3. 根据权利要求 1 或 2 所述的改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于,在硅衬底中形成进行浅沟槽隔离的步骤包括:
在硅衬底表面依次淀积第一厚度的垫层二氧化硅层和第二厚度的垫层氮化硅层;其中,针对使用的光刻工艺,选择垫层二氧化硅层的第一厚度来调节将要形成的浅沟槽隔离的高度,并且选择垫层二氧化硅层的第一厚度以满足光刻条件;
然后对垫层二氧化硅层、垫层氮化硅层和硅衬底进行有源区光刻和刻蚀以便在硅衬底中形成凹槽;
随后在凹槽中填充二氧化硅并通过化学机械研磨对填充的二氧化硅进行平坦化处理以得到浅沟槽隔离;
然后剥离垫层氮化硅层。
4. 根据权利要求 3 所述的改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于,垫层氮化硅层的第二厚度被选择为满足光刻条件的最大厚度,由此使得浅沟槽隔离的高度最大化。
5. 根据权利要求 1 或 2 所述的改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于,在硅衬底中形成进行浅沟槽隔离的步骤使得浅沟槽隔离的上表面高于硅片衬底的上表面。
6. 根据权利要求 1 或 2 所述的改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于,在硅衬底中形成进行浅沟槽隔离的步骤使得浅沟槽隔离的上表面不低于硅片衬底的上表面。
7. 根据权利要求 1 或 2 所述的改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于,形成 NMOS 源漏 SiC 外延区的步骤包括:首先淀积作为 SiC 生长阻挡层的氮化硅层,利用氮化硅层进行光刻以定义 SiC 区域,接着针对 SiC 区域进行嵌壁硅干法刻蚀以形成 U-型硅凹槽。
8. 根据权利要求 1 或 2 所述的改善浅沟槽隔离边缘 SiC 应力性能的方法,其特征在于,所述方法用于制造 MOS 晶体管。

改善浅沟槽隔离边缘 SiC 应力性能的方法

技术领域

[0001] 本发明涉及半导体制造领域,更具体地说,本发明涉及一种通过垫层氮化硅层工艺的优化来改善浅沟槽隔离边缘 SiC 应力性能的方法。

背景技术

[0002] 随着超大规模集成电路技术的迅速发展, MOSFET 器件的尺寸在不断减小,通常包括 MOSFET 器件沟道长度的减小,栅氧化层厚度的减薄等以获得更快的器件速度。但是随着超大规模集成电路技术发展至超深亚微米级时,特别是 90 纳米及以下技术节点时,减小沟道长度会带来一系列问题,为了控制短沟道效应,会在沟道中掺以较高浓度的杂质,这会降低载流子的迁移率,从而导致器件性能下降,单纯的器件尺寸减小很难满足大规模集成电路技术的发展。因此,应力工程的广泛研究用来提高载流子的迁移率,从而达到更快的器件速度,并满足摩尔定律的规律。

[0003] 上世纪 80 年代到 90 年代,学术界就已经开始基于硅基衬底实现异质结构研究,直到本世纪初才实现商业应用。其中有两种代表性的应力应用,一种是双轴应力技术 (Biaxial Technique);另一种是单轴应力技术 (Uniaxial Technique),即应力记忆技术 (Stress Memorization Technology)、nCESL 及选择性 (或嵌入) 外延生长硅碳 SiC 漏源 (参见文献“K. W. Ang et al., IEDM Tech. Dig., pp. 1069, 2004”以及文献“Y. C. Liu et al., VLSI, pp. 44-45, 2007”) 对 NMOSFET 的沟道施加张应力提高电子的迁移率,选择性 (或嵌入) 外延生长锗硅 SiGe、pCESL 对 PMOSFET 沟道施加压应力提高空穴的迁移率,从而提高器件的性能,见图 2。

[0004] 目前,对于 SiC 外延生长工艺的研究主要集中于如何提高 SiC 中碳的浓度,碳的浓度越高,晶格失配越大,产生的应力越大,对载流子迁移率的提高越显著;另外, SiC 的形状, SiC 漏源接近多晶硅的边缘,即靠近器件沟道,应力越直接作用于器件沟道的载流子,对器件性能的提升明显。

[0005] 以上所有的研究开发都是基于硅衬底,也就是说,硅衬底提供 SiC 生长的种子, SiC 沿着硅的晶格进行外延生长,但是,半导体工艺中,器件之间通过浅沟槽隔离工艺 (STI) 实现电学隔离, STI 中使用二氧化硅进行填充,因此在 STI 与有源区边缘, SiC 外延工艺会受到 STI 的影响, STI 不能够提供足够的硅“种子”,就会出现 SiC 选择性外延工艺中的左右两侧 STI 边缘 SiC 生长低落甚至缺失。

发明内容

[0006] 本发明所要解决的技术问题是针对现有技术中存在上述缺陷,提供一种能够通过垫层氮化硅层工艺的优化来改善浅沟槽隔离边缘 SiC 应力性能的方法。

[0007] 为了实现上述技术目的,根据本发明,提供了一种改善浅沟槽隔离边缘 SiC 应力性能的方法,包括:在硅衬底中形成进行浅沟槽隔离;进行阱注入形成 N 型阱和 / 或 P 型阱;制作栅极氧化层,执行栅极多晶硅材料的淀积,并进行栅极多晶硅的光刻形成栅极;通过原

子淀积生成的二氧化硅保护层；制作第一栅极侧墙；进行 PMOS 轻掺杂注入形成 PMOS 器件漏轻掺杂结构；进行锗硅外延生长工艺；进行 NMOS 轻掺杂注入形成 NMOS 器件漏轻掺杂结构；制作第二栅极侧墙，第二栅极侧墙包括 SiO₂ 层和 SiN 层；形成 NMOS 源漏 SiC 外延区。

[0008] 优选地，在硅衬底中形成进行浅沟槽隔离的步骤包括：在硅衬底表面依次淀积第一厚度的垫层二氧化硅层和第二厚度的垫层氮化硅层；其中，针对使用的光刻工艺，选择垫层二氧化硅层的第一厚度来调节将要形成的浅沟槽隔离的高度，并且选择垫层二氧化硅层的第一厚度以满足光刻条件；然后对垫层二氧化硅层、垫层氮化硅层和硅衬底进行有源区光刻和刻蚀以便在硅衬底中形成凹槽；随后在凹槽中填充二氧化硅并通过化学机械研磨对填充的二氧化硅进行平坦化处理以得到浅沟槽隔离；然后剥离垫层氮化硅层。

[0009] 优选地，垫层氮化硅层的第二厚度被选择为满足光刻条件的最大厚度，由此使得浅沟槽隔离的高度最大化。

[0010] 优选地，在硅衬底中形成进行浅沟槽隔离的步骤使得浅沟槽隔离的上表面高于硅片衬底的上表面。

[0011] 优选地，在硅衬底中形成进行浅沟槽隔离的步骤使得浅沟槽隔离的上表面不低于硅片衬底的上表面。

[0012] 优选地，形成 NMOS 源漏 SiC 外延区的步骤包括：首先淀积作为 SiC 生长阻挡层的氮化硅层，利用氮化硅层进行光刻以定义 SiC 区域，接着针对 SiC 区域进行嵌壁硅干法刻蚀以形成 U-型硅凹槽。

[0013] 本发明合理优化垫层二氧化硅层的厚度，从而控制浅沟槽隔离二氧化硅层表面到有源区硅表面的厚度，使得能够既不影响光刻，又同时获得合理的浅沟槽隔离的高度，控制后续 SiC 工艺中嵌壁硅刻蚀工艺对浅沟槽隔离侧壁硅的损耗情况，增强了 SiC 外延生长能力，提高 SiC 半导体工艺制程能力。

附图说明

[0014] 结合附图，并通过参考下面的详细描述，将会更容易地对本发明有更完整的理解并且更容易地理解其伴随的优点和特征，其中：

[0015] 图 1 示意性地示出了 STI 氧化硅层与有源区硅表面的高度差。

[0016] 图 2 示意性地示出了根据本发明优选实施例的改善浅沟槽隔离边缘 SiC 应力性能的方法的流程图。

[0017] 图 3 至图 6 示意性地示出了根据本发明根据本发明优选实施例的改善浅沟槽隔离边缘 SiC 应力性能的方法的各个步骤。

[0018] 图 7 至图 10 示意性地示出了不同厚度的垫层氮化硅层得到的不同器件结构。

[0019] 需要说明的是，附图用于说明本发明，而非限制本发明。注意，表示结构的附图可能并非按比例绘制。并且，附图中，相同或者类似的元件标有相同或者类似的标号。

具体实施方式

[0020] 为了使本发明的内容更加清楚和易懂，下面结合具体实施例和附图对本发明的内容进行详细描述。

[0021] 通过研究，发明人有利地发现，左右两侧 STI 边缘 SiGe 生长低落甚至缺失的原因

是由于浅沟槽隔离 (STI) 氧化硅层到有源区硅表面的高度差造成的,当 STI 高度低于器件有源区硅 AA 表面时,在进行嵌壁硅刻蚀工艺时,STI 表面以上的硅都被刻蚀掉,不能给后续的 SiC 生长提供硅“种子”,造成如左右两侧 STI 边缘 SiC 生长低落甚至缺失。因此,如图 1 所示,STI 氧化硅层 20 与有源区 10 硅表面的高度差 12,以及 STI 边缘硅 (如图 1 的虚线所示) 的多少,对 SiC 工艺至关重要。

[0022] 本发明中,通过优化垫层二氧化硅层,控制 STI 氧化硅层到有源区硅表面的厚度,从而控制 SiC 工艺中嵌壁硅刻蚀工艺 (Si Recess Etch,也称为硅凹槽刻蚀) 对浅沟槽隔离侧壁硅的损耗,增强 SiC 选择性外延生长能力,提高 SiC 半导体工艺制程能力。

[0023] 图 2 示意性地示出了根据本发明优选实施例的改善浅沟槽隔离边缘 SiC 应力性能的方法的流程。

[0024] 具体地,如图 2 所示,根据本发明优选实施例的改善浅沟槽隔离边缘 SiC 应力性能的方法包括:

[0025] 首先进行步骤 S10,在硅衬底 10 中形成进行浅沟槽隔离 20。

[0026] 步骤 S10 具体可包括下述步骤:

[0027] 首先在硅衬底 10 表面依次淀积第一厚度的垫层二氧化硅层 1 和第二厚度的垫层氮化硅层 2 (如图 3 所示);其中,针对使用的光刻工艺,选择垫层二氧化硅层 1 的第一厚度来调节将要形成的浅沟槽隔离的高度,并且选择垫层二氧化硅层 1 的第一厚度以满足光刻条件;例如,优选地,垫层氮化硅层 2 的第二厚度被选择为满足光刻条件的最大厚度 (由此能够得到当前情况下的最大的浅沟槽隔离的高度);

[0028] 然后对垫层二氧化硅层 1、垫层氮化硅层 2 和硅衬底 10 进行有源区光刻和刻蚀以便在硅衬底 10 中形成凹槽 3 (如图 4 所示);

[0029] 随后在凹槽 3 中填充二氧化硅并通过化学机械研磨对填充的二氧化硅进行平坦化处理以得到浅沟槽隔离 20 (如图 5 所示);

[0030] 然后剥离垫层氮化硅层 2 (如图 6 所示)。

[0031] 如图 7 至图 10 所示,较厚的垫层氮化硅层 2 会得到较高的 STI 氧化层的高度。图 7 和图 8 示出了垫层氮化硅层 2 厚度相对较小时 STI 氧化层的高度 (如图 8 中的双箭头所示),图 9 和图 10 示出了垫层氮化硅层 2 厚度相对较大时 STI 氧化层的高度 (如图 8 中的双箭头所示)。

[0032] 优选地,在硅衬底 10 中形成进行浅沟槽隔离 20 的步骤使得浅沟槽隔离 20 的上表面高于硅片衬底的上表面。

[0033] 接着进行步骤 S11,进行阱注入形成 N 型阱和 / 或 P 型阱。

[0034] 接着进行步骤 S12,制作栅极氧化层,执行栅极多晶硅材料的淀积,并进行栅极多晶硅的光刻形成栅极。

[0035] 接着继续步骤 S13,通过原子淀积生成的二氧化硅保护层,保护器件的硅表面,减少表面硅的损失。

[0036] 接着继续步骤 S14,可选地,针对输入输出器件区域执行轻掺杂注入形成外围的输入输出器件的漏轻掺杂结构。

[0037] 接着继续步骤 S15,制作第一栅极侧墙;例如,第一栅极侧墙的材料是 SiN;具体地,例如制作第一栅极侧墙的步骤包括 SiN 的淀积和刻蚀。

[0038] 接着继续步骤 S16,进行 PMOS 轻掺杂注入形成 PMOS 器件漏轻掺杂结构。

[0039] 接着继续步骤 S17,进行锗硅外延生长工艺。

[0040] 接着继续步骤 S18,进行 NMOS 轻掺杂注入形成 NMOS 器件漏轻掺杂结构。

[0041] 接着继续步骤 S19,制作第二栅极侧墙,第二栅极侧墙包括 SiO₂层和 SiN 层;例如,第二栅极侧墙的形成包括多 SiO₂和 SiN 的淀积和刻蚀。

[0042] 接着继续步骤 S20,形成 NMOS 源漏 SiC 外延区。其中,首先淀积作为 SiC 生长阻挡层的氮化硅层,利用氮化硅层进行光刻以定义 SiC 区域,接着针对 SiC 区域进行嵌壁硅干法刻蚀以形成 U-型硅凹槽。

[0043] 当 STI 上表面低于有源区硅表面时,高于 STI 上表面的所有硅都将被刻蚀,SiC 会在 STI 边缘 SiC 生长低落甚至缺失。当 STI 上表面高于有源区硅表面时,STI 氧化层会对其边缘侧壁的硅进行保护,如图 1 虚线圈出的范围,减少了 STI 侧壁硅的损耗,增强 SiC 外延生长能力,提高 SiC 半导体工艺制程能力。

[0044] 接着继续步骤 S21,进行源漏注入形成源漏极。

[0045] 接着制作金属前介质、通孔、金属插塞和金属层。

[0046] 本发明合理优化垫层氮化硅层的厚度,从而控制浅沟槽隔离氧化硅层表面到有源区硅表面的厚度,使得能够既不影响光刻,又同时获得合理的浅沟槽隔离的高度,控制后续 SiC 工艺中嵌壁硅刻蚀工艺对浅沟槽隔离侧壁硅的损耗情况,增强了 SiC 外延生长能力,提高 SiC 半导体工艺制程能力。

[0047] 可以理解的是,虽然本发明已以较佳实施例披露如上,然而上述实施例并非用以限定本发明。对于任何熟悉本领域的技术人员而言,在不脱离本发明技术方案范围情况下,都可利用上述揭示的技术内容对本发明技术方案作出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

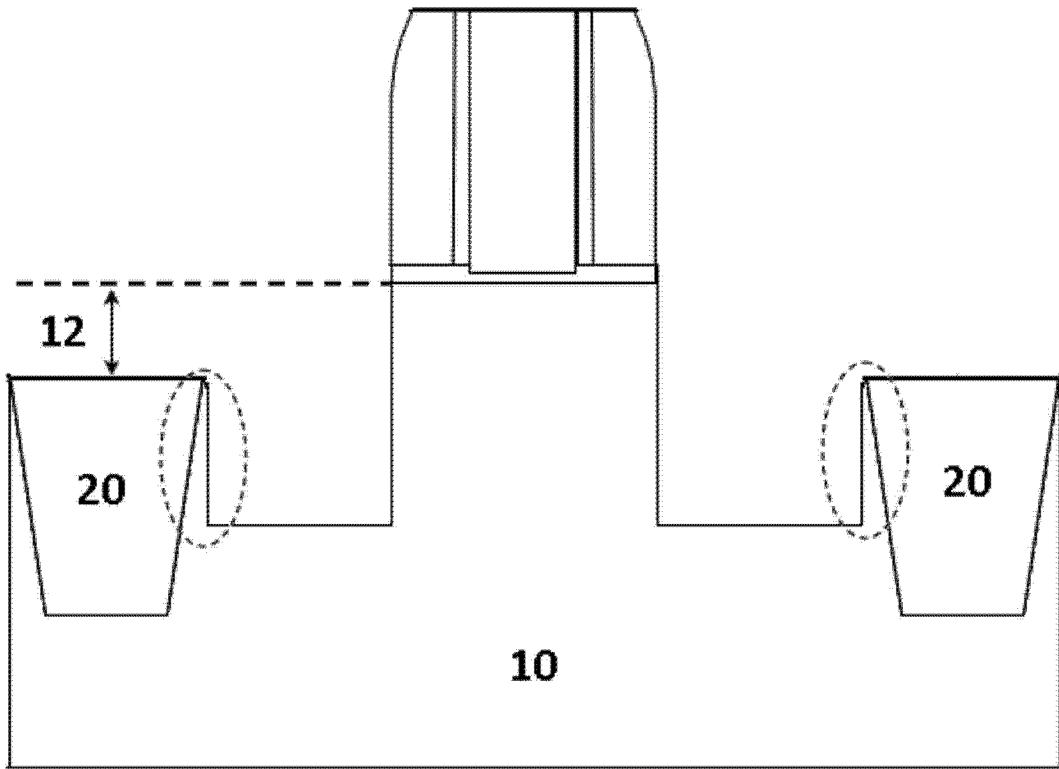


图 1

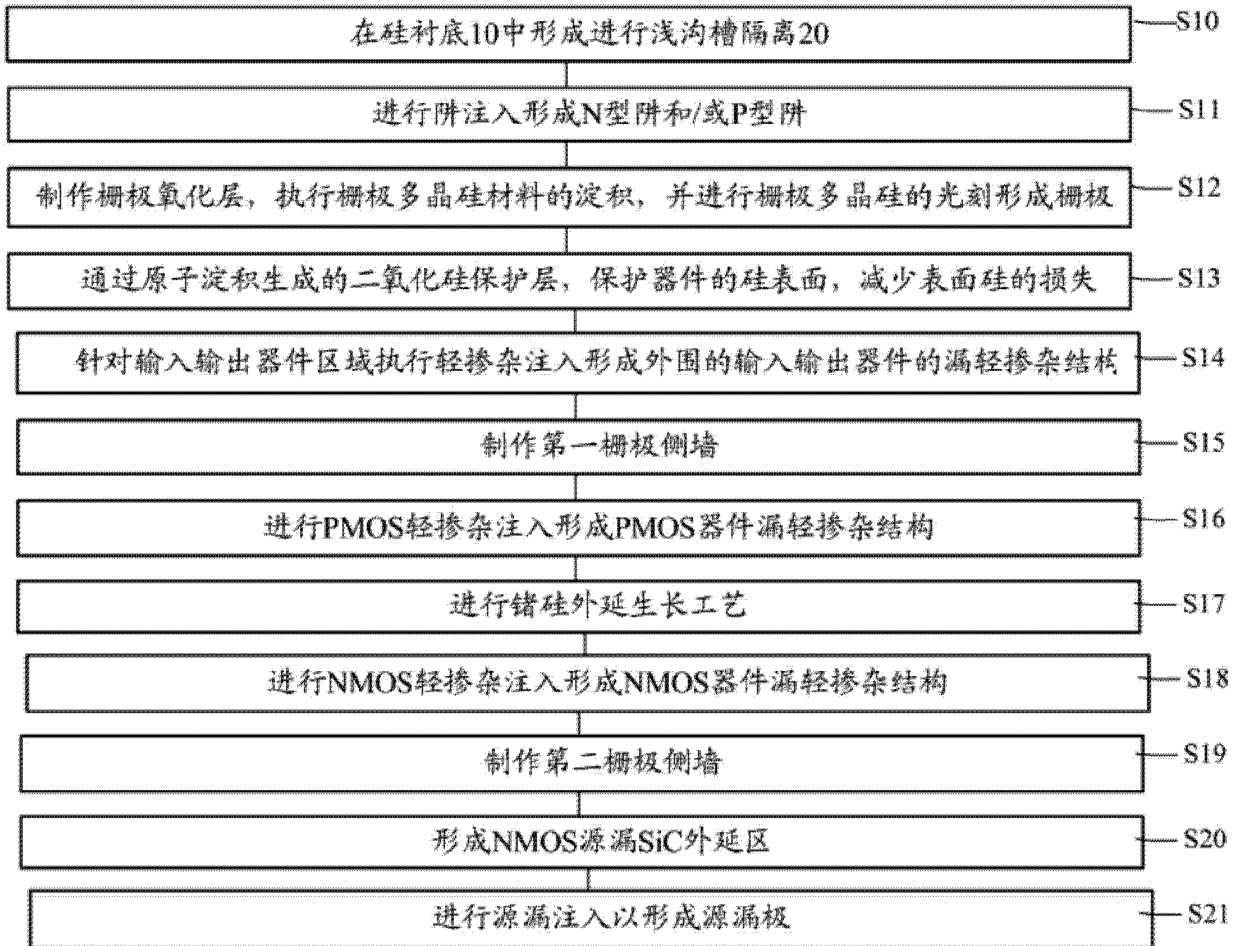


图 2

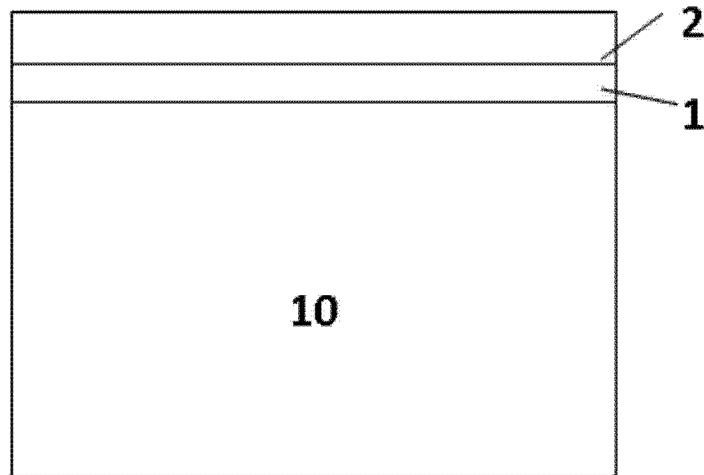


图 3

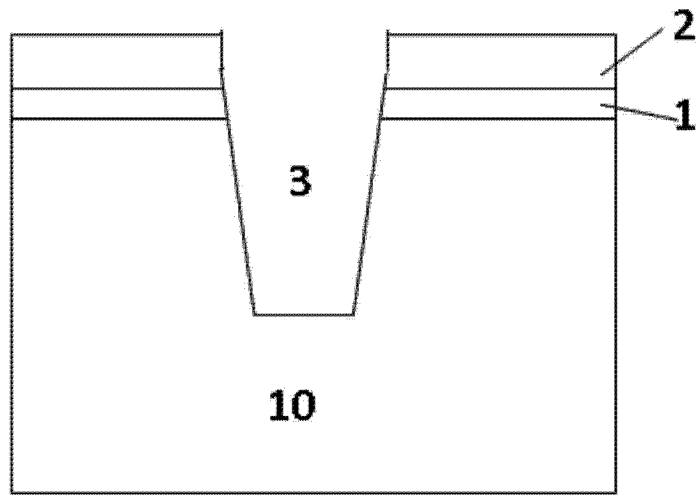


图 4

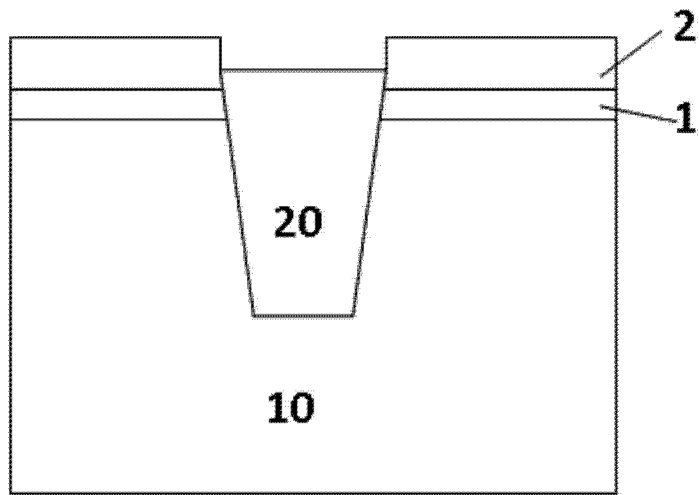


图 5

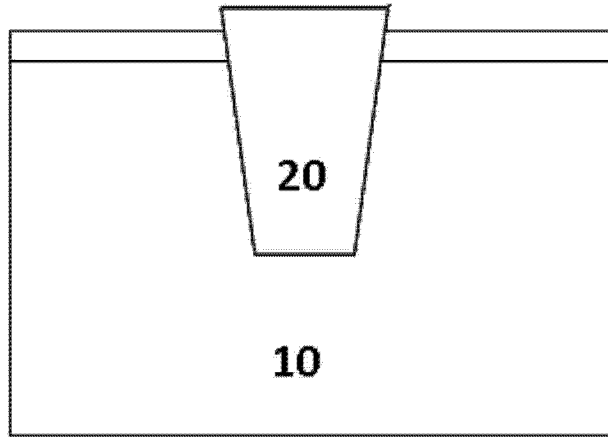


图 6

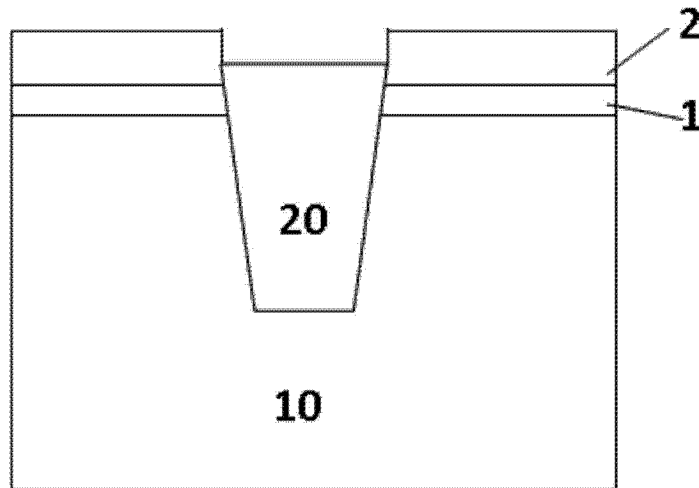


图 7

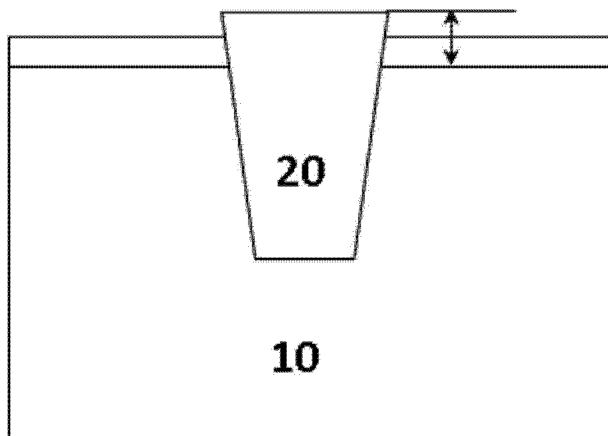


图 8

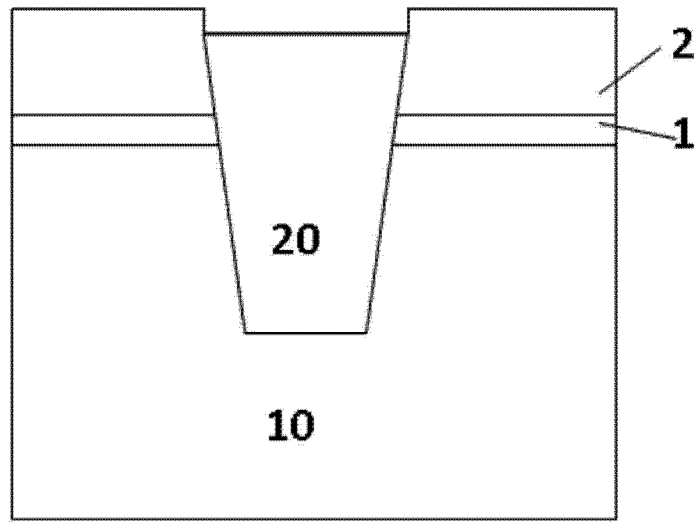


图 9

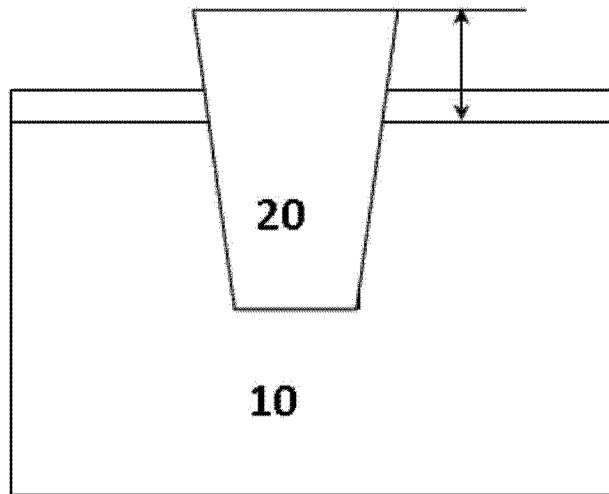


图 10