



등록특허 10-2710883



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월26일
(11) 등록번호 10-2710883
(24) 등록일자 2024년09월24일

- (51) 국제특허분류 (Int. Cl.)
H01L 23/532 (2006.01) *H01L 21/768* (2006.01)
- (52) CPC특허분류
H01L 23/53261 (2013.01)
H01L 21/76831 (2013.01)
- (21) 출원번호 10-2023-7012227 (분할)
- (22) 출원일자 (국제) 2015년02월21일
심사청구일자 2023년04월10일
- (85) 번역문제출일자 2023년04월10일
- (65) 공개번호 10-2023-0054492
- (43) 공개일자 2023년04월24일
- (62) 원출원 특허 10-2021-7040015
원출원일자 (국제) 2015년02월21일
심사청구일자 2022년01월05일
- (86) 국제출원번호 PCT/IB2015/000198
- (87) 국제공개번호 WO 2015/092780
국제공개일자 2015년06월25일

- (56) 선행기술조사문헌
US20110057317 A1*
(뒷면에 계속)

전체 청구항 수 : 총 16 항

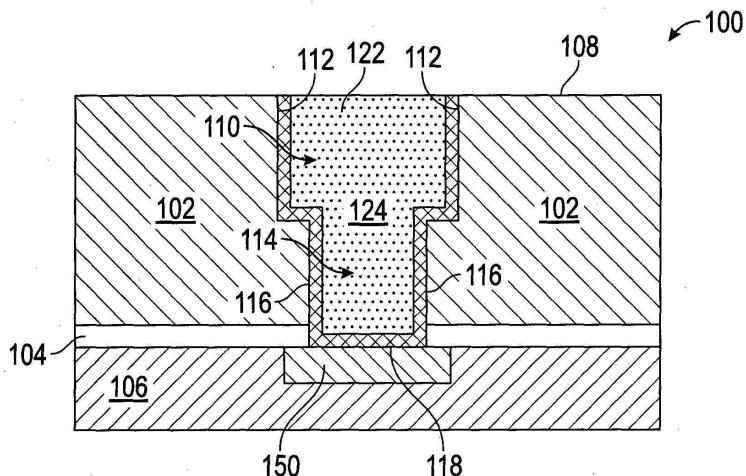
심사관 : 최상원

(54) 발명의 명칭 코발트계 인터커넥트 및 그의 제조 방법

(57) 요약

실시예는 다음을 포함하는 금속 인터커넥트 구조체를 포함한다: 기판 위에 배치된 유전체 층; 유전체 층 내의 개구부 - 상기 개구부는 측벽들을 가지고 있고 기판과 인터커넥트 라인 중 적어도 하나의 전도성 영역을 노출시킴 -; 전도성 영역 위에 그리고 측벽들 상에 배치되는 망간을 포함한 접착 층; 및 개구부 내에 그리고 접착 층의 표면 상에 코발트를 포함한 층전 재료. 다른 실시예들이 본 명세서에서 설명된다.

대표도 - 도1e



(52) CPC특허분류

H01L 21/76846 (2013.01)

H01L 21/76847 (2013.01)

H01L 21/76879 (2013.01)

H01L 21/76882 (2013.01)

H01L 21/76883 (2013.01)

H01L 23/5226 (2013.01)

H01L 23/53266 (2013.01)

H01L 23/53295 (2013.01)

H01L 29/4966 (2013.01)

(72) 발명자

셰비암, 라마난, 브이.

미국 97124 오리건주 힐스보로 노스이스트 렛포드

애비뉴571

카베르, 콜린, 티.

미국 97124 오리건주 힐스보로 노스웨스트 229번

애비뉴2501 엠에스: 알에이3-252

(56) 선행기술조사문헌

US20140183738 A1*

US20120141667 A1

US20100164119 A1

KR1020070053636 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

금속 인터커넥트 구조체로서,

기판 상의 유전체 층;

상기 유전체 층 내의 개구부로서, 상기 개구부는: (a)(i) 측벽들을 갖고, (a)(ii) 상기 유전체 층의 상부로부터 상기 유전체 층의 하부로 연장되고, (a)(iii) 상기 기판 및 추가 인터커넥트 구조체의 적어도 하나의 전도성 영역을 노출시키는, 상기 개구부;

(b)(i) 상기 전도성 영역 및 상기 개구부의 하부, 및 (b)(ii) 상기 측벽들 상의, 망간을 포함하는, 접착 층; 및 상기 접착 층과 직접 접촉하는, 상기 개구부 내의, 코발트를 포함하는 충전 재료를 포함하고,

상기 충전 재료는 적어도 90 원자 %의 코발트로 이루어지고, 상기 개구부의 상기 하부로부터 상기 개구부의 상부로 상기 개구부를 실질적으로 충전하고,

(a) 상기 접착 층은 상기 유전체 층과 직접 접촉하는 제 1 부분 및 상기 전도성 영역과 직접 접촉하는 제 2 부분을 포함하고, (b) 상기 제 1 부분은 상기 제 2 부분보다 더 높은 원자 % 망간을 포함하는, 금속 인터커넥트 구조체.

청구항 2

제 1 항에 있어서,

상기 접착 층은 실리콘, 질소, 탄소, 수소, 및 산소로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하고, 상기 접착 층은 50Å보다 더 두껍지 않고 1Å보다 더 얇지 않은, 금속 인터커넥트 구조체.

청구항 3

제 1 항에 있어서,

상기 접착 층은 상기 전도성 영역 및 상기 유전체 층 둘 다와 직접 접촉하는, 금속 인터커넥트 구조체.

청구항 4

제 3 항에 있어서,

상기 충전 재료는 상기 접착 층에 포함되는 망간과 직접 접촉하는 망간을 포함하는, 금속 인터커넥트 구조체.

청구항 5

제 1 항에 있어서,

상기 충전 재료는 실리콘 및 망간으로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는, 금속 인터커넥트 구조체.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 접착 층은 상기 전도성 영역을 상기 충전 재료로부터 완전히 분리시키지 않고, 상기 충전 재료는 상기 전도성 영역의 부분과 직접 접촉하는, 금속 인터커넥트 구조체.

청구항 8

제 1 항에 있어서,

상기 개구부 내에 위치하는, 상기 충전 재료의 부분은 필수적으로 코발트로만 구성되는, 금속 인터커넥트 구조체.

청구항 9

제 1 항에 있어서,

상기 충전 재료 및 상기 접착 층의 상부에 직접 형성되는 추가 유전체 층을 더 포함하고, 상기 충전 재료는 망간을 포함하는, 금속 인터커넥트 구조체.

청구항 10

금속 인터커넥트 구조체로서,

기판 상의 유전체 층;

상기 유전체 층 내에 포함된 개구부로서, 상기 개구부는: (a)(i) 측벽들을 갖고, (a)(ii) 상기 유전체 층의 상부로부터 상기 유전체 층의 하부로 연장되고, (a)(iii) 상기 기판 및 추가 인터커넥트 구조체의 적어도 하나의 전도성 영역을 노출시키는, 상기 개구부;

(b)(i) 상기 전도성 영역 및 상기 개구부의 하부, 및 (b)(ii) 상기 측벽들 상의, 망간을 포함하는, 접착 층;

상기 개구부 내에 포함되고, 상기 접착 층 위에 형성되는, 코발트를 포함하는 플러그; 및

상기 접착 층과 직접 접촉하는, 상기 개구부 내의, 상기 플러그 상의 코발트를 포함하는 충전 재료를 포함하고,

상기 충전 재료는 적어도 90 원자 %의 코발트로 이루어지고, 상기 개구부의 상기 플러그로부터 상기 개구부의 상부로 상기 개구부를 실질적으로 충전하고,

(a) 상기 접착 층은 상기 유전체 층과 직접 접촉하는 제 1 부분 및 상기 전도성 영역과 직접 접촉하는 제 2 부분을 포함하고, (b) 상기 제 1 부분은 상기 제 2 부분보다 더 높은 원자 % 망간을 포함하는, 금속 인터커넥트 구조체.

청구항 11

제 10 항에 있어서,

상기 접착 층은 상기 플러그 및 상기 유전체 층을 직접 접촉하는, 금속 인터커넥트 구조체.

청구항 12

제 10 항에 있어서,

상기 충전 재료 및 상기 접착 층의 상부에 직접 형성되는 추가 유전체 층을 더 포함하고, 상기 충전 재료는 망간을 포함하는, 금속 인터커넥트 구조체.

청구항 13

삭제

청구항 14

제 1 항에 있어서,

상기 전도성 영역은 확산 영역을 포함하는, 금속 인터커넥트 구조체.

청구항 15

제 1 항에 있어서,

상기 개구부의 상기 상부는 상기 개구부의 상기 하부보다 넓은, 금속 인터커넥트 구조체.

청구항 16

제 1 항에 있어서,

상기 접착 층과 상기 충전 재료 사이에 시드 층이 없는, 금속 인터커넥트 구조체.

청구항 17

제 10 항에 있어서,

상기 접착 층과 상기 충전 재료 사이에 시드 층이 없는, 금속 인터커넥트 구조체.

청구항 18

제 1 항에 있어서,

상기 충전 재료는, 상기 개구부 내에 포함되는 비아를, 상기 비아의 하부 부분으로부터 상기 비아의 상부 부분 까지, 실질적으로 충전하는, 금속 인터커넥트 구조체.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 일반적으로 금속 인터커넥트 구조체들 및 그들의 제조 방법에 관한 것이다. 더 구체적으로, 본 발명의 실시예들은 코발트계 인터커넥트 구조체들 및 그들의 제조 방법에 관한 것이다.

배경 기술

[0002] 집적 회로(IC) 디바이스들은 통상적으로 반도체 기판 내에 또는 반도체 기판 상에 형성된 트랜지스터들, 캐패시터들 및 저항기들과 같은 회로 소자들을 포함한다. 인터커넥트 구조체들은 개별 회로 소자들을 기능 회로들 내에 전기적으로 연결 또는 접속하기 위해 사용된다. 통상적인 금속 인터커넥트들은 라인(line) 부분 및 비아(via) 부분을 포함할 수 있다.

[0003] 인터커넥트 구조체들은 구리로 제조되며, 티타늄 또는 탄탈륨과 같은 배리어 층 또는 질화 탄탈륨 또는 질화 티타늄과 같은 질화물 재료들, 또는 그의 조합(예를 들어, 질화 탄탈륨/탄탈륨(TNT))을 포함할 수 있다. 구리 인터커넥트 구조체들을 이용할 경우의 문제는 이들이 보이드 형성 및 불량을 초래할 수 있는 전자 이동(electromigration)에 매우 민감하다는 것이다.

[0004] 텅스텐 금속화(tungsten metallization)는 프론트 엔드 콘택트들(front end contacts)을 제조하기 위해 성공적으로 사용되었고, 따라서, 인터커넥트 제조를 위한 백 엔드(back end) 금속화를 위해 제안되었다. 텅스텐 금속화를 이용할 경우 바람직한 장점은 유해한 전자 이동 효과에 대해 매우 저항력이 있다는 것이다. 하지만, 텅스텐 금속화를 이용할 경우의 단점은 전기 저항(electrical resistivity)이 구리보다 더 높다는 것이다. 더 구체적으로, 텅스텐 라인 저항은 구리 인터커넥트들보다 4 내지 6배 더 높으며, 비아 저항들은 20% 정도 더 높을 수 있다. 이들 고 저항들은 IC 성능을 심각하게 저하시키며 따라서 바람직하지 않다.

도면의 간단한 설명

[0005] 도 1a-1e는 본 발명의 실시예에 따른 코발트 인터커넥트들을 형성하는 방법의 측단면도이다.

도 2는 본 발명의 일 실시예에 따른 코발트 인터커넥트들을 갖고 형성된 다중 금속화 층들을 갖는 집적 회로의 측단면도이다.

도 3은 본 발명의 일 실시예에 따른 코발트 인터커넥트들을 형성하는 방법을 예시하는 흐름도이다.

도 4a-4d는 본 발명의 실시예에 따른 코발트 플러그를 갖는 코발트 인터커넥트들을 형성하는 방법의 측단면도이다.

도 5a-5d는 본 발명의 실시예에 따른 코발트 플러그를 갖는 코발트 인터커넥트들을 형성하는 방법의 측단면도이다.

도 6은 본 발명의 일 실시예에 따른 코발트 플러그를 갖는 코발트 인터커넥트들을 형성하는 방법을 예시하는 흐름도이다.

도 7은 본 발명의 실시예에 따른, 코발트계 금속 게이트 전극을 포함하는 반도체 전계 효과 트랜지스터(FET)를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0006]

이제 유사한 구조체들이 유사한 접사사 참조가 지정되어 제공될 수 있는 도면들에 대한 참조가 이루어질 것이다. 다양한 실시예들의 구조체들을 좀 더 명백하게 보여주기 위해서, 본 명세서에 포함된 도면들은 반도체/회로 구조들의 예시적 표현들이다. 그러므로, 예를 들어 현미경으로 봤을 때, 제조된 접적 회로 구조들의 실제 외양은, 다르게 보일 수 있지만, 여전히 예시된 실시예들의 청구된 구조들을 포함한다. 더욱이, 도면들은 예시된 실시예들을 이해하는 데에 유용한 구조들만을 보여줄 수 있다. 본 기술 분야에 알려진 추가 구조들은 도면들의 명료성을 유지하기 위해 포함되지 않을 수 있다. 예를 들어, 반도체 디바이스의 모든 층이 반드시 도시되지는 않는다. "일 실시예", "다양한 실시예들" 등은 그렇게 설명된 실시예(들)을 나타내는데, 특정한 특징들, 구조들 또는 특성들을 포함할 수 있지만, 모든 실시예가 반드시 특정한 특징들, 구조들 또는 특성들을 포함하지는 않는다. 일부 실시예들은 다른 실시예들에 대해 설명된 특징들의 일부, 전부를 갖거나, 하나도 갖지 않을 수 있다. "제1", "제2", "제3" 등은 공통 대상을 설명하며, 유사한 대상들의 상이한 사례들이 참조되는 것을 나타낸다. 그와 같은 형용사들은 그렇게 설명된 대상들이 시간적으로, 공간적으로, 순위적으로, 또는 임의의 다른 방식으로, 주어진 순차로 있어야 한다는 것을 함의하지는 않는다. "접속된"은 요소들이 서로 물리적으로 또는 전기적으로 직접 접촉한다는 것을 나타낼 수 있고, "결합된"은 요소들이 서로 협력하거나 상호작용하지만, 이들이 물리적으로 또는 전기적으로 직접 접촉할 수 있거나 접촉하지 않을 수 있다는 것을 나타낼 수 있다.

[0007]

본 발명의 일 실시예는 망간(Mn)계 접착 층과 코발트 층전 재료를 포함하는 코발트 인터커넥트이다. 접착 층(가끔 본 명세서에서 배리어층 또는 습윤층으로도 지칭됨)은 예를 들어, Mn, 망간 질화물(MnN), 또는 망간 실리콘 질화물($MnSi_xN_y$)과 같은 다양한 Mn계 조성물들을 포함할 수 있다. Mn계 접착 층은 패턴화된 백 엔드 인터커넥트 구조체들 내에 퇴적된 막을 포함할 수 있다. 이러한 인터커넥트 구조체들은 코발트로 금속화될 수 있다. Mn계 층은 일부 실시예들에서 인터커넥트를 형성하는 것을 돋는 중간층 유전체(ILD)에 잘 접착된다. Mn계 층은 또한 코발트 금속에 습윤성을 제공한다. 그러므로, Mn계 접착 층은 22 nm, 14 nm, 10 nm 및 그 이상과 같은 작은 스케일로 인터커넥트 구조체들의 견고한 갭 충전을 달성하는 것을 돋는다.

[0008]

한 실시예는 코발트 플러그 층 및 코발트 층전 재료를 포함하는 코발트 인터커넥트이다. 플러그 층은 코발트 층전 재료에 이용된 것과는 상이한 조성 및/또는 상이한 공정에 의해 형성된다. 그러한 코발트 인터커넥트들은 이들이 낮은 저항(예를 들어, 텅스텐보다 더 낮음)을 가지며 전자 이동에 대해 매우 저항력이 있기 때문에(예를 들어, 전자 이동에 대해 구리보다 더 저항력이 있음), 고성능 인터커넥트 구조체들의 제조를 가능하게 하므로 유리하다. 종래의 인터커넥트 가공에서 치수들이 크기 조정됨에 따라, 전통적인 배리어 층(예를 들면, TNT 배리어 층)들의 높은 저항은 종래의 구리 인터커넥트들의 성능에 더 큰 범위로 영향을 미칠 수 있다. 그러나, 낮은 저항의 Mn 층들은 이러한 저항 문제들을 완화할 수 있다.

[0009]

제1 양태에서, 등각의(conformal) Mn계 접착 층이 유전체 층 내의 개구부 내에 형성된다. 그 다음, 코발트계 층전 재료가 Mn계 접착 층 상에 퇴적 또는 성장되어 코발트 인터커넥트를 형성한다.

[0010]

도 1a-1e는 본 발명의 실시예들에 따라 Mn계 접착 층과 코발트-함유 층전 층을 갖는 코발트 인터커넥트를 형성하는 방법을 설명한다. 도 1a는 코발트 인터커넥트가 위에 형성될 수 있는 기판으로서 사용될 수 있는 상부 표면(118)을 갖는 기판(106)을 예시한다. 기판(106)은 최종적으로 코발트 인터커넥트가 위에 제조되는, 부분적으로 제조된 IC의 임의의 부분을 포함할 수 있다. 예를 들어, 기판(106)은 통상적으로 능동 및 수동 디바이스들을 포함하거나 이를 그 위에 형성할 것이다. 도 1a에 도시된 바와 같이, 기판(106) 내에는 전도성 영역(150)이 포함되며, 그 위에는 코발트 인터커넥트가 최종적으로 형성된다. 그러한 일 실시예에서, 기판(106)은 FEOL(front end of line)을 통해 가공되었고, 전도성 영역(150)은 결정성 반도체 기판 또는 층에 형성된 확산 영역이다(예를 들어, 전도성 영역은 트랜지스터의 소스 또는 드레인 영역이다). 그러한 다른 실시예에서, 전도성 영역(150)은, 하기에 도 2와 관련하여 더 상세히 설명된 바와 같이, BEOL(back end of line) 금속화 구조체 내의 하부 금속 라인이다. 그러므로, 부분(150)이 때때로 본 명세서에서 "전도성 영역(150)"으로 지칭되는 반면에 이것은 영역(150)이 106의 나머지보다 좀 더 전도성이거나 덜 전도성인 것을 나타내거나 그렇지 않을 수 있다. 또한, 150의 사용은 150이 106과 함께 반드시 모놀리식이거나 또는 상이한 공정으로 또는 106과 함께 비

동시적으로 형성된 것을 나타낼 의도는 아니다. 예를 들어, 106이 인터커넥트 라인 영역일 때 150은 106과 함께 모놀리식이고 그리고 구조적으로 및 기능적으로 106의 나머지와 구별할 수 없다. 그러나, 영역(150)은 또한 150이 소스 또는 드레인의 역할을 할 때 106의 나머지와 다르게 도핑된 영역일 수 있다. 상기 설명은 과도한 도면을 회피하기 위해 그렇지 않으면 간결한 방식으로 명료성을 제공하기 위해 제공된다.

[0011] 비록 실시예들은, 이에 제한되지는 않지만 마이크로프로세서들, 메모리들, CCD들(charge-coupled devices), SoC(system on chip) IC들, 또는 기저대역 프로세서들과 같은 반도체 IC들을 제조하는 데 이상적으로 적합할 수 있지만, 다른 응용들 또한 마이크로 전자 머신들, MEMS, 레이저들, 광학 디바이스들, 패키징 층들, 등을 포함할 수도 있다. 실시예들은 또한 개별 반도체 디바이스들을 제조하는 데 사용될 수 있다(예를 들어, 본 명세서에서 설명된 코발트 구조체는 MOS(metal oxide semiconductor) 트랜지스터의 게이트 전극을 제조하는 데 사용될 수 있다).

[0012] 다시 도 1a를 참조하면, 기판(106) 위에는 유전체 층(102)이 형성된다. 유전체 층(102)은, 이에 제한되지는 않지만, 실리콘 이산화물, SiOF, 탄소-도핑 산화물, 유리 또는 중합체 재료, 등과 같은 임의의 적절한 유전체 또는 절연 재료로 구성될 수 있다. 유전체 층 내에는 개구부가 형성된다. 개구부는 코발트 인터커넥트에 의한 접촉(간접 또는 직접)이 최종적으로 이루어지는 전도성 영역(150)을 노출시킨다. 일 실시예에서, 도 1a에 도시된 바와 같이, 개구부는, 2중 다마신 공정(dual damascene process)에서 통상적인 바와 같이, 측벽(116)들을 갖는 하부 개구부(114)(예를 들어, 비아 홀 또는 슬롯) 및 측벽(112)들을 갖는 상부 개구부(110)(예를 들어, 금속 라인 트렌치)를 포함한다. 비록 2개의 개구부가 도시되지만(또는 가변 폭을 갖는 단일 개구부), 대신에 단일 개구부가 유전체 층(102) 내에 형성될 수 있음이 이해될 것이다(예를 들어, 단일 동작에서 라인과 비아 모두가 아닌, 단지 라인 또는 비아만이 제조되는 단일 다마신 방법에 사용된 바와 같이). 다마신 및 2중 다마신 타입 제조에 통상적으로 사용된 널리 공지된 리소그래피 및 에칭 가공 기술들에 의해 유전체 층(102) 내에 개구부 또는 개구부들이 제조될 수 있다. 비록 단일 유전체 층(102)만이 도시되지만, 동일하거나 상이한 유전체 재료들의 다중 층들이 대신 사용될 수 있다(예를 들어, 내부에 개구부(114)를 갖는 제1 유전체 층, 및 내부에 개구부(110)를 갖는 제2 유전체 층). 또한, 일 실시예에서, 그리고 도 1a에 도시된 바와 같이, 기판(106) 상에 배치된 에칭 정지 층(104) 상에는 유전체 층(102)이 형성된다. 에칭 정지 층(104)은 실리콘 질화물 또는 실리콘 산질화물과 같은 재료로 구성될 수 있다.

[0013] 도 1b를 참조하면, Mn계 접착 층(120)(예를 들어, Mn, MnN, MnSi_xN_y 등을 포함하는 접착 층)이 퇴적된다. 다른 시스템들에서, 시드 층(seed layer)은 TNT 기반 접착 층 위에 형성될 수 있다. 미국 특허 출원 번호 제 13/730,184호에 개시된 시드 층과 같은, 시드 층들은, 충전 재료의 형성을 용이하게 할 수 있다. 그러나, 그와 같은 시드 층은 도 1b의 실시예에 필요하지는 않다. 도 1b의 실시예에 필요한 접착 층과 시드 층 사이에는 합금의 퇴적이 존재하지 않는다. 그러므로, 하기에 도시되는 바와 같이, Mn계 접착 층은, TNT 기반 접착 층, 임의의 시드 층, 또는 TNT 기반 접착 층과 시드 층 사이의 임의의 합금 층에 대한 필요 없이, 직접적으로 ILD(102)에 접촉되고 직접적으로 코발트 층전(하기에 설명됨)에 접촉될 수 있다.

[0014] 도 1b에서, Mn계 접착 층(120)은 유전체 층(102)의 상부 표면(108) 상에 뿐만 아니라 기판(106)의 노출된 상부 표면(118) 상에(예를 들어, 전도성 영역(150) 상에) 형성될 수 있다. 106이 "기판"으로서 지칭되는 반면에 또 다른 실시예에서 106은 금속 인터커넥트 라인, 등일 수 있다. Mn계 접착 층(120)은 또한 상부 개구부(114)의 측벽(116)들, 및 하부 개구부(110)의 측벽(112)들 상에 형성된다.

[0015] Mn계 접착 층(120)은 Mn, MnN, MnSi_xN_y, MnSi_xO_y(예를 들어, Mn₂[SiO₄], MnSiO₃), 다른 Mn계 실리케이트, 등을 포함하는 재료로 구성된 등각 층(conformal layer)일 수 있다. Mn을 포함하는 접착 층을 가진 실시예에서, Mn 함유량은 90-100% Mn을 포함할 수 있으며, 여기서 오염(즉, 남아 있는 10%)는 C, H, O 및 그의 조합들을 포함할 수 있다. MnN_x를 포함하는 접착 층을 가진 실시예에서, Mn은 0-50% Mn을 구성할 수 있고 N은 0-50%를 구성할 수 있다. MnN_x를 포함하는 접착 층을 가진 실시예에서, 접착 층은 Mn₄N 또는 Mn₃N₂를 포함할 수 있다. MnN_xSi_y를 포함하는 접착 층을 가진 실시예에서, Mn과 N은 재료의 나머지를 구성하는 Si를 가진 50%까지 포함할 수 있다. 일 실시예에서, Mn, N, 및 Si는 2중 층들 또는 3중 층들(예를 들어, MnN을 포함하는 하나의 서브층과 Mn을 포함하는 또 다른 서브층을 포함하는 접착 층), (예를 들어, Mn과 N을 갖는 서브층과 주로 Mn을 포함하는 또 다른 서브층을 포함하는 하나의 접착 층), (예를 들어, MnN_xSi_y를 포함하는 서브층과 주로 Mn을 포함하는 또 다른 서브층을 포함하는 하나의 접착 층), 등과 같은 다양한 접착 다층 조합들로 서로 포함될 수 있다. 본 명세서에 사용된 것처럼, 조성의 %는 원자 %를 의미한다.

- [0016] 일 실시예에서, Mn계 접착 층(120)은 두께 3 nm 미만, 그리고 전형적으로 1 nm 내지 3 nm로 형성된다. 일 실시예에서, 층(120)에 대한 두께 범위들(층(120)이 MnN을 포함하는 하나의 서브층과 Mn을 포함하는 또 다른 바로 인접한 서브층과 같은 단일 층 또는 다중 서브층들을 포함하든지 안하든지)은 0.1Å 내지 50Å의 범위일 수 있다. 일 실시예에서, 층(120)은 예를 들어, 10, 12, 14, 16, 18, 또는 20Å를 포함하는 10Å-20Å의 사이에 있다.
- [0017] 일 실시예에서, 전도성 영역(150)은 적어도 일부 게르마늄(예를 들어, 노출된 도핑된 실리콘 게르마늄 또는 도핑된 게르마늄 영역, 또는 금속 저마나이드 영역)을 포함한다. 일 실시예에서, 전도성 영역(150)은 적어도 일부 실리콘(예를 들어, 노출된 도핑된 실리콘 영역, 또는 금속 실리사이드 영역)을 포함한다.
- [0018] 층(120)은, 등각의 박막들을 퇴적하는 화학 증착(CVD), 원자층 증착(ALD), 물리적 기상 증착(PVD), 전기 도금, 무전해 도금 또는 다른 적절한 공정에 의해 퇴적 또는 성장될 수 있다. 일 실시예에서, 층(120)은 개구부들 내의 모든 노출된 표면들 및 상부 표면들을 충분히 고르게 덮는 고품질 등각 층을 형성하도록 퇴적된다. 접착 층은, 일 실시예에서, 등각 접착 층을 고르게 지속적으로 퇴적하기 위해 느린 퇴적 속도로 Mn계 재료를 퇴적함으로써 형성될 수 있다. 등각 방식으로 층(120)을 형성함으로써, 이후에 형성된 충전 재료(예를 들어, 코발트)의 하부 구조체와의 양립성이 개선될 수 있다. 구체적으로, 층(120)은 그 위에서의 퇴적을 위한 적절한 표면 에너지론(surface energetics)을 제공함으로써 퇴적 공정을 지원할 수 있다.
- [0019] CVD, ALD, 및 PVD와 같은 공정들을 이용한 박막의 퇴적 방안은 원하는 공정 시간, 두께, 및 등각 품질에 따라 변할 수 있다. 예를 들어, 접착 층(120)을 퇴적하기 위해 CVD를 이용하는 것은 동일한 층을 퇴적하기 위해 ALD 공정을 이용할 경우보다 등각 박막 층을 더 빨리 생성할 수 있지만; CVD 공정에 의해 퇴적된 박막의 품질은 ALD 공정에 의해 퇴적된 박막의 품질보다 더 낫을 수 있다. 또 다른 실시예에서, 층(120)은 PVD 공정에 의해 퇴적된다. PVD 공정은 고도의 등각 박막을 형성하기 위해 수용 기판과 상응하는 스퍼터 타겟 간의 거리를 증가시켜 수행될 수 있다.
- [0020] 도 1c를 참조하면, 충전 재료(122)가 개구부들(110 및 114)을 완전히 충전하고 접착 층(120)의 상부 표면 상에 및 유전체(102)의 상부 표면(108) 상에 형성되도록, 충전 재료(122)는 접착 층(120)의 노출된 표면들 상에 형성될 수 있다. 충전 재료(122)의 퇴적 동안 개구부들(110, 114) 내에 심(seam)(124)이 형성될 수 있다. 일 실시예에서, 충전 재료(122)는 비-코발트 원소(예를 들어, Al, Ni, Cu, Ag, Au, Mn, Ti, V, Cr, Fe, Ta, W, Ru, P, B, C, N, Si, Ge, Mg, Zn, Rh, Pt, Cd, Hf, In, Sn, C, O, Be, Ca, Zr, Nb, Mo, Ir, Re, 또는 Pd)의 대략 0.25-5%와 나머지 대략 95% 코발트로 구성된 희박 합금(dilute Alloy)으로 구성된다. 그러한 희박 합금은 퇴적 동안 또는 퇴적 이후의 가공 동안, 충전(122)의 표면들로의 비-코발트 종들의 이동을 수반할 수 있다. 이러한 이동은 (접착/배리어 층(120) 이외에) 코발트를 위한 확산 배리어를 제공하고 및/또는 층(120)에의 코발트의 접착을 개선하는데 사용될 수 있다. 코발트 내의 결정립계들은 또한 비-코발트 종들에 의해 충전될 수 있다. 일 실시예에서, 충전 재료(122)는 필수적으로 코발트만으로 구성된다. 다른 실시예에서, 충전 재료(122)는 적어도 90%의 코발트이다. 또 다른 실시예에서, 충전 재료(122)는 적어도 50%의 코발트로 구성된다.
- [0021] 본 발명의 일 실시예에서, 코발트 충전 재료(122)는, 이에 제한되지는 않지만, CVD, ALD, PVD, 전기도금 또는 무-전해 도금과 같은 공정에 의해 형성될 수 있다. 일 실시예에서, 충전 재료(122)를 형성하는데 사용된 공정 방법은 층(120)을 형성하는데 사용된 공정과는 다를 수 있다. 또한, 층(120)은 등각적으로 형성될 수 있는 반면, 충전 재료(122)는 비-등각 또는 상향식(bottom up) 방법으로 형성된다. 예를 들어, 층(120)은 수용 기판의 노출된 표면들 상에 등각 층을 형성하는 ALD 퇴적 공정에 의해 형성될 수 있는 반면, 충전 재료(122)는, 좀 더 수직으로 배향된 측벽 표면들 상에서와 대조적으로 평坦한 수평 표면들 상에서 퇴적 속도를 더 크게 하여, 충전 재료를 층(120)의 표면들 상에 방향성 스퍼터링하는(directionally sputter) PVD 공정에 의해 형성될 수 있다. 다른 예에서, 층(120)은 수용 기판의 노출된 표면들 상에 등각 층을 형성하는 ALD 퇴적 공정에 의해 형성될 수 있는 반면, 충전 재료(122)는 층(120)의 표면들로부터 충전 재료를 성장시키는 전기도금 공정에 의해 형성될 수 있다. 또 다른 예에서, 층(120)은 CVD 퇴적 공정에 의해 형성될 수 있으며 충전 재료는 PVD 공정에 의해 형성될 수 있다.
- [0022] 다른 실시예에서, 층(120) 및 충전 재료(122)는, 압력, 퇴적 속도, 온도 등과 같은, 퇴적 파라미터들의 상이한 세트를 제외하고는 동일한 공정(예를 들어, ALD, CVD 또는 PVD)에 의해 퇴적될 수 있다. 예를 들어, 층(120) 및 충전 재료(122)는 CVD 공정에 의해 퇴적될 수 있지만; 퇴적 압력 및 온도와 같은, 접착 층(120)을 위한 CVD 공정에 사용된 파라미터들의 세트는 충전 재료(122)를 위한 CVD 공정에 사용된 파라미터들의 세트와는 다를 수 있다. 다른 예에서, 층(120) 및 충전 재료(122)는 PVD 공정에 의해 형성되지만, 층(120)은 충전 재료(122)를

형성하기 위해 사용된 PVD 공정보다는 타겟과 수용 기판 간의 거리가 긴 PVD 공정에 의해 형성된다. 다른 실시 예에서, 금속 충전 재료(122)는 콜리메이티드(columnmated) PVD 공정에 의해 형성되는 반면, 층(120)은 비-콜리메이티드 PVD 공정에 의해 형성된다. 또는 이와는 달리, 층(120)이 충전 재료(122)보다 더 등각적으로 형성되도록, 층(120)은 충전 재료(122)를 형성하기 위해 사용된 ALD 공정의 퇴적 속도보다 더 느린 퇴적 속도의 ALD 공정에 의해 형성된다.

[0023] 도 1d를 참조하면, 어닐링 공정은 퇴적된 인터커넥트 층을 리플로우(reflow)하도록 선택적으로 수행될 수 있다. 도 1c로부터의 심(124)은 어닐링 공정 이후에 제거되어, 유전체 층(102) 내의 개구부들(110 및 114) 내에 고체(solid) 구조체를 형성할 수 있다. 어닐링 공정은 충전 재료(122) 내에 더 큰 입자 구조들을 성장시키는 것을 도와서, 저항률을 감소시키고 불량한 입자 구조들로부터의 불순물들을 배출시킬 수 있게 한다. 일 실시예에서, 어닐링 공정은 질소, 수소, 및 아르곤과 같은 가스들을 이용한다. 또한, 어닐링 공정은 백 엔드 구조체들의 열적 버짓(thermal budget) 미만의 온도에서 수행될 수 있다. 예를 들어, 일 실시예에서, 어닐링 공정은 실온 내지 300°C, 400°C, 500°C 또는 그 이상의 온도에서 수행된다. 다른 실시예에서, 어닐링 공정은 충전 재료(122)의 용점보다 높지만 백 엔드 구조체들의 열적 버짓보다 낮은 온도에서 수행된다. 다양한 실시예들에서, 어닐링 공정은 광범위하게 변할 수 있다(예를 들어, 프론트 엔드 애플리케이션들을 위한 900°C까지의 범위에 걸치는 인터커넥트들을 위한 실온 내지 300°C, 400°C, 500°C 또는 그 이상). 그와 같은 실시예들에서, 어닐링 온도는, 어닐링될 재료들의 리플로우가 어닐링될 재료에 대한 용점보다 매우 낮은 온도들에 발생할 수 있는 것처럼 어닐링되는 재료의 용점보다 높지 않다. 그와 같은 실시예들에서, 어닐링될 재료에 대한 어닐링 온도들은 백 엔드 구조체들의 열적 버짓 이하일 수 있다.

[0024] 또 다른 실시예에서, 심(124) 없이 개구부들(114 및 110) 내에 인터커넥트 층(122)(충전 층(122)이라고도 함)을 퇴적하기 위해 사이클링 기술(cycling technique)을 선택적으로 사용할 수 있다. 한 사이클은 한 번의 충전 재료(122) 퇴적과 한 번의 어닐링 공정을 수반할 수 있다. 한 사이클의 어닐링 동작은 스텝 커버리지를 개선하기 위해 충전 재료를 얇게 리플로우시키는 온도 및 지속 시간으로 설정될 수 있다. 한 사이클의 퇴적 동작은 더 적은 충전 재료를 퇴적하는 단기 퇴적(short deposition)일 수 있어서, 비아 및 라인 개구부들(114 및 110)을 완전히 충전하기 위해 여러 번의 동작들이 요구된다. 일 실시예에서, 심(124) 없이 충전 재료(122)를 퇴적하기 위해서는 5 미만의 사이클이 필요하다.

[0025] 도 1e를 참조하면, 화학 기계 연마(CMP) 공정을 수행하여, 유전체 층(102)의 상부 표면(108) 위에 배치된 충전 재료(122) 및 접착 층(120)을 제거할 수 있다. 일 실시예에서, CMP 공정은 라인 유전체 층의 상부 표면(108)에서 정지하도록 시간이 정해진 시한 CMP 공정일 수 있다. 다른 실시예에서, CMP 공정은 정지 층으로서 라인 유전체 층의 상부 표면(108)을 이용할 수 있다. 라인 유전체 층의 상부 표면 위에 퇴적된 충전 재료의 두께는 변화할 수 있으므로, 정지 층으로서 상부 표면(108)을 이용하는 것이 더 신뢰성 있는 방법일 수 있다. 대안적 실시예에서, 유전체 층(102)의 상부 표면(108) 위에 배치된 충전 재료(122) 및 층(120)을 제거하기 위해 에칭 공정을 이용한다.

[0026] 도 2는 본 발명의 일 실시예에 따른 코발트 금속 인터커넥트들을 갖는 IC 구조의 일부의 단면(200)을 예시한다. 유전체 층(102)들의 스택은 접착 층(120)들 및 금속(예를 들어, 코발트) 충전 층(124)들을 갖는 금속 인터커넥트들을 포함한다. 도 2에 도시된 IC 구조의 부분은 예를 들어, 마이크로프로세서 다이 또는 메모리 다이에서 발견된 라인의 백 엔드(BEOL) 금속화 구조체의 일부일 수 있다.

[0027] 도 3은 본 발명의 일 실시예에 따른 코발트 금속 인터커넥트의 형성 방법을 예시하는 흐름도(300)이다. 302에서, 유전체 층 내에 개구부를 형성하여 기판 내의(또는 추가 금속 인터커넥트 상의) 전도성 영역을 노출시킨다. 304에서, Mn계 접착/배리어 층은 기판 위에서, 전도성 영역과 접해서, 유전체 층 위에서뿐만 아니라 그리고 개구부의 측벽들 상에 형성된다. 306에서, 접착 층 상에 충전 재료를 형성하고 개구부를 충전한다. 충전 재료는 코발트계 재료로 구성된다. 308에서, 선택적인 실시예에서, 열을 가하여 충전 재료를 리플로우시킨다. 310에서, 유전체 층의 상부 표면 위에 배치된 충전 재료와 접착 층 재료는 제거된다.

[0028] 일 실시예에서, 유전체 층 내의 개구부의 하부 부분(예를 들어, 비아 홀 또는 슬롯)에 코발트계 플러그가 형성된다. 이어서, 개구부의 상부 부분(예를 들어, 금속 라인 트렌치)에서, 코발트계 플러그 상에 코발트계 전도성 라인을 형성하여, 코발트 인터커넥트를 형성한다.

[0029] 예를 들어, 도 4a-4d는 본 발명의 실시예에 따른 코발트 금속 인터커넥트를 형성하는 방법을 설명한다. 방법은 도 1b와 연관하여 예시되고 설명된 것과 동일한 구조로 시작하고, 그것은 접착 층(120)을 포함하고, 간략화를 위해 다시 설명되지 않을 것이다.

[0030]

도 4a를 참조하면, 플러그(420)는 접착 층(120) 위에 형성된다. 일 실시예에서, 도시된 바와 같이, 하부 개구부(114)가 플러그 재료(420)로 완전히 충전되도록 유전체 층(102)의 하부 개구부(114) 내에만 플러그(420)가 형성된다. 하지만, 다른 실시예에서, 플러그(420)의 상부 표면은 하부 개구부(114)의 상부 표면과 평면이 아닐 수 있다. 예를 들어, 플러그(420)의 상부 표면은 하부 개구부의 상부 표면보다 더 높거나 더 낮을 수 있다. 플러그(420)의 상부 표면은 층(120)의 수평의 상부 표면의 상부, 또는 하부에 있을 수 있는데, 여기서 층(120)은 114의 상부와 110의 하부에 수평으로 배치된다. 도 4a에 도시된 것처럼, 플러그(420)는 층(120)의 수평의 상부 표면 바로 아래의 상부 표면을 가지고 있는데, 여기서 층(120)은 114의 상부와 110의 하부에 수평으로 배치된다. 다른 실시예에서, 플러그(420)의 상부 표면은 플러그(420)의 형성 동안 성장 프로파일의 결과로서 벼섯-형 둠을 형성할 수 있다.

[0031]

일 실시예에서, 플러그(420)는 상향식 방법으로 형성된다. 즉, 플러그(420)는 등각의 퇴적에 의해 형성되지 않는다. 예를 들어, 일 실시예에서, 플러그(420)의 형성은 전도성 영역(150) 바로 위의 층(120)의 표면 상에 선택적으로 직접 퇴적한 다음, 그로부터 성장시킴으로써 수행된다. 특정 실시예에서, 층(120)의 노출되고 양립 가능한 표면 상에 플러그 재료를 무-전해 도금함으로써 플러그(420)가 형성된다. 예로서, 전도성 영역(150)은 코발트(Co), 구리(Cu) 또는 텉스텐(W)과 같은, 상부 금속화 또는 금속-함유 표면을 갖고, 코발트계 플러그(420)는 전도성 영역(150)의 금속화 또는 금속-함유 표면 상의 층(120)으로부터의 상향식 성장을 수반하는 무-전해 퇴적에 의해 형성된다. 다른 실시예들에서, 이에 제한되지는 않지만, 전기도금과 같은 다른 적절한 상향식 충전 및 성장 퇴적 방법들을 사용할 수 있다. 상향식 충전 방법은 수직 측벽 표면들 상에서보다 평면 또는 평坦 표면들 상에서 퇴적 속도가 더 빠른 방법이다.

[0032]

플러그(420)는 적어도 50%의 코발트로 구성된 코발트계 플러그일 수 있다. 특정 실시예에서, 플러그(420)는 적어도 90%의 코발트로 구성된다. 그러한 임의의 경우에, 플러그(420) 조성의 나머지 비-코발트 부분은, 존재할 경우, Al, Ni, Cu, Ag, Au, Mn, Ti, V, Cr, Fe, Ta, W, Ru, P, B, C, N, Si, Ge, Mg, Zn, Rh, Pt, Cd, Hf, In, Sn, C, O, Be, Ca, Zr, Nb, Mo, Ir, Re, 또는 Pd 중 하나 이상을 포함할 수 있다. 다른 실시예에서, 플러그(420)는 코발트계 화합물 또는 합금 재료로 구성된다. 예를 들어, 일 실시예에서, 플러그(420)는, 위에서 제시된 것들과 같은, 약 0.25-5%의 비-코발트 원소와, 나머지 약 95%의 코발트로 구성된 희박 합금으로 구성된 것이 사용된다. 그러한 희박 합금은 퇴적 동안 또는 퇴적 이후의 가공 동안, 코발트 플러그의 표면들 또는 계면들로의 비-코발트 종들의 이동을 수반할 수 있다. 이동은 코발트를 위한 확산 배리어를 제공할 수 있고 및/ 또는 층(120)에 대한 코발트의 접착을 증가시키기 위해 사용될 수 있다. 코발트 내의 결정립계들은 또한 비-코발트 종들에 의해 충전될 수 있다. 하지만, 다른 실시예들에서, 플러그(420)는 50% 미만의 코발트를 포함할 수 있지만, 여전히 코발트계 재료로서 지칭될 수 있다. 코발트계 화합물 플러그(420) 재료들의 예시적 실시예들은 코발트 실리사이드 또는 코발트 저마나이드 플러그 재료들을 포함한다. 그러한 특정 실시예에서, 전도성 영역(150)은 적어도 일부의 게르마늄(예를 들어, 노출된 도핑된 실리콘 게르마늄 또는 도핑된 게르마늄 영역, 또는 금속 저마나이드 영역)을 포함하며, 플러그(420) 재료는 코발트 저마나이드 층이다. 다른 그러한 특정 실시예에서, 전도성 영역(150)은 적어도 일부의 실리콘(예를 들어, 노출된 도핑된 실리콘 영역, 또는 금속 실리사이드 영역)을 포함하며, 플러그(420) 재료는 코발트 실리사이드 층이다. 코발트계 합금 플러그(420) 재료들의 예시적 실시예들은 다음 중 하나 이상과 합금된 코발트를 포함한다: Al, Ni, Cu, Ag, Au, Mn, Ti, V, Cr, Fe, Ta, W, Ru, P, B, C, N, Si, Ge, Mg, Zn, Rh, Pt, Cd, Hf, In, Sn, C, O, Be, Ca, Zr, Nb, Mo, Ir, Re, 또는 Pd. 상술한 실시예들에서, 코발트 플러그(420)는 작은 입자 구조체를 가질 수 있다. 실시예에서, 상기 언급한 도편트(즉, 비-코발트 성분의 0.25-5%)는 코발트가 부분(150)과 마찬가지로 측벽(116)에 직접 부착되도록 층(120) 없이 이용될 수 있다. 실시예에서, 도편트는 본질적으로 150과 116에서의 계면들과 같은 계면들에의 확산에 의해 층(120)(접착 층)을 생성한다. 일 실시예에서 도편트는 부분(150)을 가진 층을 형성한다. 또 다른 실시예에서 도편트는 배리어가 바닥이 없고 플러그(420)가 영역(150)에 직접 접촉하도록 150을 가진 층 형성을 행하지 않는다.

[0033]

도 4b를 참조하면, 전처리(422)는 선택적으로 플러그(420)와 층(120)의 노출된 상부 표면 상에서 실행될 수 있다. 플라즈마 공정 또는 이온 충격(ion bombardment)에 의해 전처리를 수행하여 처리된 표면에 대한 이후 형성된 화합물의 접착을 증가시킬 수 있다. 일 실시예에서, 전처리는 예를 들어 H_2/He 플라즈마, Ar 플라즈마, NH_3 플라즈마, N_2 플라즈마, 및 또는 이들의 조합을 이용하여 약 20 내지 60 초 동안 실온 내지 약 $300^\circ C$, $400^\circ C$, $500^\circ C$ 또는 그 이상까지의 범위의 온도로 플라즈마 챔버 내에서 수행될 수 있다. 다른 실시예에서, 전처리는 아르곤 이온 충격을 포함할 수 있다. 이러한 전처리는 공정 흐름의 다른 단계들에서(예를 들어, 플러그 재료들을 형성하기 이전에) 수행될 수 있음이 이해될 것이다. 일 실시예에서 전처리는 층(120)이 형성되기 전에 수행

된다. 그러나, 다른 실시예들에서 층(120)의 처리는 층(102)과 같은 유전체들에 영향을 끼치지 않고 상당히 밀도에 유익할 수 있다.

[0034] 도 4c를 참조하면, 충전 재료(424)는 상부 개구부(110) 내의 플러그(420)와 층(120) 상에 형성된다. 충전 재료(424)의 퇴적 이후에 상부 개구부(110) 내에는 심(426)이 형성될 수 있다. 일 실시예에서, 충전 재료(424)는 코발트를 포함하는 재료로 구성된다. 예를 들어, 충전 재료는 충전 재료(122)에 대해서 상술한 재료들로 구성되고 상술한 공정들에 의해 퇴적될 수 있다. 또한, 충전 재료(424)는 조성 및/또는 퇴적 기술에 의해 플러그(420) 재료와는 다를 수 있다.

[0035] 어닐링 공정을 선택적으로 수행하여 퇴적된 충전 재료(424)를 리플로우시킬 수 있다. 도 4c로부터의 심(426)은 어닐링 공정 이후에 제거되어, 유전체 층(102) 내의 개구부들(110 및 114) 내에 고체 구조체를 형성할 수 있다. 어닐링 공정은 충전 재료(424) 내에 더 큰 입자 구조들이 성장하게 할 수 있어서, 저항률을 감소시키고, 그렇지 않으면 불량한 입자 구조들로부터의 불순물들을 배출시킨다. 일 실시예에서, 어닐링 공정은, 이에 제한되지는 않지만, 질소, 수소, 또는 아르곤과 같은 포밍 가스의 사용을 수반한다. 또한, 어닐링 공정은 백 엔드 구조체들의 열적 벼짓 미만의 온도에서 수행될 수 있다. 예를 들어, 일 실시예에서, 어닐링 공정은 실온 내지 300°C, 400°C, 500°C 또는 그 이상의 온도에서 수행된다. 다른 실시예에서, 어닐링 공정은 충전 재료(424)의 용점보다 높지만 백 엔드 구조체들의 열적 벼짓보다는 낮은 온도에서 수행된다. 실시예들에서 어닐링 온도는 어닐링될 재료들의 리플로우가 재료가 어닐링되기 위한 용점보다 매우 낮은 온도에 발생할 수 있기 때문에 어닐링되는 재료의 용점보다 높지 않다. 그와 같은 실시예들에서 재료가 어닐링되기 위한 어닐링 온도는 백 엔드 구조체들의 열적 벼짓 미만일 수 있다.

[0036] 또 다른 실시예에서, 심(426) 없이 개구부(110) 내에 충전 재료(424)를 퇴적하기 위해 사이클링 기술이 선택적으로 사용된다. 한 사이클은 한 번의 충전 재료(424) 퇴적 및 한 번의 어닐링 공정을 수반할 수 있다. 한 사이클의 어닐링 동작은 스텝 커버리지를 개선하기 위해 충전 재료(424)를 얕게 리플로우시키는 온도 및 지속 시간으로 설정될 수 있다. 한 사이클의 퇴적 공정은 더 적은 충전 재료(424)를 퇴적하는 단기 퇴적일 수 있어, 상부 개구부(110)를 완전히 충전하기 위해서는 여러 번의 동작들이 요구된다. 일 실시예에서, 심(426) 없이 충전 재료(424)를 퇴적하기 위해 5 미만의 사이클이 필요하다.

[0037] 도 4d를 참조하면, CMP 공정을 수행하여 층(120)의 상부 표면 위의 충전 재료(424)를 제거하여 코발트계 구조체(428)를 제공할 수 있다. 일 실시예에서, CMP 공정은 라인 유전체 층의 상부 표면(108)에서 정지하도록 시간이 정해진 시한 CMP 공정일 수 있다. 또 다른 실시예에서, CMP 공정은 정지 층으로서 유전체 층(102)의 상부 표면(108)을 이용할 수 있다. 유전체 층(102)의 상부 표면(108) 위에 퇴적된 충전 재료의 두께는 변할 수 있으므로, 정지 층으로서 상부 표면(108)을 이용하는 것이 더 신뢰성 있는 방법일 수 있다. 대안적인 실시예에서, 유전체 층(102)의 상부 표면(108) 위의 충전 재료(424)를 제거하기 위해서는 에칭 공정을 이용한다.

[0038] 일 실시예에서, 유전체 층 내의 개구부의 하부 부분(예를 들어, 비아 홀 또는 슬롯) 내에는 코발트계 플러그가 형성된다. 이어서, 코발트계 플러그 위에서, 개구부의 상부 부분(예를 들어, 금속 라인 트렌치) 내에는 접착 층이 형성된다. 코발트계 전도성 라인은 그리고 나서 플러그 바로 위에 있는 접착 층의 부분 위에 형성되어 개구부의 상부 부분을 충전하여 코발트 인터커넥트를 형성한다.

[0039] 예를 들어, 도 5a-5d는 본 발명의 일 실시예에 따라 Mn계 접착 층 및 코발트 함유 충전 층을 갖는 코발트 인터커넥트를 형성하는 방법을 예시한다. 방법은 도 1a와 관련하여 예시되고 설명된 것과 동일한 구조로 시작한다. 다음에, 도 5a를 참조하면, 코발트계 플러그(420)는 기판(106)의 전도성 영역(150) 상의, 유전체 층(102)의 하부 개구부(114) 내에 형성된다. 그러나, 또 다른 실시예에서 접착 층은 플러그(420)가 형성되기 전에 첫째로 유전체(102)의 측벽들을 따라 및/또는 부분(150)의 상부에 형성된다.

[0040] 도 5b를 참조하면, Mn계 접착 층(524)(예를 들어, Mn, MnN, MnSi_xN_y, MnSi_xO_y(예를 들어, Mn₂[SiO₄], MnSiO₃), 다른 Mn계 실리케이트, 등)은 도 5a의 구조와 적합하게 퇴적된다. 예를 들어, 일 실시예에서, Mn계 접착 층(524)은 유전체 층(102)의 상부 개구부(114) 내에 및 노출된 플러그(420) 상에 형성된다. 접착 층(524)을 형성하는 조성과 방법은 도 1b의 접착 층(120)에 대해 설명된 것일 수 있다.

[0041] 도 5c를 참조하면, 충전 재료(526)는 접착 층(524) 상에, 상부 개구부(110) 내에, 및 유전체 층(102)의 상부 표면(108) 상에 형성된다. 충전 재료(526)의 퇴적 이후에 개구부(110) 내에는 심(528)이 형성될 수 있다. 충전 재료 층(526)을 형성하는 조성과 방법은 도 1c의 충전 재료(122)에 대해 설명된 것일 수 있다. 또한, 일 실시예에서 플러그(420)와 충전 재료(526)가 전부 코발트계일지라도, 그들은 전부 조성 및/또는 퇴적 기술에 의해

서로 다를 수 있다.

[0042] 어닐링 공정은 퇴적된 충전 재료(526)를 리플로우하기 위해 선택적으로 수행될 수 있다. 도 5c로부터의 심(528)은 어닐링 공정에 이후에 제거되어, 유전체 층(102)의 개구부(110) 내에 고체 구조체를 형성할 수 있다. 어닐링 공정은 충전 재료(526) 내에 더 큰 입자 구조들을 성장시키게 할 수 있어서, 저항률을 감소시키고 불량한 입자 구조들로부터의 불순물들을 배출시킬 수 있다. 일 실시예에서, 어닐링 공정은, 이에 제한되지는 않지만, 질소, 수소, 또는 아르곤과 같은 가스의 사용을 수반한다. 또한, 어닐링 공정은 백 엔드 구조체들의 열적 버짓 미만의 온도에서 수행될 수 있다. 예를 들어, 일 실시예에서, 어닐링 공정은 실온 내지 300°C, 400°C, 500°C 또는 그 이상의 온도에서 수행된다. 또 다른 실시예에서, 어닐링 공정은 충전 재료(526)의 융점보다 높지만 백 엔드 구조체들의 열적 버짓보다 낮은 온도에서 수행된다. 실시예들에서 어닐링 온도는 어닐링될 재료들의 리플로우가 재료가 어닐링되기 위한 융점보다 매우 낮은 온도에서 발생할 수 있기 때문에 어닐링되는 재료의 융점보다는 높지 않다. 그와 같은 실시예들에서 재료가 어닐링되기 위한 어닐링 온도는 백 엔드 구조체들의 열적 버짓 미만일 수 있다.

[0043] 또 다른 실시예에서, 심(528) 없이 개구부(110) 내에 충전 재료(526)를 퇴적하기 위해 사이클링 기술을 사용할 수 있다. 한 사이클은 한 번의 충전 재료(526) 퇴적 및 한 번의 어닐링 공정을 수반할 수 있다. 한 사이클의 어닐링 동작은 스텝 커버리지를 개선하기 위해 충전 재료를 얇게 리플로우시키는 온도 및 지속 시간으로 설정될 수 있다. 한 사이클의 퇴적 동작은 더 적은 충전 재료를 퇴적하는 단기 퇴적일 수 있어서, 개구부(510)를 완전히 충전하기 위해서는 여러 번의 동작들이 요구된다. 일 실시예에서, 심(528) 없이 충전 재료(526)를 퇴적하기 위해서는 5 미만의 사이클이 필요하다.

[0044] 도 5d를 참조하면, CMP 공정을 수행하여 유전체 층(102)의 상부 표면(108) 위에 배치된 충전 재료(526) 및 접착 층(524)을 제거하여, 코발트계 구조체(530)를 제공할 수 있다. 일 실시예에서, CMP 공정은 유전체 층(102)의 상부 표면(108)에서 정지하도록 시간이 정해진 시한 CMP 공정일 수 있다. 다른 실시예에서, CMP 공정은 정지 층으로서 유전체 층(102)의 상부 표면(108)을 이용할 수 있다. 유전체 층(102)의 상부 표면(108) 위에 퇴적된 충전 재료의 두께는 변할 수 있으므로, 정지 층으로서 상부 표면(108)을 이용하는 것은 좀 더 신뢰성 있는 방법일 수 있다. 대안적인 실시예에서, 유전체 층(102)의 상부 표면(108) 위에 배치된 충전 재료(526) 및 층(524)을 제거하기 위해 에칭 공정을 이용한다.

[0045] 도 6은 본 발명의 일 실시예에 따른 코발트 금속 인터커넥트를 형성하는 방법을 예시하는 흐름도(600)이다. 602에서, 유전체 층 내에 개구부를 형성하여 기판 내의 전도성 영역을 노출시킨다. 604에서, 코발트 플러그는 전도성 영역과 접촉하여, 개구부의 하부 부분 내에 형성된다. 605에서, Mn계 접착 층(예를 들어, Mn, MnN, MnSi_xN_y 등)은 개구부의 상부 부분 내에 형성된다. 606에서, 플러그와 접착 층 상에는 충전 재료를 형성하여 개구부를 충전한다. 충전 재료는 코발트계 재료로 구성된다. 608에서, 선택적인 실시예에서, 열을 인가하여 충전 재료를 리플로우시킨다. 610에서, 유전체 층의 상부 표면 위에 배치된 충전 재료가 제거된다. 그러한 일 실시예에서, 충전 재료와 플러그 모두는 코발트를 포함하지만, 상이한 재료 조성들을 갖는다. 그러한 다른 실시예에서, 충전 재료 및 플러그는 모두 코발트를 포함하지만, 상이한 퇴적 또는 성장 기술들에 의해 형성된다. 그러한 또 다른 실시예에서, 충전 재료 및 플러그는 모두 코발트를 포함하지만, 상이한 재료 조성들을 갖고 상이한 퇴적 또는 성장 기술들에 의해 형성된다.

[0046] 일 실시예에서, 반도체 디바이스의 금속 게이트 전극은 적어도 부분적으로 코발트로 구성된다. 즉, 본 발명의 실시예들은 코발트계 인터커넥트들을 형성하는 것에 제한될 필요가 없다.

[0047] 일 예에서, 도 7은 본 발명의 일 실시예에 따른, 기판(702) 상에 제조된 MOS-FET(metal oxide semiconductor field effect transistor)(700)을 도시한다. 채널 영역(706) 위에는 게이트 유전체 층(704)이 배치되고, 게이트 유전체 층(704) 위에는 게이트 전극(708)이 배치된다. 게이트 유전체 층(704) 및 게이트 전극(708)은 게이트 분리 스페이서들(710)에 의해 분리될 수 있다. 기판(702) 내에 도편트 원자들을 주입함으로써 팁 연장부들(tip extensions)(712)이 형성될 수 있다. 소스 및 드레인 영역들(예를 들어, 변형-유도(strain-inducing) 소스/드레인 영역들(720))은, 기판(702)의 에칭-제거된(etched-out) 부분들에 에피택셜 막을 선택적으로 성장시킴으로써 형성될 수 있으며 인 시튜(in-situ)로 또는 에피택셜 막 성장 후에, 또는 둘 모두로 도핑된다. 일 실시예에서 팁 연장부들(712)은 "epi" 팁 연장부들을 만들기 위해 소스와 드레인 영역들과 동시에 형성될 수 있다. 통상적인 MOS-FET에서, 채널 영역(706)은 단결정 실리콘과 같은 반도체 재료로 구성된다. 일 실시예에서, 게이트 전극(708)은 금속 게이트 전극이다(예를 들어, 게이트 전극(708)의 일함수는 금속 또는 금속-함유 층을 기반으로 한다). 그러한 일 실시예에서, 금속 게이트 전극은 적어도 약간의 코발트로 구성된다. 예를 들어, 특정

한 실시예에서, 금속 게이트 전극(708)은, Mn계 접착 층(예를 들어, 상술한 Mn, MnN, MnSi_xN_y 등)(708A), 및 708B 상부의 코발트 층전 금속을 포함한다. 예를 들어, 코발트계 재료 또는 막(708B)은 적어도 90%의 코발트로 구성된다. 그러한 특정 실시예에서, 코발트계 재료 또는 막(708B)은 약 0.25-5%의 비-코발트 원소, 및 나머지 약 95%의 코발트를 갖는 희박 합금으로 구성된다.

[0048] 또한, MOS-FET(700)은 평면 디바이스일 수 있거나, 3차원 몸체(예를 들어, 이중-게이트, 핀펫(fin-fet), 트라이-게이트, 또는 게이트-올-어라운드(gate-all-around) 트랜지스터에서와 같은)를 포함할 수 있다는 것이 이해될 것이다. 상기와 같이, 기판(702)은 평면 기판일 수 있거나, 3차원 몸체의 단면도를 도시한다. 최종적으로, 명료성을 위해 MOS-FET(700)의 몇 개의 피처들만이 도시됨이 이해될 것이다. 관련 기술 분야에 잘 알려진 바와 같이, 분리 층들, 예를 들어 층간 유전체 층(740), 및 MOS-FET(700)을 예를 들어, 집적 회로에 통합시키기 위해 사용된 금속화 라우팅 층들도 또한 포함될 수 있음이 이해될 것이다.

[0049] 다양한 코발트계 실시예들은 예를 들어, 셀룰러 폰, 스마트폰, 태블릿, Ultrabook®, 노트북, 랩톱, 개인용 정보 단말기, 및 모바일 프로세서 기반 플랫폼과 같은 모바일 컴퓨팅 노드 내에 포함될 수 있다.

[0050] 예 1은 기판 위에 배치된 유전체 층; 유전체 층 내의 개구부 - 상기 개구부는 측벽들을 가지고 있고, 기판과 추가 인터커넥트 구조체 중 적어도 하나의 전도성 영역을 노출시킴 -; 전도성 영역 위에 그리고 접착 층의 표면 상의, 코발트를 포함한 층전 재료를 포함한다. 일 실시예에서 유전체는 직접적으로 기판에 접촉되지만 다른 실시예들에서는 하나 이상의 층이 유전체와 기판의 사이에 있다. 실시예에서 추가 인터커넥트 구조체는 비아, 금속 층전 트렌치(인터커넥트 라인), 등을 포함할 수 있다. 예들이 2중 다마신 방법들을 포함했지만, 바로 위에서 어드레스된 개구부는 2중 다마신 방법과 공통으로 관련된 비아 위의 라인 또는 예를 들어, 도 1에서 발견된 것들과 같은 가변 폭들을 가질 필요는 없다. 아래 설명된 것처럼, "전도성 영역 위에 배치된 망간을 포함하는 접착 층"이라고 하는 것은, 망간이 전도성 영역 위에 있는 접착 층의 부분 내에 있다는 것을 반드시 의미하지는 않는다. 예를 들어, "전도성 영역 위에 배치된 망간을 포함하는 접착 층"은, 망간이 전도성 영역 위의 접착 층 부분 내에 있지 않지만 측벽들 위에 있는 접착 층 내에 있는 경우에 여전히 만족된다.

[0051] 예 2에서 예 1의 주제는, 층전 재료가 적어도 50 원자 % 코발트로 구성되는 것을 선택적으로 포함할 수 있다.

[0052] 예 3에서 예 1-2의 주제는, 접착 층이 실리콘, 질소, 탄소, 수소, 및 산소로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는 것을 선택적으로 포함할 수 있다.

[0053] 예 4에서 예 1-3의 주제는, 접착 층이 50Å보다 더 두껍지 않은 것을 선택적으로 포함할 수 있다.

[0054] 예 5에서 예 1-4의 주제는, 접착 층이 직접적으로 층전 재료에 접촉되는 것을 선택적으로 포함할 수 있다.

[0055] 예 6에서 예 1-5의 주제는, 접착 층이 직접적으로 전도성 영역에 접촉되는 것을 선택적으로 포함할 수 있다. 예 6의 또 다른 버전에서 예 1-5의 주제는, 접착 층이 직접적으로 전도성 영역과 유전체 층에 접촉되는 것을 선택적으로 포함할 수 있다.

[0056] 예 7에서 예 1-6의 주제는, 층전 재료가 실리콘과 망간으로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는 것을 선택적으로 포함할 수 있다. 이것은 접착 층으로부터 층전 재료 내로 이동하는 실리콘 또는 망간으로 인한 것일 수 있고 및/또는 이것은 실리콘으로 퇴적되는 층전 재료 및/또는 코발트 이외에 이미 존재하는 망간으로 인한 것일 수 있다.

[0057] 예 8에서 예 1-7의 주제는, 층전 재료가 접착 층 내에 포함된 망간에 직접 접촉되는 망간을 포함하는 것을 선택적으로 포함할 수 있다. 코발트 층전 층은 망간 및/또는 실리콘을 포함할 수 있다. 이것은 주사 전자 현미경(SEM) 이미지 또는 투과형 전자 현미경(TEM) 이미지를 이용하여 시각적으로 나타나지 않을 수 있지만 다른 검출 방법들은 코발트 층전 층 내의 망간 및/또는 실리콘의 존재를 나타낼 수 있다. 망간 및/또는 실리콘이 접착 층으로부터 코발트 층으로 이동했을 수 있기 때문에 망간 및/또는 실리콘은 코발트 층전 층의 외부 에지를 따라 존재할 수 있다. 예를 들어, 망간과 코발트 사이에 용해도가 있고 층전 층과 접해서, 접착 층으로부터의 망간은 코발트 층전 층과 혼합될 수 있다. 이러한 이동은 코발트 층전이 접착 층에 부착하는 것을 돋고, 또한 접착 층이 코발트 층전 층을 위한 습윤층으로서 기능하게 한다. 습윤층은 자체 조립된 양자 점 또는 박막들이 만들어진 표면 상에 에피택셜 성장된 원자들의 초기 층을 포함한다.

[0058] 예는 TEM 에너지 분산형 x-선(EDX)과 관계가 있다. 작은 TEM 프로브 전자들은 이동되는 재료와 상호작용하고 그 재료는 이미지의 하나 픽셀 내에 존재하는 상이한 성분들로부터 x-선을 방출한다. 이것은 이미지의 원소 맵

을 허용한다. 더 높은 감도는 더 많은 드웰 시간(dwelling time)에 따라 구조체들을 가로질러(예를 들어, 이미지의 모든 픽셀보다는 비아를 가로질러) 라인 스캔들을 행함으로써 이루어진다. 일 실시예(예 8a)에서, 코발트 충전 층 내에 망간이 있다면, 망간은 접착을 향상시키는 접착 층/충전 재료 계면으로 이동할 수 있다. EDX는 그리고 나서 코발트 충전 층 내에서 그리고 접착 층/충전 층 예지/계면 주위에서 망간을 검출할 수 있다. 일 실시예(예 8b)에서, 망간이 접착 층/충전 층 계면에 있다면, 그것이 코발트 내에 그리고 다른 계면들(예를 들어, CMP가 수행된 후에 상부 층과 같은) 내로 확산될 수 있다. 그러한 경우는 충전 층 내에 그리고 예지/계면 주위에 양측에서 검출될 수 있다. 일 실시예에서, 망간의 확산이 발생하지 않으면 망간은 오직 예 8a의 충전 층 내에 그리고 예 8b의 계면에 있을 수 있다. 실시예에서, 망간이 120과 충전 층 양쪽에 존재하면, 망간은 양쪽 영역에서 검출될 수 있다. 확산은 상대적 농도/조성 및 부착 또는 습윤 능력을 변경해서 예 8a 및/또는 8b의 공정들이 발생할 수 있지만 망간은 여전히 일 실시예에서의 양쪽 시나리오들에서 검출 가능할 수 있다.

[0059]

실시예는 도 5d의 실시예와 유사하지만, 524와 526의 상부들을 가로질러, 그리고 그 다음 우측 유전체 부분(102)의 상부를 가로질러, 좌측 유전체 부분(102) 상의 상부 표면으로부터 연장되는 유전체 캡핑 층/예지 스톱(예를 들면, 원소(104)의 재료들과 구조와 유사하거나 실제로 동일한)을 포함한다. 이것은 연마된 금속을 캡핑하고 이후에 예지에 의해 부서져서, 비아가 공간(116)을 통하여 그리고 도 5d의 층(104)을 통하여 진행하는 것으로 도시된 것과 똑같이 다음 층을 위한 비아를 형성한다. 캡은 기밀식으로 라인들(예를 들어, 재료(530))을 보호하고 망간(이 실시예에서 혼합되고 코발트 충전(530) 내에 존재하는)은 캡핑 층으로 확산되어 코발트(530)에 대한 유전체 캡핑 층/예지 스톱의 접착을 개선한다(예를 들어, 실리케이트 형성에 의해). 망간은 층(120)으로부터 확산되거나 또는 소량의 망간을 이미 포함하여 퇴적된 합금 코발트 충전 층으로부터 확산될 수 있다. 유전체 캡은 높은 온도에서 그리고 온도가 층들(120 및/또는 530 및/또는 420) 내로부터 트렌치(110)의 상부까지의 망간의 열 확산을 유도하도록 퇴적될 수 있다. 망간은 TEM EDX 방법들 등에 의해 새로운 유전체 캡/층(530) 계면에서 검출될 수 있다.

[0060]

또 다른 예에서 예 1-8의 주제는, 접착 층과 충전 재료의 상부 바로 위에 형성된 유전체 층을 선택적으로 포함할 수 있고, 상기 유전체 층은 망간을 포함하며; 여기에서 상기 충전 재료도 망간을 포함한다. 망간은 접착 층 및/또는 접착 층으로부터 유전체 내로 이동했을 수 있다.

[0061]

또 다른 예 9에서, 예 1-8의 주제는 충전 재료의 상부 바로 위에 형성된 유전체 층을 선택적으로 포함할 수 있고, 상기 유전체 층은 제1 재료를 포함하며; 여기에서 상기 제1 재료는 또한 충전 재료 내에 포함되고 상기 제1 재료는 Al, Ni, Cu, Ag, Au, Mn, Ti, V, Cr, Fe, Ta, W, Ru, P, B, C, N, Si, Ge, Mg, Zn, Rh, Pt, Cd, Hf, In, Sn, C, O, Be, Ca, Zr, Nb, Mo, Ir, Re, 또는 Pd를 포함한 그룹으로부터 선택된다. 재료는 충전 재료로부터 유전체 내로 이동했을 수 있다.

[0062]

예 9에서 예 1-8의 주제는, (a) 접착 층은 유전체 층에 직접 접촉하는 제1 부분과 전도성 영역에 직접 접촉하는 제2 부분을 포함하고, 그리고 (b) 제1 부분은 제2 부분보다 더 높은 원자 % 망간을 포함하는 것을 선택적으로 포함할 수 있다. 망간은 코발트 충전 층과 마찬가지로 유전체와 잘 접합한다. 접착 층/유전체 계면 상에서 망간은 $MnSi_xO_y$ (예를 들어, $Mn_2[SiO_4]$, $MnSiO_3$), 및 다른 Mn계 실리케이트를 형성한다. 실리케이트는 확산 배리어의 기능을 가지고 있어, 주위 유전체 내로의 코발트의 확산을 방지하고 그리고 또한 점착성/습윤성 기능을 가지고 있어, 코발트가 유전체에 잘 부착되게 할 것이다. 접착 층/코발트 충전 층 계면 상에서 금속-대-금속은 접합이 발생하고(예를 들어, 망간과 코발트 사이에), 계면에서 약간의 합금화로 이어진다. 이러한 접합은 망간이 비아 하부에서 용해될 추가적 유용성을 제공한다(여기서, 일 실시예에서 접착 층은 금속 충전 층에 그리고 아마도 또 다른 인터커넥트 또는 전도 기판 부분에 직접 접촉한다). 이것은 기판의 다른 인터커넥트 또는 전도성 부분에 대한 접착 층 계면에서의 비아 내의 전기 저항을 낮춘다. 비아 하부에서 형성하는 120으로부터의 망간은 ILD 상의 120 부분과 유사한 두께로 초기에 시작한다. 어닐링 후에 망간은 완전히 코발트 충전 내로 확산할 수 있거나 또는 층(120) 내에 남아 있을 수 있다. 잔류량은 변할 수 있다. 그러므로, 일부 실시예들에서, 비아의 하부 근처의 접착 층은 디바이스 처리가 완료된 후 남아 있는 망간을 거의 가질 수 없을 것이다.

[0063]

예 10에서, 예 1-9의 주제는, 충전 재료가 본질적으로 코발트로 이루어지는 것을 선택적으로 포함할 수 있다. 또 다른 예에서, 예 1-9의 주제는, 접착 층이 완전히 충전 재료로부터 전도성 영역을 분리하지 않고 충전 재료가 전도성 영역의 일부에 직접 접촉하는 것을 선택적으로 포함할 수 있다. 그러므로, TEM EDX 검출에 의해 또는 다르게(접착 층이 완전하게 또는 불완전하게 전도성 영역으로부터 충전 재료를 분리하는지에 관계없이); 접착 층 내의 망간이 전도성 영역으로부터 충전 재료를 분리하지 않는 영역들이 있을 수 있다. 이것은 (층이 존재하는 지와 상관없이) 검출될 수 있는 접착 층이 존재하지 않는 영역으로 간주될 수 있고 그러므로 "접착 층이

충전 재료로부터 전도성 영역을 완전히 분리하고 충전 재료가 전도성 영역의 일부에 직접 접촉한다".

[0064] 예 11은 다음을 포함하는 금속 인터커넥트 구조체를 형성하는 방법을 포함한다: 기판 상의 유전체 층내에 개구부를 형성하는 단계 - 여기서 상기 개구부는 기판과 추가 인터커넥트 구조체 중 적어도 하나의 전도성 영역을 노출시킴 -; 상기 개구부 내에 그리고 전도성 영역 상에 그리고 또한 측벽들 상에, 망간을 포함한 접착 층을 형성하는 단계; 상기 개구부 내에 그리고 상기 접착 층의 표면 상에, 코발트를 포함한 충전 재료를 형성하는 단계; 및 상기 유전체 층의 상부 표면 위의 상기 충전 재료 및 상기 접착 층의 부분들을 제거하는 단계.

[0065] 예 12에서, 예 11의 주제는, 접착 층이 실리콘, 질소, 탄소, 수소, 및 산소로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는 것을 선택적으로 포함할 수 있다.

[0066] 예 13에서, 예 11-12의 주제는, 접착 층이 전도성 영역에 직접 접촉하는 것을 선택적으로 포함할 수 있다.

[0067] 예 14에서 예 11-13의 주제는, 접착 층이 전도성 영역에 직접 접촉하는 것을 선택적으로 포함할 수 있다.

[0068] 예 15에서 예 13-14의 주제는, (a) 접착 층은 유전체 층에 직접 접촉하는 제1 부분과 전도성 영역에 직접 접촉하는 제2 부분을 포함하고, 그리고 (b) 제1 부분은 제2 부분보다 더 높은 원자 % 망간을 포함하는 것을 선택적으로 포함할 수 있다.

[0069] 예 16에서 예 13-15의 주제는, 등각의 방법으로 접착 층을 형성하는 것과 비-등각의 방법으로 충전 층을 형성하는 것을 선택적으로 포함할 수 있다.

[0070] 또 다른 예에서 예 13-15의 주제는, 접착 층과 충전 재료의 상부 바로 위에 유전체 층을 형성하고, 상기 유전체 층은 망간을 포함하며; 여기에서 상기 충전 재료도 망간을 포함하는 것을 선택적으로 포함할 수 있다. 다시, 망간은 접착 층 및/또는 충전 재료로부터 유전체 내로 이동했을 수 있다.

[0071] 예 17은 다음을 포함하는 금속 인터커넥트 구조체를 포함한다: 기판 상에 배치된 유전체 층; 유전체 층 내에 배치되어 기판과 추가 인터커넥트 구조체 중 적어도 하나 내의 전도성 영역을 노출시키는 개구부 - 상기 개구부는 하부 부분과 상부 부분을 가지고 있음 -; 상기 개구부의 하부 부분 내에 배치된 코발트를 포함한 플러그; 측벽들 상에 배치된 망간을 포함한 접착 층; 및 플러그 상에 그리고 개구부의 상부 부분 내에 배치된 코발트를 포함한 충전 재료.

[0072] 예 18에서 예 17의 주제는, 접착 층이 플러그와 유전체에 직접 접촉하는 것을 선택적으로 포함할 수 있다.

[0073] 예 19에서 예 17-18의 주제는, 접착 층이 플러그와 충전 재료의 사이에 있는 것을 선택적으로 포함할 수 있다.

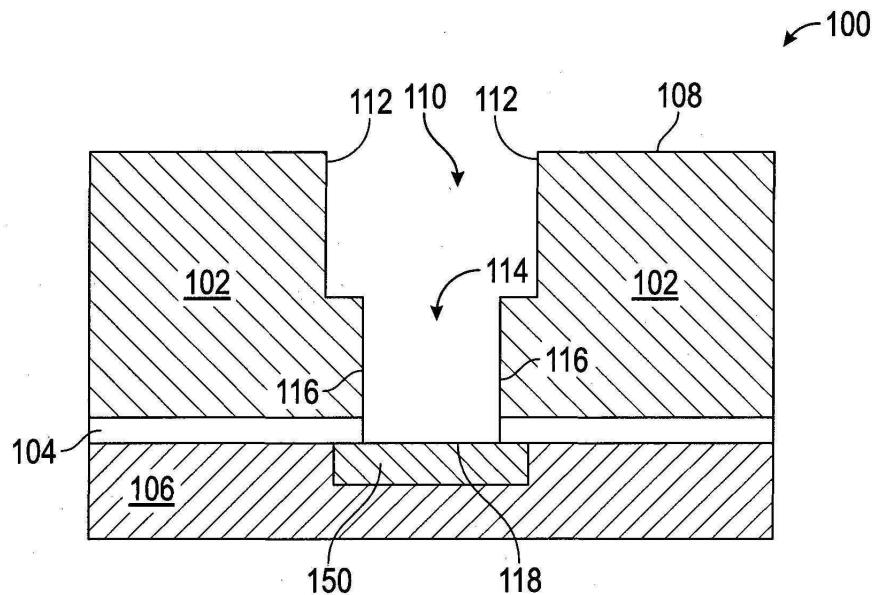
[0074] 예 20에서 예 17-19의 주제는, 플러그와 충전 재료가 상이한 조성을 가지고 있는 것을 선택적으로 포함할 수 있다.

[0075] 또 다른 예 20에서 예 17-19의 주제는, 접착 층과 충전 재료의 상부 바로 위에 형성된 유전체 층을 선택적으로 포함할 수 있고, 상기 유전체 층은 망간을 포함하고; 여기에서 상기 충전 재료도 망간을 포함한다. 망간은 접착 층으로부터 유전체 내로 이동했을 수 있다.

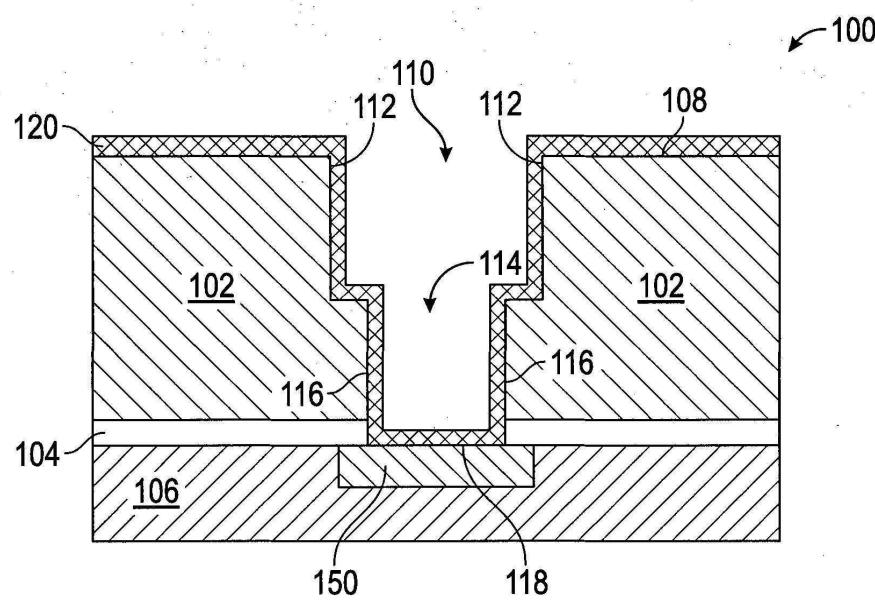
[0076] 본 발명의 실시예들의 상기 설명은 예시 및 설명의 목적을 위해 제공되었다. 이것은 하나도 빠짐없이 제시한다거나 또는 본 발명을 개시된 바로 그 형태들로만 한정하는 것을 의도하지 않는다. 본 설명 및 하기 청구항들은 설명의 목적만을 위해 사용될 뿐이며 한정적인 것으로 간주하지 말아야 하는 좌측, 우측, 상부, 하부, 위에, 아래에, 상위에, 하위에, 제1, 제2, 등과 같은 용어들을 포함한다. 예를 들어, 상대적인 수직 위치를 지정하는 용어들은, 기판 또는 접착 회로의 디바이스 측(또는 활성 표면)이 그 기판의 "상부" 표면이고; 기판은 실제로는 임의의 배향으로 위치할 수 있어서, 기준의 표준 지상 프레임에서 기판의 "상부" 측이 "하부" 측보다 낮을 수 있으며, 여전히 "상부"라는 용어의 의미 내에 속할 수 있는 상황을 지칭한다. (청구항 내에 포함되는) 본 명세서에서 사용되는 바와 같은 "~ 상의"라는 용어는 구체적으로 그렇게 지시되지 않는 한, 제2 층 "상의" 제1 층이 제2 층 바로 위에 위치하고 그와 직접 접촉한다는 것을 나타내지 않으며; 제1 층과 제1 층 상의 제2 층 사이에는 제3 층 또는 다른 구조체가 존재할 수 있다. 본 명세서에서 설명된 디바이스 또는 물품의 실시예들은 다수의 위치들 및 배향들로 제조되거나, 사용되거나, 적재될 수 있다. 관련 분야의 통상의 기술자들은 상기 교시에 비추어 많은 수정 및 변경이 가능하다는 것을 알 수 있다. 본 분야에서 숙련된 자들은 도면에서 도시된 다양한 부품들을 위한 다양한 동등한 조합들과 치환들을 인지할 것이다. 따라서, 본 발명의 범위가 이 상세한 설명에 의하지 않고 오히려 첨부된 청구항들에 의해 제한되는 것으로 의도된다.

도면

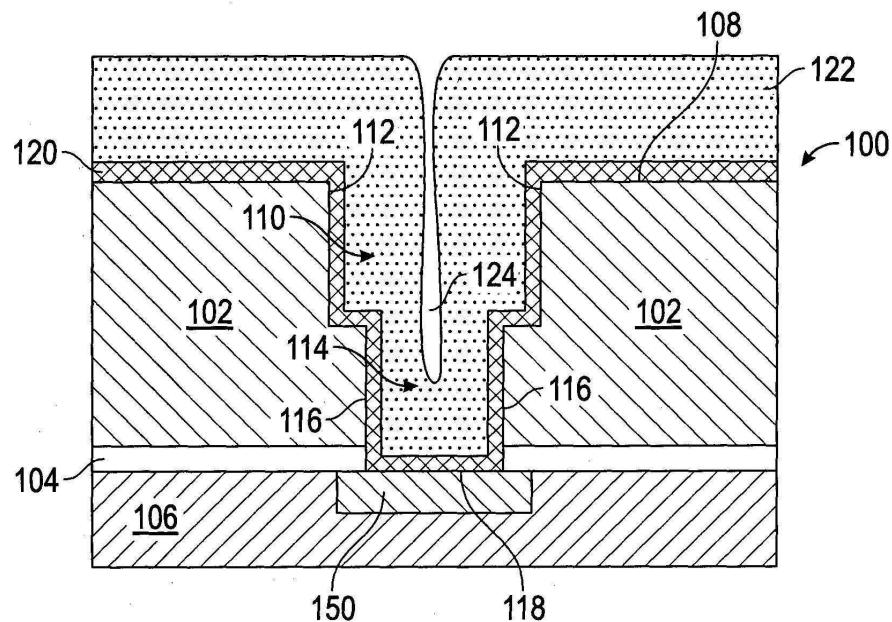
도면 1a



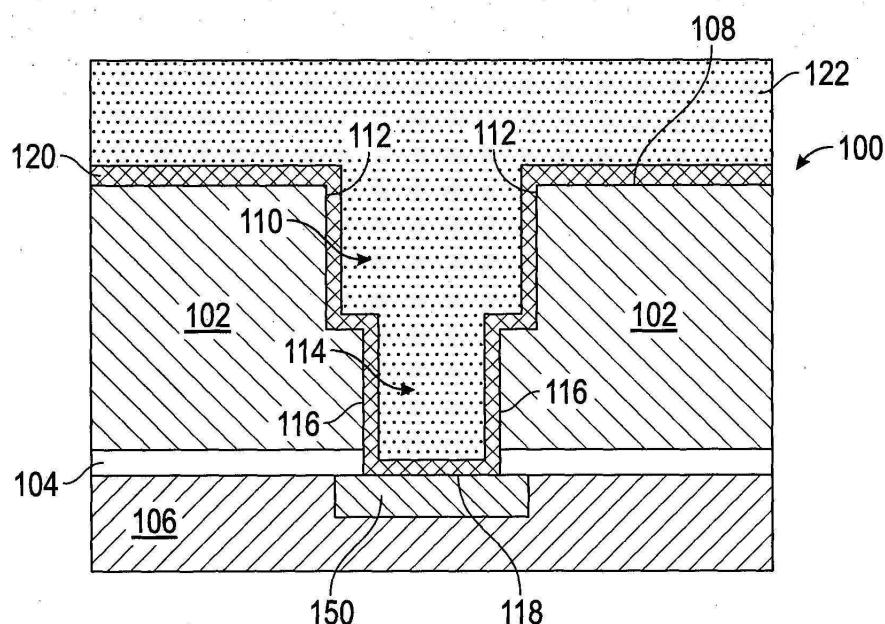
도면 1b



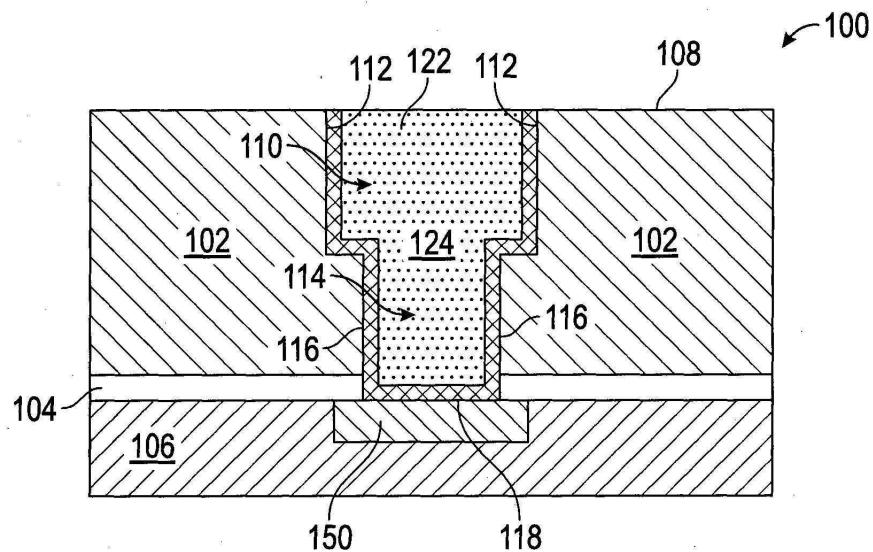
도면 1c



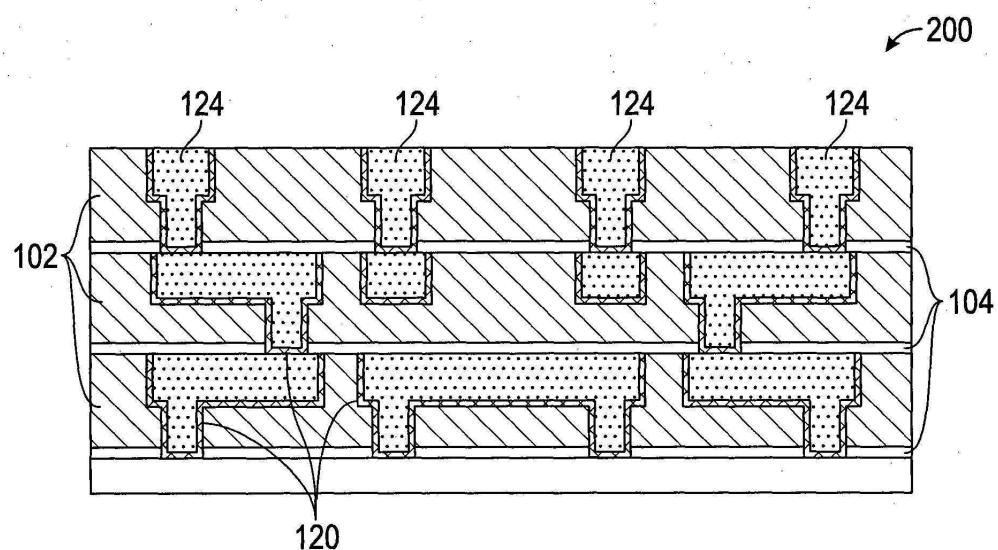
도면 1d



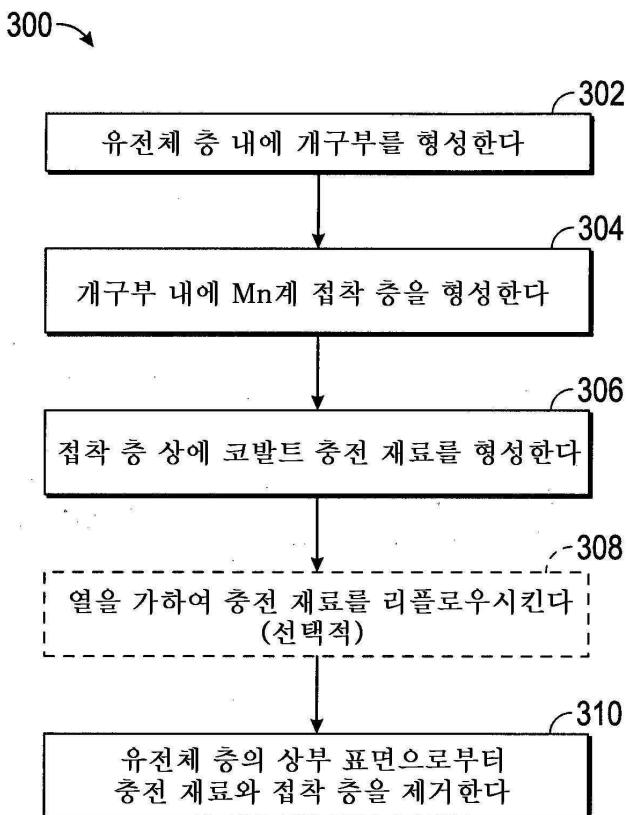
도면 1e



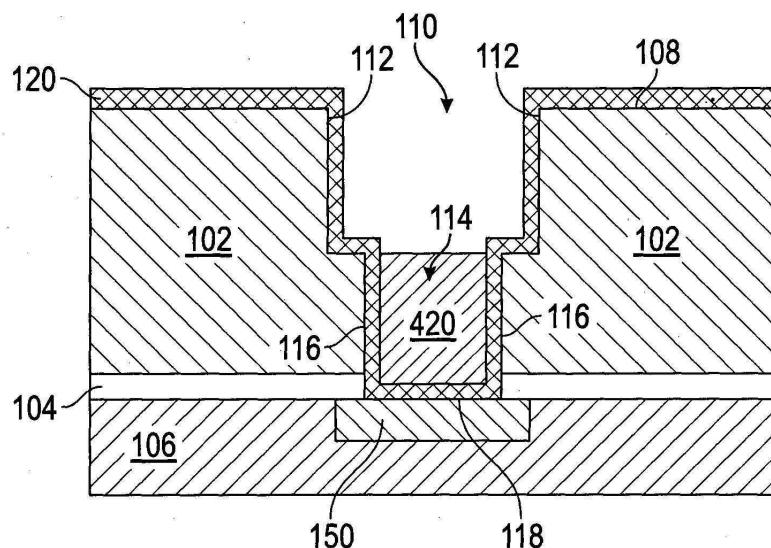
도면 2



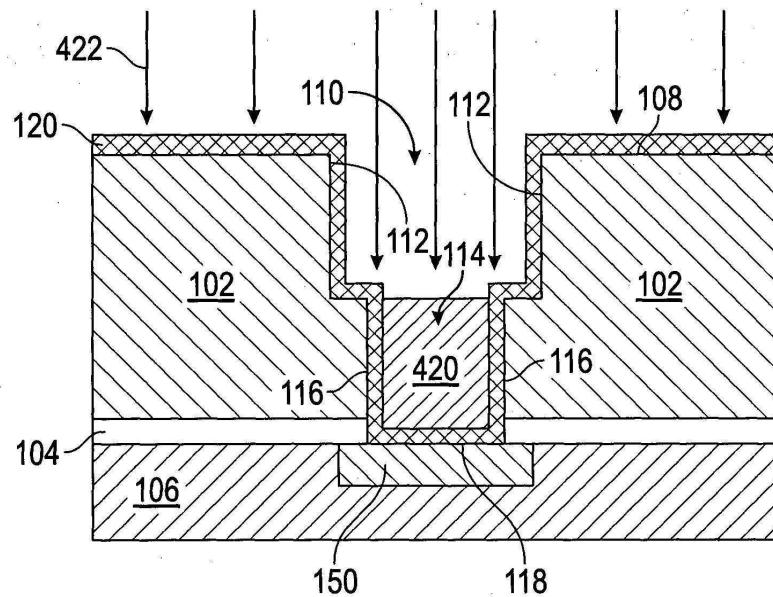
도면3



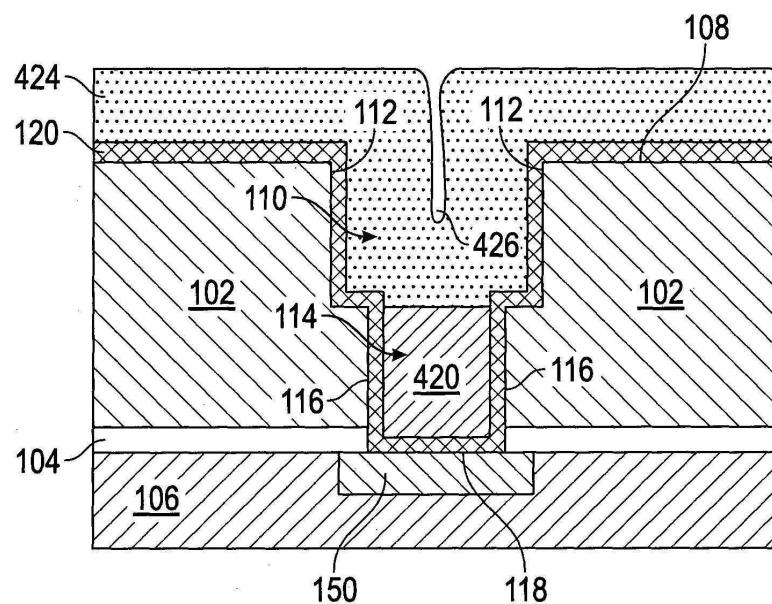
도면4a



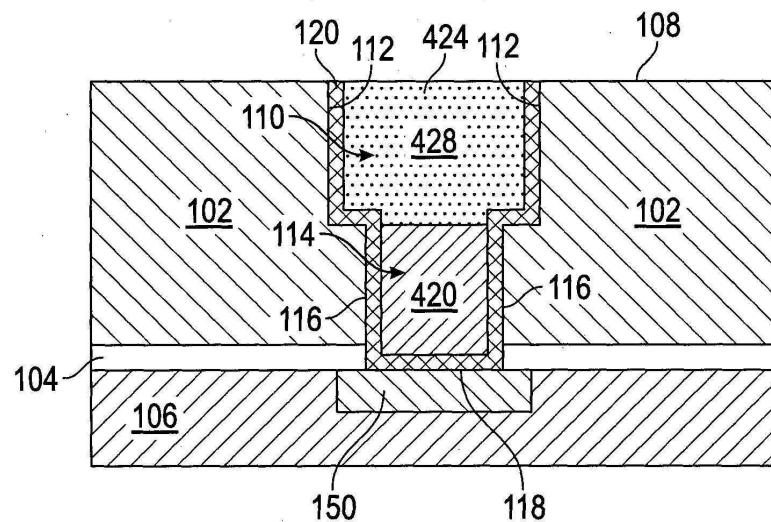
도면4b



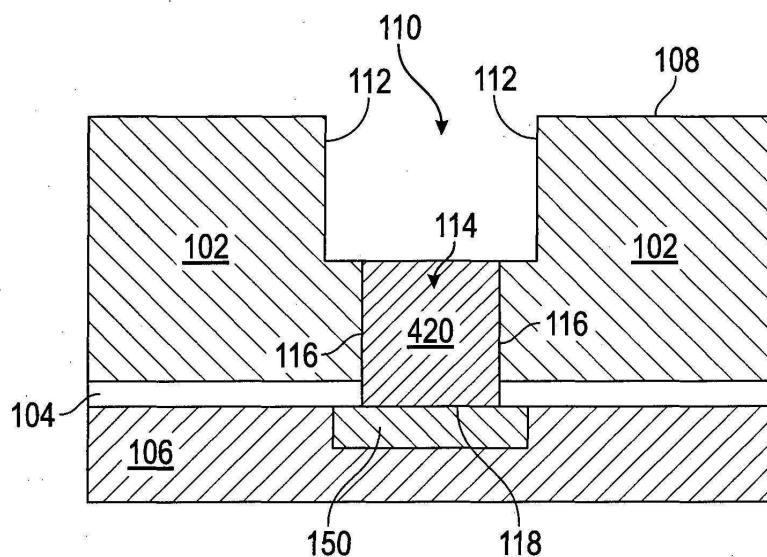
도면4c



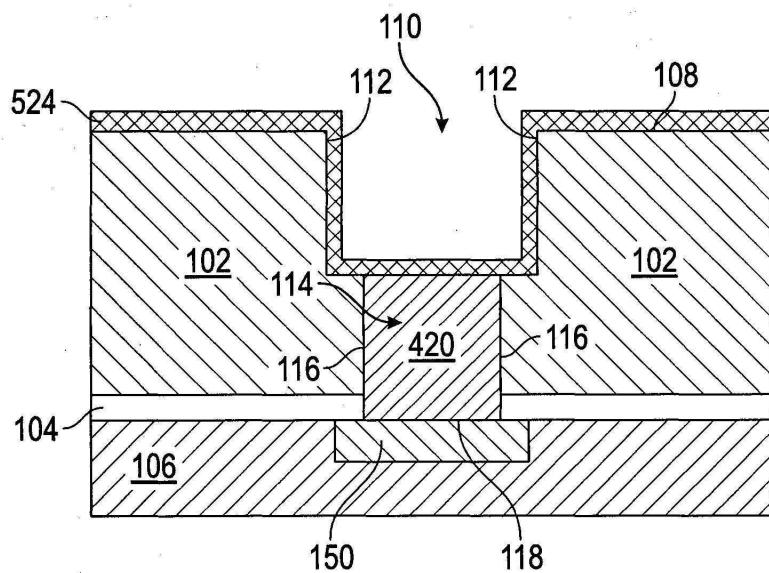
도면4d



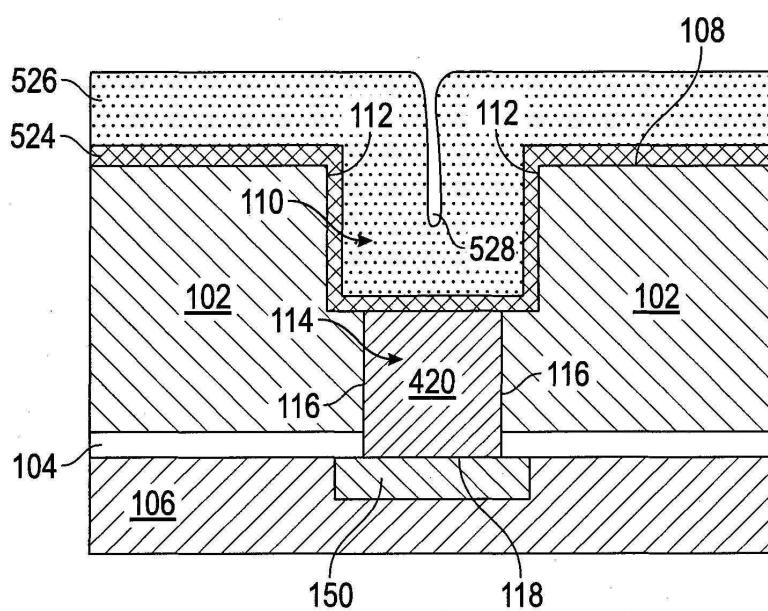
도면5a



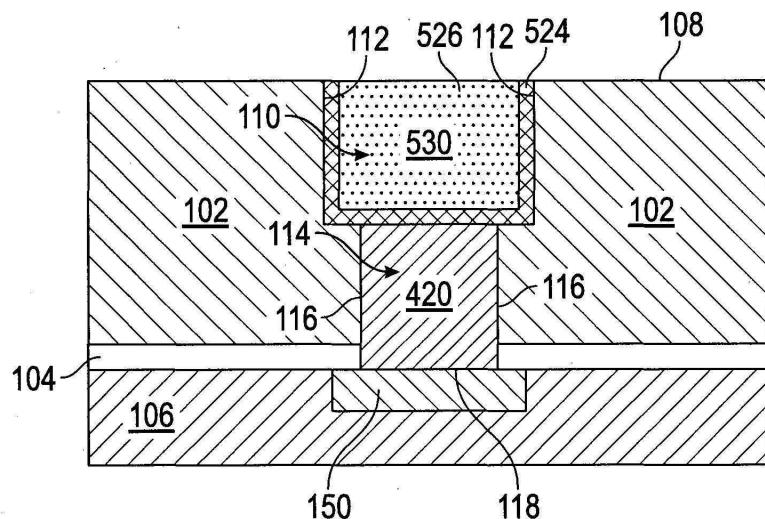
도면5b



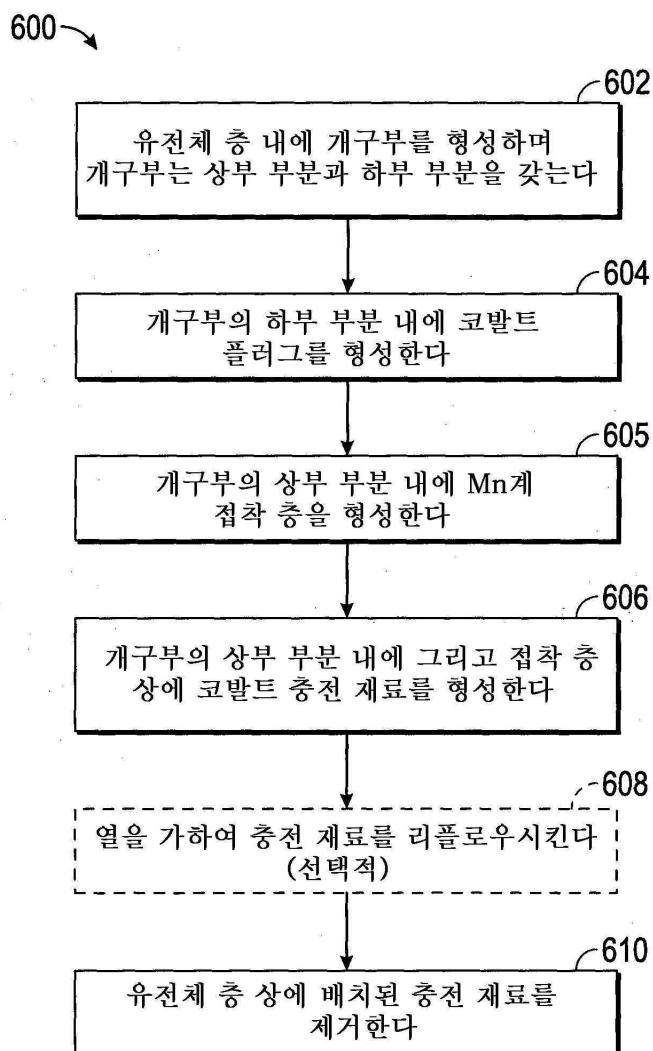
도면5c



도면5d



도면6



도면7

