

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4136040号
(P4136040)

(45) 発行日 平成20年8月20日 (2008. 8. 20)

(24) 登録日 平成20年6月13日 (2008. 6. 13)

(51) Int. Cl.	F I
G 0 9 G 3/34 (2006. 01)	G 0 9 G 3/34 Z
G 0 9 G 3/20 (2006. 01)	G 0 9 G 3/34 D
	G 0 9 G 3/20 6 4 1 E

請求項の数 1 (全 19 頁)

(21) 出願番号	特願平9-328872	(73) 特許権者	590000879
(22) 出願日	平成9年11月28日 (1997. 11. 28)		テキサス インストルメンツ インコーポ レイテッド
(65) 公開番号	特開平10-171409		アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 135 〇〇
(43) 公開日	平成10年6月26日 (1998. 6. 26)		
審査請求日	平成16年11月25日 (2004. 11. 25)	(74) 代理人	100066692
(31) 優先権主張番号	031804		弁理士 浅村 皓
(32) 優先日	平成8年11月28日 (1996. 11. 28)	(74) 代理人	100072040
(33) 優先権主張国	米国 (US)		弁理士 浅村 肇
		(74) 代理人	100094673
			弁理士 林 拓三
		(74) 代理人	100091339
			弁理士 清水 邦明

最終頁に続く

(54) 【発明の名称】 ロード／リセット・シーケンスを自動的に供給する方法

(57) 【特許請求の範囲】

【請求項 1】

分割リセット形空間光変調器を有する分割形リセット表示装置に対してロード及びリセ
ット・シーケンスを自動的に提供する方法であって、

前記分割リセット形空間光変調器の表示素子にはロード及びリセットによってデータが
アドレスされ、

前記データはビット平面のフォーマットであり、各々の前記ビット平面はひとつ以上の
セグメントとしてフレーム時間中にロードされ、

前記分割リセット形空間光変調器は最小ロード時間を有し、
前記方法は、

前記セグメントの表示順序を記憶するステップと、

各々の前記セグメントを正常表示時間または短表示時間に分類するステップであって、
前記正常表示時間は少なくとも前記最小ロード時間と同じ長さであり、前記短表示時間は
前記最小ロード時間より短い、前記分類するステップと、

各々の前記正常表示時間から前記最小ロード時間を減算して、各々の前記正常表示時間
に対する余剰時間を決定するステップと、

各々の前記正常表示時間に前記最小ロード時間だけが与えられるように、各々の前記セ
グメントに実際の表示時間が割当てられるステップと、

1つの前記短表示時間より前に発生する任意の前記表示時間に対して、前記余剰時間の
少なくとも一部分を加算するステップと、

10

20

前記余剰時間の残りを分配するステップと、
各々の前記セグメントのロード及びリセットのそれぞれに対する開始時間を設定するス
テップと、
を備える前記方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は空間光変調器（SLM）を使うデジタル画像表示装置、更に具体的に言えば、SLMの表示素子にデータをロードし、ロードの合間にそれらをリセットする制御信号のシーケンスを発生することに関する。

10

【0002】

【従来の技術及び課題】

空間光変調器（SLM）に基づくビデオ表示装置が、陰極線管（CRT）を使う表示装置の代りとして、次第に使われるようになっていく。SLM装置は、CRT装置の嵩及び消費電力を伴わずに、高い解像度で表示をする。

【0003】

デジタル・マイクロミラー装置（DMD）はSLMの1形式であり、直視形又は投影形表示の用途の何れにも使うことができる。DMDは、何れも電子信号によって個別にアドレス可能な小さな鏡を持つ微小機械式表示素子のアレイを持っている。そのアドレス信号の状態に応じて、各々の鏡が傾動して、それが画像平面に対して光を反射したり、あるいは反射しなかったりする。鏡が一般的に「表示素子」と呼ばれており、これはそれらが発生する画像の画素に対応する。一般的に、画素データの表示は、表示素子に接続されたメモリ・セルにロードすることによって行われる。表示素子のメモリ・セルがロードされた後、表示素子がリセットされ、表示素子がメモリ・セルにある新しいデータによって表されるオン又はオフ位置に傾動する。表示素子は、制御された表示時間の間、そのオン又はオフ状態を保つことができる。

20

この他のSLMも同じ原理に基づいて動作し、同時に光を放出又は反射し得る表示素子のアレイを用いて、スクリーンを走査するのではなく、表示素子をアドレスすることによって、完全な画像が発生される。SLMの別の例は個別に駆動される表示素子を持つ液晶表示装置（LCD）である。

30

【0004】

白（オン）及び黒（オフ）の間の中間レベルの照明を達成する為、パルス幅変調（PWM）方式が使われる。基本的なPWM方式は、最初に、観察者に画像を提示する速度を決定する。これによってフレーム速度及び対応するフレーム周期が決まる。例えば、標準テレビジョン方式では、画像が毎秒30フレーム伝送され、各フレームは約33.3ミリ秒持続する。次に、各々の画素に対する強度の分解能を定める。簡単な例では、nビットの分解能を想定すると、フレーム時間が $(2^n - 1)$ 個の等しい時間スライスに分割される。フレーム周期が33.3ミリ秒で、強度値がnビットであると、時間スライスは $33.3 / (2^n - 1)$ ミリ秒である。

こういう時間を決めたら、各フレームの各画素に対し、画素の強度を量子化して、黒は時間スライスがゼロであり、LSBによって表される強度レベルは時間スライス1個であり、最大の輝度が $(2^n - 1)$ 個の時間スライスになるようにする。各々の画素の量子化された強度が、フレーム周期中のそのオン時間を決定する。従って、あるフレーム周期の間、量子化された値が0より大きい各々の画素は、その強度に対応する数の時間スライスの間、オンである。観察者の目が画素の強度を積分する為に、画像はアナログ・レベルの光で発生されたのと同じように映る。

40

【0005】

SLMをアドレスするには、PWMはデータを「ビット平面」のフォーマットにすることを必要とする。各々のビット平面が強度値のビットの重みに対応する。即ち、各々の画素の強度がnビットの値で表される場合、各々のデータ・フレームはn個のビット平面を持

50

っている。各々のビット平面が、各々の表示素子に対する0又は1の値を有する。前段に述べた簡単なPWMの例では、あるフレームの間、各々のビット平面が別々にロードされ、表示素子がそれに関連したビット平面の値に従ってアドレスされる。例えば、各々の画素のLSBを表すビット平面が1個の時間スライスの間で表示され、これに対して、MSBを表すビット平面は $2^n / 2$ 個の時間スライスの間で表示される。時間スライスが僅か $3.3 / (2^n - 1)$ ミリ秒に過ぎないから、SLMはこの時間内にLSBビット平面をロードすることができなければならない。LSBビット平面をロードする時間が「ピーク・データ速度」である。

【0006】

出願人に譲渡された米国特許第5, 278, 652号、発明の名称「パルス幅変調表示装置に用いるDMDアーキテクチャとタイミング」には、DMDを基本とする表示装置のDMDをアドレスする為のパルス幅変調が記載されている。これは「大域リセット」方法を対象としており、別のビット平面の先行する表示時間の間に、ビット平面データがロードされる。表示時間を開始する為、アレイ全体の表示素子が同時にリセットされる。

【0007】

SLMをアドレスする別の方法が、「分割リセット」アドレス方式である。表示素子が群に分けられるが、各々の表示素子はそれ自身のメモリ・セルを持っている。1つの群のメモリ・セルにビット平面からそのデータがロードされた後、次の群のメモリ・セルにそのビット平面からデータがロードされる。全ての群が同じビット平面からのデータをロードされるまで、これが続けられる。この「段階形」ロードの後、段階形リセットが続き、この為、全ての群がビット平面の表示を引続いて開始する。この方法は、出願人に譲渡された係属中の米国特許出願通し番号第08/721, 862号、発明の名称「空間光変調器をアドレスする為の分割リセット」に記載されている。

【0008】

【課題を解決するための手段及び作用】

この発明の一面は、その表示素子にデータがロードされると共に、ロードの合間にリセットされるような空間光変調器を持つ分割リセット形表示装置に対するロード／リセット・シーケンスを自動的に供給する方法である。データがビット平面のフォーマットにされ、各々のビット平面があるフレーム時間内に1つ又は更に多くのセグメントとして表示される。空間光変調器は、全ての表示素子をロードする為の最小ロード時間のようなあるタイミング・パラメータを持っている。セグメントの表示順序を記憶する。セグメントが正常又は短表示時間を持つものとして分類される。正常表示時間は少なくとも最小ロード時間と同じ長さであり、短表示時間は最小ロード時間より短い。最小ロード時間を各々の正常表示時間から減算し、こうして各々の正常表示時間に対する余剰時間を決定する。フレーム時間が実際の表示時間に分割され、各々の正常表示時間には最小ロード時間だけが与えられる。その後、短表示時間の前に発生する正常表示時間があれば、それに対して十分な余剰時間を加算し、短表示時間に対するデータをロードする為の時間を持たせる。最後に、残っている余剰時間があれば、それが適当なセグメントに分配される。その後、遅延時間が各々のロード及び各々のリセットに対して割当られ、こうしてシーケンスが発生する。

【0009】

この発明の別の特徴は、リセット解放表示時間を確認し、必要なロード、リセット及びリセット解放をシーケンスに設けることである。更に、リセットの競合を確認して避けることができる。

【0010】

この発明の利点は、ロード／リセット・シーケンスが発生する過程が自動化されることである。この発明の特徴は、暗時間を最小にすると共に、セグメントへのビット平面の分割の数をできるだけ最大にする点で、タイミングを最適にする。この過程は、分割又は大域リセット・シーケンスに対するシーケンスが発生することができるし、あるいは同じシーケンス内で大域及び分割ロード／リセットを組合せることができる。

【0011】

【発明の実施の形態】

PWMを使うSLM表示装置の概説

SLMを基本とするデジタル表示装置の包括的な説明が、米国特許第5,079,544号、発明の名称「標準的な独立デジタル化ビデオ装置」、係属中の米国特許出願通し番号第08/147,249号、発明の名称「デジタル・テレビジョン方式」及び同第08/146,385号、発明の名称「DMD表示装置」に述べられている。こういう装置は、SLMの1形式であるデジタル・マイクロミラー装置(DMD)に使うように特別に設計されている。これらの特許並びに特許出願は何れも出願人に譲渡されていて、ここで引用する。こういう装置の概説を図1に関連して次に説明する。

10

【0012】

図1は、放送テレビジョン信号のような入力信号から、実時間の画像を発生する為にSLM15を使う投影形表示装置10のブロック図である。ここで説明する例では、入力信号がアナログであるが、他の実施例では、入力信号がデジタルであって、A/D変換器12aの必要がない。

主スクリーン画素データ処理に関係する部品だけが示されている。同期及びオーディオ信号の処理、又は閉じた見出しの囲い込みのような2次的なスクリーンの特徴の為に使われるようなその他の部品は図面に示してない。

【0013】

ここで説明するこの発明の一面は、装置10のSLM15をアドレスするタイミング・シーケンスを発生する方法である。SLM15の各々の表示素子がメモリ・セルを持っており、これに一度に1つのデータ・ビットでロードされる。全ての表示素子に対するメモリにあるこの1つのデータ・ビットがビット平面を構成する。所定のビット平面を表示する場合をこの明細書では「セグメント」と呼び、ビット平面は、1つの連続的なセグメントとして、又はフレーム全体に分布した多数のセグメントとして表示することができる。

20

【0014】

そのメモリ・セルがロードされた後、表示素子が、メモリ・セルにあるデータによって表される状態にリセットされる。このロード及びリセット過程が、ロード及びリセットの特定のシーケンスで行われる。シーケンス制御器18は、この発明に従って発生されたシーケンスがプログラムされる。シーケンス制御器18は、このシーケンスに従う制御信号をフレーム・メモリ14に(ロードの為に)並びにSLM15に(リセットの為に)送出する。

30

【0015】

ここで説明する例では、装置10が分割リセット形である。これから説明するが、シーケンス発生過程が、セグメントをその初期表示時間の長さに従って分類する。次に、一層短い表示時間を持つセグメントを先行するセグメントの間にロードすることができるよう、実際の表示時間を割当てる。こういう短表示時間の内で一番短いものが「リセット解放」表示時間として取扱われ、これはシーケンスにリセット解放を必要とする。更にこの過程は、任意の2つ又は更に多くの群のリセット・シーケンスの間のリセットの競合をも防

40

【0016】

前段にまとめて述べた同じシーケンス発生 of 多くの考えは、大域リセット方式にも用いることができる。大域リセット方式の場合、この過程がセグメントを分類し、短及びリセット解放表示時間を定める。

信号インターフェース11がアナログ・ビデオ信号を受取り、ビデオ、同期及びオーディオ信号を分離する。この装置がビデオ信号をA/D変換器12a及びY/C分離器12bに送出すが、これらは夫々データを画素データ・サンプルに変換すると共に、輝度(Y)データをクロミナンス(C)データから分離する。図1では、信号がY/C分離の前に、デジタル・データに変換されるが、他の実施例では、Y/C分離をA/D変換の前に行

50

うことができる。

【0017】

プロセッサ・システム13が、種々の画素データ処理タスクを実施することにより、データを表示の為に備える。プロセッサ・システム13は、フィールド及びライン・バッファのように、どんな処理メモリでも、このタスクに役立つ処理メモリを含んでいて良い。プロセッサ・システム13によって実施されるタスクは、直線化（ガンマ補正を補償する）、色空間の変換、及びインターレース走査からプログレッシブ走査への変換を含むことができる。これらのタスクが実施される順序は変り得る。

【0018】

表示メモリ14がプロセッサ・システム13から処理済み画素データを受取る。それが入力又は出力で、このデータを「ビット平面」フォーマットにし、ビット平面SLM15に送出す。明細書の最初の部分で述べたように、ビット平面フォーマットは、SLM15の各々の表示素子を、1つのデータ・ビットの値に応答して、ターンオン又はターンオフすることができるようにする。

表示メモリ14は、選定された群に関するSLMのどの行に表示されるビット平面データでも供給することができる。分割リセット・アドレス方式では、最初のセグメントを表示する一連の群に対するビット平面データを供給し、その後次のセグメントを表示する群に対するビット平面データを供給するというふうになる。

【0019】

典型的な表示装置10では、表示メモリ14は「二重バッファ」メモリである。つまり、少なくとも2つの表示フレームに対する容量を持っている。一方の表示フレームに対するバッファをSLM15に読出す間、別の表示フレームに対するバッファを書込むことができる。2つのバッファが「ピンポン式」に制御され、この為、SLM15には連続的にデータを利用し得る。

表示メモリ14からのビット平面データがSLM15に送り出される。ここで説明するのはDMD形のSLM15であるが、表示装置10にこの他の形式のSLMを代りに用いることができる。前に述べたように、この発明は、その表示素子にデータがロードされ、ロードの合間にリセットされるSLMを想定している。適当なSLM15の詳細が、出願人に譲渡された米国特許第4,956,619号、発明の名称「空間光変調器」に記載されている。

【0020】

本質的には、SLM15は、表示メモリ14からのデータを使って、その表示素子アレイの各々の表示素子をアドレスする。各々の表示素子のオン又はオフ状態が画像を形成する。この発明の実施例では、SLM15の各々の表示素子が関連したメモリ・セルを持ち、「分割リセット形」に構成されている。

表示光学装置16が、SLM15からの画像を受取って、表示スクリーンのような画像平面を照射する光学部品を持っている。カラー表示では、表示光学装置16がカラー・ホイールを持ち、これに対して各々の色に対する一連のビット平面が同期している。別の実施例では、異なる色に対するビット平面を多数のSLMに同時に表示し、表示光学装置によって組合せることができる。

【0021】

マスタ・タイミング装置17が種々のシステム制御機能をする。

シーケンス制御器18が、SLM15に対するリセット制御信号及び表示メモリ14に対するロード制御信号を供給する。これらの信号は、この発明に従って発生されたシーケンスで並べられている。適当なシーケンス制御器の例が、係属中の米国特許出願通し番号第60/029,752号、発明の名称「空間光変調器に対するロード／リセット・シーケンス制御器」（出願人に譲渡されている）に記載されている。

【0022】

分割リセット・アドレス方式

図2は分割リセット・アドレス方式で構成されたSLM15の表示素子アレイの一部分

10

20

30

40

50

を示す。これから説明するが、表示素子 21 をアドレスするには、各々の表示素子のメモリ・セルにデータをロードし、ロードの合間にリセットすることが必要である。表示素子は、選定された表示時間の間、オン又はオフになることにより、データを表示する。

少数の表示素子 21 しか示していないが、前に述べたように、SLM 15 はこの他の行及び列の表示素子 21 を持っている。典型的な SLM 15 は何百個又は何千個ものこのような表示素子 21 を持っている。前に述べたように、各々の表示素子 21 がメモリ・セルを持ち、その為、表示素子 21 と同数のメモリ・セルがある。

【0023】

SLM 15 が表示素子 21 の「群」に分けられる。群は、表示素子 21 が 1 本のリセット線 24 に接続されることによって限定される。図 2 の例では、相次ぐ 32 行の表示素子 21 が夫々 1 本のリセット線 24 に接続されており、その為、これら 32 行の表示素子が 1 つの群である。480 行の SLM 15 が 1 つの群あたり 32 行を持っていれば、15 の群がある。

SLM 15 をいくつの群に構成するかは或る程度任意である。一般的に、最小ビット平面表示時間は、群の数に反比例する。一方で、ビット時間が短ければ、可視的な人為効果を軽減する融通性が一層良くなるので、ビット時間が短いほうが望ましい。他方で、表示装置 10 の全体的な複雑さは、余分の駆動回路、パッケージ・ピン及び制御回路を必要とする為に、群の数が増えると高くなる。しかし、一般的に、ここで説明する原理は、2 つ以上の任意の数の群を持つ SLM 15 に当てはまる。

【0024】

各々の群の行は続いている必要はない。n 本のリセット線に対し、n 番目の行毎のインターリーブ形パターンのような任意のパターンが可能である。パターンは垂直又は対角線の列にすることができる。更に、パターンは行毎にする必要はなく、連続していてもインターリーブであっても、ブロックにすることができる。しかし、実験によると、可視的な人為効果は、相次ぐ水平の行で構成された群の場合に、最小になることが分かった。

群に対するビット平面データが、群データのフォーマットにされる。即ち、p を SLM 15 の能動的な表示素子の数、q を群の数とすると、p 個のビットを持つビット平面が q 個のデータ群のフォーマットにされ、各々の群は p/q 個のデータ・ビットを持つ。

【0025】

図 3 (A) は、図 2 の 15 群を、ビット平面 j を表示する為に、どのようにロードしてリセットするかを示している。最初に、各々の群はロード時間 1 d の間にデータがロードされる。次に、この群の表示素子がリセットされる。リセット時間 r は、その群に接続されたリセット線にリセット信号が印加される時間を表す。リセット信号により、この群にある各々のミラーが、そのメモリ・セルに記憶されているデータに従って、状態を変える。リセットされた後、群がその表示時間を開始する。表示時間の初めに、表示素子が「保持」時間 h 1 d を経由し、この間、データは安定でなければならない。

1 つの群がロードされるや否や、次の群のロードを開始することができる。このロード、リセット及び表示過程が、15 群の各々に対して繰返され、各々の群がロードされた後、次の群のロードが開始され、その間、前の群はリセットされて表示される。

【0026】

図 3 (A) では、各々の群に対するロード及びリセットが相次いで行われ、その結果「段階的なリセット」になる。ビット平面に対する群の表示時間は、表示時間の初めと終りでスキューする。しかし、観察者は、全ての表示素子がビット時間の間、同時にオンであったのと殆ど同じように、表示素子の「オン」時間を知覚する。

図 3 (A) で、各々の群のリセットは、その群のロードの直後に行われる。その結果、表示時間は、全ての群をロードする合計時間と同じ長さである。これが「公称表示時間」である。図 3 (A) の特定の例では、ビット平面 j に対する表示時間は、群 0 のリセットから群 14 のリセットまで、全ての群をロードする時間と同じである。次のビット平面に対するロードを遅延させることにより、表示時間を一層長くすることができる。

【0027】

図3(B)は、公称表示時間より短い表示時間をどのように達成し得るかを例示している。一層短い表示時間では、リセットをロードに対して遅延させることができる。

更に、ロードとリセットの間の時間は群の間で同じでなくても良い。この為、ビット平面表示時間の初めにそれらをスキューさせる代りに、リセットをそろえることが可能である。

前段に述べたような分割リセット・アドレス方式の変形が、前に引用した係属中の米国特許出願通し番号第08/721,862号に記載されている。

【0028】

ロード／リセット・シーケンスの発生

前に述べたように、シーケンス制御器18は、ロード及びリセット命令のシーケンスでプログラムされている。この「シーケンス」は、全ての群に対するロード及びリセットのフレーム周期にわたる特定の順序である。例えば、時刻0に、リセット・シーケンスの一部は下記の2つの命令を含むことがある。

リセット [170, 1]

リセット [16, 2]

ここで引数は[遅延, 群番号]である。ロード・シーケンスの一部は下記の2つの命令を含むことがある。

ロード [300, 5]

ロード [198, 6]

ここで引数は[遅延, ビット平面番号]である。普通、ビット平面のロードは、全ての群に対して中断なしに行われる。そういう場合、群の選定は不必要であり、ロード命令は、連続的な一連の全ての群に対するものと含意される。しかし、後で説明するように、ビット平面に対する群のロードが独立に開始される状況があることがある。

【0029】

リセット・シーケンス及びロード・シーケンスを互いに調整して、ロード及びリセットが適正な時刻に行われるようにする。上に述べたリセット及びロード・シーケンスの例では、遅延は共通の基準からの遅延である。

シーケンス制御器18にプログラムされるシーケンスは、この発明の対象であるシーケンス発生過程の結果である。このシーケンス発生過程が、これから説明するようにプログラムされたコンピュータによって実施される。このようにプログラムされたコンピュータをこの明細書では「シーケンス発生器」と呼び、汎用又は専用コンピュータであって良い。

【0030】

図4はこの発明によるシーケンス発生器40を示す。それが、種々の「DMDパラメータ」及び「セグメント順序」を受取る。これらの用語をここで定義する。シーケンス発生器40が、リセット及びロードのシーケンス並びにそれらの相対的なタイミングを発生する。後で図7について説明するが、シーケンス発生器40の作用は、セグメントを分類し、「リセットの重なり」を防止し、あるセグメントの「余剰時間」を分配することを含む。「DMDパラメータ」は、リセット及びロードに影響を与える種々の制約及びSLM15のダイナミックスを表す。こういうDMDパラメータが、リセット又はロードするセグメントの「分類」を決定する。

【0031】

図5は、8ビット画素値に対するビット平面セグメント並びにそれらの分類を例示する。前に述べたように、ビット平面が1つ又は更に多くのセグメントとして表示される。ビット平面が多数のセグメントを持つ場合、その表示時間が分割され、フレーム周期内で分配される。典型的には、1つ又は更に多くの上位ビットのビット平面がセグメントに分割される。ビット平面が多数のセグメントを持つ場合、典型的にはセグメントは長さが等しく、同じ形式であるが、必ずしもそうではない。図5では、ビット平面3～7が多数のセグメントを持っている。

分類は、セグメントの初期表示時間、即ち、この発明による再配分がない場合にセグメントが持つ表示時間に基づく。(3種類の表示時間に対応する)3種類のセグメント、即ち

10

20

30

40

50

、正常、短及びリセット解放のセグメントがある。正常表示時間は「公称」表示時間と同じ長さか又はそれより長い。図3（A）について再び説明すると、公称表示時間は、全ての群が、あるものの直後に別のをというように逐次的にロードされる時、SLMをロードするのに要する時間に等しい。これによって、前にロードされているセグメントが全ての群で表示される間、セグメントを全ての群にロードすることができる。短表示時間及びリセット解放表示時間は、公称表示時間より短い。

【0032】

図3（B）に示すように、そのセグメントのロードに対してリセットを遅延させることにより、短表示時間を達成することができる。保持時間の終りが次のロードの初めと出会うまでリセットを遅延させた場合、短表示時間は、リセット時間、保持時間、群ロード時間及びデータ設定時間の和と同じ短さにすることができる。

10

リセット解放表示時間は、リセット時間、保持時間、群ロード時間及びデータ設定時間の和はより短い。リセット解放表示時間は、表示素子が「浮動」するように、リセット解放パルスで終了する。この浮動時間の間、次のビット平面がロードされてから、バイアスが再び印加される。大域リセット方式でリセット解放表示時間を使うことが、出願人に譲渡された係属中の米国特許出願通し番号_____（出願人控え番号T I - 20, 604）、発明の名称「空間光変調器に対する改良されたリセット方式」に記載されている。

【0033】

図5では、ビット平面7（MSB）及びビット平面6のセグメントは「正常」セグメントである。ビット平面5、4、3及び2のセグメントは「短」セグメントである。ビット平面1及び0のセグメントが「リセット解放」セグメントである。

20

下記の表は、シーケンス発生器40で使われる種々のDM Dパラメータを列挙している。

【0034】

【表1】

表.

パラメータ	説明
リセット時間	正常リセット・シーケンスに対する時間
リセット解放時間	関連するバイアス・オンなしのリセット・シーケンスに対する時間
バイアス・オン時間	バイアスを作動する時間
データ保持時間	バイアス・オンを開始した後、ロードが許されるまでの時間
リセット解放保持時間	リセット解放とバイアス・オンの間の時間
ミラー変化時間	ミラーの変化を許す為に使われる時間
データ設定時間	ロード完了後、リセット動作を開始できるようになるまでに必要な時間
クリア時間	デバイスの大域クリアに必要な時間
群ロード時間	群のロードに必要な時間
最小 r - r 時間	2つのリセット動作の間の最小時間
フレーム時間	シーケンスの全てのビット平面にかかる合計時間
使用済みフレーム時間	フレームの間に光が知覚される合計時間
リセット群の数	デバイスを分割する群の数
カラー・ホイール部分の数	
区分時間	カラー・ホイールの各区分にかかる時間

【0035】

上に述べたパラメータは、1つの色あたり1つより多くの区分を持つことができるカラー・ホイールを有する装置10に対するものである。各々の色は、カラー・ホイールの1回転の合計時間の一部分である「フレーム時間」を有する。各々の色は、カラー・ホイールの各々の区分に対するシーケンスを有する。

【0036】

図6(A)及び図6(B)は、上の表に列挙したリセット・タイミング・パラメータのいくつかを示している。「リセット時間」は、パルス、オフセット電圧及びバイアス電圧への復帰で構成された正常リセット信号を用いてリセットされる正常及び短セグメントに対するものである。「リセット解放時間」は、オフセット電圧の時間を延長したリセット解放セグメントに対するものである。「バイアス・オン時間」は、ミラーをバイアス電圧に復帰させる時間である。「データ保持時間」は図3(A)に示されている。リセット解放セグメントでは、リセット解放信号の後にリセット解放保持時間がある。「ミラー変化時間」は、表示素子が状態を変えつつある間の光の損失を表す。この値は、所望の強度レベルが知覚されるように保証する為、実験的に決定される。「データ設定時間」は、リセットを開始することができるようになる前に、その間データが安定でなければならない時間

である。「クリア」は、全てのメモリ・セルを0に設定して、それらが全域リセットの後に全部オフになるようにする方法である。「最小のリセットからリセットまでの時間」は、シーケンス制御器18の制約であって、シーケンス制御器は、前のリセット後この長さの時間、次のリセットを行うことができる。

【0037】

再び図4について、シーケンス発生器40に対する入力データを具体的に説明すると、「セグメント順序」は、あるフレームの間、セグメントがロードされる（従って表示される）順序である。多数のセグメントを持つビット平面は多数回ロードされる。前に図1について説明したように、フレーム・メモリ14が各々のビット平面を、SLM表示素子の一連の群に対するデータとして送出する。フレームメモリは、MSBのセグメントを送出し、次にMSB-2のセグメントを送出し、その後LSBに対するセグメントを送出し、その後MSBの別のセグメントを送出するというようにして、全てのビット平面に対する全てのセグメントがロードされる。典型的には、各々のフレームは同じセグメント順序を繰返す。

10

【0038】

図7は、DMDパラメータの制約に合うシーケンスを発生する為に、シーケンス発生器40によって実施される過程を示す。

工程701で、セグメントが正常、短又はリセット解放として分類される。各々のセグメントを記述する為に異なるデータ構造が設定される。

工程702で、各々のセグメントに対して余剰時間及び補償時間が計算される。図5について言うと、「余剰時間」は公称表示時間を超える時間である。「補償時間」は、セグメントが公称表示時間を持つようにするのに必要な時間である。図5の例では、ビット平面6及び7のセグメントは余剰時間を持ち、他のセグメントは補償時間を必要とする。

20

工程703は、各々のセグメントに実際の表示時間を割当てて。こういう表示時間は、入力パラメータ、使用済みフレーム時間から計算され、使用済み計算時間はビット平面の数及びそれらの重みに従って分割される。過程のこの時点で、正常セグメントにはその公称表示時間だけが与えられる。

【0039】

工程704はフレームに対するミラー・時間・オフ値を計算する。この計算は、ミラーの変化、リセット解放及び全域クリアから生ずる暗時間を含む。ミラー・時間・オフ値をフレーム時間から減算して、計算された使用済みフレーム時間を決定する。

30

工程705で、計算された使用済みフレーム時間を、パラメータとして入力された使用済みフレーム時間と比較する。それらが等しければ、過程が続けられる。それらが等しくなければ、使用済みフレーム時間は計算された使用済みフレーム時間に等しいと設定され、工程701～705が繰返される。これによって、使用済みフレーム時間が初期時間に分割される時、リセット解放ビットに対する暗時間が正しく考慮されるように保証される。

【0040】

工程706で、リセットの競合を検査する。これが起るのは、任意の2つ又は更に多くの群のリセット信号が時間的に重なる時である。例えば、短セグメントでは、リセットが遅延する時、次のセグメントに対するリセットは、短セグメントの全てのリセットが終る前に開始することがある。この結果、異なる群で起ることであるが、2つのセグメントのリセットの間に1つ又は更に多くの重なりが生ずる。1つ又は更に多くの重なりが存在することが「リセットの競合」である。セグメントの表示時間及びリセット時間に基づく計算により、リセットの競合が起る惧れを決定することができる。

40

【0041】

図8は、リセットの競合をはっきりさせる過程を示す。リセットの競合が起った場合、工程801が競合に関係する短又はリセット解放セグメントのビット平面が多数のセグメントを持つかどうかを判定する。多数のセグメントを持てば、リセットの競合は「反復的なセグメント」の競合である。工程802で、同じビット平面のセグメント表示時間を調節することにより、この競合を避ける。具体的に言うと、重なりが発生したセグメントを短

50

くし（又は長くし）、同じビット平面の別のセグメントを長く（又は短く）して補償する。この補償により、ビット平面に対する合計表示時間は影響を受けない。

【0042】

リセットの競合が反復的なセグメントの競合でない場合、工程803が、リセット・タイミングのスキュー（「リセット・スキュー」）を調節することによってその競合を避けることができるかどうかを判定する。リセットの競合が短セグメントの間のものであれば、この解決が可能である。解決が可能であれば、工程804で、リセット・スキューを調節する。通常、リセット・スキューは、1つの直後に別の1つというように、群から群に連続的にロードする場合のロード・スキューと同形である。従って、リセット・スキューを調節する場合、より水平になる、即ち、各々のリセットの間の時間がより長くなる。

10

【0043】

図9（A）及び9（B）は工程803及び804を示す。図9（A）で、セグメント（ $n+1$ ）が短セグメントであり、セグメント（ $n+2$ ）とリセットの重なりを有する。図9（B）では、両方のセグメントのリセット・スキューを変えることにより、重なりが是正されている。しかし、その結果、セグメント n はそのある群に対する表示時間が長くなり、セグメント（ $n+2$ ）もそうである。セグメント n 及び（ $n+2$ ）が、同じビット平面のセグメントであれば、観察者の画像に対する知覚には影響しない。しかし、それらが同じビット平面のセグメントでなければ、フレーム内の他のどこかに「逆スキュー」を設けなければならない。これは、ビット平面 n のセグメントに先行するビット平面（ $n+2$ ）のセグメントを突止め、その間の任意の境界をスキューさせることによって達成される。即ち、それらが隣接していれば、その境界がスキューされ、中間に介在するセグメントがあれば、それらの間の全ての境界がスキューされる。

20

【0044】

工程804の結果として、リセット・スキューが調節される場合、影響を受ける各々のビット平面に対するロード・スキューも変えられる。ロード・スキューをより水平にする（各々のロードの間の時間をより長くする）時、そのビット平面のロードを次のビット平面のリセットに対して散在させることが必要になることがある。図7の過程は、ロード及びリセットを追跡し、ビット平面に対する連続的なロードの代りに、群のロードでシーケンスを作る。

リセット解放ビット平面にリセットの重なりがある場合、工程806が用いられる。この場合、リセット解放保持時間が調節される。

30

【0045】

図10は工程806を例示する。図示のように、リセット解放保持時間は、リセット解放信号とバイアス・オンの間の時間である。この時間を調節して、バイアス・オンを含むリセットの重なりを防止することができる。

【0046】

図7に戻って説明すると、工程707はフレームの初めのセグメントに対処する為に余剰時間を使う。更に具体的に言うと、フレームの初めに、最初のセグメントが暗時間の間にロードされ、その後全ての群が大域リセットされる。データ保持時間が大域リセットに続く。このデータ保持時間を余剰時間で補償する。

40

工程708で、余剰時間を使い切ったかどうかを判断する。使い切っていれば、この過程は「解決策なし」状態を宣言して終了する。

工程709で、残っている余剰時間を使って、短及びリセット解放セグメントに対処する。例えば、ビット平面7のセグメントがビット平面4のセグメントに先行し、ビット平面4のセグメントが x の補償時間を持っていると仮定する。この場合、 x 時間をビット平面7の余剰時間から取出し、そのセグメントの表示時間に加算する。

【0047】

工程710で、余剰時間を使い切ったかどうかを判定する。使い切っていれば、過程は「解決策なし」状態を宣言して終了する。

カラー・ホイールが1つの色について1つより多くのホイール区分を持つ場合、工程71

50

1 が用いられる。前に述べたように、カラー・ホイール表示装置では、図 7 の過程が各々の色に対して繰返される。各々の色は 1 つより多くのホイール区分を持つことがあり、その場合、この過程によって各々のホイール区分に対するシーケンスが発生される。工程 7 1 1 で、それまでの工程で加算された任意の余剰時間を含めて、合計のホイール区分に対して使われた合計時間が計算される。

【0048】

工程 7 1 2 は残っている余剰時間を配分する。カラー・ホイールが 1 つの区分しか持たない場合、余剰時間がセグメントに均一に分配される。カラー・ホイールが 1 つより多くのホイール区分を持つ場合、各々のホイール区分が適正な配分の表示時間を手に入れることを保証するような形で、余剰時間が分配される。各々のホイール区分に対する目標時間が、DMD パラメータとして、シーケンス発生器 40 に入力される。

10

【0049】

工程 7 1 3 は、リセット及びロードのスキューを定める為に、初め及び終りのビット平面を調節する。前に述べたように、フレームの初めに、大域リセットが最初のセグメントの全ての群の表示時間を同時に開始する。この最初のセグメントにある各々の群に対し、表示時間は、フレーム内の残りのセグメントに対するロード・スキューに見合うように、次第に一層長くされる。シーケンスの段階的な部分の最後のセグメントが「最後の段階のセグメント」である。このセグメントは大域リセットで終り、その後任意の数の大域セグメントを表示することができる。最後の段階のセグメントは、最初のセグメントと同じビット平面からのものである。最後の段階のセグメントは、各々の群に対し表示時間が次第に短くなる。この結果、対応するビット平面に対する全体的な表示時間が適正になる。

20

【0050】

工程 7 1 4 及び 7 1 5 は、セグメントの表示時間に基づいて、ロード及びリセットに対する遅延を計算する。前に述べたように、ロードでは、通常セグメントは全ての群に連続的にロードされる。従って、ロード命令は、そのセグメントに関連したビット平面を確認することによって行われる。例外は、リセット・スキューを調節する時であり、この場合、ロード命令がビット平面及び群を確認する。工程 7 1 4 は、リセット解放に対する遅延を設定すると共に、リセット解放セグメントに対するバイアス・オンを行う。

【0051】

工程 7 1 6 は任意の大域リセットの設定をする。カラー・ホイール表示装置では、各々のホイール区分の終り（カラー・ホイールの「スポーク」）に「クリア」を使う。これによってスポークが通過する時、暗時間ができる。この暗時間の必要がある為、短セグメント又はリセット解放セグメントが、シーケンスの最後のセグメントとして配置される場合が多い。こうすると、短セグメント又はリセット解放セグメントに余剰時間が必要になることが避けられる。リセット解放セグメントの場合、これによって、リセット解放ビットがフレーム内の他の場所に配置された場合に必要になる追加の暗時間（ミラーの「浮動」中の）がなくなる。工程 7 1 6 で、全ての大域リセットに対する大域リセット遅延が計算される。

30

【0052】

図 7 の過程について上に述べたのは、分割リセット形表示装置の場合である。多くの同じ考えは、大域リセット方式にも当てはまる。大域リセット方式では、全てのセグメントが、前のセグメントの表示時間の間にロードされ、その後大域リセットされる。従って、問題は、短い表示時間にしても、次のセグメントをロードするのに十分な時間が得られるようにできることである。分割リセット方式の場合の分類と同様に、大域リセット方式のセグメントが、それらの表示時間で判定して、正常、短又はリセット解放と分類される。正常表示時間は、公称表示時間、例えば、保持時間、全ての表示素子をロードする時間、リセット時間及びデータ設定時間の和と同じ長さかそれより長い。短表示時間は公称表示時間より短い。短表示時間の後、データをクリアし、暗時間の間に次のビット平面をロードすることが続く。短表示時間は、保持時間、クリア時間、リセット時間及びデータ設定時間の和と同じ短さにすることができる。リセット解放表示時間はリセット解放で終了し、

40

50

この為、表示素子が「浮動」状態にある間にクリアを開始することができ、その後暗時間の間に、次のセグメントに対するデータのロードが行われる。

【0053】

他の実施例

この発明を特定の実施例について説明したが、この説明はこの発明を制約するものと解してはならない。当業者には、ここで開示した実施例の種々の変形並びにその他の実施例が容易に考えられよう。従って、特許請求の範囲は、この発明の範囲に属するこのような全ての変形を包括することを承知されたい。

【0054】

以上の説明に関し、更に以下の項目を開示する。

10

(1) その表示素子がロード及びリセットによってデータがアドレスされるような分割リセット形空間光変調器を持ち、前記データがビット平面フォーマットになっていて、各々のビット平面があるフレーム時間の間に1つ又は更に多くのセグメントとしてロードされ、前記空間光変調器が最小ロード時間を持つような分割リセット形表示装置に対するロード／リセット・シーケンスを自動的に供給する方法に於て、

前記セグメントの表示順序を記憶し、

各々の前記セグメントを正常表示時間又は短表示時間を持つものとして分類し、前記正常表示時間が少なくとも前記最小ロード時間と同じ長さであり、前記短表示時間は前記最小ロード時間より短く、

前記最小ロード時間を各々の前記正常表示時間から減算して、各々の前記正常表示時間に対して余剰時間を決定し、

20

実際の表示時間を各々の前記セグメントに割当て、各々の正常表示時間には前記最小ロード時間だけが与えられるようにし、

1つの前記短表示時間の前に発生する任意の前記正常表示時間に対して、前記余剰時間の少なくとも一部分を加算し、

残っている余剰時間があればそれを分配し、

各々の前記セグメントのロード及びリセットの夫々に対する開始時間を設定する工程を含む方法。

【0055】

(2) 第1項に記載の方法に於て、更に、少なくとも1つの前記セグメントをリセット解放表示時間を持つものとして分類する工程を含む方法。

30

(3) 第2項に記載の方法に於て、前記設定する工程が、1つ又は更に多くのリセット解放信号に対する開始時間を設定することを含む方法。

(4) 第2項に記載の方法に於て、更に、リセット解放表示時間を持つ1つのセグメントを前記フレーム時間の終りに置く工程を含む方法。

【0056】

(5) 第1項に記載の方法に於て、更に、前記表示素子の大域リセットをして、少なくとも1つのセグメントの表示時間を開始する工程を含む方法。

(6) 第1項に記載の方法に於て、更に、合計表示時間を表す使用済みフレーム時間を計算して、該使用済みフレーム時間を所望のフレーム時間と比較する工程を含む方法。

40

(7) 第1項に記載の方法に於て、前記加算する工程が、前記短表示時間及び前記最小表示時間の間の差を補償するのに十分な長さの余剰時間を加算することによって行われる方法。

(8) 第1項に記載の方法に於て、前記表示素子が保持時間及びロード時間を持ち、前記短表示時間が少なくとも前記リセット時間に前記保持時間を加えた時間と同じ長さである方法。

【0057】

(9) その表示素子がロード及びリセットによってデータがアドレスされるような大域リセット形空間光変調器を持ち、前記データはビット平面フォーマットにされ、各々のビット平面があるフレーム時間の間に1つ又は更に多くのセグメントとしてロードされ、前

50

記空間光変調器が最小ロード時間を持つような表示装置に対するロード／リセット・シーケンスを自動的に供給する方法に於て、前記セグメントの表示順序を記憶し、各々の前記セグメントを正常表示時間又は短表示時間を持つものとして分類し、前記正常表示時間は少なくとも前記最小ロード時間と同じ長さであり、前記短表示時間は前記最小ロード時間より短く、前記フレーム時間を表示時間に分割し、短表示時間を持つ各々の前記セグメントの後にクリアを置き、各々の前記セグメントのロード、リセット及びクリアに対して夫々開始時間を設定する工程を含む方法。

【0058】

10

(10) 第9項に記載の方法に於て、更に、少なくとも1つのセグメントをリセット解放表示時間を持つものとして分類する工程を含む方法。

(11) 第10項に記載の方法に於て、前記設定する工程が、1つ又は更に多くのリセット解放信号に対する開始時間を設定することを含む方法。

(12) 第9項に記載の方法に於て、更に、合計表示時間を表す使用済みフレーム時間を計算し、該使用済みフレーム時間を所望のフレーム時間と比較する工程を含む方法。

(13) 第9項に記載の方法に於て、前記表示素子が保持時間を持ち、前記正常表示時間が少なくとも前記保持時間に前記最小ロード時間を加えた時間と同じ長さである方法。

(14) 第12項に記載の方法に於て、前記短表示時間が少なくとも前記保持時間に前記クリアに対する時間を加えた時間と同じ長さである方法。

20

【0059】

(15) その表示素子がロード及びリセットによってデータがアドレスされるような分割リセット形空間光変調器を持ち、前記データがビット平面フォーマットにされ、各々のビット平面があるフレーム時間の間に、1つ又は更に多くのセグメントとしてロードされ、前記空間光変調器が最小ロード時間を持つような表示装置に対するロード／リセット・シーケンスを自動的に供給する方法に於て、

前記セグメントの表示順序を記憶し、

何れかの前記セグメントのリセットによって、次のセグメントのリセットに対してリセットの競合を生ずるかどうかを判定して、競合するセグメントを確認し、

前記競合するセグメントが多数のセグメントを持つビット平面のものであるかどうかを判定し、

30

前記競合するセグメントが多数のセグメントを持つビット平面のものであれば、前記競合するセグメントの表示時間を調節すると共に、関連するビット平面の別のセグメントを逆に調節することにより、前記リセットの競合を避け、

各々の前記セグメントのロード及びリセットに対して夫々開始時間を設定する工程を含む方法。

【0060】

(16) 第15項に記載の方法に於て、更に、前記競合するセグメントが多数のセグメントを持つビット平面のものでなければ、前記競合するセグメント及び次のセグメントのリセット・スキューを調節することにより、前記リセットの競合を避ける工程を含む方法。

40

(17) 第15項に記載の方法に於て、更に、前記競合するセグメントが同じビット平面のセグメントと境界を接するかどうかを判定し、境界を接していなければ、前記フレーム時間内の他の場所で、リセット・スキューを逆に調節する工程を含む方法。

(18) 第15項に記載の方法に於て、前記競合するセグメントがリセット解放表示時間を持ち、該セグメントがリセット解放信号で終了し、前記リセットの競合を避ける工程は、前記競合するセグメントの保持時間を調節することによって達成される方法。

【0061】

(19) その表示素子にデータがロードされ、ロードの合間にリセットされるような空間光変調器を持つ表示装置に対するロード／リセット・シーケンスを自動的に発生する方

50

法（図7）を説明した。ビット平面のデータは、その表示時間に従って、正常、短又はリセット解放を分類される（図5）。正常ビット平面の余剰時間を計算する（図5）。正常ビット平面の表示時間は、余剰時間を減算するか加算することによって調節され、短又はリセット解放のビット平面の前に表示される任意の正常ビット平面は、短又はリセット解放ビット平面をロードすることができるようにするのに十分な余剰時間を含むようにする（図7）。更に、リセットの競合を検出して避ける（図7、8、9（A）及び9（B））。

【図面の簡単な説明】

【図1】この発明に従って発生されたシーケンスを用いてプログラムされたシーケンス制御器を持つ投影形表示装置のブロック図。

10

【図2】分割リセット・アドレス方式用に構成された、図1のSLMの表示素子アレイの一部分を示す図。

【図3】（A）は分割リセット方式の段階的なロード及びリセットを示す図、（B）は短表示時間に対するロード及びリセットを示す図。

【図4】この発明によるシーケンス発生器の略図。

【図5】ビット平面、それらのセグメント分割並びにそれらの分類を示す図。

【図6】図4のいくつかの入力パラメータを示す図。

【図7】図4のシーケンス発生器によって実施される過程を示すフローチャート。

【図8】リセットの重なりを解決する過程を示すフローチャート。

【図9】リセット・スキューを調節することによって、リセットの重なりを解決する方法を示す図。

20

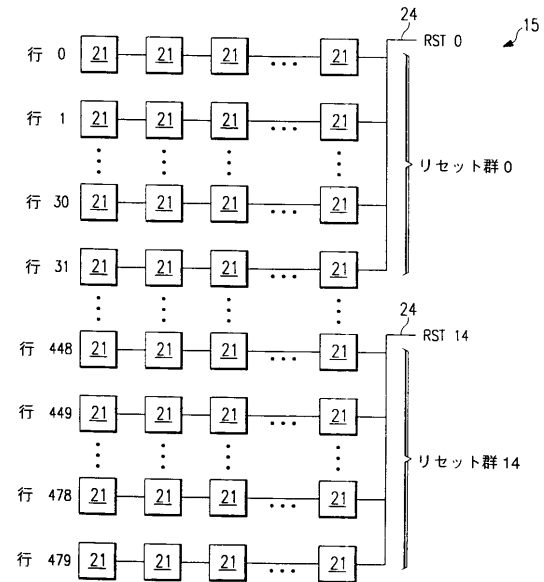
【図10】リセット解放ビット平面に対してリセットの重なりを解決する方法を示す図。

【符号の説明】

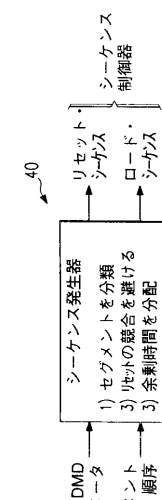
- 10 投影表示装置
- 12 a A/D変換器
- 12 b Y/C分離器
- 13 プロセッサ・システム
- 15 SLM
- 18 シーケンス制御器
- 40 シーケンス発生器

30

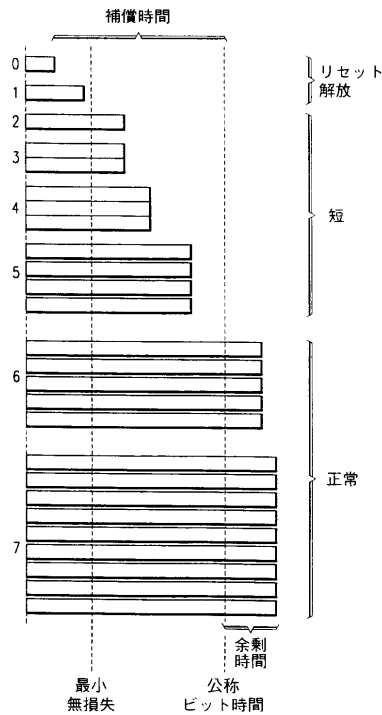
【図 2】



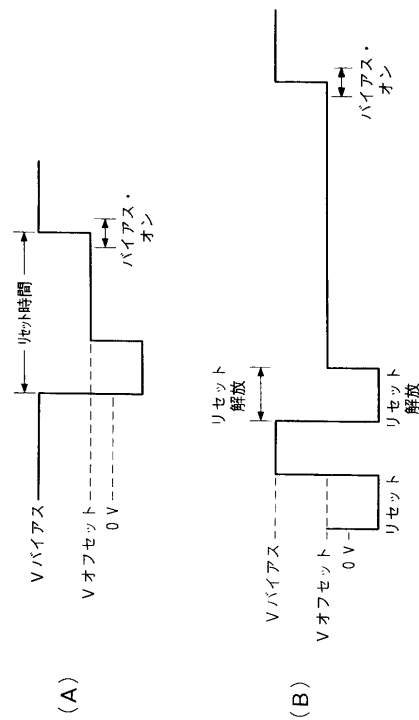
【図 4】



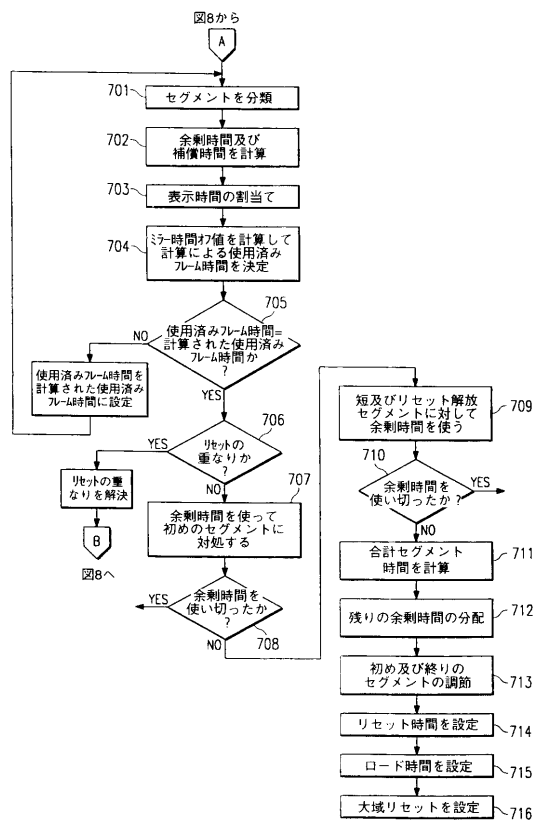
【図 5】



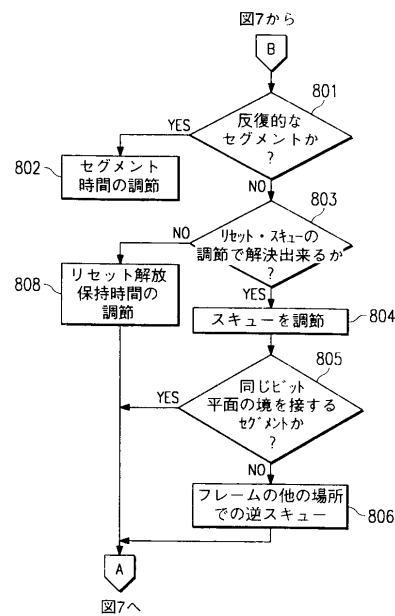
【図 6】



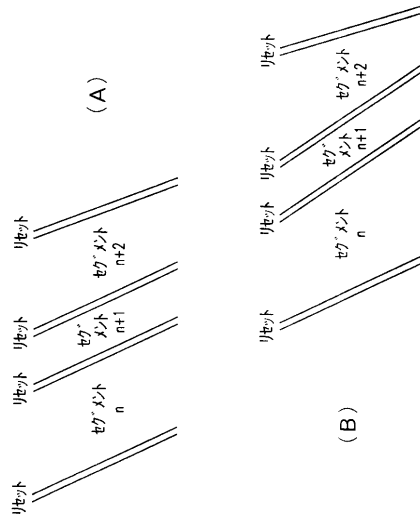
【図 7】



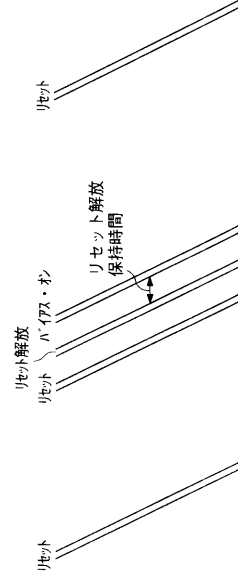
【図 8】



【図 9】



【図 10】



フロントページの続き

- (72)発明者 グレゴリー ジェイ. ヒューレット
アメリカ合衆国テキサス州ガーランド, エヌ. シロー ロード 2831, ナンバー 268
- (72)発明者 ドナルド ビー. ドハーティ
アメリカ合衆国テキサス州リチャードソン, ウォールナット クリーク プレイス 16

審査官 中村 直行

- (56)参考文献 特表平09-512113 (JP, A)
特開平10-171410 (JP, A)
特開平09-198008 (JP, A)
特開平08-146934 (JP, A)
特開平08-051587 (JP, A)
特開平08-205055 (JP, A)
特開平05-183851 (JP, A)
特開平08-063122 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09G3/00-3/38