



(12)发明专利

(10)授权公告号 CN 105845093 B

(45)授权公告日 2018.09.21

(21)申请号 201610335245.9

(22)申请日 2011.09.09

(65)同一申请的已公布的文献号

申请公布号 CN 105845093 A

(43)申请公布日 2016.08.10

(30)优先权数据

2010-201621 2010.09.09 JP

(62)分案原申请数据

201110278110.0 2011.09.09

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72)发明人 木村肇 梅崎敦司

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 吴晟 付曼

(51)Int.Cl.

G09G 3/36(2006.01)

审查员 庄怡倩

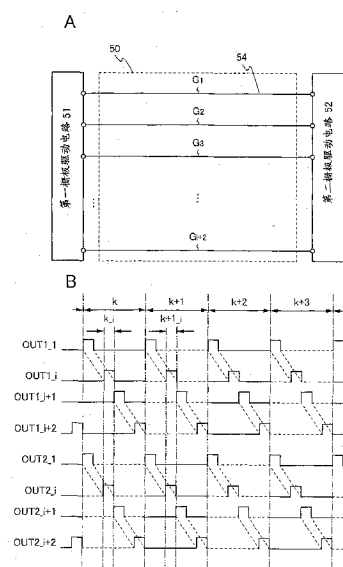
权利要求书2页 说明书60页 附图113页

(54)发明名称

半导体器件

(57)摘要

提供一种半导体器件,其中降低在选择期间中输出到栅极信号线的信号的延迟或失真。半导体器件包括栅极信号线、向栅极信号线输出选择信号和非选择信号的第一和第二栅极驱动电路以及电连接到栅极信号线并且被提供这两种信号的像素。在选择栅极信号线的期间中,第一和第二栅极驱动电路均向栅极信号线输出选择信号。在没有选择栅极信号线的期间中,第一和第二栅极驱动电路其中之一向栅极信号线输出非选择信号,而另一个栅极驱动电路既不向栅极信号线输出选择信号也不向栅极信号线输出非选择信号。



1. 一种半导体器件,包括:
栅极信号线;
第一栅极驱动电路,其包括第一到第六晶体管;以及
第二栅极驱动电路,其包括第七到第十二晶体管,
其中所述栅极信号线电连接到所述第一晶体管的第一端子和所述第二晶体管的第一端子,
所述第一晶体管的栅极电连接到所述第三晶体管的第一端子和所述第四晶体管的第一端子,
所述第二晶体管的栅极直接连接到所述第五晶体管的第一端子和所述第六晶体管的第一端子,
所述第六晶体管的第二端子直接连接到所述第一晶体管的栅极,
所述栅极信号线电连接到所述第七晶体管的第一端子和所述第八晶体管的第一端子,
所述第七晶体管的栅极电连接到所述第九晶体管的第一端子和所述第十晶体管的第一端子,
所述第八晶体管的栅极直接连接到所述第十一晶体管的第一端子和所述第十二晶体管的第一端子,以及
所述第十二晶体管的第二端子直接连接到所述第七晶体管的栅极。
2. 如权利要求1所述的半导体器件,还包括像素部分,所述像素部分包括在所述第一栅极驱动电路和所述第二栅极驱动电路之间的多个像素。
3. 如权利要求1所述的半导体器件,其中在像素部分的相同侧上提供所述第一栅极驱动电路和所述第二栅极驱动电路。
4. 一种半导体器件,包括:
栅极信号线;以及
第一到第十二晶体管,
其中所述栅极信号线电连接到所述第一晶体管的第一端子和所述第二晶体管的第一端子,
所述第一晶体管的栅极电连接到所述第三晶体管的第一端子和所述第四晶体管的第一端子,
所述第二晶体管的栅极直接连接到所述第五晶体管的第一端子和所述第六晶体管的第一端子,
所述第六晶体管的第二端子直接连接到所述第一晶体管的栅极,
所述栅极信号线电连接到所述第七晶体管的第一端子和所述第八晶体管的第一端子,
所述第七晶体管的栅极电连接到所述第九晶体管的第一端子和所述第十晶体管的第一端子,
所述第八晶体管的栅极直接连接到所述第十一晶体管的第一端子和所述第十二晶体管的第一端子,以及
所述第十二晶体管的第二端子直接连接到所述第七晶体管的栅极。
5. 如权利要求1或4所述的半导体器件,其中所述第三晶体管是二极管连接的。
6. 如权利要求1或4所述的半导体器件,其中所述第四晶体管是二极管连接的。

7. 如权利要求1或4所述的半导体器件,其中所述第五晶体管是二极管连接的。
8. 如权利要求1或4所述的半导体器件,其中所述第六晶体管是二极管连接的。
9. 如权利要求1或4所述的半导体器件,其中所述第一到第十二晶体管的其中之一包括其中形成沟道形成区域的氧化物半导体层。

半导体器件

技术领域

[0001] 本分案申请的母案申请日为2011年09月09日、申请号为201110278110.0、发明名称为“半导体器件”。本发明的技术领域涉及包括栅极驱动电路的半导体器件。

背景技术

[0002] 有源矩阵显示装置包括：像素部分，包含提供有用作开关的元件（例如晶体管）的多个像素；以及驱动电路，包含源极驱动电路和栅极驱动电路。当用作开关的元件导通时，源极驱动电路将视频信号输出到提供有该元件的像素。栅极驱动电路控制用作开关的元件的开/关。

[0003] 栅极驱动电路设置在靠近像素部分。在栅极驱动电路设置成靠近像素部分的一侧的情况下，像素部分的区域可能偏向显示装置的一侧。因此，已经提出一种显示装置，它具有将栅极驱动电路在像素部分中分成右和左的结构。

[0004] 图58示出参考文献1中公开的显示装置的结构。在图58所示的显示装置中，第一栅极驱动电路5108和第二栅极驱动电路5110对称地设置在显示区域的右和左周边区域中。

[0005] 第一栅极驱动电路5108设置在显示区域的左周边区域中。第一栅极驱动电路5108包括多个移位寄存器（ SRC_1 和 SRC_3 至 SRC_{n+1} ），其输出端子连接到奇数编号栅极线（ GL_1 和 GL_3 至 GL_{n+1} ）。第二栅极驱动电路5110设置在显示区域的右周边区域中。第二栅极驱动电路5110包括多个移位寄存器（ SRC_2 、 SRC_4 、 $\cdots$ 和 SRC_n ），其输出端子连接到偶数编号栅极线（ GL_2 、 GL_4 、 $\cdots$ 和 GL_n ）。

[0006] 第一栅极驱动电路5108控制源极驱动电路5112与设置在像素部分5102的奇数编号行中的像素之间的电连接。第二栅极驱动电路5110控制源极驱动电路5112与设置在像素部分5102的偶数编号行中的像素之间的电连接。

[0007] [专利文献]

[0008] 参考文献1：日本公开专利申请 No. 2003-076346

发明内容

[0009] 如同参照图58所述的显示装置中那样，在具有将栅极驱动电路在像素部分中分成右和左的结构 of 的显示装置中，信号在选择栅极线的期间（这种期间又称作选择期间）中从第一栅极驱动电路和第二栅极驱动电路其中之一输出到栅极线（又称作栅极信号线）。另外，在没有选择栅极线的期间（这种期间又称作非选择期间）中，没有信号从第一栅极驱动电路和第二栅极驱动电路输出到栅极线。

[0010] 本发明的一个实施例的一个目的是提供一种半导体器件，其中降低在选择期间中输出到栅极信号线的信号的延迟或失真。

[0011] 本发明的一个实施例的一个目的是提供一种半导体器件，其中抑制第一栅极驱动电路和第二栅极驱动电路中包含的晶体管的退化。

[0012] 本发明的一个实施例的一个目的是提供一种半导体器件，其中栅极信号线的电位

的上升时间或下降时间较短。

[0013] 本发明的一个实施例是一种半导体器件,它包括栅极信号线、向栅极信号线输出选择信号和非选择信号的第一栅极驱动电路和第二栅极驱动电路,以及电连接到栅极信号线并且被提供选择信号和非选择信号的多个像素。在选择栅极信号线的期间中,第一栅极驱动电路和第二栅极驱动电路均向栅极信号线输出选择信号。在没有选择栅极信号线的期间中,第一栅极驱动电路和第二栅极驱动电路其中之一向栅极信号线输出非选择信号,而第一栅极驱动电路和第二栅极驱动电路中的另一个既不向栅极信号线输出选择信号也不向栅极信号线输出非选择信号。

[0014] 第一栅极驱动电路和第二栅极驱动电路可提供有包括设置在其间的多个像素的像素部分。

[0015] 半导体器件可包括用于将视频信号写到与对其输出选择信号的栅极信号线对应的像素的源极驱动电路。

[0016] 在本发明的一个实施例中,有可能提供一种半导体器件,其中降低在选择期间中输出到栅极信号线的信号的延迟或失真。

[0017] 在本发明的一个实施例,有可能提供一种半导体器件,其中抑制第一栅极驱动电路和第二栅极驱动电路中包含的晶体管的退化。

[0018] 在本发明的一个实施例中,有可能提供一种半导体器件,其中栅极信号线的电位的上升时间或下降时间较短。

[0019] 根据本发明的一方面,提供一种半导体器件,包括:栅极信号线;第一栅极驱动电路,其包括第一到第六晶体管;以及第二栅极驱动电路,其包括第七到第十二晶体管,其中所述栅极信号线电连接到所述第一晶体管的第一端子和所述第二晶体管的第一端子,所述第一晶体管的栅极电连接到所述第三晶体管的第一端子和所述第四晶体管的第一端子,所述第二晶体管的栅极电连接到所述第五晶体管的第一端子和所述第六晶体管的第一端子,所述第六晶体管的第二端子电连接到所述第一晶体管的栅极,所述栅极信号线电连接到所述第七晶体管的第一端子和所述第八晶体管的第一端子,所述第七晶体管的栅极电连接到所述第九晶体管的第一端子和所述第十晶体管的第一端子,所述第八晶体管的栅极电连接到所述第十一晶体管的第一端子和所述第十二晶体管的第一端子,以及所述第十二晶体管的第二端子电连接到所述第七晶体管的栅极。

[0020] 根据本发明的另一方面,提供一种半导体器件,包括:栅极信号线;以及第一到第十二晶体管,其中所述栅极信号线电连接到所述第一晶体管的第一端子和所述第二晶体管的第一端子,所述第一晶体管的栅极电连接到所述第三晶体管的第一端子和所述第四晶体管的第一端子,所述第二晶体管的栅极电连接到所述第五晶体管的第一端子和所述第六晶体管的第一端子,所述第六晶体管的第二端子电连接到所述第一晶体管的栅极,所述栅极信号线电连接到所述第七晶体管的第一端子和所述第八晶体管的第一端子,所述第七晶体管的栅极电连接到所述第九晶体管的第一端子和所述第十晶体管的第一端子,所述第八晶体管的栅极电连接到所述第十一晶体管的第一端子和所述第十二晶体管的第一端子,以及所述第十二晶体管的第二端子电连接到所述第七晶体管的栅极。

附图说明

- [0021] 附图包括：
- [0022] 图1A示出半导体器件的结构示例，以及图1B是示出半导体器件的操作示例的时序图；
- [0023] 图2A至图2C各示出半导体器件的操作示例；
- [0024] 图3A至图3C各示出半导体器件的操作示例；
- [0025] 图4A示出栅极驱动电路的结构示例，以及图4B示出栅极驱动电路的操作示例；
- [0026] 图5A至图5I是与栅极驱动电路的操作示例对应的示意图；
- [0027] 图6A至图6L是各示出栅极驱动电路的操作示例的时序图；
- [0028] 图7A至图7L是各示出栅极驱动电路的操作示例的时序图；
- [0029] 图8A至图8F是各示出栅极驱动电路的操作示例的时序图；
- [0030] 图9A示出栅极驱动电路的结构示例，以及图9B示出栅极驱动电路的操作示例。
- [0031] 图10A和图10B各示出栅极驱动电路的结构示例，以及图10C示出栅极驱动电路的操作示例；
- [0032] 图11A至图11C各示出栅极驱动电路的结构示例；
- [0033] 图12A至图12H各示出栅极驱动电路的操作示例；
- [0034] 图13A至图13E各示出栅极驱动电路的操作示例；
- [0035] 图14A示出栅极驱动电路的结构示例，以及图14B示出栅极驱动电路的操作示例。
- [0036] 图15A至图15E各示出栅极驱动电路的操作示例；
- [0037] 图16A和图16B各示出半导体器件的电路图的示例；
- [0038] 图17是示出半导体器件的操作示例的时序图；
- [0039] 图18A和图18B各示出半导体器件的操作示例；
- [0040] 图19A和图19B各示出半导体器件的操作示例；
- [0041] 图20A和图20B各示出半导体器件的操作示例；
- [0042] 图21A和图21B各示出半导体器件的操作示例；
- [0043] 图22是示出半导体器件的操作示例的时序图；
- [0044] 图23是示出半导体器件的操作示例的时序图；
- [0045] 图24A和图24B各示出半导体器件的电路图的示例；
- [0046] 图25A和图25B各示出半导体器件的电路图的示例；
- [0047] 图26示出半导体器件的电路图的示例；
- [0048] 图27是示出半导体器件的操作示例的时序图；
- [0049] 图28A和图28B各示出半导体器件的操作示例；
- [0050] 图29A和图29B各示出半导体器件的操作示例；
- [0051] 图30是示出半导体器件的操作示例的时序图；
- [0052] 图31A和图31B各示出半导体器件的电路图的示例；
- [0053] 图32A和图32B各示出半导体器件的操作示例；
- [0054] 图33A和图33B各示出半导体器件的操作示例；
- [0055] 图34A和图34B各示出半导体器件的操作示例；
- [0056] 图35A和图35B各示出半导体器件的操作示例；
- [0057] 图36A和图36B各示出半导体器件的电路图的示例；

- [0058] 图37A和图37B各示出半导体器件的电路图的示例；
- [0059] 图38A和图38B各示出半导体器件的电路图的示例；
- [0060] 图39A至图39F各示出半导体器件的电路图的示例；
- [0061] 图40A至图40D各示出半导体器件的电路图的示例；
- [0062] 图41A和图41B各示出半导体器件的电路图的示例；
- [0063] 图42A和图42B各示出半导体器件的操作示例；
- [0064] 图43A和图43B各示出半导体器件的操作示例；
- [0065] 图44A和图44B各示出半导体器件的操作示例；
- [0066] 图45A和图45B各示出半导体器件的操作示例；
- [0067] 图46A至图46D各示出显示装置的结构示例，以及图46E示出像素的结构示例；
- [0068] 图47示出移位寄存器的电路图的示例；
- [0069] 图48示出移位寄存器的电路图的示例；
- [0070] 图49是示出移位寄存器的操作示例的时序图；
- [0071] 图50A、图50C和图50D各示出源极驱动电路的结构示例，以及图50B是示出源极驱动电路的操作示例的时序图；
- [0072] 图51A至图51G各示出保护电路的电路图的示例；
- [0073] 图52A和图52B各示出包括保护电路的半导体器件的结构示例；
- [0074] 图53A和图53B各示出显示装置的结构示例，以及图53C示出晶体管的结构示例；
- [0075] 图54A至图54C各示出显示装置的结构示例；
- [0076] 图55是半导体器件的布局图；
- [0077] 图56A至图56H各示出电子装置的示例；
- [0078] 图57A至图57D各示出电子装置的示例，以及图57E至图57H各示出半导体器件的应用；
- [0079] 图58示出显示装置的结构示例；
- [0080] 图59是作为比较示例的半导体器件的电路图；
- [0081] 图60A和图60B各示出电路模拟的计算结果；以及
- [0082] 图61示出电路模拟的计算结果。

具体实施方式

[0083] 下面参照附图来描述本发明的实施例的示例。注意，本发明并不局限于以下描述。本领域的技术人员易于理解，本发明的模式和细节能够按照各种方式来修改，而没有背离本发明的精神和范围。因此，本发明不应当被理解为局限于以下实施例的描述。注意，在参照附图的描述中，表示相同部分的参考标号在一些情况下共同用于不同附图中。此外，在一些情况下，相同的阴影图案应用于相似部分，并且相似部分在不同附图中不一定由参考标号来表示。

[0084] 注意，实施例的内容能够适当地相互组合。另外，实施例的内容能够适当地相互替换。

[0085] 此外，在本说明书中，使用术语“第k个”（k是自然数）以便避免组件之间的混淆，但并不是限制组件的数量。

[0086] 术语“电压”一般表示两个点的电位之间的差(又称作电位差)。但是,在电子电路中,在电路图等中,在一些情况下使用一个点的电位与用作参考的电位(又称作参考电位)之间的差。此外,在一些情况下,伏特(V)用作电压和电位的单位。因此,在本说明书中,一个点的电位与参考电位之间的差在一些情况下用作该点的电压,除非另加说明。

[0087] 注意,在本说明书中,晶体管具有至少三个端子(源极、漏极和栅极),并且具有其中一个端子的电位控制另外两个端子之间的传导的结构。此外,晶体管的源极和漏极可彼此互换,取决于晶体管的结构、操作条件等。

[0088] 源极是源电极的一部分或整体或者源布线的一部分或整体。用作源电极和源布线的导电层在一些情况下称作源极,而没有区分源电极和源布线。源极是漏电极的一部分或整体或者漏布线的一部分或整体。用作漏电极和漏布线的导电层在一些情况下称作漏极,而没有区分漏电极和漏布线。栅极是栅电极的一部分或整体或者栅布线的一部分或整体。用作栅电极和栅布线的导电层在一些情况下称作栅极,而没有区分栅电极和栅布线。

[0089] 注意,在本说明书中,“A和B相连接”的描述除了表示A和B直接连接的情况之外,还表示A和B电连接的情况。具体来说,“A和B相连接”的描述表示A和B具有就电路操作而言的相同结点是可接受的情况,例如下列情况:A和B通过用作开关的元件、如晶体管来连接,并且A和B在该元件导通时具有基本相同的电位;A和B通过电阻器连接,并且在电阻器的相对端所生成的电位差不影响包括A和B的电路的操作;等等。

[0090] 注意,在本说明书中使用的术语“基本上”考虑了各种误差,例如因噪声引起的误差、因过程变化引起的误差、因制造元件的步骤的变化引起的误差或者测量误差。

[0091] 注意,在本说明书中,L电平信号(又称作L信号)的电位由V1表示,而H电平信号(又称作H信号)的电位由V2表示($V2 > V1$)。另外,在使用描述“L电平信号的电位”、“L电平电位”或“电压V1”的情况下,电位基本上为V1。在使用描述“H电平信号的电位”、“H电平电位”或“电压V2”的情况下,电位基本上为V2。

[0092] (实施例1)

[0093] 在这个实施例中,参照图1A和图1B、图2A至图2C以及图3A至图3C来描述包括栅极驱动电路(又称作栅极驱动)的半导体器件。

[0094] 图1A示出包括栅极驱动电路的半导体器件的结构示例。图1B是示出该半导体器件的操作示例的时序图。注意,除了栅极驱动电路之外,该半导体器件还可包括源极驱动电路(又称作源极驱动)、控制电路等。

[0095] 在图1A,半导体器件包括像素部分50、第一栅极驱动电路51、第二栅极驱动电路52以及连接到第一栅极驱动电路51和第二栅极驱动电路52的栅极线54(又称作栅极信号线)。在图1A,示出半导体器件中包含的栅极线 G_1 至 G_m (m 为自然数)之中的栅极线 G_i 至 G_{i+2} (i 是1至 $(m-2)$ 中的任一个)。

[0096] 在选择栅极线54的情况下,H信号从栅极驱动电路51和栅极驱动电路52输入到栅极线54。当H信号按照这种方式从栅极驱动电路51和栅极驱动电路52输入时,栅极线54的电位的上升时间或下降时间能够缩短,并且输出到栅极线54的信号的延迟或失真能够降低。

[0097] 相比之下,在没有选择栅极线54的情况下,L信号从栅极驱动电路51和栅极驱动电路52其中之一输出到栅极线54,而没有信号从栅极驱动电路51和栅极驱动电路52中的另一个输出到栅极线54。因此,该另一个栅极驱动电路中包含的晶体管的一些或全部能够关断。

[0098] 接下来,下面描述图1A所示的半导体器件的操作示例。图2A至图2C示出第k帧中的半导体器件的操作示例。图3A至图3C示出第(k+1)帧中的半导体器件的操作示例。

[0099] 注意,图2A至图2C以及图3A至图3C中,各箭头指示栅极驱动电路(第一栅极驱动电路51或第二栅极驱动电路52)将信号输出到栅极线54,而各X指示栅极驱动电路没有向栅极线54输出信号。

[0100] 在这里,各箭头的方向根据从栅极驱动电路输出到栅极线54的信号的种类来适当使用。在栅极驱动电路向栅极线54输出信号(例如非选择信号)的情况下,各箭头的方向是从栅极线54到栅极驱动电路的方向。在栅极驱动电路向栅极线54输出与上述信号(例如非选择信号)不同的信号(例如选择信号)的情况下,各箭头的方向是从栅极驱动电路到栅极线54的方向。

[0101] 在如图2A所示的第k帧(与图1B中的期间 k_i 对应)中选择栅极线 G_i 但没有选择栅极线 G_{i+1} 和 G_{i+2} 的情况下,H信号从栅极驱动电路51和栅极驱动电路52输出到栅极线 G_i 。另外,L信号从栅极驱动电路51输出到栅极线 G_{i+1} 和 G_{i+2} ,但是没有信号从栅极驱动电路52输出到栅极线 G_{i+1} 和 G_{i+2} 。因此,栅极驱动电路52中包含的晶体管的一些或全部能够关断。

[0102] 然后,在如图3A所示的第(k+1)帧(与图1B中的期间 $k+1_i$ 对应)中选择栅极线 G_i 但没有选择栅极线 G_{i+1} 和 G_{i+2} 的情况下,H信号从栅极驱动电路51和栅极驱动电路52输出到栅极线 G_i 。另外,没有信号从栅极驱动电路51输出到栅极线 G_{i+1} 和 G_{i+2} ,但L信号从栅极驱动电路52输出到栅极线 G_{i+1} 和 G_{i+2} 。因此,栅极驱动电路51中包含的晶体管的一些或全部能够关断。

[0103] 类似地,在如图2B所示的第k帧中选择栅极线 G_{i+1} 但没有选择栅极线 G_i 和 G_{i+2} 的情况下,H信号从栅极驱动电路51和栅极驱动电路52输出到栅极线 G_{i+1} 。另外,L信号从栅极驱动电路51输出到栅极线 G_i 和 G_{i+2} ,但是没有信号从栅极驱动电路52输出到栅极线 G_i 和 G_{i+2} 。因此,栅极驱动电路52中包含的晶体管的一些或全部能够关断。

[0104] 然后,在如图3B所示的第(k+1)帧中选择栅极线 G_{i+1} 但没有选择栅极线 G_i 和 G_{i+2} 的情况下,H信号从栅极驱动电路51和栅极驱动电路52输出到栅极线 G_{i+1} 。另外,没有信号从栅极驱动电路51输出到栅极线 G_i 和 G_{i+2} ,但是L信号从栅极驱动电路52输出到栅极线 G_i 和 G_{i+2} 。因此,栅极驱动电路51中包含的晶体管的一些或全部能够关断。

[0105] 类似地,在如图2C所示的第k帧中选择栅极线 G_{i+2} 但没有选择栅极线 G_i 和 G_{i+1} 的情况下,H信号从栅极驱动电路51和栅极驱动电路52输出到栅极线 G_{i+2} 。另外,L信号从栅极驱动电路51输出到栅极线 G_i 和 G_{i+1} ,但是没有信号从栅极驱动电路52输出到栅极线 G_i 和 G_{i+1} 。因此,栅极驱动电路52中包含的晶体管的一些或全部能够关断。

[0106] 然后,在如图3C所示的第(k+1)帧中选择栅极线 G_{i+2} 但没有选择栅极线 G_i 和 G_{i+1} 的情况下,H信号从栅极驱动电路51和栅极驱动电路52输出到栅极线 G_{i+2} 。另外,没有信号从栅极驱动电路51输出到栅极线 G_i 和 G_{i+1} ,但是L信号从栅极驱动电路52输出到栅极线 G_i 和 G_{i+1} 。因此,栅极驱动电路51中包含的晶体管的一些或全部能够关断。

[0107] 由于没有信号按照这种方式从栅极驱动电路51和栅极驱动电路52其中之一输出到没有选择的栅极线54,所以栅极驱动电路中的该其中之一中包含的晶体管的一些或全部能够关断。相应地,能够抑制晶体管的退化。

[0108] (实施例2)

[0109] 在这个实施例中,描述栅极驱动电路的结构和操作。

[0110] <栅极驱动电路的结构>

[0111] 参照图4A来描述栅极驱动电路的结构。

[0112] 图4A示出栅极驱动电路的结构示例。栅极驱动电路包括电路10A和电路10B。注意,虽然图4A示出栅极驱动电路包括两个电路10A和10B的情况,但是栅极驱动电路可包括其中包含电路10A和10B的三个或更多电路。

[0113] 电路10A和电路10B连接到布线11。

[0114] 信号从电路10A或电路10B输入到布线11,并且布线11用作信号线。注意,信号可从与电路10A和电路10B不同的电路输入到布线11。

[0115] 注意,在图4A所示的栅极驱动电路用于包括像素部分的显示装置的情况下,布线11延伸到像素部分,并且连接到像素部分所包含的像素中的晶体管(例如开关晶体管或选择晶体管)的栅极。在那种情况下,布线11用作栅极线(又称作栅极信号线)、扫描线或电源线。

[0116] 备选地,固定电压从电路10A或电路10B施加到布线11,并且布线11用作电源线。注意,电压可从与电路10A和电路10B不同的电路施加到布线11。

[0117] 接下来描述电路10A和电路10B的功能。

[0118] 电路10A具有控制向布线11输出信号(例如选择信号或非选择信号)的定时的功能。备选地,电路10A具有控制没有向布线11输出信号的定时的功能。备选地,电路10A具有在某个期间向布线11输出信号(例如非选择信号)以及在不同期间向布线11输出不同信号(例如选择信号)的功能。备选地,电路10A具有在某个期间向布线11输出信号(例如选择信号或非选择信号)以及在不同期间没有向布线11输出信号的功能。

[0119] 如上所述,电路10A用作驱动电路或控制电路。注意,电路10A可向布线11输出不同信号。在那种情况下,电路10A能够向布线11输出三种或更多种信号。

[0120] 电路10B具有控制向布线11输出信号(例如选择信号或非选择信号)的定时的功能。备选地,电路10B具有控制没有向布线11输出信号的定时的功能。备选地,电路10B具有在某个期间向布线11输出信号(例如非选择信号)以及在不同期间向布线11输出不同信号(例如选择信号)的功能。备选地,电路10B具有在某个期间向布线11输出信号(例如选择信号或非选择信号)以及在不同期间没有向布线11输出信号的功能。

[0121] 如上所述,电路10B用作驱动电路或控制电路。注意,电路10B可向布线11输出不同信号。在那种情况下,电路10B能够向布线11输出三种或更多种信号。

[0122] <栅极驱动电路的操作>

[0123] 参照图4B以及图5A至图5I来描述图4A的栅极驱动电路的操作。

[0124] 图4B示出该栅极驱动电路的操作示例。图4B示出在该栅极驱动电路的各操作中的电路10A的输出信号OUTA和电路10B的输出信号OUTB。图5A至图5I是与图4A的栅极驱动电路的操作示例对应的示意图。

[0125] 注意,图4A的栅极驱动电路能够通过一些情况的适当组合来执行图4B所示的九个操作,这些情况如下:电路10A和电路10B均向布线11输出信号(例如非选择信号);电路10A和电路10B均向布线11输出与这些信号不同的信号(例如选择信号);以及电路10A和电路10B均没有向布线11输出信号(例如既没有非选择信号也没有选择信号)。

[0126] 在这个实施例中,描述九个操作。注意,图4A的栅极驱动电路不一定执行全部九个操作,而是能够有选择地执行九个操作的一些。另外,图4A的驱动电路可执行与九个操作不同的操作。

[0127] 注意,在图4B,圆圈指示电路(电路10A或电路10B)向布线11输出信号(例如非选择信号)。双圆圈指示电路向布线11输出与该信号不同的信号(例如选择信号)。X指示电路没有向布线11输出信号(例如既没有非选择信号也没有选择信号)。

[0128] 注意,在图5A至图5I的示意图中,各箭头指示电路(电路10A或电路10B)向布线11输出信号,而各X指示电路没有向布线11输出信号。在这里,各箭头的方向根据从电路输出到布线11的信号的种类来适当使用。在电路向布线11输出信号(例如非选择信号)的情况下,各箭头的方向是从布线11到电路的方向。在电路向布线11输出与上述信号(例如非选择信号)不同的信号(例如选择信号)的情况下,各箭头的方向是从电路到布线11的方向。

[0129] 注意,在图5A至图5I的示意图中,各箭头的方向不是指示电流的方向和电流的生成,而是指示电路(电路10A或电路10B)向布线11输出信号。电流的方法由布线11的电位来确定。在从电路所输出的信号的电位基本等于布线11的电位时,在一些情况下没有生成电流或者电流极小。

[0130] 下面描述图4A的栅极驱动电路的操作示例。

[0131] 在图5A的操作1中,电路10A向布线11输出信号(例如非选择信号),并且电路10B向布线11输出信号(例如非选择信号)。在图5B的操作2中,电路10A向布线11输出信号(例如非选择信号),而电路10B没有向布线11输出信号。在图5C的操作3中,电路10A没有向布线11输出信号,而电路10B向布线11输出信号(例如非选择信号)。在图5D的操作4中,电路10A没有向布线11输出信号,并且电路10B没有向布线11输出信号。

[0132] 在图5E的操作5中,电路10A向布线11输出不同信号(例如选择信号),并且电路10B向布线11输出不同信号(例如选择信号)。在图5F的操作6中,电路10A向布线11输出不同信号(例如选择信号),而电路10B没有向布线11输出信号。在图5G的操作7中,电路10A没有向布线11输出信号,而电路10B向布线11输出不同信号(例如选择信号)。在图5H的操作8中,电路10A向布线11输出信号(例如非选择信号),并且电路10B向布线11输出不同信号(例如选择信号)。在图5I的操作9中,电路10A向布线11输出不同信号(例如非选择信号),而电路10B向布线11输出信号(例如非选择信号)。

[0133] 如上所述,图4A的栅极驱动电路能够执行各种操作。然后描述各操作的优点。

[0134] 在操作1和操作5中,当电路10A和电路10B向布线11输出同一信号时,在布线11的电位中不容易生成噪声,使得能够稳定布线11的电位。例如,能够防止不应当最初写入的信号(例如输入到不同行的像素的视频信号)被写到与布线11连接的像素。备选地,能够防止连接到布线11的像素中保持的视频信号的电位发生变化。相应地,显示装置的显示质量能够得到提高。

[0135] 在操作1和操作5中,当电路10A和电路10B向布线11输出同一信号时,能够使布线11的电位的变化较陡(例如,能够缩短布线11的电位的上升时间或下降时间)。因此,布线11的电位的失真能够降低。例如,能够防止不应当最初写入的信号(例如输入到前一行的像素的视频信号)被写到与布线11连接的像素。相应地,串扰能够降低。因此,显示装置的显示质量能够得到提高。

[0136] 在操作8和操作9中,当电路10A和电路10B向布线11输出不同信号(例如选择信号和非选择信号)时,布线11的电位能够是处于从电路10A所输出的信号的电位与从电路10B所输出的信号的电位之间的电位。因此,能够以高准确性来控制布线11的电位。

[0137] 在操作2、3、6和7中,当电路10A和电路10B其中之一向布线11输出信号时,电路10A和电路10B中的另一个没有输出信号。因此,没有输出信号的电路中包含的晶体管能够关断。相应地,能够抑制晶体管的退化。

[0138] 在操作4中,电路10A和电路10B没有向布线11输出信号;因此,电路10A和电路10B中包含的晶体管能够关断。相应地,能够抑制晶体管的退化。

[0139] 由于如上所述能够在操作2、3、4、6和7中抑制晶体管的退化,所以诸如非单晶半导体(例如非晶半导体或微晶半导体)、有机半导体或氧化物半导体之类的易退化材料能够用作晶体管的半导体层。因此,当制造半导体器件时,能够减少步骤的数量,能够提高产量,或者能够降低成本。另外,由于便利化制造半导体器件的方法,所以显示装置的尺寸能够减小。

[0140] 由于在操作2、3、4、6和7中能够抑制晶体管的退化,所以不需要考虑到晶体管的退化而增加晶体管的沟道宽度。因此,晶体管的沟道宽度能够减小,使得布局面积能够减小。具体来说,在这个实施例中的栅极驱动电路用于显示装置的情况下,栅极驱动电路的布局面积能够减小;因此,像素的分辨率能够提高。

[0141] 另外,由于能够如上所述在操作2、3、4、6和7中减小晶体管的沟道宽度,所以栅极驱动电路的负载能够减小。因此,用于向这个实施例中的栅极驱动电路提供信号等的电路(例如外部电路)的电流供应能力能够降低。因此,用于提供信号等的电路的尺寸能够减小,或者用于提供信号等的电路的IC芯片的数量能够减少。此外,由于栅极驱动电路的负载能够减小,所以栅极驱动电路的功率消耗能够降低。

[0142] 接下来,下面描述当图4A的栅极驱动电路的操作是图5A至图5I所示的操作1至9的一些的组合时的时序图。

[0143] 在这里,示出图4A的栅极驱动电路的操作的时序图包括多个期间。在各期间或者从某个期间到不同期间的过渡期间中,图4A的栅极驱动电路能够执行图5A至图5I所示的操作1至9的任一个。图4A的栅极驱动电路可执行与图5A至图5I所示操作1至9不同的操作。

[0144] 图6A至图6L是各示出该栅极驱动电路的操作示例的时序图。在图6A至图6L的时序图中,依次提供期间a、期间b和期间c,并且提供期间d。注意,虽然期间a至d在图6A至图6L中依次提供,但是期间a至d的顺序并不局限于此。另外,时序图可包括与期间a至d不同的期间。

[0145] 在图6A至图6L的时序图中,各实线指示电路(电路10A或电路10B)向布线11输出信号,而虚线指示电路没有向布线11输出信号。

[0146] 参照图6A所示的时序图来描述图4A的栅极驱动电路在期间a、从期间a到期间b的过渡期间、期间b、从期间b到期间c的过渡期间、期间c以及期间d中的操作。

[0147] 在期间a、从期间b到期间c的过渡期间、期间c和期间d中,图4A的栅极驱动电路执行图5B的操作2。换言之,在期间a、从期间b到期间c的过渡期间、期间c和期间d,电路10A向布线11输出信号(例如非选择信号),而电路10B没有向布线11输出信号。

[0148] 在从期间a到期间b的过渡期间和期间b中,图4A的栅极驱动电路执行图5F的操作

6.换言之,在从期间a到期间b的过渡期间和期间b,电路10A向布线11输出不同信号(例如选择信号),而电路10B没有向布线11输出信号。

[0149] 这样,在期间a、从期间a到期间b的过渡期间、期间b、从期间b到期间c的过渡期间、期间c和期间d,电路10B没有向布线11输出信号。因此,能够抑制电路10B中包含的晶体管的退化。此外,通过简单电路设计、例如提供开关以便不输出信号或者使电路10B中的晶体管关断,电路10B的功率消耗能够降低。

[0150] 注意,在图6A所示的时序图中,电路10A在期间a、从期间a到期间b的过渡期间、期间b、从期间b到期间c的过渡期间、期间c和期间d中的至少一个期间不需要向布线11输出信号。

[0151] 如图6B所示,电路10B可在从期间a到期间b的过渡期间中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0152] 如图6C所示,电路10B可在期间a中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0153] 如图6D所示,电路10B可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0154] 如图6E所示,电路10B可在期间a中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0155] 如图6F所示,电路10B可在从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号)。因此,能够使布线11的电位的变化较陡。

[0156] 如图6G所示,电路10B可在从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号),并且可在期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0157] 如图6H所示,电路10B可在从期间b到期间c的过渡期间和期间c中向布线11输出信号(例如非选择信号)。因此,能够使布线11的电位的变化较陡。

[0158] 如图6I所示,电路10B可在从期间b到期间c的过渡期间和期间c中向布线11输出信号(例如非选择信号),并且可在期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0159] 如图6J所示,电路10B可在从期间a到期间b的过渡期间中向布线11输出不同信号(例如选择信号),并且可在从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号)。因此,能够使布线11的电位的变化较陡。

[0160] 如图6K所示,电路10B可在期间a以及从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0161] 如图6L所示,电路10B可在期间a、从期间b到期间c的过渡期间和期间c中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0162] 注意,在以上描述中,选择信号和非选择信号是从电路10A和电路10B所输出的信

号的示例,并且可以是任何信号,只要它们相互不同。

[0163] 接下来,描述当图4A的栅极驱动电路的操作是图5A至图5I所示的操作1至9的一些的组合时、与图6A至图6L的时序图不同的时序图。

[0164] 图7A至图7L是各示出该栅极驱动电路的操作示例的时序图。

[0165] 参照图7A所示的时序图来描述图4A的栅极驱动电路在期间a、从期间a到期间b的过渡期间、期间b、从期间b到期间c的过渡期间、期间c以及期间d中的操作。

[0166] 在期间a、从期间b到期间c的过渡期间、期间c和期间d中,图4A的栅极驱动电路执行图5C的操作3。换言之,在期间a、从期间b到期间c的过渡期间、期间c和期间d,电路10A没有向布线11输出信号,而电路10B向布线11输出信号(例如非选择信号)。

[0167] 在从期间a到期间b的过渡期间和期间b中,图4A的栅极驱动电路执行图5G的操作7。换言之,在从期间a到期间b的过渡期间和期间b,电路10A没有向布线11输出信号,而电路10B向布线11输出不同信号(例如选择信号)。

[0168] 这样,在期间a、从期间a到期间b的过渡期间、期间b、从期间b到期间c的过渡期间、期间c和期间d,电路10A没有向布线11输出信号。因此,能够抑制电路10A中包含的晶体管的退化。此外,通过简单电路设计、例如提供开关以便不输出信号或者使电路10A中的晶体管关断,电路10A的功率消耗能够降低。

[0169] 注意,在图7A所示的时序图中,电路10B在期间a、从期间a到期间b的过渡期间、期间b、从期间b到期间c的过渡期间、期间c和期间d中的至少一个期间不需要向布线11输出信号。

[0170] 如图7B所示,电路10A可在从期间a到期间b的过渡期间中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0171] 如图7C所示,电路10A可在期间a中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0172] 如图7D所示,电路10A可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0173] 如图7E所示,电路10A可在期间a中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0174] 如图7F所示,电路10A可在从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号)。因此,能够使布线11的电位的变化较陡。

[0175] 如图7G所示,电路10A可在从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号),并且可在期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0176] 如图7H所示,电路10A可在从期间b到期间c的过渡期间和期间c中向布线11输出信号(例如非选择信号)。因此,能够使布线11的电位的变化较陡。

[0177] 如图7I所示,电路10A可在从期间b到期间c的过渡期间和期间c中向布线11输出信号(例如非选择信号),并且可在期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0178] 如图7J所示,电路10A可在从期间a到期间b的过渡期间中向布线11输出不同信号(例如选择信号),并且可在从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号)。因此,能够使布线11的电位的变化较陡。

[0179] 如图7K所示,电路10A可在期间a以及从期间b到期间c的过渡期间中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0180] 如图7L所示,电路10A可在期间a、从期间b到期间c的过渡期间和期间c中向布线11输出信号(例如非选择信号),并且可在从期间a到期间b的过渡期间和期间b中向布线11输出不同信号(例如选择信号)。因此,能够使布线11的电位的变化较陡。

[0181] 注意,在以上描述中,选择信号和非选择信号是从电路10A和电路10B所输出的信号的示例,并且可以是任何信号,只要它们相互不同。

[0182] 接下来,下面描述当图4A的栅极驱动电路的操作是图5A至图5I所示的操作1至9的一些的组合时的与图6A至图6L以及图7A至图7L的时序图不同的时序图。

[0183] 图8A至图8E是各示出该栅极驱动电路的操作示例的时序图。

[0184] 图8A至图8C的时序图包括期间T1和期间T2。另外,在图8A和图8C,交替期间T1和期间T2;但是,如图8B所示,可交替多个期间T1和多个期间T2。此外,可提供与期间T1和期间T2不同的期间。

[0185] 参照图8A的时序图来描述图4A的栅极驱动电路在期间T1和期间T2中的操作。

[0186] 在期间T1,使用图6A所示的时序图。因此,在期间T1,能够抑制电路10B中包含的晶体管的退化。此外,在期间T2,使用图7A所示的时序图。因此,在期间T2,能够抑制电路10A中包含的晶体管的退化。

[0187] 这样,在图8A,交替其中能够抑制电路10B所包含的晶体管的退化的期间T1以及其中能够抑制电路10A所包含的晶体管的退化的期间T2。

[0188] 在这里,在电路10A和电路10B具有相似结构的情况下,当使期间T1的长度和期间T2的长度基本相等时,电路10A中包含的晶体管的退化程度以及电路10B中包含的晶体管的退化程度能够基本相等。因此,即使当电路10A的操作和电路10B的操作通过交替提供期间T1和期间T2来切换时,也能够使布线11的电位的变化基本相等。

[0189] 因此,在图4A的栅极驱动电路用于包括保持视频信号的像素的显示装置并且视频信号通过布线11的电位来改变的情况(例如馈通或电容耦合)下,即使在切换电路10A的操作和电路10B的操作时,也能够使连接到布线11的像素中保持的视频信号的变化基本相等。因此,能够使像素的亮度、透射率等等在电路10A与电路10B之间基本相等。相应地,显示质量能够得到提高。

[0190] 在期间T1,可使用图6A至图6L所示时序图的任一个,以及在期间T2,可使用图7A至图7L所示时序图的任一个。例如,如图8C所示,在期间T1,可使用图6K的时序图,以及在期间T2,可使用图7K的时序图。

[0191] 接下来,参照图8D来描述示出在图6A至图6L、图7A至图7L以及图8A和图8C所示的期间d中的图4A的栅极驱动电路的操作示例的时序图。

[0192] 图8D是示出在期间d中的栅极驱动电路的操作示例的时序图。

[0193] 在图6A至图6L、图7A至图7L以及图8A和图8C所示的时序图中,期间d分为多个期

间。例如,如图8D所示,期间d分为两个期间d1和d2。注意,期间d的划分数量并不局限于此,期间d而是可分为三个或更多期间。另外,在图8D,交替期间d1和期间d2;但是,可交替多个期间d1和多个期间d2。

[0194] 参照图8D的时序图来描述图4A的栅极驱动电路在期间d1和期间d2中的操作。

[0195] 在期间d1,栅极驱动电路执行图5B的操作2。换言之,在期间d1,电路10A向布线11输出信号,而电路10B没有向布线11输出信号。在期间d2,栅极驱动电路执行图5C的操作3。换言之,在期间d2,电路10A没有向布线11输出信号,而电路10B向布线11输出信号。

[0196] 由于信号能够按照这种方式输入到电路10A和电路10B所包含的晶体管的栅极,所以能够抑制晶体管的退化。因此,即使当切换电路10A的操作和电路10B的操作时,也能够使布线11的电位的变化基本相等。

[0197] 因此,在图4A的栅极驱动电路用于包括保持视频信号的像素的显示装置并且视频信号通过布线11的电位(例如馈通或电容耦合)来改变的情况下,即使当切换电路10A的操作和电路10B的操作时,也能够使连接到布线11的像素中保持的视频信号的变化基本相等。因此,能够使像素的亮度、透射率等等在电路10A与电路10B之间基本相等。相应地,显示质量能够得到提高。

[0198] 接下来描述示出图4A的栅极驱动电路的不同操作示例的时序图。

[0199] 在图6A至图6L、图7A至图7L以及图8A、图8C和图8D中,电路10A中的输出信号OUTA的电位以及电路10B中的输出信号OUTB的电位在各期间中是固定的。备选地,在某个期间,输出信号的电位可具有多个值。例如,如图8E所示,在期间d,电路10A中的输出信号OUTA的电位以及电路10B中的输出信号OUTB的电位可以各具有交替的两个值。

[0200] 在期间d中的输出信号OUTA的电位和输出信号OUTB的电位可按照类似方式来改变。

[0201] 如上所述,图4A的栅极驱动电路能够执行各种操作。

[0202] <栅极驱动电路的不同结构>

[0203] 接下来参照图9A来描述与图4A的结构不同的栅极驱动电路的结构。

[0204] 图9A示出栅极驱动电路的结构示例。该栅极驱动电路包括电路10A、电路10B、电路10C和电路10D。电路10C和电路10D可具有与电路10A或电路10B的功能相似的功能。

[0205] 注意,图9A的栅极驱动电路能够通过下列情况的适当组合来执行各种操作,这些情况如下:电路10A至10D向布线11输出信号(例如非选择信号);电路10A至10D向布线11输出与这些信号不同的信号(例如选择信号);以及电路10A至10D没有向布线11输出信号(例如既没有非选择信号也没有选择信号)。

[0206] 虽然图9A示出栅极驱动电路包括连接到布线11的四个电路(电路10A至10D)的情况,但是这个实施例中的栅极驱动电路的结构并不局限于这种结构。这个实施例中的栅极驱动电路可包括N(N为自然数)个电路。注意,N个电路可具有与电路10A或电路10B的功能相似的功能。

[0207] <栅极驱动电路的操作>

[0208] 参照图9B来描述图9A的栅极驱动电路的操作。图9B示出栅极驱动电路的操作示例。

[0209] 在操作1中,电路10A向布线11输出信号(例如非选择信号),而电路10B至10D没有

向布线11输出信号。在操作2中,电路10B向布线11输出信号(例如非选择信号),而电路10A、10C和10D没有向布线11输出信号。在操作3中,电路10C向布线11输出信号(例如非选择信号),而电路10A、10B和10D没有向布线11输出信号。在操作4中,电路10D向布线11输出信号(例如非选择信号),而电路10A至10C没有向布线11输出信号。

[0210] 在操作5中,电路10A和10C向布线11输出信号(例如非选择信号),而电路10B和10D没有向布线11输出信号。在操作6中,电路10B和10D向布线11输出信号(例如非选择信号),而电路10A和10C没有向布线11输出信号。在操作7中,电路10A至10D向布线11输出信号(例如非选择信号)。在操作8中,电路10A至10D没有向布线11输出信号。

[0211] 在操作9中,电路10A向布线11输出不同信号(例如选择信号),而电路10B至10D没有向布线11输出信号。在操作10中,电路10B向布线11输出不同信号(例如选择信号),而电路10A、10C和10D没有向布线11输出信号。在操作11中,电路10C向布线11输出不同信号(例如选择信号),而电路10A、10B和10D没有向布线11输出信号。在操作12中,电路10D向布线11输出不同信号(例如选择信号),而电路10A至10C没有向布线11输出信号。

[0212] 在操作13中,电路10A和10C向布线11输出不同信号(例如选择信号),而电路10B和10D没有向布线11输出信号。在操作14中,电路10B和10D向布线11输出不同信号(例如选择信号),而电路10A和10C没有向布线11输出信号。在操作15中,电路10A至10D向布线11输出不同信号(例如选择信号)。

[0213] 如上所述,图9A的栅极驱动电路能够执行各种操作。

[0214] 随着这个实施例中的栅极驱动电路所包含的电路(例如电路10A和电路10B)的数量变得更大,即,指示电路数量的N变得更大,则来自电路的信号的输出频率能够降低。因此,能够抑制电路中包含的晶体管的退化。注意,当N变得过大时,电路的尺寸增加;因此,N小于6,优选地小于4,更优选地为2。

[0215] 在这个实施例中的栅极驱动电路用于显示装置的情况下,N优选地为偶数,目的在于左侧的显示装置的框架和右侧的显示装置的框架基本相等。另外,N优选地是偶数,目的在于一侧的电路数量和另一侧的电路数量相等,其中像素部分设置在这两侧之间。

[0216] (实施例3)

[0217] 在这个实施例中,描述栅极驱动电路的结构和操作。

[0218] <栅极驱动电路的结构>

[0219] 下面描述栅极驱动电路的结构。

[0220] 图10A和图10B以及图11A和图11B各示出栅极驱动电路的结构示例。栅极驱动电路包括电路100A和电路100B。

[0221] 电路100A包括开关101A和开关102A。开关101A连接在布线112A与布线111之间。开关102A连接在布线113A与布线111之间。

[0222] 电路100B包括开关101B和开关102B。开关101B连接在布线112B与布线111之间。开关102B连接在布线113B与布线111之间。

[0223] 在这里,如图10B和图11B所示,布线112A与布线111之间的路径称作路径121A;布线113A与布线111之间的路径称作路径122A;布线112B与布线111之间的路径称作路径121B;布线113B与布线111之间的路径称作路径122B。

[0224] 注意,术语“A与B之间的路径”可包括开关连接在A与B之间的情况。与开关不同的

元件(例如晶体管、二极管、电阻器或电容器)或电路(例如缓冲器电路、倒相器电路或移位寄存器)可连接在A与B之间。备选地,元件(例如电阻器或晶体管)可与A和B之间的开关串联或并联连接。

[0225] 注意,电路100A、电路100B和布线111分别对应于实施例2中的电路10A、电路10B和布线11,并且具有分别与电路10A、电路10B和布线11的功能相似的功能。

[0226] 接下来描述布线112A、布线113A、布线112B和布线113B。

[0227] 在时钟信号CK1输入到布线112A和布线112B的情况下,布线112A和布线112B用作信号线或时钟信号线(又称作时钟线或时钟提供线)。在固定电压施加到布线112A和布线112B的情况下,布线112A和布线112B用作电源线。

[0228] 注意,在相同信号或相同电压输入到布线112A和布线112B的情况下,布线112A和布线112B可相互连接。在那种情况下,如图11A所示,一个布线112可用作布线112A和布线112B。备选地,不同信号或不同电压可输入到布线112A和布线112B。

[0229] 在电压V1(例如电源电压、参考电压、地电压或者负电源电位)施加到布线113A和113B的情况下,布线113A和布线113B用作电源线或地。备选地,在信号输入到布线113A和布线113B的情况下,布线113A和布线113B用作信号线。

[0230] 注意,在相同信号或相同电压输入到布线113A和布线113B的情况下,布线113A和布线113B可相互连接。在那种情况下,如图11A所示,一个布线113可用作布线113A和布线113B。备选地,不同信号或不同电压可输入到布线113A和布线113B。

[0231] 接下来描述开关101A、开关102A、开关101B和开关102B。

[0232] 开关101A具有控制使布线112A和布线111开始传导的定时的功能。备选地,开关101A具有控制将布线112A的电位提供给布线111的定时的功能。备选地,开关101A具有控制向布线111提供将要输入到布线112A的信号、电压等(例如时钟信号CK1、时钟信号CK2或电压V2)的定时的功能。备选地,开关101A具有控制没有向布线111提供信号、电压等的定时的功能。备选地,开关101A具有控制向布线111提供H信号(例如时钟信号CK1)的定时的功能。备选地,开关101A具有控制向布线111提供L信号(例如时钟信号CK1)的定时的功能。备选地,开关101A具有控制升高布线111的电位的定时的功能。备选地,开关101A具有控制降低布线111的电位的定时的功能。备选地,开关101A具有控制保持布线111的电位的定时的功能。

[0233] 注意,在时钟信号CK2对应于时钟信号CK1的倒相信号的情况下,时钟信号CK1和时钟信号CK2优选地是通过信号的倒相所得到的信号或者是基本180°异相的信号。

[0234] 时钟信号CK1或时钟信号CK2可以是平衡信号或者不平衡信号。平衡信号是在一个周期中信号处于H电平的期间和信号处于L电平的期间具有基本相同长度的信号。不平衡信号是在一个周期中信号处于H电平的期间和信号处于L电平的期间具有不同长度的信号。

[0235] 注意,在时钟信号CK1和时钟信号CK2是不平衡信号并且时钟信号CK2不是时钟信号CK1的倒相信号的情况下,时钟信号CK1处于H电平的期间和时钟信号CK2处于H电平的期间可具有基本相同长度。

[0236] 开关102A具有控制使布线113A和布线111开始传导的定时的功能。备选地,开关102A具有控制将布线113A的电位提供给布线111的定时的功能。备选地,开关102A具有控制向布线111提供将要输入到布线113A的信号、电压等(例如时钟信号CK2或电压V1)的定时的

功能。备选地,开关102A具有控制没有向布线111提供信号、电压等的定时的功能。备选地,开关102A具有控制向布线111提供电压V1的定时的功能。备选地,开关102A具有控制降低布线111的电位的定时的功能。备选地,开关102A具有控制保持布线111的电位的定时的功能。

[0237] 开关101B具有控制使布线112B和布线111开始传导的定时的功能。备选地,开关101B具有控制将布线112B的电位提供给布线111的定时的功能。备选地,开关101B具有控制向布线111提供将要输入到布线112B的信号、电压等(例如时钟信号CK1、时钟信号CK2或电压V2)的定时的功能。备选地,开关101B具有控制没有向布线111提供信号、电压等的定时的功能。备选地,开关101B具有控制向布线111提供H信号(例如时钟信号CK1)的定时的功能。备选地,开关101B具有控制向布线111提供L信号(例如时钟信号CK1)的定时的功能。备选地,开关101B具有控制升高布线111的电位的定时的功能。备选地,开关101B具有控制降低布线111的电位的定时的功能。备选地,开关101B具有控制保持布线111的电位的定时的功能。

[0238] 开关102B具有控制使布线113B和布线111开始传导的定时的功能。备选地,开关102B具有控制将布线113B的电位提供给布线111的定时的功能。备选地,开关102B具有控制向布线111提供将要输入到布线113B的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,开关102B具有控制没有向布线111提供信号、电压等的定时的功能。备选地,开关102B具有控制向布线111提供电压V1的定时的功能。备选地,开关102B具有控制降低布线111的电位的定时的功能。备选地,开关102B具有控制保持布线111的电位的定时的功能。

[0239] <栅极驱动电路的操作>

[0240] 接下来,下面描述图10A的栅极驱动电路的操作示例。

[0241] 图10C示出图10A的栅极驱动电路的操作示例。图10C示出在栅极驱动电路的各操作中的开关101A、开关102A、开关101B和开关102B的状态(通和断)。通过这些开关的通和断的组合,图10A的栅极驱动电路能够执行各种操作。

[0242] 参照图10C、图12A至图12H以及图13A至图13E来描述图10A的栅极驱动电路的各操作。在这里,描述图10A的栅极驱动电路用于执行实施例2中的图5A至5G所示的操作1至7的操作。

[0243] 首先描述图10A的栅极驱动电路用于执行图5A的操作1的操作。

[0244] 如图12A的操作1a所示,开关101A接通,使得布线112A和布线111开始传导。因此,将布线112A的电位(例如时钟信号CK1)提供给布线111。开关102A接通,使得布线113A和布线111开始传导。因此,将布线113A的电位(例如电压V1)提供给布线111。开关101B接通,使得布线112B和布线111开始传导。因此,将布线112B的电位(例如时钟信号CK1)提供给布线111。开关102B接通,使得布线113B和布线111开始传导。因此,将布线113B的电位(例如电压V1)提供给布线111。

[0245] 因此,电位从电路100A和电路100B提供给布线111,使得能够执行图5A的操作1。

[0246] 在图12A的操作1a中,开关101A和开关101B可关断,如同图12B的操作1b中那样。备选地,在图12A的操作1a中,开关102A和开关102B可关断,如同图12C的操作1c中那样。备选地,在图12A的操作1a中,开关101A、开关102A、开关101B和开关102B的任一个可关断。备选地,在图12A的操作1a中,开关101A和开关102B可关断。备选地,在图12A的操作1a中,开关101B和开关102A可关断。

[0247] 随后描述图10A的栅极驱动电路用于执行图5B的操作2的操作。

[0248] 如图12D的操作2a所示,开关101A接通,使得布线112A和布线111开始传导。因此,将布线112A的电位(例如时钟信号CK1)提供给布线111。开关102A接通,使得布线113A和布线111开始传导。因此,将布线113A的电位(例如电压V1)提供给布线111。开关101B关断,使得布线112B和布线111停止传导。开关102B关断,使得布线113B和布线111停止传导。

[0249] 因此,电位从电路100A提供给布线111,而没有从电路100B向布线111提供电位,使得能够执行图5B的操作2。

[0250] 注意,在图12D的操作2a中,开关102A可关断,如同图12E的操作2b中那样。备选地,在图12D的操作2a中,开关101A可关断,如同图12F的操作2c中那样。

[0251] 接下来描述图10A的栅极驱动电路用于执行图5C的操作3的操作。

[0252] 如图12G的操作3a所示,开关101A关断,使得布线112A和布线111停止传导。开关102A关断,使得布线113A和布线111停止传导。开关101B接通,使得布线112B和布线111开始传导。因此,将布线112B的电位(例如时钟信号CK1)提供给布线111。开关102B接通,使得布线113B和布线111开始传导。因此,将布线113B的电位(例如电压V1)提供给布线111。

[0253] 因此,没有从电路100A向布线111提供电位,但是电位从电路100B提供给布线111,使得能够执行图5C的操作3。

[0254] 注意,在图12G的操作3a中,开关102B可关断,如同图12H的操作3b中那样。备选地,在图12G的操作3a中,开关101B可关断,如同图13A的操作3c中那样。

[0255] 接下来描述图10A的栅极驱动电路用于执行图5D的操作4的操作。

[0256] 如图13B的操作4a所示,开关101A关断,使得布线112A和布线111停止传导。开关102A关断,使得布线113A和布线111停止传导。开关101B关断,使得布线112B和布线111停止传导。开关102B关断,使得布线113B和布线111停止传导。

[0257] 因此,没有从电路100A和电路100B向布线111提供电位,使得能够执行图5D的操作4。

[0258] 接下来描述图10A的栅极驱动电路用于执行图5E的操作5的操作。

[0259] 如图13C的操作5a所示,开关101A接通,使得布线112A和布线111开始传导。因此,将布线112A的不同电位(例如时钟信号CK2)提供给布线111。开关102A关断,使得布线113A和布线111停止传导。开关101B接通,使得布线112B和布线111开始传导。因此,将布线112B的不同电位(例如时钟信号CK2)提供给布线111。开关102B关断,使得布线113B和布线111停止传导。

[0260] 因此,不同电位从电路100A和电路100B提供给布线111,使得能够执行图5E的操作5。

[0261] 接下来描述图10A的栅极驱动电路用于执行图5F的操作6的操作。

[0262] 如图13D的操作6a所示,开关101A接通,使得布线112A和布线111开始传导。因此,将布线112A的不同电位(例如时钟信号CK2)提供给布线111。开关102A关断,使得布线113A和布线111停止传导。开关101B关断,使得布线112B和布线111停止传导。开关102B关断,使得布线113B和布线111停止传导。

[0263] 因此,不同电位从电路100A提供给布线111,而没有从电路100B向布线111提供电位,使得能够执行图5F的操作6。

[0264] 接下来描述图10A的栅极驱动电路用于执行图5G的操作7的操作。

[0265] 如图13E的操作7a所示,开关101A关断,使得布线112A和布线111停止传导。开关102A关断,使得布线113A和布线111停止传导。开关101B接通,使得布线112B和布线111开始传导。因此,将布线112B的不同电位(例如时钟信号CK2)提供给布线111。开关102B关断,使得布线113B和布线111停止传导。

[0266] 因此,没有从电路100A向布线111提供电位,但是不同电位从电路100B提供给布线111,使得能够执行图5G的操作7。

[0267] 通过如上所述控制开关101A、开关102A、开关101B和开关102B的通和断,能够执行实施例2中参照图5A至图5G所述的栅极驱动电路的操作。

[0268] 注意,在图12A的操作1a、图12D的操作2a和图12G的操作3a中,优选的是,布线112A的电位和布线112B的电位基本相等。另外,优选的是,布线113A的电位和布线113B的电位基本相等。例如,例如,在电压V1施加到布线113A和布线113B的情况下,时钟信号CK1优选地处于L电平。

[0269] 在图13C的操作5a、图13D的操作6a和图13E的操作7a中,在布线113A和布线113B的电位的每个为V1的情况下,优选的是,布线112A和布线112B的电位的每个基本为V2。例如,输入到布线112A和布线112B的时钟信号CK2优选地处于H电平。

[0270] 描述实施例2中的图10A的栅极驱动电路用于得到图6A至图6L以及图7A至图7L所示的时序图的操作。

[0271] 注意,实施例2中参照图5A至图5I来描述图4A的栅极驱动电路在给定期间中的操作;但是,为了执行该操作,图10A的栅极驱动电路能够在该给定期间中执行图10C所示的操作的任一个。例如,为了执行图5A所示的操作1,图10A的栅极驱动电路能够执行图10C所示的操作1a、1b和1c(与图12A至图12C对应)的任一个。

[0272] 首先描述图10A的栅极驱动电路用于得到图6A所示时序图的操作。

[0273] 如实施例2所述,在期间a、从期间b到期间c的过渡期间、期间c和期间d中,图10A的栅极驱动电路执行图5B的操作2。因此,为了执行操作2,在期间a、从期间b到期间c的过渡期间、期间c和期间d中,图10A的栅极驱动电路能够执行图10C所示的操作2a、2b和2c(与图12D至图12F对应)的任一个。

[0274] 在从期间a到期间b的过渡期间和期间b中,图10A的栅极驱动电路执行图5F的操作6。因此,为了执行操作6,在从期间a到期间b的过渡期间和期间b中,图10A的栅极驱动电路能够执行图10C所示的操作6a(与图13D对应)。

[0275] 这样,图10A的栅极驱动电路能够执行与图6A所示时序图对应的操作。

[0276] 注意,在图6A所示的时序图中,在期间a以及从期间b到期间c的过渡期间中电路100B向布线111输出信号(例如非选择信号)的情况下,图10A的栅极驱动电路能够执行例如图10C所示的操作1a、1b和1c(与图12A至图12C对应)的任一个。

[0277] 注意,在图6A所示的时序图中,在从期间a到期间b的过渡期间和期间b中电路100B向布线111输出不同信号(例如选择信号)的情况下,图10A的栅极驱动电路能够执行例如图10C所示的操作5a(与图12C对应)。

[0278] 这样,图10A的栅极驱动电路能够执行与图6K所示时序图对应的操作。

[0279] 类似地,当图10A的栅极驱动电路执行图10C所示操作的任一个时,能够得到图6B

至图6J以及图6L所示的时序图。

[0280] 随后描述图10A的栅极驱动电路用于得到图7A所示时序图的操作。

[0281] 如实施例2所述,在期间a、从期间b到期间c的过渡期间、期间c和期间d中,图10A的栅极驱动电路执行图5C的操作3。因此,为了执行操作3,在期间a、从期间b到期间c的过渡期间、期间c和期间d中,图10A的栅极驱动电路能够执行图10C所示的操作3a、3b和3c(与图12G、图12H和图13A对应)的任一个。

[0282] 在从期间a到期间b的过渡期间和期间b中,图10A的栅极驱动电路执行图5G的操作7。因此,为了执行操作7,在从期间a到期间b的过渡期间和期间b中,图10A的栅极驱动电路能够执行图10C所示的操作7a(与图13E对应)。

[0283] 这样,图10A的栅极驱动电路能够执行与图7A所示时序图对应的操作。

[0284] 注意,在图7A所示的时序图中,在期间a以及从期间b到期间c的过渡期间中电路100A向布线111输出信号(例如非选择信号)的情况下,图10A的栅极驱动电路能够执行例如图10C所示的操作1a、1b和1c(与图12A至图12C对应)的任一个。

[0285] 注意,在图7A所示的时序图中,在从期间a到期间b的过渡期间和期间b中电路100A向布线111输出不同信号(例如选择信号)的情况下,图10A的栅极驱动电路能够执行例如图10C所示的操作5a(与图13C对应)。

[0286] 这样,图10A的栅极驱动电路能够执行与图7K所示时序图对应的操作。

[0287] 类似地,当图10A的栅极驱动电路执行图10C所示操作的任一个时,能够得到图7B至图7J以及图7L所示的时序图。

[0288] 当图10A的栅极驱动电路执行如上所述的图10C所示操作的组合时,能够得到图6A至图6L以及图7A至图7L所示的时序图。

[0289] <栅极驱动电路的结构>

[0290] 接下来,下面描述与图10A的结构不同的栅极驱动电路的结构。在这里,描述栅极驱动电路包括功能与电路100A或电路100B的功能相似的N(N为自然数)个电路的情况。

[0291] 图11C示出栅极驱动电路的结构示例。栅极驱动电路包括电路100A、电路100B、电路100C和电路100D。电路100C和电路100D具有与电路100A或电路100B的功能相似的功能。

[0292] 电路100C包括开关101C和开关102C。开关101C连接在布线112C与布线111之间。开关102C连接在布线113C与布线111之间。开关101C具有与开关101A或开关101B的功能相似的功能。开关102C具有与开关102A或开关102B的功能相似的功能。布线112C具有与布线112A或布线112B的功能相似的功能,并且被提供与提供给布线112A或布线112B的信号或电压相似的信号或电压。布线113C具有与布线113A或布线113B的功能相似的功能,并且被提供与提供给布线113A或布线113B的信号或电压相似的信号或电压。

[0293] 电路100D包括开关101D和开关102D。开关101D连接在布线112D与布线111之间。开关102D连接在布线113D与布线111之间。开关101D具有与开关101A或开关101B的功能相似的功能。开关102D具有与开关102A或开关102B的功能相似的功能。布线112D具有与布线112A或布线112B的功能相似的功能,并且被提供与提供给布线112A或布线112B的信号或电压相似的信号或电压。布线113D具有与布线113A或布线113B的功能相似的功能,并且被提供与提供给布线113A或布线113B的信号或电压相似的信号或电压。

[0294] 图14A示出栅极驱动电路的不同结构示例。栅极驱动电路包括电路100A和电路

100B。

[0295] 除了开关101A和开关102A之外,电路100A还包括开关103A。开关103A连接在布线113A与布线111之间。开关103A能够执行与开关102A的操作相似的操作。

[0296] 除了开关101B和开关102B之外,电路100B还包括开关103B。开关103B连接在布线113B与布线111之间。开关103B能够执行与开关102B的操作相似的操作。

[0297] <栅极驱动电路的操作>

[0298] 参照图14B以及图15A至图15E来描述图14A的栅极驱动电路的操作。在这里,描述图14A的栅极驱动电路用于执行实施例2中的图5A至5G所示的操作1至7的操作。

[0299] 首先描述图14A的栅极驱动电路用于执行图5A的操作1的操作。

[0300] 如图14B的操作1d所示,开关101A关断,使得布线112A和布线111停止传导。开关102A和开关103A接通,使得布线113A和布线111开始传导。因此,将布线113A的电位(例如电压V1)提供给布线111。开关101B关断,使得布线112B和布线111停止传导。开关102B和开关103B接通,使得布线113B和布线111开始传导。因此,将布线113B的电位(例如电压V1)提供给布线111。

[0301] 注意,在图14B的操作1d中,开关103A和开关103B可关断,如同图14B的操作1e中那样。备选地,在图14B的操作1d中,开关102A和开关102B可关断,如同图12C的操作1f中那样。备选地,在图14B的操作1d、1e和1f中,开关101A或开关101B可关断。

[0302] 随后描述图14A的栅极驱动电路用于执行图5B的操作2的操作。

[0303] 如图14B的操作2d所示,开关101A关断,使得布线112A和布线111停止传导。开关102A和开关103A接通,使得布线113A和布线111开始传导。因此,将布线113A的电位(例如电压V1)提供给布线111。开关101B关断,使得布线112B和布线111停止传导。开关102B和开关103B关断,使得布线113B和布线111停止传导。

[0304] 注意,在图14B的操作2d中,开关103A可关断,如同图14B的操作2e(与图15A对应)中那样。备选地,在图14B的操作2d中,开关102A可关断,如同图14B的操作2f(与图15B对应)中那样。备选地,在图14B的操作2d、2e和2f中,开关101A可关断。

[0305] 接下来描述图14A的栅极驱动电路用于执行图5C的操作3的操作。

[0306] 如图14B的操作3d所示,开关101A关断,使得布线112A和布线111停止传导。开关102A和开关103A关断,使得布线113A和布线111停止传导。开关101B关断,使得布线112B和布线111停止传导。开关102B和开关103B接通,使得布线113B和布线111开始传导。因此,将布线113B的电位(例如电压V1)提供给布线111。

[0307] 注意,在图14B的操作3d中,开关103B可关断,如同图14B的操作3e(与图15C对应)中那样。备选地,在图14B的操作3d中,开关102B可关断,如同图14B的操作3f(与图15D对应)中那样。备选地,在图14B的操作3d、3e和3f中,开关101B可关断。

[0308] 接下来描述图14A的栅极驱动电路用于执行图5D的操作4的操作。

[0309] 如图14B的操作4d所示,开关101A关断,使得布线112A和布线111停止传导。开关102A和开关103A关断,使得布线113A和布线111停止传导。开关101B关断,使得布线112B和布线111停止传导。开关102B和开关103B关断,使得布线113B和布线111停止传导。

[0310] 接下来描述图14A的栅极驱动电路用于执行图5E的操作5的操作。

[0311] 如图14B的操作5b(与图15E对应)所示,开关101A接通,使得布线112A和布线111开

始传导。因此,将布线112A的电位(例如时钟信号CK1)提供给布线111。开关102A和开关103A关断,使得布线113A和布线111停止传导。开关101B接通,使得布线112B和布线111开始传导。因此,将布线112B的电位(例如时钟信号CK1)提供给布线111。开关102B和开关103B关断,使得布线113B和布线111停止传导。

[0312] 接下来描述图14A的栅极驱动电路用于执行图5F的操作6的操作。

[0313] 如图14B的操作6b所示,开关101A接通,使得布线112A和布线111开始传导。因此,将布线112A的电位(例如时钟信号CK1)提供给布线111。开关102A和开关103A关断,使得布线113A和布线111停止传导。开关101B关断,使得布线112B和布线111停止传导。开关102B和开关103B关断,使得布线113B和布线111停止传导。

[0314] 接下来描述图14A的栅极驱动电路用于执行图5B的操作7的操作。

[0315] 如图14B的操作7b所示,开关101A关断,使得布线112A和布线111停止传导。开关102A和开关103A关断,使得布线113A和布线111停止传导。开关101B接通,使得布线112B和布线111开始传导。因此,将布线112B的电位(例如时钟信号CK1)提供给布线111。开关102B和开关103B关断,使得布线113B和布线111停止传导。

[0316] 通过如上所述控制开关101A、开关102A、开关103A、开关101B、开关102B和开关103B的通和断,能够执行实施例2中参照图5A至图5G所述的栅极驱动电路的操作。

[0317] (实施例4)

[0318] 在这个实施例中,描述包括以上实施例的任一个中所述的栅极驱动电路的半导体器件。

[0319] <半导体器件的结构>

[0320] 参照图16A来描述这个实施例中的半导体器件的结构示例。图16A示出半导体器件的电路图的示例。图16A所示的半导体器件包括在栅极驱动电路中包含的电路200A和电路200B。

[0321] 电路200A包括晶体管201A、晶体管202A和电路300A。电路200B包括晶体管201B、晶体管202B和电路300B。

[0322] 注意,在图16A,晶体管201A、晶体管202A、晶体管201B和晶体管202B描述为n沟道晶体管。n沟道晶体管在栅极与源极之间的电位差 V_{gs} 超过阈值电压 V_{th} 时导通。

[0323] 这些晶体管可以是p沟道晶体管。p沟道晶体管在栅极与源极之间的电位差 V_{gs} 低于阈值电压 V_{th} 时导通。

[0324] 晶体管201A的第一端子连接到布线112A。晶体管201A的第二端子连接到布线111。晶体管202A的第一端子连接到布线113A。晶体管202A的第二端子连接到布线111。电路300A连接到布线113A、布线114A、布线115A、布线116A、晶体管201A的栅极和晶体管202A的栅极。注意,电路300A不一定连接到所有布线113A、布线114A、布线115A和布线116A,而是电路300A在一些情况下没有连接到布线113A、布线114A、布线115A和布线116A的任一个。

[0325] 注意,其中晶体管201A的栅极和电路300A相互连接的部分称作结点A1,而其中晶体管202A的栅极和电路300A相互连接的部分称作结点A2。另外,结点A1的电位又称作电位 V_{a1} ,而结点A2的电位又称作电位 V_{a2} 。

[0326] 晶体管201B的第一端子连接到布线112B。晶体管201B的第二端子连接到布线111。晶体管202B的第一端子连接到布线113B。晶体管202B的第二端子连接到布线111。电路300B

连接到布线113B、布线114B、布线115B、布线116B、晶体管201B的栅极和晶体管202B的栅极。注意,电路300B不一定连接到所有布线113B、布线114B、布线115B和布线116B,而是电路300B在一些情况下没有连接到布线113B、布线114B、布线115B和布线116B的任一个。

[0327] 注意,其中晶体管201B的栅极和电路300B相互连接的部分称作结点B1,而其中晶体管202B的栅极和电路300B相互连接的部分称作结点B2。另外,结点B1的电位又称作电位Vb1,而结点B2的电位又称作电位Vb2。

[0328] 接下来描述布线111、布线114A、布线115A、布线116A、布线114B、布线115B和布线116B。

[0329] 信号OUTA从电路200A输出到布线111,并且信号OUTB从电路200B输出到布线111。

[0330] 布线111延伸到像素部分,并且用作栅极信号线(又称作栅极线)、扫描线或信号线。因此,信号OUTA和信号OUTB各对应于栅极信号、扫描信号或选择信号。

[0331] 在半导体器件包括多个电路200A的情况下,布线111可连接到处于不同级(例如下一级)的电路200A中的布线114A。在那种情况下,信号OUTA对应于传输信号或开始信号。另外,在半导体器件包括多个电路200A的情况下,布线111可连接到处于不同级(例如前一级)的电路200A中的布线116A。在那种情况下,信号OUTA对应于重置信号。

[0332] 在半导体器件包括多个电路200B的情况下,布线111可连接到处于不同级(例如下一级)的电路200B中的布线114B。在那种情况下,信号OUTB对应于传输信号或开始信号。另外,在半导体器件包括多个电路200B的情况下,布线111可连接到处于不同级(例如前一级)的电路200B中的布线116B。在那种情况下,信号OUTB对应于重置信号。

[0333] 开始信号SP输入到布线114A和布线114B。因此,布线114A和布线114B用作信号线。

[0334] 此外,在半导体器件包括多个电路200A的情况下,布线114A可连接到处于不同级(例如前一级)的电路200A中的布线111。在那种情况下,布线114A用作栅极信号线(又称作栅极线)、扫描线或信号线。因此,开始信号SP对应于栅极信号、扫描信号或选择信号。

[0335] 此外,在半导体器件包括多个电路200B的情况下,布线114B可连接到处于不同级(例如前一级)的电路200B中的布线111。在那种情况下,布线114B用作栅极信号线(又称作栅极线)、信号线或扫描线。因此,开始信号SP对应于栅极信号、选择信号或扫描信号。

[0336] 注意,在相同信号输入到布线114A和布线114B的情况下,布线114A和布线114B可相互连接。在那种情况下,一个布线可用作布线114A和布线114B。备选地,不同信号可输入到布线114A和布线114B。

[0337] 信号SELA输入到布线115A,而信号SELB输入到布线115B。

[0338] 信号SELA和信号SELB优选地是通过信号的倒相所得到的信号或者是基本180°异相的信号。在信号SELA和信号SELB的每个是每一个给定期间(例如每一个帧期间)在H电平与L电平之间重复移位的信号的情况下,信号SELA和信号SELB的每个对应于控制信号、时钟信号或时钟控制信号。因此,布线115A和布线115B用作信号线、控制线或时钟信号线(又称作时钟线或时钟提供线)。信号SELA和信号SELB的每个可以是每几个期间、每次输入电源电压时或者以随机方式在H电平与L电平之间重复移位的信号。在同一期间中,信号SELA和信号SELB可处于H电平或L电平。

[0339] 重置信号RE输入到布线116A和布线116B。因此,布线116A和布线116B用作信号线。

[0340] 此外,在半导体器件包括多个电路200A的情况下,布线116A可连接到处于不同级

(例如下一级)的电路200B中的布线111。在那种情况下,布线116A用作栅极信号线(又称作栅极线)、信号线或扫描线。因此,重置信号RE对应于栅极信号、选择信号或扫描信号。

[0341] 此外,在半导体器件包括多个电路200B的情况下,布线116B可连接到处于不同级(例如下一级)的电路200B中的布线111。在那种情况下,布线116B用作栅极信号线(又称作栅极线)、信号线或扫描线。因此,重置信号RE对应于栅极信号、选择信号或扫描信号。

[0342] 注意,在相同信号输入到布线116A和布线116B的情况下,布线116A和布线116B可相互连接。在那种情况下,一个布线可用作布线116A和布线116B。备选地,不同信号可输入到布线116A和布线116B。

[0343] 接下来描述晶体管201A、晶体管202A、电路300A、晶体管201B、晶体管202B和电路300B。

[0344] 晶体管201A具有与实施例3中所述的开关101A的功能相似的功能。备选地,晶体管201A可具有执行引导操作(bootstrap operation)的功能。备选地,晶体管201A可具有通过引导操作来升高结点A1的电位的功能。

[0345] 这样,晶体管201A用作开关、缓冲器等等。注意,晶体管201A可按照结点A1的电位来控制。

[0346] 晶体管202A具有与实施例3中所述的开关102A的功能相似的功能。注意,晶体管202A可按照结点A2的电位来控制。

[0347] 电路300A具有控制结点A1的电位或者结点A2的电位的功能。备选地,电路300A具有控制向结点A1或结点A2提供信号、电压等的定时的功能。备选地,电路300A具有控制没有向结点A1或结点A2提供信号、电压等的定时的功能。备选地,电路300A具有控制向结点A1或结点A2提供H信号或电压V2的定时的功能。备选地,电路300A具有控制向结点A1或结点A2提供L信号或电压V1的定时的功能。备选地,电路300A具有控制升高结点A1的电位或者结点A2的电位的定时的功能。备选地,电路300A具有控制降低结点A1的电位或者结点A2的电位的定时的功能。备选地,电路300A具有控制保持结点A1的电位或者结点A2的电位的定时的功能。备选地,电路300A具有控制将结点A1或结点A2设置为处于浮动状态的定时的功能。

[0348] 注意,电路300A可按照开始信号SP、信号SELA或重置信号RE来控制。备选地,电路300A可按照与上述信号(开始信号SP、信号SELA或重置信号RE)不同的信号(例如信号OUTA、时钟信号CK1或时钟信号CK2)来控制。

[0349] 晶体管201B具有与实施例3中所述的开关101B的功能相似的功能。备选地,晶体管201B可具有执行引导操作的功能。备选地,晶体管201B可具有通过引导操作来升高结点B1的电位的功能。

[0350] 这样,晶体管201B用作开关、缓冲器等等。注意,晶体管201B可按照结点B1的电位来控制。

[0351] 晶体管202B具有与实施例3中所述的开关102B的功能相似的功能。注意,晶体管202B可按照结点B2的电位来控制。

[0352] 电路300B具有控制结点B1的电位或者结点B2的电位的功能。备选地,电路300B具有控制向结点B1或结点B2提供信号、电压等的定时的功能。备选地,电路300B具有控制没有向结点B1或结点B2提供信号、电压等的定时的功能。备选地,电路300B具有控制向结点B1或结点B2提供H信号或电压V2的定时的功能。备选地,电路300B具有控制向结点B1或结点B2提

供L信号或电压V1的定时的功能。备选地,电路300B具有控制升高结点B1的电位或者结点B2的电位的定时的功能。备选地,电路300B具有控制降低结点B1的电位或者结点B2的电位的定时的功能。备选地,电路300B具有控制保持结点B1的电位或者结点B2的电位的定时的功能。备选地,电路300B具有控制将结点B1或结点B2设置为处于浮动状态的定时的功能。

[0353] 注意,电路300B可按照开始信号SP、信号SELB或重置信号RE来控制。备选地,电路300B可按照与上述信号(开始信号SP、信号SELB或重置信号RE)不同的信号(例如信号OUTB、时钟信号CK1或时钟信号CK2)来控制。

[0354] <半导体器件的操作>

[0355] 参照图17所示的时序图来描述图16A的半导体器件的操作示例。图18A和图18B、图19A和图19B、图20A和图20B以及图21A和图21B各示出图16A的半导体器件的操作示例,以及图22和图23是各示出图16A的半导体器件的操作示例的时序图。注意,省略与以上实施例中所述部分共同的部分的描述。

[0356] 首先,如图18A所示,在期间a1,开始信号SP设置在H电平。在开始信号SP设置在H电平时的定时,电路300A开始向结点A1提供H信号或电压V2。因此,结点A1的电位升高。这时,由于结点A1的电位升高,所以电路300A向结点A2提供L信号或电压V1。因此,结点A2的电位降低,并且设置在L电平。然后,晶体管202A关断,使得布线113A和布线111停止传导。

[0357] 结点A1的电位则连续升高。在结点A1的电位升高到 $V1+V_{th201A}$ (V_{th201A} 是晶体管201A的阈值电压)之后,晶体管201A导通,使得布线112A和布线111开始传导。然后,处于L电平的时钟信号CK1通过晶体管201A提供给布线111。相应地,信号OUTA设置在L电平。

[0358] 此后,结点A1的电位进一步升高。然后,电路300A停止向结点A1提供信号或电压,使得电路300A和结点A1停止传导。因此,结点A1设置为处于浮动状态,使得结点A1的电位保持在 $V1+V_{th201A}+V_x$ (V_x 为正数)。

[0359] 注意,在期间a1,代替停止向结点A1提供信号或电压,电路300A而是可连续向结点A1提供电压 $V1+V_{th201A}+V_x$ 。

[0360] 相比之下,在期间a1,在开始信号SP设置在H电平时的定时,电路300B开始向结点B1提供H信号或电压V2。因此,结点B1的电位升高。这时,由于信号SELB处于L电平或者结点B1的电位升高,所以电路300B向结点B2提供L信号或电压V1。因此,结点B2的电位降低,并且设置在L电平。然后,晶体管202B关断,使得布线113B和布线111停止传导。

[0361] 结点B1的电位则连续升高。在结点B1的电位升高到 $V1+V_{th201B}$ (V_{th201B} 是晶体管201B的阈值电压)之后,晶体管201B导通,使得布线112B和布线111开始传导。然后,处于L电平的时钟信号CK1通过晶体管201B提供给布线111。相应地,信号OUTB设置在L电平。

[0362] 此后,结点B1的电位进一步升高。然后,电路300B停止向结点B1提供信号或电压,使得电路300B和结点B1停止传导。因此,结点B1设置为处于浮动状态,使得结点B1的电位保持在 $V1+V_{th201B}+V_x$ 。

[0363] 注意,在期间a1,代替停止向结点B1提供信号或电压,电路300B而是可连续向结点B1提供电压 $V1+V_{th201B}+V_x$ 。

[0364] 随后,如图18B所示,在期间b1,开始信号SP设置在L电平。因此,保持电路300A没有向结点A1提供信号或电压的状态。因此,结点A1保持在浮动状态,使得结点A1的电位保持在 $V1+V_{th201A}+V_x$ 。也就是说,由于晶体管201A保持为导通,所以布线112A和布线111保持在传

导状态。

[0365] 由于结点A1的电位保持为在期间a1中升高的电平,所以保持电路300A向结点A2提供L信号或电压V1的状态。因此,晶体管202A保持关断,使得布线113A和布线111保持在非传导状态。

[0366] 这时,时钟信号CK1的电平从L电平升高到H电平。然后,处于H电平的时钟信号CK1通过晶体管201A提供给布线111,使得布线111的电位升高。然后,结点A1的电位由于晶体管201A的栅极与晶体管201A的第二端子之间的寄生电容而升高到 $V_2 + V_{th202A} + V_X$ (V_{th202A} 是晶体管202A的阈值电压),因为结点A1保持在浮动状态。这是所谓的引导操作。因此,布线111的电位升高到 V_2 ,使得信号OUTA设置在H电平。

[0367] 相比之下,在期间b1,开始信号SP设置在L电平,使得保持电路300B没有向结点B1提供信号或电压的状态。因此,结点B1保持在浮动状态,使得结点B1的电位保持在 $V_1 + V_{th201B} + V_X$ 。也就是说,由于晶体管201B保持为导通,所以布线112B和布线111保持在传导状态。

[0368] 由于信号SELB处于L电平或者结点B1的电位保持为在期间a1中升高的电平,所以保持电路300B向结点B2提供L信号或电压V1的状态。因此,晶体管202B保持关断,使得布线113B和布线111保持在非传导状态。

[0369] 这时,时钟信号CK1的电平从L电平升高到H电平。然后,处于H电平的时钟信号CK1通过晶体管201B提供给布线111,使得布线111的电位升高。然后,结点B1的电位由于晶体管201B的栅极与晶体管201B的第二端子之间的寄生电容而升高到 $V_2 + V_{th202B} + V_X$ (V_{th202B} 是晶体管202B的阈值电压),因为结点B1保持在浮动状态。这是所谓的引导操作。因此,布线111的电位升高到 V_2 ,使得信号OUTB设置在H电平。

[0370] 随后,如图19A所示,在期间c1,重置信号RE设置在H电平。在重置信号RE设置在H电平时的定时,电路300A向结点A1提供L信号或电压V1。因此,结点A1的电位降低为电压V1。然后,晶体管201A关断,使得布线112A和布线111停止传导。由于结点A1的电位降低,所以电路300A向结点A2提供H信号或电压V2。因此,结点A1的电位升高。然后,晶体管202A导通,使得布线113A和布线111开始传导。因此,电压V1通过晶体管202A提供给布线111。因此,布线111的电位降低,使得信号OUTA设置在L电平。

[0371] 注意,在期间c1,时钟信号CK1设置在L电平时的定时可能比晶体管201A关断时的定时要早。因此,在晶体管201A关断之前,优选的是处于L电平的时钟信号CK1通过晶体管201A提供给布线111。当晶体管201A的沟道宽度增加时,信号OUTA的下降时间能够缩短。

[0372] 在期间c1,对于布线111,存在如下三种情况:电压V1通过晶体管202A提供给布线111的情况;处于L电平的时钟信号CK1通过晶体管201A提供给布线111的情况;以及电压V1通过晶体管202A提供给布线111,并且处于L电平的时钟信号CK1通过晶体管201A提供给布线111的情况。

[0373] 相比之下,在期间c1,在重置信号RE设置在H电平时的定时,电路300B向结点B1提供L信号或电压V1。因此,结点B1的电位降低为电压V1。然后,晶体管201B关断,使得布线112B和布线111停止传导。由于信号SELB保持在L电平,所以保持电路300B向结点B2提供L信号或电压V1的状态。因此,结点B2的电位保持在L电平。然后,晶体管202B保持关断,使得布线113B和布线111保持在非传导状态。

[0374] 注意,在期间c1,时钟信号CK1设置在L电平时的定时可能比晶体管201B关断时的定时要早。因此,在晶体管201B关断之前,优选的是处于L电平的时钟信号CK1通过晶体管201B提供给布线111。当晶体管201B的沟道宽度增加时,信号OUTB的下降时间能够缩短。

[0375] 随后,如图19B所示,在期间d1,保持电路300A向结点A1提供L信号或电压V1的状态。因此,结点A1的电位保持在L电平。然后,晶体管201A保持关断,使得布线112A和布线111保持在非传导状态。

[0376] 另外,保持电路300A向结点A2提供H信号或电压V2的状态。因此,结点A2的电位保持在H电平。然后,晶体管202A保持导通,使得布线113A和布线111保持在传导状态。因此,保持电压V1通过晶体管202A提供给布线111的状态。

[0377] 相比之下,在期间d1,保持电路300B向结点B1提供L信号或电压V1的状态。因此,结点B1的电位保持在L电平。然后,晶体管201B保持关断,使得布线112B和布线111保持在非传导状态。

[0378] 另外,保持电路300B向结点B2提供L信号或电压V1的状态。因此,结点B2的电位保持在L电平。然后,晶体管202B保持关断,使得布线113B和布线111保持在非传导状态。

[0379] 随后,半导体器件在期间a2中的操作与半导体器件在期间a1中的操作相似,如图20A所示。注意,半导体器件在期间a2中的操作与半导体器件在期间a1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0380] 随后,半导体器件在期间b2中的操作与半导体器件在期间b1中的操作相似,如图20B所示。注意,半导体器件在期间b2中的操作与半导体器件在期间b1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0381] 接下来参照图21A来描述半导体器件在期间c2中的操作。半导体器件在期间c2中的操作与半导体器件在期间c1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0382] 由于信号SELA设置在L电平,所以电路300A向结点A2提供L信号或电压V1。因此,晶体管202A关断,使得布线113A和布线111停止传导。

[0383] 相比之下,由于SELB设置在H电平,所以电路300B向结点B2提供H信号或电压V2。因此,晶体管202B导通,使得布线113B和布线111开始传导。然后,电压V1通过晶体管202B提供给布线111。

[0384] 注意,在期间c2,时钟信号CK1设置在L电平时的定时可能比晶体管201A关断时的定时要早。因此,在晶体管201A关断之前,优选的是处于L电平的时钟信号CK1通过晶体管201A提供给布线111。当晶体管201A的沟道宽度增加时,信号OUTA的下降时间能够缩短。

[0385] 注意,在期间c2,时钟信号CK1设置在L电平时的定时可能比晶体管201B关断时的定时要早。因此,在晶体管201B关断之前,优选的是处于L电平的时钟信号CK1通过晶体管201B提供给布线111。当晶体管201B的沟道宽度增加时,信号OUTB的下降时间能够缩短。

[0386] 在期间c2,对于布线111,存在如下三种情况:电压V1通过晶体管202B提供给布线111的情况;处于L电平的时钟信号CK1通过晶体管201B提供给布线111的情况;以及电压V1通过晶体管202B提供给布线111,并且处于L电平的时钟信号CK1通过晶体管201B提供给布线111的情况。

[0387] 接下来参照图21B来描述半导体器件在期间d2中的操作。半导体器件在期间d2中

的操作与半导体器件在期间c1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0388] 由于信号SELA设置在L电平,所以电路300A向结点A2提供L信号或电压V1。因此,晶体管202A关断,使得布线113A和布线111停止传导。

[0389] 相比之下,由于SELB设置在H电平,所以电路300B向结点B2提供H信号或电压V2。因此,晶体管202B导通,使得布线113B和布线111开始传导。然后,电压V1通过晶体管202B提供给布线111。

[0390] 晶体管202A和晶体管202B如上所述交替导通,使得能够抑制晶体管特性的退化。因此,诸如非单晶半导体(例如非晶半导体或微晶半导体)、有机半导体或氧化物半导体之类的易退化材料能够用作晶体管的半导体层。相应地,当制造半导体器件时,能够减少步骤的数量,能够提高产量,或者能够降低成本。另外,在这个实施例中的半导体器件用于显示装置的情况下,便利化制造半导体器件的方法,使得显示装置的尺寸能够减小。

[0391] 由于能够抑制晶体管的退化,所以不需要考虑到晶体管的退化而增加晶体管的沟道宽度。因此,晶体管的沟道宽度能够减小,使得布局面积能够减小。具体来说,在这个实施例中的半导体器件用于显示装置的情况下,栅极驱动电路的布局面积能够减小;因此,像素的分辨率能够提高。此外,由于晶体管的沟道宽度能够减小,所以栅极驱动电路的负载能够减小。因此,包括栅极驱动电路的驱动电路的功率消耗能够降低。

[0392] 在期间b1和期间b2,处于H电平的时钟信号CK1通过晶体管201A和晶体管201B提供给布线111;因此,提供给布线111的上升时间或下降时间能够缩短。因此,能够防止不同行中的像素的视频信号被写到所选行的像素。相应地,串扰能够降低。因此,显示装置的显示质量能够得到提高。

[0393] 由于提供给布线111的信号的上升时间或下降时间能够缩短,所以在扫描信号对应于开始信号等的情况下,栅极驱动电路的驱动频率能够提高。因此,在这个实施例中的半导体器件用于显示装置的情况下,显示装置的尺寸能够增加或者像素的分辨率能够提高。

[0394] 注意,在期间T1中的信号OUTA和信号OUTB的波形对应于图6K的时序图。作为期间T1中的信号OUTA和信号OUTB的波形,能够使用图6A至图6L的波形。

[0395] 注意,在期间T2中的信号OUTA和信号OUTB的波形对应于图7K的时序图。作为期间T2中的信号OUTA和信号OUTB的波形,能够使用图7A至图7L的波形。

[0396] 注意,时钟信号CK1能够是不平衡信号。图22是示出在一个周期中时钟信号CK1处于H电平的期间的长度比时钟信号CK1处于L电平的期间的长度更短的时候的半导体器件的操作示例的时序图。在图22的时序图中,信号OUTA的下降时间和信号OUTB的下降时间能够缩短,因为处于L电平的时钟信号CK1能够在期间c1或期间c2中提供给布线111。具体来说,在布线111形成为延长到像素部分的情况下,能够防止不应当最初写入的视频信号被写到像素。备选地,在一个周期中时钟信号CK1处于H电平的期间的长度可比时钟信号CK1处于L电平的期间的长度更长。

[0397] 注意,在半导体器件中,能够使用多相时钟信号。例如,在半导体器件中能够使用n相(n为自然数)时钟信号。n相时钟信号是其周期被移位 $1/n$ 周期的n个时钟信号。图23是示出在半导体器件中使用三相时钟信号时的半导体器件的操作示例的时序图。

[0398] 注意,n变得越长,则时钟频率变得越低。因此,功率消耗能够降低。但是,当n是过

大时,信号的数量增加;因此,布局面积增加或者外部电路的尺寸增加。相应地,n小于8,优选地小于6,更优选地为4或3。

[0399] 注意,在期间c1、期间d1、期间c2或期间d2,晶体管202A和晶体管202B能够同时导通。因此,当电压V1通过晶体管202A和晶体管202B提供给布线111时,布线111中的噪声能够降低。相应地,能够得到几乎不受噪声影响的半导体器件。

[0400] 注意,在期间a1、期间b1、期间a2或期间b2,晶体管201A和晶体管201B其中之一能够导通。例如,在期间a1和期间b1,晶体管201A能够导通,而晶体管201B能够关断。备选地,在期间a2和期间b2,晶体管201A能够关断,而晶体管201B能够导通。因此降低使晶体管201A导通的频率以及使晶体管201B导通的频率。相应地,能够抑制晶体管的退化。

[0401] 为了执行这种驱动方法,例如,优选的是,输入到布线114B的信号在期间T1中保持在L电平,并且输入到布线114A的信号在期间T2中保持在L电平。作为另一个示例,优选的是,具有在期间T1中按照信号SELA使结点A1的电位保持在L电平的功能的电路设置在电路200A中,而具有在期间T2中按照信号SELB使结点B1的电位保持在L电平的功能的电路设置在电路200B中。

[0402] <晶体管的尺寸>

[0403] 接下来描述晶体管的尺寸、如晶体管的沟道宽度或者晶体管的沟道长度。注意,晶体管的沟道宽度又能够称作晶体管的W/L(W是沟道宽度,以及L是沟道长度)比。

[0404] 优选的是,晶体管201A的沟道宽度基本等于晶体管201B的沟道宽度。备选地,优选的是,晶体管202A的沟道宽度基本等于晶体管202B的沟道宽度。

[0405] 通过以这种方式使晶体管具有基本相同的沟道宽度,晶体管能够具有基本相同的电流提供能力或者基本相同的退化程度。相应地,即使当切换被选择的晶体管时,输出信号OUT的波形也能够基本相同。

[0406] 由于类似原因,优选的是,晶体管201A的沟道长度基本等于晶体管201B的沟道长度。备选地,优选的是,晶体管202A的沟道长度基本等于晶体管202B的沟道长度。

[0407] 注意,在连接到被驱动的晶体管201A或晶体管201B的栅极信号线的负载是较大的情况下,优选的是,晶体管201A的沟道宽度比电路200A中包含的其它晶体管要大,或者晶体管201B的沟道宽度比电路200B中包含的其它晶体管要大。

[0408] 注意,在驱动晶体管201A或晶体管201B所经由的栅极信号线的负载是较大的情况下,优选的是,使晶体管201A或晶体管201B的沟道宽度较大。具体来说,晶体管201A的沟道宽度和晶体管201B的沟道宽度的每个优选地为1000至30000 μm ,更优选地为2000 至20000 μm ,进一步优选地为3000至8000 μm 或10000至18000 μm 。

[0409] <半导体器件的结构>

[0410] 接下来参照图16B、图24A和图24B以及图25A和图25B来描述这个实施例中与图16A的半导体器件的结构示例不同的半导体器件的电路图的示例。

[0411] 图16B、图24A和图24B以及图25A和图25B各示出半导体器件的电路图的示例。

[0412] 图16B所示的半导体器件具有一种结构,其中电容器203A连接在图16A所示的半导体器件所包含的晶体管201A的栅极与晶体管201A的第二端子之间。备选地,图16B所示的半导体器件具有一种结构,其中电容器203B连接在图16A所示的半导体器件所包含的晶体管201B的栅极与晶体管201B的第二端子之间。

[0413] 通过这种结构,结点A1的电位或结点B1的电位在引导操作中可能升高。因此,能够使晶体管201A的栅极与源极之间的电位差 V_{ga} 大于晶体管201B的栅极与源极之间的电位差 V_{gs} 。相应地,能够使晶体管201A或晶体管201B的沟道宽度较小。备选地,信号OUT或信号OUTB的下降时间或上升时间能够缩短。

[0414] 例如,MOS电容器能够用作电容器203A和电容器203B的每个。注意,电容器203A和电容器203B的每个的一个电极的材料优选地是与晶体管201A和晶体管201B的栅极的每个的材料相似的材料。备选地,电容器203A和电容器203B的每个的另一个电极的材料优选地是与晶体管201A和晶体管201B的源极或漏极的每个的材料相似的材料。通过这种材料,布面积能够减小,或者电容值能够增加。

[0415] 注意,优选的是,电容器203A的电容值和电容器203B的电容值基本相等。备选地,优选的是,其中电容器203A的一个电极与另一个电极重叠的面积和其中电容器203B的一个电极与另一个电极重叠的面积基本相等。通过这种结构,在信号从电路200A输入到布线111的情况与信号从电路200B输入到布线111的情况之间,输入到布线111的信号的波长能够基本相等。

[0416] 另外,在图16A和图16B所示的半导体器件中,如图24A所示,晶体管201A可用二极管211A取代。二极管211A的一个电极(例如正电极)连接到结点A1,而二极管211A的另一个电极(如负电极)连接到布线111。备选地,晶体管202A可用二极管212A取代。二极管212A的一个电极(例如正电极)连接到布线111,而二极管212A的另一个电极(如负电极)连接到结点A2。

[0417] 此外,晶体管201B可用二极管211B取代。二极管211B的一个电极(例如正电极)连接到结点B1,而二极管211B的另一个电极(如负电极)连接到布线111。备选地,晶体管202B可用二极管212B取代。二极管212B的一个电极(例如正电极)连接到布线111,而二极管212B的另一个电极(如负电极)连接到结点B2。

[0418] 在图16A和图16B所示的半导体器件中,如图24B所示,晶体管201A的第一端子可连接到结点A1。另外,晶体管202A的第一端子可连接到结点A2,而晶体管202A的栅极可连接到布线111。

[0419] 晶体管201B的第一端子可连接到结点B1。另外,晶体管202B的第一端子可连接到结点B2,而晶体管202B的栅极可连接到布线111。

[0420] 接下来参照图25A和图25B来描述除了信号OUTA之外还生成传输信号或者除了信号OUTB之外还生成传输信号的半导体器件的示例。

[0421] 在半导体器件包括多个电路(包括电路200A和电路200B)的情况下,当传输信号没有输入到布线111而是作为开始信号输入到下一级的电路时,与信号OUTA或信号OUTB相比,传输信号的延迟或失真能够进一步降低。因此,半导体器件能够由其延迟或失真被降低的信号来驱动,使得半导体器件的输出信号的延迟能够降低。备选地,能够使将电力存储在结点A1或结点B1中的定时更早,使得能够使操作范围更广。另外,传输信号可输出到布线111。

[0422] 因此,在图16A和图16B以及图24A和图24B所示的半导体器件中,如图25A所示,电路200A可包括晶体管204A。晶体管204A的第一端子连接到布线112A;晶体管204A的第二端子连接到布线117A;晶体管204A的栅极连接到结点A1。另外,电路200B可包括晶体管204B。晶体管204B的第一端子连接到布线112B;晶体管204B的第二端子连接到布线117B;晶体管

204B的栅极连接到结点B1。

[0423] 备选地,在图16A和图16B以及图24A和图24B所示的半导体器件中,如图25B所示,电路200A可包括晶体管205A。晶体管205A的第一端子连接到布线113A;晶体管205A的第二端子连接到布线117A;晶体管205A的栅极连接到结点A2。另外,电路200B可包括晶体管205B。晶体管205B的第一端子连接到布线113B;晶体管205B的第二端子连接到布线117B;晶体管205B的栅极连接到结点B2。

[0424] 注意,晶体管204A优选地具有与晶体管201A的功能相似的功能并且与晶体管201A相同的极性。晶体管205A优选地具有与晶体管202A的功能相似的功能并且与晶体管202A相同的极性。晶体管204B优选地具有与晶体管201B的功能相似的功能并且与晶体管201B相同的极性。晶体管205B优选地具有与晶体管202B的功能相似的功能并且与晶体管202B相同的极性。注意,晶体管204A、晶体管204B、晶体管205A和晶体管205B可以是n沟道晶体管或者p沟道晶体管。

[0425] 注意,在半导体器件中包括的多个电路相互连接的情况下,布线117A可在不同级(例如下一级)连接到半导体器件的布线114A。另外,布线117B可在不同级(例如下一级)连接到半导体器件的布线114B。通过这种结构,布线117A和布线117B用作信号线。

[0426] 注意,在半导体器件中包括的多个电路相互连接的情况下,布线117A可在不同级(例如前一级)连接到半导体器件的布线116A。另外,布线117B可在不同级(例如前一级)连接到半导体器件的布线116B。此外,布线117A可延伸到像素部分。此外,布线117B可延伸到像素部分。通过这种结构,布线117A和布线117B用作栅极信号线或扫描线。

[0427] <半导体器件的结构>

[0428] 接下来参照图26来描述这个实施例中与图16A和图16B、图24A和图24B以及图25A和图25B的半导体器件的结构示例不同的半导体器件的电路图的示例。

[0429] 图26所示的半导体器件具有一种结构,其中晶体管207A和晶体管207B设置在图16A所示的半导体器件中。

[0430] 晶体管207A的第一端子连接到布线113A。晶体管207A的第二端子连接到布线111。晶体管207A的栅极连接到电路300A。晶体管207B的第一端子连接到布线113B。晶体管207B的第二端子连接到布线111。晶体管207B的栅极连接到电路300B。

[0431] 注意,其中晶体管207A的栅极和电路300A相互连接的部分称作结点A3,而其中晶体管207B的栅极和电路300B相互连接的部分称作结点B3。

[0432] 注意,晶体管207A优选地具有与晶体管202A的功能相似的功能。晶体管207B优选地具有与晶体管202B的功能相似的功能。

[0433] <半导体器件的操作>

[0434] 参照图27所示的时序图来描述图26的半导体器件的操作示例。图28A和图28B以及图29A和图29B各示出图26的半导体器件的操作示例。

[0435] 晶体管202A和晶体管207A每个栅极选择期间或者每半个时钟信号CK1周期在期间T1中交替导通。例如,在期间d1中时钟信号CK1处于H电平的期间中,如图28A所示,晶体管202A导通,而晶体管207A关断。相比之下,在期间d1中时钟信号CK1处于L电平的期间中,如图28B所示,晶体管202A关断,而晶体管207A导通。

[0436] 晶体管202B和晶体管207B每个栅极选择期间或者每半个时钟信号CK1周期在期间

T2中交替导通。例如,在期间d2中时钟信号CK1处于H电平的期间中,如图29A所示,晶体管202B导通,而晶体管207B关断。相比之下,在期间d2中时钟信号CK1处于L电平的期间中,如图29B所示,晶体管202B关断,而晶体管207B导通。

[0437] 这样,晶体管202A和晶体管207A在期间T1中交替导通,而晶体管202B和晶体管207B在期间T2中交替导通。相应地,晶体管导通的期间能够缩短;因此,能够抑制晶体管的退化。

[0438] 对其输入时钟信号CK2(例如时钟信号CK1的倒相信号)的布线可连接到结点A2和结点A3其中之一。另外,对其输入时钟信号CK2的布线可连接到结点B2和结点B3其中之一。

[0439] 备选地,晶体管202A、晶体管207A、晶体管202B和晶体管207B可在同一期间(例如期间b1或期间b2)中导通。备选地,晶体管202A、晶体管207A、晶体管202B和晶体管207B中的两个或更多可在同一期间(例如期间a1或期间a2)中导通。

[0440] 使晶体管202A和晶体管207A导通的顺序可设置成给定顺序。另外,使晶体管202B和晶体管207B导通的顺序可设置成给定顺序。

[0441] 接下来参照图30来描述示出图26的半导体器件与图27所示的操作示例不同的操作示例的时序图。

[0442] 晶体管202A、晶体管207A、晶体管202B和晶体管207B可在帧期间中依次导通。图30中,在期间T1,晶体管202A导通的期间称作期间T1a,而晶体管207A导通的期间称作期间T1b。另外,在期间T2,晶体管202B导通的期间称作期间T2a,而晶体管207B导通的期间称作期间T2b。

[0443] 注意,虽然图30的时序图示出期间T1a、期间T2a、期间T1b和期间T2b按照该顺序来提供的情况,但是这些期间的顺序可设置成给定顺序。例如,期间T1a、期间T1b、期间T2a和期间T2b可按照该顺序来提供;可提供多个这些期间的每个;或者这样期间可按照随机方式来提供。

[0444] 在期间T1a的期间d1中,结点A2的电位设置在H电平,而结点A3的电位(结点A3的电位又称作电位Va3)、结点B2的电位和结点B3的电位(B3的电位又称作电位Vb3)设置在L电平。因此,如图28A所示,晶体管202A导通,而晶体管207A、晶体管202B和晶体管207B关断。

[0445] 在期间T1b的期间d1,结点A3的电位设置在H电平,而结点A2的电位、结点B2的电位和结点B3的电位设置在L电平。因此,如图28B所示,晶体管207A导通,而晶体管202A、晶体管202B和晶体管207B关断。

[0446] 在期间T2a的期间d2,结点B2的电位设置在H电平,而结点A2的电位、结点A3的电位和结点B3的电位设置在L电平。因此,如图29A所示,晶体管202B导通,而晶体管202A、晶体管207A和晶体管207B关断。

[0447] 在期间T2b的期间d2,结点B3的电位设置在H电平,而结点A2的电位、结点A3的电位和结点B2的电位设置在L电平。因此,如图29B所示,晶体管207B导通,而晶体管202A、晶体管207A和晶体管202B关断。

[0448] 当图26所示的半导体器件执行上述操作时,晶体管导通的期间能够缩短。备选地,用于控制晶体管的导通和关断的信号的频率能够降低,使得功率消耗能够降低。

[0449] 可提供多个晶体管。多个晶体管的每个的第一端子连接到布线113A,而多个晶体管的每个的第二端子连接到布线111。多个晶体管具有与晶体管202A或晶体管207A的功能

相似的功能。例如,多个晶体管可在栅极选择期间或者帧期间中依次导通。

[0450] 另外,可提供多个晶体管。多个晶体管的每个的第一端子连接到布线113B,而多个晶体管的每个的第二端子连接到布线111。多个晶体管具有与晶体管202B或晶体管207B的功能相似的功能。例如,多个晶体管可在栅极选择期间或者帧期间中依次导通。

[0451] 通过提供这类多个晶体管,晶体管导通的期间能够缩短;因此,能够抑制晶体管的退化。

[0452] (实施例5)

[0453] 在这个实施例中,描述包括以上实施例的任一个中所述的栅极驱动电路的半导体器件。

[0454] <半导体器件的结构>

[0455] 参照图31A和图31B来描述这个实施例中的半导体器件的结构。图31A和图31B各示出半导体器件的电路图的示例。

[0456] 在图31A,电路300A包括晶体管301A、晶体管302A和电路400A。电路300B包括晶体管301B、晶体管302B和电路400B。

[0457] 参照图31A来描述晶体管301A、晶体管302A、电路400A、晶体管301B、晶体管302B和电路400B的结构示例。在这里,晶体管301A、晶体管302A、晶体管301B和晶体管302B描述为n沟道晶体管。注意,这些晶体管可以是p沟道晶体管。

[0458] 晶体管301A的第一端子连接到布线114A。晶体管301A的第二端子连接到结点A1。晶体管301A的栅极连接到布线114A。晶体管302A的第一端子连接到布线113A。晶体管302A的第二端子连接到结点A1。晶体管302A的栅极连接到布线116A。电路400A连接到布线115A、结点A1、布线113A和结点A2。

[0459] 晶体管301B的第一端子连接到布线114B。晶体管301B的第二端子连接到结点B1。晶体管301B的栅极连接到布线114B。晶体管302B的第一端子连接到布线113B。晶体管302B的第二端子连接到结点B1。晶体管302B的栅极连接到布线116B。电路400B连接到布线115B、结点B1、布线113B和结点B2。

[0460] 接下来描述晶体管301A、晶体管302A、电路400A、晶体管301B、晶体管302B和电路400B的功能的示例。

[0461] 晶体管301A具有控制使布线114A和结点A1开始传导的定时的功能。备选地,晶体管301A具有控制将布线114A的电位提供给结点A1的定时的功能。备选地,晶体管301A具有控制向结点A1提供将要输入到布线114A的信号、电压等(例如开始信号SP、时钟信号CK1、时钟信号CK2、信号SELA、信号SELB或电压V2)的定时的功能。备选地,晶体管301A具有控制没有向结点A1提供信号、电压等的定时的功能。备选地,晶体管301A具有控制向结点A1提供H信号或电压V2的定时的功能。备选地,晶体管301A具有控制升高结点A1的电位的定时的功能。备选地,晶体管301A具有控制将结点A1设置为处于浮动状态的定时的功能。

[0462] 如上所述,晶体管301A用作开关、整流器元件、二极管、二极管连接晶体管等等。注意,晶体管301A可按照开始信号SP来控制。

[0463] 晶体管302A具有控制使布线113A和结点A1开始传导的定时的功能。备选地,晶体管302A具有控制将布线113A的电位提供给结点A1的定时的功能。备选地,晶体管302A具有控制向结点A1提供将要输入到布线113A的信号、电压等(例如时钟信号CK2或电压V1)的定

时的功能。备选地,晶体管302A具有控制向结点A1提供电压V1的定时的功能。备选地,晶体管302A具有控制降低结点A1的电位的定时的功能。备选地,晶体管302A具有控制保持结点A1的电位的定时的功能。

[0464] 如上所述,晶体管302A用作开关。注意,晶体管302A可按照重置信号RE来控制。

[0465] 电路400A具有控制结点A2的电位的功能。备选地,电路400A具有控制向结点A2提供信号、电压等的定时的功能。备选地,电路400A具有控制没有向结点A2提供信号、电压等的定时的功能。备选地,电路400A具有控制向结点A2提供H信号或电压V2的定时的功能。备选地,电路400A具有控制向结点A2提供L信号或电压V1的定时的功能。备选地,电路400A具有控制升高结点A2的电位的定时的功能。备选地,电路400A具有控制降低结点A2的电位的定时的功能。备选地,电路400A具有控制保持结点A2的电位的定时的功能。

[0466] 如上所述,电路400A用作控制电路。注意,电路400A可按照信号SELA或者结点A1的电位来控制。

[0467] 晶体管301B具有控制使布线114B和结点B1开始传导的定时的功能。备选地,晶体管301B具有控制将布线114B的电位提供给结点B1的定时的功能。备选地,晶体管301B具有控制向结点B1提供将要输入到布线114B的信号、电压等(例如开始信号SP、时钟信号CK1、时钟信号CK2、信号SELA、信号SELB或电压V2)的定时的功能。备选地,晶体管301B具有控制没有向结点B1提供信号、电压等的定时的功能。备选地,晶体管301B具有控制向结点B1提供H信号或电压V2的定时的功能。备选地,晶体管301B具有控制升高结点B1的电位的定时的功能。备选地,晶体管301B具有控制将结点B1设置为处于浮动状态的定时的功能。

[0468] 如上所述,晶体管301B用作开关、整流器元件、二极管、二极管连接晶体管等等。注意,晶体管301B可按照开始信号SP来控制。

[0469] 晶体管302B具有控制使布线113B和结点B1开始传导的定时的功能。备选地,晶体管302B具有控制将布线113B的电位提供给结点B1的定时的功能。备选地,晶体管302B具有控制向结点B1提供将要输入到布线113B的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,晶体管302B具有控制向结点B1提供电压V1的定时的功能。备选地,晶体管302B具有控制降低结点B1的电位的定时的功能。备选地,晶体管302B具有控制保持结点B1的电位的定时的功能。

[0470] 如上所述,晶体管302B用作开关。注意,晶体管302B可按照重置信号RE来控制。

[0471] 电路400B具有控制结点B2的电位的功能。备选地,电路400B具有控制向结点B2提供信号、电压等的定时的功能。备选地,电路400B具有控制没有向结点B2提供信号、电压等的定时的功能。备选地,电路400B具有控制向结点B2提供H信号或电压V2的定时的功能。备选地,电路400B具有控制向结点B2提供L信号或电压V1的定时的功能。备选地,电路400B具有控制升高结点B2的电位的定时的功能。备选地,电路400B具有控制降低结点B2的电位的定时的功能。备选地,电路400B具有控制保持结点B2的电位的定时的功能。

[0472] 如上所述,电路400B用作控制电路。注意,电路400B可按照信号SELB或者结点B1的电位来控制。

[0473] 接下来参照图31B来描述电路400A和电路400B的结构示例。

[0474] 电路400A包括晶体管401A和晶体管402A。电路400B包括晶体管401B和晶体管402B。

[0475] 参照图31B来描述晶体管401A、晶体管402A、晶体管401B和晶体管402B的结构示例。在这里,晶体管401A、晶体管402A、晶体管401B和晶体管402B描述为n沟道晶体管。注意,这些晶体管可以是p沟道晶体管。

[0476] 晶体管401A的第一端子连接到布线115A。晶体管401A的第二端子连接到结点A2。晶体管401A的栅极连接到布线115A。晶体管402A的第一端子连接到布线113A。晶体管402A的第二端子连接到结点A2。晶体管402A的栅极连接到结点A1。

[0477] 晶体管401B的第一端子连接到布线115B。晶体管401B的第二端子连接到结点B2。晶体管401B的栅极连接到布线115B。晶体管402B的第一端子连接到布线113B。晶体管402B的第二端子连接到结点B2。晶体管402B的栅极连接到结点B1。

[0478] 接下来描述晶体管401A、晶体管402A、晶体管401B和晶体管402B的功能的示例。

[0479] 晶体管401A具有控制使布线115A和结点A2开始传导的定时的功能。备选地,晶体管401A具有控制将布线115A的电位提供给结点A2的定时的功能。备选地,晶体管401A具有控制向结点A2提供将要输入到布线115A的信号、电压等(例如信号SELA或电压V2)的定时的功能。备选地,晶体管401A具有控制没有向结点A2提供信号或电压的定时的功能。备选地,晶体管401A具有控制向结点A2提供H信号、电压V2等的定时的功能。备选地,晶体管401A具有控制升高结点A2的电位的定时的功能。

[0480] 如上所述,晶体管401A用作开关、整流器元件、二极管、二极管连接晶体管等等。注意,晶体管401A可按照信号SELA来控制。

[0481] 晶体管402A具有控制使布线113A和结点A2开始传导的定时的功能。备选地,晶体管402A具有控制将布线113A的电位提供给结点A2的定时的功能。备选地,晶体管402A具有控制向结点A2提供将要输入到布线113A的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,晶体管402A具有控制向结点A2提供电压V1的定时的功能。备选地,晶体管402A具有控制降低结点A2的电位的定时的功能。备选地,晶体管402A具有控制保持结点A2的电位的定时的功能。

[0482] 如上所述,晶体管402A用作开关。注意,晶体管402A可按照结点A1的电位或者布线111的电位来控制。

[0483] 晶体管401B具有控制使布线115B和结点B2开始传导的定时的功能。备选地,晶体管401B具有控制将布线115B的电位提供给结点B2的定时的功能。备选地,晶体管401B具有控制向结点B2提供将要输入到布线115B的信号、电压等(例如信号SELB或电压V2)的定时的功能。备选地,晶体管401B具有控制没有向结点B2提供信号或电压的定时的功能。备选地,晶体管401B具有控制向结点B2提供H信号、电压V2等的定时的功能。备选地,晶体管401B具有控制升高结点B2的电位的定时的功能。

[0484] 如上所述,晶体管401B用作开关、整流器元件、二极管、二极管连接晶体管等等。注意,晶体管401B可按照信号SELB来控制。

[0485] 晶体管402B具有控制使布线113B和结点B2开始传导的定时的功能。备选地,晶体管402B具有控制将布线113B的电位提供给结点B2的定时的功能。备选地,晶体管402B具有控制向结点B2提供将要输入到布线113B的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,晶体管402B具有控制向结点B2提供电压V1的定时的功能。备选地,晶体管402B具有控制降低结点B2的电位的定时的功能。备选地,晶体管402B具有控制保持结点

B2的电位的定时的功能。

[0486] 如上所述,晶体管402B用作开关。注意,晶体管402B可按照结点B1的电位或者布线111的电位来控制。

[0487] <半导体器件的操作>

[0488] 接下来参照图32A和图32B、图33A和图33B、图34A和图34B以及图35A和图35B来描述图31B的半导体器件的操作示例。图32A、图32B、图33A、图33B、图34A、图34B、图35A和图35B分别对应于实施例4所述的期间a1、期间b1、期间c1、期间d1、期间a2、期间b2、期间c2和期间d2中的半导体器件的示意图。

[0489] 注意,参照图17的时序图来描述与图16A的半导体器件的部分同样的图31B的半导体器件的部分的操作。

[0490] 首先,如图32A所示,在期间a1,开始信号SP设置在H电平。因此,晶体管301A导通,使得布线114A和结点A1开始传导。然后,处于H电平的开始信号SP通过晶体管301A提供给结点A1,使得结点A1的电位升高。

[0491] 在结点A1的电位变成 $V2 - V_{th301A}$ (它通过从晶体管301A的栅极的电位(例如电压V2)减去晶体管301A的阈值电压(V_{th301A})来得到)之后,晶体管301A关断。因此,布线114A和结点A1停止传导,使得结点A1的电位升高。当结点A1的电位升高时,晶体管402A导通;因此,布线113A和结点A2开始传导。然后,电压V1通过晶体管402A提供给结点A2。

[0492] 另外,在期间a1,信号SELA设置在H电平。因此,晶体管401A导通,使得布线115A和结点A2开始传导。相应地,处于H电平的信号SELA通过晶体管401A提供给结点A2。在这里,在使晶体管402A的电流提供能力高于晶体管401A的电流提供能力(例如,使晶体管402A的沟道宽度大于晶体管401A的沟道宽度)时,结点A2的电位设置在L电平。

[0493] 注意,在期间a1,重置信号RE设置在L电平。因此,晶体管302A关断,使得布线113A和结点A1停止传导。

[0494] 相比之下,在期间a1,开始信号SP设置在H电平。因此,晶体管301B导通,使得布线114B和结点B1开始传导。然后,处于H电平的开始信号SP通过晶体管301B提供给结点B1,使得结点B1的电位升高。

[0495] 在结点B1的电位变成 $V2 - V_{th301B}$ (它通过从晶体管301B的栅极的电位(例如电压V2)减去晶体管301B的阈值电压(V_{th301B})来得到)之后,晶体管301B关断。因此,布线114B和结点B1停止传导,使得结点B1的电位升高。当结点B1的电位升高时,晶体管402B导通;因此,布线113B和结点B2开始传导。然后,电压V1通过晶体管402B提供给结点B2。

[0496] 另外,在期间a1,信号SELB设置在L电平。因此,晶体管401B关断,使得布线115B和结点B2停止传导。相应地,结点B2的电位设置在L电平。

[0497] 注意,在期间a1,重置信号RE设置在L电平。因此,晶体管302B关断,使得布线113B和结点B1停止传导。

[0498] 随后,如图32B所示,在期间b1,开始信号SP设置在L电平。因此,晶体管301A保持关断,使得布线114A和结点A1保持在非传导状态。

[0499] 另外,在期间b1,重置信号RE保持在L电平。因此,晶体管302A保持关断,使得布线113A和结点A1保持在非传导状态。结点A1的电位通过引导操作来升高。因此,晶体管402A保持导通,使得布线113A和结点A2保持在传导状态。

[0500] 另外,在期间b1,信号SELA保持在H电平。因此,晶体管401A保持导通,使得布线115A和结点A2保持在传导状态。相应地,结点A2的电位保持在L电平。

[0501] 相比之下,在期间b1,当开始信号SP设置在L电平时,晶体管301B保持关断;因此,布线114B和结点B1保持在非传导状态。

[0502] 另外,在期间b1,重置信号RE保持在L电平。因此,晶体管302B保持关断,使得布线113B和结点B1保持在非传导状态。结点B1的电位通过引导操作来升高。因此,晶体管402B保持导通,使得布线113B和结点B2保持在传导状态。

[0503] 此外,在期间b1,信号SELB设置在L电平。因此,晶体管401B保持关断,使得布线115B和结点B2保持在非传导状态。相应地,结点B2的电位保持在L电平。

[0504] 随后,如图33A所示,在期间c1,开始信号SP保持在L电平。因此,晶体管301A保持关断,使得布线114A和结点A1保持在非传导状态。

[0505] 另外,在期间c1,重置信号RE设置在H电平。因此,晶体管302A导通,使得布线113A和结点A1开始传导。然后,电压V1通过晶体管302A提供给结点A1,使得结点A1的电位降低并且设置在L电平。当结点A1的电位设置在L电平时,晶体管402A关断;因此,布线113A和结点A2停止传导。

[0506] 此外,在期间c1,信号SELA保持在H电平。因此,晶体管401A保持导通,使得布线115A和结点A2保持在传导状态。然后,处于H电平的信号SELA通过晶体管401A提供给结点A2,使得结点A2的电位升高并且设置在H电平。

[0507] 相比之下,在期间c1,开始信号SP设置在L电平。因此,晶体管301B保持关断,使得布线114B和结点B1保持在非传导状态。

[0508] 另外,在期间c1,重置信号RE设置在H电平。因此,晶体管302B导通,使得布线113B和结点B1开始传导。然后,电压V1通过晶体管302B提供给结点B1,使得结点B1的电位降低并且设置在L电平。当结点B1的电位设置在L电平时,晶体管402B关断;因此,布线113B和结点B2停止传导。

[0509] 此外,在期间c1,信号SELB保持在L电平。因此,晶体管401B保持关断,使得布线115B和结点B2保持在非传导状态。相应地,结点B2设置为处于浮动状态,使得结点B2的电位保持在L电平。

[0510] 随后,如图33B所示,在期间d1,开始信号SP保持在L电平。因此,晶体管301A保持关断,使得布线114A和结点A1保持在非传导状态。

[0511] 另外,在期间d1,重置信号RE设置在L电平。因此,晶体管302A关断,使得布线113A和结点A1保持在非传导状态。然后,结点A1设置为处于浮动状态,使得结点A1的电位保持在L电平。因此,晶体管402A保持关断,使得布线113A和结点A2保持在非传导状态。

[0512] 此外,在期间d1,信号SELA保持在H电平。因此,晶体管401A保持导通,使得布线115A和结点A2保持在传导状态。然后,处于H电平的信号SELA通过晶体管401A提供给结点A2,使得结点A2的电位升高并且设置在H电平。

[0513] 相比之下,在期间d1,开始信号SP设置在L电平。因此,晶体管301B保持关断,使得布线114B和结点B1保持在非传导状态。

[0514] 另外,在期间d1,重置信号RE设置在L电平。因此,晶体管302B关断,使得布线113B和结点B1保持在非传导状态。然后,结点B1设置为处于浮动状态,使得结点B1的电位保持在

L电平。因此,晶体管402B保持关断,使得布线113B和结点B2保持在非传导状态。

[0515] 此外,在期间d1,信号SELB保持在L电平。因此,晶体管401B保持关断,使得布线115B和结点B2保持在非传导状态。相应地,结点A2设置为处于浮动状态,使得结点B2的电位保持在L电平。

[0516] 接下来参照图34A来描述半导体器件在期间a2中的操作。半导体器件在期间a2中的操作与图32A所示的半导体器件在期间a1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0517] 因此,晶体管401A关断,使得布线115A和结点A2停止传导。

[0518] 相比之下,晶体管401B导通,使得布线115B和结点B2开始传导。因此,处于H电平的信号SELB通过晶体管401B提供给结点B2。在这里,在使晶体管402B的电流提供能力高于晶体管401B的电流提供能力(例如,使晶体管402B的沟道宽度大于晶体管401B的沟道宽度)时,结点B2的电位设置在L电平。

[0519] 接下来参照图34B来描述半导体器件在期间b2中的操作。半导体器件在期间b2中的操作与图32B所示的半导体器件在期间b1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0520] 因此,晶体管401A保持关断,使得布线115A和结点A2保持在非传导状态。

[0521] 相比之下,晶体管401B保持导通,使得布线115B和结点B2保持在传导状态。

[0522] 接下来参照图35A来描述半导体器件在期间c2中的操作。半导体器件在期间c2中的操作与图33A所示的半导体器件在期间c1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0523] 因此,晶体管401A保持关断,使得布线115A和结点A2停止传导。然后,结点A2设置为处于浮动状态,使得结点A2的电位保持在L电平。

[0524] 相比之下,晶体管401B保持导通,使得布线115B和结点B2保持在传导状态。因此,处于H电平的信号SELB通过晶体管401B提供给结点B2,使得结点B2的电位升高。

[0525] 接下来参照图35B来描述半导体器件在期间d2中的操作。半导体器件在期间d2中的操作与图33B所示的半导体器件在期间d1中的操作的不同之处在于,信号SELA设置在L电平,而信号SELB设置在H电平。

[0526] 因此,晶体管401A保持关断,使得布线115A和结点A2停止传导。然后,结点A2设置为处于浮动状态,使得结点A2的电位保持在L电平。

[0527] 相比之下,晶体管401B保持导通,使得布线115B和结点B2保持在传导状态。因此,处于H电平的信号SELB通过晶体管401B提供给结点B2,使得结点B2的电位保持在H电平。

[0528] <晶体管的尺寸>

[0529] 接下来描述晶体管的尺寸、如晶体管的沟道宽度或者晶体管的沟道长度。

[0530] 优选的是,晶体管301A的沟道宽度基本等于晶体管301B的沟道宽度。备选地,优选的是,晶体管302A的沟道宽度基本等于晶体管302B的沟道宽度。备选地,优选的是,晶体管401A的沟道宽度基本等于晶体管401B的沟道宽度。备选地,优选的是,晶体管402A的沟道宽度基本等于晶体管402B的沟道宽度。

[0531] 通过以这种方式使晶体管具有基本相同的沟道宽度,晶体管能够具有基本相同的电流提供能力或者基本相同的退化程度。相应地,即使当切换被选择的晶体管时,输出信号

OUT的波形也能够基本相同。

[0532] 由于类似原因,优选的是,晶体管301A的沟道长度基本等于晶体管301B的沟道长度。备选地,优选的是,晶体管302A的沟道长度基本等于晶体管302B的沟道长度。备选地,优选的是,晶体管401A的沟道长度基本等于晶体管401B的沟道长度。备选地,优选的是,晶体管402A的沟道长度基本等于晶体管402B的沟道长度。

[0533] 具体来说,晶体管301A的沟道宽度和晶体管301B的沟道宽度的每个优选地为500至3000 μm ,更优选地为800至2500 μm ,进一步优选地为1000至2000 μm 。

[0534] 晶体管302A的沟道宽度和晶体管302B的沟道宽度的每个优选地为100至3000 μm ,更优选地为300至2000 μm ,进一步优选地为300至1000 μm 。

[0535] 晶体管401A的沟道宽度和晶体管401B的沟道宽度的每个优选地为100至2000 μm ,更优选地为200至1500 μm ,进一步优选地为300至700 μm 。

[0536] 晶体管402A的沟道宽度和晶体管402B的沟道宽度的每个优选地为300至3000 μm ,更优选地为500至2000 μm ,进一步优选地为700至1500 μm 。

[0537] <半导体器件的结构>

[0538] 接下来参照图36A和图36B、图37A和图37B、图38A和图38B、图39A至图39F、图40A至图40D以及图41A和图41B来描述这个实施例中与图31B的半导体器件的结构示例不同的半导体器件的电路图的示例。

[0539] 图36A和图36B、图37A和图37B、图38A和图38B、图39A至图39F、图40A至图40D以及图41A和图41B各示出半导体器件的电路图的示例。

[0540] 图36A所示的半导体器件具有一种结构,其中图31B所示半导体器件中包含的晶体管202A的第一端子、图31B所示半导体器件中包含的晶体管302A的第一端子以及图31B所示半导体器件中包含的晶体管402A的第一端子连接到不同布线。备选地,图36A所示的半导体器件具有一种结构,其中图31B所示半导体器件中包含的晶体管202B的第一端子、图31B所示半导体器件中包含的晶体管302B的第一端子以及图31B所示半导体器件中包含的晶体管402B的第一端子连接到不同布线。

[0541] 在图36A,布线113A分为多个布线113A_1至113A_3。布线113B分为多个布线113B_1至113B_3。晶体管202A的第一端子连接到布线113A_1。晶体管302A的第一端子连接到布线113A_2。晶体管402A的第一端子连接到布线113A_3。晶体管202B的第一端子连接到布线113B_1。晶体管302B的第一端子连接到布线113B_2。晶体管402B的第一端子连接到布线113B_3。

[0542] 注意,布线113A_1至113A_3具有与布线113A的功能相似的功能。布线113B_1至113B_3具有与布线113B的功能相似的功能。例如,诸如电压V1之类的电压能够提供给布线113A_1至113A_3以及布线113B_1至113B_3。备选地,不同电压或者不同信号可提供给布线113A_1至113A_3。备选地,不同电压或者不同信号可提供给布线113B_1至113B_3。

[0543] 另外,在图31B和图36A所示的结构中,如图37A所示,晶体管302A可用二极管312A取代。二极管312A的一个电极(例如正电极)连接到结点A1,而二极管312A的另一个电极(如负电极)连接到布线116A。备选地,晶体管402A可用二极管412A取代。二极管412A的一个电极(例如正电极)连接到结点A2,而二极管412A的另一个电极(如负电极)连接到结点A1。

[0544] 此外,晶体管302B可用二极管312B取代。二极管312B的一个电极(例如正电极)连

接到结点B1,而二极管312B的另一个电极(如负电极)连接到布线116B。备选地,晶体管402B可用二极管412B取代。二极管412B的一个电极(例如正电极)连接到结点B2,而二极管412B的另一个电极(如负电极)连接到结点B1。

[0545] 此外,在图31B和图36A所示的结构中,如图37B所示,晶体管302A的第一端子可连接到布线116A,而晶体管302A的栅极可连接到结点A1。备选地,晶体管402A的第一端子可连接到结点A1,而晶体管402A的栅极可连接到结点A2。

[0546] 此外,晶体管302B的第一端子可连接到布线116B,而晶体管302B的栅极可连接到结点B1。备选地,晶体管402B的第一端子可连接到结点B1,而晶体管402B的栅极可连接到结点B2。

[0547] 在图31B、图36A、图37A和图37B所示的结构中,如图38A所示,晶体管402A的栅极可连接到布线111。另外,晶体管402B的栅极可连接到布线111。

[0548] 此外,在图31B、图36A、图37A和图37B以及图38A所示的结构中,如图38B所示,晶体管301A的第一端子可连接到布线118A,而晶体管301A的栅极可连接到布线114A。此外,晶体管301B的第一端子可连接到布线118B,而晶体管301B的栅极可连接到布线114B。

[0549] 备选地,晶体管301A的第一端子可连接到布线114A,而晶体管301A的栅极可连接到布线118A。此外,晶体管301B的第一端子可连接到布线114B,而晶体管301B的栅极可连接到布线118B。

[0550] 注意,在电压V2施加到布线118A和布线118B的情况下,布线118A和布线118B用作电源线。备选地,时钟信号CK2可输入到布线118A和布线118B。备选地,不同信号或不同电压可输入到布线118A和布线118B。

[0551] 注意,在相同电压输入到布线118A和布线118B的情况下,布线118A和布线118B可相互连接。在那种情况下,一个布线可用作布线118A和布线118B。

[0552] 在图31B、图36A、图37A和图37B以及图38A和图38B所示的结构中,如图39A所示,晶体管401A可用电阻器403A取代。电阻器403A连接在布线115A与结点A2之间。另外,如图39B所示,晶体管401B可用电阻器403B取代。电阻器403B连接在布线115B与结点B2之间。

[0553] 通过图39A和图39B所示的结构,在期间c1和期间d1,处于L电平的信号SELB能够提供给结点B2。备选地,在期间c2和期间d2,处于L电平的信号SELA能够提供给结点A2。因此,结点A2的电位和结点B2的电位能够是固定的,使得能够得到几乎不受噪声影响的半导体器件。

[0554] 此外,在图31B、图36A、图37A和图37B以及图38A和图38B所示的结构中,如图39C所示,可提供晶体管404A。晶体管404A的第一端子连接到布线115A;晶体管404A的第二端子连接到结点A2;晶体管404A的栅极连接到结点A2。此外,如图39D所示,可提供晶体管404B。晶体管404B的第一端子连接到布线115B;晶体管404B的第二端子连接到结点B2;晶体管404B的栅极连接到结点B2。

[0555] 通过图39C和图39D所示的结构,如同图39A和图39B中那样,结点A2的电位和结点B2的电位能够是固定的,使得能够得到几乎不受噪声影响的半导体器件。

[0556] 此外,在图31B、图36A、图37A和图37B、图38A和图38B以及图39A至图39D所示的结构中,如图39E所示,电路400A可包括晶体管404A和晶体管406A。晶体管405A的第一端子连接到布线115A;晶体管405A的第二端子连接到结点A2;晶体管405A的栅极连接到其中晶体

管401A的第二端子和晶体管402A的第二端子相互连接的部分。晶体管406A的第一端子连接到布线113A;晶体管406A的第二端子连接到结点A2;晶体管406A的栅极连接到结点A1。

[0557] 此外,如图39F所示,电路400B可包括晶体管405B和晶体管406B。晶体管405B的第一端子连接到布线115B;晶体管405B的第二端子连接到结点B2;晶体管405B的栅极连接到其中晶体管401B的第二端子和晶体管402B的第二端子相互连接的部分。晶体管406B的第一端子连接到布线113B;晶体管406B的第二端子连接到结点B2;晶体管406B的栅极连接到结点B1。

[0558] 通过图39E和图39F所示的结构,结点A2的电位或结点B2的电位能够设置成V2,使得信号的幅度能够增加。

[0559] 备选地,晶体管401A的第一端子和晶体管405A的第一端子可连接到不同布线。例如,在图40A,布线115A分为多个布线115A_1和115A_2;晶体管401A的第一端子连接到布线115A_1;晶体管405A的第一端子连接到布线115A_2。在那种情况下,信号SELA可输入到布线115A_1和115A_2其中之一,而电压V2可提供给布线115A_1和115A_2中的另一个。

[0560] 备选地,晶体管401B的第一端子和晶体管405B的第一端子可连接到不同布线。例如,在图40B,布线115B分为多个布线115B_1和115B_2;晶体管401B的第一端子连接到布线115B_1;晶体管405B的第一端子连接到布线115B_2。在那种情况下,信号SELB可输入到布线115B_1和115B_2其中之一,而电压V2可提供给布线115B_1和115B_2中的另一个。

[0561] 通过图40A和图40B所示的结构,在期间c1和期间d1,处于L电平的信号SELB能够提供给结点B2。备选地,在期间c2和期间d2,处于L电平的信号SELA能够提供给结点A2。因此,结点A2的电位和结点B2的电位能够是固定的,使得能够得到几乎不受噪声影响的半导体器件。

[0562] 此外,在图31B、图36A、图37A和图37B、图38A和图38B以及图39A至图39D所示的结构中,如图40C所示,电路400A可包括晶体管407A、晶体管408A和晶体管409A。晶体管407A的第一端子连接到布线118A;晶体管407A的第二端子连接到结点A2;晶体管407A的栅极连接到布线118A。晶体管408A的第一端子连接到布线113A;晶体管408A的第二端子连接到结点A2;晶体管408A的栅极连接到结点A1。晶体管409A的第一端子连接到布线113A;晶体管409A的第二端子连接到结点A2;晶体管409A的栅极连接到布线115A。

[0563] 如图40D所示,电路400B可包括晶体管407B、晶体管408B和晶体管409B。晶体管407B的第一端子连接到布线118B;晶体管407B的第二端子连接到结点B2;晶体管407B的栅极连接到布线118B。晶体管408B的第一端子连接到布线113B;晶体管408B的第二端子连接到结点B2;晶体管408B的栅极连接到结点B1。晶体管409B的第一端子连接到布线113B;晶体管409B的第二端子连接到结点B2;晶体管409B的栅极连接到布线115B。

[0564] 通过图40C和图40D所示的结构,在期间c1和期间d1,处于L电平的信号SELB能够提供给结点B2。备选地,在期间c2和期间d2,处于L电平的信号SELA能够提供给结点A2。因此,结点A2的电位和结点B2的电位能够是固定的,使得能够得到几乎不受噪声影响的半导体器件。

[0565] 此外,在图31B、图36A、图37A和图37B、图38A和图38B、图39A至图39F以及图40A至图40D所示的结构中,如图41A所示,可提供晶体管206A和电路500A。电路500A包括晶体管501A和晶体管502A。

[0566] 晶体管206A的第一端子连接到布线113A。晶体管206A的第二端子连接到结点A1。晶体管501A的第一端子连接到布线118A。晶体管501A的第二端子连接到晶体管206A的栅极。晶体管501A的栅极连接到布线118A。晶体管502A的第一端子连接到布线113A。晶体管502A的第二端子连接到晶体管206A的栅极。晶体管502A的栅极连接到结点A1。

[0567] 如图41A所示,可提供晶体管206B和电路500B。电路500B包括晶体管501B和晶体管502B。

[0568] 晶体管206B的第一端子连接到布线113B。晶体管206B的第二端子连接到结点B1。晶体管501B的第一端子连接到布线118B。晶体管501B的第二端子连接到晶体管206B的栅极。晶体管501B的栅极连接到布线118B。晶体管502B的第一端子连接到布线113B。晶体管502B的第二端子连接到晶体管206B的栅极。晶体管502B的栅极连接到结点B1。

[0569] 注意,在图41A,其中晶体管206A的栅极、晶体管501A的第二端子和晶体管502A的第二端子相互连接的部分称作结点A3。另外,其中晶体管206B的栅极、晶体管501B的第二端子和晶体管502B的第二端子相互连接的部分称作结点B3。

[0570] 另外,晶体管502A的栅极可连接到布线111。此外,晶体管502B的栅极可连接到布线111。

[0571] 作为另一个示例,如图41B所示,可消除电路500A,并且晶体管206A的栅极可连接到结点A2。另外,可消除电路500B,并且晶体管206B的栅极可连接到结点B2。通过图41B所示的结构,可使电路的尺寸更小,使得布局面积能够减小或者功率消耗能够降低。

[0572] 接下来参照图41A和图41B来描述晶体管206A、电路500A、晶体管501A、晶体管502A、晶体管206B、电路500B、晶体管501B和晶体管502B的功能的示例。

[0573] 晶体管206A具有控制使布线113A和结点A1开始传导的定时的功能。备选地,晶体管206A具有控制将布线113A的电位提供给结点A1的定时的功能。备选地,晶体管206A具有控制向结点A1提供将要输入到布线113A的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,晶体管206A具有控制向结点A1提供电压V1的定时的功能。备选地,晶体管206A具有控制降低结点A1的电位的定时的功能。备选地,晶体管206A具有控制保持结点A1的电位的定时的功能。

[0574] 这样,晶体管206A用作开关。注意,晶体管206A可按照结点A3的电位来控制。

[0575] 电路500A具有控制结点A3的电位的功能。备选地,电路500A具有控制向结点A3提供信号、电压等的定时的功能。备选地,电路500A具有控制没有向结点A3提供信号、电压等的定时的功能。备选地,电路500A具有控制向结点A3提供H信号或电压V2的定时的功能。备选地,电路500A具有控制向结点A3提供L信号或电压V1的定时的功能。备选地,电路500A具有控制升高结点A3的电位的定时的功能。备选地,电路500A具有控制降低结点A3的电位的定时的功能。备选地,电路500A具有控制保持结点A3的电位的定时的功能。备选地,电路500A具有使结点A1的电位倒相并且控制向结点A3输出经倒相的电位的定时的功能。

[0576] 如上所述,电路500A用作控制电路或倒相器电路。注意,电路500A可按照结点A1的电位来控制。

[0577] 晶体管501A具有控制使布线118A和结点A3开始传导的定时的功能。备选地,晶体管501A具有控制将布线118A的电位提供给结点A3的定时的功能。备选地,晶体管501A具有控制向结点A3提供将要输入到布线118A的信号、电压等(例如电压V2)的定时的功能。备选

地,晶体管501A具有控制没有向结点A3提供信号、电压等的定时的功能。备选地,晶体管501A具有控制向结点A3提供H信号或电压V2的定时的功能。备选地,晶体管501A具有控制升高结点A3的电位的定时的功能。

[0578] 如上所述,晶体管501A用作开关、整流器元件、二极管、二极管连接晶体管等等。

[0579] 晶体管502A具有控制使布线113A和结点A3开始传导的定时的功能。备选地,晶体管502A具有控制将布线113A的电位提供给结点A3的定时的功能。备选地,晶体管502A具有控制向结点A3提供将要输入到布线113A的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,晶体管502A具有控制向结点A3提供电压V1的定时的功能。备选地,晶体管502A具有控制降低结点A3的电位的定时的功能。备选地,晶体管502A具有控制保持结点A3的电位的定时的功能。

[0580] 如上所述,晶体管502A用作开关。

[0581] 晶体管206B具有控制使布线113B和结点B1开始传导的定时的功能。备选地,晶体管206B具有控制将布线113B的电位提供给结点B1的定时的功能。备选地,晶体管206B具有控制向结点B1提供将要输入到布线113B的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,晶体管206B具有控制向结点B1提供电压V1的定时的功能。备选地,晶体管206B具有控制降低结点B1的电位的定时的功能。备选地,晶体管206B具有控制保持结点B1的电位的定时的功能。

[0582] 如上所述,晶体管206B用作开关。注意,晶体管206B可按照结点B3的电位来控制。

[0583] 电路500B具有控制结点B3的电位的功能。备选地,电路500B具有控制向结点B3提供信号、电压等的定时的功能。备选地,电路500B具有控制没有向结点B3提供信号、电压等的定时的功能。备选地,电路500B具有控制向结点B3提供H信号或电压V2的定时的功能。备选地,电路500B具有控制向结点B3提供L信号或电压V1的定时的功能。备选地,电路500B具有控制升高结点B3的电位的定时的功能。备选地,电路500B具有控制降低结点B3的电位的定时的功能。备选地,电路500B具有控制保持结点B3的电位的定时的功能。备选地,电路500B具有使结点B1的电位倒相并且控制向结点3输出经倒相的电位的定时的功能。

[0584] 如上所述,电路500B用作控制电路或倒相器电路。注意,电路500B可按照结点B1的电位来控制。

[0585] 晶体管501B具有控制使布线118B和结点B3开始传导的定时的功能。备选地,晶体管501B具有控制将布线118B的电位提供给结点B3的定时的功能。备选地,晶体管501B具有控制向结点B3提供将要输入到布线118B的信号、电压等(例如电压V2)的定时的功能。备选地,晶体管501B具有控制没有向结点B3提供信号、电压等的定时的功能。备选地,晶体管501B具有控制向结点B3提供H信号或电压V2的定时的功能。备选地,晶体管501B具有控制升高结点B3的电位的定时的功能。

[0586] 如上所述,晶体管501B用作开关、整流器元件、二极管、二极管连接晶体管等等。

[0587] 晶体管502B具有控制使布线113B和结点B3开始传导的定时的功能。备选地,晶体管502B具有控制将布线113B的电位提供给结点B3的定时的功能。备选地,晶体管502B具有控制向结点B3提供将要输入到布线113B的信号、电压等(例如时钟信号CK2或电压V1)的定时的功能。备选地,晶体管502B具有控制向结点B3提供电压V1的定时的功能。备选地,晶体管502B具有控制降低结点B3的电位的定时的功能。备选地,晶体管502B具有控制保持结点

B3的电位的定时的功能。

[0588] 如上所述,晶体管502B用作开关。

[0589] <半导体器件的操作>

[0590] 接下来参照图42A和图42B、图43A和图43B、图44A和图44B以及图45A和图45B来描述图41A的半导体器件的操作。图42A、图42B、图43A、图43B、图44A、图44B、图45A和图45B分别对应于期间a1、期间b1、期间c1、期间d1、期间a2、期间b2、期间c2和期间d2中的半导体器件的示意图。

[0591] 在期间a1、期间b1、期间a2和期间b2,结点A1具有H电平电位。因此,与电路400A相似,电路500A向结点A3输出L信号。然后,晶体管206A关断,使得布线113A和结点A1停止传导。

[0592] 具体来说,在期间a1、期间b1、期间a2和期间b2,晶体管502A导通,使得布线113A和结点A3开始传导。因此,电压V1通过晶体管502A提供给结点A3。这时,晶体管501A导通,使得布线118A和结点A3开始传导。因此,电压V2通过晶体管501A提供给结点A3。

[0593] 在这里,在使晶体管502A的电流提供能力高于晶体管501A的电流提供能力(例如,使晶体管502A的沟道宽度大于晶体管501A的沟道宽度)时,结点A3的电位设置在L电平。

[0594] 在期间a1、期间b1、期间a2和期间b2,结点B1具有H电平电位。因此,与电路400B相似,电路500B向结点B3输出L信号。然后,晶体管206B关断,使得布线113B和结点B1停止传导。

[0595] 具体来说,在期间a1、期间b1、期间a2和期间b2,晶体管502B导通,使得布线113B和结点B3开始传导。因此,电压V1通过晶体管502B提供给结点B3。这时,晶体管501B导通,使得布线118B和结点B3开始传导。因此,电压V2通过晶体管501B提供给结点B3。

[0596] 在这里,在使晶体管502B的电流提供能力高于晶体管501B的电流提供能力(例如,使晶体管502B的沟道宽度大于晶体管501B的沟道宽度)时,结点B3的电位设置在L电平。

[0597] 在期间c1、期间d1、期间c2和期间d2,结点A1具有L电平电位。因此,与电路400A相似,电路500A向结点A3输出H信号。然后,晶体管206A导通,使得布线113A和结点A1开始传导。然后,电压V1通过晶体管206A提供给结点A1。

[0598] 具体来说,在期间c1、期间d1、期间c2和期间d2,晶体管502A关断,使得布线113A和结点A3停止传导。这时,晶体管501A导通,使得布线118A和结点A3开始传导。因此,电压V2通过晶体管501A提供给结点A3。

[0599] 另外,在期间c1、期间d1、期间c2和期间d2,结点B1具有L电平电位。因此,与电路400B相似,电路500B向结点B3输出H信号。然后,晶体管206B导通,使得布线113B和结点B1开始传导。然后,电压V1通过晶体管206B提供给结点B1。

[0600] 具体来说,在期间c1、期间d1、期间c2和期间d2,晶体管502B关断,使得布线113B和结点B3停止传导。这时,晶体管501B导通,使得布线118B和结点B3开始传导。因此,电压V2通过晶体管501B提供给结点B3。

[0601] 这样,在期间c1和期间d1,晶体管206A导通,使得布线113A和结点A1开始传导。然后,电压V1通过晶体管206A提供给结点A1。因此,结点A1的电位能够是固定的,使得能够得到几乎不受噪声影响的半导体器件。

[0602] 另外,在期间c2和期间d2,晶体管206B导通,使得布线113B和结点B1开始传导。然

后,电压V1通过晶体管206B提供给结点B1。因此,结点B1的电位能够是固定的,使得能够得到几乎不受噪声影响的半导体器件。

[0603] <晶体管的尺寸>

[0604] 接下来描述晶体管的尺寸、如晶体管的沟道宽度或者晶体管的沟道长度。

[0605] 优选的是,晶体管501A的沟道宽度基本等于晶体管501B的沟道宽度。备选地,优选的是,晶体管502A的沟道宽度基本等于晶体管502B的沟道宽度。

[0606] 通过以这种方式使晶体管具有基本相同的沟道宽度,晶体管能够具有基本相同的电流提供能力或者基本相同的退化程度。相应地,即使当切换被选择的晶体管时,输出信号OUT的波形也能够基本相同。

[0607] 由于类似原因,优选的是,晶体管501A的沟道长度基本等于晶体管501B的沟道长度。备选地,优选的是,晶体管502A的沟道长度基本等于晶体管502B的沟道长度。

[0608] 具体来说,晶体管501A的沟道宽度和晶体管501B的沟道宽度的每个优选地为100至2000 μm ,更优选地为200至1500 μm ,进一步优选地为300至700 μm 。

[0609] 晶体管502A的沟道宽度和晶体管502B的沟道宽度的每个优选地为300至3000 μm ,更优选地为500至2000 μm ,进一步优选地为700至1500 μm 。

[0610] 注意,在图31B、图36A、图37A和图37B、图38A和图38B、图39A至图39F、图40A至图40D以及图41A和图41B所示的结构中,晶体管302A的第二端子可连接到布线111,并且晶体管302B的第二端子可连接到布线111。备选地,可提供用于得到这种连接关系的晶体管。通过这种结构,信号OUTA的下降时间和信号OUTB的下降时间能够缩短。

[0611] 备选地,在图31B、图36A、图37A和图37B、图38A和图38B、图39A至图39F、图40A至图40D以及图41A和图41B所示的结构中,晶体管302A的第一端子可连接到布线118A;晶体管30A的第二端子可连接到结点A2;晶体管302A的栅极可连接到布线116A。另外,晶体管302B的第一端子可连接到布线118B;晶体管302B的第二端子可连接到结点B2;晶体管302B的栅极可连接到布线116B。备选地,可提供用于得到这种连接关系的晶体管。通过这种结构,反向偏压可施加到晶体管302A和晶体管302B,使得能够抑制各晶体管的退化。

[0612] 注意,在图31B、图36A、图37A和图37B、图38A和图38B、图39A至图39F、图40A至图40D以及图41A和图41B所示的结构中,如图36B所示,晶体管可以是p沟道晶体管。

[0613] 在图36B,晶体管201pA、晶体管202pA、晶体管301pA、晶体管302pA、晶体管401pA和晶体管402pA是p沟道晶体管,并且具有分别与图36A的晶体管201A、晶体管202A、晶体管301A、晶体管302A、晶体管401A和晶体管402A的功能相似的功能。

[0614] 此外,在图36B,晶体管201pB、晶体管202pB、晶体管301pB、晶体管302pB、晶体管401pB和晶体管402pB是p沟道晶体管,并且具有分别与图36A的晶体管201B、晶体管202B、晶体管301B、晶体管302B、晶体管401B和晶体管402B的功能相似的功能。

[0615] 注意,在晶体管是p沟道晶体管的情况下,将电压V1提供给布线113A和布线113B。在那种情况下,示出信号OUTA、信号OUTB、时钟信号CK1、开始信号SP、重置信号RE、信号SELA、信号SELB、结点A1的电位、结点A2的电位、结点B1的电位和结点B2的电位的时序图对应于图17的时序图的倒相。

[0616] (实施例6)

[0617] 在这个实施例中,参照图46A至图46E、图47、图48和图49来描述栅极驱动电路(又

称作栅极驱动)以及包括栅极驱动电路的显示装置。

[0618] <显示装置的结构>

[0619] 参照图46A至图46D来描述显示装置的结构示例。图46A至图46D的显示装置包括电路1001、电路1002、电路1003_1、电路1003_2、像素部分1004和端子1005。

[0620] 从电路1003_1和电路1003_2延伸的多个布线设置在像素部分1004之上。多个布线用作栅极线(又称作栅极信号线)、扫描线或信号线。另外,从电路1002延伸的多个布线设置在像素部分1004之上。多个布线用作视频信号线、数据线、信号线或源极线(又称作源极信号线)。像素设置成对应于从电路1003_1和电路1003_2延伸的多个布线以及从电路1002延伸的多个布线。

[0621] 除了上述布线之外,用作电源线、电容器线等的布线可设置在像素部分1004之上。

[0622] 电路1001具有控制向电路1002、电路1003_1和电路1003_2提供信号、电压、电流等的定时的功能。备选地,电路1001具有控制电路1002、电路1003_1和电路1003_2的功能。如上所述,电路1001用作控制器、控制电路、定时发生器、电源电路或者调整器。

[0623] 电路1002具有控制向像素部分1004提供视频信号的定时的功能。备选地,电路1002具有控制像素部分1004中包含的像素的亮度、透射率等的功能。如上所述,电路1002用作源极驱动电路或信号线驱动电路。

[0624] 电路1003_1具有与上述实施例中所所述的电路10A、电路100A或电路200A的功能相似的功能。另外,电路1003_2具有与上述实施例中所所述的电路10B、电路100B或电路200B的功能相似的功能。如上所述,电路1003_1和电路1003_2各用作栅极驱动电路。

[0625] 注意,如图46A和图46B所示,电路1001和电路1002可使用与其上形成像素部分1004的衬底1006不同的衬底(例如半导体衬底或SOI衬底)来形成。另外,电路1003_1和电路1003_2可使用与像素部分1004相同的衬底来形成。

[0626] 在电路1003_1和电路1003_2的驱动频率低于电路1001和电路1002的驱动频率的情况下,迁移率低的晶体管可用作电路1003_1和电路1003_2中包含的晶体管。因此,非单晶半导体(例如非晶半导体或微晶半导体)、有机半导体或氧化物半导体能够用于电路1003_1和电路1003_2中包含的晶体管的半导体层。相应地,当制造半导体器件时,能够减少步骤的数量,能够提高产量,或者能够降低成本。另外,在这个实施例中的半导体器件用于显示装置的情况下,便利化用于制造半导体器件的方法,使得显示装置的尺寸能够增加。

[0627] 注意,如图46A、图46C和图46D所示,电路1003_1和电路1003_2可以隔着像素部分1004彼此相向。例如,如图46A所示,电路1003_1设置在像素部分1004的左侧,而电路1003_2设置在像素部分1004的右侧。备选地,如图46B所示,电路1003_1和电路1003_2可设置在像素部分1004的同一侧(例如左侧或右侧)。

[0628] 注意,在图46A和图46B所示的结构中,如图46C所示,电路1002可设置在与像素部分1004相同的衬底1006之上。

[0629] 注意,在图46A至图46C所示的结构中,如图46D所示,电路1002的一部分(例如电路1002a)可设置在其上设置像素部分1004的衬底1006之上,而电路1002的另一部分(例如电路1002b)可设置在与衬底1006不同的衬底之上。在那种情况下,作为电路1002a,优选地使用具有较低驱动频率的电路,例如开关、移位寄存器或选择器。

[0630] 接下来参照图46E来描述显示装置的像素部分中包含的像素。图46E示出像素的结

构示例。

[0631] 像素3020包括晶体管3021、液晶元件3022和电容器3023。晶体管3021的第一端子连接到布线3031。晶体管3021的第二端子连接到液晶元件3022的一个电极以及电容器3023的一个电极。晶体管3021的栅极连接到布线3032。液晶元件3022的另一个电极连接到电极3034。电容器3023的另一个电极连接到布线3033。

[0632] 视频信号从图46A至图46D所示的电路1002输入到布线3031。因此,布线3031用作信号线、视频信号线或者源极线(又称作源极信号线)。

[0633] 栅极信号、扫描信号或选择信号从图46A至图46D所示的电路1003_1和电路1003_2输入到布线3032。因此,布线3032用作栅极线(又称作栅极信号线)、扫描线或信号线。

[0634] 恒定电压从图46A至图46D所示的电路1001提供给布线3033和电极3034。因此,布线3033用作电源线或电容器线。此外,电极3034用作公共电极或者对电极。

[0635] 注意,可将预充电电压提供给布线3031。预充电电压的电平优选地设置成基本等于提供给电极3034的电压的电平。备选地,信号可输入到布线3033。这样,施加到液晶元件3022的电压受到控制,使得能够降低视频信号的幅度,并且能够执行倒相驱动。备选地,信号输入到电极3034,使得能够执行帧倒相驱动。

[0636] 晶体管3021具有控制使布线3031和液晶元件3022的一个电极开始传导的定时的功能。备选地,晶体管3021具有控制将视频信号写到像素的定时的功能。这样,晶体管3021用作开关。

[0637] 电容器3023具有保持液晶元件3022的该一个电极的电位与布线3033的电位之间的差的功能。备选地,电容器3023具有保持施加到液晶元件3022的电压以使得电压的电平是恒定的功能。这样,电容器3023用作存储电容器。

[0638] <移位寄存器的结构>

[0639] 接下来,描述显示装置中包含的栅极驱动电路的结构。具体来说,参照图47和图48来描述栅极驱动电路中包含的移位寄存器的结构。图47和图48是移位寄存器的电路图的示例。

[0640] 在图47,移位寄存器1100A包括多个触发器电路1101A_1至1101A_N(N为自然数)。注意,图16A所示半导体器件中包含的电路200A能够用于图47所示触发器电路1101A_1至1101A_N的每个。

[0641] 另外,移位寄存器1100B包括多个触发器电路1101B_1至1101B_N(N为自然数)。注意,图16A所示半导体器件中包含的电路200B能够用于图47所示触发器电路1101B_1至1101B_N的每个。

[0642] 移位寄存器1100A连接到布线1111_1至1111_N、布线1112A、布线1113A、布线1114A、布线1115A、布线1116A和布线1119A。在触发器1101A_i(i是1至N中的任一个)中,布线111、布线112A、布线113A、布线114A、布线115A和布线116A分别连接到布线1111_i、布线1112A、布线1113A、布线1111_i-1、布线1115A和布线1111_i+1。

[0643] 注意,在布线112A连接到布线1112A和布线1119A其中之一的情况下,与布线112A连接的部分可在奇数级的触发器电路与偶数级的触发器电路之间改变。

[0644] 另外,移位寄存器1100B连接到布线1111_1至1111_N、布线1112B、布线1113B、布线1114B、布线1115B、布线1116B和布线1119B。在触发器1101B_i(i是1至N中的任一个)中,布

线111、布线112B、布线113B、布线114B、布线115B和布线116B分别连接到布线1111_i、布线1112B、布线1113B、布线1111_i-1、布线1115B和布线1111_i+1。

[0645] 注意,在布线112B连接到布线1112B和布线1119B其中之一的情況下,与布线112B连接的部分可在奇数级的触发器电路与偶数级的触发器电路之间改变。

[0646] 移位寄存器1100A向布线1111_1至1111_N输出信号GOUTA_1至GOUTA_N。信号GOUTA_1至GOUTA_N是分别从触发器1101A_1至1101A_N所输出的信号,并且对应于信号OUTA。移位寄存器1100B向布线1111_1至1111_N输出信号GOUTB_1至GOUTB_N。信号GOUTB_1至GOUTB_N是分别从触发器1101B_1至1101B_N所输出的信号,并且对应于信号OUTB。因此,布线1111_1至1111_N具有与布线111的功能相似的功能。

[0647] 信号GCK1输入到布线1112A和布线1112B,而信号GCK2输入到布线1119A和布线1119B。信号GCK1和信号GCK2分别对应于时钟信号CK1和时钟信号CK2。因此,布线1112A和布线1119A具有与布线112A的功能相似的功能,而布线1112B和布线1119B具有与布线112B的功能相似的功能。

[0648] 将电压V1提供给布线1113A和布线1113B。因此,布线1113A具有与布线113A的功能相似的功能,而布线1113B具有与布线113B的功能相似的功能。

[0649] 信号GSP输入到布线1114A和布线1114B。信号GSP对应于开始信号SP。因此,布线1114A具有与布线114A的功能相似的功能,而布线1114B具有与布线114B的功能相似的功能。

[0650] 信号SELA输入到布线1115A,而信号SELB输入到布线1115B。因此,布线1115A具有与布线115A的功能相似的功能,而布线1115B具有与布线115B的功能相似的功能。

[0651] 信号GRE输入到布线1116A和布线1116B。信号GRE对应于重置信号RE。因此,布线1116A具有与布线116A的功能相似的功能,而布线1116B具有与布线116B的功能相似的功能。

[0652] 注意,在相同信号或相同电压输入到布线1112A和布线1112B的情况下,布线1112A和布线1112B可相互连接。在那种情况下,如图48所示,一个布线(一个布线1112)可用作布线1112A和布线1112B。备选地,不同信号或不同电压可输入到布线1112A和布线1112B。

[0653] 在相同信号或相同电压输入到布线1113A和布线1113B的情况下,布线1113A和布线1113B可相互连接。在那种情况下,如图48所示,一个布线(一个布线1113)可用作布线1113A和布线1113B。备选地,不同信号或不同电压可输入到布线1113A和布线1113B。

[0654] 在相同信号或相同电压输入到布线1114A和布线1114B的情况下,布线1114A和布线1114B可相互连接。在那种情况下,如图48所示,一个布线(一个布线1114)可用作布线1114A和布线1114B。备选地,不同信号或不同电压可输入到布线1114A和布线1114B。

[0655] 在相同信号或相同电压输入到布线1116A和布线1116B的情况下,布线1116A和布线1116B可相互连接。在那种情况下,如图48所示,一个布线(一个布线1116)可用作布线1116A和布线1116B。备选地,不同信号或不同电压可输入到布线1116A和布线1116B。

[0656] 在相同信号或相同电压输入到布线1119A和布线1119B的情况下,布线1119A和布线1119B可相互连接。在那种情况下,如图48所示,一个布线(一个布线1119)可用作布线1119A和布线1119B。备选地,不同信号或不同电压可输入到布线1119A和布线1119B。

[0657] <移位寄存器的操作>

[0658] 参照图49来描述移位寄存器的操作示例。图49是示出移位寄存器的操作示例的时序图。图49示出信号GCK1、信号GCK2、信号GSP、信号GRE、信号SELA、信号SELB、信号GOUTA_1至GOUTA_N以及信号GOUTB_1至GOUTB_N。

[0659] 首先描述触发器1101A_i在第k(k为自然数)帧中的操作以及触发器1101B_i在第(k-1)帧中的操作。

[0660] 首先,信号GOUTA_i-1和信号GOUTB_i设置在H电平。然后,触发器1101A_i和触发器1101B_i开始实施例4所述的在期间a1中的操作。因此,触发器1101A_i向布线1111_i输出L信号,并且触发器1101B_i向布线1111_i输出L信号。

[0661] 然后,在对信号GCK1和信号GCK2倒相时,触发器1101A_i和触发器1101B_i开始实施例4所述的在期间b1中的操作。因此,触发器1101A_i向布线1111_i输出H信号,并且触发器1101B_i向布线1111_i输出H信号。

[0662] 然后,当信号GCK1和信号GCK2再次倒相时,信号GOUTA_i+1和信号GOUTB_i+1设置在H电平。此后,触发器1101A_i和触发器1101B_i开始实施例4所述的在期间c1中的操作。因此,触发器1101A_i向布线1111_i输出L信号,而触发器1101B_i没有向布线1111_i输出信号。

[0663] 然后,在信号GOUTA_i-1和信号GOUTB_i再次设置在H电平之前,触发器1101A_i和触发器1101B_i执行实施例4所述的在期间d1中的操作。因此,触发器1101A_i向布线1111_i输出L信号,而触发器1101B_i没有向布线1111_i输出信号。

[0664] 首先描述触发器1101A_i在第(k+1)帧中的操作以及触发器1101B_i在第k帧中的操作。

[0665] 首先,信号GOUTA_i-1和信号GOUTB_i设置在H电平。然后,触发器1101A_i和触发器1101B_i开始实施例4所述的在期间a2中的操作。因此,触发器1101A_i向布线1111_i输出L信号,并且触发器1101B_i向布线1111_i输出L信号。

[0666] 然后,在对信号GCK1和信号GCK2倒相时,触发器1101A_i和触发器1101B_i开始实施例4所述的在期间b2中的操作。因此,触发器1101A_i向布线1111_i输出H信号,并且触发器1101B_i向布线1111_i输出H信号。

[0667] 然后,当信号GCK1和信号GCK2再次倒相时,信号GOUTA_i+1和信号GOUTB_i+1设置在H电平。此后,触发器1101A_i和触发器1101B_i开始实施例4所述的在期间c2中的操作。因此,触发器1101A_i没有向布线1111_i输出信号,而触发器1101B_i向布线1111_i输出L信号。

[0668] 然后,在信号GOUTA_i-1和信号GOUTB_i再次设置在H电平之前,触发器1101A_i和触发器1101B_i执行实施例4所述的在期间d2中的操作。因此,触发器1101A_i没有向布线1111_i输出信号,而触发器1101B_i向布线1111_i输出L信号。

[0669] (实施例7)

[0670] 在这个实施例中,参照图50A至图50D来描述源极驱动电路(又称作源极驱动)。

[0671] 图50A示出源极驱动电路的结构示例。源极驱动电路包括电路2001和电路2002。电路2002包括多个电路2002_1至2002_N(N为自然数)。电路2002_1至2002_N包括多个晶体管2003_1至2003_k(k为自然数)。晶体管2003_1至2003_k能够是n沟道晶体管或p沟道晶体管。备选地,晶体管2003_1至2003_k能够用作CMOS开关。

[0672] 以电路2002_1为例来描述源极驱动电路中包含的电路2002_1至2002_N的连接关系。电路2002_1中包含的晶体管2003_1至2003_k的第一端子分别连接到布线2004_1至2004_k。晶体管2003_1至2003_k的第二端子分别连接到源极线2008_1至2008_k(图50B中由S1、S2和Sk表示)。晶体管2003_1至2003_k的栅极连接到布线2005_1。

[0673] 电路2001具有控制向布线2005_1以及布线2005_2至2005_N依次输出H信号的定时的功能或者依次选择电路2002_1至2002_N的功能。这样,电路2001用作移位寄存器。

[0674] 电路2001能够按照不同顺序向布线2005_1至2005_N输出H信号。备选地,电路2001能够按照不同顺序来选择2002_1至2002_N。这样,电路2001用作解码器。

[0675] 电路2002_1具有控制使布线2004_1至2004_k和源极线2008_1至2008_k开始传导的定时的功能。备选地,电路2001_1具有控制将布线2004_1至2004_k的电位提供给源极线2008_1至2008_k的定时的功能。这样,电路2002_1用作选择器。注意,电路2002_2至2002_N具有与电路2002_1的功能相似的功能。

[0676] 晶体管2003_1至2003_N各具有控制使布线2004_1至2004_k和源极线2008_1至2008_k开始传导的定时的功能。例如,晶体管2003_1具有控制使布线2004_1和源极线2008_1开始传导的定时的功能。备选地,晶体管2003_1至2003_N各具有控制将布线2004_1至2004_k的电位提供给源极线2008_1至2008_k的定时的功能。例如,晶体管2003_1具有控制使布线2004_1的电位提供给源极线2008_1的定时的功能。这样,晶体管2003_1至2003_N各用作开关。

[0677] 注意,在与视频信号对应的信号、例如与视频信号对应的模拟信号输入到布线2004_1至2004_k的情况下,布线2004_1至2004_k用作信号线。备选地,数字信号、模拟电压或者模拟电流可输入到布线2004_1至2004_k。

[0678] 接下来参照图50B的时序图来描述图50A所示的源极驱动电路的操作示例。

[0679] 图50B示出信号2015_1至2015_N以及信号2014_1至2014_k。信号2015_1至2015_N是电路2001的输出信号。信号2014_1至2014_k分别输入到布线2004_1至2004_k。

[0680] 注意,源极驱动电路的一个操作期间对应于显示装置中的一个栅极选择期间。一个栅极选择期间例如分为期间T0至TN。期间T0是预充电电压同时施加到所选行的像素的期间,并且又称作预充电期间。期间T1至TN的每个是将视频信号写到所选行的像素的期间,并且又称作写入期间。

[0681] 首先,在期间T0,电路2001向布线2005_1至2005_N输出H信号。然后,晶体管2003_1至2003_k在电路2002_1中导通,使得布线2004_1至2004_k和源极线2008_1至2008_k开始传导。这时,预充电电压 V_p 施加到布线2004_1至2004_k。因此,预充电电压 V_p 通过晶体管2003_1至2003_k输出到源极线2008_1至2008_k。将预充电电压 V_p 写到所选行的像素,使得对所选行的像素预充电。

[0682] 在期间T1至TN,电路2001依次向布线2005_1至2005_N输出H信号。例如,在期间T1,电路2001向布线2005_1输出H信号。然后,晶体管2003_1至2003_k导通,使得布线2004_1至2004_k和源极线2008_1至2008_k开始传导。这时,数据(S1)至数据(Sk)分别输入到布线2004_1至2004_k。数据(S1)至数据(Sk)分别通过晶体管2003_1至2003_k输入到所选行中第一至第k列的像素。这样,在期间T1至TN,视频信号逐列依次写到所选行中的k列的像素。

[0683] 当视频信号如上所述逐列写到多列的像素时,能够减少将视频信号写到像素所需

的视频信号的数量或者布线的数量。因此,在其上形成像素部分的衬底与外部电路之间的连接的数量能够减少,使得能够实现产量的提高、可靠性的提高、组件数量的减少或者成本的降低。

[0684] 备选地,在将视频信号逐列写到多列的像素时,写入时间能够延长。因此,能够防止视频信号的写入的不足,使得显示质量能够得到提高。

[0685] 注意,当使 k 变大时,到外部电路的连接的数量能够减少。但是,如果 k 过大,则将信号写到像素的时间会缩短。因此, k 优选地为6或以上,更优选地为3或以上,进一步优选地为2。

[0686] 具体来说,在像素的颜色要素的数量为 n (n 为自然数)时, $k=n$ 或 $k=n \times d$ (d 为自然数)是优选的。例如,在像素分为红色(R)、绿色(G)和蓝色(B)三种颜色要素的情况下, $k=3$ 或 $k=3 \times d$ 是优选的。

[0687] 例如,在像素分为 m 个 (m 为自然数)子像素的情况下, $k=m$ 或 $k=m \times d$ 是优选的。例如,在像素分为两个子像素的情况下, $k=2$ 是优选的。备选地,在像素的颜色要素的数量为 n 的情况下, $k=m \times n$ 或 $k=m \times n \times d$ 是优选的。

[0688] 参照图50C来描述源极驱动电路的不同结构示例。注意,在电路2001和电路2002的驱动频率低的情况下,电路2001和电路2002可使用单晶半导体来形成。因此,电路2001和电路2002能够使用与像素部分2007相同的衬底来形成,如图50C所示。通过这种结构,在其上形成像素部分的衬底与外部电路之间的连接的数量能够减少,使得能够实现产量的提高、可靠性的提高、组件数量的减少或者成本的降低。

[0689] 当栅极驱动电路2006A和栅极驱动电路2006B也使用与像素部分2007相同的衬底来形成时,到外部电路的连接的数量能够进一步减少。注意,栅极驱动电路2006A对应于以上实施例中所述的电路10A、电路100A或电路200A,而栅极驱动电路2006B对应于以上实施例中所述的电路10B、电路100B或电路200B。

[0690] 参照图50D来描述源极驱动电路的不同结构示例。如图50D所示,电路2001可使用与其上形成像素部分2007的衬底不同的衬底来形成,而电路2002可使用与像素部分2007相同的衬底来形成。通过这种结构,在其上形成像素部分的衬底与外部电路之间的连接的数量能够减少,使得能够实现产量的提高、可靠性的提高、组件数量的减少或者成本的降低。此外,由于使用与像素部分2007相同的衬底来形成的电路的数量减少,所以帧能够减小。

[0691] (实施例8)

[0692] 在显示装置中,保护电路在一些情况下设置用于栅极线或源极线,以便防止设置在像素中的元件(例如晶体管、显示元件或电容器)被静电放电(ESD)、噪声等损坏。

[0693] 在这个实施例中,描述保护电路的结构以及包括保护电路的半导体器件的结构。

[0694] 参照图51A至图51G来描述保护电路的电路图的示例。

[0695] 图51A所示的保护电路3000可用作保护电路。提供图51A所示的保护电路3000,以便防止设置在与布线3011连接的像素中的元件被静电放电、噪声等损坏。保护电路3000包括晶体管3001和晶体管3002。晶体管3001和3002能够是 n 沟道晶体管或 p 沟道晶体管。

[0696] 晶体管3001的第一端子连接到布线3012。晶体管3001的第二端子连接到布线3011。晶体管3001的栅极连接到布线3011。晶体管3002的第一端子连接到布线3013。晶体管3002的第二端子连接到布线3011。晶体管3002的栅极连接到布线3013。

[0697] 将信号(例如扫描信号、视频信号、时钟信号、开始信号、重置信号或选择信号)和电压(例如负电源电位、地电压或正电源电位)提供给布线3011。将高电源电位VDD提供给布线3012。将低高电源电位VSS(或地电压)提供给布线3013。

[0698] 当布线3011的电位处于低电源电位VSS与高电源电位VDD之间时,晶体管3011和晶体管3002关断。因此,将提供给布线3011的信号或电压提供给连接到布线3011的像素。

[0699] 由于静电等的不利影响,高于高电源电位VDD的电位或者低于低电源电位VSS的电位在一些情况下提供给布线3011。在那种情况下,设置在与布线3011连接的像素中的元件可能被高于高电源电位VDD的电位或者低于低电源电位VSS的电位损坏。

[0700] 为了防止这种静电放电,在高于高电源电位VDD的电位因静电等的不利影响而提供给布线3011的情况下,晶体管3001导通。然后,由于布线3011中的电荷通过晶体管3001传递到布线3012,所以布线3011的电位降低。

[0701] 在高于低电源电位VSS的电位因静电等的不利影响而提供给布线3011的情况下,晶体管3002导通。然后,由于布线3011中的电荷通过晶体管3002传递到布线3013,所以布线3011的电位升高。

[0702] 当保护电路3000如上所述设置时,能够防止与布线3011连接的像素中设置的元件被静电等损坏。

[0703] 注意,图51B或图51C所示的保护电路3000可用作保护电路。图51B所示的结构对应于一种结构,其中从图51A所示的结构消除晶体管3002和布线3013。图51C所示的结构对应于一种结构,其中从图51A 的结构消除晶体管3001和布线3012。

[0704] 图51D所示的保护电路3000可用作保护电路。图51D所示的结构对应于一种结构,其中晶体管3003串联连接在图51A所示结构中的布线3011与布线3012之间,并且晶体管3004串联连接在布线3011与布线3013之间。

[0705] 在图51D,晶体管3003的第一端子连接到布线3012;晶体管3003的第二端子连接到晶体管3001的第一端子;并且晶体管3003的栅极连接到晶体管3001的第一端子。晶体管3004的第一端子连接到布线3013;晶体管3004的第二端子连接到晶体管3002的第一端子;晶体管3004的栅极连接到布线3013。

[0706] 图51E所示的保护电路3000可用作保护电路。图51E所示的结构对应于一种结构,其中晶体管3001的栅极连接到图51D所示结构中的晶体管3003的栅极,并且晶体管3002的栅极连接到晶体管3004的栅极。

[0707] 图51F所示的保护电路3000可用作保护电路。图51F所示的结构对应于一种结构,其中晶体管3001和晶体管3003并联连接在图51A所示结构中的布线3011与布线3012之间,并且晶体管3002和晶体管3004并联连接在布线3011与布线3013之间。

[0708] 在图51F,晶体管3003的第一端子连接到布线3012;晶体管3003的第二端子连接到布线3011;晶体管3003的栅极连接到布线3011。晶体管3004的第一端子连接到布线3013;晶体管3004的第二端子连接到布线3011;晶体管3004的栅极连接到布线3013。

[0709] 图51G所示的保护电路3000可用作保护电路。图51G所示的结构对应于一种结构,其中电容器3005和电阻器3006并联连接在图51A所示结构中的晶体管3001的栅极与晶体管3001的第一端子之间,并且电容器3007和电阻器3008并联连接在晶体管3002的栅极与晶体管3002的第一端子之间。

[0710] 通过图51G 所示的结构,能够防止保护电路30000本身的损坏或退化。

[0711] 例如,在将高于电源电位的电压提供给布线3011的情况下,晶体管3001的栅极与晶体管3001的源极之间的电位差 V_{gs} 升高。因此,晶体管3001导通,使得布线3011的电位降低。但是,由于高电压施加在晶体管3001的栅极与晶体管3001的第二端子之间,所以晶体管3001可能被损坏或者退化。为了防止晶体管3001的损坏或退化,晶体管的栅极电压使用电容器3005来升高,并且晶体管3001的栅极与晶体管3001的源极之间的电位差 V_{gs} 降低。

[0712] 具体来说,当晶体管3001导通时,晶体管3001的第一端子的电压瞬时升高。然后,通过电容器3005的电容耦合,晶体管3001的栅极电压升高。这样,晶体管3001的栅极与晶体管3001的源极之间的电位差 V_{gs} 能够降低,使得能够抑制晶体管3001的损坏或退化。

[0713] 类似地,在将低于电源电位的电压提供给布线3011的情况下,晶体管的第一端子的电压瞬时降低。然后,通过电容器3007的电容耦合,晶体管3002的栅极电压降低。这样,晶体管3002的栅极与晶体管3002的源极之间的电位差 V_{gs} 能够降低,使得能够抑制晶体管3002的损坏或退化。

[0714] 接下来参照图52A和图52B来描述提供有保护电路的半导体器件的结构。

[0715] 图52A示出其中保护电路设置在栅极线中的半导体器件的结构示例。在图52A,栅极线3102_1和栅极线3102_2每个对应于图51A至图51G的布线3011。

[0716] 布线3012和布线3013连接到与栅极驱动电路3100连接的布线的任一个。通过这种结构,栅极驱动电路的电源电压能够用作用于操作保护电路300的电源电压,使得电源电压的种类以及用于向保护电路3000提供电源电压的布线的数量能够减少。

[0717] 图52B示出一种半导体器件的结构示例,其中保护电路设置在从外部、如FPC向其提供信号或电压的端子中。在图52B,布线3012和布线3013能够连接到外部端子的任一个。例如,在布线3012连接到端子3101a的情况下,在设置于端子3101a的保护电路中,能够消除晶体管3001。类似地,在布线3013连接到端子3101b的情况下,在设置于端子3101b的保护电路中,能够消除晶体管3002。对于设置在端子3101c和端子3101d中的保护电路,情况也会是这样。

[0718] 通过这种结构,晶体管的数量能够减少,使得布局面积能够减小。

[0719] (实施例9)

[0720] 在这个实施例中,参照图53A至图53C来描述包括晶体管和显示元件的显示装置的结构以及晶体管的结构。

[0721] 例如,场效应晶体管或双极晶体管能够用作晶体管。薄膜晶体管(又称作TFT)能够用作场效应晶体管。另外,场效应晶体管可以是顶栅晶体管或底栅晶体管。沟道蚀刻晶体管或底接触晶体管(又称作倒置共面晶体管)能够用作底栅晶体管。此外,场效应晶体管可具有n型或p型导电。

[0722] 注意,场效应晶体管例如包括:栅电极;半导体层,其中包括源区、沟道区和漏区;以及栅绝缘层,在截面图中设置在栅电极与半导体层之间。半导体层使用半导体膜或半导体衬底来形成。

[0723] 用于半导体膜或半导体衬底的半导体材料的示例包括非晶半导体、微晶半导体、单晶半导体和多晶半导体。另外,氧化物半导体可用作半导体材料。

[0724] 作为氧化物半导体,能够使用四成分金属氧化物(例如In-Sn-Ga-Zn-O基金属氧化

物)、三成分金属氧化物(例如In-Ga-Zn-O基金属氧化物、In-Sn-Zn-O基金属氧化物、In-Al-Zn-O基金属氧化物、Sn-Ga-Zn-O基金属氧化物、Al-Ga-Zn-O基金属氧化物或者Sn-Al-Zn-O基金属氧化物)或者二成分金属氧化物(例如In-Zn-O基金属氧化物、Sn-Zn-O基金属氧化物、Al-Zn-O基金属氧化物、Zn-Mg-O基金属氧化物、Sn-Mg-O基金属氧化物、In-Mg-O基金属氧化物、In-Ga-O基金属氧化物或者In-Sn-O基金属氧化物)。In-O基金属氧化物、Sn-O基金属氧化物、Zn-O基金属氧化物等等能够用作氧化物半导体。此外,作为氧化物半导体,能够使用在能够用作该氧化物半导体的金属氧化物中包含SiO₂的氧化物半导体。

[0725] 作为氧化物半导体,能够使用由InM₂O₃(ZnO)_m(m>0)所表示的材料。在这里,M表示从Ga、Al、Mn或Co中选取的一种或多种金属元素。例如,M能够是Ga、Ga和Al、Ga和Mn、Ga和Co等等。

[0726] 图53A和图53B示出包括晶体管和显示元件的结构示例。顶栅晶体管用作图53A的晶体管,而底栅晶体管用作图53B的晶体管。

[0727] 图53A示出衬底5260、设置在衬底5260之上的绝缘层5261、设置在绝缘层5261之上并且提供有区域5262a至5262e的半导体层5262、设置成覆盖半导体层5262的绝缘层5263、设置在半导体层5262和绝缘层5263之上的导电层5264、设置在绝缘层5263和导电层5264之上并且提供有开口的绝缘层5265以及设置在绝缘层5265之上以及在设置于绝缘层5265的开口中的导电层5266。

[0728] 图53B示出衬底5300、设置在衬底5300之上的导电层5301、设置成覆盖导电层5301的绝缘层5302、设置在导电层5301和绝缘层5302之上的半导体层5303a、设置在半导体层5303a之上的半导体层5303b、设置在半导体层5303b和绝缘层5302之上的导电层5304、设置在绝缘层5302和导电层5304之上并且提供有开口的绝缘层5305以及设置在绝缘层5305之上以及在设置于绝缘层5305的开口中的导电层5306。

[0729] 图53C示出晶体管的不同结构示例。图53C示出包括区域5353和区域5355的半导体衬底5352、设置在半导体衬底5352之上的绝缘层5356、设置在半导体衬底5352之上的绝缘层5354、设置在绝缘层5356之上的导电层5357、设置在绝缘层5354、绝缘层5356和导电层5357之上并且提供有开口的绝缘层5358以及设置在绝缘层5358之上以及在设置于绝缘层5358的开口中的导电层5359。在图53C,晶体管在区域5350和区域5351的每个中形成。图53C所示的晶体管的结构可适用于图53A和图53B所示的晶体管。

[0730] 注意,如图53A所示,显示装置可包括:绝缘层5267,设置在导电层5266和绝缘层5265之上,并且提供有开口;导电层5268,设置在绝缘层5267之上并且在设置于绝缘层5267的开口中;绝缘层5269,设置在绝缘层5267和导电层5268之上,并且提供有开口;EL层5270,设置在绝缘层5269之上并且在设置于绝缘层5269的开口中;以及导电层5271,设置在绝缘层5269和EL层5270之上。对于图53B的显示装置,情况会是这样。

[0731] 注意,如图53B所示,显示装置可包括:液晶层5307,设置在绝缘层5305和导电层5306之上;以及导电层5308,设置在液晶层5307之上。对于图53A的显示装置,情况会是这样。

[0732] 绝缘层5261用作基膜。绝缘层5354用作元件隔离层(例如场氧化膜)。绝缘层5263、绝缘层5302和绝缘层5356的每个用作栅绝缘膜。导电层5264、导电层5301和导电层5357的每个用作栅电极。绝缘层5265、绝缘层5267、绝缘层5305和绝缘层5358的每个用作层间膜或

平坦化膜。导电层5266、导电层5304和导电层5359的每个用作布线、晶体管的电极、电容器的电极等等。导电层5268和导电层5306的每个用作像素电极、反射电极等等。绝缘层5269用作隔墙。导电层5271和导电层5308的每个用作对电极、公共电极等等。

[0733] 作为衬底5260和衬底5300的每个,可使用玻璃衬底、石英衬底、半导体衬底(例如硅衬底或单晶衬底)、SOI衬底、塑料衬底、金属衬底、不锈钢衬底、包括不锈钢箔的衬底、钨衬底、包括钨箔的衬底、柔性衬底等等。

[0734] 作为玻璃衬底,可使用钡硼硅酸盐玻璃衬底、铝硼硅酸盐玻璃衬底等等。对于柔性衬底,可使用诸如由聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)或聚醚砜(PES)或丙烯酸所代表的塑料之类的柔性合成树脂。备选地,可使用贴合膜(使用聚丙烯、聚酯、乙烯基、聚氟乙烯、聚氯乙烯等等形成)、包括纤维材料的纸张、基底材料膜(使用聚酯、聚酰胺、聚酰亚胺、无机汽相沉积膜、纸张等形成)等等。

[0735] 作为半导体衬底5352,可使用具有n型导电的单晶硅衬底。备选地,单晶硅衬底的一部分或整体可用作半导体衬底5352。区域5353是其中将杂质元素添加到半导体衬底5352的区域,并且用作阱。例如,在半导体衬底5352具有p型导电的情况下,区域5353具有n型导电,并且用作n阱。在半导体衬底5352具有n型导电的情况下,区域5353具有p型导电,并且用作p阱。区域5355是其中将杂质元素添加到半导体衬底5352的区域,并且用作源区或漏区。注意,LDD(轻掺杂漏极)区可在半导体衬底5352中形成。

[0736] 对于绝缘层5261,能够使用包含氧或氮的绝缘膜、例如氧化硅膜、氮化硅膜、氧氮化硅(SiO_xN_y) ($x>y>0$)膜或者氧化氮化硅(SiN_xO_y) ($x>y>0$)膜的单层结构、分层结构等。在绝缘层5261具有两层结构的情况下,例如,能够使用其中氮化硅膜形成为第一绝缘层并且氧化硅膜形成为第二绝缘层的绝缘层。在绝缘层5261具有三层结构的情况下,例如,能够使用其中氧化硅膜形成为第一绝缘层、氮化硅膜形成为第二绝缘层以及氧化硅膜形成为第三绝缘层的绝缘层。

[0737] 对于半导体层5262、半导体层5303a和半导体层5303b的每个,能够使用非单晶半导体(例如非晶硅、多晶硅或微晶硅)、单晶半导体、化合物半导体或氧化物半导体(例如 ZnO 、 InGaZnO 、 SiGe 、 GaAs 、 IZO (氧化铟锌)、 ITO (氧化铟锡)、 SnO 、 TiO 或 AlZnSnO (AZTO))、有机半导体、碳纳米管等等。

[0738] 区域5262a是没有将杂质元素添加到半导体层5262的本征区,并且用作沟道区。注意,可将杂质元素添加到区域5262a。添加到区域5262a的杂质元素的浓度优选地低于添加到区域5262b、区域5262c、区域5262d或区域5262e的杂质元素的浓度。区域5262b和区域5262d的每个是以比区域5262c和区域5262e更低的浓度将杂质元素添加到半导体层5262的区域,并且用作LDD(轻掺杂漏极)区。注意,可消除区域5262b和区域5262d。区域5262c和区域5262e的每个是以高浓度将杂质元素添加到半导体层5262的区域,并且用作源区或漏区。

[0739] 半导体层5303b是对其添加作为杂质元素的磷等的半导体层,并且具有n型导电。注意,在氧化物半导体或化合物半导体用于半导体层5303a的情况下,可消除半导体层5303b。

[0740] 对于绝缘层5263和绝缘层5356的每个,优选地使用包含氧或氮的绝缘膜、例如氧化硅膜、氮化硅膜、氧氮化硅(SiO_xN_y) ($x>y>0$)膜或者氧化氮化硅(SiN_xO_y) ($x>y>0$)膜的单层结构或分层结构。

[0741] 作为导电层5264、导电层5266、导电层5268、导电层5271、导电层5301、导电层5304、导电层5306、导电层5308、导电层5357和导电层5359的每个,优选地使用具有单层结构或分层结构的导电膜等等。对于导电膜,优选地使用由下列元素所组成的组、包含从该组所选的一种元素的单层膜、使用包含从该组所选的一种或多种元素的化合物所形成的膜等,下列元素如:铝(Al)、钽(Ta)、钛(Ti)、钼(Mo)、钨(W)、钕(Nd)、铬(Cr)、镍(Ni)、铂(Pt)、金(Au)、银(Ag)、铜(Cu)、锰(Mn)、钴(Co)、铌(Nb)、硅(Si)、铁(Fe)、钯(Pd)、碳(C)、钪(Sc)、锌(Zn)、镓(Ga)、铟(In)、锡(Sn)、锆(Zr)和铈(Ce)。注意,单层膜或化合物可包含磷(P)、硼(B)、砷(As)、氧(O)等等。

[0742] 包含从该多种元素中选取的一种或多种元素的化合物(例如合金)、包含氮以及从该多种元素中选取的一种或多种元素的化合物(例如氮化物膜)、包含硅以及从该多种元素中选取的一种或多种元素的化合物(例如硅化物膜)、纳米管材料等等能够用作该化合物。氧化铟锡(ITO)、氧化铟锌(IZO)、包含氧化硅的氧化铟锡(ITSO)、氧化锌(ZnO)、氧化锡(SnO)、氧化镉锡(CTO)、铝钕(Al-Nd)、铝钨(Al-W)、铝锆(Al-Zr)、铝钛(Al-Ti)、铝铈(Al-Ce)、镁银(Mg-Ag)、钼铌(Mo-Nb)、钼钨(Mo-W)、钼钽(Mo-Ta)等等能够用作合金。氮化钛、氮化钽、氮化钼等等能够用于氮化膜。硅化钨、硅化钛、硅化镍、铝硅、钼硅等等能够用于硅化物膜。碳纳米管、有机纳米管、无机纳米管或金属纳米管等等能够用作纳米管材料。

[0743] 对于绝缘层5265、绝缘层5267、绝缘层5269、绝缘层5305和绝缘层5358的每个,优选地使用具有单层结构或分层结构等等的绝缘层。作为绝缘层,能够使用:包含氧或氮的膜,例如氧化硅膜、氮化硅膜、氧氮化硅(SiO_xN_y) ($x>y>0$)膜或氧化氮化硅(SiN_xO_y) ($x>y>0$)膜;包含诸如菱形碳(DLC)之类的碳的膜;使用包含诸如硅氧烷树酯、环氧树脂、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯或丙烯酸之类的有机材料所形成的膜;等等。

[0744] EL层5270包括使用发光材料所形成的发光层。除了发光层之外,EL层5270还可包括使用空穴注入材料所形成的空穴注入层、使用空穴传输材料所形成的空穴传输层、使用电子传输材料所形成的电子传输层、使用电子注入材料所形成的电子注入层、其中混合多个这些材料的层等等。导电层5268、EL层5270和导电层5271形成有机EL元件。

[0745] 液晶层5307包括液晶,其中包含多个液晶分子。液晶分子的状态主要由施加到像素电极与对电极之间的电压来确定,并且液晶的透射率发生改变。例如,电控双折射液晶(又称作ECB液晶)、对其添加二色性色素的液晶(又称作GH液晶)、聚合物分散液晶、盘状液晶等等能够用作该液晶。呈现蓝相的液晶材料可用作该液晶。呈现蓝相的液晶包含例如其中包括呈现蓝相的液晶和手性试剂的液晶成分。呈现蓝相的液晶具有1 ms或以下的短响应时间,并且是光学各向同性的;因此,不需要定向处理(alignment treatment),并且视角依赖性小。因此,通过呈现蓝相的液晶,操作速度能够得到提高。

[0746] 注意,用作定向膜的绝缘层、用作突出部分的绝缘层等等可设置在绝缘层5305和导电层5306之上。

[0747] 注意,用作滤色器、黑矩阵或突出部分的绝缘层等可在导电层5308之上形成。用作定向膜的绝缘层可在导电层5308之下形成。

[0748] 以上实施例的任一个中所述的栅极驱动电路和半导体器件能够适用于这个实施例的显示装置。另外,这个实施例中所述的晶体管能够在以上实施例的任一个所述的栅极驱动电路和半导体器件中使用。具体来说,甚至在非单晶半导体、如非晶半导体或微晶半导

体、有机半导体、氧化物半导体等等用于晶体管的半导体层的情况下,通过以上实施例的任何一个中所述的栅极驱动电路和半导体器件的结构也能够得到抑制晶体管的退化的优点。

[0749] (实施例10)

[0750] 在这个实施例中,参照图54A至图54C来描述显示装置的结构。作为显示装置的结构示例,图54A示出显示装置的顶视图,而图54B和图54C示出沿图54A的截线A-B所截取的截面图。

[0751] 在图54A,驱动电路5392和像素部分5393在衬底5400之上形成。驱动电路5392包括栅极驱动电路、源极驱动电路等等。

[0752] 图54B示出衬底5400、设置在衬底5400之上的导电层5401、设置成覆盖导电层5401的绝缘层5402、设置在导电层5401和绝缘层5402之上的半导体层5403a、设置在半导体层5403a之上的半导体层5403b、设置在半导体层5403b和绝缘层5402之上的导电层5404、设置在绝缘层5402和导电层5404之上并且提供有开口的绝缘层5405、设置在绝缘层5405之上并且在绝缘层5405的开口中的导电层5406、设置在绝缘层5405和导电层5406之上的绝缘层5408、设置在绝缘层5405之上的液晶层5407、设置在液晶层5407和绝缘层5408之上的导电层5409以及设置在导电层5409之上的衬底5410。

[0753] 导电层5401用作栅电极。绝缘层5402用作栅绝缘膜。导电层5404用作布线、晶体管的电极、或者电容器的电极。绝缘层5405用作层间膜或平坦化膜。导电层5406用作布线、像素电极或反射电极。绝缘层5408用作密封层。导电层5409用作对电极或公共电极。

[0754] 在这里,在一些情况下,寄生电容在驱动电路5392与导电层5409之间生成。相应地,从驱动电路5392所输出的信号或者各结点的电位发生失真或延迟,并且增加驱动电路5392的功率消耗。

[0755] 相比之下,当如图54B所示的用作密封层并且具有比液晶层更低的介电常数的绝缘层5408在驱动电路5392之上形成时,能够减小在驱动电路5392与导电层5409之间所生成的寄生电容。因此,能够降低从驱动电路5392所输出的信号或者各结点的电位的失真、延迟等等。备选地,驱动电路5392的功率消耗能够降低。

[0756] 如图54C所示,当用作密封层的绝缘层5408在驱动电路5392的一部分之上形成时,能够得到类似效果。注意,在寄生电容的不利影响不成问题的情况下,没有必要提供绝缘层5408。

[0757] 注意,虽然在这个实施例中描述了提供有包括液晶层的液晶元件的显示装置,但是除了液晶元件之外,EL元件、电泳元件等等也能够用作显示装置中的显示元件。

[0758] 由于在这个实施例的显示装置中能够减小驱动电路的寄生电容,所以能够降低各结点的电位或输出信号的失真或延迟。因此,没有必要提高晶体管的电流提供能力,使得晶体管的沟道宽度能够减小。因此,驱动电路的布局面积能够减小,使得显示装置的框架能够减小,或者显示装置能够具有更高清晰度。

[0759] (实施例11)

[0760] 在这个实施例中,描述半导体器件的布局图(又称作顶视图)。例如,图55是图31B所示半导体器件的布局图。

[0761] 图55所示的半导体器件包括导电层901、半导体层902、导电层903、导电层904和接触孔905。注意,可形成不同导电层、不同接触孔、绝缘膜等等。例如,可形成用于将导电层

901和导电层903相互连接的接触孔。

[0762] 导电层901包括用作栅电极或布线的部分。半导体层902包括用作晶体管的半导体层的部分。导电层903包括用作布线、源极或漏极的部分。导电层904包括用作透明电极、像素电极或布线的部分。导电层901和导电层904能够通过接触孔905相互连接,或者导电层903和导电层904能够通过接触孔905相互连接。

[0763] 注意,当半导体层902设置在导电层901和导电层903相互重叠的部分时,导电层901与导电层903之间的寄生电容能够减小,使得噪声能够降低。由于类似原因,半导体层902可设置在导电层901和导电层904相互重叠的部分或者在导电层903与导电层904相互重叠的部分。

[0764] 注意,当导电层904在导电层901的一部分之上形成并且通过接触孔905连接到导电层901时,布线电阻能够降低。

[0765] 当导电层903和904在导电层901的一部分之上形成、导电层901通过接触孔905连接到导电层904并且导电层903能够通过不同接触孔905连接到导电层904时,布线电阻能够进一步降低。

[0766] 当导电层904在导电层903的一部分之上形成并且导电层903通过接触孔905连接到导电层904时,布线电阻能够降低。

[0767] 当导电层901或导电层903在导电层904的一部分之下形成并且导电层904通过接触孔905连接到导电层901或导电层903时,布线电阻能够降低。

[0768] (实施例12)

[0769] 在这个实施例中,参照图56A至图56H以及图57A至图57H来描述包括以上实施例的任一个中所述的栅极驱动电路、半导体器件或显示装置的电子装置的示例以及半导体器件的应用。

[0770] 图56A至图56H以及图57A至图57D示出电子装置的示例。这些电子装置包括壳体5000、显示部分5001、喇叭5003、LED灯5004、操作按键5005、连接端子5006、传感器5007、话筒5008和等等。注意,操作按键5005包括电源开关或操作开关。传感器5007具有测量力、位移、位置、速度、加速度、角速度、旋转频率、距离、光、液体、磁性、温度、化学物质、声、时间、硬度、电场、电流、电压、电力、辐射、流率、湿度、梯度、振荡、气味或红外线的功能。

[0771] 图56A示出移动计算机,它除了上述组件之外还包括开关5009、红外端口5010等等。图56B示出提供有存储介质(例如DVD再现装置)的便携图像重建装置,它除了上述组件之外还包括显示部分5002、存储介质读取部分5011等等。图56C示出眼镜式显示器,它除了上述组件之外还包括显示部分5002、支承5012、耳机5013等等。图56D示出便携游戏机,它除了上述组件之外还包括存储介质读取部分5011等等。

[0772] 图56E示出投影仪,它除了上述组件之外还包括光源5033、投影透镜5034等等。图56F示出便携游戏机,它除了上述组件之外还包括显示部分5002、存储介质读取部分5011等等。图56G示出电视接收器,它除了上述组件之外还包括调谐器、图像处理部分等等。图56H示出便携电视接收器,它除了上述组件之外还能够包括能够传送和接收信号的充电器5017等等。

[0773] 图57A示出显示器,它除了上述组件之外还包括支承底座5018等等。图57B示出相机,它除了上述组件之外还包括外部连接端口5019、快门按钮5015、图像接收部分5016等

等。图57C示出计算机,它除了上述组件之外还包括指针装置5020、外部连接端口5019、读取器/写入器5021等等。图57D示出蜂窝电话,它除了上述组件之外还包括天线、蜂窝电话和移动终端的一段(1seg数字电视广播)部分接收服务的调谐器等等。

[0774] 图56A至图56H以及图57A至图57D所示的电子装置除了上述功能之外还能够具有各种功能。

[0775] 图56A至图56H以及图57A至57D所示的电子装置可具有例如:在显示部分显示信息(例如静止图像、运动图像或文本图像)的功能;触摸屏功能;显示日历、日期、时间等的功能;采用软件(例如程序)来控制处理的功能;无线通信功能;采用无线通信功能连接到各种计算机网络的功能;采用无线通信功能来传送和接收数据的功能;读取存储介质中存储的程序或数据并且在显示部分显示程序或数据的功能。

[0776] 此外,包括多个显示部分的电子装置可具有主要在一个显示部分显示图像信息而同时在另一个显示部分显示文本信息的功能、通过在考虑视差的情况下显示图像在多个显示部分来显示三维图像的功能等等。

[0777] 此外,包括图像接收部分的电子装置可具有拍摄静止图像的功能、拍摄运动图像的功能、自动或手动校正拍摄的图像的功能、将拍摄的图像存储在存储介质(外部存储介质或者结合在电子装置中的存储介质)中的功能、在显示部分显示拍摄的图像的功能等等。

[0778] 这个实施例中所所述的电子装置各包括用于显示某种信息的显示部分。通过在这个实施例中的电子装置的显示部分中采用以上实施例中所所述的栅极驱动电路、半导体器件或显示装置,应用这个实施例的电子装置,可以实现可靠性的提高、产量的提高、成本的降低、显示部分尺寸的减小、显示部分的清晰度提高等等。

[0779] 接下来参照图57E至图57H来描述半导体器件的应用。

[0780] 参照图57E和图57F的每个来描述半导体器件结合在建筑物结构中的示例。参照图57G和图57H的每个来描述半导体器件结合在运动车辆中的示例。

[0781] 在图57E,半导体器件结合在作为建筑物结构的墙壁上。在图57E,半导体器件包括壳体5022、显示部分5023、作为操作部分的远程控件5024、喇叭5025等等。半导体器件结合在建筑物结构的墙壁中,并且可在无需较大空间的情况下提供。

[0782] 在图57F,半导体器件结合在作为建构结构的预制浴缸5027中。半导体器件中包含的显示面板5026结合在预制浴缸5027中,使得洗浴者能够观看显示面板5026。

[0783] 注意,虽然图57E和图57F示出墙壁和预制浴缸单元作为建构结构的示例,但是半导体器件能够设置在各种建构结构中。

[0784] 在图57G,半导体器件结合在汽车的车体5029的显示面板5028中,并且能够按需求显示与汽车的运行相关的信息或者从汽车内部或外部输入的信息。注意,半导体器件可具有导航功能。

[0785] 在图57H,半导体器件结合在客机中。图57H示出在为客机座位上方的天花板5030提供显示面板5031时的使用模式。显示面板5031通过铰链5032结合在天花板5030中,并且乘客能够通过拉直铰链5032来观看显示面板5031。显示面板5031具有通过乘客的操作来显示信息的功能。

[0786] 注意,虽然车辆和飞机在图57G和图57H中示为运动车辆,但是半导体器件能够设置用于各种车辆,例如两轮车辆、四轮车辆(包括汽车、公共汽车等)、火车(包括单轨、铁路

等)和船只。

[0787] [示例1]

[0788] 在这个示例中,执行电路模拟,以便检验输出到栅极信号线的信号的延迟或失真在包括两个栅极驱动电路的半导体器件中降低。

[0789] 在电路模拟中,使用实施例5中参照图31B所述的半导体器件。在图31B所示的半导体器件中,布线111对应于栅极信号线,而电路200A和200B对应于栅极驱动电路。

[0790] 另外,图59是用作比较示例的半导体器件的电路图。在图59,电路6200包括晶体管6201、晶体管6202、晶体管6301、晶体管6302、晶体管6401和晶体管6402。

[0791] 晶体管6201的第一端子连接到布线6112。晶体管6201的第二端子连接到布线6111。晶体管6201的栅极连接到结点C1。晶体管6202的第一端子连接到布线6113。晶体管6202的第二端子连接到布线6111。晶体管6202的栅极连接到结点C2。

[0792] 晶体管6301的第一端子连接到布线6114。晶体管6301的第二端子连接到结点C1。晶体管6301的栅极连接到布线6114。晶体管6302的第一端子连接到布线6113。晶体管6302的第二端子连接到结点C1。晶体管6302的栅极连接到布线6116。晶体管6401的第一端子连接到布线6115。晶体管6401的第二端子连接到结点C2。晶体管6401的栅极连接到布线6115。晶体管6402的第一端子连接到布线6113。晶体管6402的第二端子连接到结点C2。晶体管6402的栅极连接到晶体管6201的栅极。

[0793] 图60A、图60B和图61示出电路模拟的结果。注意,PSpice用作计算软件。假定晶体管的阈值电压为5 V,并且晶体管的场效应迁移率为 $1 \text{ cm}^2/\text{Vs}$ 。此外,假定时钟信号CK1的电压幅度为30 V(H电平电位为30 V,而L电平电位为0 V),并且地电压为0 V。

[0794] 在这里,图31B的晶体管201A和晶体管201B以及图59的晶体管6201具有相同特性。类似地,图31B的晶体管202A和晶体管202B以及图59的晶体管6202具有相同特性;图31B的晶体管301A和晶体管301B以及图59的晶体管6301具有相同特性;图31B的晶体管302A和晶体管302B以及图59的晶体管6302具有相同特性;图31B的晶体管401A和晶体管401B以及图59的晶体管6401具有相同特性;图31B的晶体管402A和晶体管402B以及图59的晶体管6402具有相同特性。

[0795] 相同电压输入到图31B的布线113A和布线113B以及图59的布线6113。类似地,相同开始脉冲SP输入到图31B的布线114A和布线114B以及图59的布线6114;相同重置信号RE输入到图31B的布线116A和布线116B以及图59的布线6116。另外,信号SELA输入到布线115A,而信号SELB输入到布线115B。固定电压输入到布线6115。

[0796] 图60A示出使用图31所示的电路图的电路模拟的结果。图60B示出使用图59所示的电路图的电路模拟的结果。图60A示出结点A1的电位 V_{a1} 、结点A2的电位 V_{a2} 、结点B1的电位 V_{b1} 、结点B2的电位 V_{b2} 和布线111的输出信号OUT的电位。另外,图60B示出结点C1的电位 V_{c1} 、结点C2的电位 V_{c2} 和信号线6111的输出信号OUT的电位。

[0797] 通过使用图61,将图60A中的布线111的输出信号OUT的电位与图60B中的信号线6111的输出信号OUT的电位进行比较。

[0798] 如图61所示,得到证实,与输出到图60B的信号线6111的输出信号OUT的延迟相比,输出到图60A的布线111的输出信号OUT的延迟进一步降低。

[0799] 本申请基于2010年9月9日向日本专利局提交的日本专利申请序号2010-201621,

通过引用将其完整内容结合于此。

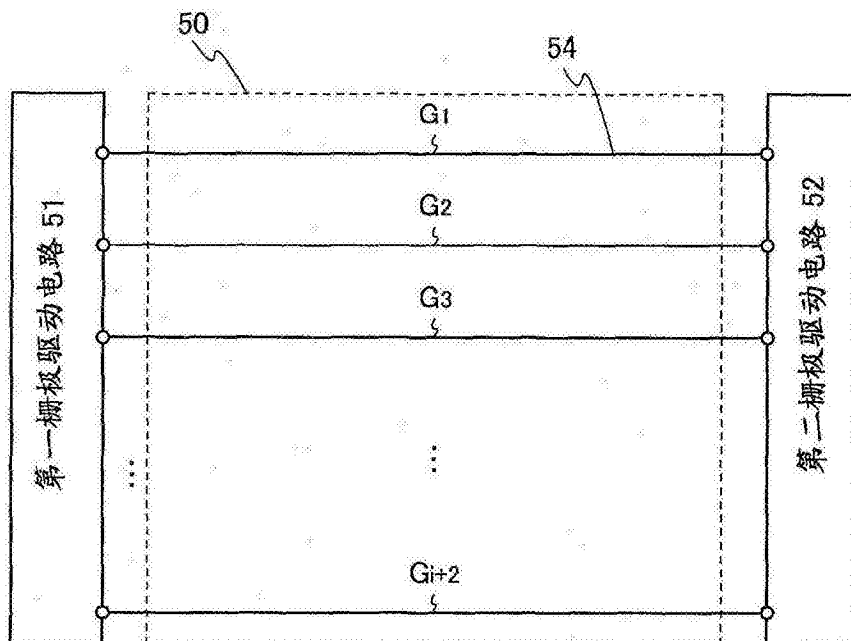


图1A

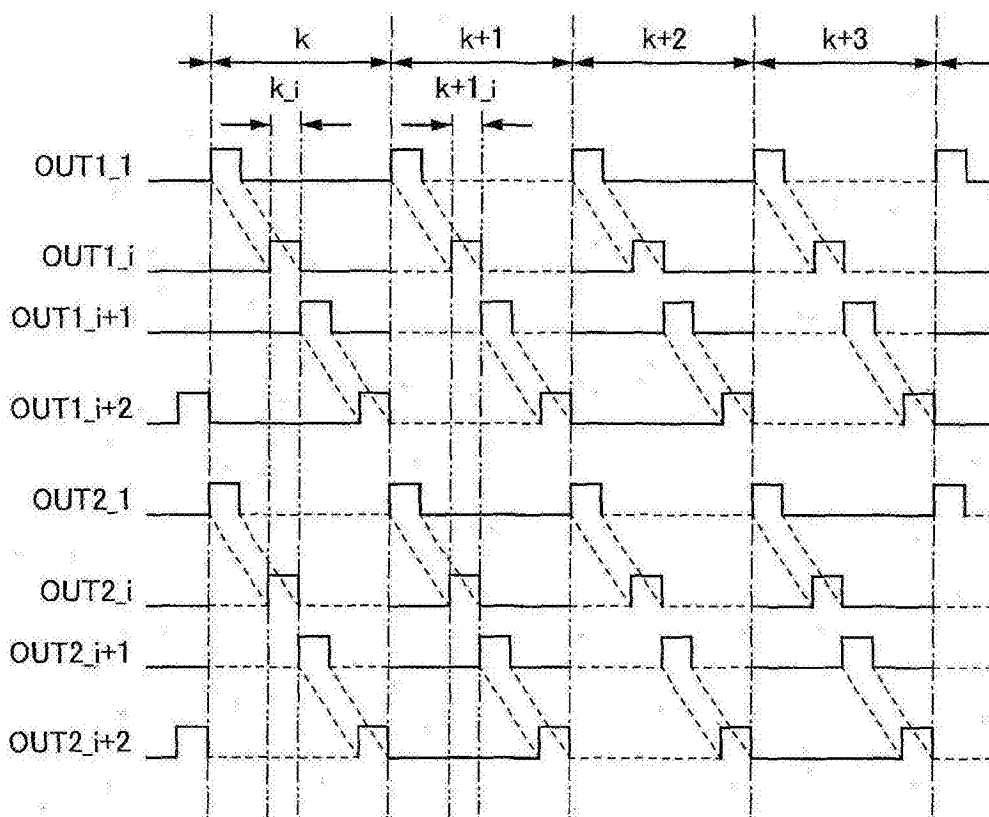


图1B

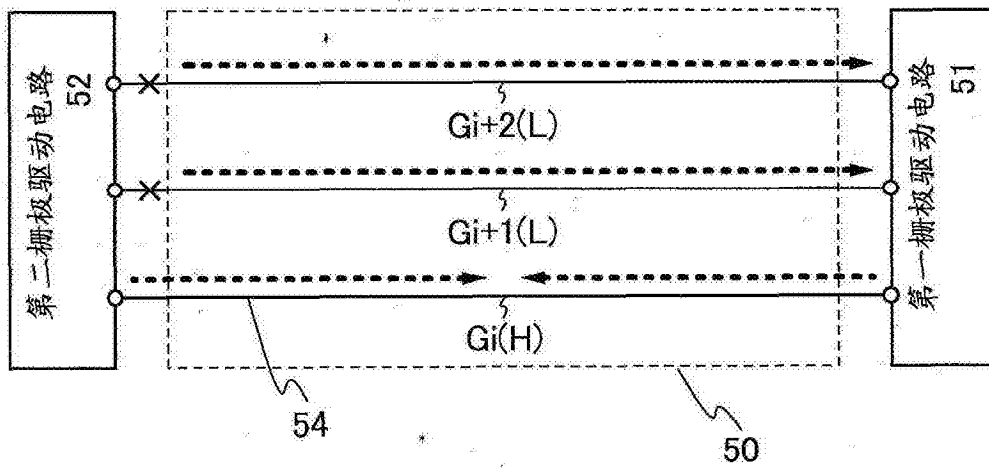


图2A

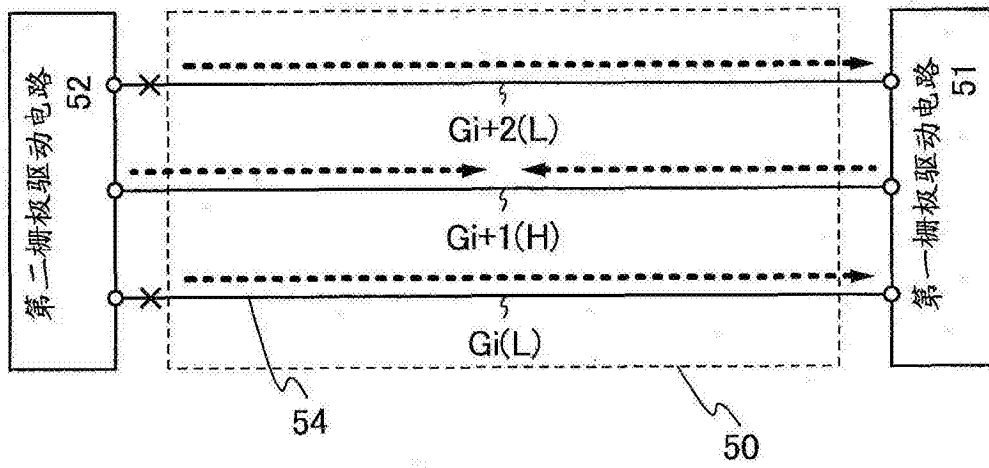


图2B

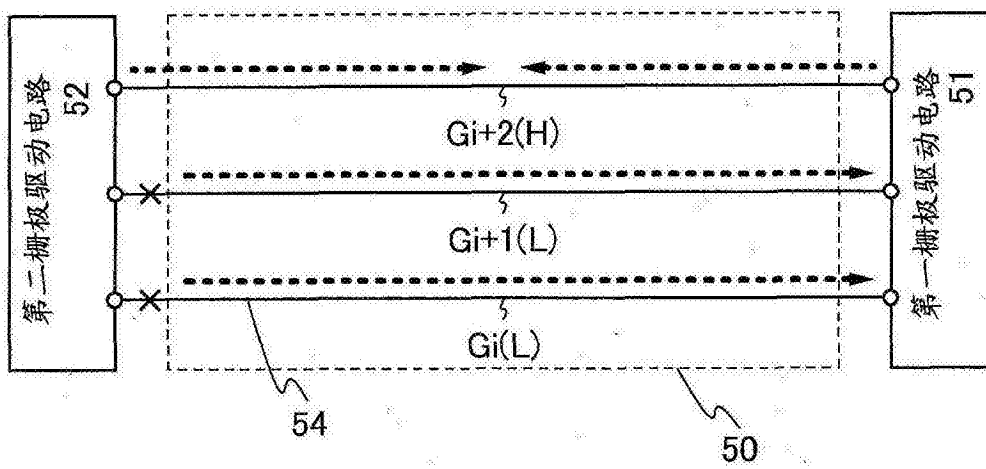


图2C

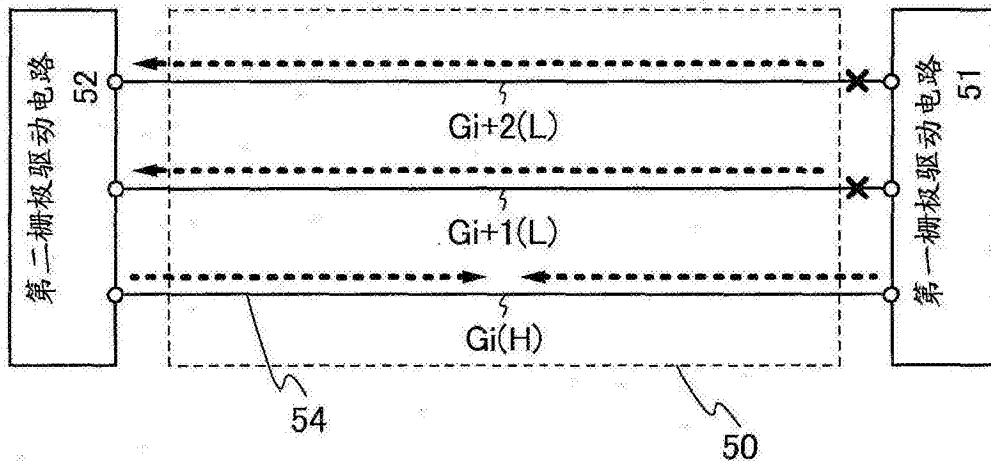


图3A

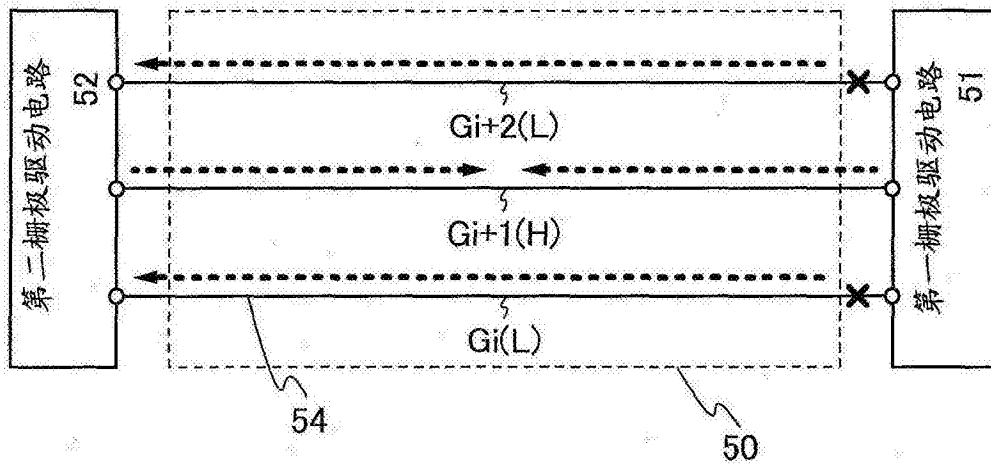


图3B

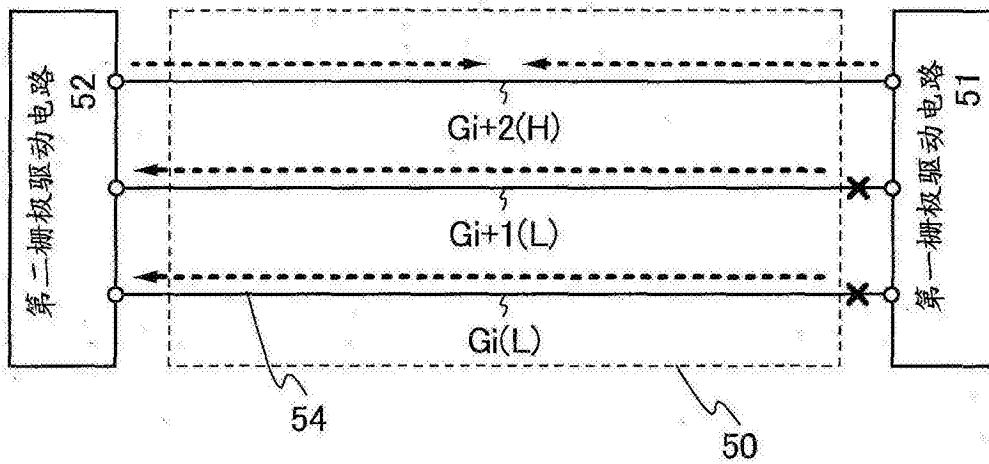


图3C

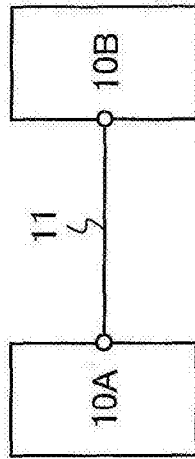


图4A

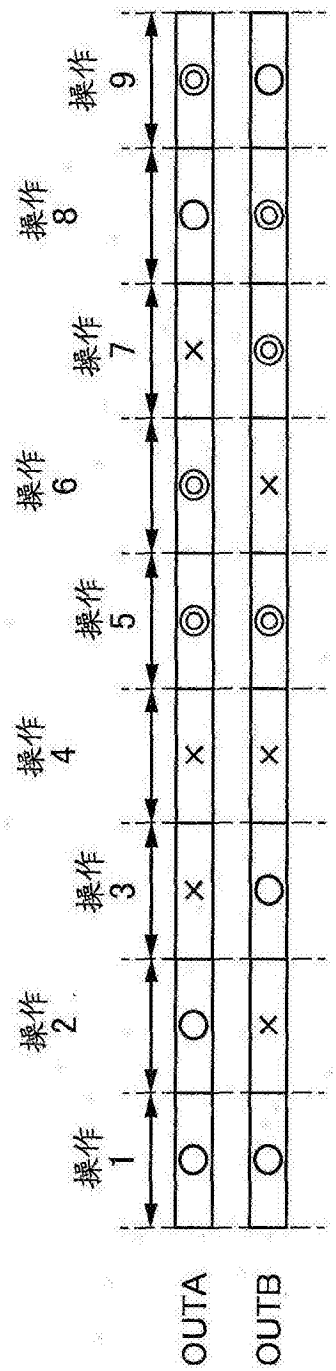


图4B

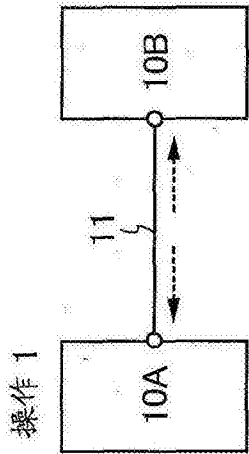


图5A

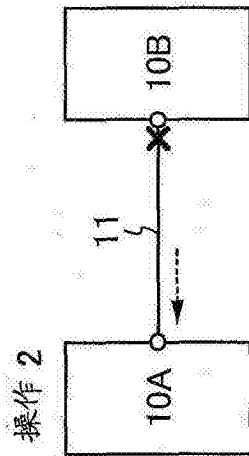


图5B

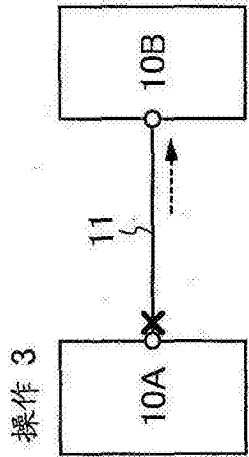


图5C

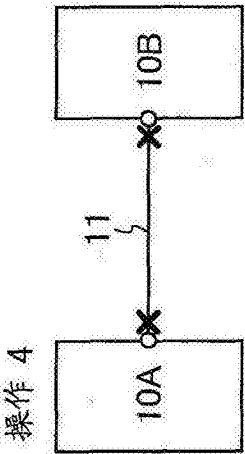


图5D

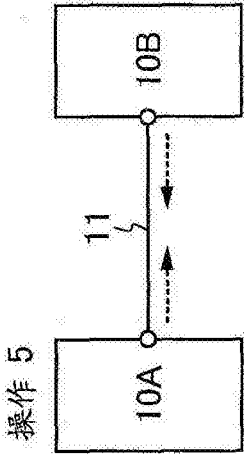


图5E

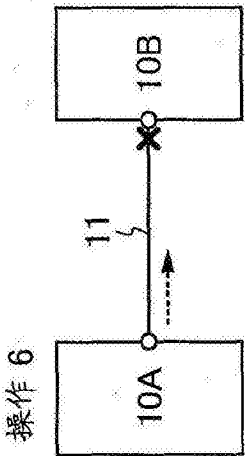


图5F

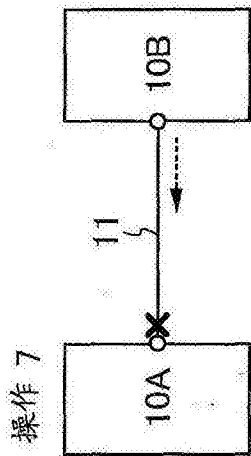


图5G

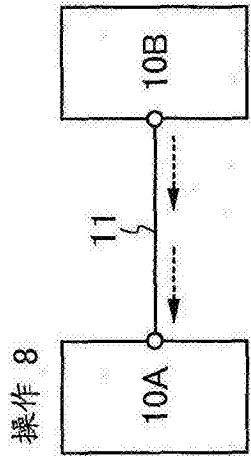


图5H

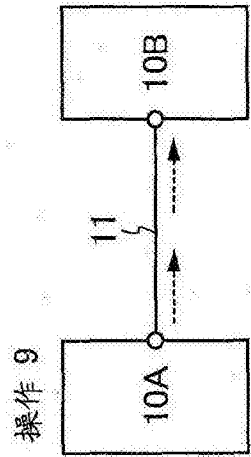


图5I

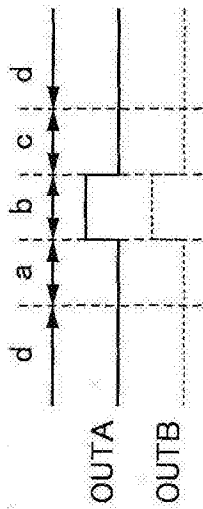


图6A

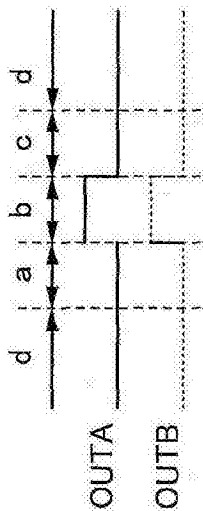


图6B

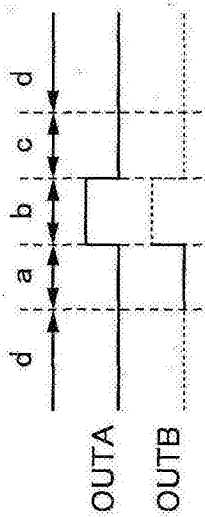


图6C

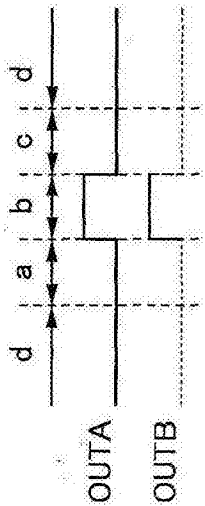


图6D

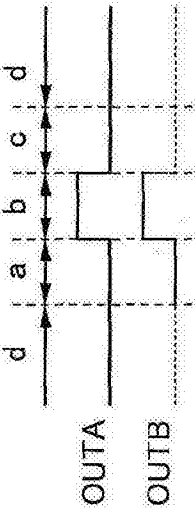


图6E

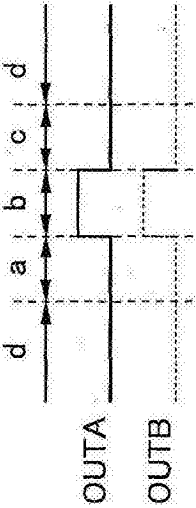


图6F

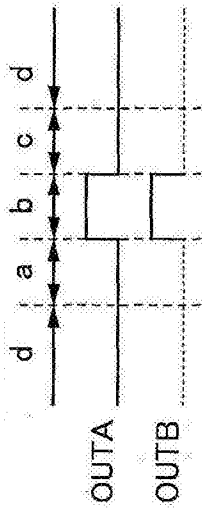


图6G

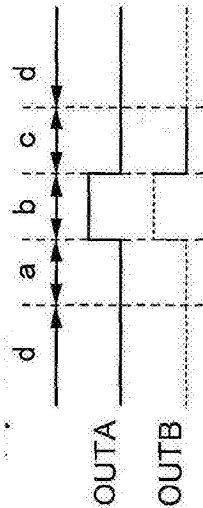


图6H

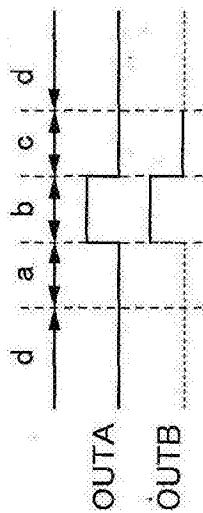


图6I

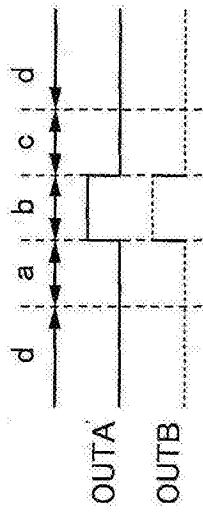


图6J

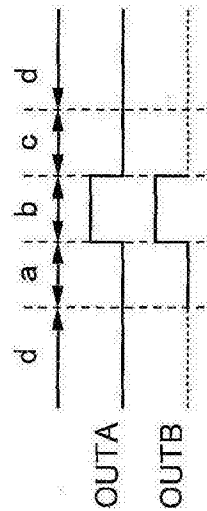


图6K

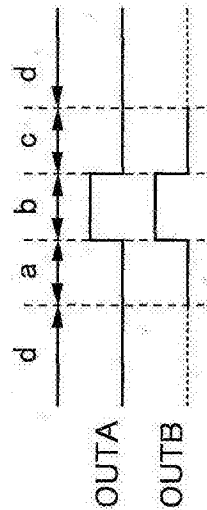


图6L

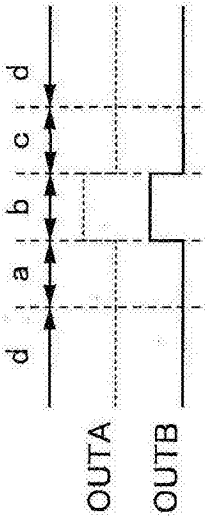


图7A

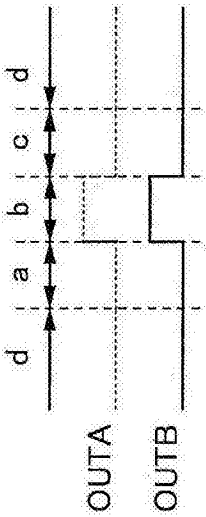


图7B

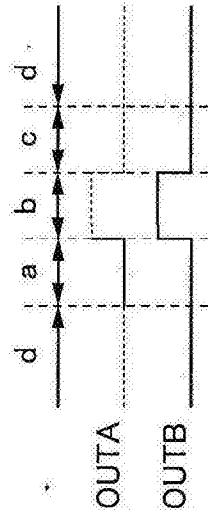


图7C

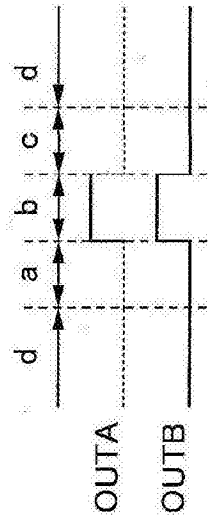


图7D

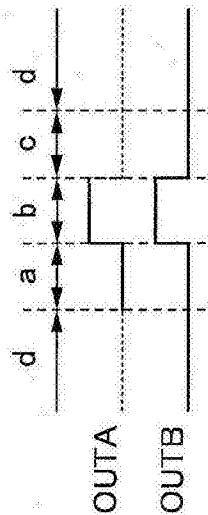


图7E

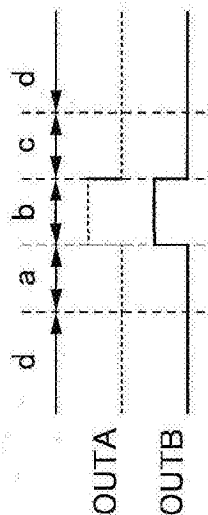


图7F

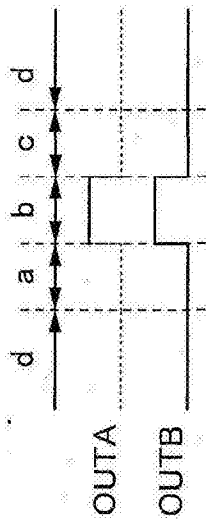


图7G

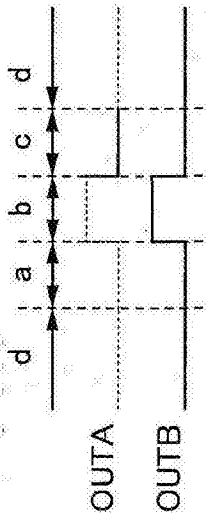


图7H

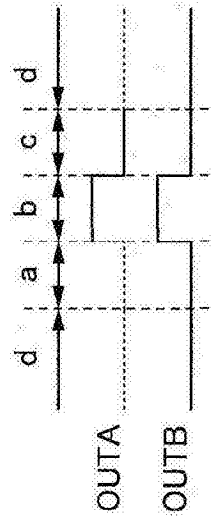


图7I

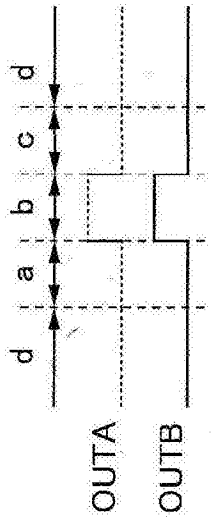


图7J

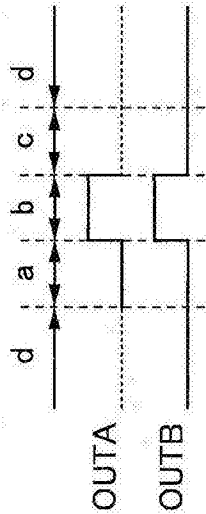


图7K

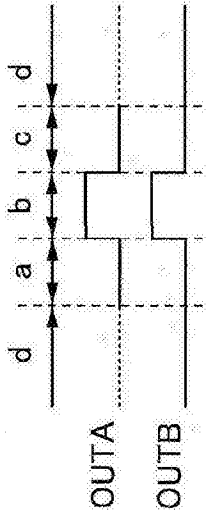


图7L

图 8A

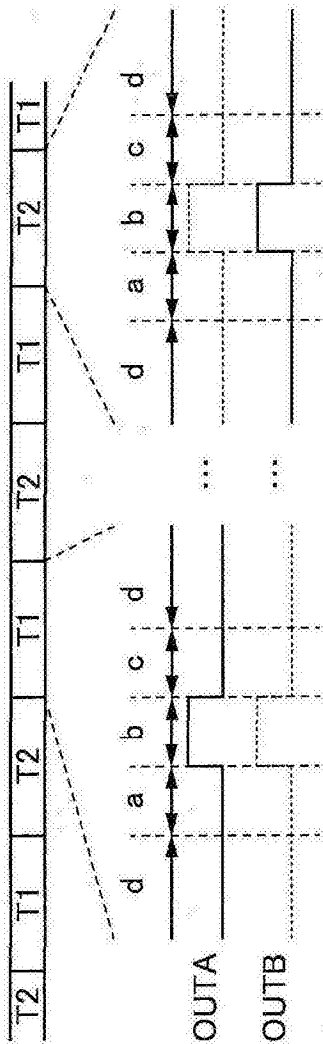


图 8B

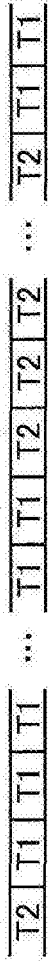


图 8C

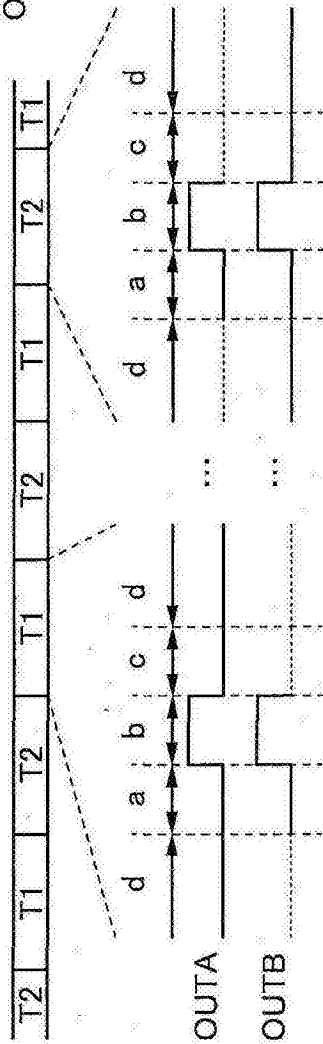


图 8D

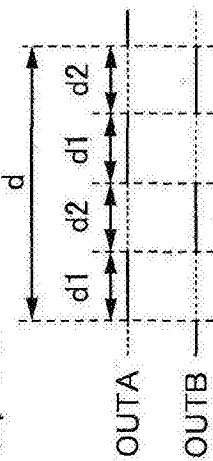


图 8E

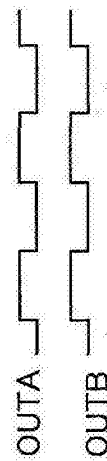
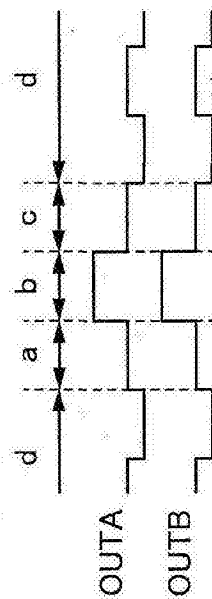


图 8F



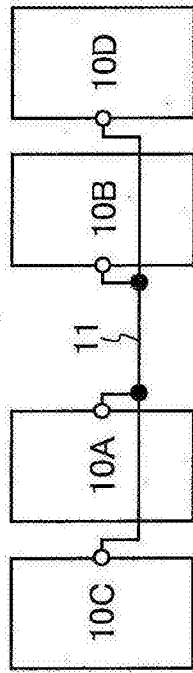


图9A

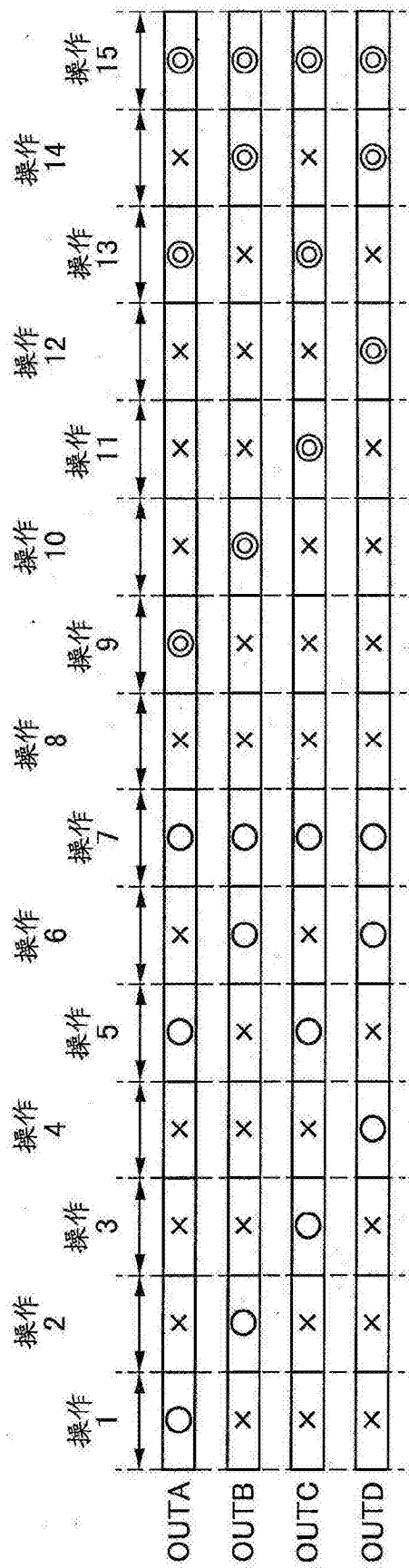


图9B

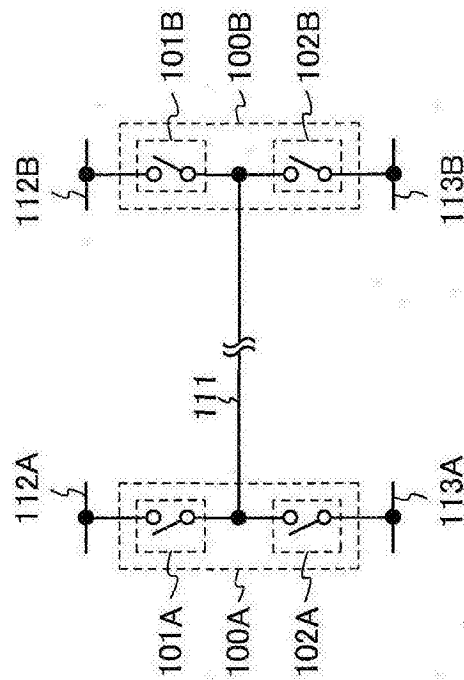


图10A

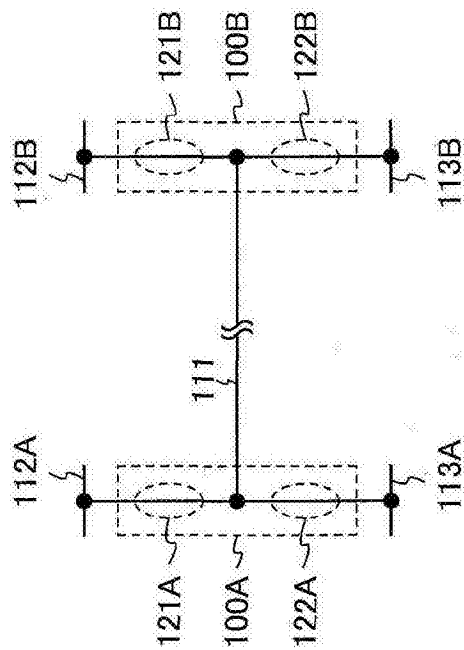


图10B

	操作 1a	操作 1b	操作 1c	操作 2a	操作 2b	操作 2c	操作 3a	操作 3b	操作 3c	操作 4a	操作 5a	操作 6a	操作 7a
101A	ON	OFF	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF
102A	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
101B	ON	OFF	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	ON	OFF	ON
102B	ON	ON	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF

图10C

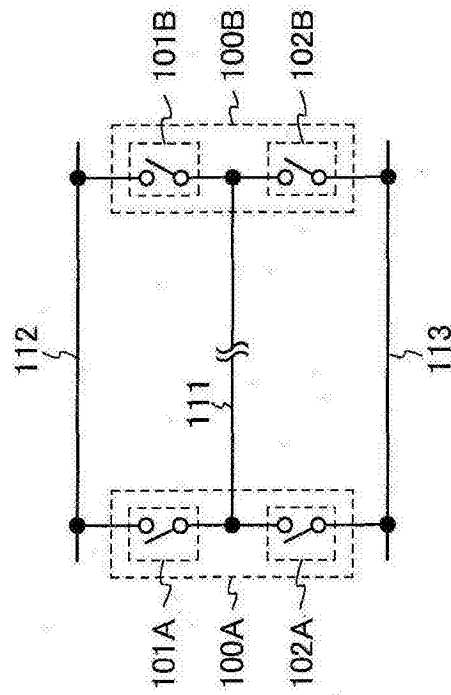


图11A

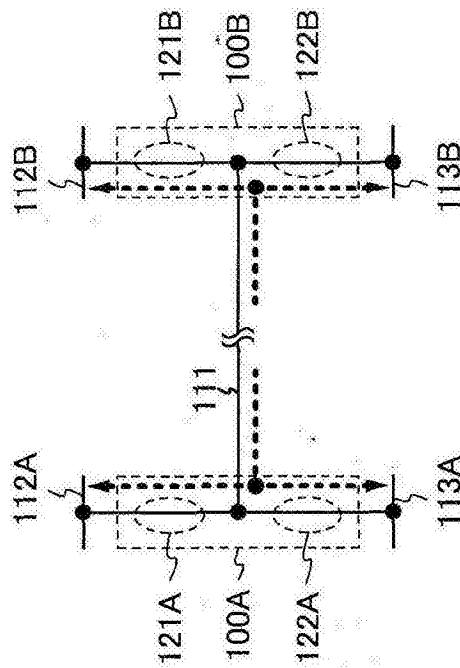


图11B

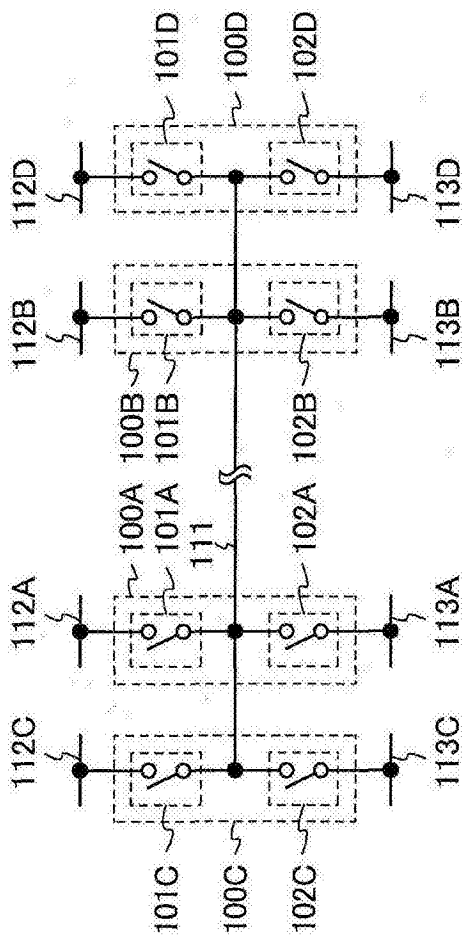


图11C

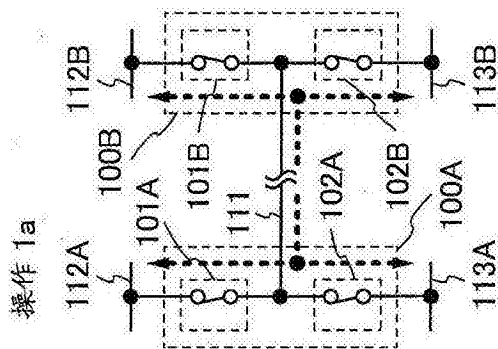


图12A

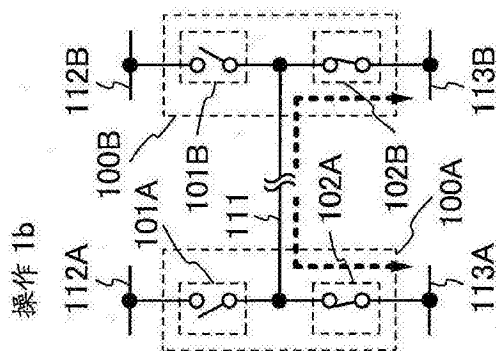


图12B

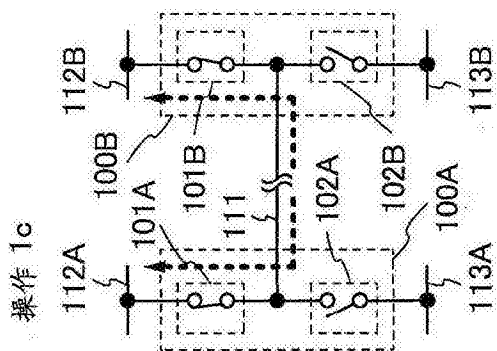


图12C

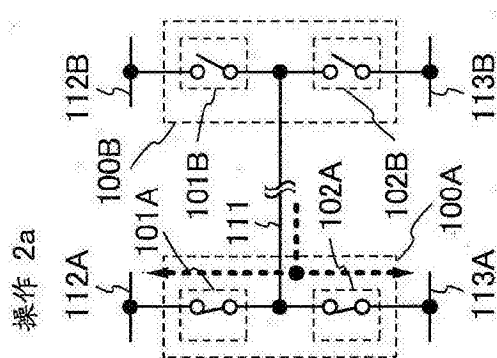


图12D

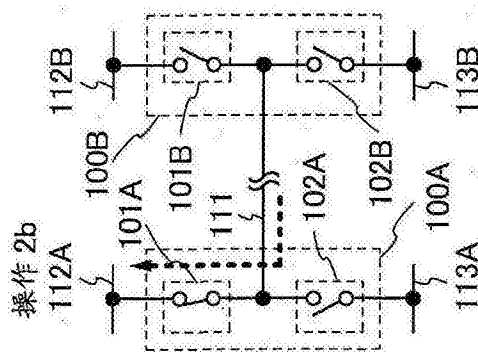


图12E

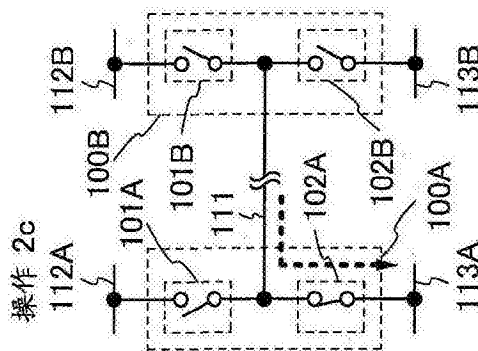


图12F

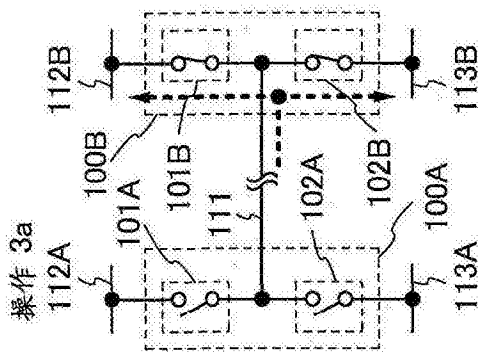


图12G

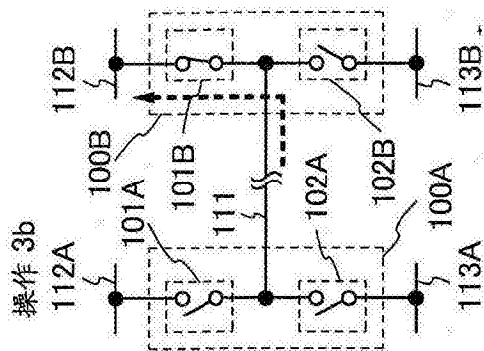


图12H

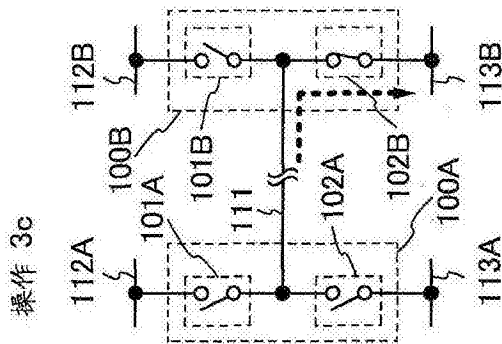


图13A

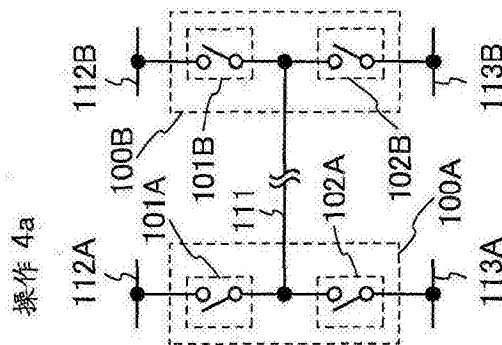


图13B

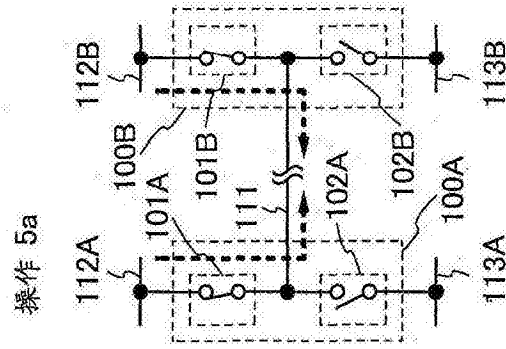


图13C

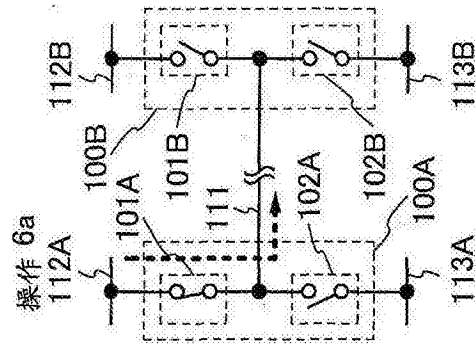


图13D

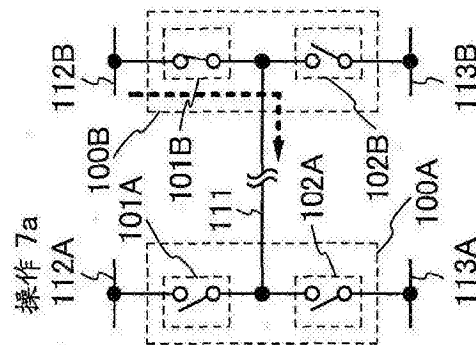


图13E

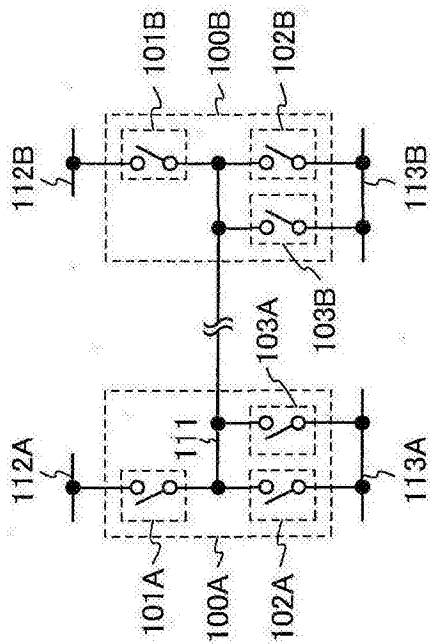


图14A

	操作 1d	操作 1e	操作 1f	操作 2d	操作 2e	操作 2f	操作 3d	操作 3e	操作 3f	操作 4b	操作 5b	操作 6b	操作 7b
101A	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF
102A	ON	ON	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
103A	ON	OFF	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
101B	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	ON
102B	ON	ON	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF
103B	ON	OFF	ON	OFF	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF

图14B

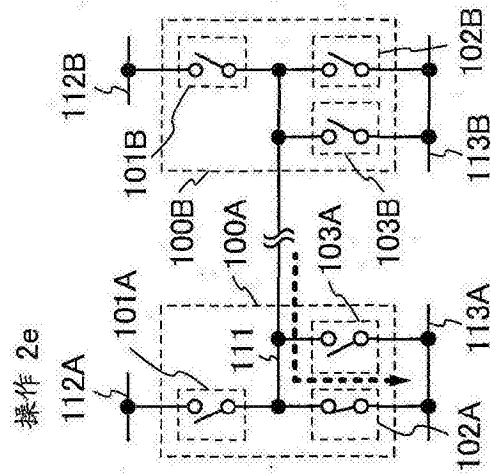


图15A

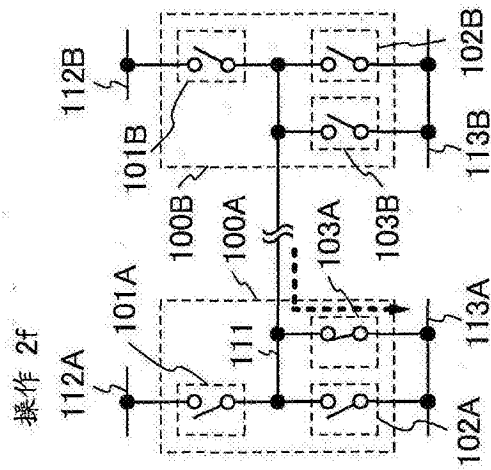


图15B

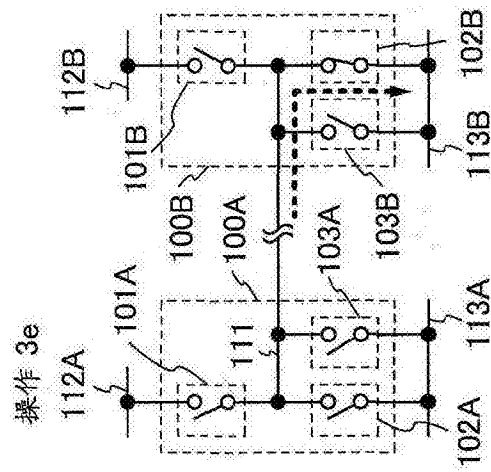


图15C

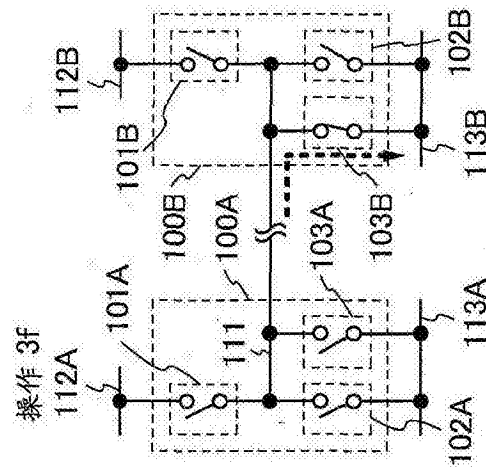


图15D

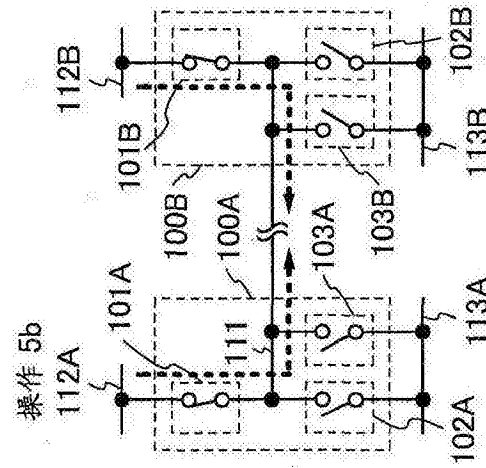


图15E

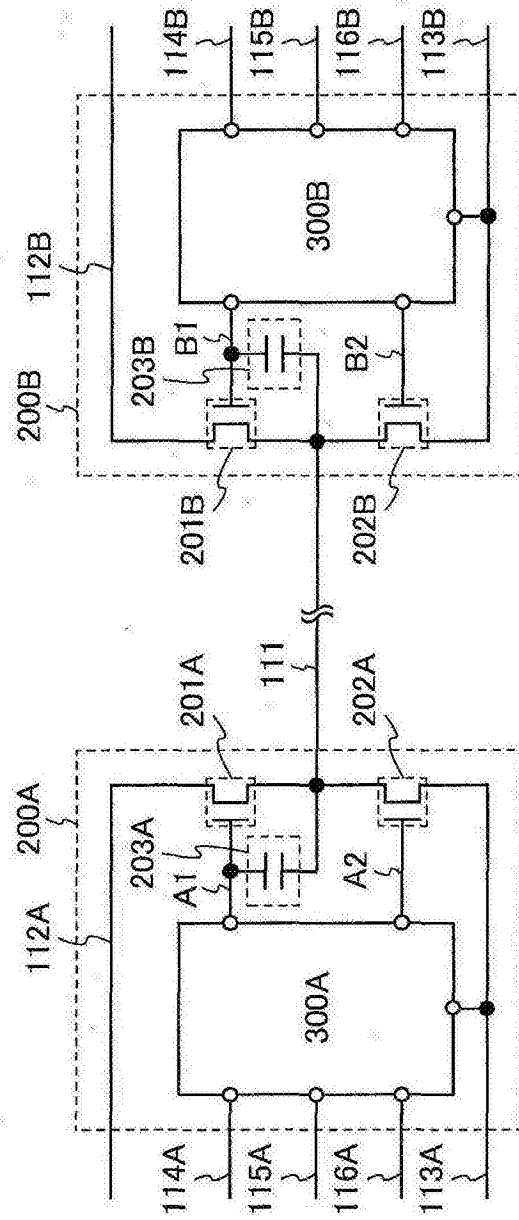


图16B

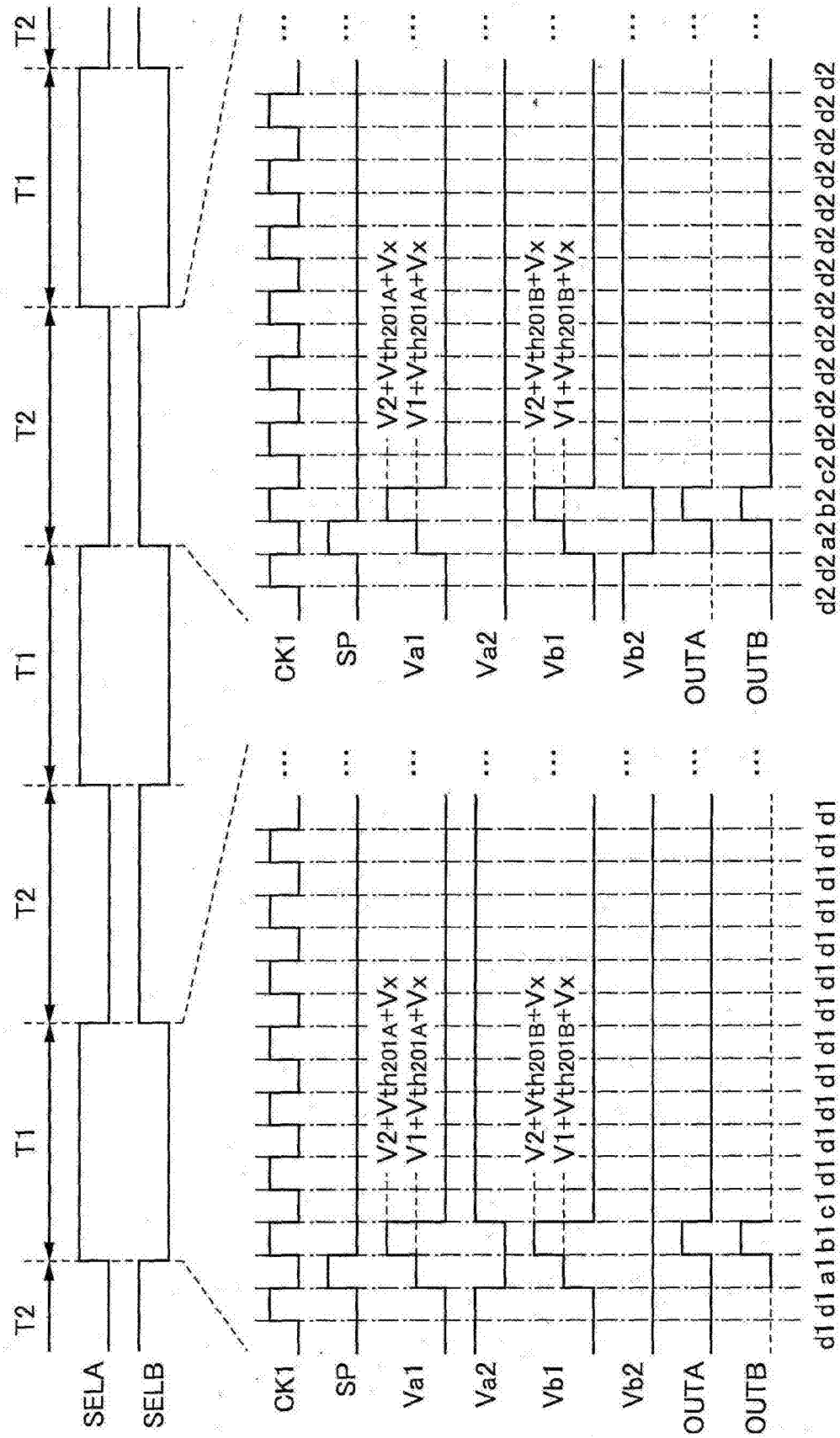


图17

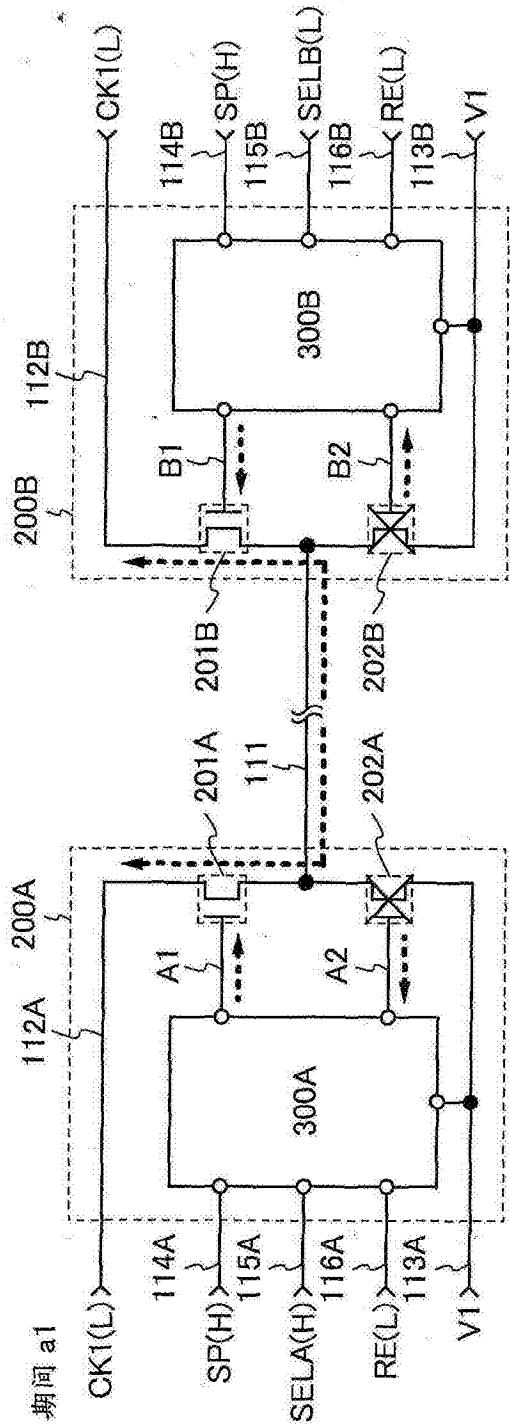


图18A

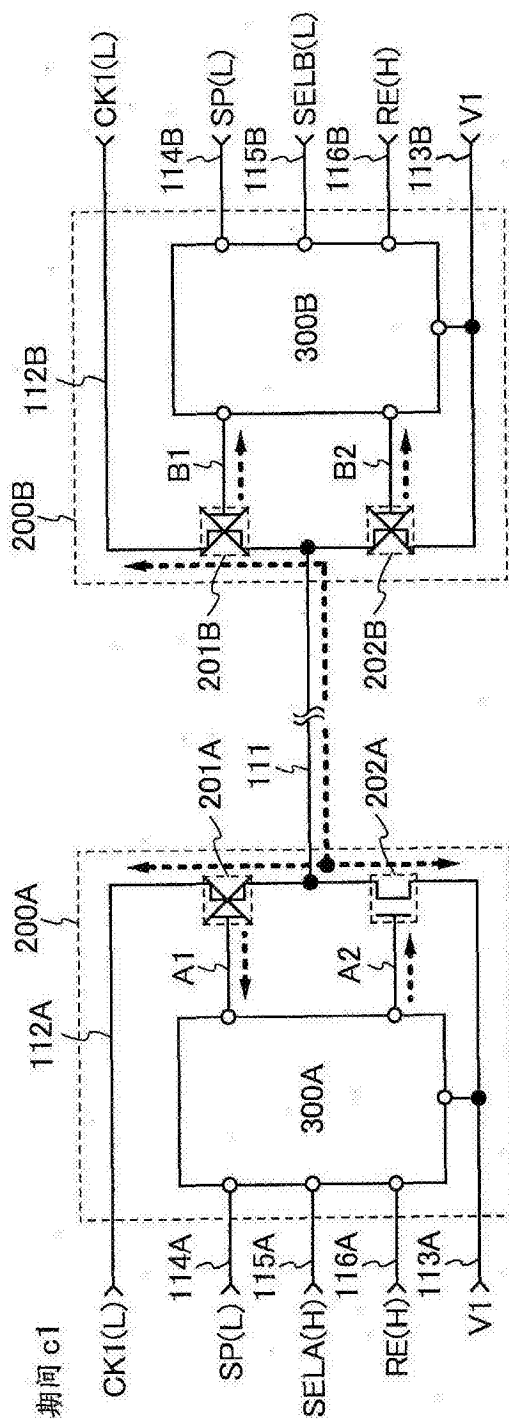


图19A

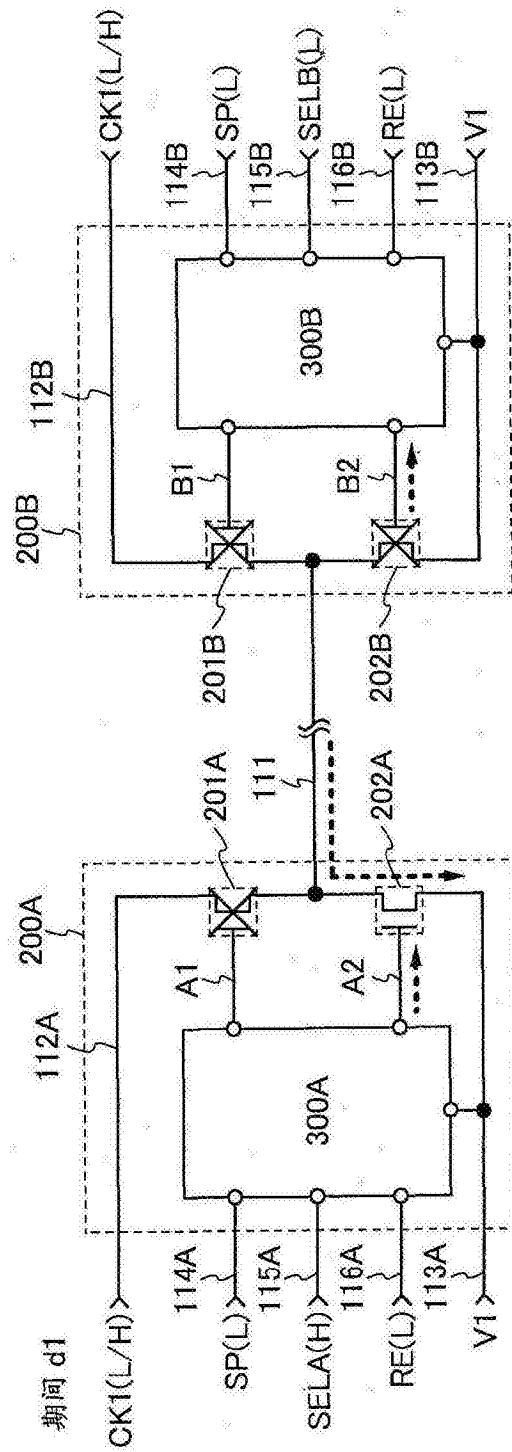


图19B

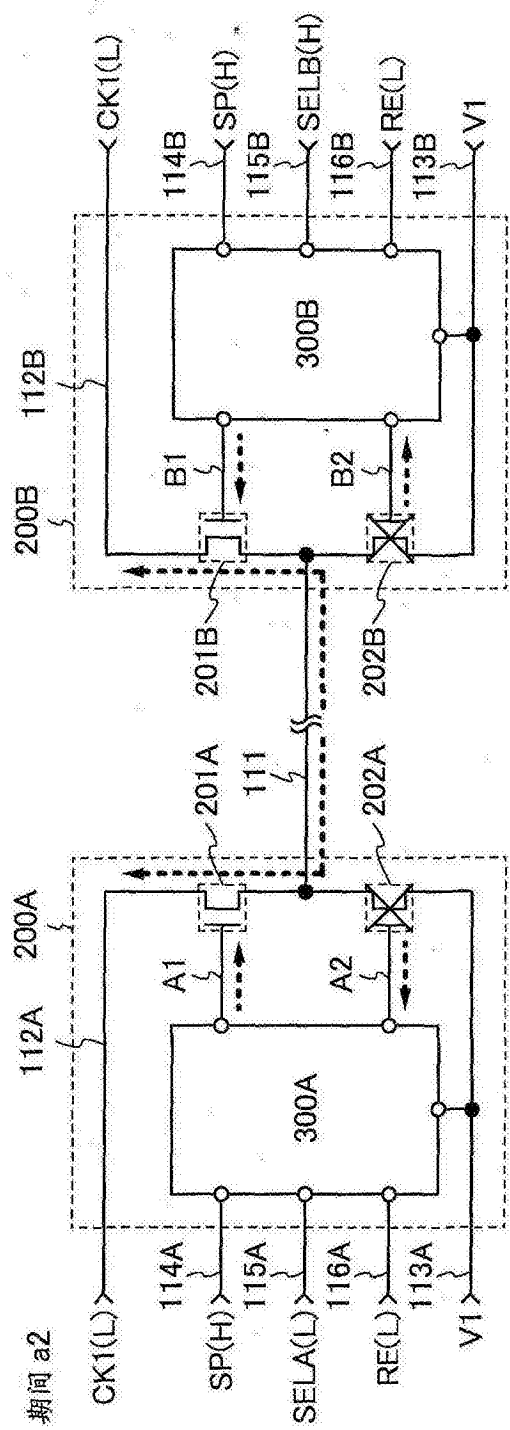


图20A

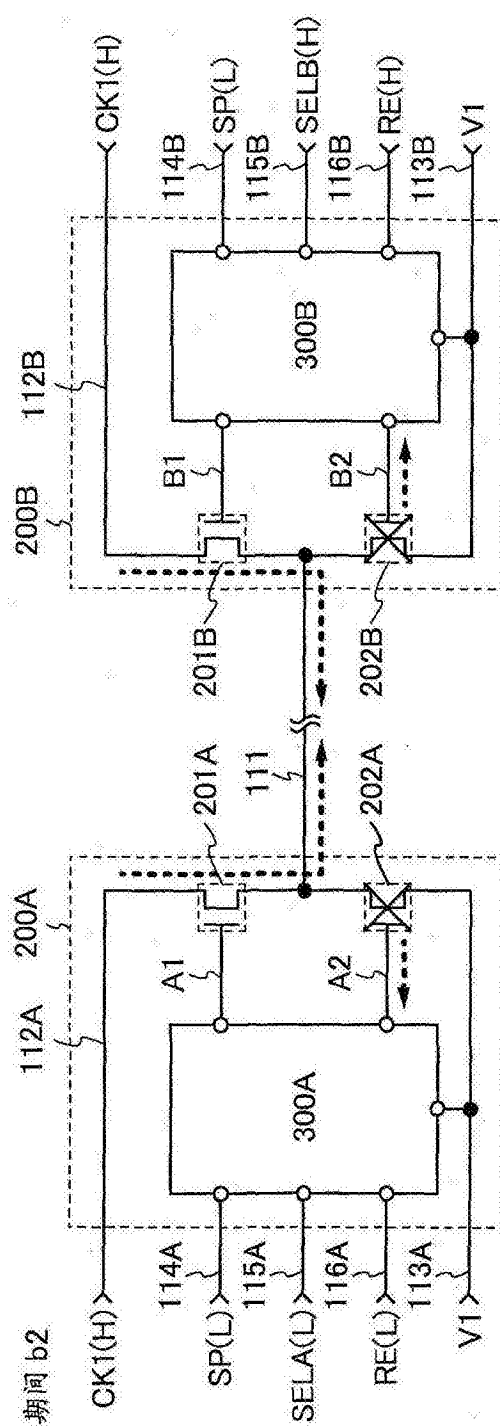


图 20B

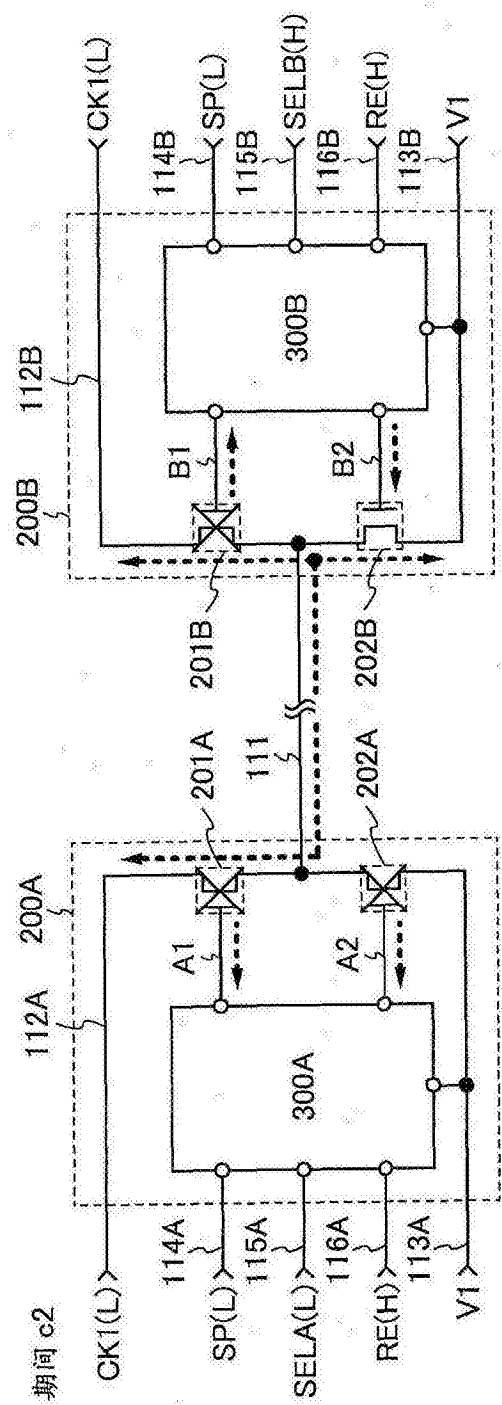


图21A

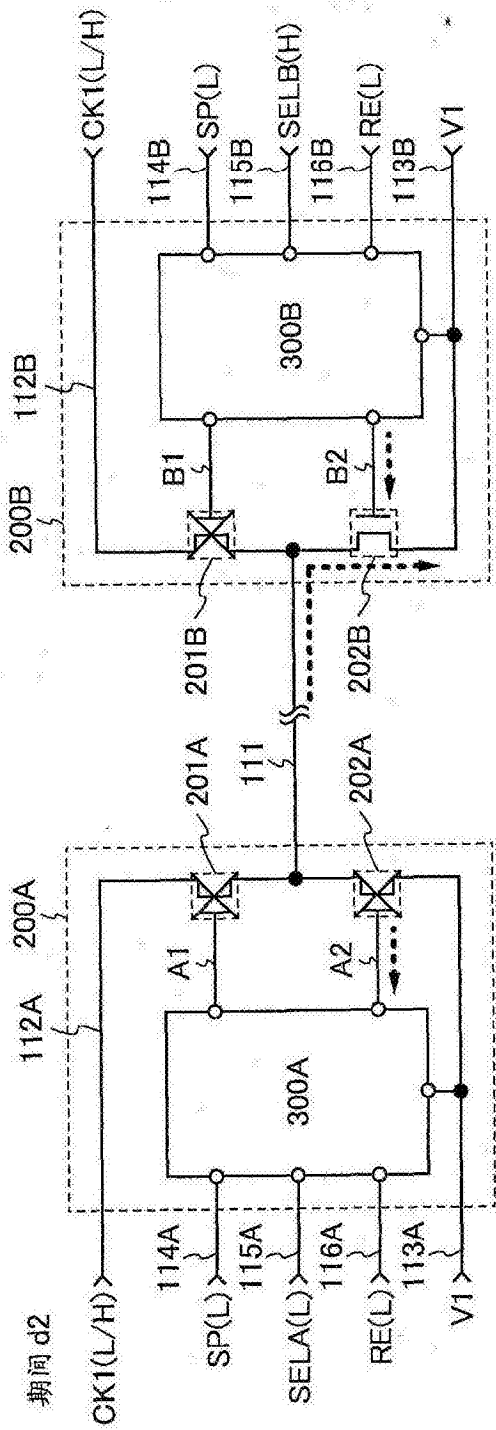


图21B

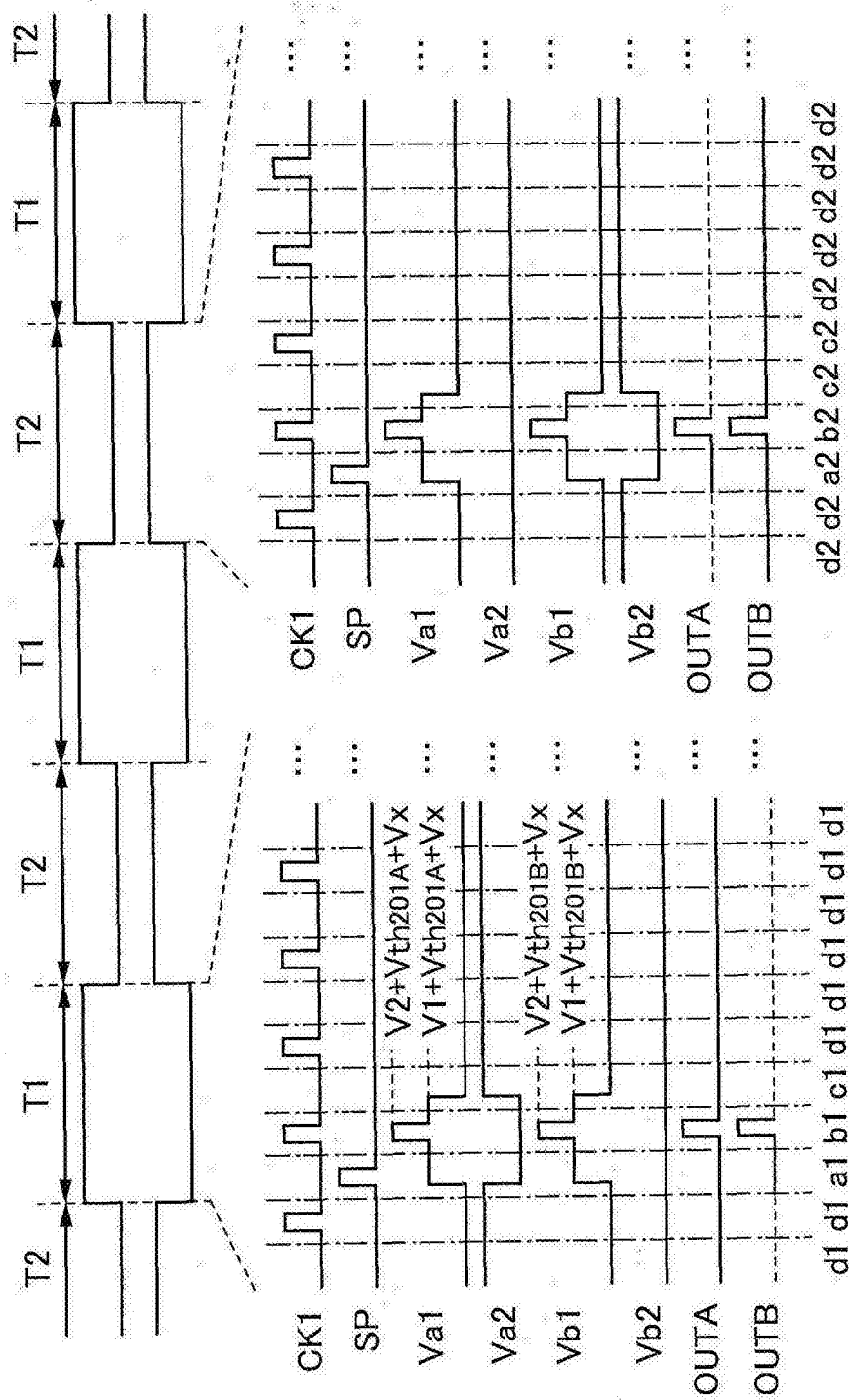


图 22

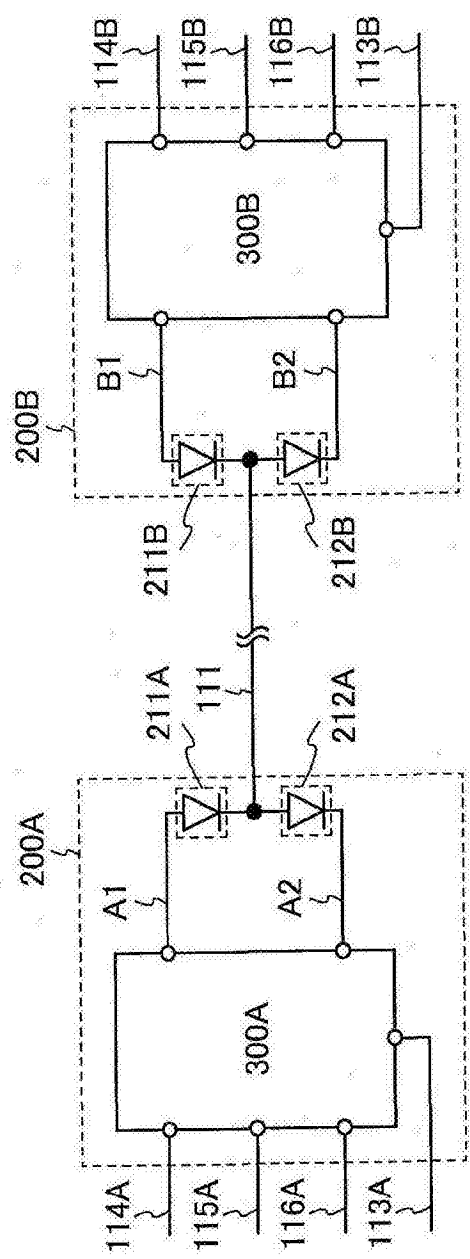


图24A

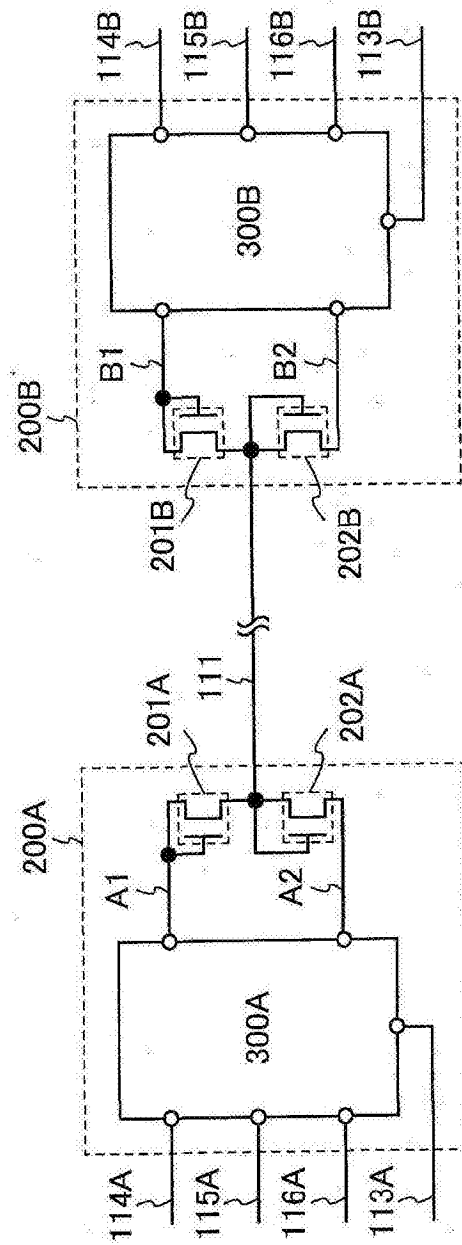


图24B

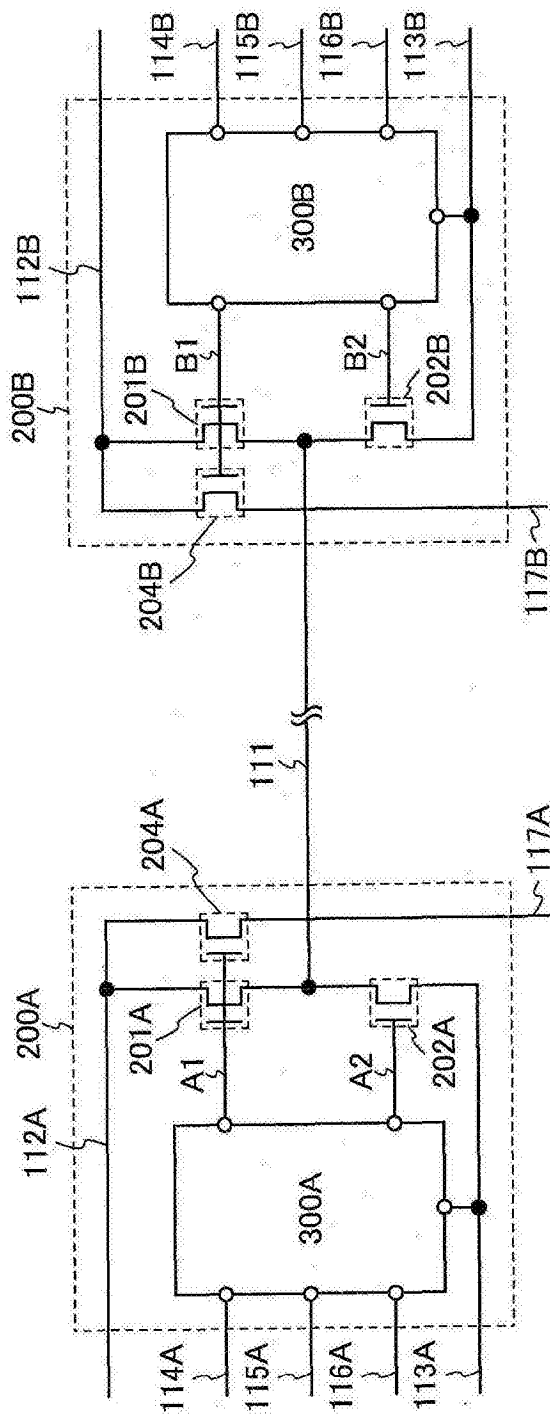


图25A

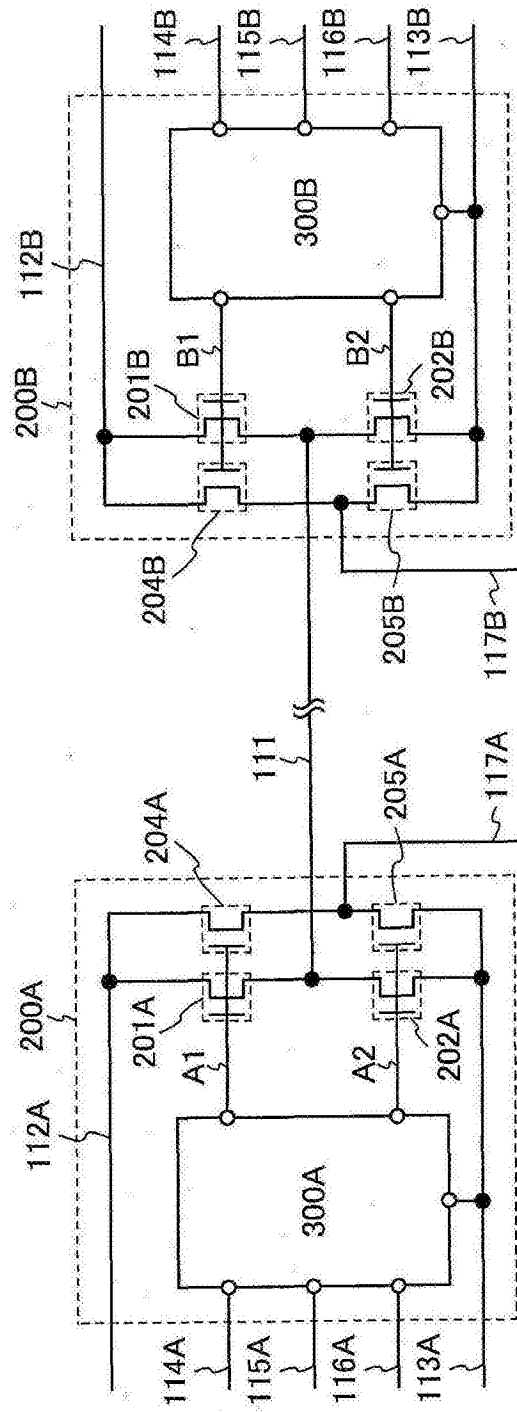


图25B

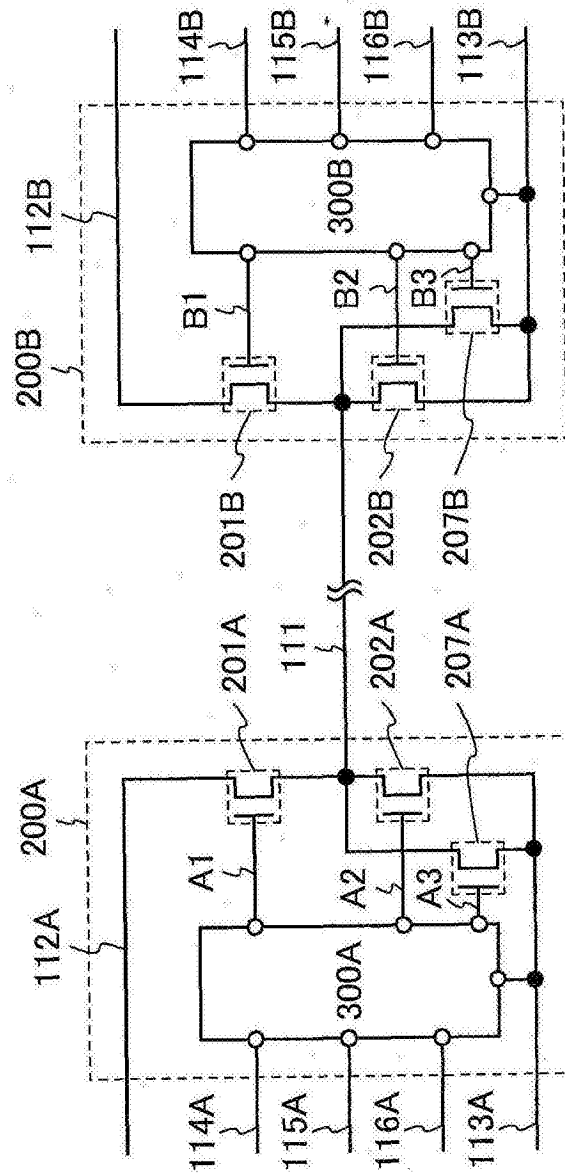


图26

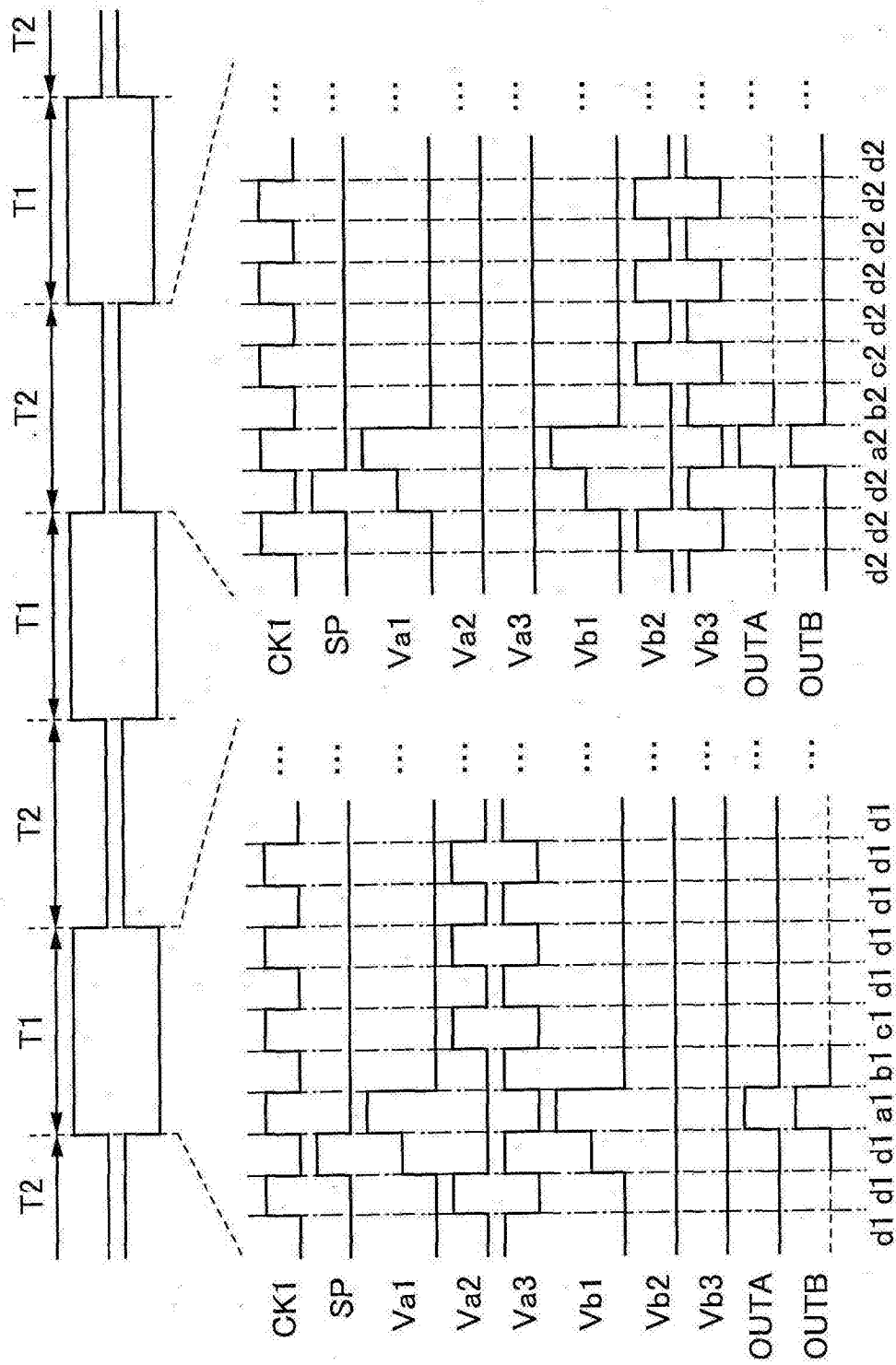


图27

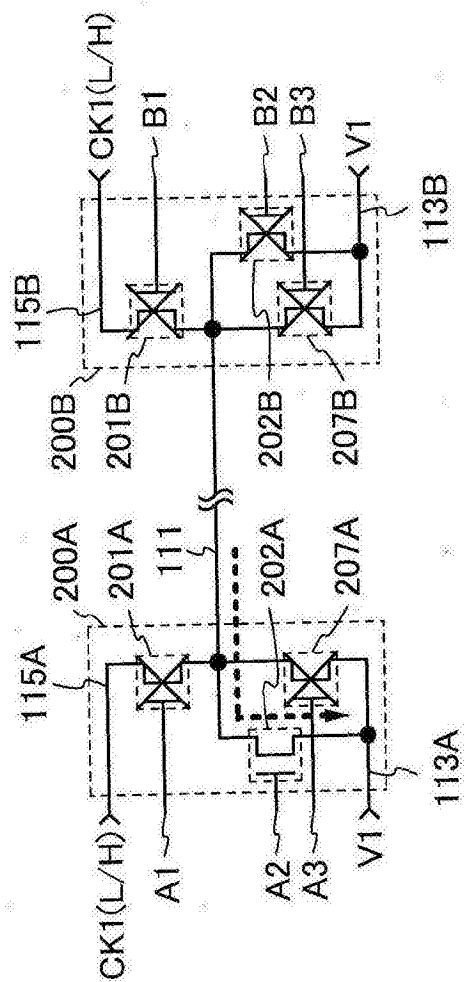


图28A

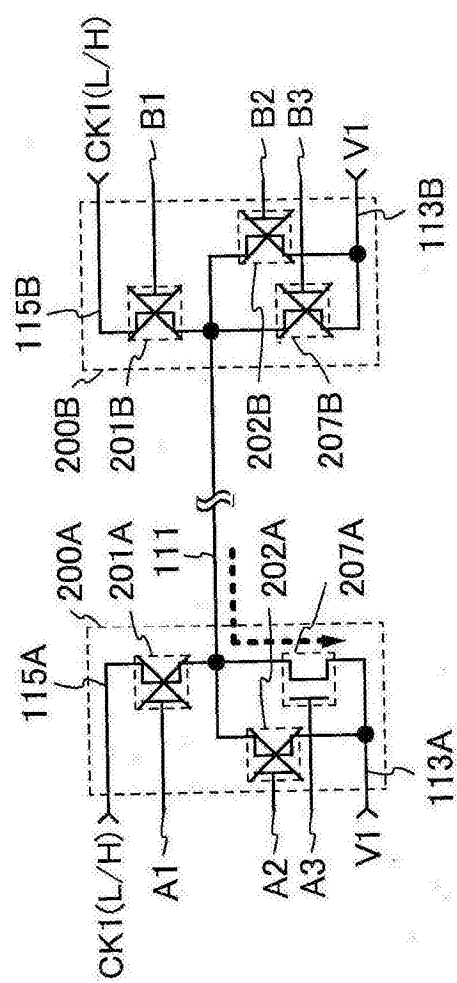


图28B

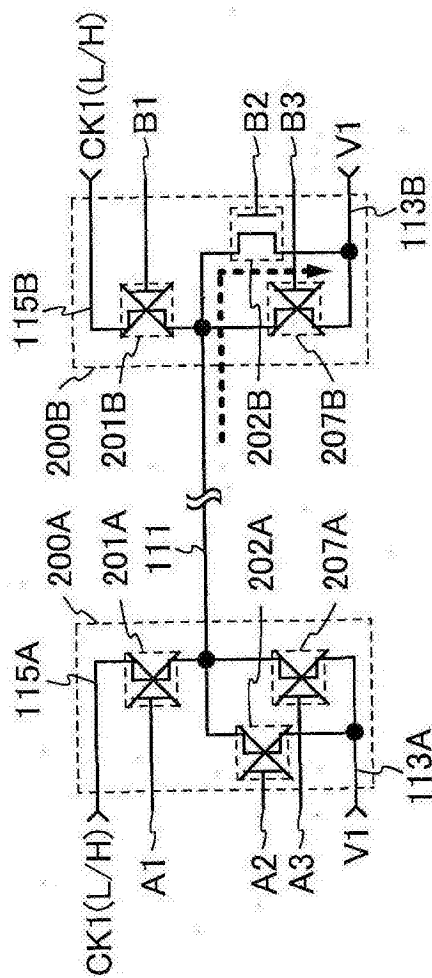


图29A

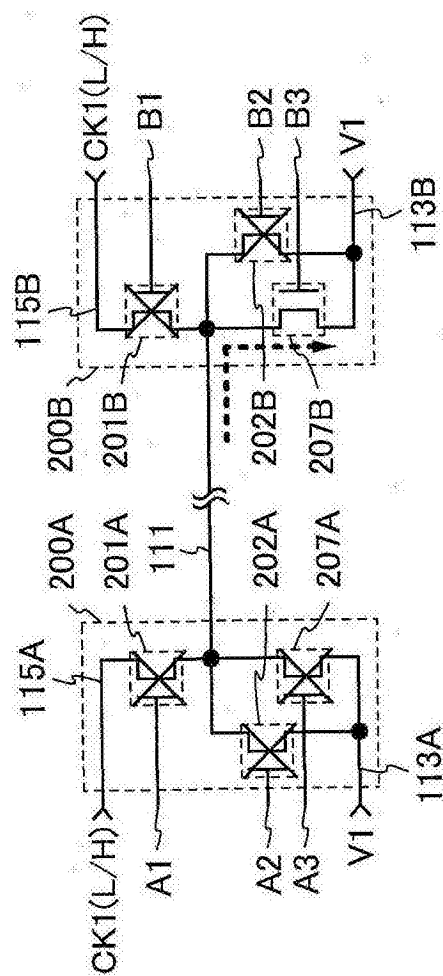


图 29B

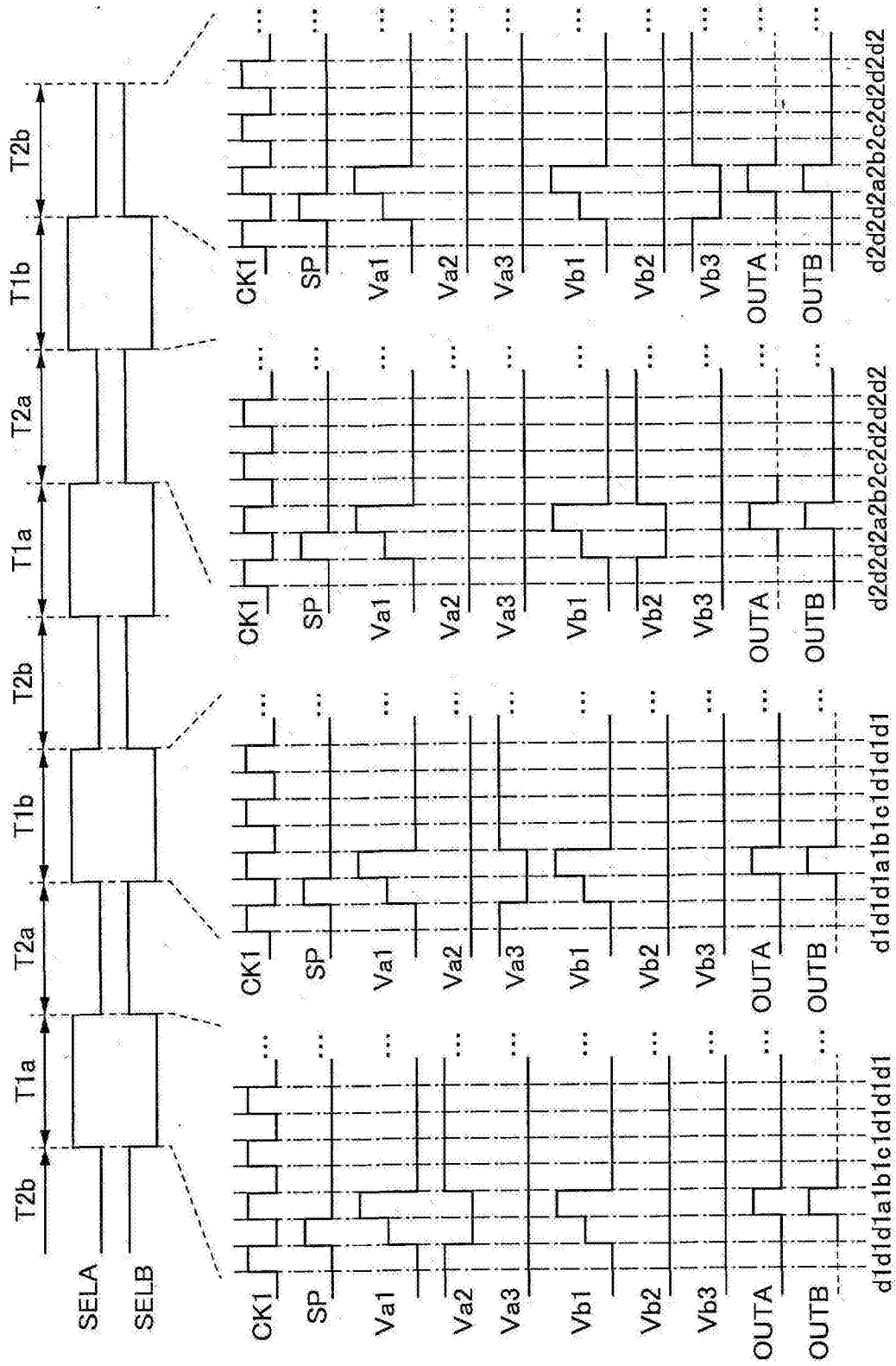


图30

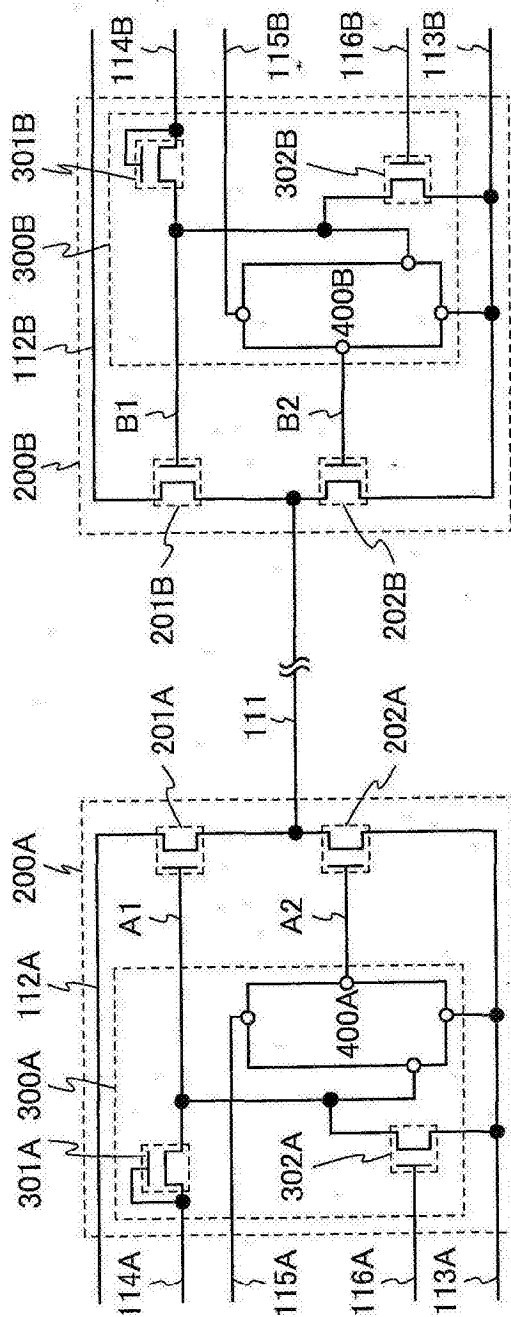


图31A

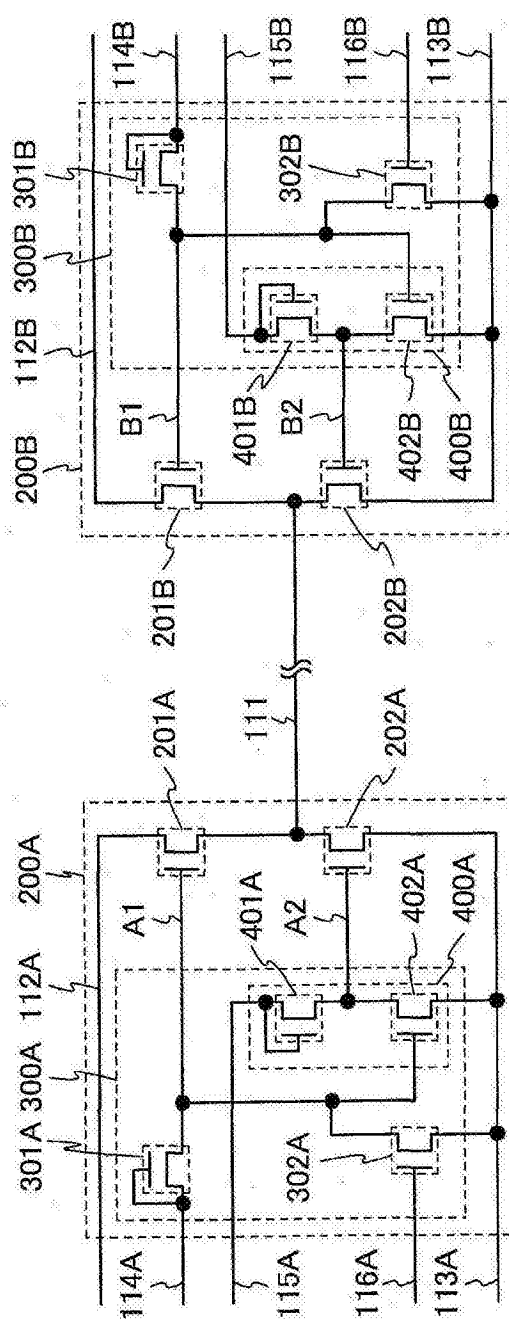


图31B

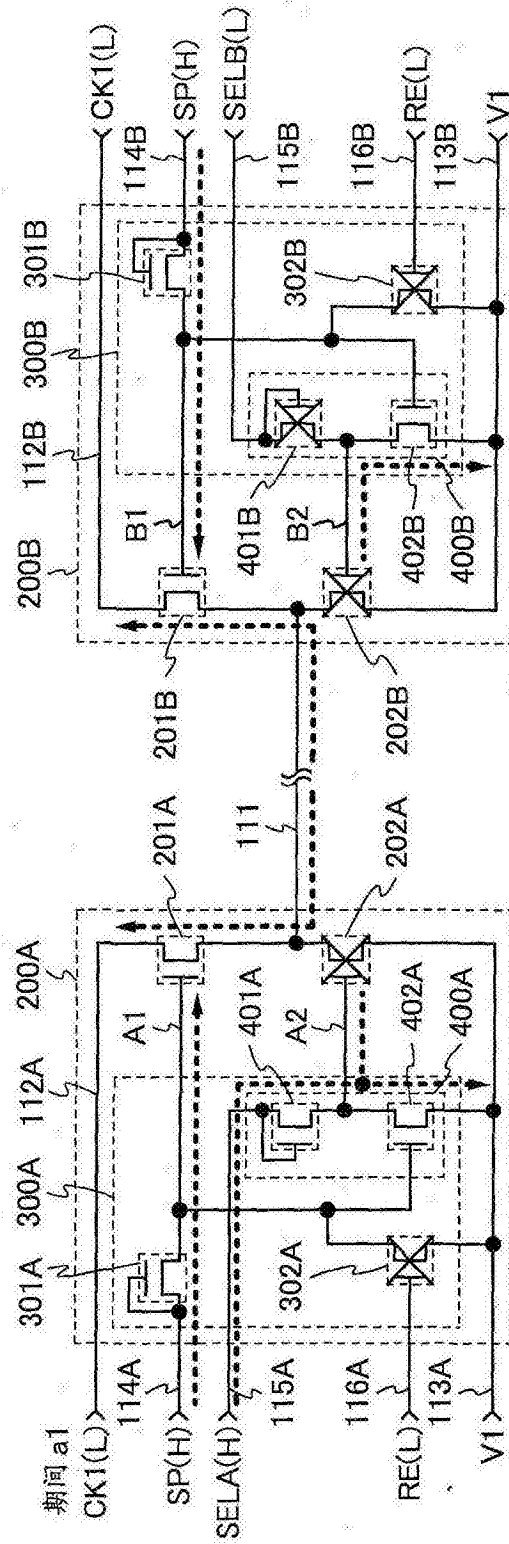


图32A

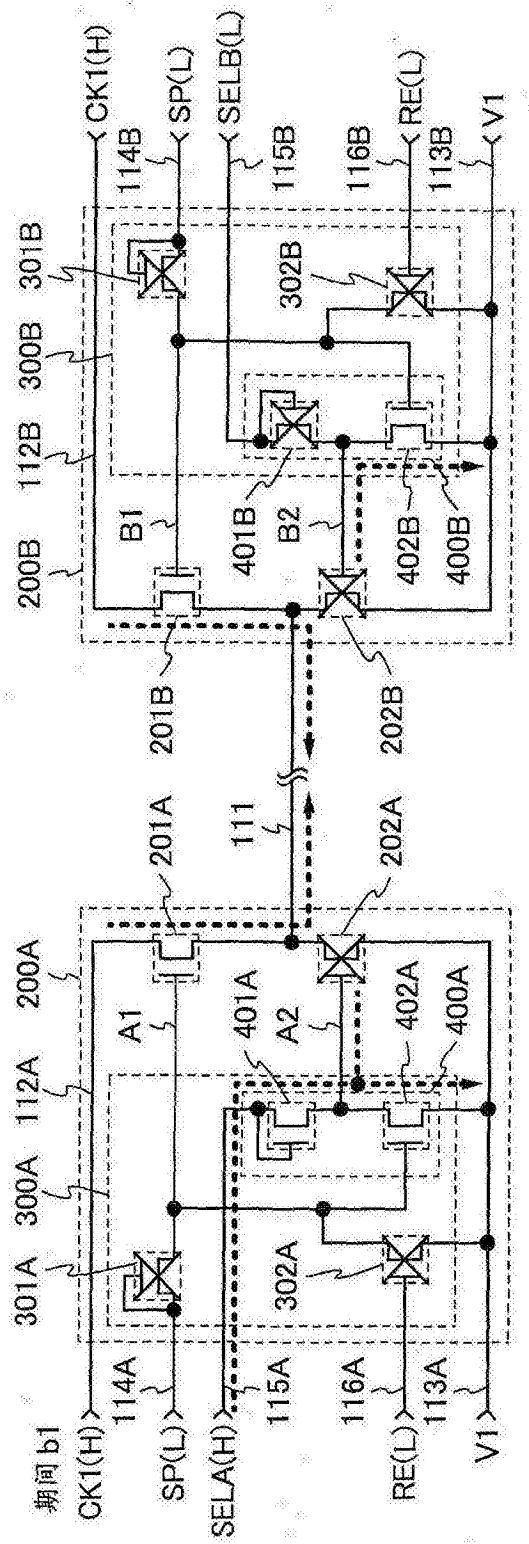


图32B

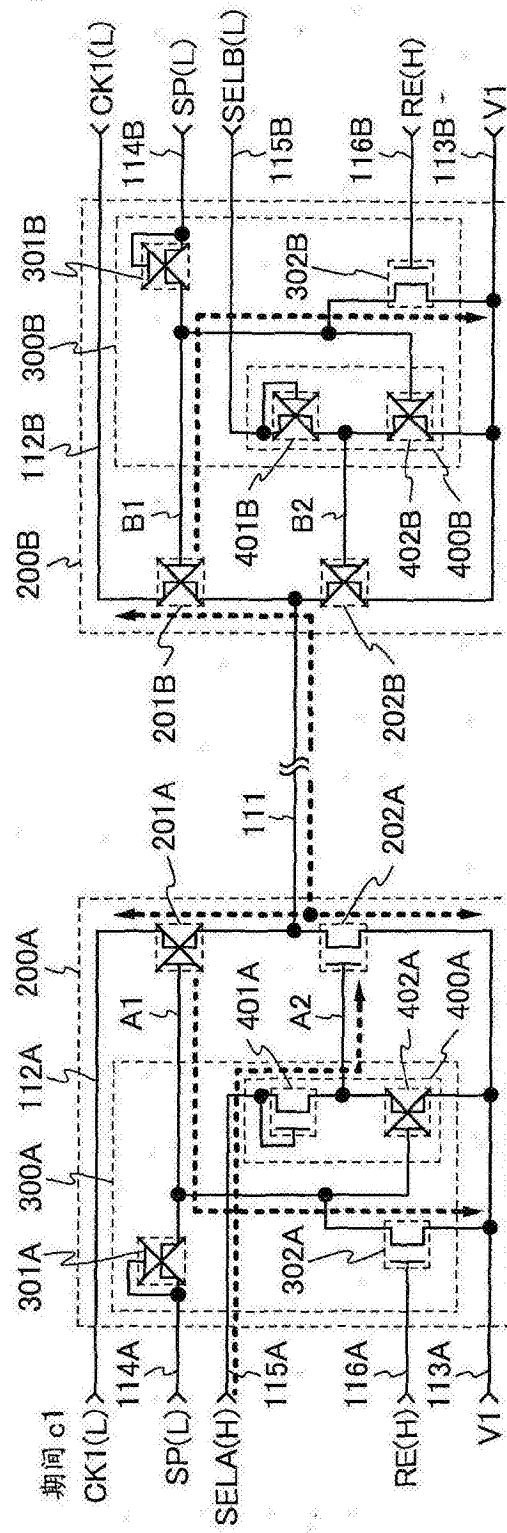


图33A

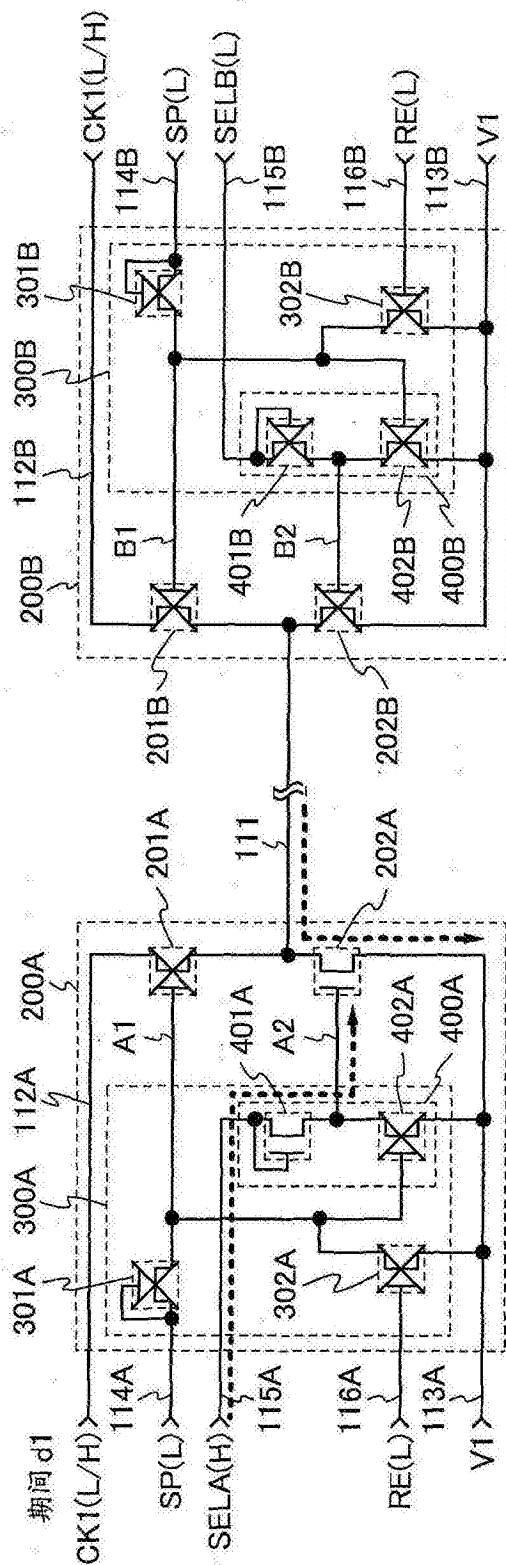


图33B

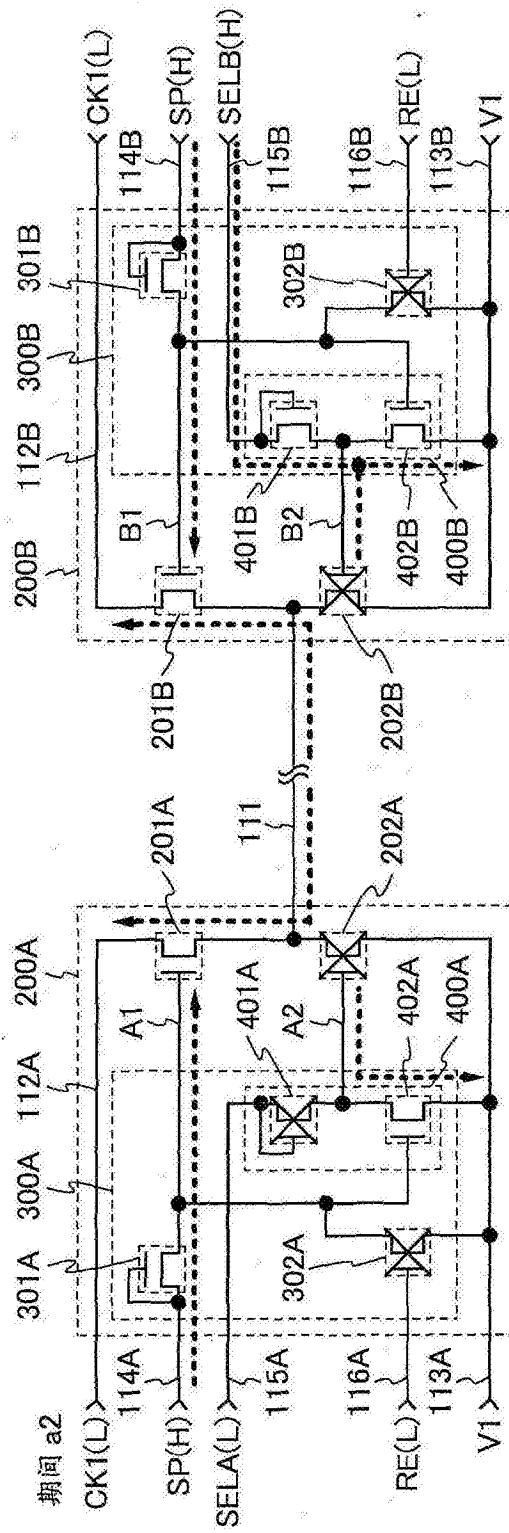


图34A

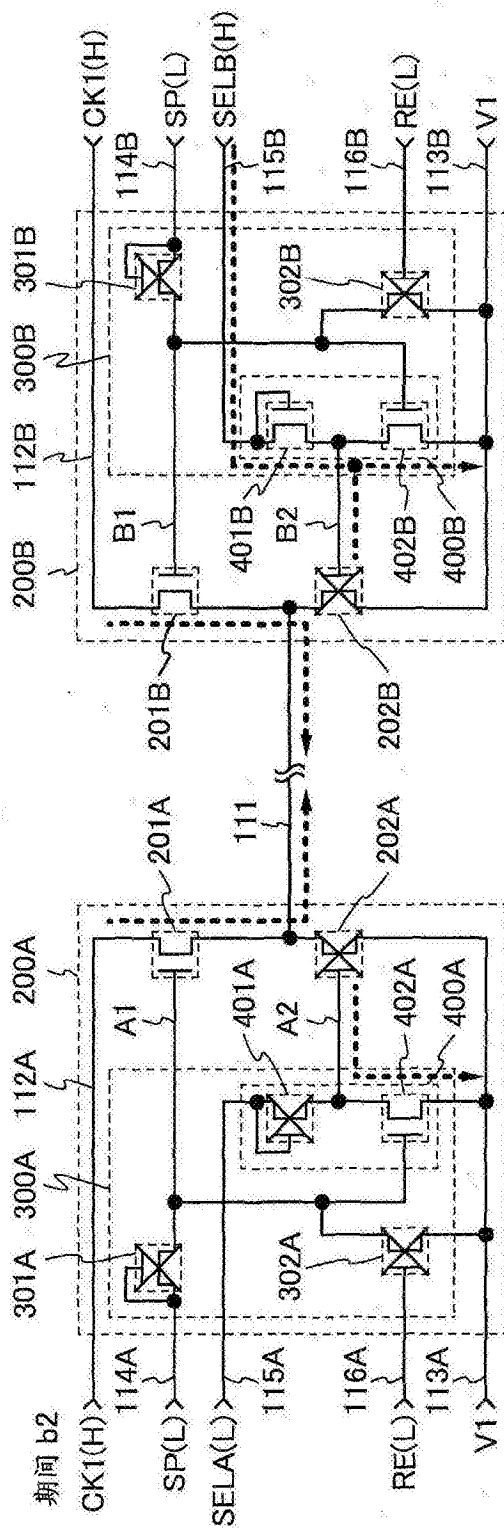


图34B

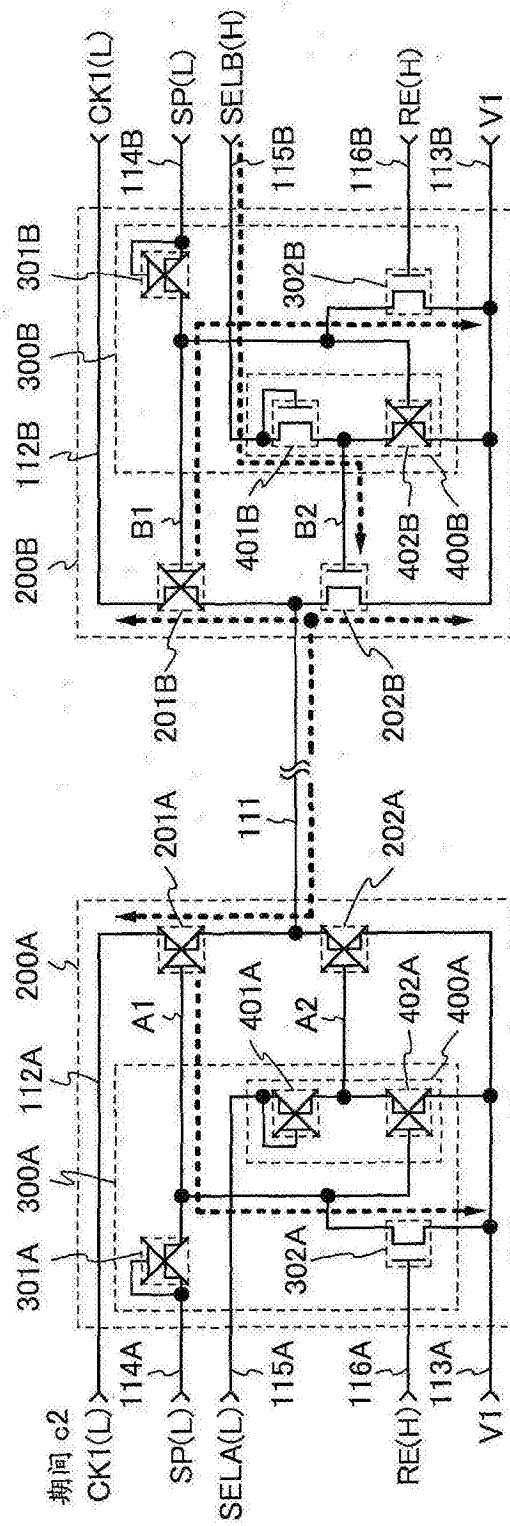


图35A

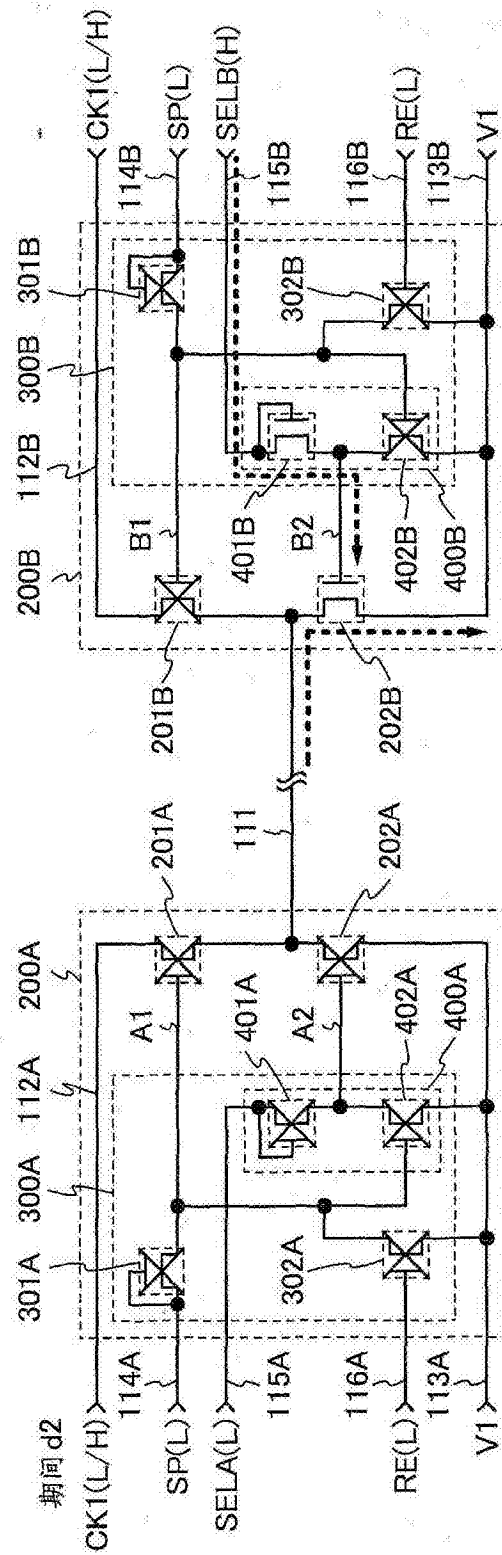


图35B

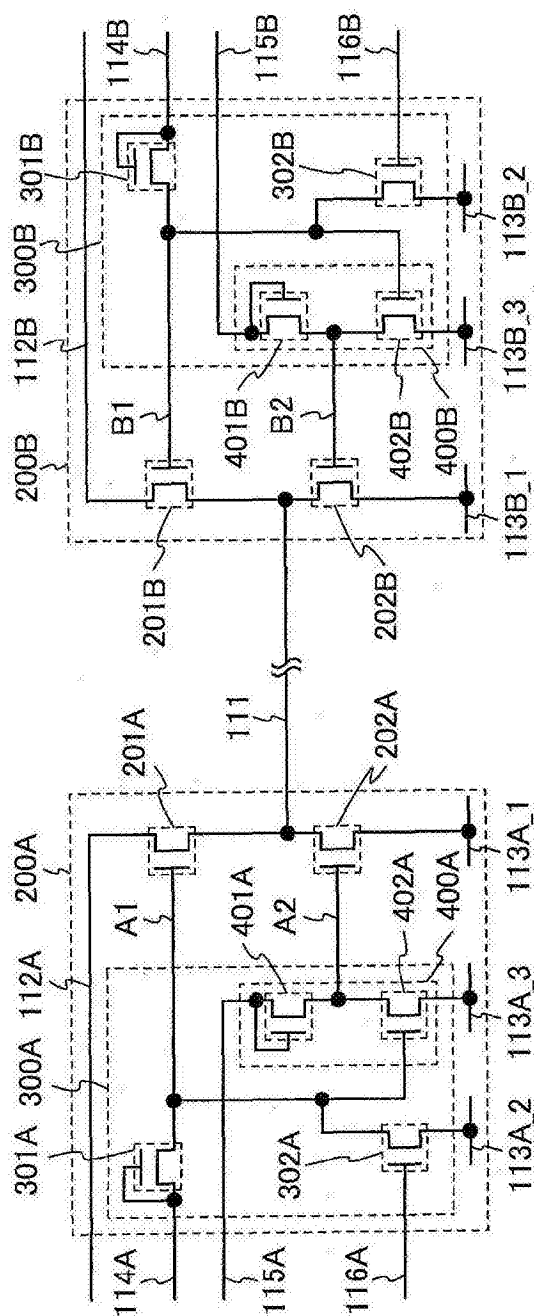


图36A

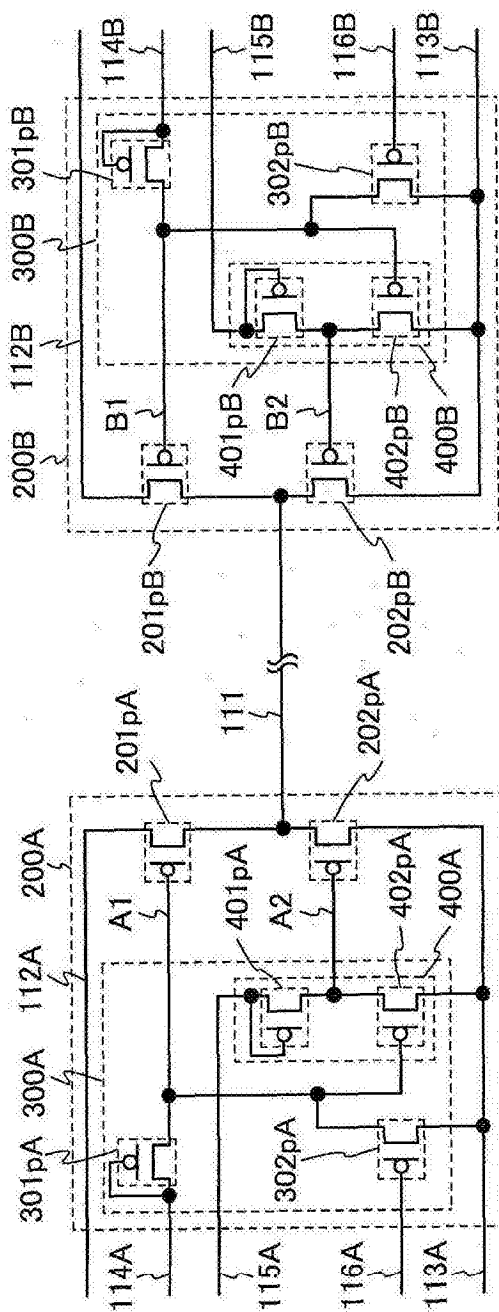


图36B

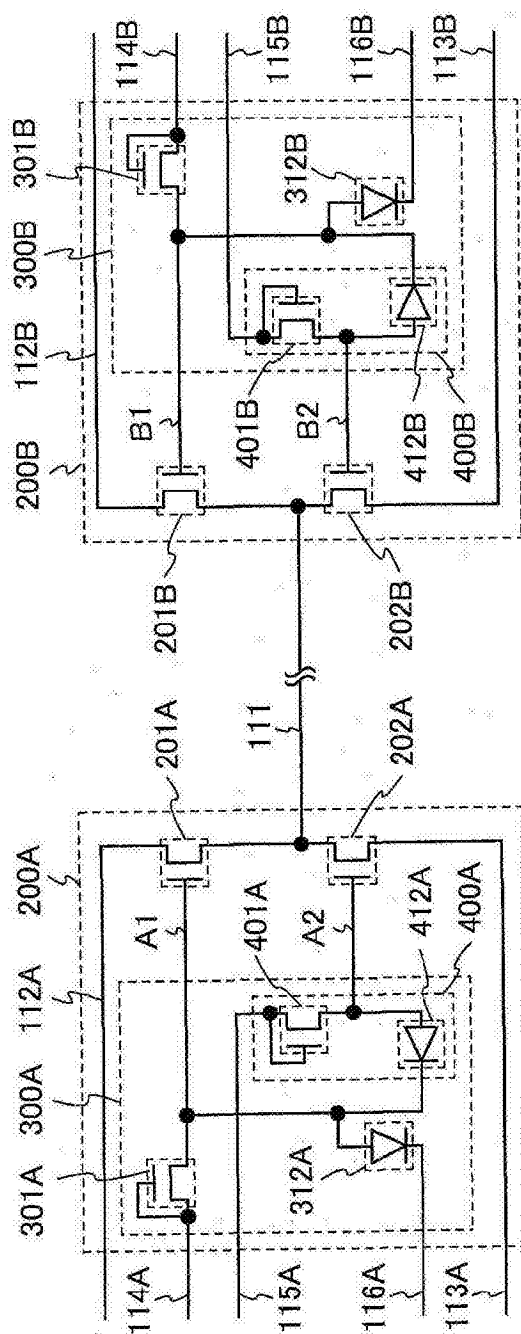


图37A

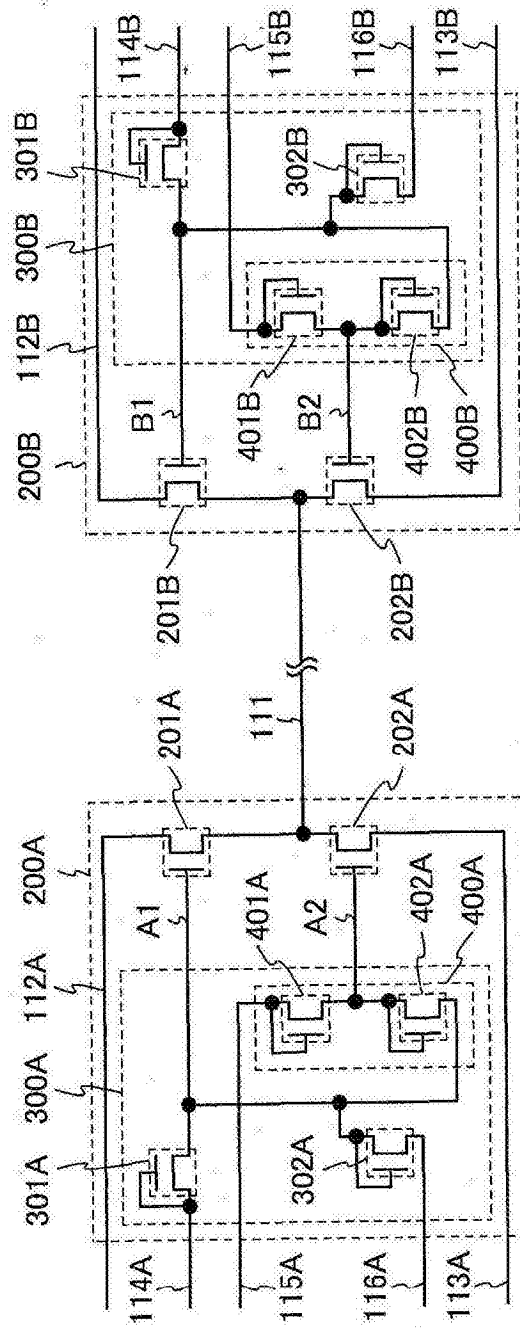


图37B

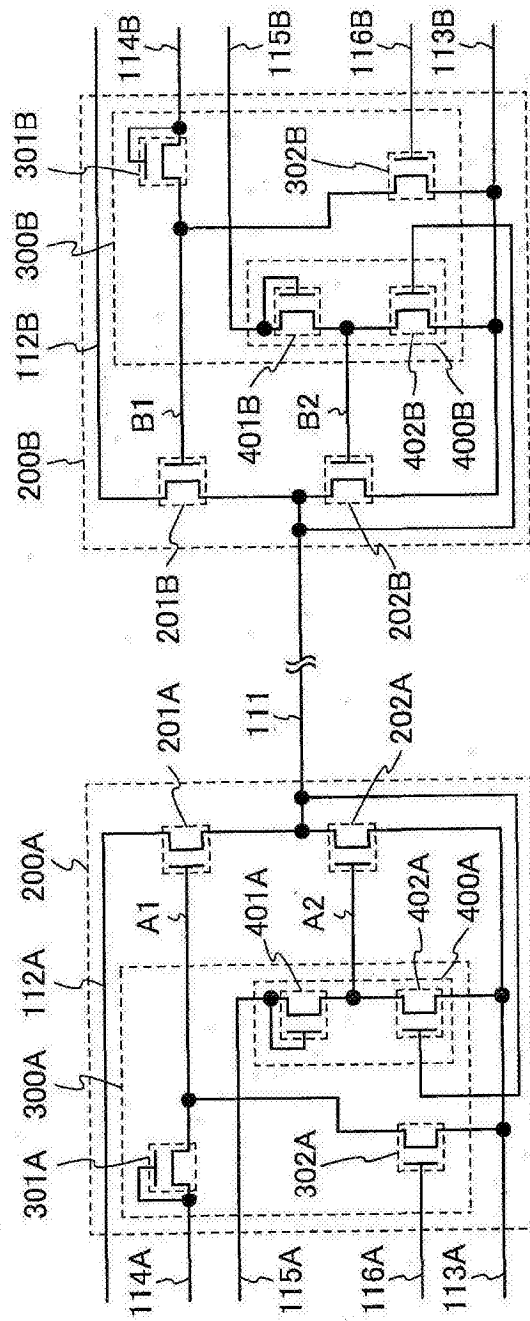


图38A

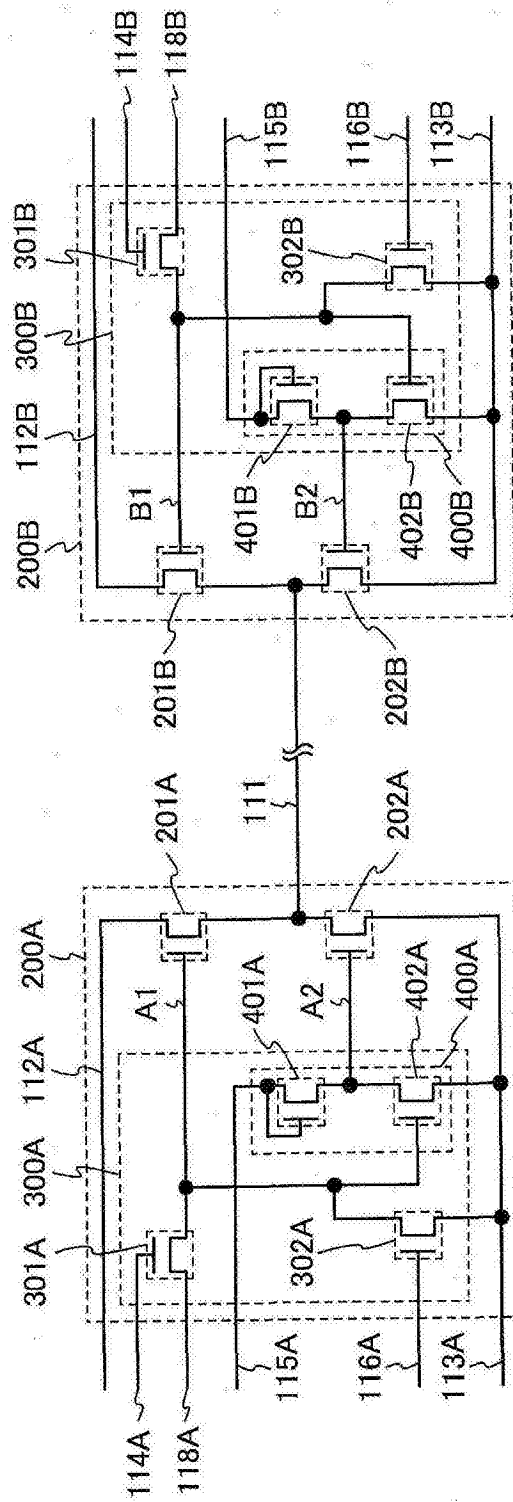


图38B

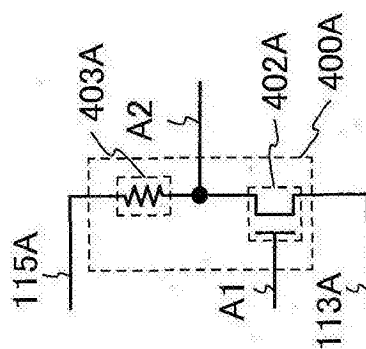


图 39A

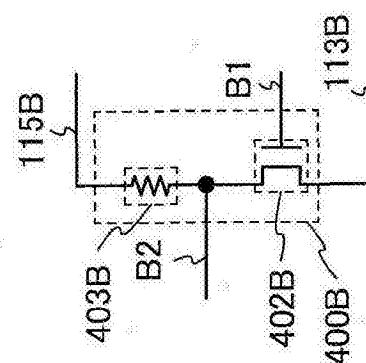


图 39B

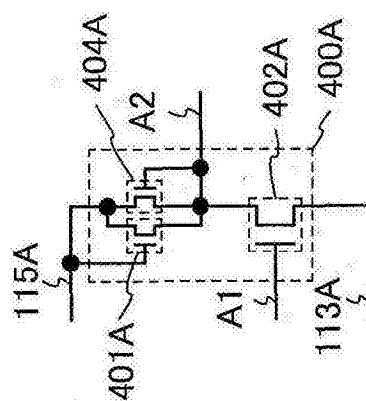


图 39C

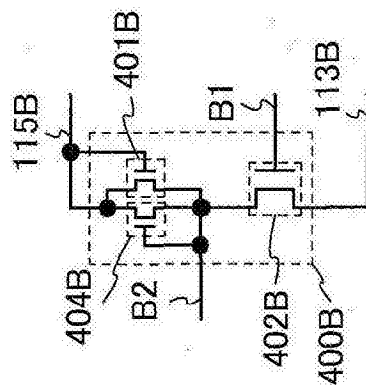


图39D

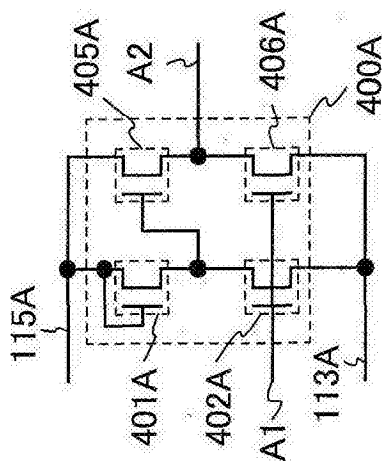


图39E

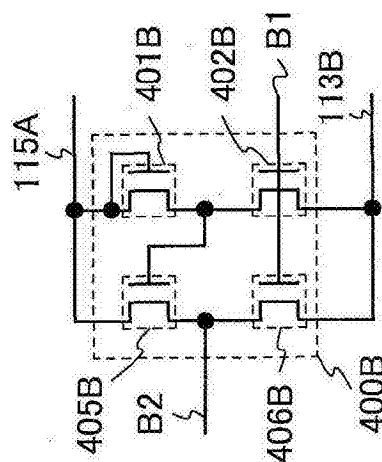


图39F

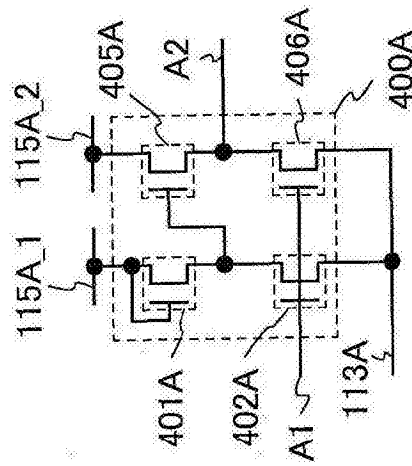


图40A

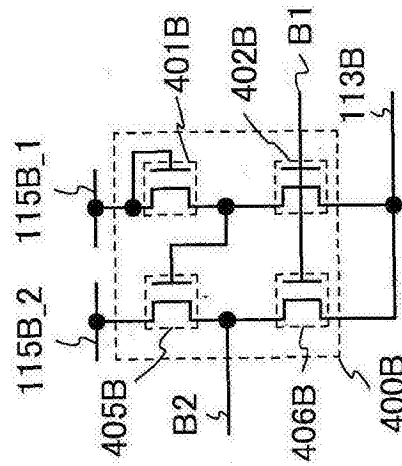


图40B

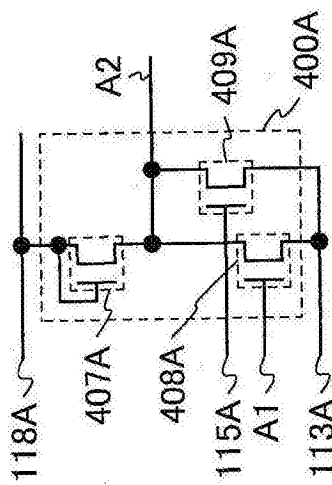


图40C

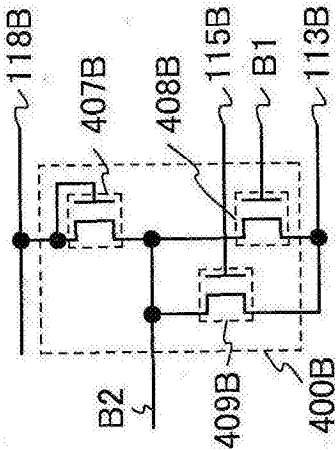


图40D

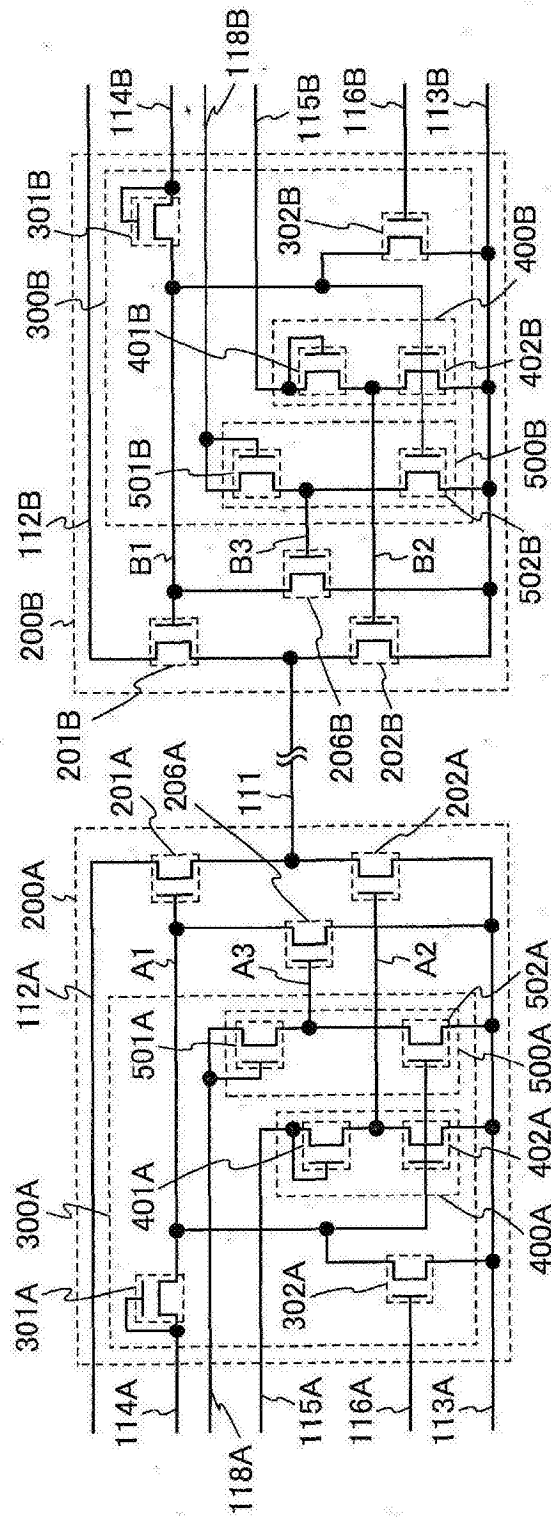


图41A

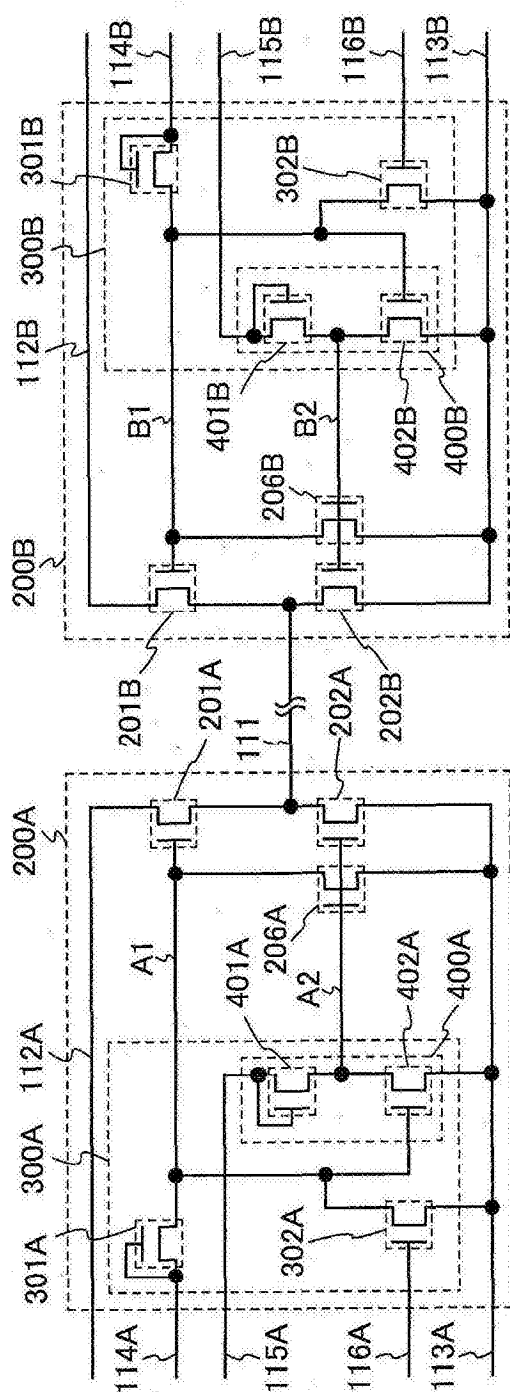


图41B

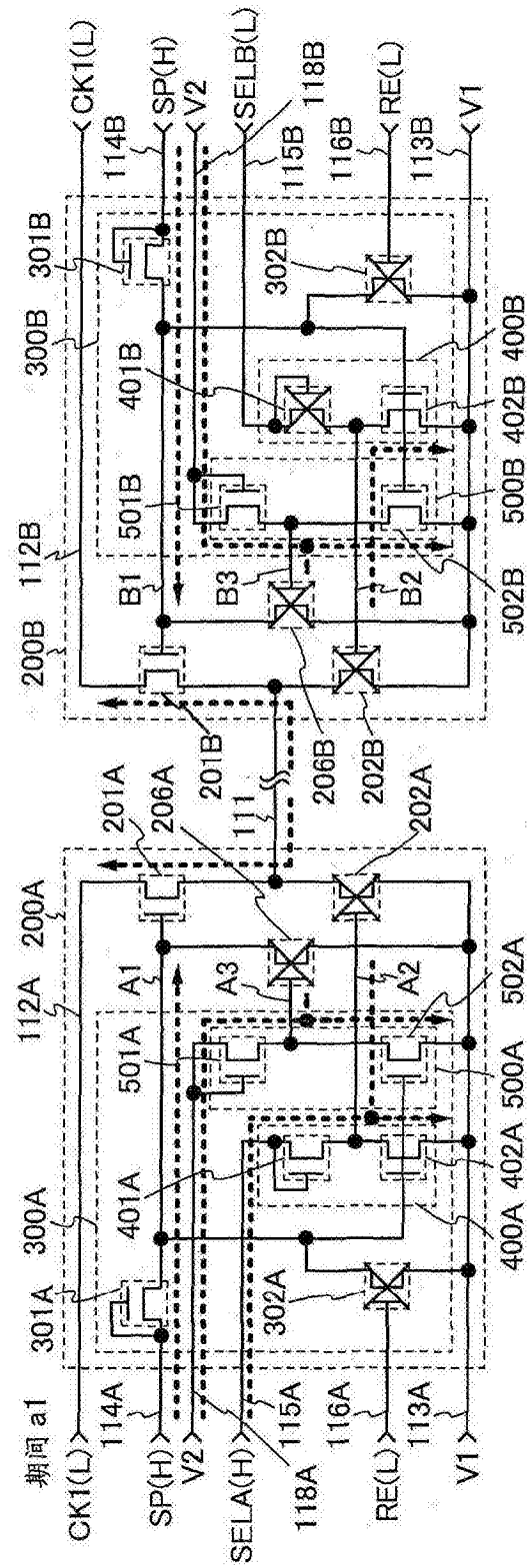


图42A

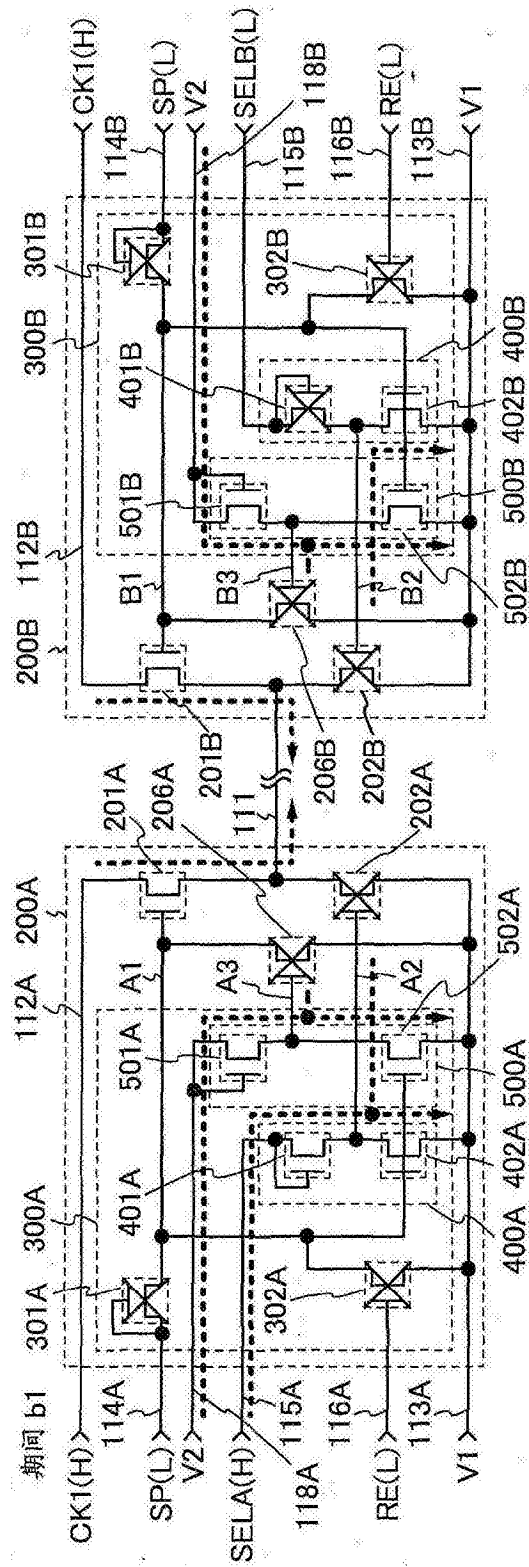


图42B

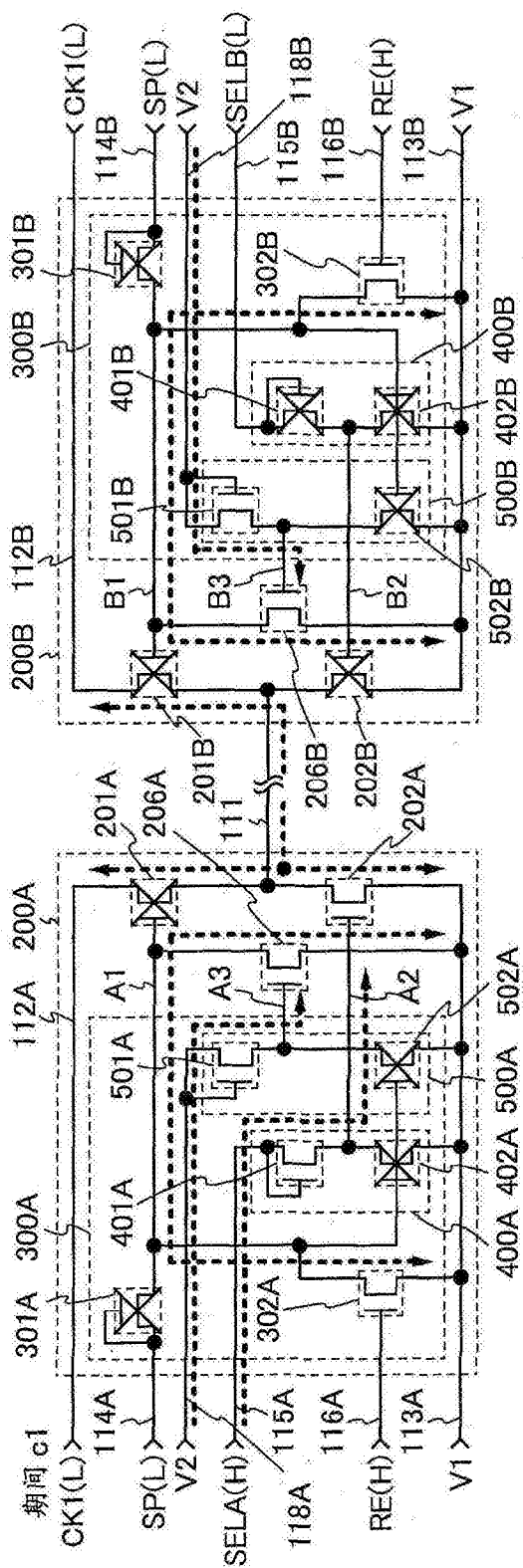


图43A

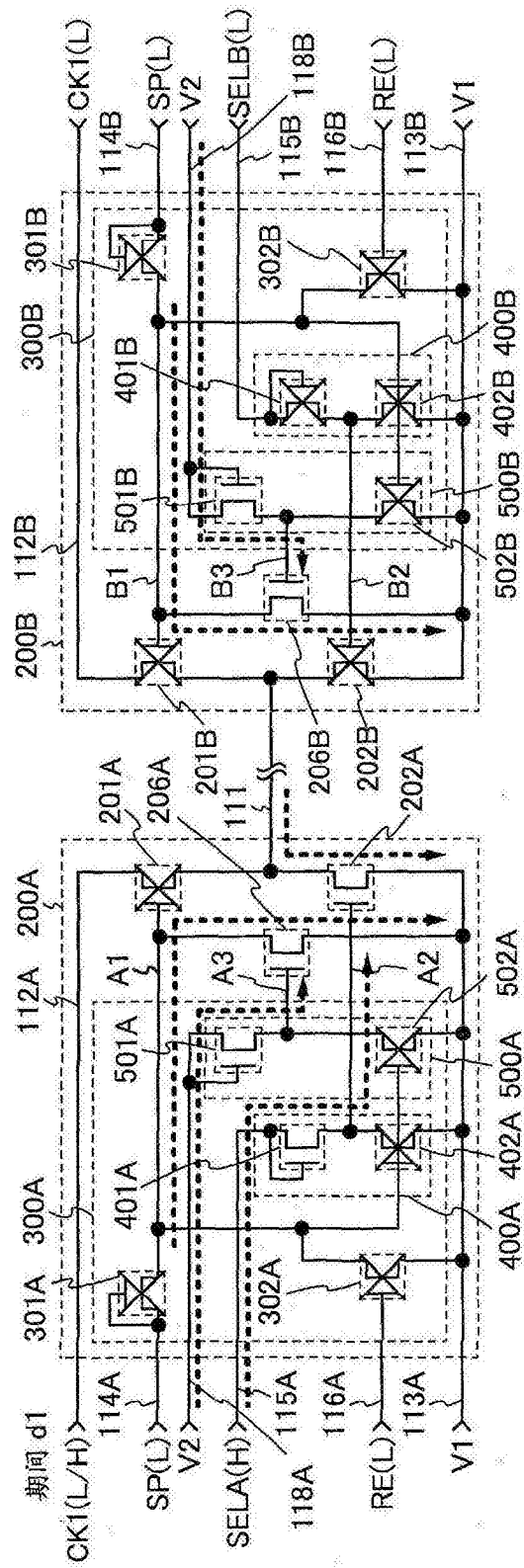


图43B

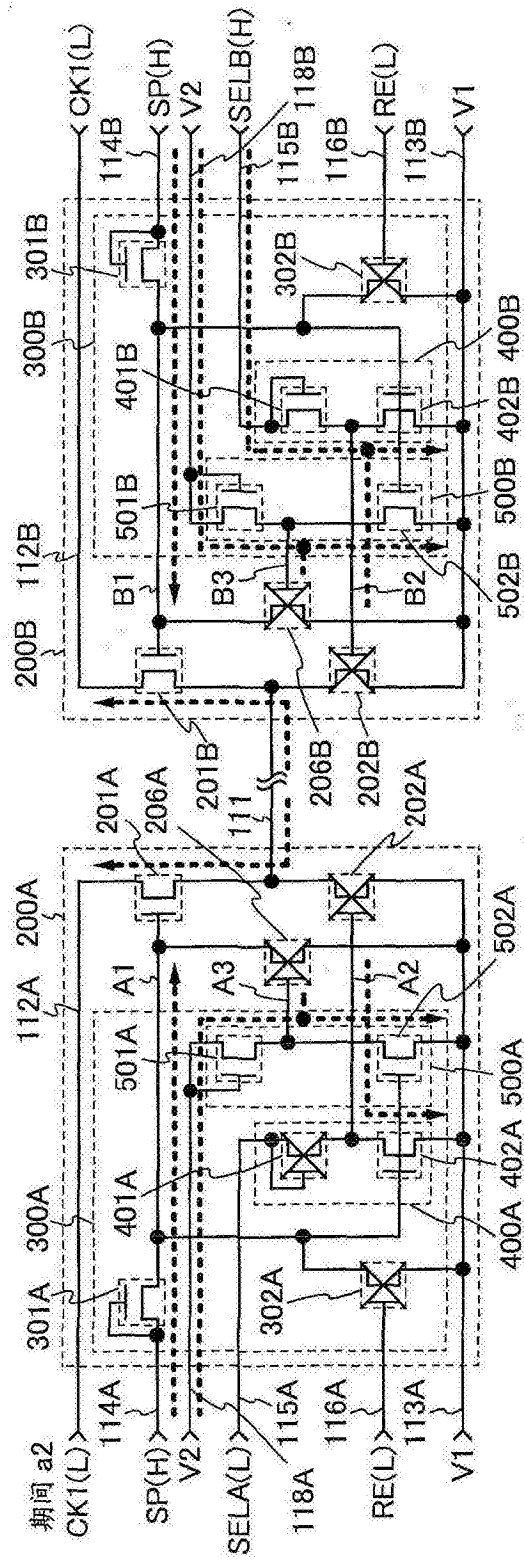


图44A

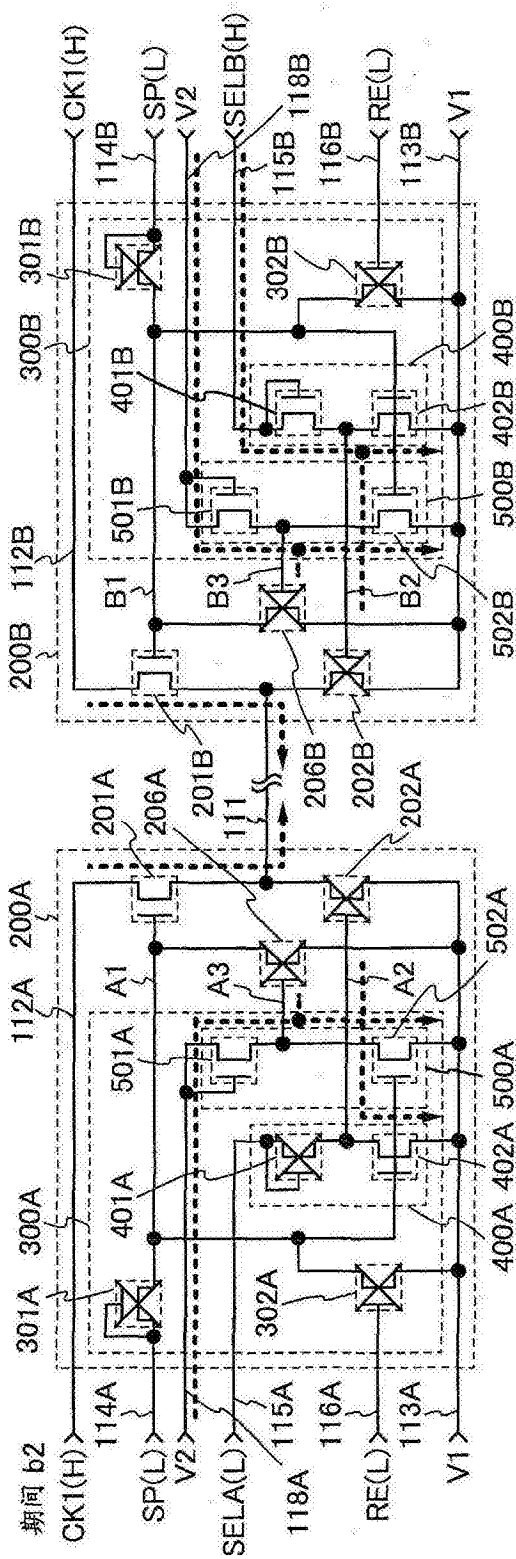


图44B

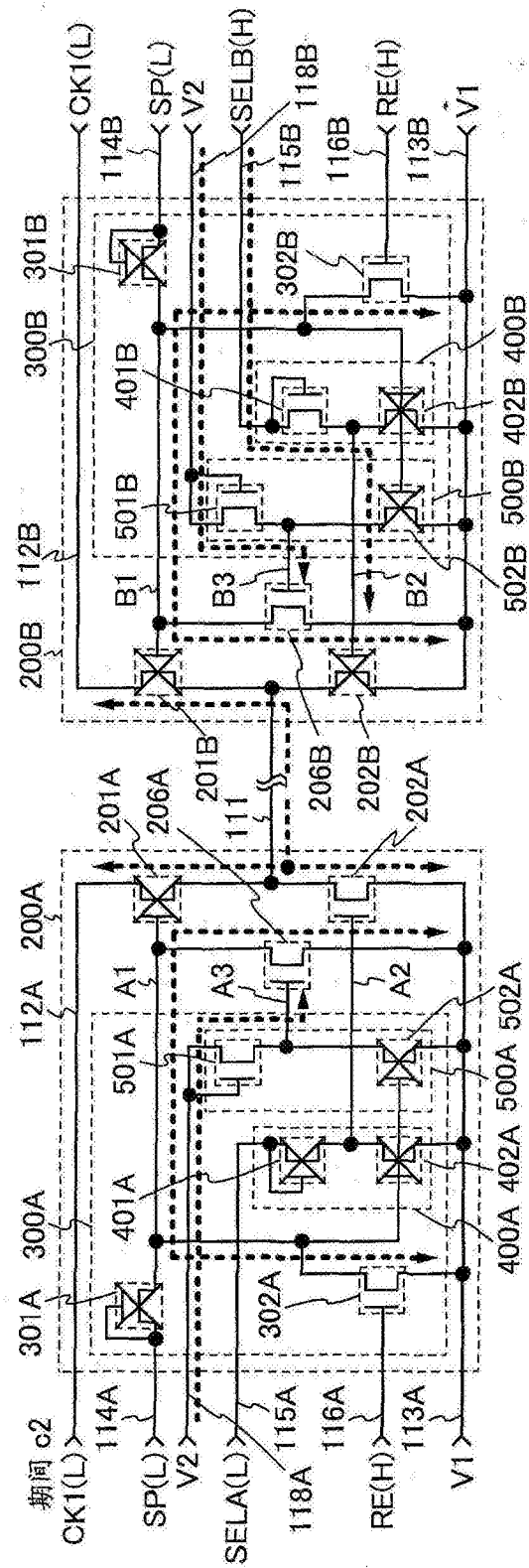


图45A

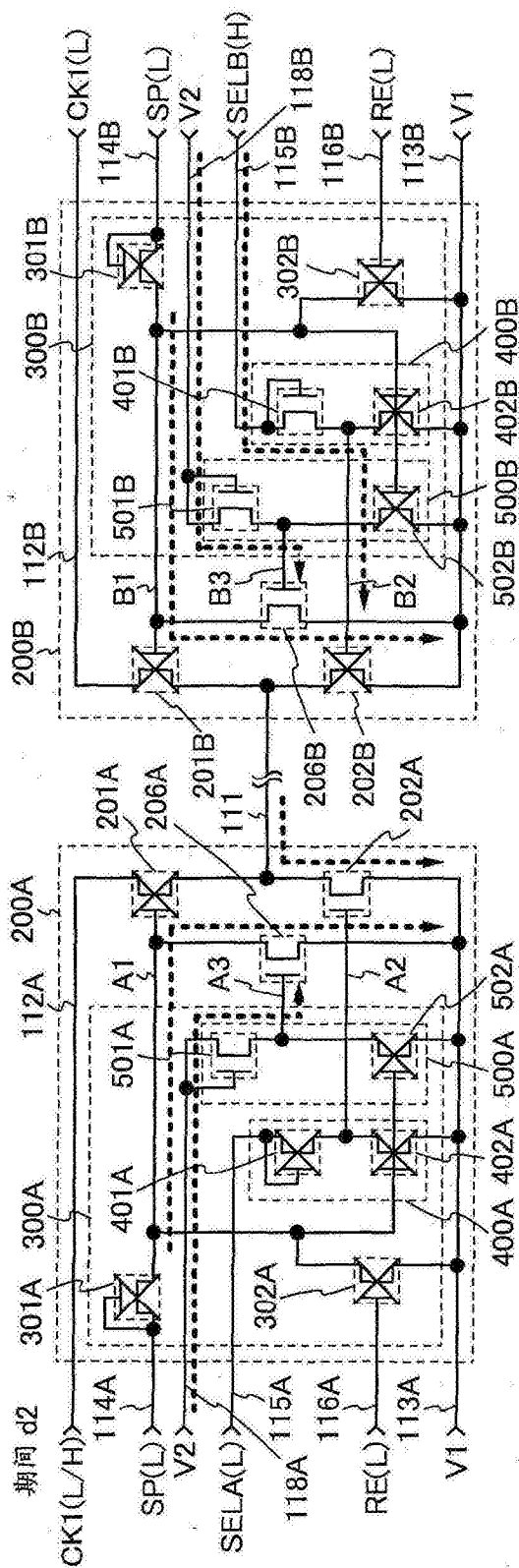


图45B

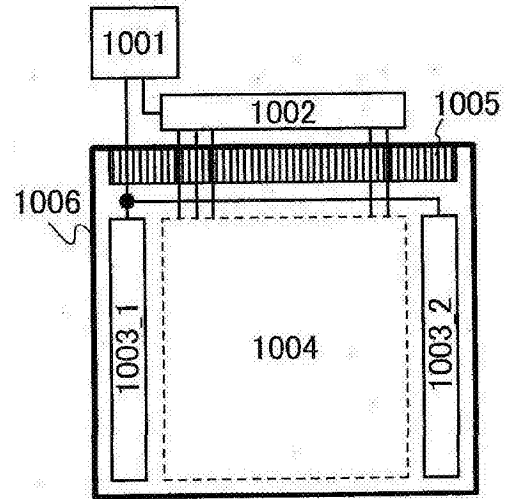


图46A

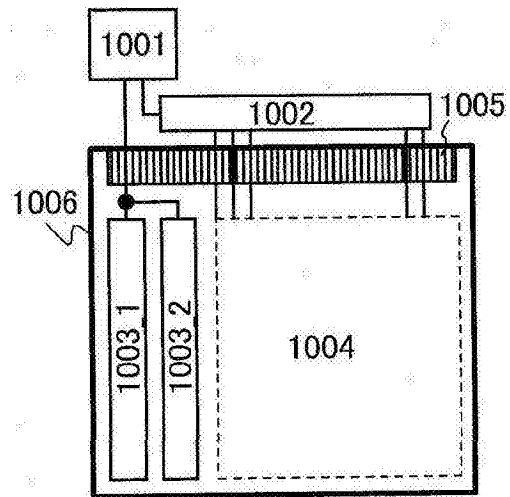


图46B

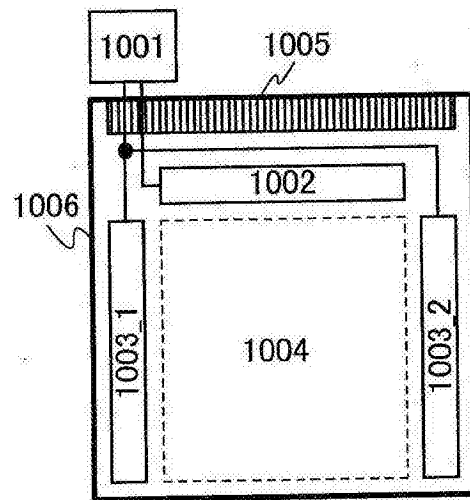


图46C

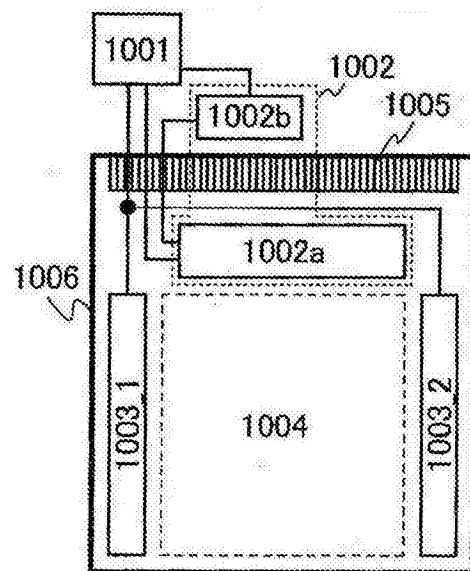


图46D

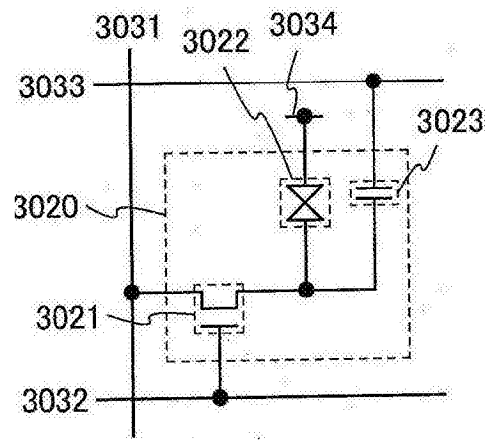


图46E

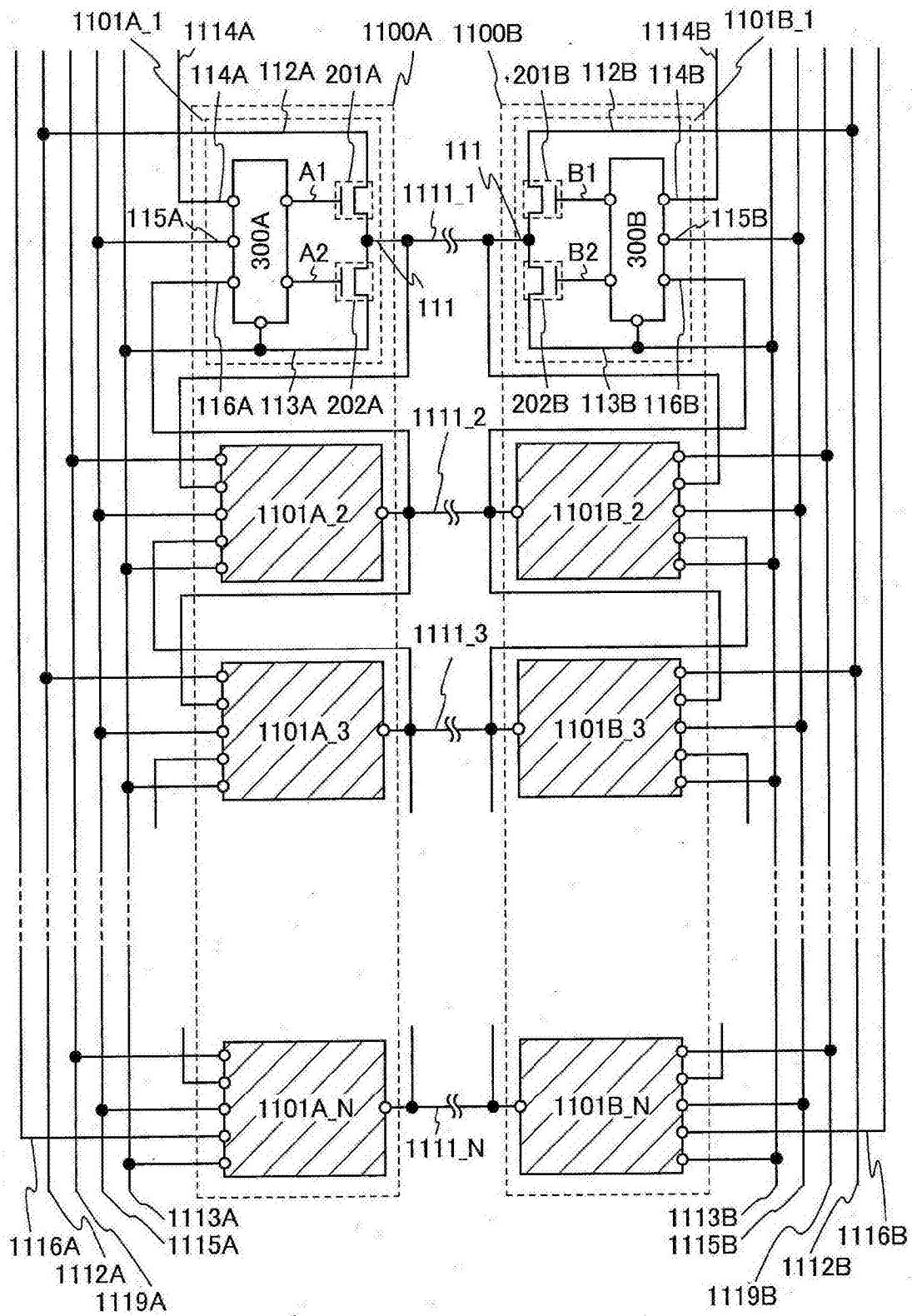


图47

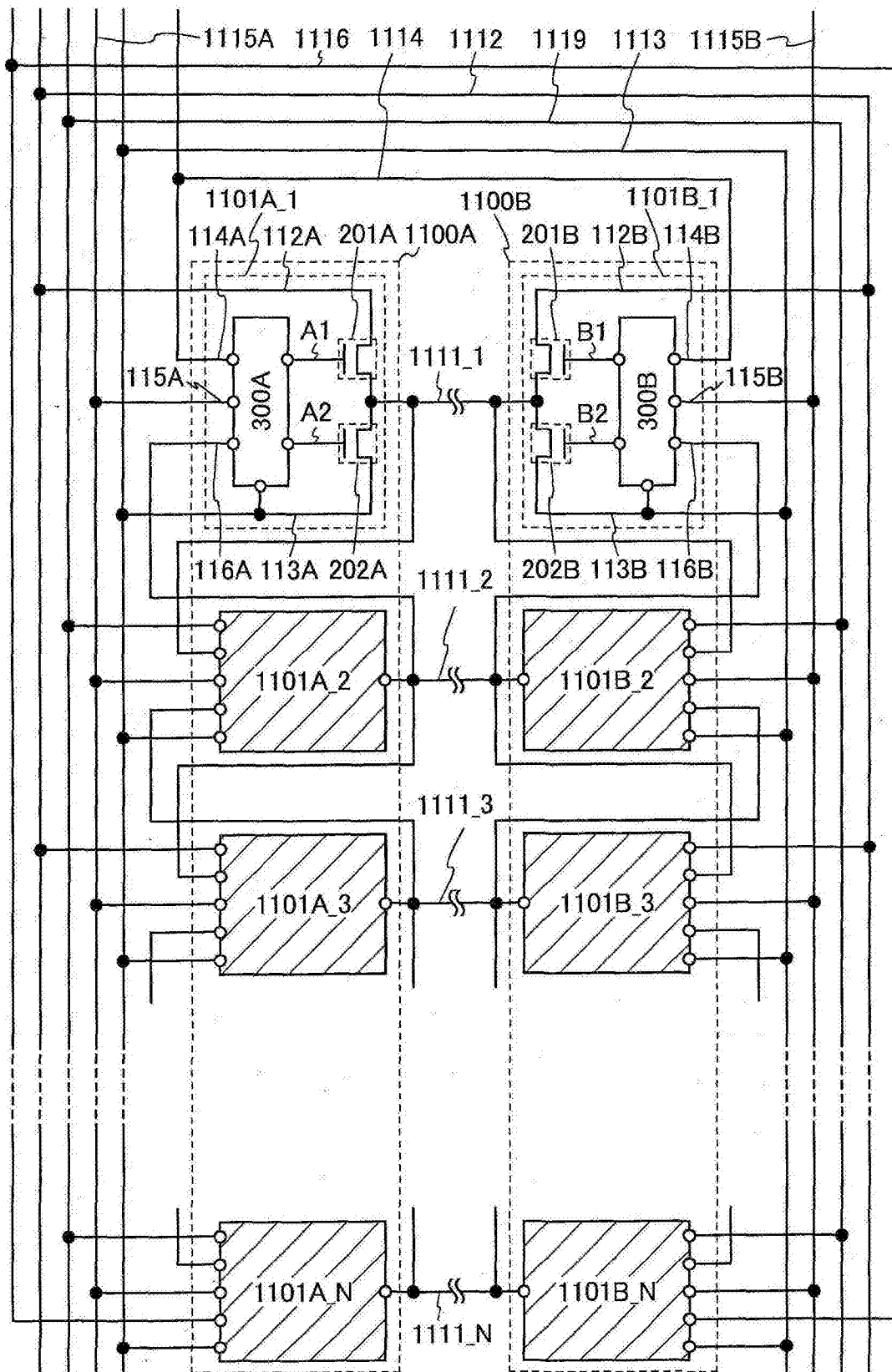


图48

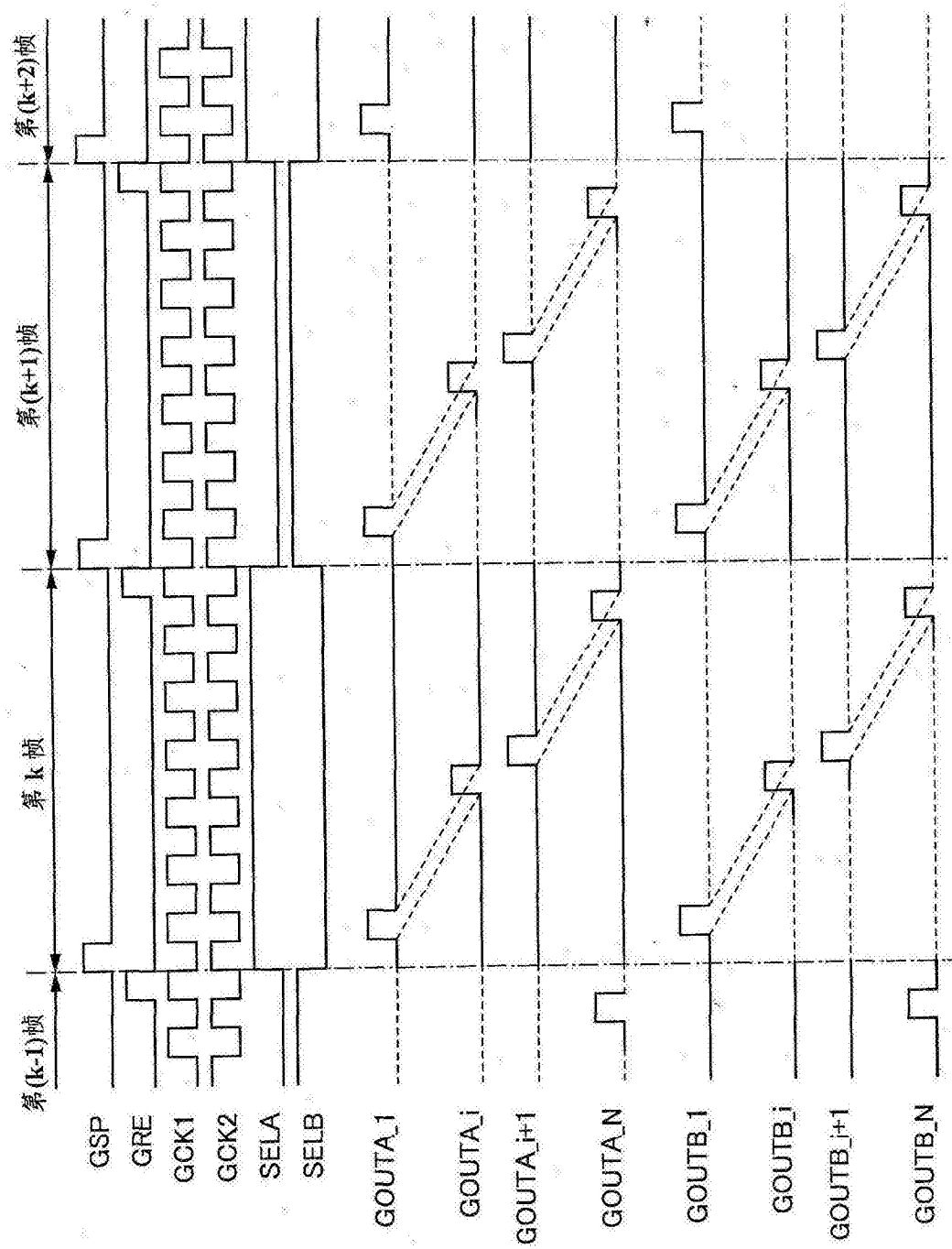


图49

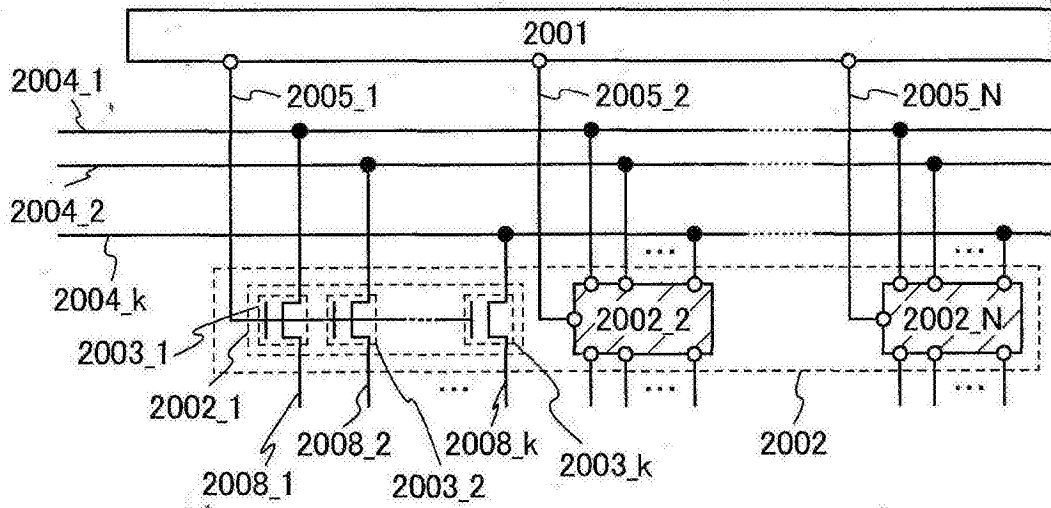


图50A

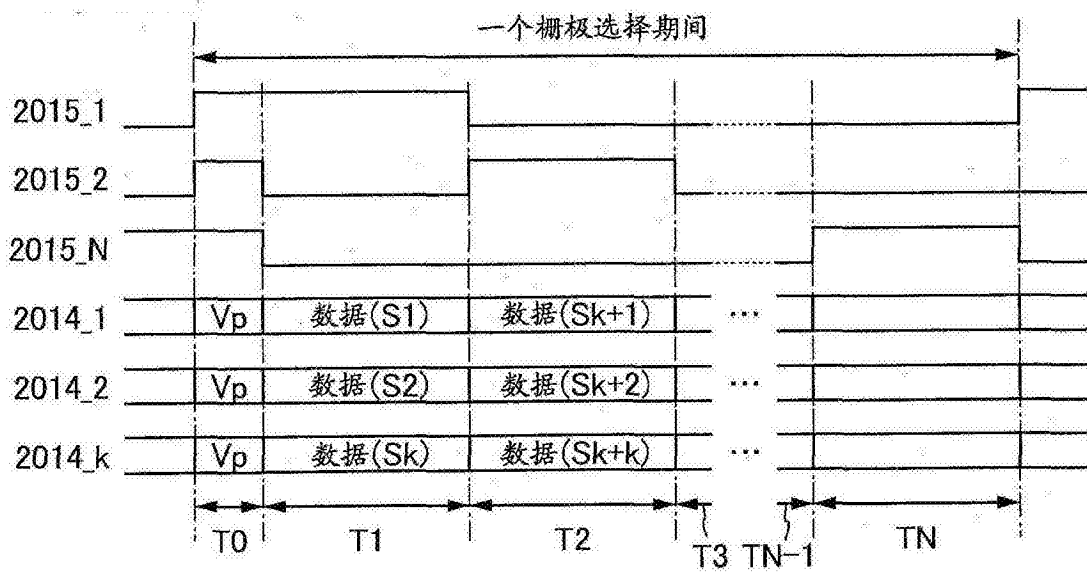


图50B

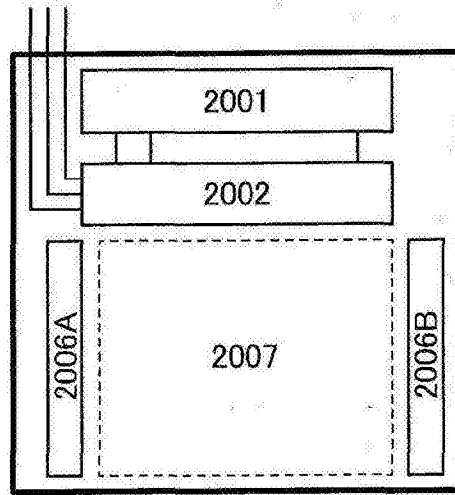


图50C

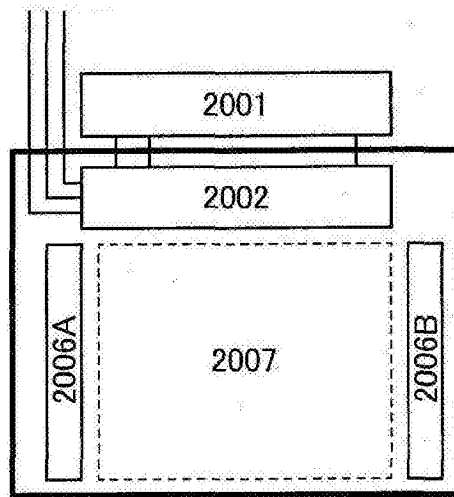


图50D

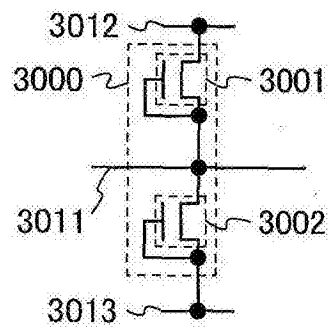


图51A

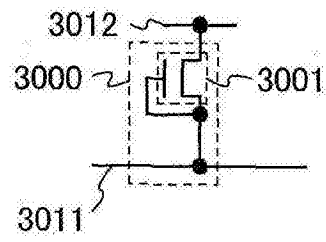


图51B

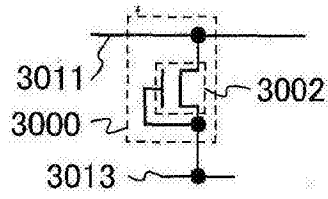


图51C

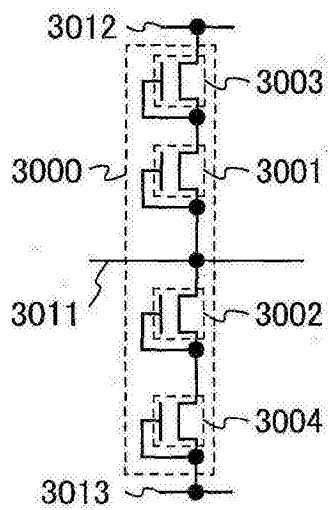


图51D

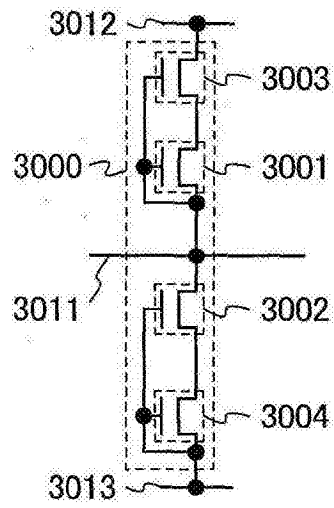


图51E

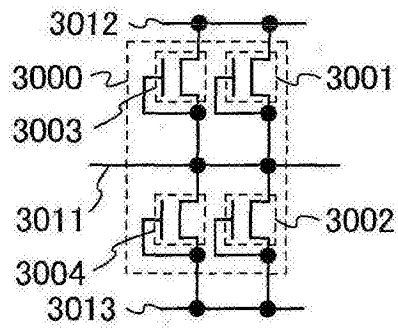


图51F

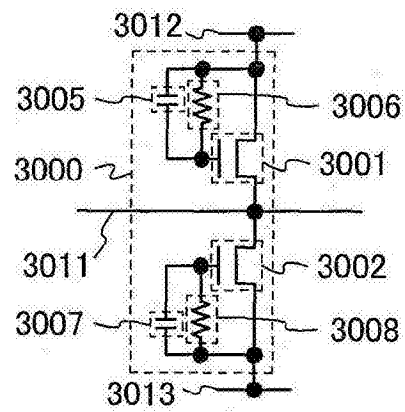


图51G

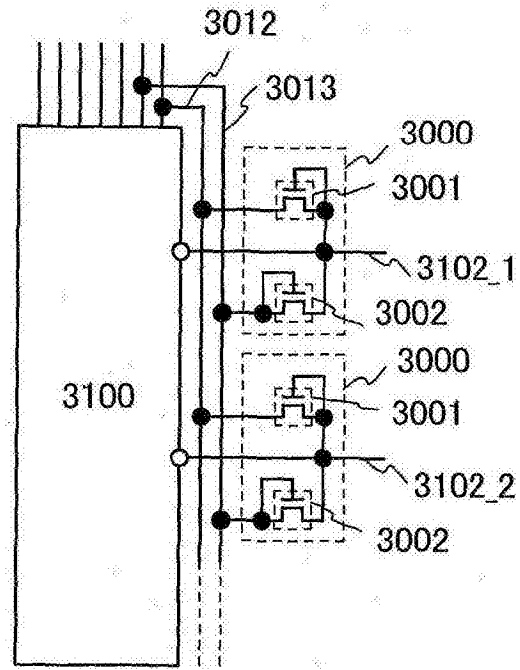


图52A

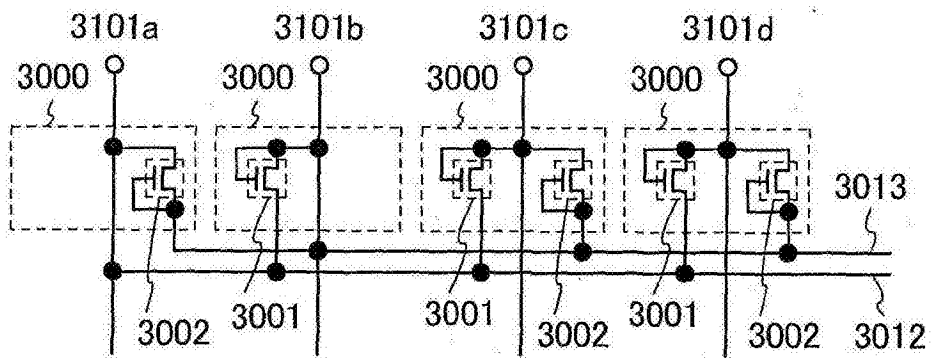


图52B

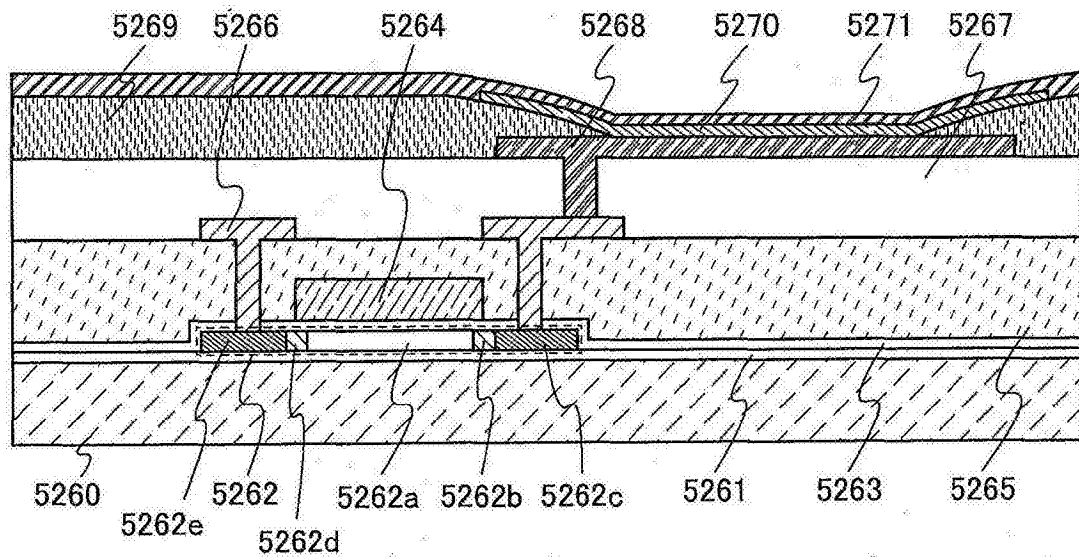


图53A

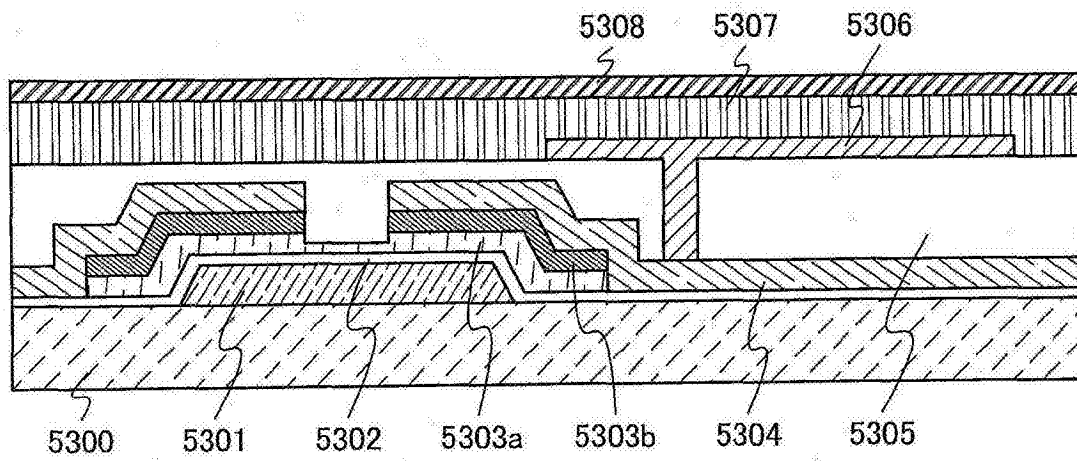


图53B

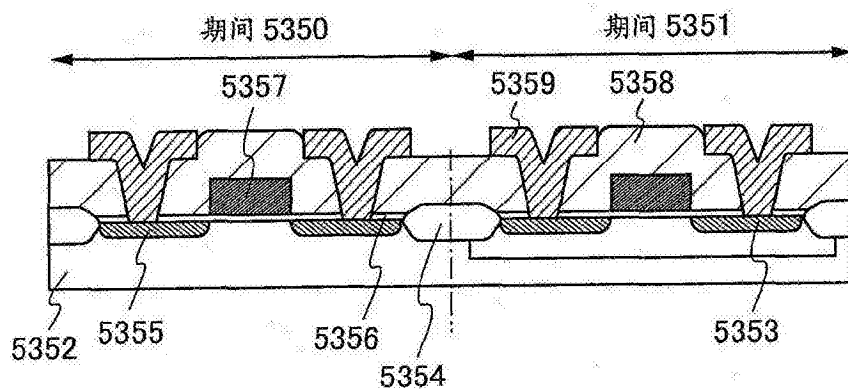


图53C

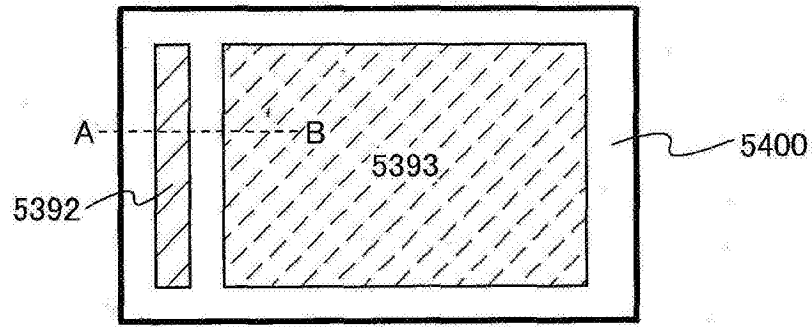


图54A

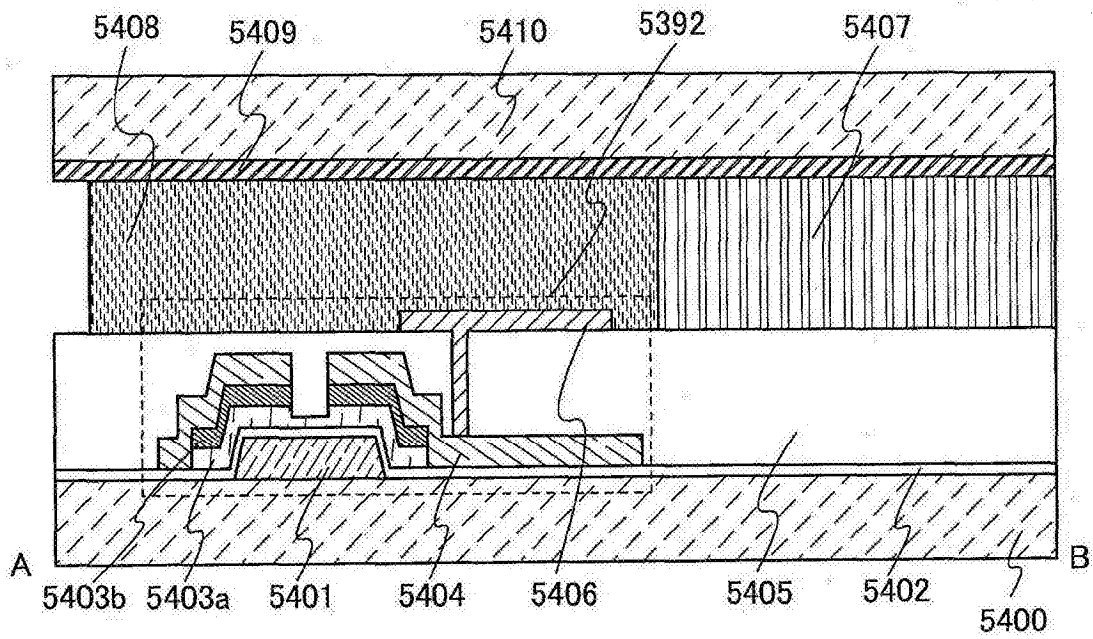


图54B

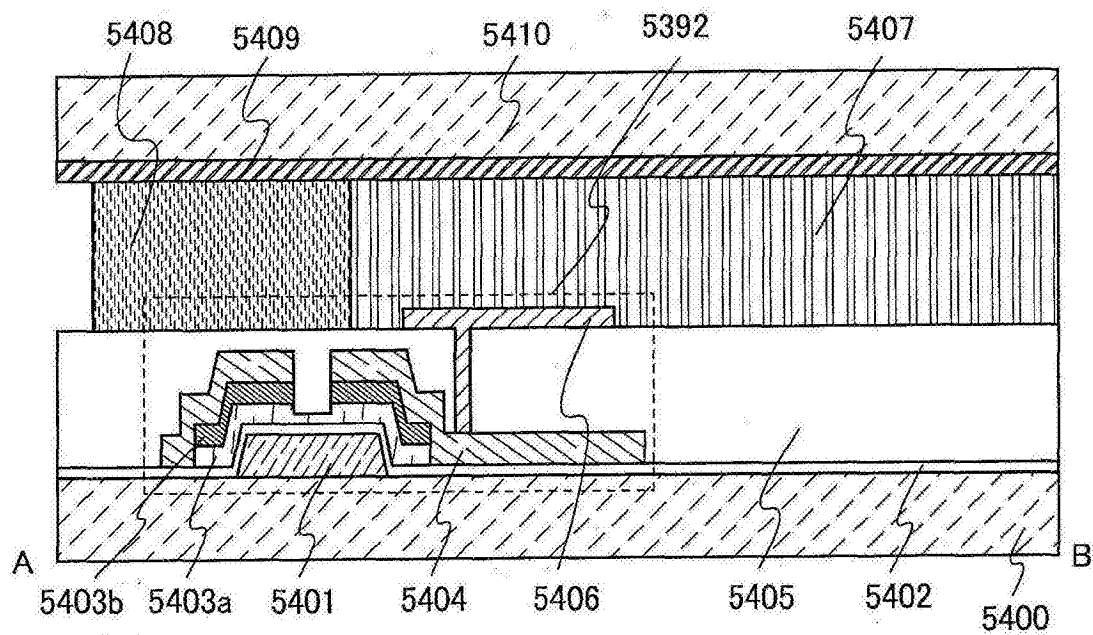


图54C

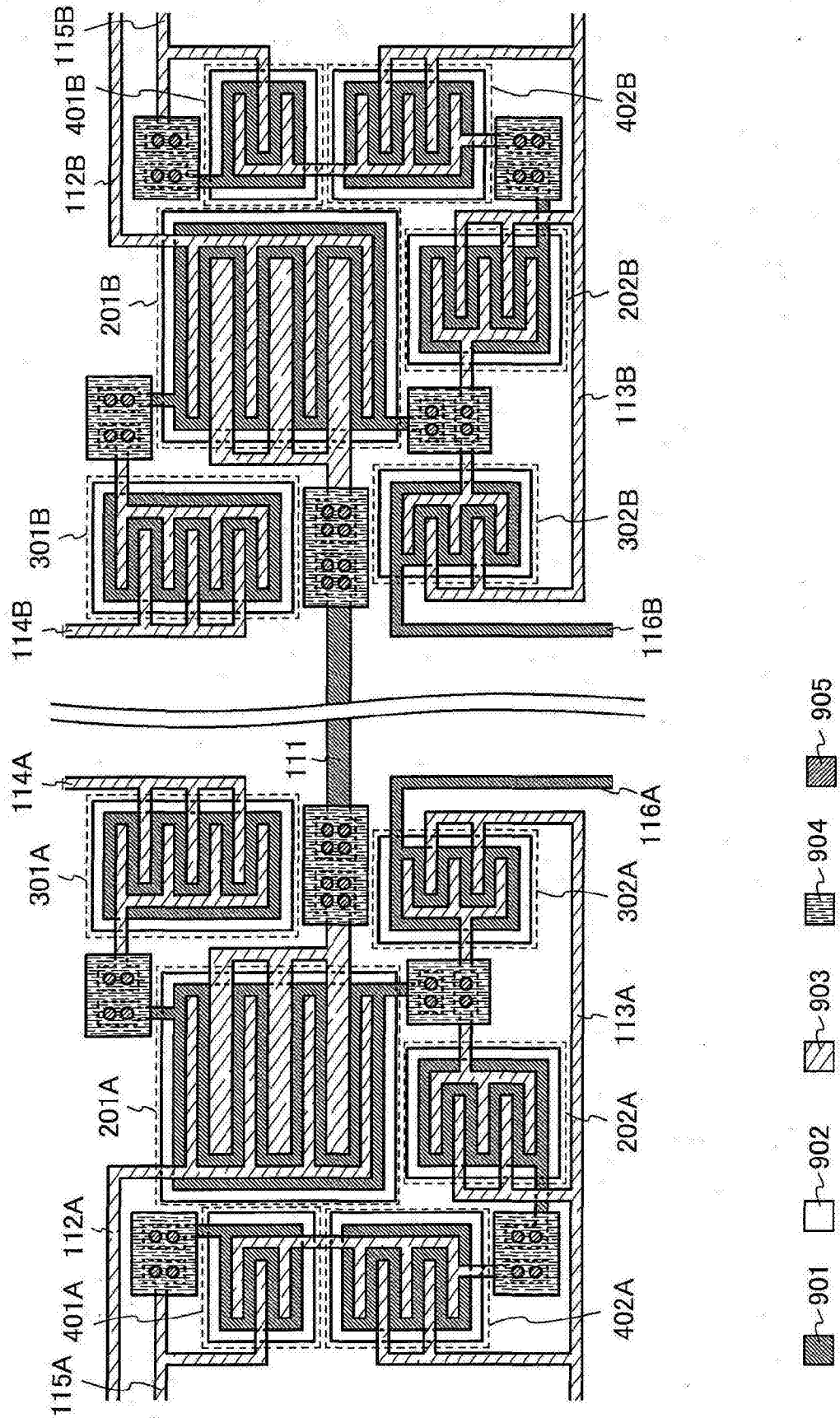


图55

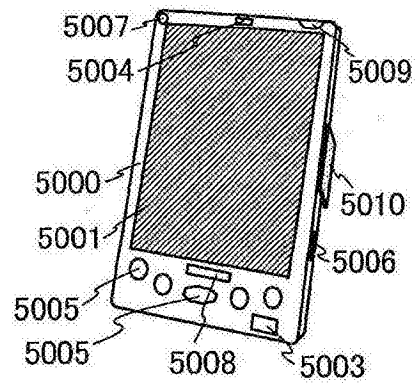


图56A

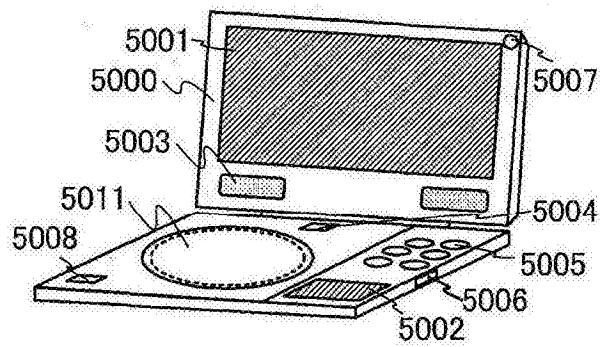


图56B

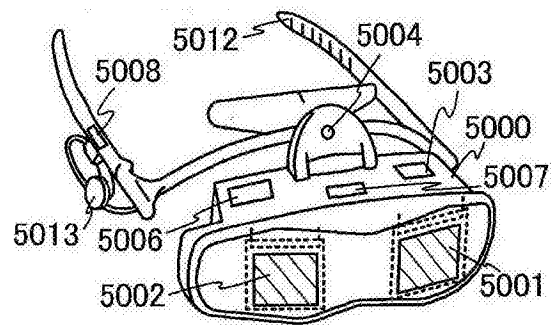


图56C

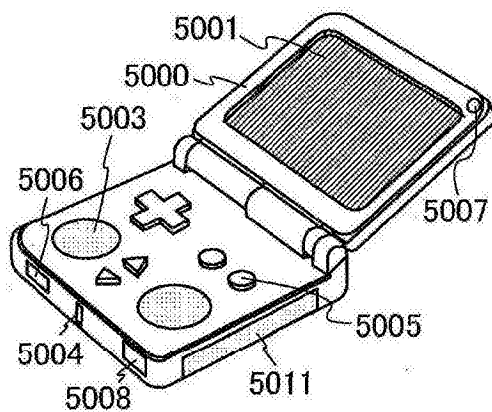


图56D

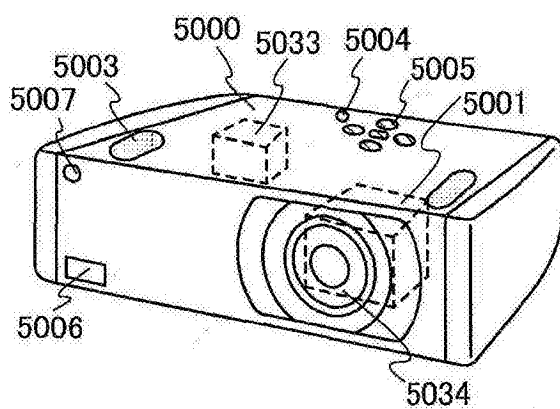


图56E

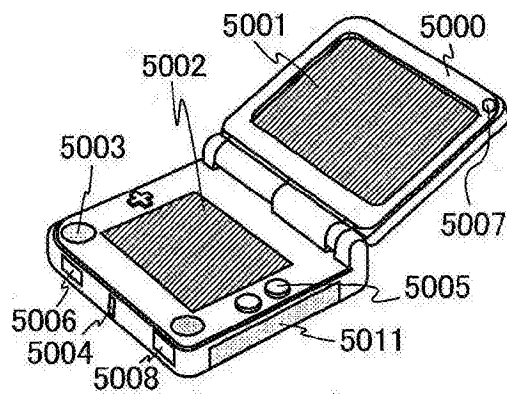


图56F

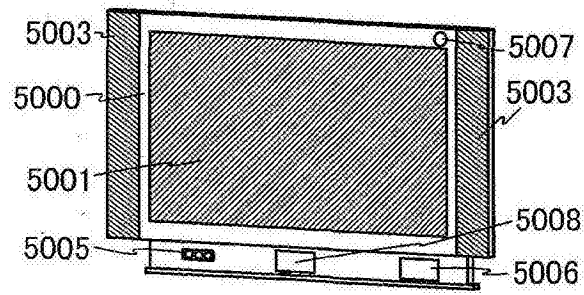


图56G

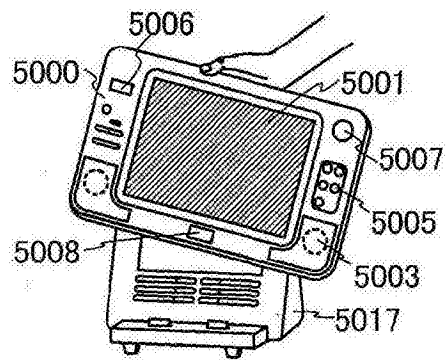


图56H

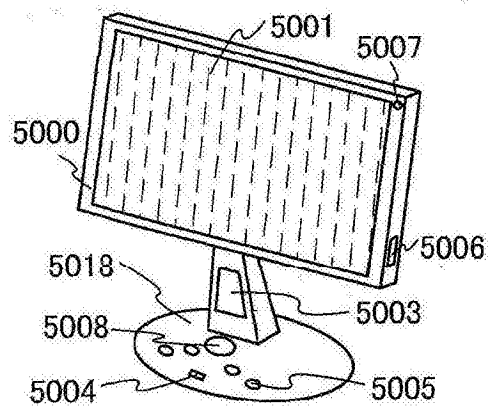


图57A

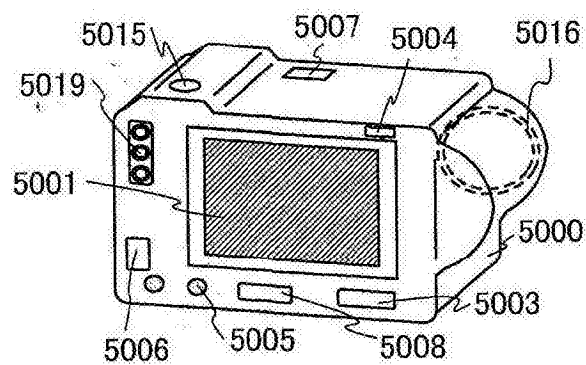


图57B

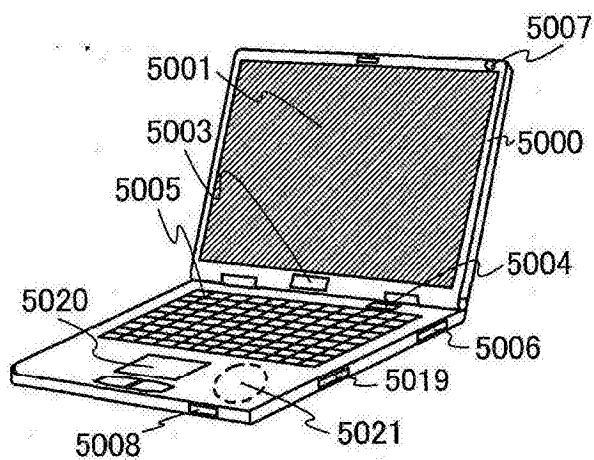


图57C

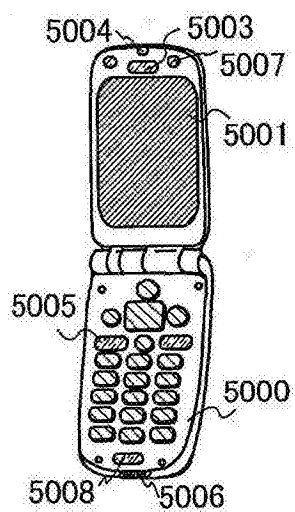


图57D

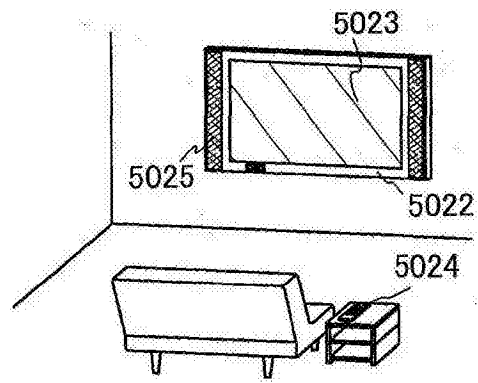


图57E

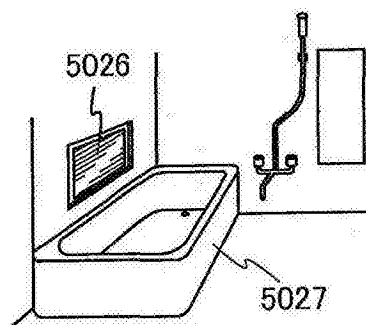


图57F

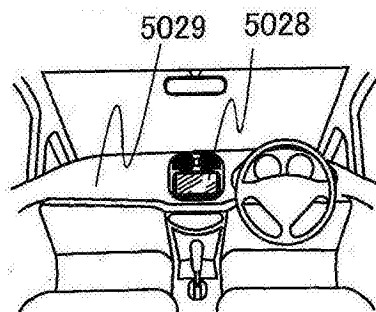


图57G

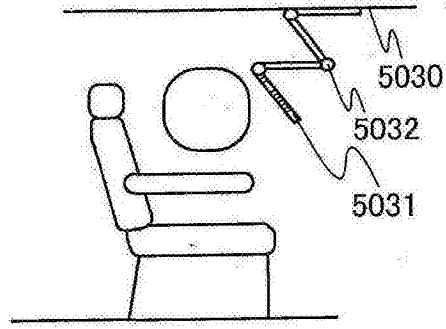


图57H

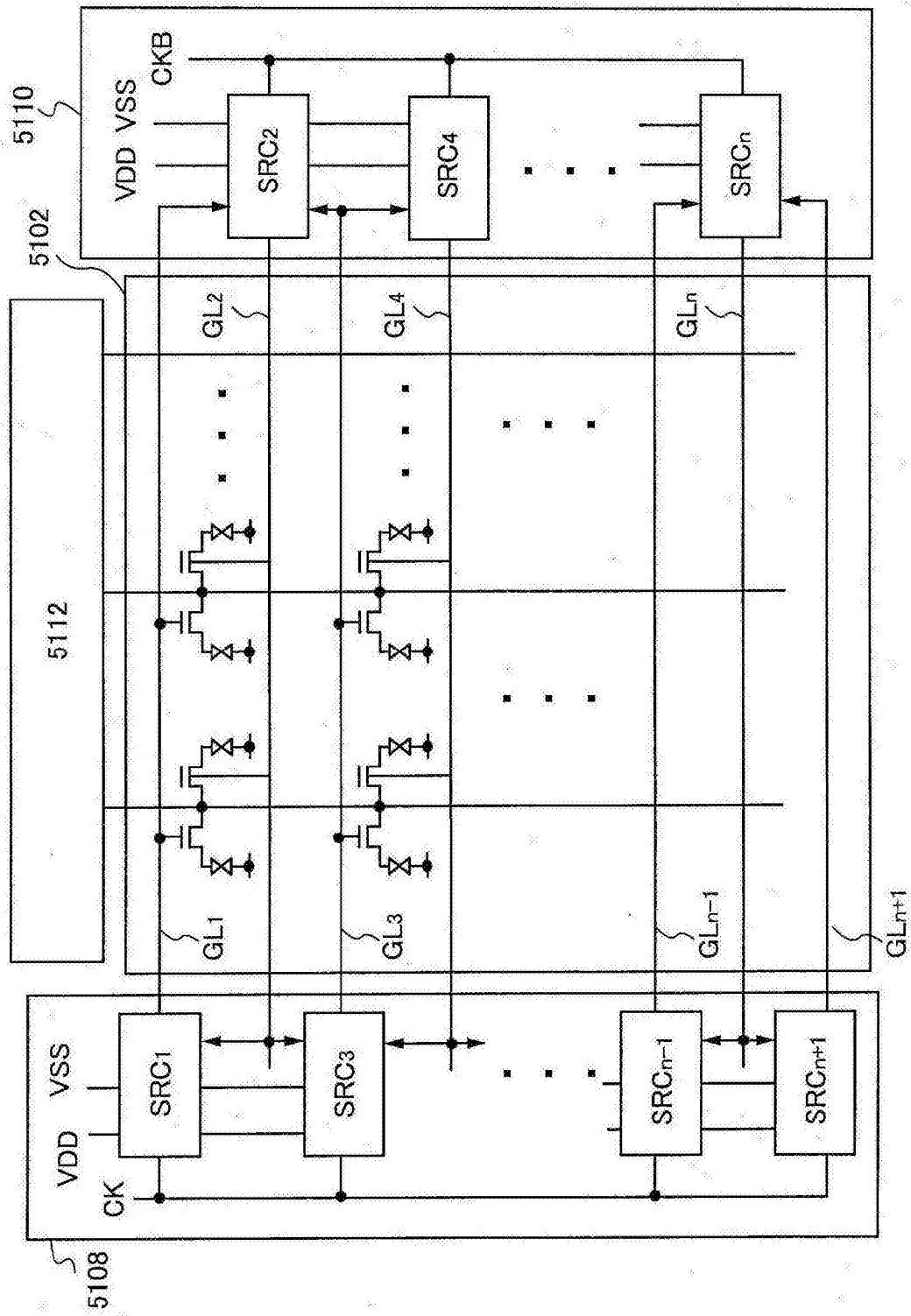


图58

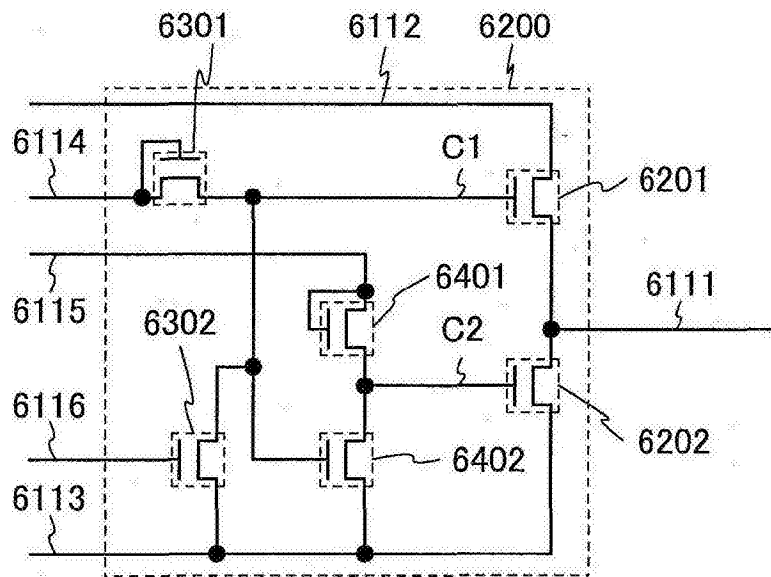


图59

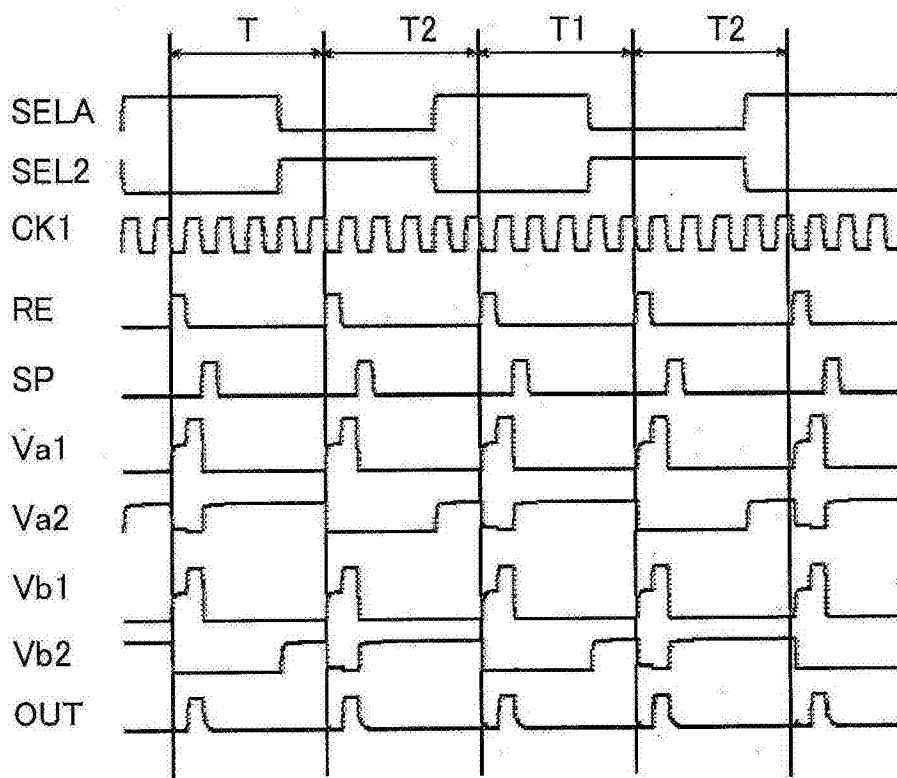


图60A

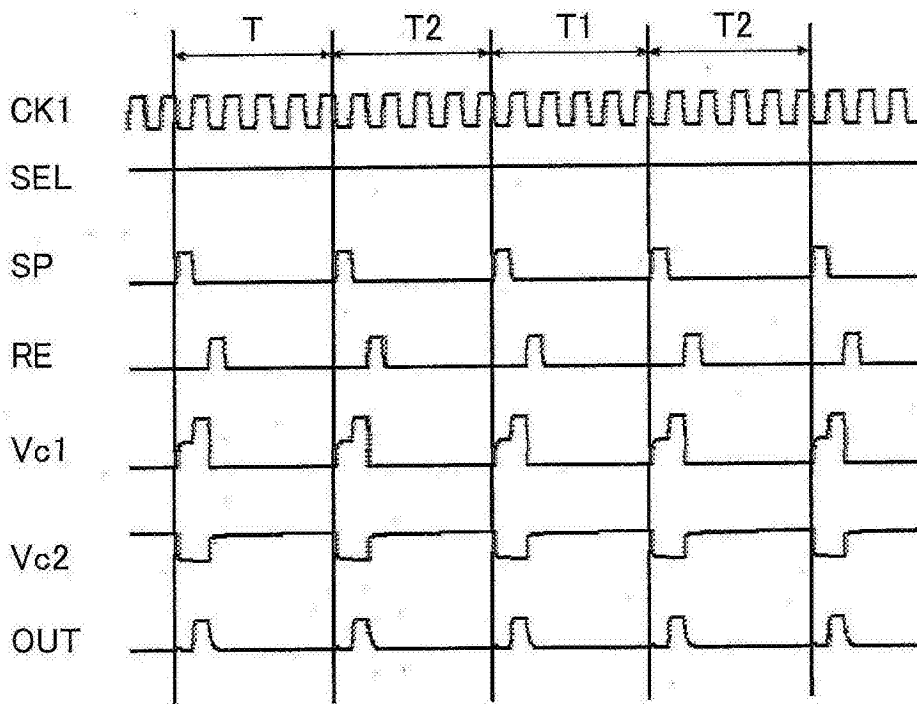


图60B

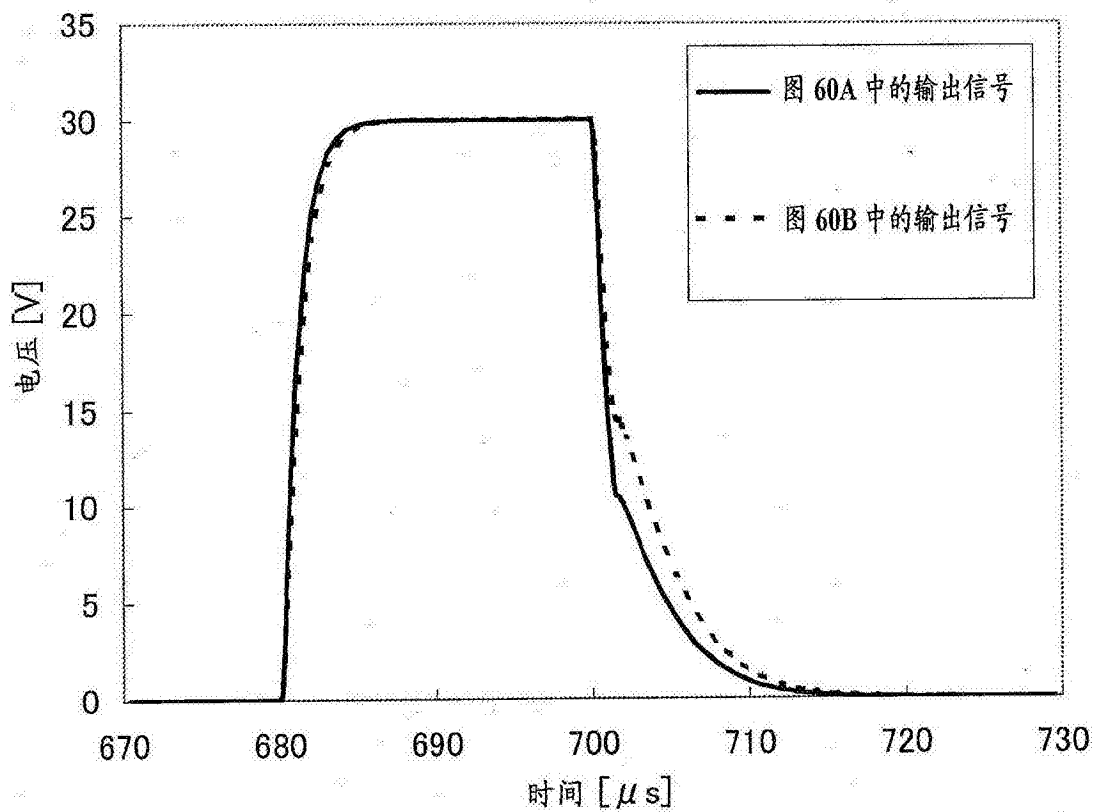


图61