

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-12943
(P2005-12943A)

(43) 公開日 平成17年1月13日(2005.1.13)

| | | | |
|----------------------------|------------|-------------|--------------------|
| (51) Int. Cl. ⁷ | F I | テーマコード (参考) | |
| H02M 3/07 | H02M 3/07 | 2H093 | |
| G02F 1/133 | G02F 1/133 | 5C006 | |
| G09G 3/20 | G09G 3/20 | 611A | 5C080 |
| G09G 3/36 | G09G 3/20 | 612D | 5H730 |
| | G09G 3/20 | 612F | |
| | 審査請求 有 | 請求項の数 21 | OL (全 43 頁) 最終頁に続く |

| | | | |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2003-175320 (P2003-175320) | (71) 出願人 | 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 |
| (22) 出願日 | 平成15年6月19日 (2003.6.19) | (74) 代理人 | 100090479 弁理士 井上 一 |
| | | (74) 代理人 | 100090387 弁理士 布施 行夫 |
| | | (74) 代理人 | 100090398 弁理士 大淵 美千栄 |
| | | (72) 発明者 | 上條 治雄 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 |

最終頁に続く

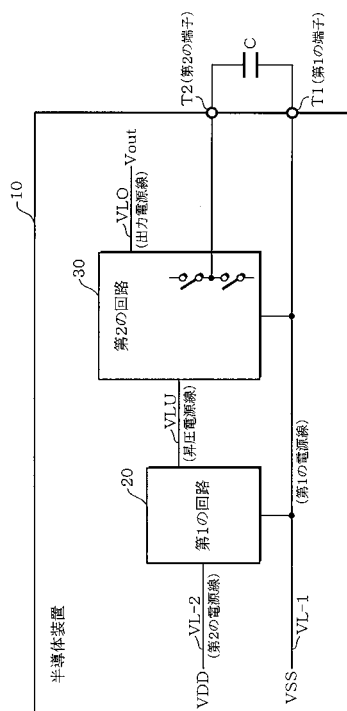
(54) 【発明の名称】 半導体装置及び表示装置

(57) 【要約】

【課題】 負荷駆動能力を低下させることなく低消費化を図り、出力電圧を安定化させる昇圧回路、これを備えた半導体装置及び表示装置を提供する。

【解決手段】 第1の回路20は、第1及び第2の電源線VL-1、VL-2と昇圧電源線VLUとに接続され、第1及び第2の電源線VL-1、VL-2の間の電圧をM(Mは正の整数)倍に昇圧した電圧を、第1の電源線VL-1と昇圧電源線VLUとの間に出力する。第2の回路30は、第1の電源線VL-1、昇圧電源線VLU及び出力電源線VLOに接続され、複数のスイッチ素子を含む。第2の回路30は、外部で第1及び第2の端子T1、T2の間に接続されるキャパシタC、第2の端子T2に接続されたスイッチ素子とを用いたチャージポンプ動作により、第1の電源線VL-1と出力電源線VLOとの間に、第1の回路20で生成された電圧をN(N>N, Nは整数)倍に昇圧した電圧を出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の電源線との間の電圧を、 $M \times N$ ($M > N$ 、 M 、 N は正の整数) 倍に昇圧した出力電圧を生成する半導体装置であって、

前記第 1 及び第 2 の電源線と昇圧電源線とに接続され、チャージポンプ動作により前記第 1 及び第 2 の電源線との間の電圧を M 倍に昇圧した電圧を、前記第 1 の電源線と昇圧電源線との間に出力する第 1 の回路と、

前記第 1 の電源線、前記昇圧電源線及び出力電源線に接続され、複数のスイッチ素子を含む第 2 の回路と、

前記第 1 の電源線に電氣的に接続された第 1 の端子と、

前記複数のスイッチ素子のうち少なくとも 1 つのスイッチ素子に電氣的に接続された第 2 の端子と、

を含み、

前記第 2 の回路は、

半導体装置の外部で前記第 1 及び第 2 の端子の間に接続されるキャパシタと、前記第 2 の端子に接続された前記スイッチ素子とを用いたチャージポンプ動作により、前記第 1 の電源線と前記出力電源線との間に、前記第 1 の電源線及び前記昇圧電源線との間の電圧を N 倍に昇圧した電圧を出力することを特徴とする半導体装置。

10

【請求項 2】

請求項 1 において、

N が 2 であることを特徴とする半導体装置。

20

【請求項 3】

請求項 1 において、

第 3 ~ 第 5 の端子を含み、

前記第 2 の回路は、

前記第 1 の電源線と前記昇圧電源線との間に直列に接続された第 1 及び第 2 の出力用スイッチ素子と、

前記昇圧電源線と前記出力電源線との間に直列に接続された第 3 及び第 4 の出力用スイッチ素子と、

を含み、

前記第 2 の端子は、前記出力電源線に接続され、

前記第 3 の端子は、前記第 1 及び第 2 の出力用スイッチ素子が接続された接続ノードに電氣的に接続され、

前記第 4 の端子は、前記第 2 及び第 3 の出力用スイッチ素子が接続された接続ノードに電氣的に接続され、

前記第 5 の端子は、前記第 3 及び第 4 の出力用スイッチ素子が接続された接続ノードに電氣的に接続されることを特徴とする半導体装置。

30

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

第 3 ~ 第 $(M + 1)$ (M は 3 以上の整数) の電源線を更に含み、

前記第 1 の回路は、

第 j ($1 \leq j \leq M - 1$ 、 j は整数) の昇圧用キャパシタが、第 1 の期間に第 j の電源線と第 $(j + 1)$ の電源線との間に接続されると共に前記第 1 の期間経過後の第 2 の期間に第 $(j + 1)$ の電源線と第 $(j + 2)$ の電源線との間に接続される第 1 ~ 第 $(M - 1)$ の昇圧用キャパシタと、

第 k ($1 \leq k \leq M - 2$ 、 k は整数) の安定化用キャパシタが、第 $(k + 1)$ の電源線と第 $(k + 2)$ の電源線との間に接続され、前記第 2 の期間において第 k の昇圧用キャパシタの各昇圧用キャパシタから放電された電荷を蓄積する第 1 ~ 第 $(M - 2)$ の安定化用キャパシタと、

を含み、

40

50

前記第 (M + 1) の電源線が、前記昇圧電源線に接続されることを特徴とする半導体装置。

【請求項 5】

請求項 4 において、

前記第 1 の回路は、

第 M の電源線と第 (M + 1) の電源線との間に接続された第 (M - 1) の安定化用キャパシタを更に含み、

前記第 (M - 1) の安定化用キャパシタが、

前記第 2 の期間において第 (M - 1) の昇圧用キャパシタから放電された電荷を蓄積することを特徴とする半導体装置。

10

【請求項 6】

請求項 1 乃至 3 のいずれかにおいて、

第 3 ~ 第 (M + 1) (M は 3 以上の整数) の電源線を更に含み、

前記第 1 の回路は、

第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 2 M のスイッチ素子の一端が第 (M + 1) の電源線に接続され、第 1 及び第 2 M のスイッチ素子を除く残りのスイッチ素子が前記第 1 のスイッチ素子の他端と前記第 2 M のスイッチ素子の他端との間に直列に接続された第 1 ~ 第 2 M のスイッチ素子と、

各昇圧用キャパシタの一端が、第 j (1 ≤ j ≤ 2 M - 3、j は奇数) 及び第 (j + 1) のスイッチ素子が接続された第 j の接続ノードに接続され、該昇圧用キャパシタの他端が、第 (j + 2) 及び第 (j + 3) のスイッチ素子が接続された第 (j + 2) の接続ノードに接続された第 1 ~ 第 (M - 1) の昇圧用キャパシタと、

20

各安定化用キャパシタの一端が、第 k (2 ≤ k ≤ 2 M - 4、k は偶数) 及び第 (k + 1) のスイッチ素子が接続された第 k の接続ノードに接続され、該安定化用キャパシタの他端が、第 (k + 2) 及び第 (k + 3) のスイッチ素子が接続された第 (k + 2) の接続ノードに接続された第 1 ~ 第 (M - 2) の安定化用キャパシタと、

を含み、

前記第 (M + 1) の電源線が、前記昇圧電源線に接続され、

第 r (1 ≤ r ≤ 2 M - 1、r は整数) のスイッチ素子と第 (r + 1) のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、前記第 1 及び第 (M + 1) の電源線の間、第 1 及び第 2 の電源線の間を M 倍に昇圧した電圧を出力することを特徴とする半導体装置。

30

【請求項 7】

請求項 6 において、

前記第 1 の回路は、

第 M の電源線と第 (M + 1) の電源線との間に接続された第 (M - 1) の安定化用キャパシタを更に含み、

前記第 (M - 1) の安定化用キャパシタが、

前記第 2 の期間において第 (M - 1) の昇圧用キャパシタから放電された電荷を蓄積することを特徴とする半導体装置。

40

【請求項 8】

請求項 4 乃至 7 のいずれかにおいて、

各昇圧用キャパシタ及び各安定化用キャパシタには、前記第 1 及び第 2 の電源線間の電圧が印加されることを特徴とする昇圧回路。

【請求項 9】

請求項 1 乃至 3 のいずれかにおいて、

第 3 ~ 第 (M + 1) (M は 3 以上の整数) の電源線を更に含み、

前記第 1 の回路は、

第 1 及び第 2 のチャージポンプ回路を含み、

前記第 (M + 1) の電源線が、前記昇圧電源線に接続され、

50

前記第 1 のチャージポンプ回路は、

第 j_1 ($1 \leq j_1 \leq M-1$ 、 j_1 は整数) の昇圧用キャパシタが、第 1 の期間に第 j_1 の電源線と第 $(j_1 + 1)$ の電源線との間に接続されると共に前記第 1 の期間経過後の第 2 の期間に第 $(j_1 + 1)$ の電源線と第 $(j_1 + 2)$ の電源線との間に接続される第 1 の群の第 1 ~ 第 $(M-1)$ の昇圧用キャパシタを含み、

前記第 2 のチャージポンプ回路は、

第 j_2 ($1 \leq j_2 \leq M-1$ 、 j_2 は整数) の昇圧用キャパシタが、前記第 2 の期間に第 j_2 の電源線と第 $(j_2 + 1)$ の電源線との間に接続されると共に前記第 1 の期間に第 $(j_2 + 1)$ の電源線と第 $(j_2 + 2)$ の電源線との間に接続される第 2 の群の第 1 ~ 第 $(M-1)$ の昇圧用キャパシタを含むことを特徴とする半導体装置。

10

【請求項 10】

請求項 9 において、

前記第 1 の回路は、

第 k ($1 \leq k \leq M-2$ 、 k は整数) の安定化用キャパシタが、第 $(k+1)$ の電源線と第 $(k+2)$ の電源線との間に接続された第 1 ~ 第 $(M-2)$ の安定化用キャパシタを含むことを特徴とする半導体装置。

【請求項 11】

請求項 10 において、

前記第 1 の回路は、

第 M の電源線と第 $(M+1)$ の電源線との間に接続された第 $(M-1)$ の安定化用キャパシタを更に含むことを特徴とする半導体装置。

20

【請求項 12】

請求項 1 乃至 3 のいずれかにおいて、

第 3 ~ 第 $(M+1)$ (M は 3 以上の整数) の電源線を更に含み、

前記第 1 の回路は、

第 1 及び第 2 のチャージポンプ回路を含み、

前記第 $(M+1)$ の電源線が、前記昇圧電源線に接続され、

前記第 1 のチャージポンプ回路は、

第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 $2M$ のスイッチ素子の一端が第 $(M+1)$ の電源線に接続され、第 1 及び第 $2M$ のスイッチ素子を除く残りのスイッチ素子が前記第 1 のスイッチ素子の他端と前記第 $2M$ のスイッチ素子の他端との間に直列に接続された第 1 の群の第 1 ~ 第 $2M$ のスイッチ素子と、

30

各昇圧用キャパシタの一端が、第 j_1 ($1 \leq j_1 \leq 2M-3$ 、 j_1 は奇数) 及び第 $(j_1 + 1)$ のスイッチ素子が接続された第 j_1 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j_1 + 2)$ 及び第 $(j_1 + 3)$ のスイッチ素子が接続された第 $(j_1 + 2)$ の接続ノードに接続された第 1 の群の第 1 ~ 第 $(M-1)$ の昇圧用キャパシタと、

を含み、

前記第 1 の群の第 r_1 ($1 \leq r_1 \leq 2M-1$ 、 r_1 は整数) のスイッチ素子と前記第 1 の群の第 $(r_1 + 1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、

前記第 2 のチャージポンプ回路は、

第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 $2M$ のスイッチ素子の一端が第 $(m+1)$ の電源線に接続され、第 1 及び第 $2M$ のスイッチ素子を除く残りのスイッチ素子が前記第 1 のスイッチ素子の他端と前記第 $2M$ のスイッチ素子の他端との間に直列に接続された第 2 の群の第 1 ~ 第 $2M$ のスイッチ素子と、

40

各昇圧用キャパシタの一端が、第 j_2 ($1 \leq j_2 \leq 2M-3$ 、 j_2 は奇数) 及び第 $(j_2 + 1)$ のスイッチ素子が接続された第 j_2 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j_2 + 2)$ 及び第 $(j_2 + 3)$ のスイッチ素子が接続された第 $(j_2 + 2)$ の接続ノードに接続された第 2 の群の第 1 ~ 第 $(M-1)$ の昇圧用キャパシタと、

を含み、

前記第 2 の群の第 r_2 ($1 \leq r_2 \leq 2M-1$ 、 r_2 は整数) のスイッチ素子と前記第 2 の

50

群の第 $(r + 1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、第 1 の期間では、前記第 1 の群の第 r のスイッチ素子 $(1 \leq r \leq M)$ 、 r は整数) がオンとなるようにスイッチ制御されると共に、前記第 2 の群の第 r のスイッチ素子がオフとなるようにスイッチ制御され、

前記第 1 の期間の経過後の第 2 の期間では、前記第 1 の群の第 r のスイッチ素子がオフとなるようにスイッチ制御されると共に、前記第 2 の群の第 r のスイッチ素子がオンとなるようにスイッチ制御されることを特徴とする半導体装置。

【請求項 13】

請求項 12 において、

前記第 1 の回路は、

各安定化用キャパシタの一端が、第 k $(2 \leq k \leq M - 4)$ 、 k は偶数) 及び第 $(k + 1)$ のスイッチ素子が接続された第 k の接続ノードに接続され、該安定化用キャパシタの他端が、第 $(k + 2)$ 及び第 $(k + 3)$ のスイッチ素子が接続された第 $(k + 2)$ の接続ノードに接続された第 1 ~ 第 $(M - 2)$ の安定化用キャパシタを含むことを特徴とする半導体装置。

10

【請求項 14】

請求項 13 において、

前記第 1 の回路は、

第 M の電源線と第 $(M + 1)$ の電源線との間に接続された第 $(M - 1)$ の安定化用キャパシタを更に含むことを特徴とする半導体装置。

20

【請求項 15】

請求項 12 乃至 14 のいずれかにおいて、

各昇圧用キャパシタには、前記第 1 及び第 2 の電源線の間電圧が印加されることを特徴とする半導体装置。

【請求項 16】

請求項 1 乃至 15 のいずれかにおいて、

電圧を調整する電圧調整回路を含み、

前記電圧調整回路によって調整された電圧が、前記第 1 及び第 2 の電源線の間電圧として供給されることを特徴とする半導体装置。

【請求項 17】

請求項 16 において、

前記電圧調整回路は、

参照電圧と、前記第 1 及び第 $(M + 1)$ の電源線の間電圧又は該電圧を分割した分割電圧との比較結果に基づいて、電圧を調整することを特徴とする半導体装置。

30

【請求項 18】

請求項 16 又は 17 において、

前記第 1 及び第 $(M + 1)$ の電源線の間電圧を分割した分割電圧と、参照電圧との比較結果に基づいて、前記第 1 ~ 第 $2M$ のスイッチ素子のオンオフ制御を行うためのスイッチ制御信号の周波数を変化させる電圧調整回路を含むことを特徴とする半導体装置。

【請求項 19】

請求項 1 乃至 18 のいずれかにおいて、

前記第 1 及び第 $(M + 1)$ の電源線の間電圧に基づいて多値の電圧を生成する多値電圧生成回路を含むことを特徴とする半導体装置。

40

【請求項 20】

請求項 19 において、

前記多値電圧生成回路により生成された多値の電圧に基づいて電気光学装置を駆動するドライバ部を含むことを特徴とする半導体装置。

【請求項 21】

複数の走査線と、

複数のデータ線と、

50

複数の画素と、
前記複数の走査線を駆動する走査ドライバと、
前記複数のデータ線を駆動する請求項20記載の半導体装置と、
を含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及び表示装置に関する。

【0002】

【従来の技術】

表示装置として、電気光学装置を含む液晶表示装置が用いられることがある。液晶表示装置を電子機器に搭載することで、電子機器の小型化と低消費電流化とを両立させることができる。

【0003】

ところで、液晶表示装置の駆動には高い電圧が必要とされる。従って、電気光学装置を駆動するドライバIC (Integrated Circuit) (広義には半導体装置) は、高い電圧を生成する電源回路を内蔵することがコストの観点からも望ましい。この場合、電源回路は、昇圧回路を含む。昇圧回路は、高電位側のシステム電源電圧VDDと、低電位側の接地電源電圧VSSとの間の電圧を昇圧して、液晶駆動用の出力電圧Voutを生成する。

【0004】

このような昇圧回路として、いわゆるチャージポンプ方式で昇圧した電圧を生成するチャージポンプ回路を用いることで、低消費電流化を図ることができる。チャージポンプ回路は、キャパシタを含む。液晶パネルとドライバICとをモジュール化した液晶パネルモジュールでは、チャージポンプ回路のキャパシタをIC内に内蔵することにより、実装工程の簡略化と、トータルコストの削減とを図ることができる。例えば、5倍昇圧を行う一般的なチャージポンプ回路では5個のキャパシタを必要とするため、上記の観点から、これらキャパシタをIC内に内蔵するメリットは大きい。

【0005】

【特許文献1】

特開2001-211635号公報

【0006】

【発明が解決しようとする課題】

ところで、より一層の低消費電力化及び小型化に加えて、より高精細な表示ができる表示装置、特に液晶表示装置に対する市場の要求が強い。従って、液晶表示装置を駆動するドライバには、より小さいデューティ比 (duty ratio) で駆動することが求められると共に、より高い駆動用電圧が必要とされる。例えば、デューティ比が1/65のドライバでは、出力電圧Voutとして9ボルト程度の駆動用電圧が必要とされる。

【0007】

例えば、システム電源電圧VDDと接地電源電圧VSSとの間の電圧として最小電圧2.4ボルトを昇圧する場合を考える。5倍昇圧時には、理想的には12ボルトを得ることができるが、昇圧効率を考慮すると、例えば80%の昇圧効率で9.6ボルトを得ることができる。従って、デューティ比が1/65のドライバに対して、必要とされる電源を供給できる。

【0008】

一方、ユーザによっては、システム電源電圧VDDと接地電源電圧VSSとの間の電圧として、1.8ボルトの動作の保証が要求される場合がある。この場合、システム電源電圧VDDと接地電源電圧VSSとの間の電圧が2.4ボルトと1.8ボルトの両方の場合で、デューティ比が1/65のドライバを実現する必要がある。そのため、6倍昇圧にせざるを得ない。1.8ボルトを5倍昇圧しても、昇圧効率を100%にすることが困難だか

10

20

30

40

50

らである。

【0009】

6倍昇圧を行う電源回路を内蔵するドライバは、6倍昇圧に必要なすべてのキャパシタを内蔵すると、5倍昇圧を行う電源回路を内蔵するドライバに比べて、内蔵されるキャパシタの数が増えて、面積が増大する。そのため、コストが高くなる。従って、1.8ボルトを6倍昇圧する電圧を用いるユーザを満足させることはできても、2.4ボルトを5倍昇圧する電圧を用いるユーザを満足させることができなくなる。

【0010】

以上のように、電源回路を内蔵するドライバには、コスト高を抑えて、できるだけ多くのユーザが要求する昇圧電圧を生成できることが望まれる。

10

【0011】

また、チャージポンプ回路のキャパシタをドライバIC内に内蔵した場合、外付けの場合と同じ容量を得るために、内蔵するキャパシタの面積が大きくなってしまいコストが高くなる。一方、内蔵するキャパシタの面積を小さくすると、消費電流が多くなる。このように、内蔵するキャパシタの面積と消費電流とがトレードオフの関係にある。

【0012】

従って、キャパシタの面積を小さくしてコストを削減するため、小容量のキャパシタを用いて従来と同じ能力（電荷供給能力、負荷駆動能力）を有するチャージポンプ方式の昇圧回路が求められる。言い換えれば、キャパシタの面積が同じ（コストが同じ）で、従来の容量内蔵昇圧回路と同じ能力を有し、より一層の低消費電流化が可能なチャージポンプ方式の昇圧回路が求められる。

20

【0013】

また、ICに外付けされたキャパシタ1個当たりの容量は0.1~1 μ Fであり、IC内に内蔵されたキャパシタ1個当たりの容量は1nF程度である。そのため、従来の容量を内蔵しない昇圧回路と同じ能力を得るためには、チャージポンプ回路のスイッチ素子のスイッチング周波数を大きくする必要があり、キャパシタの充放電電流の増加による消費電流の増大を招く。従って、キャパシタの充放電電流を低減するチャージポンプ回路を提供することが望まれる。

【0014】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その第1の目的は、コスト高を抑えて、できるだけ多くのユーザが要求する昇圧電圧を生成できる半導体装置、及びこれを備えた表示装置を提供することにある。

30

【0015】

また本発明の第2の目的は、負荷駆動能力を低下させることなく、低消費で昇圧電圧を生成する半導体装置、及びこれを備えた表示装置を提供することにある。

【0016】

【課題を解決するための手段】

上記課題を解決するために本発明は、第1及び第2の電源線間の電圧を、 $M \times N$ ($M > N$ 、 M 、 N は正の整数)倍に昇圧した出力電圧を生成する半導体装置であって、前記第1及び第2の電源線と昇圧電源線とに接続され、チャージポンプ動作により前記第1及び第2の電源線間の電圧を M 倍に昇圧した電圧を、前記第1の電源線と昇圧電源線との間に出力する第1の回路と、前記第1の電源線、前記昇圧電源線及び出力電源線に接続され、複数のスイッチ素子を含む第2の回路と、前記第1の電源線に電氣的に接続された第1の端子と、前記複数のスイッチ素子のうち少なくとも1つのスイッチ素子に電氣的に接続された第2の端子と、を含み、前記第2の回路は、半導体装置の外部で前記第1及び第2の端子の間に接続されるキャパシタと、前記第2の端子に接続された前記スイッチ素子とを用いたチャージポンプ動作により、前記第1の電源線と前記出力電源線との間に、前記第1の電源線及び前記昇圧電源線間の電圧を N 倍に昇圧した電圧を出力する半導体装置に係する。

40

【0017】

50

本発明によれば、 $M \times N$ 倍昇圧に必要なすべてのキャパシタを半導体装置に内蔵する場合に比べて、 M 倍昇圧に必要なキャパシタのみを内蔵させるため、 $M \times N$ 倍昇圧を行うための回路の面積の増大を最小限に抑えることができる。そして、ユーザに要求される、例えば1.8ボルトや3ボルトなどの多様な電圧 V の昇圧を同一バルクで実現することができる。従って、例えば1.8ボルトを6倍昇圧する電圧を用いるユーザに対する要求や、2.4ボルトを5倍昇圧する電圧を用いるユーザに対する要求を同時に満足させる半導体装置を提供できる。

【0018】

更にまた、 N 倍昇圧のためのキャパシタのみを半導体装置に外付けするだけでよく、 $M \times N$ 倍昇圧に必要なすべてのキャパシタを半導体装置に外付けする場合に比べて、実装工程や実装面積を削減できる。 10

【0019】

従って、コスト高を抑えて、できるだけ多くのユーザが要求する昇圧電圧を生成できる半導体装置を提供できる。

【0020】

また本発明に係る半導体装置では、 N が2であってもよい。

【0021】

本発明によれば、第2の回路に外付けされるキャパシタの数を最小とすることができ、実装工程や実装面積をより一層削減できる。

【0022】

また本発明に係る半導体装置では、第3～第5の端子を含み、前記第2の回路は、前記第1の電源線と前記昇圧電源線との間に直列に接続された第1及び第2の出力用スイッチ素子と、前記昇圧電源線と前記出力電源線との間に直列に接続された第3及び第4の出力用スイッチ素子とを含み、前記第2の端子は、前記出力電源線に接続され、前記第3の端子は、前記第1及び第2の出力用スイッチ素子が接続された接続ノードに電氣的に接続され、前記第4の端子は、前記第2及び第3の出力用スイッチ素子が接続された接続ノードに電氣的に接続され、前記第5の端子は、前記第3及び第4の出力用スイッチ素子が接続された接続ノードに電氣的に接続されてもよい。 20

【0023】

本発明によれば、更に第2の回路を構成するスイッチ素子の数を少なくすることができるので、実装工程や実装面積を更に削減できる。 30

【0024】

また本発明に係る半導体装置では、第3～第 $(M+1)$ (M は3以上の整数)の電源線を更に含み、前記第1の回路は、第 j ($1 \leq j \leq M-1$ 、 j は整数)の昇圧用キャパシタが、第1の期間に第 j の電源線と第 $(j+1)$ の電源線との間に接続されると共に前記第1の期間経過後の第2の期間に第 $(j+1)$ の電源線と第 $(j+2)$ の電源線との間に接続される第1～第 $(M-1)$ の昇圧用キャパシタと、第 k ($1 \leq k \leq M-2$ 、 k は整数)の安定化用キャパシタが、第 $(k+1)$ の電源線と第 $(k+2)$ の電源線との間に接続され、前記第2の期間において第 k の昇圧用キャパシタの各昇圧用キャパシタから放電された電荷を蓄積する第1～第 $(M-2)$ の安定化用キャパシタとを含み、前記第 $(M+1)$ の電源線が、前記昇圧電源線に接続されてもよい。 40

【0025】

また本発明に係る半導体装置では、前記第1の回路は、第 M の電源線と第 $(M+1)$ の電源線との間に接続された第 $(M-1)$ の安定化用キャパシタを更に含み、前記第 $(M-1)$ の安定化用キャパシタが、前記第2の期間において第 $(M-1)$ の昇圧用キャパシタから放電された電荷を蓄積してもよい。

【0026】

本発明によれば、第1の回路を構成する各構成要素に印加される電圧を低くすることができる。従って、製造コストを抑えることができるようになる。

【0027】

また本発明に係る半導体装置では、第3～第 $(M+1)$ (M は3以上の整数)の電源線を更に含み、前記第1の回路は、第1のスイッチ素子の一端が第1の電源線に接続され、第 $2M$ のスイッチ素子の一端が第 $(M+1)$ の電源線に接続され、第1及び第 $2M$ のスイッチ素子を除く残りのスイッチ素子が前記第1のスイッチ素子の他端と前記第 $2M$ のスイッチ素子の他端との間に直列に接続された第1～第 $2M$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j ($1 \leq j \leq 2M-3$, j は奇数)及び第 $(j+1)$ のスイッチ素子が接続された第 j の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j+2)$ 及び第 $(j+3)$ のスイッチ素子が接続された第 $(j+2)$ の接続ノードに接続された第1～第 $(M-1)$ の昇圧用キャパシタと、各安定化用キャパシタの一端が、第 k ($2 \leq k \leq 2M-4$, k は偶数)及び第 $(k+1)$ のスイッチ素子が接続された第 k の接続ノードに接続され、該安定化用キャパシタの他端が、第 $(k+2)$ 及び第 $(k+3)$ のスイッチ素子が接続された第 $(k+2)$ の接続ノードに接続された第1～第 $(M-2)$ の安定化用キャパシタとを含み、前記第 $(M+1)$ の電源線が、前記昇圧電源線に接続され、第 r ($1 \leq r \leq 2M-1$, r は整数)のスイッチ素子と第 $(r+1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、前記第1及び第 $(M+1)$ の電源線の間、第1及び第2の電源線間の電圧を M 倍に昇圧した電圧を出力してもよい。

10

【0028】

また本発明に係る半導体装置では、前記第1の回路は、第 M の電源線と第 $(M+1)$ の電源線との間に接続された第 $(M-1)$ の安定化用キャパシタを更に含み、前記第 $(M-1)$ の安定化用キャパシタが、前記第2の期間において第 $(M-1)$ の昇圧用キャパシタから放電された電荷を蓄積してもよい。

20

【0029】

また本発明に係る半導体装置では、各昇圧用キャパシタ及び各安定化用キャパシタには、前記第1及び第2の電源線間の電圧が印加されてもよい。

【0030】

本発明によれば、第1の回路を構成するスイッチ素子、昇圧用キャパシタ及び安定化用キャパシタを低耐圧の製造プロセスで作成することができるようになる。また、スイッチ素子を、一般的なMOSトランジスタにより実現した場合、MOSトランジスタを低耐圧の製造プロセスで製造できるようになるので、MOSトランジスタのゲート容量による充放電電流を低減することができる。

30

【0031】

更に、一般的なチャージポンプ回路と比較すると、半導体装置内に同じ面積を費やしてキャパシタを作り込み(コスト同じ)、同じ出力インピーダンスを得よう(能力同じ)とした場合、キャパシタの充放電の周波数を低減できるので、スイッチングに伴う消費電流を低減できる。更にまた、キャパシタを低耐圧の製造プロセスで作成できるようになり、キャパシタの寄生容量による充放電電流を大幅に削減できる。

【0032】

従って、負荷駆動能力を低下させることなく、低消費で昇圧電圧を生成する半導体装置を提供できる。

【0033】

また本発明に係る半導体装置では、第3～第 $(M+1)$ (M は3以上の整数)の電源線を更に含み、前記第1の回路は、第1及び第2のチャージポンプ回路を含み、前記第 $(M+1)$ の電源線が、前記昇圧電源線に接続され、前記第1のチャージポンプ回路は、第 j_1 ($1 \leq j_1 \leq M-1$, j_1 は整数)の昇圧用キャパシタが、第1の期間に第 j_1 の電源線と第 (j_1+1) の電源線との間に接続されると共に前記第1の期間経過後の第2の期間に第 (j_1+1) の電源線と第 (j_1+2) の電源線との間に接続される第1の群の第1～第 $(M-1)$ の昇圧用キャパシタを含み、前記第2のチャージポンプ回路は、第 j_2 ($1 \leq j_2 \leq M-1$, j_2 は整数)の昇圧用キャパシタが、前記第2の期間に第 j_2 の電源線と第 (j_2+1) の電源線との間に接続されると共に前記第1の期間に第 (j_2+1) の電源線と第 (j_2+2) の電源線との間に接続される第2の群の第1～第 $(M-1)$ の

40

50

昇圧用キャパシタを含んでもよい。

【0034】

また本発明に係る半導体装置では、前記第1の回路は、第 k ($1 \leq k \leq M-2$ 、 k は整数)の安定化用キャパシタが、第 $(k+1)$ の電源線と第 $(k+2)$ の電源線との間に接続された第1～第 $(M-2)$ の安定化用キャパシタを含んでもよい。

【0035】

また本発明に係る半導体装置では、前記第1の回路は、第 M の電源線と第 $(M+1)$ の電源線との間に接続された第 $(M-1)$ の安定化用キャパシタを更にも含む。

【0036】

本発明によれば、第1の回路を構成する各構成要素に印加される電圧を低くすることができる。従って、製造コストを抑えることができるようになる。しかも、第1の期間では、第2のチャージポンプ回路により昇圧された電圧が第1及び第 $(M+1)$ の電源線 V_{L-1} 、 $V_{L-(M+1)}$ の間に出力される。また、第2の期間では、第1のチャージポンプ回路により昇圧された電圧が、第1及び第 $(M+1)$ の電源線 V_{L-1} 、 $V_{L-(M+1)}$ の間に出力される。従って、第1の期間及び第2の期間では、第 $(M+1)$ の電源線に接続される負荷によって電流が引かれても、昇圧された電圧が降下されることがなく、安定した電圧を出力することができる。

【0037】

また本発明に係る半導体装置では、第3～第 $(M+1)$ (M は3以上の整数)の電源線を更にも含み、前記第1の回路は、第1及び第2のチャージポンプ回路を含み、前記第 $(M+1)$ の電源線が、前記昇圧電源線に接続され、前記第1のチャージポンプ回路は、第1のスイッチ素子の一端が第1の電源線に接続され、第 $2M$ のスイッチ素子の一端が第 $(M+1)$ の電源線に接続され、第1及び第 $2M$ のスイッチ素子を除く残りのスイッチ素子が前記第1のスイッチ素子の他端と前記第 $2M$ のスイッチ素子の他端との間に直列に接続された第1の群の第1～第 $2M$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j_1 ($1 \leq j_1 \leq 2M-3$ 、 j_1 は奇数)及び第 (j_1+1) のスイッチ素子が接続された第 j_1 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 (j_1+2) 及び第 (j_1+3) のスイッチ素子が接続された第 (j_1+2) の接続ノードに接続された第1の群の第1～第 $(M-1)$ の昇圧用キャパシタとを含み、前記第1の群の第 r_1 ($1 \leq r_1 \leq 2M-1$ 、 r_1 は整数)のスイッチ素子と前記第1の群の第 (r_1+1) のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、前記第2のチャージポンプ回路は、第1のスイッチ素子の一端が第1の電源線に接続され、第 $2M$ のスイッチ素子の一端が第 $(m+1)$ の電源線に接続され、第1及び第 $2M$ のスイッチ素子を除く残りのスイッチ素子が前記第1のスイッチ素子の他端と前記第 $2M$ のスイッチ素子の他端との間に直列に接続された第2の群の第1～第 $2M$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j_2 ($1 \leq j_2 \leq 2M-3$ 、 j_2 は奇数)及び第 (j_2+1) のスイッチ素子が接続された第 j_2 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 (j_2+2) 及び第 (j_2+3) のスイッチ素子が接続された第 (j_2+2) の接続ノードに接続された第2の群の第1～第 $(M-1)$ の昇圧用キャパシタとを含み、前記第2の群の第 r_2 ($1 \leq r_2 \leq 2M-1$ 、 r_2 は整数)のスイッチ素子と前記第2の群の第 (r_2+1) のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、第1の期間では、前記第1の群の第 r のスイッチ素子 ($1 \leq r \leq 2M$ 、 r は整数)がオンとなるようにスイッチ制御されると共に、前記第2の群の第 r のスイッチ素子がオフとなるようにスイッチ制御され、前記第1の期間の経過後の第2の期間では、前記第1の群の第 r のスイッチ素子がオフとなるようにスイッチ制御されると共に、前記第2の群の第 r のスイッチ素子がオンとなるようにスイッチ制御されてもよい。

【0038】

また本発明に係る半導体装置では、前記第1の回路は、各安定化用キャパシタの一端が、第 k ($2 \leq k \leq 2M-4$ 、 k は偶数)及び第 $(k+1)$ のスイッチ素子が接続された第 k の接続ノードに接続され、該安定化用キャパシタの他端が、第 $(k+2)$ 及び第 $(k+3)$

)のスイッチ素子が接続された第 $(k+2)$ の接続ノードに接続された第 $1 \sim$ 第 $(M-2)$ の安定化用キャパシタを含んでもよい。

【0039】

また本発明に係る半導体装置では、前記第1の回路は、第 M の電源線と第 $(M+1)$ の電源線との間に接続された第 $(M-1)$ の安定化用キャパシタを更にも含んでもよい。

【0040】

また本発明に係る半導体装置では、各昇圧用キャパシタには、前記第1及び第2の電源線間の電圧が印加されてもよい。

【0041】

本発明によれば、第1の回路を構成するスイッチ素子、昇圧用キャパシタや安定化用キャパシタを低耐圧の製造プロセスで作成することができるようになる。また、スイッチ素子を、一般的なMOSトランジスタにより実現した場合、MOSトランジスタを低耐圧の製造プロセスで製造できるようになるので、MOSトランジスタのゲート容量による充放電電流を低減することができる。

10

【0042】

更に、一般的なチャージポンプ回路と比較すると、半導体装置内に同じ面積を費やしてキャパシタを作り込み(コスト同じ)、同じ出力インピーダンスを得よう(能力同じ)とした場合、キャパシタの充放電の周波数を低減できるので、スイッチングに伴う消費電流を低減できる。更にまた、キャパシタを低耐圧の製造プロセスで作成できるようになり、キャパシタの寄生容量による充放電電流を大幅に削減できる。

20

【0043】

そして、第1の期間では、第2のチャージポンプ回路により昇圧された電圧が第1及び第 $(M+1)$ の電源線 V_{L-1} 、 $V_{L-(M+1)}$ の間に出力される。また、第2の期間では、第1のチャージポンプ回路により昇圧された電圧が、第1及び第 $(M+1)$ の電源線 V_{L-1} 、 $V_{L-(M+1)}$ の間に出力される。従って、第1の期間及び第2の期間では、第 M の電源線に接続される負荷によって電流が引かれても、昇圧された電圧が降下されることがなく、安定した電圧を出力することができる。

【0044】

また本発明に係る半導体装置では、電圧を調整する電圧調整回路を含み、前記電圧調整回路によって調整された電圧が、前記第1及び第2の電源線間の電圧として供給されてもよい。

30

【0045】

また本発明に係る半導体装置では、前記電圧調整回路は、参照電圧と、前記第1及び第 $(M+1)$ の電源線間の電圧又は該電圧を分割した分割電圧との比較結果に基づいて、電圧を調整してもよい。

【0046】

また本発明に係る半導体装置では、前記第1及び第 $(M+1)$ の電源線間の電圧を分割した分割電圧と、参照電圧との比較結果に基づいて、前記第 $1 \sim$ 第 $2M$ のスイッチ素子のオンオフ制御を行うためのスイッチ制御信号の周波数を変化させる電圧調整回路を含んでもよい。

40

【0047】

また本発明に係る半導体装置では、前記第1及び第 $(M+1)$ の電源線間の電圧に基づいて多値の電圧を生成する多値電圧生成回路を含んでもよい。

【0048】

本発明によれば、高精度で駆動用電圧を生成することができるので、表示品質の高い駆動を実現する半導体装置を提供できる。

【0049】

また本発明に係る半導体装置では、前記多値電圧生成回路により生成された多値の電圧に基づいて電気光学装置を駆動するドライバ部を含んでもよい。

【0050】

50

また本発明は、複数の走査線と、複数のデータ線と、複数の画素と、前記複数の走査線を駆動する走査ドライバと、前記複数のデータ線を駆動する上記記載の半導体装置とを含むことを表示装置に係する。

【0051】

本発明によれば、半導体装置の低コスト化及び低消費電力化を両立させることで、より低コストで低消費電力の表示装置を提供できる。

【0052】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

10

【0053】

1. 第1の実施形態

図1に、第1の実施形態における半導体装置の原理的な構成図を示す。半導体装置（集積回路装置（IC）、チップ）10は、第1及び第2の電源線VL-1、VL-2の間の電圧を、 $M \times N$ （ $M > N$ 、 M 、 N は正の整数）倍に昇圧した出力電圧 V_{out} を生成する。出力電圧 V_{out} は、第1の電源線VL-1と出力電源線VLOとの間に出力される。

【0054】

半導体装置10は、第1及び第2の回路20、30、第1及び第2の端子T1、T2を含む。

20

【0055】

第1の回路20は、第1及び第2の電源線VL-1、VL-2と昇圧電源線VLUとに接続される。そして第1の回路20は、チャージポンプ（Charge Pump）動作により第1及び第2の電源線VL-1、VL-2の間の電圧 V を M 倍に昇圧した電圧 $M \cdot V$ を第1の電源線VL-1と昇圧電源線VLUとの間に出力する。

【0056】

第2の回路30は、第1の電源線VL-1、昇圧電源線VLU及び出力電源線VLOに接続される。そして、第2の回路30は、複数のスイッチ素子を含む。これら複数のスイッチ素子のオン又はオフを行うことで、チャージポンプ動作が行われる。

【0057】

第1の端子T1は、第1の電源線VL-1に電氣的に接続される。第2の端子T2は、第2の回路30の複数のスイッチ素子のうち少なくとも1つのスイッチ素子に電氣的に接続される。

30

【0058】

そして、第2の回路30は、半導体装置10の外部で第1及び第2の端子T1、T2の間に接続されるキャパシタ C と、第2の端子T2に接続されたスイッチ素子とを用いたチャージポンプ動作により、第1の電源線VL-1と出力電源線VLOとの間に、第1の電源線VL-1及び昇圧電源線VLUの間の電圧 $M \cdot V$ を N 倍に昇圧した電圧 $N \cdot (M \cdot V)$ を出力する。

【0059】

このように半導体装置10では、第1の回路20がチャージポンプ回路として機能する。そして、第1及び第2の端子T1、T2の間に接続されたキャパシタ C と第2の回路30とが、チャージポンプ回路として機能する。図1では、半導体装置10に外付けされたキャパシタを1個としているが、半導体装置10に外付けされた複数のキャパシタと、第2の回路30とにより、昇圧回路として機能させるようにしてもよい。

40

【0060】

$M \times N$ 倍昇圧に必要なすべてのキャパシタを半導体装置10に内蔵する場合に比べて、 M 倍昇圧に必要なキャパシタのみを内蔵させるため、 $M \times N$ 倍昇圧を行うための回路の面積の増大を最小限に抑えることができる。そして、ユーザに要求される、例えば1.8ボルトや3ボルトなどの多様な電圧 V の昇圧を同一バルクで実現することができる。従って、

50

例えば 1.8 ボルトを 6 倍昇圧する電圧を用いるユーザに対する要求や、2.4 ボルトを 5 倍昇圧する電圧を用いるユーザに対する要求を同時に満足させる半導体装置を提供できる。

【0061】

更にまた、N 倍昇圧のためのキャパシタのみを半導体装置 10 に外付けするだけでよく、 $M \times N$ 倍昇圧に必要なすべてのキャパシタを半導体装置 10 に外付けする場合に比べて、実装工程や実装面積を削減できる。

【0062】

このため、第 2 の回路 30 に外付けされるキャパシタの数が最小となることが望ましい。従って、M が N より大きく、かつ N が 2 であることが望ましい。

10

【0063】

ところで、M 倍昇圧を行う第 1 の回路において、チャージポンプ動作を行うためのキャパシタは、半導体装置 10 に内蔵される。一般的に、半導体装置内にキャパシタを内蔵すると、面積の増大によるコスト高を招く他に、充放電電流の増加によって消費電流が増加するとされている。

【0064】

そこで、第 1 の実施形態では、第 1 の回路 20 として、以下に述べるチャージポンプ回路を採用することで、消費電流の低減と低コスト化とを図る。

【0065】

1.1 第 1 の回路

20

第 1 の実施形態における第 1 の回路 20 は、複数のキャパシタを含み、いわゆるチャージポンプ方式により昇圧した電圧を出力する。即ち、第 1 の回路 20 は、以下に述べるチャージポンプ回路を含む。

【0066】

図 2 に、第 1 の実施形態における第 1 の回路 20 の動作原理の説明図を示す。ここでは、M (M は 3 以上の整数) 倍昇圧について説明する。

【0067】

第 1 の回路 20 は、第 1 ~ 第 (M + 1) の電源線 $V_{L-1} \sim V_{L-(M+1)}$ を用いてチャージポンプ動作を行う。そして第 1 の回路 20 は、第 1 及び第 2 の電源線 V_{L-1} 、 V_{L-2} の間の電圧 V を M 倍に昇圧した昇圧電圧 $M \cdot V$ を、出力電圧 V_{out} として第 (M + 1) の電源線 $V_{L-(M+1)}$ に出力する。図 2 では、M が 5 の場合 (5 倍昇圧時) の動作原理を示している。

30

【0068】

第 1 の回路 20 は、第 1 ~ 第 (M - 1) の昇圧用キャパシタ $C_{u1} \sim C_{u(M-1)}$ と、第 1 ~ 第 (M - 2) の安定化用キャパシタ $C_{s1} \sim C_{s(M-2)}$ とを含む。

【0069】

第 1 ~ 第 (M - 1) の昇圧用キャパシタ $C_{u1} \sim C_{u(M-1)}$ のうち第 j (1 ≤ j ≤ M - 1、j は整数) の昇圧用キャパシタ C_{uj} は、第 1 の期間に第 j の電源線 V_{L-j} と第 (j + 1) の電源線 $V_{L-(j+1)}$ との間に接続される。そして、第 j の昇圧用キャパシタは、第 1 の期間経過後の第 2 の期間に、第 (j + 1) の電源線 $V_{L-(j+1)}$ と第 (j + 2) の電源線 $V_{L-(j+2)}$ との間に接続される。即ち第 j の昇圧用キャパシタ C_{uj} に接続される電源線は、第 1 及び第 2 の期間の各期間に応じて切り替えられる。

40

【0070】

例えば第 1 の昇圧用キャパシタ C_{u1} は、第 1 の期間に第 1 及び第 2 の電源線 V_{L-1} 、 V_{L-2} の間に接続され、第 2 の期間に第 2 及び第 3 の電源線 V_{L-2} 、 V_{L-3} の間に接続される。第 2 の昇圧用キャパシタ C_{u2} は、第 1 の期間に第 2 及び第 3 の電源線 V_{L-2} 、 V_{L-3} の間に接続され、第 2 の期間に第 3 及び第 4 の電源線 V_{L-3} 、 V_{L-4} の間に接続される。第 (M - 1) の昇圧用キャパシタ $C_{u(M-1)}$ は、第 1 の期間に第 (M - 1) 及び第 M の電源線 $V_{L-(M-1)}$ 、 V_{L-M} の間に接続され、第 2 の期間に第 M 及び第 (M + 1) の電源線 V_{L-M} 、 $V_{L-(M+1)}$ の間に接続される。

50

【0071】

また、第1～第 $(M-2)$ の安定化用キャパシタ $C_{s1} \sim C_{s(M-2)}$ のうち第 k ($1 \leq k \leq M-2$ 、 k は整数)の安定化用キャパシタ C_{sk} は、第 $(k+1)$ の電源線 $V_{L-(k+1)}$ と第 $(k+2)$ の電源線 $V_{L-(k+2)}$ との間に接続される。そして、第 k の安定化用キャパシタ C_{sk} は、第2の期間において第 k の昇圧用キャパシタ C_{uk} から放電された電荷を蓄積(充電)する。即ち第 k の安定化用キャパシタ C_{sk} に接続される電源線は、第1及び第2の期間の各期間において共通している。

【0072】

例えば第1の安定化用キャパシタ C_{s1} は、第2及び第3の電源線 V_{L-2} 、 V_{L-3} の間に接続される。そして第1の安定化用キャパシタ C_{s1} は、第2の期間に第1の昇圧用キャパシタ C_{u1} から放電された電荷を蓄積する。上述のように、第2の期間では、第1の安定化用キャパシタ C_{s1} は第2及び第3の電源線 V_{L-2} 、 V_{L-3} の間に接続されている。第2の安定化用キャパシタ C_{s2} は、第3及び第4の電源線 V_{L-3} 、 V_{L-4} の間に接続される。そして第2の安定化用キャパシタ C_{s2} は、第2の期間に第2の昇圧用キャパシタ C_{u2} から放電された電荷を蓄積する。第 $(M-2)$ の安定化用キャパシタ $C_{s(M-2)}$ は、第 $(M-1)$ 及び第 M の電源線 $V_{L-(M-1)}$ 、 V_{L-M} の間に接続される。そして第 $(M-2)$ の安定化用キャパシタ $C_{s(M-2)}$ は、第2の期間に第 $(M-2)$ の昇圧用キャパシタ $C_{u(M-2)}$ から放電された電荷を蓄積する。

【0073】

また第 $(M+1)$ の電源線 $V_{L-(M+1)}$ は、図1に示す昇圧電源線 V_{LU} に接続されている。

【0074】

このような第1の回路20の原理的な動作について、図2に示すように M が5の場合を例に説明する。第1の電源線 V_{L-1} には、低電位側の接地電源電圧 V_{SS} が供給されている。第2の電源線 V_{L-2} には、高電位側のシステム電源電圧 V_{DD} が供給されている。第1及び第2の電源線 V_{L-1} 、 V_{L-2} の間には電圧 V が印加される。

【0075】

第1の期間では、第1の昇圧用キャパシタ C_{u1} の両端に電圧 V が印加される。そして、第1の期間経過後の第2の期間では、第1の昇圧用キャパシタ C_{u1} が、第2の及び第3の電源線 V_{L-2} 、 V_{L-3} の間に接続される。従って、第1の期間において第1の昇圧用キャパシタ C_{u1} に蓄積された電荷が放電され、第1の安定化用キャパシタ C_{s1} に蓄積される。これにより、第1の安定化用キャパシタ C_{s1} の一端が接続される第2の電源線 V_{L-2} の電圧 V を基準に、第1の安定化用キャパシタ C_{s1} の他端が接続される第3の電源線 V_{L-3} が電圧 $2 \cdot V$ となる。

【0076】

同様にして、第1の期間に第2及び第3の昇圧用キャパシタ C_{u2} 、 C_{u3} の各昇圧用キャパシタに蓄積された電荷が第2の期間に放電され、第2及び第3の安定化用キャパシタ C_{s2} 、 C_{s3} の各安定化用キャパシタに蓄積される。

【0077】

この結果、第4～第6の電源線 $V_{L-4} \sim V_{L-6}$ の電圧は、 $3 \cdot V$ 、 $4 \cdot V$ 、 $5 \cdot V$ となる。即ち第1の回路20の出力電圧として、第1及び第6の電源線 V_{L-1} 、 V_{L-6} の間には、電圧 $5 \cdot V$ が印加される。

【0078】

また第1の回路20が、第 M の電源線 V_{L-M} と第 $(M+1)$ の電源線 $V_{L-(M+1)}$ との間に接続された第 $(M-1)$ の安定化用キャパシタ $C_{s(M-1)}$ を更に含み、第 $(M-1)$ の安定化用キャパシタ $C_{s(M-1)}$ が、第2の期間において第 $(M-1)$ の昇圧用キャパシタ $C_{u(M-1)}$ から放電された電荷を蓄積することが望ましい。即ち M が5の場合、第5及び第6の電源線 V_{L-5} 、 V_{L-6} の間に、第4の安定化用キャパシタ C_{s4} が更に接続されることが望ましい。図2では、第 $(M-1)$ の安定化用キャパシタ $C_{s(M-1)}$ に相当する第4の安定化用キャパシタ C_{s4} が接続されている。この場合

、第4の安定化用キャパシタ $Cs4$ により第2の期間に昇圧された出力電圧 $Vout$ を安定した状態で供給することができる。

【0079】

更にまた、図2において、第1の回路20が、第1の電源線 $VL-1$ と第 $(M+1)$ の電源線 $VL-(M+1)$ との間に接続されたキャパシタを更に含むことが望ましい。即ち M が5の場合、第1及び第6の電源線 $VL-1$ 、 $VL-6$ の間に、キャパシタが接続されることが望ましい。図2では、第1及び第 $(M+1)$ の電源線 $VL-1$ 、 $VL-(M+1)$ に相当する第1及び第6の電源線 $VL-1$ 、 $VL-6$ の間に、キャパシタ $C0$ が接続されている。この場合、第6の電源線 $VL-6$ に接続される負荷に依存した電圧レベルの低下を回避できる。

10

【0080】

図3に、図2に示す第1の回路20の構成例を示す。図3における第1の回路20では、2つの電源線の間に直列に接続された2つのスイッチ素子を排他的にオンとなるように制御することで、第1及び第2の期間の各期間において、各昇圧用キャパシタにそれぞれ接続される電源線を切り替える。

【0081】

図3に示す第1の回路20は、第1～第 $(M+1)$ の電源線 $VL-1$ ～ $VL-(M+1)$ を用いてチャージポンプ動作を行う。そして、第1の回路20は、第1及び第2の電源線 $VL-1$ 、 $VL-2$ の間の電圧 V を M 倍に昇圧した昇圧電圧 $M \cdot V$ を、出力電圧 $Vout$ として、第 $(M+1)$ の電源線 $VL-(M+1)$ に出力する。第 $(M+1)$ の電源線 $VL-(M+1)$ は、図1における昇圧電源線 VLU に接続される。図3では、 M が5の場合(5倍昇圧時)の構成例を示している。

20

【0082】

第1の回路20は、第1～第 $2M$ のスイッチ素子 $SW1$ ～ $SW2M$ と、第1～第 $(M-1)$ の昇圧用キャパシタ $Cu1$ ～ $Cu(M-1)$ と、第1～第 $(M-2)$ の安定化用キャパシタ $Cs1$ ～ $Cs(M-2)$ とを含む。

【0083】

第1～第 $2M$ のスイッチ素子の各スイッチ素子は、第1及び第 $(M+1)$ の電源線 $VL-1$ 、 $VL-(M+1)$ の間に直列に接続されている。より具体的には、第1のスイッチ素子 $SW1$ の一端が第1の電源線 $VL-1$ に接続され、第 $2M$ のスイッチ素子 $SW2M$ の一端が第 $(M+1)$ の電源線 $VL-(M+1)$ に接続される。そして、第1及び第 $2M$ のスイッチ素子 $SW1$ 、 $SW2M$ を除く残りのスイッチ素子 $SW2$ ～ $SW(2M-1)$ が、第1のスイッチ素子 $SW1$ の他端と第 $2M$ のスイッチ素子 $SW2M$ の他端との間に直列に接続される。

30

【0084】

第1～第 $(M-1)$ の昇圧用キャパシタ $Cu1$ ～ $Cu(M-1)$ の各昇圧用キャパシタの一端が、第 j ($1 \leq j \leq 2M-3$ 、 j は奇数)及び第 $(j+1)$ のスイッチ素子 SWj 、 $SW(j+1)$ が接続された第 j の接続ノード $ND-j$ に接続される。そして、該昇圧用キャパシタの他端が、第 $(j+2)$ 及び第 $(j+3)$ のスイッチ素子 $SW(j+2)$ 、 $SW(j+3)$ が接続された第 $(j+2)$ の接続ノード $ND-(j+2)$ に接続される。

40

【0085】

即ち第1の昇圧用キャパシタ $Cu1$ は、第1及び第3の接続ノード $ND-1$ 、 $ND-3$ の間に接続される。ここで、第1の接続ノード $ND-1$ は第1及び第2のスイッチ素子 $SW1$ 、 $SW2$ が互いに接続されるノードであり、第3の接続ノード $ND-3$ は第3及び第4のスイッチ素子 $SW3$ 、 $SW4$ が互いに接続されるノードである。第2の昇圧用キャパシタ $Cu2$ は、第3及び第5の接続ノード $ND-3$ 、 $ND-5$ の間に接続される。ここで、第5の接続ノード $ND-5$ は、第5及び第6のスイッチ素子 $SW5$ 、 $SW6$ が互いに接続されるノードである。同様に、第 $(M-1)$ の昇圧用キャパシタ $Cu(M-1)$ は、第 $(2M-3)$ 及び第 $(2M-1)$ の接続ノード $ND-(2M-3)$ 、 $ND-(2M-1)$ の間に接続される。ここで、第 $(2M-3)$ の接続ノード $ND(2M-3)$ は第 $(2M-3)$

50

)及び第 $(2M-2)$ のスイッチ素子 $SW(2M-3)$ 、 $SW(2M-2)$ が互いに接続されるノードであり、第 $(2M-1)$ の接続ノード $ND-(2M-1)$ は第 $(2M-1)$ 及び第 $2M$ のスイッチ素子 $SW(2M-1)$ 、 $SW2M$ が互いに接続されるノードである。

【0086】

また図3において、第1～第 $(M-2)$ の安定化用キャパシタ $Cs1 \sim Cs(M-2)$ の各安定化用キャパシタの一端が、第 $k(2 \leq k \leq 2M-4, k$ は偶数)及び第 $(k+1)$ のスイッチ素子 SWk 、 $SW(k+1)$ が接続された第 k の接続ノード $ND-k$ に接続される。そして、該安定化用キャパシタの他端が、第 $(k+2)$ 及び第 $(k+3)$ のスイッチ素子 $SW(k+2)$ 、 $SW(k+3)$ が接続された第 $(k+2)$ の接続ノード $ND-(k+2)$ に接続される。

10

【0087】

即ち第1の安定化用キャパシタ $Cs1$ は、第2及び第4の接続ノード $ND-2$ 、 $ND-4$ の間に接続される。ここで、第2の接続ノード $ND-2$ は第2及び第3のスイッチ素子 $SW2$ 、 $SW3$ が互いに接続されるノードであり、第4の接続ノード $ND-4$ は第4及び第5のスイッチ素子 $SW4$ 、 $SW5$ が互いに接続されるノードである。第2の安定化用キャパシタ $Cs2$ は、第4及び第6の接続ノード $ND-4$ 、 $ND-6$ の間に接続される。ここで、第6の接続ノード $ND-6$ は、第6及び第7のスイッチ素子 $SW6$ 、 $SW7$ が互いに接続されるノードである。同様に、第 $(M-2)$ の安定化用キャパシタ $Cs(M-2)$ は、第 $(2M-4)$ 及び第 $(2M-2)$ の接続ノード $ND-(2M-4)$ 、 $ND-(2M-2)$ の間に接続される。ここで、第 $(2M-4)$ の接続ノード $ND(2M-4)$ は第 $(2M-4)$ 及び第 $(2M-3)$ のスイッチ素子 $SW(2M-4)$ 、 $SW(2M-3)$ が互いに接続されるノードであり、第 $(2M-2)$ の接続ノード $ND-(2M-2)$ は第 $(2M-2)$ 及び第 $(2M-1)$ のスイッチ素子 $SW(2M-2)$ 、 $SW(2M-1)$ が互いに接続されるノードである。

20

【0088】

そして、図3における第1の回路20では、第 $r(1 \leq r \leq 2M-1, r$ は整数)のスイッチ素子 SWr と第 $(r+1)$ のスイッチ素子 $SW(r+1)$ とが排他的にオンとなるようにスイッチ制御され、第1及び第 $(M+1)$ の電源線 $VL-1$ 、 $VL-(M+1)$ の間に、第1及び第2の電源線の間電圧を M 倍に昇圧した電圧 $M \cdot V$ を出力する。

30

【0089】

図4に、図3における各スイッチ素子のスイッチ制御を行うスイッチ制御信号の動作を模式的に示す。

【0090】

ここで、第1のスイッチ素子 $SW1$ のスイッチ制御(オンオフ制御)を行うスイッチ制御信号を $S1$ 、第2のスイッチ素子 $SW2$ のスイッチ制御を行うスイッチ制御信号を $S2$ 、 \dots 、第 $2M$ のスイッチ素子 $SW2M$ のスイッチ制御を行うスイッチ制御信号を $S2M$ とし、 M が5の場合のスイッチ制御信号 $S1 \sim S10$ の動作タイミングを模式的に示す。各スイッチ制御信号は、図4に示すような動作を繰り返すクロック信号である。

【0091】

またHレベルのスイッチ制御信号により、各スイッチ素子はオンとなり、スイッチ素子の両端が電氣的に接続されて導通状態となるものとする。またLレベルのスイッチ制御信号により、各スイッチ素子はオフとなり、スイッチ素子の両端が電氣的に切断されて非導通状態となるものとする。

40

【0092】

スイッチ制御信号 $S1$ 、 $S3$ 、 \dots 、 $S9$ は、第1の期間においてHレベルとなり、第2の期間においてLレベルとなる。スイッチ制御信号 $S2$ 、 $S4$ 、 \dots 、 $S10$ は、第1の期間においてLレベルとなり、第2の期間においてHレベルとなる。このようにして、第 r のスイッチ素子 SWr と第 $(r+1)$ のスイッチ素子 $SW(r+1)$ とが排他的にオンとなるようにスイッチ制御される。

50

【0093】

このとき、第 r のスイッチ素子 SW_r と第 $(r+1)$ のスイッチ素子 $SW_{(r+1)}$ とが同時にオンとなる期間がなくなるようにスイッチ制御されることが望ましい。第 r のスイッチ素子 SW_r と第 $(r+1)$ のスイッチ素子 $SW_{(r+1)}$ とが同時にオンになると、貫通電流による消費電流の増加を招くからである。また図4では、第2の期間が、第1の期間経過後の次の期間となっているが、これに限定されるものではない。例えば第2の期間が、第1の期間経過後の所定の期間を置いて開始されてもよい。要は、第2の期間が、第1の期間経過後であればよい。

【0094】

次に、図3に示す第1の回路20の動作について、 M が5の場合(5倍昇圧)を例に、図5(A)、(B)を参照しながら説明する。 10

【0095】

図5(A)は、第1の期間における図3の第1の回路20のスイッチ状態を模式的に表したものである。図5(B)は、第2の期間における図3の第1の回路20のスイッチ状態を模式的に表したものである。

【0096】

第1の期間では、第1、第3、第5、第7及び第9のスイッチ素子 SW_1 、 SW_3 、 SW_5 、 SW_7 、 SW_9 がオンとなり、第2、第4、第6、第8及び第10のスイッチ素子 SW_2 、 SW_4 、 SW_6 、 SW_8 、 SW_{10} がオフとなる(図5(A))。第1の昇圧用キャパシタ C_{u1} に着目すると、第1の期間中に第1の昇圧用キャパシタ C_{u1} の両端には、第1及び第2の電源線 $VL-1$ 、 $VL-2$ の間の電圧 V (V 、 0) が印加される。従って、第1の昇圧用キャパシタ C_{u1} には、第1の期間中にその両端の電圧が V となるように電荷が蓄積される。 20

【0097】

第2の期間では、第1、第3、第5、第7及び第9のスイッチ素子 SW_1 、 SW_3 、 SW_5 、 SW_7 、 SW_9 がオフとなり、第2、第4、第6、第8及び第10のスイッチ素子 SW_2 、 SW_4 、 SW_6 、 SW_8 、 SW_{10} がオンとなる(図5(B))。これにより、第1の昇圧用キャパシタ C_{u1} の一端には、第1の電源線 $VL-1$ に代えて第2の電源線 $VL-2$ が接続される。従って、第1の昇圧用キャパシタ C_{u1} の他端は、電圧 $2 \cdot V$ となる。第1の昇圧用キャパシタ C_{u1} の他端は、第3の電源線 $VL-3$ に接続されるため、第2及び第3の電源線 $VL-2$ 、 $VL-3$ の間に接続された第1の安定化用キャパシタ C_{s1} の両端にも電圧 V が印加され、第1の安定化用キャパシタ C_{s1} には、その両端の電圧が V となるように電荷が蓄積される。これにより、第1の安定化用キャパシタ C_{s1} の他端の電圧は、 $2 \cdot V$ となる。 30

【0098】

第2の昇圧用キャパシタ C_{u2} についても、ほぼ同様である。即ち、第1の期間中では、第2の昇圧用キャパシタ C_{u2} の一端には、第2の電源線 $VL-2$ が接続される。第2の電源線 $VL-2$ には、電圧 V が供給されているが、第1の昇圧用キャパシタ C_{u1} の他端が接続されている。そして、第2の昇圧用キャパシタ C_{u2} の他端には、第1の安定化用キャパシタ C_{s1} の他端が接続される。そのため、第2の昇圧用キャパシタ C_{u2} の両端には、電圧 V ($2V$ 、 V) が印加される。従って、第2の昇圧用キャパシタ C_{u2} には、第1の期間中にその両端の電圧が V となるように電荷が蓄積される。 40

【0099】

そして、第2の期間になると、第1の昇圧用キャパシタ C_{u1} の他端の電圧が $2 \cdot V$ となる。そのため、その一端が第1の昇圧用キャパシタ C_{u1} に接続された第2の昇圧用キャパシタ C_{u2} の他端の電圧は、 $3 \cdot V$ となる。第2の昇圧用キャパシタ C_{u2} の他端は、第4の電源線 $VL-4$ に接続されるため、第3及び第4の電源線 $VL-3$ 、 $VL-4$ の間に接続された第2の安定化用キャパシタ C_{s2} の両端にも電圧 V が印加され、第2の安定化用キャパシタ C_{s2} には、その両端の電圧が V となるように電荷が蓄積される。

【0100】

第3及び第4の昇圧用キャパシタ C_{u3} 、 C_{u4} の他端の電圧も、上記と同様に、チャージポンプ方式により昇圧された電圧となる。その結果、第6の電源線 V_{L-6} の電圧は $5 \cdot V$ となり、出力電圧 V_{out} として出力される。

【0101】

なお、図3、図5(A)、(B)において、第1の回路20が、第Mの電源線 V_{L-M} と第(M+1)の電源線 $V_{L-(M+1)}$ との間に接続された第(M-1)の安定化用キャパシタ $C_{s(M-1)}$ を更に含み、第(M-1)の安定化用キャパシタ $C_{s(M-1)}$ が、第2の期間において第(M-1)の昇圧用キャパシタ $C_{u(M-1)}$ から放電された電荷を蓄積することが望ましい。即ちMが5の場合、第5及び第6の電源線 V_{L-5} 、 V_{L-6} の間に、第4の安定化用キャパシタ C_{s4} が更に接続されることが望ましい。図3、
10 図5(A)、(B)では、第(M-1)の安定化用キャパシタ $C_{s(M-1)}$ に相当する第4の安定化用キャパシタ C_{s4} を破線で示している。この場合、第4の安定化用キャパシタ C_{s4} により第2の期間に昇圧された出力電圧 V_{out} を安定した状態で供給することができる。

【0102】

更にまた、図3、図5(A)、(B)において、第1の回路20が、第1の電源線 V_{L-1} と第(M+1)の電源線 $V_{L-(M+1)}$ との間に接続されたキャパシタを更に含むことが望ましい。即ちMが5の場合、第1及び第6の電源線 V_{L-1} 、 V_{L-6} の間に、キャパシタが接続されることが望ましい。図3、図5(A)、(B)では、第1及び第(M+1)の電源線 V_{L-1} 、 $V_{L-(M+1)}$ に相当する第1及び第6の電源線 V_{L-1} 、
20 V_{L-6} の間に、キャパシタ C_0 が接続されている。この場合、第6の電源線 V_{L-6} に接続される負荷に依存した電圧レベルの低下を回避できる。

【0103】

以上のように第1の回路20を構成することで、各昇圧用キャパシタ及び各安定化用キャパシタには、第1及び第2の電源線 V_{L-1} 、 V_{L-2} の間の電圧 V と同じ電圧が印加される。また、各スイッチ素子も、後述するように、昇圧した電圧 $M \cdot V$ ではなく、電圧 V 又は電圧 $2 \cdot V$ の振幅を有する信号に対する耐圧を有していればよい。従って、各昇圧用キャパシタ及び各安定化用キャパシタをIC内に内蔵させる場合に、電圧 $M \cdot V$ の耐圧を有する高耐圧の製造プロセスを用いることなく低コスト化を実現する低耐圧の製造プロセスにより、スイッチ素子及びキャパシタを形成することができる。
30

【0104】

1.2 キャパシタを内蔵する半導体装置

次に、第1の回路20を構成するチャージポンプ回路を内蔵する場合について説明する。

【0105】

図6に、図3に示す第1の回路20を構成するチャージポンプ回路を内蔵する半導体装置の構成の概要を示す。図6において、図3に示す構成要素と同一部分には同一符号を付し、適宜説明を省略する。

【0106】

半導体装置(集積回路装置(IC)、チップ)100は、図3に示す第1の回路20を構成するチャージポンプ回路200を含む。チャージポンプ回路200は、第1~第(M+1)の電源線を用いてチャージポンプ動作を行う。
40

【0107】

半導体装置100は、第1のスイッチ素子の一端が第1の電源線に接続され、第2M(Mは3以上の整数)のスイッチ素子の一端が第(M+1)の電源線に接続され、第1及び第2Mのスイッチ素子を除く残りのスイッチ素子が第1のスイッチ素子の他端と第2Mのスイッチ素子の他端との間に直列に接続された第1~第2Mのスイッチ素子と、各昇圧用キャパシタの一端が第j(1 ≤ j ≤ 2M-3、jは奇数)及び第(j+1)のスイッチ素子が接続された第jの接続ノードに接続され、該昇圧用キャパシタの他端が第(j+2)及び第(j+3)のスイッチ素子が接続された第(j+2)の接続ノードに接続された第1~第(M-1)の昇圧用キャパシタと、各安定化用キャパシタの一端が第k(2 ≤ k ≤ 2
50

M - 4、kは偶数)及び第(k + 1)のスイッチ素子が接続された第kの接続ノードに接続され、該安定化用キャパシタの他端が第(k + 2)及び第(k + 3)のスイッチ素子が接続された第(k + 2)の接続ノードに接続された第1 ~ 第(M - 2)の安定化用キャパシタとを含む。そして、半導体装置100では、第r(1 ≤ r ≤ M - 1、rは整数)のスイッチ素子と第(r + 1)のスイッチ素子とが排他的にオンとなるようにスイッチ制御される。

【0108】

チャージポンプ回路200は、第Mの電源線と第(M + 1)の電源線との間に接続された第(M - 1)の安定化用キャパシタを更に含み、第(M - 1)の安定化用キャパシタが、第2の期間において第(M - 1)の昇圧用キャパシタから放電された電荷を蓄積するようにしてもよい。

10

【0109】

図6では、Mが5の場合(5倍昇圧)のチャージポンプ回路200の構成を示し、第(M - 1)の安定化用キャパシタCs(M - 1)に相当する第4の安定化用キャパシタCs4が第5及び第6の電源線VL - 5、VL - 6の間に接続されている。

【0110】

半導体装置100は、チャージポンプ回路200の昇圧用キャパシタ及び安定化用キャパシタを内蔵する。図6では、チャージポンプ回路200の第1 ~ 第4の昇圧用キャパシタCu1 ~ Cu4及び第1 ~ 第4の安定化用キャパシタCs1 ~ Cs4が半導体装置100に内蔵される。

20

【0111】

そして、半導体装置100では、昇圧した電圧を安定化させるためのキャパシタのみが外付けされる。より具体的には、半導体装置100は、第1及び第(M + 1)の電源線VL - 1、VL - (M + 1)と電氣的に接続された第1及び第2の端子T1、T2を含み、半導体装置100の外部で、第1及び第2の端子T1、T2の間にキャパシタC0が接続される。図6では、半導体装置100は、第1及び第6の電源線VL - 1、VL - 6と電氣的に接続された第1及び第2の端子T1、T2を含み、半導体装置100の外部で、第1及び第2の端子T1、T2の間にキャパシタC0が接続される。

【0112】

チャージポンプ回路200の各スイッチ素子は、金属酸化膜半導体(Metal - Oxide Semiconductor: MOS)トランジスタにより構成される。より具体的には、第1のスイッチ素子SW1は、nチャネル型MOSトランジスタTr1により構成される。第2 ~ 第10のスイッチ素子SW2 ~ SW10は、pチャネル型MOSトランジスタTr2 ~ Tr10により構成される。

30

【0113】

従って、スイッチ素子としてMOSトランジスタのオンオフ制御を行うスイッチ制御信号S1 ~ S10は、図7に示すようなタイミングとなる。なお、MOSトランジスタTr1とMOSトランジスタTr2のスイッチ制御信号S1、S2として、スイッチ制御信号S0を用いる。

【0114】

なお、図6では、MOSトランジスタごとに、第1及び第2の期間における導通状態を、“ ”(オン)又は“x”(オフ)で示している。左側には第1期間における導通状態、右側には第2の期間における導通状態を示している。

40

【0115】

また図6では、昇圧用キャパシタごとに、第1及び第2の期間において、該昇圧用キャパシタの両端に印加される電圧を示している。左側には第1期間において印加される電圧、右側には第2の期間において印加される電圧を示している。

【0116】

このようにチャージポンプ回路200の動作は図3、図4及び図5(A)、(B)で説明した内容と同様である。従って、その説明を省略する。

50

【0117】

1.3 出力インピーダンス

次に、チャージポンプ回路200の効果を説明するために、チャージポンプ回路200の出力インピーダンスを求める。

【0118】

チャージポンプ回路200の出力インピーダンス Z は、次式(1)に示すように、昇圧した出力電圧 V_{out} が供給される第6の電源線 $VL-6$ から電流 I を引いたときに第6の電源線 $VL-6$ の電圧が降下する傾きに対応する。

【0119】

$$V_{out} = I \cdot Z \quad \dots (1)$$

10

チャージポンプ回路の能力は、該チャージポンプ回路の出力インピーダンスを用いることによって表すことができる。出力インピーダンスの値が小さいほど、負荷により電流が引かれたときの電圧の降下が小さくなることを意味する。従って、出力インピーダンスの値が小さいほどチャージポンプ回路の能力(電荷供給能力、負荷駆動能力)が高く、出力インピーダンスの値が大きいほどチャージポンプ回路の能力が低いことを表す。チャージポンプ回路の能力は、高い方が望ましい。

【0120】

チャージポンプ回路200の出力インピーダンスは、次のように簡略化して求められる。

【0121】

図8(A)、(B)に、チャージポンプ回路200の等価回路を示す。図8(A)は、第1の期間におけるチャージポンプ回路200の等価回路を示す。図8(B)は、第2の期間におけるチャージポンプ回路200の等価回路を示す。ここで、各等価回路中の抵抗素子は、MOSトランジスタのオン抵抗を示している。また各等価回路中の電源は、第1及び第2の電源線 $VL-1$ 、 $VL-2$ の間に、電圧 V が印加されていることを示している。

20

【0122】

次に、各等価回路を用いて、チャージポンプ回路200のチャージポンプ動作を8つの状態に分けて考える。そして、各状態におけるインピーダンスを求める。

【0123】

図9(A)~(D)に、チャージポンプ回路200のチャージポンプ動作の前半の4状態の等価回路を示す。

30

【0124】

図10(A)~(D)に、チャージポンプ回路200のチャージポンプ動作の後半の4状態の等価回路を示す。

【0125】

即ち図9(A)は、MOSトランジスタ $Tr1$ 、 $Tr3$ がオンの状態の等価回路である。図9(B)は、MOSトランジスタ $Tr2$ 、 $Tr4$ がオンの状態の等価回路である。図9(C)は、MOSトランジスタ $Tr3$ 、 $Tr5$ がオンの状態の等価回路である。図9(D)は、MOSトランジスタ $Tr4$ 、 $Tr6$ がオンの状態の等価回路である。

【0126】

また図10(A)は、MOSトランジスタ $Tr5$ 、 $Tr7$ がオンの状態の等価回路である。図10(B)は、MOSトランジスタ $Tr6$ 、 $Tr8$ がオンの状態の等価回路である。図10(C)は、MOSトランジスタ $Tr7$ 、 $Tr9$ がオンの状態の等価回路である。図10(D)は、MOSトランジスタ $Tr8$ 、 $Tr10$ がオンの状態の等価回路である。

40

【0127】

次に、各MOSトランジスタのオン抵抗の抵抗値を r とする。そして、図9(A)~(D)、図10(A)~(D)の各状態において、インピーダンスをDC成分とAC成分とに分ける。

【0128】

各状態のインピーダンスのDC成分は、それぞれ2つのMOSトランジスタのオン抵抗分であるため、 $2r$ である。

50

【0129】

また各状態で流れる電流 i は、 $i = c f V$ により求められる。ここで、 f はスイッチング周波数である。インピーダンスの AC 成分は各状態のスイッチングにより生じるため、 $1 / (c \cdot f)$ となる。即ち、図 9 (A) に示す状態から図 9 (B) に示す状態へのスイッチングにより、インピーダンスの AC 成分は、 $1 / (C u 1 \cdot f)$ となる。

【0130】

同様に、図 9 (B) に示す状態から図 9 (C) に示す状態へのスイッチングにより、インピーダンスの AC 成分は、 $1 / (C s 1 \cdot f)$ となる。図 9 (C) に示す状態から図 9 (D) に示す状態へのスイッチングにより、インピーダンスの AC 成分は、 $1 / (C u 2 \cdot f)$ となる。図 9 (D) に示す状態から図 10 (A) に示す状態へのスイッチングにより、インピーダンスの AC 成分は、 $1 / (C s 2 \cdot f)$ となる。図 10 (A) に示す状態から図 10 (B) に示す状態へのスイッチングにより、インピーダンスの AC 成分は、 $1 / (C u 3 \cdot f)$ となる。図 10 (B) に示す状態から図 10 (C) に示す状態へのスイッチングにより、インピーダンスの AC 成分は、 $1 / (C s 3 \cdot f)$ となる。図 10 (C) に示す状態から図 10 (D) に示す状態へのスイッチングにより、インピーダンスの AC 成分は、 $1 / (C u 4 \cdot f)$ となる。

【0131】

ここで、各昇圧用キャパシタ及び各安定化用キャパシタの容量値を c とする。出力インピーダンス Z は、インピーダンスの DC 成分と AC 成分の和となるので、次の (2) 式により表される。

【0132】

$$Z = 8 \times 2 r + 7 \times 1 / (c \cdot f) = 16 r + 7 / (c \cdot f) \quad \dots (2)$$

なお、 M 倍昇圧の場合、出力インピーダンスの一般式は次の (3) 式により表される。

【0133】

$$\begin{aligned} Z &= ((2M-4) \times 2 + 4) \times r + (2M-3) / (c \cdot f) \\ &= (4M-4) r + (2M-3) / (c \cdot f) \quad \dots (3) \end{aligned}$$

【0134】

1.4 比較例

次に、図 6 に示すチャージポンプ回路 200 との対比のため、比較例におけるチャージポンプ回路について説明する。

【0135】

図 11 に、比較例におけるチャージポンプ回路の構成例を示す。ここで、図 6 に示すチャージポンプ回路 200 と同一部分には同一符号を付している。

【0136】

比較例におけるチャージポンプ回路 300 は、第 1 及び第 2 の電源線 $V L C - 1$ 、 $V L C - 2$ 、第 1 ~ 第 $(M + 2)$ の出力電源線 $V L O - 1 \sim V L O - (M + 2)$ を有する。そして、第 1 及び第 2 の電源線 $V L C - 1$ 、 $V L C - 2$ の間の電圧 V を M 倍に昇圧した昇圧電圧 $M \cdot V$ を、出力電圧 $V o u t$ として、第 $(M + 2)$ の出力電源線 $V L O - (M + 2)$ に出力する。

【0137】

チャージポンプ回路 300 は、低耐圧の第 1 ~ 第 4 のスイッチ素子としての n チャネル型 MOS トランジスタ $L N 1$ 、 $L N 2$ と p チャネル型 MOS トランジスタ $L P 1$ 、 $L P 2$ とを含む。またチャージポンプ回路 300 は、高耐圧の第 1 ~ 第 M のスイッチ素子としての p チャネル型 MOS トランジスタ $H P 1 \sim H P M$ を含む。

【0138】

第 1 及び第 2 の電源線 $V L C - 1$ 、 $V L C - 2$ の間に、MOS トランジスタ $L P 1$ 、 $L N 1$ が直列に接続される。MOS トランジスタ $L P 1$ 、 $L N 1$ は、スイッチ制御信号 $S 1 C$ によりオンオフ制御される。また第 1 及び第 2 の電源線 $V L C - 1$ 、 $V L C - 2$ の間に、MOS トランジスタ $L P 2$ 、 $L N 2$ が直列に接続される。MOS トランジスタ $L P 2$ 、 L

N 2 は、スイッチ制御信号 S 2 C によりオンオフ制御される。

【 0 1 3 9 】

第 2 の電源線 V L C - 2 と第 (M + 2) の出力電源線 V L O - (M + 2) との間に、M O S トランジスタ H P 1 ~ H P M が直列に接続される。M O S トランジスタ H P 1 のドレイン端子が第 2 の電源線 V L C - 2 に接続される。M O S トランジスタ H P M のソース端子が第 (M + 2) の出力電源線 V L O - (M + 2) に接続される。M O S トランジスタ H P 1 ~ H P M は、スイッチ制御信号 S 3 C ~ S (M + 2) C によりオンオフ制御される。

【 0 1 4 0 】

第 1 の出力電源線 V L O - 1 は、M O S トランジスタ L N 2 のドレイン端子と M O S トランジスタ L P 2 のドレイン端子とに接続される。第 2 の出力電源線 V L O - 2 は、M O S トランジスタ L N 1 のドレイン端子と M O S トランジスタ L P 1 のドレイン端子とに接続される。 10

【 0 1 4 1 】

M が奇数の場合、第 2 の出力電源線 V L O - 2 と M O S トランジスタ H P q (1 ≤ q ≤ M 、 q は偶数) との間にそれぞれフライングコンデンサが接続される。従って、(M - 1) / 2 個のフライングコンデンサが第 2 の出力電源線 V L O - 2 に接続される。また第 1 の出力電源線 V L O - 1 と M O S トランジスタ H P t (2 ≤ t ≤ M 、 t は奇数) との間にそれぞれフライングコンデンサが接続される。従って、(M - 1) / 2 個のフライングコンデンサが第 1 の出力電源線 V L O - 1 に接続される。

【 0 1 4 2 】

一方、M が偶数の場合、第 2 の出力電源線 V L O - 2 と M O S トランジスタ H P q (1 ≤ q ≤ M 、 q は偶数) との間にそれぞれフライングコンデンサが接続される。従って、M / 2 個のフライングコンデンサが第 2 の出力電源線 V L O - 2 に接続される。また第 1 の出力電源線 V L O - 1 と M O S トランジスタ H P t (2 ≤ t ≤ M 、 t は奇数) との間にそれぞれフライングコンデンサが接続される。従って、(M / 2 - 1) 個のフライングコンデンサが第 1 の出力電源線 V L O - 1 に接続される。 20

【 0 1 4 3 】

図 1 1 は、M が 5 の場合 (5 倍昇圧時) の構成例を示している。また、出力電圧 V o u t の安定化を図るため、出力電圧 V o u t が出力される第 7 の出力電源線 V L O - 7 と、第 1 の電源線 V L C - 1 との間にキャパシタ C 5 が接続される。 30

【 0 1 4 4 】

なお、図 1 1 では、図 6 と同様に、M O S トランジスタごとに、第 1 及び第 2 の期間における導通状態を、“ ” (オン) 又は “ x ” (オフ) で示している。左側には第 1 期間における導通状態、右側には第 2 の期間における導通状態を示している。

【 0 1 4 5 】

また図 1 1 では、フライングコンデンサごとに、第 1 及び第 2 の期間において、該フライングコンデンサの両端に印加される電圧を示している。左側には第 1 期間において印加される電圧、右側には第 2 の期間において印加される電圧を示している。

【 0 1 4 6 】

図 1 2 に、比較例におけるチャージポンプ回路の動作原理の説明図を示す。このように、第 1 及び第 2 の期間を繰り返すことによるチャージポンプ方式により、第 (M + 2) の出力電源線 V L O - (M + 2) (図 1 2 では第 7 の出力電源線 V L O - 7) には、第 1 及び第 2 の電源線 V L C - 1 、 V L C - 2 の間の電圧を M 倍に昇圧した昇圧電圧が出力電圧 V o u t として出力される。 40

【 0 1 4 7 】

比較例におけるチャージポンプ回路 3 0 0 の出力インピーダンスは、次のように簡略化して求められる。

【 0 1 4 8 】

図 1 3 (A) 、 (B) に、比較例におけるチャージポンプ回路 3 0 0 の等価回路を示す。図 1 3 (A) は、第 1 の期間におけるチャージポンプ回路 3 0 0 の等価回路を示す。図 1 50

3 (B) は、第 2 の期間におけるチャージポンプ回路 3 0 0 の等価回路を示す。ここで、各等価回路中の抵抗素子は、M O S トランジスタのオン抵抗を示している。また各等価回路中の電源は、第 1 及び第 2 の電源線 V L C - 1、V L C - 2 の間に、電圧 V が印加されていることを示している。

【 0 1 4 9 】

次に、各等価回路を用いて、チャージポンプ回路 3 0 0 のチャージポンプ動作を 5 つの状態に分けて考える。そして、各状態におけるインピーダンスを求める。

【 0 1 5 0 】

図 1 4 (A) ~ (E) に、チャージポンプ回路 3 0 0 のチャージポンプ動作の 5 状態の等価回路を示す。

【 0 1 5 1 】

即ち図 1 4 (A) は、M O S トランジスタ H P 1、L N 1 がオンの状態の等価回路である。図 1 4 (B) は、M O S トランジスタ H P 2、L N 2 がオンの状態の等価回路である。図 1 4 (C) は、M O S トランジスタ H P 3、L N 1 がオンの状態の等価回路である。図 1 4 (D) は、M O S トランジスタ H P 4、L N 2 がオンの状態の等価回路である。図 1 4 (E) は、M O S トランジスタ H P 5、L P 2 がオンの状態の等価回路である。

【 0 1 5 2 】

次に、各 M O S トランジスタのオン抵抗の抵抗値を r とする。そして、図 1 4 (A) ~ (E) の各状態において、インピーダンスを D C 成分と A C 成分とに分ける。

【 0 1 5 3 】

図 1 4 (A)、(E) の各状態のインピーダンスの D C 成分は $2 r$ である。図 1 4 (B) ~ (D) の各状態のインピーダンスの D C 成分は $3 r$ である。

【 0 1 5 4 】

またインピーダンスの A C 成分は、上述と同様に求められる。即ち、図 1 4 (A) に示す状態から図 1 4 (B) に示す状態へのスイッチングにより、インピーダンスの A C 成分は、 $1 / (C 1 \cdot f)$ となる。図 1 4 (B) に示す状態から図 1 4 (C) に示す状態へのスイッチングにより、インピーダンスの A C 成分は、 $1 / (C 2 \cdot f)$ となる。図 1 4 (C) に示す状態から図 1 4 (D) に示す状態へのスイッチングにより、インピーダンスの A C 成分は、 $1 / (C 3 \cdot f)$ となる。図 1 4 (D) に示す状態から図 1 4 (E) に示す状態へのスイッチングにより、インピーダンスの A C 成分は、 $1 / (C 4 \cdot f)$ となる。

【 0 1 5 5 】

ここで、各フライングコンデンサの容量値を c とする。出力インピーダンス $Z c$ は、インピーダンスの D C 成分と A C 成分の和となるので、次の (4) 式により表される。なお、第 7 の出力電源線 V L O - 7 に接続される負荷によりキャパシタ C 5 についての A C 成分も発生するが、キャパシタ C 5 は外付け容量として設けられ、他のフライングコンデンサ C 1 ~ C 4 に比べて、その容量値が十分大きい。従って、インピーダンスとしては、フライングコンデンサ C 1 ~ C 4 が支配的となり、キャパシタ C 5 による A C 成分については無視できる。

【 0 1 5 6 】

$$\begin{aligned} Z c &= (2 \times 2 r + 3 \times 3 r) + 4 \times 1 / (c \cdot f) \\ &= 13 r + 4 / (c \cdot f) \quad \dots (4) \end{aligned}$$

なお、M 倍昇圧の場合、出力インピーダンスの一般式は次の (5) 式により表される。

【 0 1 5 7 】

$$\begin{aligned} Z c &= (2 \times 2 r + (M - 2) \times 3 r) + (M - 1) / (c \cdot f) \\ &= (3 M - 2) r + (M - 1) / (c \cdot f) \quad \dots (5) \end{aligned}$$

【 0 1 5 8 】

1 . 5 比較例との対比

図 6 に示すチャージポンプ回路 2 0 0 の構成と、図 1 1 に示す比較例におけるチャージポ

10

20

30

40

50

ンプ回路300の構成とを対比する。両回路は、同じ5倍昇圧を実現するにも関わらず、チャージポンプ回路200では、キャパシタの数と、スイッチ素子の数とが増える。

【0159】

また、図6に示す第1の実施形態におけるチャージポンプ回路200の出力インピーダンス Z と、図11に示す比較例におけるチャージポンプ回路300の出力インピーダンス Z_c とを対比する。(2)式及び(4)式より、出力インピーダンス Z_c の方が、出力インピーダンス Z より小さい。

【0160】

以上より、一般的には、第1の実施形態におけるチャージポンプ回路200を採用するよりも、比較例におけるチャージポンプ回路300を採用することが有利であると考えられる。

10

【0161】

ところが、チャージポンプ回路を構成するキャパシタを半導体装置内に内蔵させる場合、第1の実施形態におけるチャージポンプ回路200では、昇圧用キャパシタ及び安定化用キャパシタのすべてを低耐圧の製造プロセスで製造することができる。これに対して、比較例におけるチャージポンプ回路300は、MOSトランジスタHP1~HP5、フランクコンデンサC2~C4を高耐圧プロセスで製造する必要がある。

【0162】

ここで、低耐圧とは、第1及び第2の電源線VLC-1、VLC-2(VL-1、VL-2)の間の電圧V(例えば1.8ボルト~3.3ボルト)により定められる設計ルール上の耐圧である。これに対して高耐圧とは、例えば10ボルト~20ボルトといった高電圧に対する設計ルール上の耐圧である。

20

【0163】

低耐圧の製造プロセスを用いるか、或いは高耐圧の製造プロセスを用いるかにより、半導体装置内で作り込まれるキャパシタの両電極間の膜厚が変わってくる。低耐圧の製造プロセスで作られキャパシタでは、その両電極間の膜厚をより一層薄くでき、単位面積当たりの容量値を大きくできる。即ち、ある容量値を得る場合、高耐圧の製造プロセスで作られキャパシタの面積より、低耐圧の製造プロセスで作られキャパシタの面積をより小さくできる。また、半導体装置内に内蔵させることを考慮すると、キャパシタの数の増加の影響を小さくできる。

30

【0164】

従って、同じ面積を費やして半導体装置内にキャパシタを内蔵させる場合、比較例におけるチャージポンプ回路300に比べて、第1の実施形態におけるチャージポンプ回路200の方がよい。

【0165】

そして、第1の実施形態におけるチャージポンプ回路200のキャパシタを内蔵させることで、以下のような利点を有する。

【0166】

第1に、スイッチング素子としてのMOSトランジスタを低耐圧の製造プロセスで製造できるようになるので、MOSトランジスタのゲート容量による充放電電流を低減することができる。同じオン抵抗を実現する高耐圧用のMOSトランジスタと比べて、低耐圧用のMOSトランジスタのチャネル幅を狭くでき、図6に示すように充放電電圧は低電圧である。これに対して、図11では、充放電電圧が $V \sim 5 \cdot V$ であり、 $5 \cdot V$ は高電圧である。従って、低耐圧用のMOSトランジスタを採用することにより、ゲート膜厚が薄くなり、ゲート容量が大きくなる影響を考慮しても、ゲート容量による充放電電流を低減できる。

40

【0167】

第2に、第1の実施形態におけるチャージポンプ回路200と、比較例におけるチャージポンプ回路300とについて、半導体装置内に同じ面積を費やしてキャパシタを作り込み(コスト同じ)、同じ出力インピーダンスを得よう(能力同じ)とした場合、第1の実施

50

形態におけるチャージポンプ回路 200 によれば、比較例におけるチャージポンプ回路 300 に比べて、スイッチングに伴う消費電流を低減できる。

【0168】

この点について説明する。チャージポンプ回路のキャパシタに電荷を充電するための十分な時間が必要であるため、時定数 $C \cdot r$ は $1 / 2f$ (電荷が充放電される周波数) より十分小さいものと考えることができる。ここで、例えば時定数 $C \cdot r$ が、スイッチ制御信号のパルスの 10 分の 1 であるものとする。また、チャージポンプ回路 200 とチャージポンプ回路 300 のキャパシタの容量値が同一で、MOS トランジスタのオン抵抗の抵抗値が同一であるものとする。

【0169】

$$C \cdot r = 1 / (20 \cdot f) \quad \dots (6)$$

従って、(6) 式を、(2) 式及び(4) 式に代入すると、次の(7) 式及び(8) 式が求められる。

【0170】

$$Z = 13 / (20 \cdot C_a \cdot f_a) + 4 / (C_a \cdot f_a) \quad \dots (7)$$

$$Z_c = 16 / (20 \cdot C_b \cdot f_b) + 7 / (C_b \cdot f_b) \quad \dots (8)$$

(7) 式及び(8) 式において、 C_a はチャージポンプ回路 300 におけるキャパシタの 1 個当たりの容量値であり、 C_b はチャージポンプ回路 200 におけるキャパシタの 1 個当たりの容量値とする。また、 f_a はチャージポンプ回路 300 における各キャパシタに電荷が充放電される周波数であり、 f_b はチャージポンプ回路 200 における各キャパシタに電荷が充放電される周波数である。

【0171】

チャージポンプ回路 200 の出力インピーダンス Z と、チャージポンプ回路 300 の出力インピーダンス Z_c とを同一にするためには、(7) 式及び(8) 式より、 $Z = Z_c$ である。これにより、次の(9) 式が求められる。

【0172】

$$\begin{aligned} C_b \cdot f_b &= (7.8 / 4.65) \cdot C_a \cdot f_a \\ &= 1.68 \cdot C_a \cdot f_a \quad \dots (9) \end{aligned}$$

低耐圧の製造プロセスによりキャパシタ CLV を製造する場合の絶縁酸化膜の膜厚を 10 ナノメートル (nm) とし、例えば 16 ボルトの高耐圧の製造プロセスによりキャパシタ CHV を製造する場合の絶縁酸化膜の膜厚を 55 nm とする。このとき、単位面積当たりの容量比は、次の(10) 式で表される。

【0173】

$$CLV = 5.5 \cdot CHV \quad \dots (10)$$

図 11 に示すチャージポンプ回路 300 では、フライングコンデンサ (キャパシタ) C_1 のみが低耐圧、フライングコンデンサ $C_2 \sim C_4$ が高耐圧である必要がある。そのため、すべてのキャパシタの容量値を同一とするためには、全体の面積を S として、次のようになる。

【0174】

$$\text{低耐圧用キャパシタの面積} \quad : 0.057 \cdot S \quad \dots (11)$$

$$\text{高耐圧用キャパシタ 1 個当たりの面積} : 0.314 \cdot S \quad \dots (12)$$

一方、図 6 に示すチャージポンプ回路 200 では、昇圧用キャパシタ及び安定化用キャパシタすべての計 8 個とも低耐圧で済むため、全体の面積を S として、次のようになる。

【0175】

$$\text{低耐圧用キャパシタの面積} \quad : 0.125 \cdot S \quad \dots (13)$$

従って、チャージポンプ回路 300 のキャパシタ 1 個の容量値 C_a と、チャージポンプ回路 200 のキャパシタ 1 個当たりの容量値 C_b との合計を同一面積で実現するためには、次の関係式が成り立つ。

【0176】

10

20

30

40

50

$C_b = (0.125 / 0.057) \cdot C_a = 2.19 \cdot C_a \dots (14)$
 (14)式を、(9)式に代入すると、 f_b と f_a の関係が(15)式ようになる。

【0177】

$f_b = 0.77 \cdot f_a \dots (15)$

(15)式は、第1の実施形態におけるチャージポンプ回路200の充放電の周波数 f_b が、比較例におけるチャージポンプ回路300の充放電の周波数 f_a の0.77倍であることを示す。従って、第1の実施形態によれば、充放電の周波数を低減することができる。即ち、スイッチ制御信号の周波数低減によるスイッチ素子のスイッチングに伴う消費電流を低減することができる。

【0178】

また、第1の実施形態におけるチャージポンプ回路200のキャパシタを内蔵させる利点の第3の点は、以下の通りである。

【0179】

即ち、第1の実施形態におけるチャージポンプ回路200と、比較例におけるチャージポンプ回路300とについて、半導体装置内に同じ面積を費やしてキャパシタを作り込み(コスト同じ)、同じ出力インピーダンスを得よう(能力同じ)とした場合、第1の実施形態におけるチャージポンプ回路200によれば、比較例におけるチャージポンプ回路300に比べて、キャパシタの寄生容量による充放電電流を低減できる。

【0180】

図15に、半導体装置内に内蔵されるキャパシタの寄生容量の説明図を示す。半導体装置内にキャパシタを内蔵させる場合、半導体装置を構成する例えばp型シリコン基板(広義には半導体基板)400に、n型ウェル領域(広義には不純物領域)410が形成される。そして、n型ウェル領域410上に、絶縁酸化膜(広義には絶縁層)420が形成される。そして、絶縁酸化膜420の上に、ポリシリコン膜(広義には導電層)430が形成される。

【0181】

キャパシタは、絶縁酸化膜420を介して、n型ウェル領域410及びポリシリコン膜430の間に形成される。そして、p型シリコン基板400とn型ウェル領域410との接合容量が寄生容量となる。

【0182】

比較例におけるチャージポンプ回路300では、図11に示すように、フライングコンデンサとしてのキャパシタ $C_1 \sim C_4$ のすべてに、電圧 V の充放電が行われる。図11では、キャパシタ $C_1 \sim C_4$ の寄生容量を $C_{x1} \sim C_{x4}$ として示している。単位面積当たりの寄生容量を C_i とすると、寄生容量による充放電電流 I_a は、次の式で表すことができる。

【0183】

$I_a = C_i \cdot S \cdot V \cdot f_a \dots (16)$

一方、第1の実施形態におけるチャージポンプ回路200では、安定化用キャパシタの充放電が繰り返されることなく、昇圧用キャパシタのみで充放電が繰り返される。従って、8個のキャパシタのうち半分の4個のキャパシタの寄生容量が充放電電流を発生させる。図6では、第1～第4の昇圧用キャパシタ $C_{u1} \sim C_{u4}$ の寄生容量を $C_{y1} \sim C_{y4}$ として示している。第1～第4の昇圧用キャパシタ $C_{u1} \sim C_{u4}$ の寄生容量を $C_{y1} \sim C_{y4}$ による充放電電流 I_b は、次の式で表すことができる。

【0184】

$I_b = C_i \cdot (S/2) \cdot V \cdot f_b \dots (17)$

(16)式及び(17)式により、 I_a と I_b の関係を求め、(15)式を代入すると次式ようになる。

【0185】

$I_b = I_a / 2 = 0.38 \cdot I_a \dots (18)$

(18)式は、第1の実施形態におけるチャージポンプ回路200のキャパシタの寄生容

10

20

30

40

50

量の充放電電流 I_b が、比較例におけるチャージポンプ回路 300 のキャパシタの寄生容量の充放電電流 I_a の 0.38 倍であることを示す。従って、第 1 の実施形態によれば、キャパシタの寄生容量による充放電電流を大幅に削減できる。

【0186】

以上のように、比較例におけるチャージポンプ回路 300 と対比した場合、第 1 の実施形態のチャージポンプ回路 200 のキャパシタを半導体装置内に内蔵させることで、上述のように大幅に消費電流を削減できるようになる。

【0187】

1.2 構成例

以上のように、第 1 の実施形態における半導体装置 10 では、第 1 の回路 20 を図 2 ~ 図 10 (A) ~ (D) で説明した構成とすることで、比較例におけるチャージポンプ回路を内蔵する場合に比べて、能力を低下させることなく消費電流を低減できる。

【0188】

一方、第 1 の実施形態における半導体装置 10 では、第 2 の回路 30 が、図 11 ~ 図 14 で説明した比較例におけるチャージポンプ回路のスイッチ素子のみを含む。そして、該比較例におけるチャージポンプ回路のキャパシタは、半導体装置 10 の外部で接続される。こうすることで、第 1 の実施形態におけるチャージポンプ回路に比べてスイッチ素子の数を少なくすることができ、回路面積が削減できる。しかも、 N が 2 のとき (2 倍昇圧) では、外付けするキャパシタの数を最少にすることができる。

【0189】

図 16 に、第 1 の実施形態における半導体装置の構成例を示す。但し、図 1 に示す半導体装置 10 と同一部分には同一符号を付し、適宜説明を省略する。また図 16 では、 M が 3、 N が 2 の場合の構成例を示している。

【0190】

図 16 では、半導体装置 10 は、第 3 ~ 第 5 の端子 T_3 ~ T_5 を含む。第 2 の回路 30 は、第 1 の電源線 V_{L-1} と昇圧電源線 V_{LU} との間に直列に接続された第 1 及び第 2 の出力用スイッチ素子としての高耐圧の MOS トランジスタ H_{N1} 、 H_{P1} と、昇圧電源線 V_{LU} と出力電源線 V_{LO} との間に直列に接続された第 3 及び第 4 の出力用スイッチ素子としての高耐圧の MOS トランジスタ H_{P2} 、 H_{P3} を含む。

【0191】

そして、第 2 の端子 T_2 は、出力電源線 V_{LO} に接続される。第 3 の端子 T_3 は、第 1 及び第 2 の出力用スイッチ素子としての MOS トランジスタ H_{N1} 、 H_{P1} が接続された接続ノード N_{DC-1} に電氣的に接続される。第 4 の端子 T_4 は、第 2 及び第 3 の出力用スイッチ素子としての MOS トランジスタ H_{P1} 、 D_{P2} が接続された接続ノード N_{DC-2} に電氣的に接続される。第 5 の端子 T_5 は、第 3 及び第 4 の出力用スイッチ素子としての MOS トランジスタ H_{P2} 、 H_{P3} が接続された接続ノード N_{DC-3} に電氣的に接続される。

【0192】

また、図 16 に示すように、第 1 及び第 4 の端子 T_1 、 T_4 の間にキャパシタ C_0 、第 3 及び第 5 の端子 T_3 、 T_5 の間にキャパシタ C_1 、第 1 及び第 2 の端子 T_1 、 T_2 の間にキャパシタ C_2 を、それぞれ半導体装置 10 の外部で接続する。これにより、第 2 の回路 30 と、キャパシタ C_0 ~ C_2 とにより、図 11 に示す比較例におけるチャージポンプ回路 300 において M が 2 の場合の回路構成となる。従って、出力電源線 V_{LO} には、第 1 の電源線 V_{L-1} と昇圧電源線 V_{LU} との間の電圧を 2 倍に昇圧した電圧 V_{out} が供給される。

【0193】

スイッチ素子としての MOS トランジスタのオンオフ制御を行うスイッチ制御信号 S_0 ~ S_6 、 S_{0C} ~ S_{4C} は、図 17 に示すようなタイミングとなる。なお、MOS トランジスタ Tr_1 と MOS トランジスタ Tr_2 のスイッチ制御信号 S_1 、 S_2 として、スイッチ制御信号 S_0 を用い、MOS トランジスタ H_{N1} 、 H_{P2} のスイッチ制御信号 S_{1C} 、 S_2

10

20

30

40

50

Cとして、スイッチ制御信号SOCを用いる。

【0194】

なお、図16では、MOSトランジスタごとに、第1及び第2の期間における導通状態を、“ ” (オン)又は“x” (オフ)で示している。左側には第1期間における導通状態、右側には第2の期間における導通状態を示している。

【0195】

また図16では、昇圧用キャパシタ、安定化キャパシタ及び外付けされるキャパシタC0～C2のキャパシタごとに、第1及び第2の期間において、各キャパシタの両端に印加される電圧を示している。左側には第1期間において印加される電圧、右側には第2の期間において印加される電圧を示している。

10

【0196】

2. 第2の実施形態

第2の実施形態における半導体装置は、図1に示す半導体装置10と同様の構成をなしている。但し、第2の実施形態では、図1に示す構成の半導体装置において、第1の回路が、第1の実施形態におけるチャージポンプ回路が適用される2つのチャージポンプ回路を含む。

【0197】

図18に、第2の実施形態における第1の回路の構成の概要を示す。

【0198】

第2の実施形態における第1の回路450は、第1～第(M+1)(Mは3以上の整数)の電源線VL-1～VL-(M+1)を用いてチャージポンプ動作を行う。第1の回路450は、第1及び第2のチャージポンプ回路460、470を含む。第1及び第2のチャージポンプ回路460、470には、それぞれ図2に示すチャージポンプ回路が適用される。なお、図18ではMが5(5倍昇圧時)の構成を示している。

20

【0199】

図19に、図18に示す第1の回路450の動作原理の説明図を示す。

【0200】

第1のチャージポンプ回路460は、第j1(1 ≤ j1 ≤ M-1、j1は整数)の昇圧用キャパシタCuj1が、第1の期間に第j1の電源線VL-j1と第(j1+1)の電源線VL-(j1+1)との間に接続されると共に、第1の期間経過後の第2の期間に第(j1+1)の電源線VL-(j1+1)と第(j1+2)の電源線VL-(j1+2)との間に接続される第1の群の第1～第(M-1)の昇圧用キャパシタCu1-A～Cu(M-1)-Aを含む。

30

【0201】

第2のチャージポンプ回路470は、第j2(1 ≤ j2 ≤ M-1、j2は整数)の昇圧用キャパシタCuj2が、第2の期間に第j2の電源線VL-j2と第(j2+1)の電源線VL-(j2+1)との間に接続されると共に、第1の期間に第(j2+1)の電源線VL-(j2+1)と第(j2+2)の電源線VL-(j2+2)との間に接続される第2の群の第1～第(M-1)の昇圧用キャパシタCu1-B～Cu(M-1)-Bを含む。

40

【0202】

また第1～第(M+1)の電源線VL-1～VL-(M+1)の各電源線が、第1及び第2のチャージポンプ回路460、470で共通となっている。

【0203】

このように、第1及び第2のチャージポンプ回路460、470が、互いに異なる位相で、第1及び第(M+1)の電源線VL-1、VL-(M+1)の間に、第1及び第2の電源線VL-1、VL-2の間の電圧をM倍に昇圧した電圧を出力する。

【0204】

従って、第1の回路450は、第1の期間中では、第1のチャージポンプ回路460により昇圧された電圧を第(M+1)の電源線VL-(M+1)に出力し、第2の期間中では

50

、第2のチャージポンプ回路470により昇圧された電圧を第(M+1)の電源線VL-(M+1)に出力する。そのため、第1及び第2の期間が交互に繰り返される場合、第(M+1)の電源線VL-(M+1)に接続される負荷による電圧の降下を回避できる。

【0205】

そして、一方のチャージポンプ回路の非出力期間は、他方のチャージポンプ回路の出力期間とすることができるため、第1及び第2のチャージポンプ回路460、470の各チャージポンプ回路では、図2に示す安定化用キャパシタが省略された構成を採用することができる。

【0206】

なお、各電源線の電圧の安定化のために、図20に示すように、第1～第(M-2)の安定化用キャパシタを含んでもよい。第1～第(M-2)の安定化用キャパシタの第k(1 ≤ k ≤ M-2、kは整数)の安定化用キャパシタCs_kは、第(k+1)の電源線VL-(k+1)と第(k+2)の電源線VL-(k+2)との間に接続される。更には、第Mの電源線VL-Mと第(M+1)の電源線VL-(M+1)との間に接続された第(M-1)の安定化用キャパシタCs(M-1)を含んでもよい。

【0207】

図20では、Mが5の場合の構成を示している。従って、第1の安定化用キャパシタCs₁は、第2の電源線VL-2と第3の電源線VL-3との間に接続される。第2の安定化用キャパシタCs₂は、第3の電源線VL-3と第4の電源線VL-4との間に接続される。第3の安定化用キャパシタCs₃は、第4の電源線VL-4と第5の電源線VL-5との間に接続される。そして、第(M-1)の安定化用キャパシタCs(M-1)として、第4の安定化用キャパシタCs₄が、第5の電源線VL-5と第6の電源線VL-6との間に接続される。

【0208】

なお、図18～図20では、第1及び第(M+1)の電源線VL-1、VL-(M+1)の間には、安定化用のため大容量のキャパシタC₀が接続されている。

【0209】

また図18～図20では、5倍昇圧時の構成を示しているが、これに限定されるものではなく、M倍昇圧時も同様に構成することができる。

【0210】

このように、第1及び第2チャージポンプ回路460、470に、図2に示すチャージポンプ動作を行うチャージポンプ回路を適用することで、第1の回路450を半導体装置に内蔵させた場合に、消費電流の低減、低コスト化、及び出力電圧の安定化を図ることができる。

【0211】

また第1及び第2のチャージポンプ回路460、470の各チャージポンプ回路に、図3に示すチャージポンプ回路を適用することができる。

【0212】

この場合、図18では、Mが5の場合、第1のチャージポンプ回路460は、スイッチ制御信号S_{0A}～S_{10A}のスイッチ制御信号に基づくチャージポンプ動作により、第1及び第2の電源線VL-1、VL-2の間の電圧を昇圧した電圧を、第6の電源線VL-6に出力する。第2のチャージポンプ回路470は、スイッチ制御信号S_{0B}～S_{10B}のスイッチ制御信号に基づくチャージポンプ動作により、第1及び第2の電源線VL-1、VL-2の間の電圧を昇圧した昇圧電圧を、第6の電源線VL-6に出力する。

【0213】

スイッチ制御信号S_{0B}～S_{10B}は、反転回路480により、スイッチ制御信号S_{0A}～S_{10A}をそれぞれ反転した信号である。従って、第1及び第2のチャージポンプ回路460、470は、それぞれ互いに異なる位相でチャージポンプ動作を行って、昇圧電圧を第6の電源線VL-6に出力する。

【0214】

10

20

30

40

50

図 2 1 に、第 2 の実施形態における半導体装置の構成例を示す。但し、図 2 1 において、図 3、図 1 6、図 1 7 及び図 1 8 に示す構成要素と同一部分には同一符号を付し、適宜説明を省略する。なお、第 1 のチャージポンプ回路 4 6 0 の構成要素の符号の末尾に A、第 2 のチャージポンプ回路 4 7 0 の構成要素の符号の末尾に B を付している。

【 0 2 1 5 】

第 2 の実施形態における半導体装置 5 0 0 は、図 1 に示す第 1 の実施形態における半導体装置 1 0 と同様に、第 1 及び第 2 の回路 5 1 0、3 0 を含む。図 2 1 における第 2 の回路 3 0 は、第 1 の実施形態における第 2 の回路 3 0 と同様の構成である。

【 0 2 1 6 】

第 1 の回路 5 1 0 は、第 1 ~ 第 $(M + 1)$ (M は 3 以上の整数) の電源線を用いてチャージポンプ動作を行う。第 $(M + 1)$ の電源線は、図 1 における昇圧電源線に接続される。第 1 の回路 5 1 0 は、第 1 及び第 2 のチャージポンプ回路 4 6 0、4 7 0 を含む。 10

【 0 2 1 7 】

第 1 のチャージポンプ回路 4 6 0 は、第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 $2M$ のスイッチ素子の一端が第 $(M + 1)$ の電源線に接続され、第 1 及び第 $2M$ のスイッチ素子を除く残りのスイッチ素子が第 1 のスイッチ素子の他端と第 $2M$ のスイッチ素子の他端との間に直列に接続された第 1 の群の第 1 ~ 第 $2M$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j_1 ($1 \leq j_1 \leq 2M - 3$ 、 j_1 は奇数) 及び第 $(j_1 + 1)$ のスイッチ素子が接続された第 j_1 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j_1 + 2)$ 及び第 $(j_1 + 3)$ のスイッチ素子が接続された第 $(j_1 + 2)$ の接続ノードに接続された第 1 の群の第 1 ~ 第 $(M - 1)$ の昇圧用キャパシタとを含む。 20

【 0 2 1 8 】

そして、第 1 のチャージポンプ回路 4 6 0 では、第 1 の群の第 r_1 ($1 \leq r_1 \leq 2M - 1$ 、 r_1 は整数) のスイッチ素子と第 1 の群の第 $(r_1 + 1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御される。

【 0 2 1 9 】

第 2 のチャージポンプ回路 4 7 0 は、第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 $2M$ のスイッチ素子の一端が第 $(m + 1)$ の電源線に接続され、第 1 及び第 $2M$ のスイッチ素子を除く残りのスイッチ素子が前記第 1 のスイッチ素子の他端と前記第 $2M$ のスイッチ素子の他端との間に直列に接続された第 2 の群の第 1 ~ 第 $2M$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j_2 ($1 \leq j_2 \leq 2M - 3$ 、 j_2 は奇数) 及び第 $(j_2 + 1)$ のスイッチ素子が接続された第 j_2 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j_2 + 2)$ 及び第 $(j_2 + 3)$ のスイッチ素子が接続された第 $(j_2 + 2)$ の接続ノードに接続された第 2 の群の第 1 ~ 第 $(M - 1)$ の昇圧用キャパシタとを含む。 30

【 0 2 2 0 】

そして、第 2 のチャージポンプ回路 4 7 0 では、第 2 の群の第 r_2 ($1 \leq r_2 \leq 2M - 1$ 、 r_2 は整数) のスイッチ素子と第 2 の群の第 $(r_2 + 1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御される。

【 0 2 2 1 】

第 1 の期間では、第 1 のチャージポンプ回路 4 6 0 の第 1 の群の第 r のスイッチ素子 ($1 \leq r \leq 2M$ 、 r は整数) がオンとなるようにスイッチ制御されると共に、第 2 のチャージポンプ回路 4 7 0 の第 2 の群の第 r のスイッチ素子がオフとなるようにスイッチ制御される。 40

【 0 2 2 2 】

第 1 の期間の経過後の第 2 の期間では、第 1 のチャージポンプ回路 4 6 0 の第 1 の群の第 r のスイッチ素子がオフとなるようにスイッチ制御されると共に、第 2 のチャージポンプ回路 4 7 0 の第 2 の群の第 r のスイッチ素子がオンとなるようにスイッチ制御される。

【 0 2 2 3 】

半導体装置 5 0 0 では、第 1 ~ 第 $(M + 1)$ の電源線の各電源線が、第 1 及び第 2 のチャ 50

ージポンプ回路460、470の間で共通となっている。そして、半導体装置500では、昇圧した電圧を安定化させるためのキャパシタのみが外付けされる。

【0224】

図21では、Mが3の場合の構成を示している。そして、各チャージポンプ回路の各スイッチ素子は、MOSトランジスタにより構成される。より具体的には、第1のチャージポンプ回路460では、第1のスイッチ素子SW1Aは、nチャンネル型MOSトランジスタTr1Aにより構成される。第2～第6のスイッチ素子SW2A～SW6Aは、pチャンネル型MOSトランジスタTr2A～Tr6Aにより構成される。第2のチャージポンプ回路440では、第1のスイッチ素子SW1Bは、nチャンネル型MOSトランジスタTr1Bにより構成される。第2～第6のスイッチ素子SW2B～SW6Bは、pチャンネル型MOSトランジスタTr2B～Tr6Bにより構成される。

10

【0225】

従って、スイッチ素子としてMOSトランジスタのオンオフ制御を行うスイッチ制御信号S0A～S10A、S0B～S10Bは、図22に示すようなタイミングとなる。図21では、反転回路480の図示を省略しているが、半導体装置500内に反転回路480が含まれる。従って、スイッチ制御信号S0A～S10Aと、スイッチ制御信号S0B～S10Bとは、互いに位相が反転している。

【0226】

なお、図21では、MOSトランジスタごとに、第1及び第2の期間における導通状態を、“ ” (オン)又は“ x ” (オフ)で示している。左側には第1期間における導通状態、右側には第2の期間における導通状態を示している。

20

【0227】

また図21では、キャパシタごとに、第1及び第2の期間において、該昇圧用キャパシタの両端に印加される電圧を示している。左側には第1期間において印加される電圧、右側には第2の期間において印加される電圧を示している。

【0228】

第1の回路510の動作は上述と同様である。従って、その説明を省略する。

【0229】

なお、図21において、各電源線の電圧の安定化のために、各電源線間に安定化用キャパシタを設けてもよい。

30

【0230】

図23に、第2の実施形態における半導体装置の他の構成例を示す。図23では、図21と同一部分には同一符号を付し、適宜説明を省略する。

【0231】

図23における半導体装置は、図21に示す半導体装置に対し、更に安定化キャパシタが接続される構成を有している。より具体的には、図23では、第1の回路510は、各安定化用キャパシタの一端が、第k(2 ≤ k ≤ 2M - 4、kは偶数)及び第(k + 1)のスイッチ素子が接続された第kの接続ノードに接続され、該安定化用キャパシタの他端が、第(k + 2)及び第(k + 3)のスイッチ素子が接続された第(k + 2)の接続ノードに接続された第1～第(M - 2)の安定化用キャパシタを含む。

40

【0232】

図23では、Mが3の場合の構成を示している。即ち、第1の安定化用キャパシタCs1が、第2の及び第3の電源線VL - 2、VL - 3の間に接続される。

【0233】

また、第Mの電源線と第(M + 1)の電源線との間に接続された第(M - 1)の安定化用キャパシタを更に含んでもよい。即ち、Mが3の場合を示す図23の半導体装置500では、第3及び第4の電源線VL - 3、VL - 4の間に、第2の安定化用キャパシタCs2が更に接続されてもよい。

【0234】

3. 電圧調整

50

第1及び第2の実施形態における半導体装置では、以下のように、第1及び第2の電源線間の電圧を調整することで、第1及び第2の回路によって昇圧される電圧を調整してもよい。

【0235】

図24に、調整可能な昇圧電圧を出力する電源回路を内蔵する半導体装置の第1の構成例の概要を示す。但し、図1に示す半導体装置10と同一部分には同一符号を付し、適宜説明を省略する。

【0236】

図24に示す半導体装置550は、電源回路600を含む。電源回路600は、昇圧回路608を含み、昇圧回路608の昇圧電圧を調整した後の1又は複数の電圧(V_1 、 V_2 、 \dots)を出力することができる。 10

【0237】

昇圧回路608は、第1の実施形態における第1及び第2の回路20、30、又は第2の実施形態における第1及び第2の回路510、30を含む。

【0238】

半導体装置550は、図1に示す半導体装置10と同様に、第1及び第2の端子 T_1 、 T_2 を有している。第1及び第2の端子 T_1 、 T_2 には、昇圧回路608の第1及び第6の電源線 V_L-1 、 V_L-6 が接続されている。そして、半導体装置550の外部において、第1及び第2の端子 T_1 、 T_2 の間にキャパシタ C_0 が接続(外付け)されている。また、第3～第5の端子 T_3 ～ T_5 を備え、第2の回路に接続されるキャパシタが接続されてもよい。 20

【0239】

そして電源回路600は、多値電圧生成回路605を含む。多値電圧生成回路605は、第1及び第6の電源線 V_L-1 、 V_L-6 (広義には第1及び第($M+1$)の電源線)の間の電圧に基づいて、多値の電圧 V_1 、 V_2 、 \dots を生成する。多値電圧生成回路605は、第2～第5の電源線 V_L-2 ～ V_L-5 の各中間電圧をレギュレータで調整し、多値の電圧 V_1 、 V_2 、 \dots として出力できる。多値電圧生成回路605によって生成された多値の電圧は、例えば電気光学装置を駆動するために用いられる。

【0240】

即ち第6の電源線 V_L-6 に出力された昇圧電圧が、そのまま電源回路600から出力される。これは、例えば図23に示すように第4の安定化キャパシタ C_{s4} を設けることで、昇圧回路608の出力電圧 V_{out} を安定化させることで実現できる。また電源回路600は、電圧調整回路610と、比較回路620とを含む。電圧調整回路610は、高電位側のシステム電源電圧 V_{DD} と、低電位側の接地電源電圧 V_{SS} との間の電圧を調整した調整電圧 V_{REG} を出力する。昇圧回路608の第2の電源線 V_L-2 には、調整電圧 V_{REG} が供給される。 30

【0241】

比較回路620は、参照電圧 V_{ref} と、昇圧回路608の昇圧電圧に基づく分圧電圧とを比較し、その比較結果を電圧調整回路610に出力する。より具体的には、比較回路620は、第1及び第6の電源線 V_L-1 、 V_L-6 (広義には第1及び第($M+1$)の電源線)の間の電圧を分割した分割電圧と、参照電圧 V_{ref} とを比較し、その比較結果に対応した比較結果信号を出力する。そして、電圧調整回路610は、比較回路620の比較結果信号に基づいて、高電位側のシステム電源電圧 V_{DD} と、低電位側の接地電源電圧 V_{SS} との間の電圧を調整した調整電圧 V_{REG} を出力する。 40

【0242】

図25に、電圧調整回路610の構成例を示す。電圧調整回路610は、分圧回路612と、ボルテージフォロワ接続された演算増幅器614と、スイッチ回路616とを含む。

【0243】

分圧回路612は、システム電源電圧 V_{DD} と接地電源電圧 V_{SS} との間に接続された抵抗素子を含み、システム電源電圧 V_{DD} と接地電源電圧 V_{SS} との間の電圧の分割電圧の 50

いずれかを出力する。

【0244】

演算増幅器614は、システム電源電圧VDDと接地電源電圧VSSとの間に接続される。演算増幅器614は、調整電圧VREGを出力すると共に、演算増幅器614の出力は、負帰還される。

【0245】

スイッチ回路616は、分圧回路612の分圧点と、演算増幅器614の入力と接続する。スイッチ回路616は、比較回路620の比較結果信号に基づいて、分圧回路612の複数の分圧点のいずれか1つを、演算増幅器614の入力に接続する。

【0246】

なお図24及び図25では、第1及び第(M+1)の電源線間の電圧を分割した分割電圧と、参照電圧との比較結果に基づいて、電圧を調整したが、これに限定されるものではない。例えば参照電圧Vrefと、出力電圧(Vout)との比較結果に基づいて電圧を調整してもよい。

【0247】

図26に、昇圧回路の昇圧電圧を調整した後の電圧を出力する電源回路を内蔵する半導体装置の第2の構成例の概要を示す。但し、図1に示す半導体装置10と同一部分には同一符号を付し、適宜説明を省略する。

【0248】

図26に示す半導体装置700は、電源回路800を含む。電源回路800は、図24に示す電源回路600と同様に、昇圧回路608を含み、昇圧回路608の昇圧電圧を調整した後の1又は複数の電圧(V1、V2、...)を出力することができる。

【0249】

また電源回路800は、多値電圧生成回路605と、比較回路620と、昇圧クロック生成回路(広義には電圧調整回路)810とを含む。昇圧クロック生成回路810は、比較回路620の比較結果に基づいて、昇圧クロック(スイッチ制御信号S1~S10)の周波数を変更する制御を行う。より具体的には、昇圧クロック生成回路810は、第1及び第6の電源線VL-1、VL-6(広義には第1及び第(M+1)の電源線)間の電圧を分割した分割電圧と、参照電圧Vrefとの比較結果に基づいて、昇圧回路608内の第1~第10のスイッチ素子としてのMOSトランジスタ(広義には第1~第2Mのスイッチ素子)のオンオフ制御を行うためのスイッチ制御信号の周波数を変化させる。

【0250】

例えば、スイッチ制御信号の周波数を高くすることにより、出力電圧Voutが高くなるように調整する。またスイッチ制御信号の周波数を低くすることにより、出力電圧Voutが低くなるように調整する。

【0251】

4. 表示装置への適用

次に、上述の昇圧回路を含む半導体装置の表示装置への適用例について説明する。

【0252】

図27に、表示装置の構成例を示す。図27では、表示装置として液晶表示装置の構成例を示している。

【0253】

液晶表示装置900は、半導体装置910と、Yドライバ(広義には走査ドライバ)920と、液晶表示パネル(広義には電気光学装置)930とを含む。

【0254】

液晶表示パネル930のパネル基板上に、半導体装置910及びYドライバ920のうち少なくとも1つを形成してもよい。また半導体装置910にYドライバ920を内蔵させてもよい。

【0255】

液晶表示パネル930は、複数の走査線と、複数のデータ線と、複数の画素とを含む。各

10

20

30

40

50

画素は、走査線とデータ線の交差位置に対応して配置される。走査線は、Yドライバ920によって走査される。データ線は、半導体装置910によって駆動される。即ち半導体装置910は、データドライバに適用される。

【0256】

半導体装置910としては、図24に示す半導体装置550、又は図26に示す半導体装置700を採用することができる。この場合、半導体装置910は、ドライバ部912を含む。

【0257】

ドライバ部912は、第1及び第(M+1)の電源線間の電圧を用いて液晶表示パネル(電気光学装置)930を駆動する。より具体的には、ドライバ部912には、電源回路(電源回路600又は電源回路800)により生成された多値の電圧が供給される。そして、ドライバ部912は、多値の電圧の中から、表示データに対応した電圧を選択し、液晶表示パネル930のデータ線に、該電圧を出力する。

【0258】

また、Yドライバ920では、高い電圧が必要とされる場合が多く、半導体装置910の電源回路が、例えばYドライバ920には+15V、-15V等の高電圧を供給する。そして、電源回路は、ドライバ部912に、例えば出力電圧 V_{out} 、中間電圧(又は該中間電圧を調整した電圧) V_1 、 V_2 、・・・の電圧を供給する。

【0259】

このような構成の液晶表示装置を含む電子機器として、例えば、マルチメディア対応のパーソナルコンピュータ(PC)、携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、腕時計、時計、POS端末、タッチパネルを備えた装置、ページャ、ミニディスクプレーヤ、ICカード、各種電子機器のリモコン、各種計測機器などを挙げることができる。

【0260】

また、液晶表示パネル930は、駆動方式で言えば、パネル自体にスイッチング素子を用いない単純マトリクス液晶表示パネルやスタティック駆動液晶表示パネル、またTFTで代表される三端子スイッチング素子あるいはMIMで代表される二端子スイッチング素子を用いたアクティブマトリクス液晶表示パネル、電気光学特性で言えば、TN型、STN型、ゲストホスト型、相転移型、強誘電型など、種々のタイプの液晶パネルを用いることができる。

【0261】

液晶表示パネルとしてLCDディスプレイを使用した場合について説明したが、本発明ではこれに限定されず、例えばエレクトロルミネッセンス、プラズマディスプレイ、FED(Field Emission Display)パネル等種々の表示装置を使用することができる。

【0262】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0263】

また、図2、図3、図6、図16、図18、図21、図23、図24～図27において、例えばスイッチ素子間やキャパシタ間等に、付加的な素子を含めた場合も本発明の均等な範囲に含まれる。

【0264】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図1】第1の実施形態における半導体装置の構成の概要を示す図。

10

20

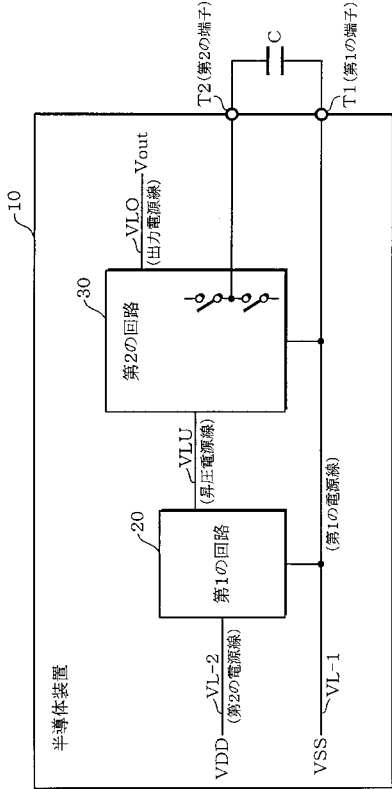
30

40

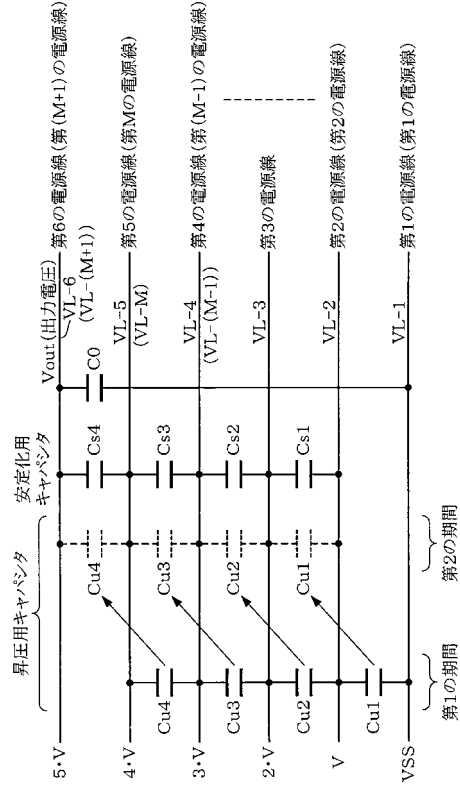
50

- 【図 2】第 1 の実施形態における第 1 の回路の動作原理の説明図。
- 【図 3】図 2 に示す第 1 の回路の構成例の構成図。
- 【図 4】図 3 のスイッチ制御信号の動作を模式的に示すタイミング図。
- 【図 5】図 5 (A) は第 1 の期間における図 3 の第 1 の回路のスイッチ状態の模式図。図 5 (B) は第 2 の期間における図 3 の第 1 の回路のスイッチ状態の模式図。
- 【図 6】第 1 の回路に適用されるチャージポンプ回路を含む半導体装置の構成の概要を示す構成図。
- 【図 7】図 6 のスイッチ制御信号の動作を模式的に示すタイミング図。
- 【図 8】図 8 (A)、(B) はチャージポンプ回路の等価回路図。
- 【図 9】図 9 (A) ~ (D) はチャージポンプ回路のチャージポンプ動作の前半の 4 状態の等価回路図。 10
- 【図 10】図 10 (A) ~ (D) はチャージポンプ回路のチャージポンプ動作の後半の 4 状態の等価回路図。
- 【図 11】比較例におけるチャージポンプ回路の構成例の構成図。
- 【図 12】比較例におけるチャージポンプ回路の動作原理の説明図。
- 【図 13】図 13 (A)、(B) は比較例におけるチャージポンプ回路の等価回路図。
- 【図 14】図 14 (A) ~ (E) はチャージポンプ回路のチャージポンプ動作の 5 状態の等価回路図。
- 【図 15】半導体装置内に内蔵されるキャパシタの寄生容量の説明図。
- 【図 16】第 1 の実施形態における半導体装置の構成例を示す構成図。 20
- 【図 17】図 16 のスイッチ制御信号の動作を模式的に示すタイミング図。
- 【図 18】第 2 の実施形態における第 1 の回路の概要を示すブロック図。
- 【図 19】第 2 の実施形態における第 1 の回路の動作原理の説明図。
- 【図 20】第 2 の実施形態における第 1 の回路の動作原理の他の説明図。
- 【図 21】第 2 の実施形態における半導体装置の構成例を示す構成図。
- 【図 22】図 21 のスイッチ制御信号の動作を模式的に示すタイミング図。
- 【図 23】第 2 の実施形態における半導体装置の他の構成例を示す構成図。
- 【図 24】昇圧電圧を調整した後の電圧を出力する電源回路を内蔵する半導体装置の第 1 の構成例の構成図。
- 【図 25】電圧調整回路の構成例のブロック図。 30
- 【図 26】昇圧電圧を調整した後の電圧を出力する電源回路を内蔵する半導体装置の第 2 の構成例の構成図。
- 【図 27】表示装置の構成例の構成図。
- 【符号の説明】
- 10 半導体装置、20 第 1 の回路、30 第 2 の回路、
- C キャパシタ、T1 第 1 の端子、T2 第 2 の端子、
- VL-1 第 1 の電源線、VL-2 第 2 の電源線、VLU 昇圧電源線、
- VLO 出力電源線

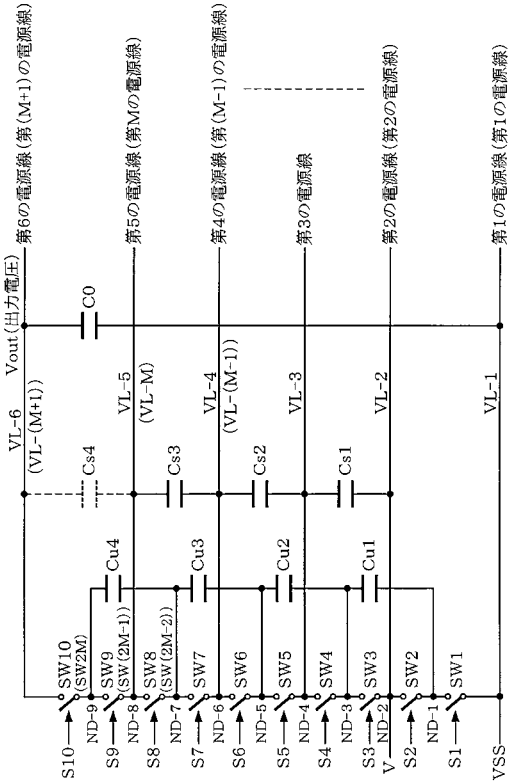
【 図 1 】



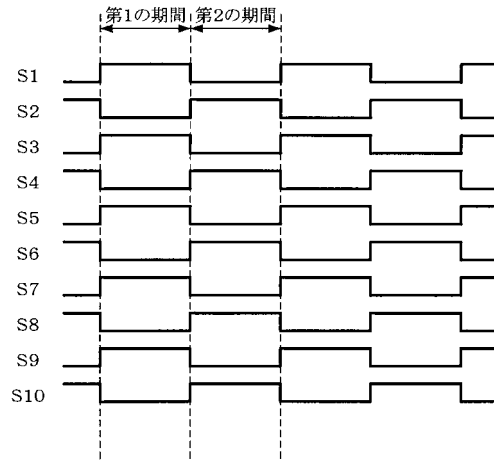
【 図 2 】



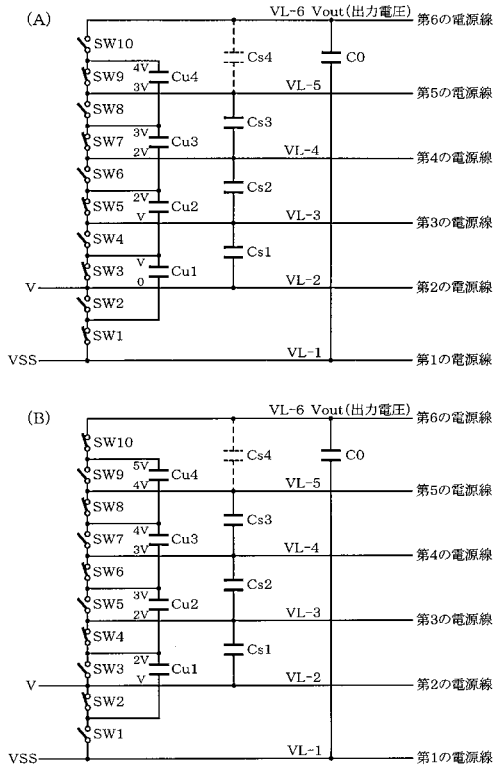
【 図 3 】



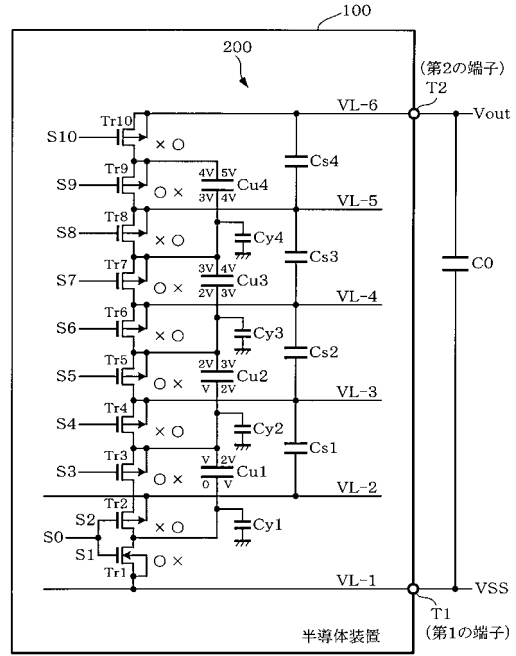
【 図 4 】



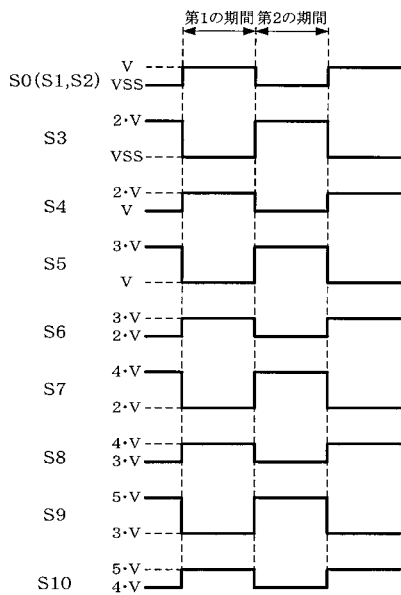
【図5】



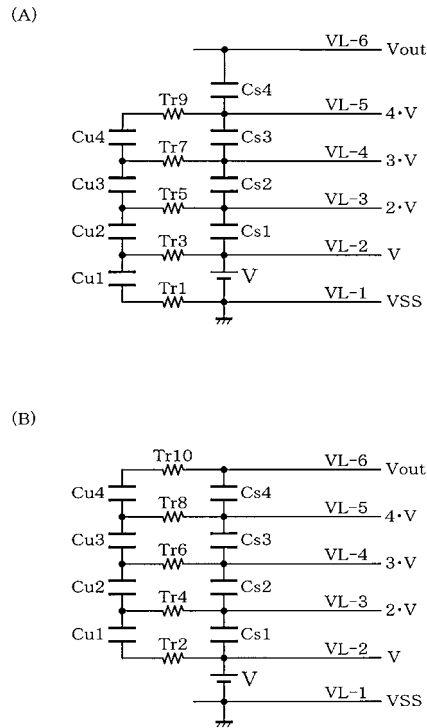
【図6】



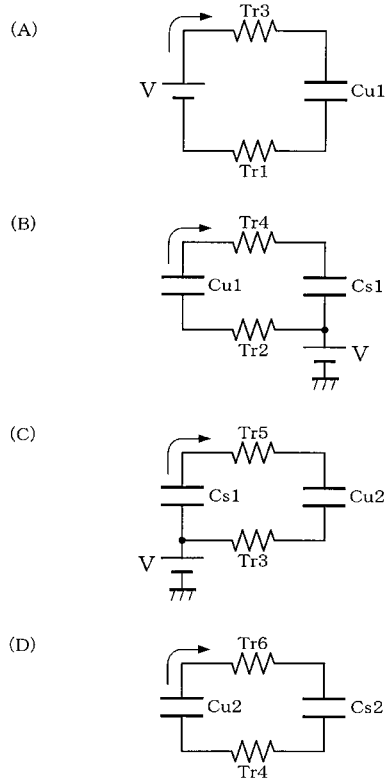
【図7】



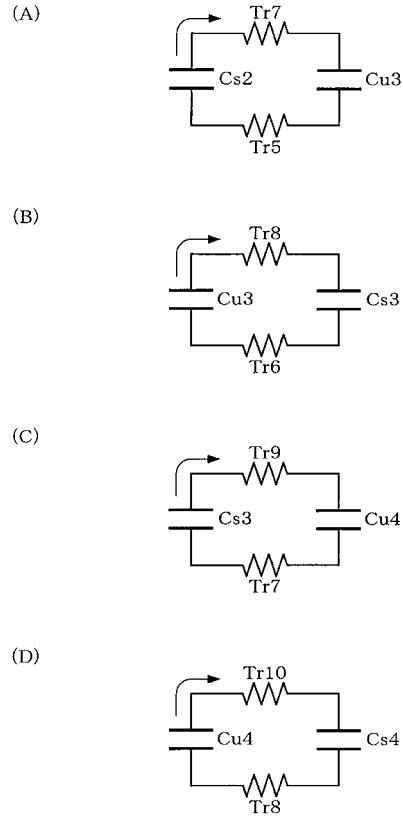
【図8】



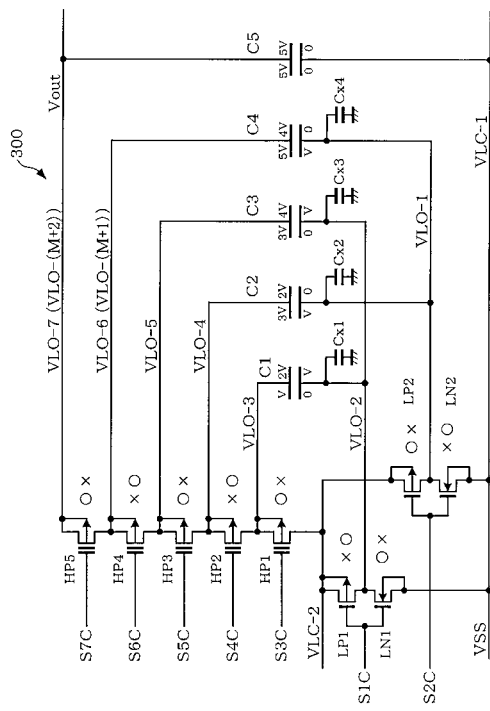
【 図 9 】



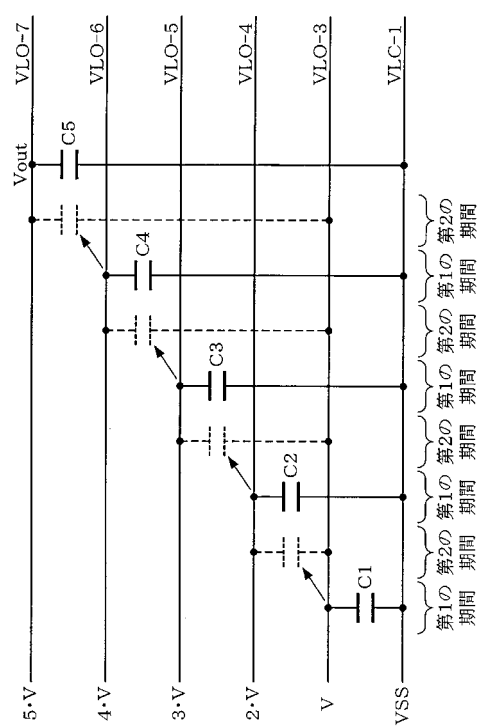
【 図 10 】



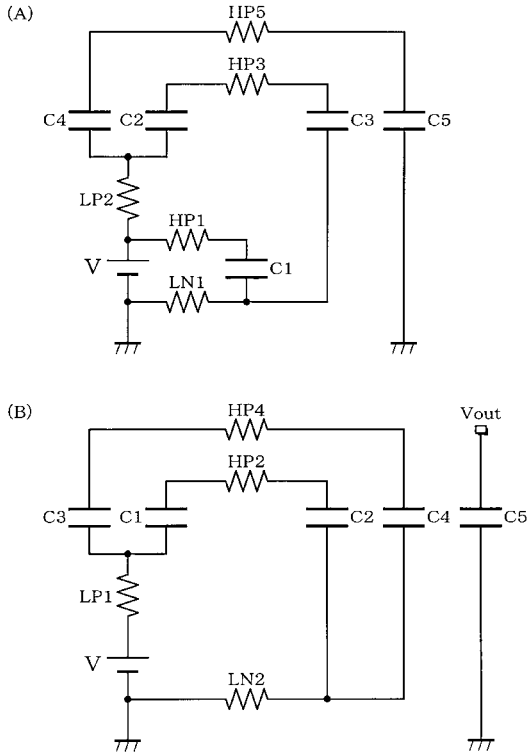
【 図 11 】



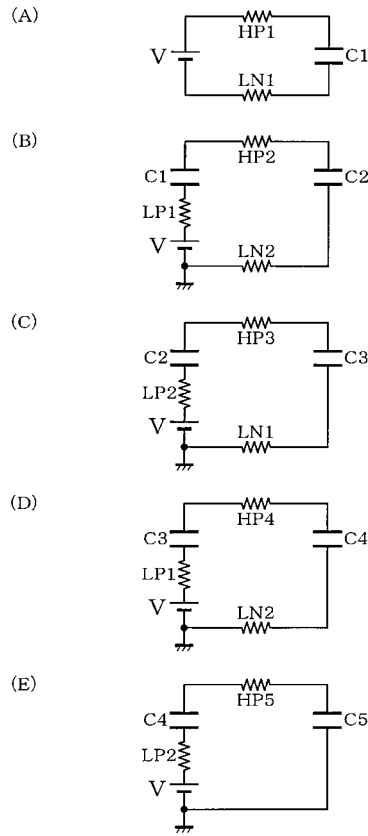
【 図 12 】



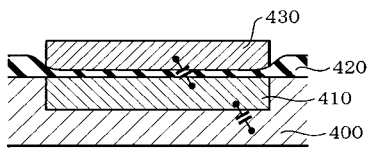
【図 13】



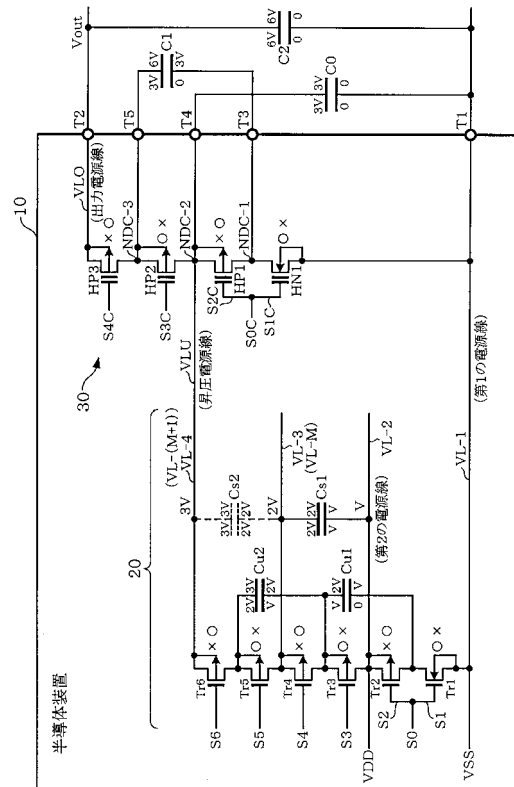
【図 14】



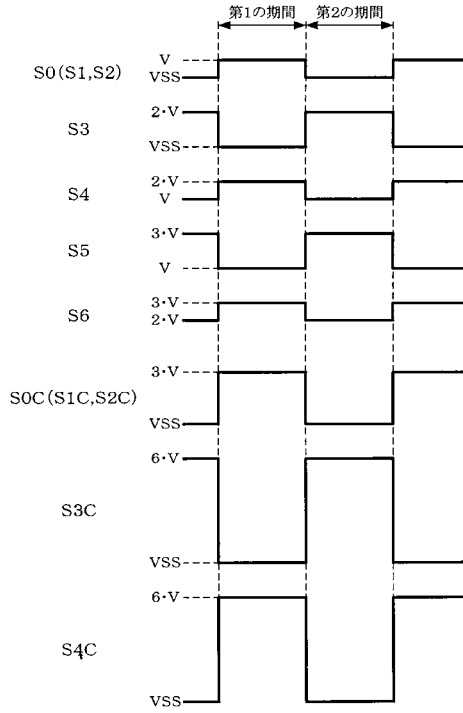
【図 15】



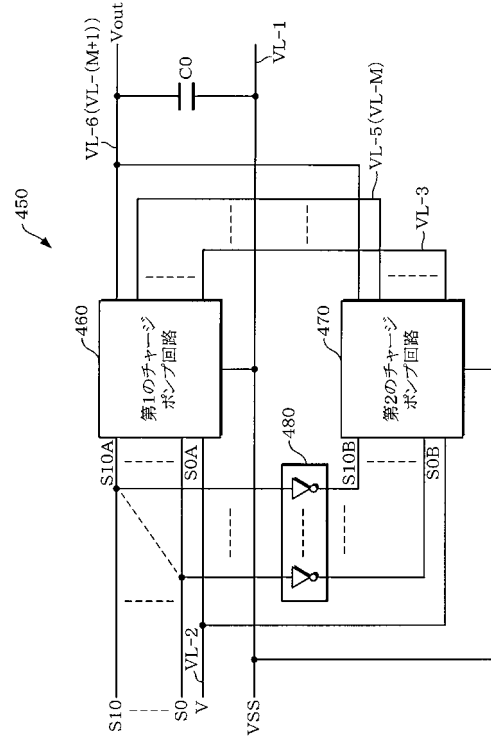
【図 16】



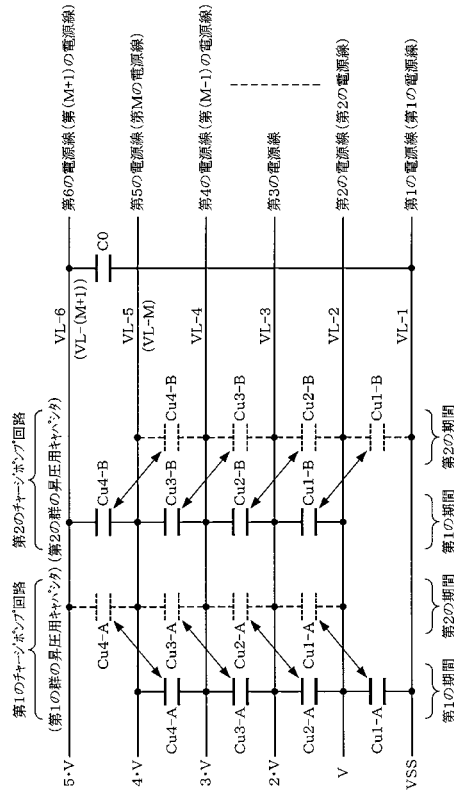
【図17】



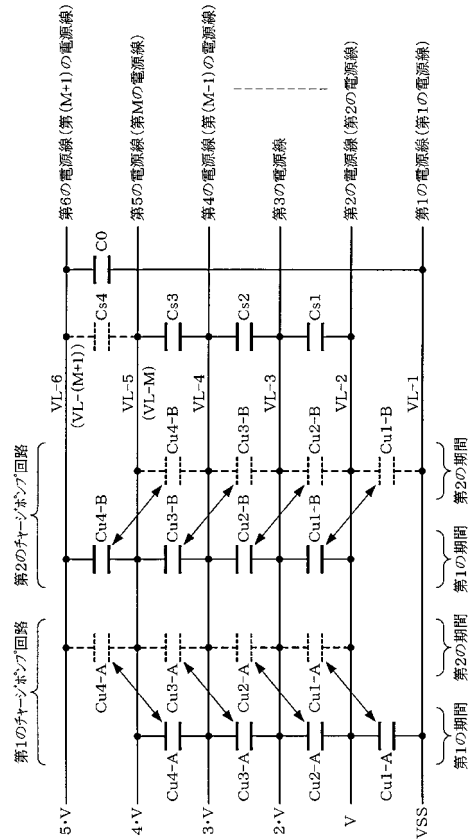
【図18】



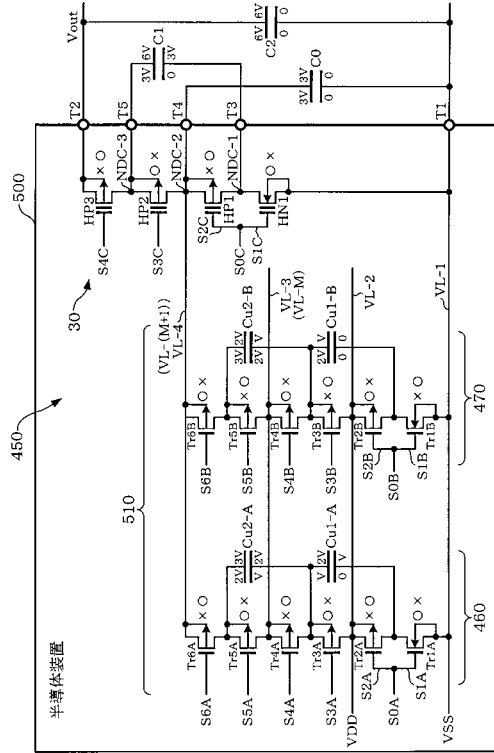
【図19】



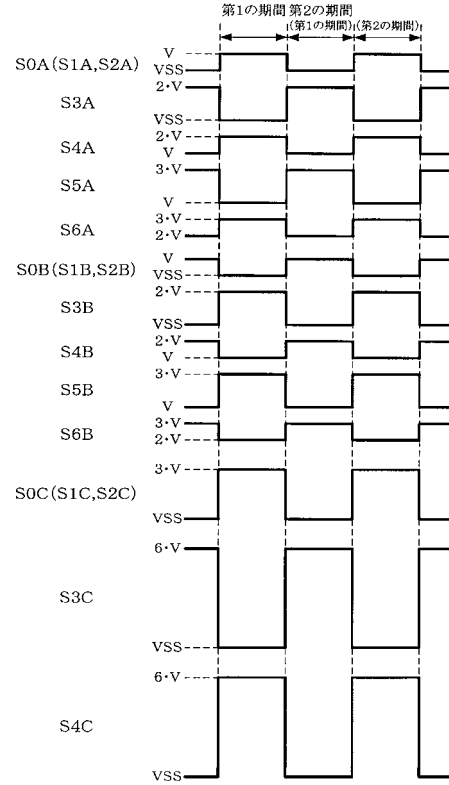
【図20】



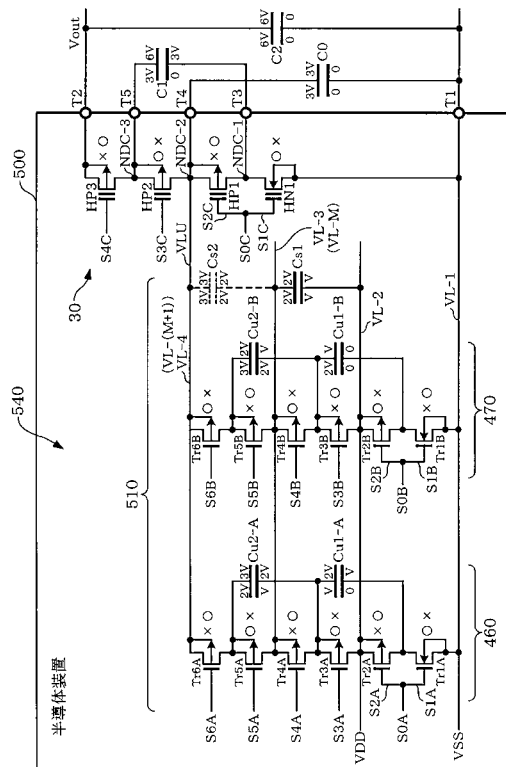
【図 2 1】



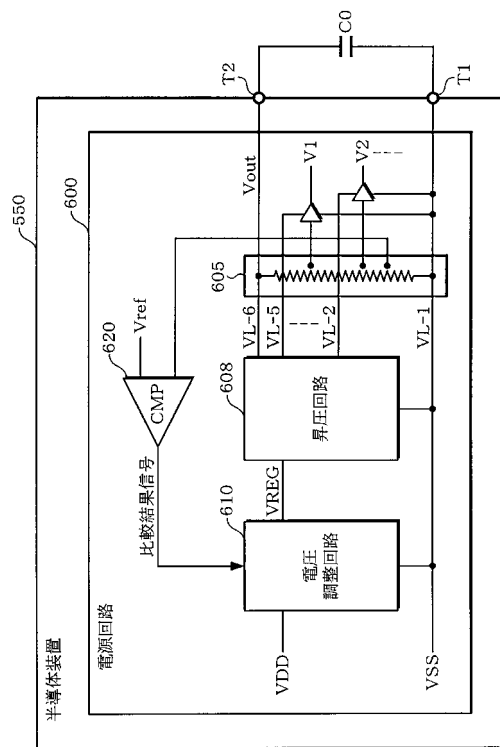
【図 2 2】



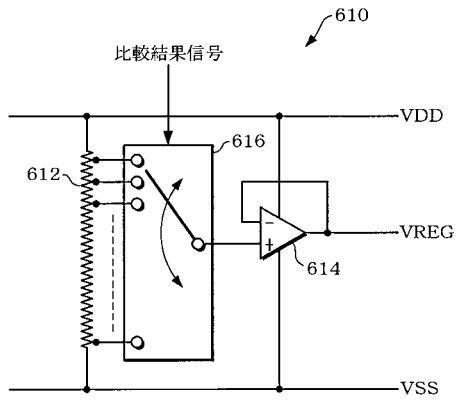
【図 2 3】



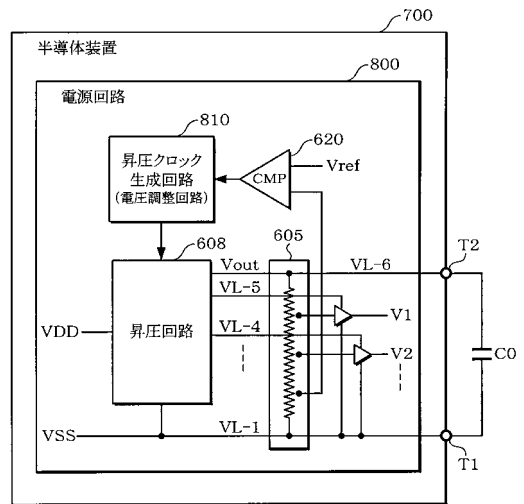
【図 2 4】



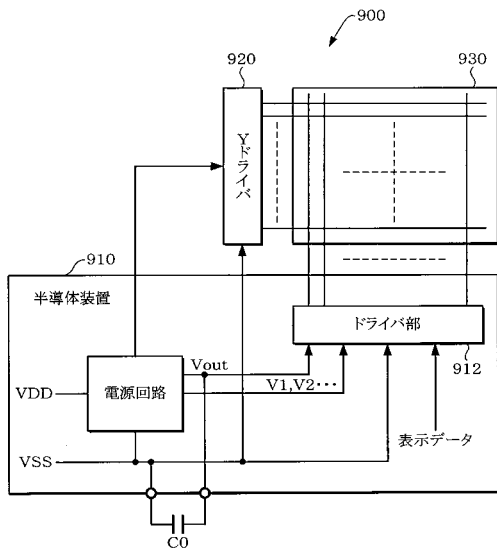
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/36

Fターム(参考) 2H093 NA07 NC02 NC03 NC04 NC34 NC38 ND39 ND42 ND43 ND52
ND54 ND55 NF05 NF06 NF13 NF14 NF17
5C006 AC02 BB12 BF14 BF26 BF27 BF34 BF37 BF43 BF46 FA47
5C080 AA10 BB05 DD26 FF12 JJ02 JJ03 JJ04
5H730 AA14 AS04 BB02 DD04