

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2009 年 7 月 16 日 (16.07.2009)

PCT

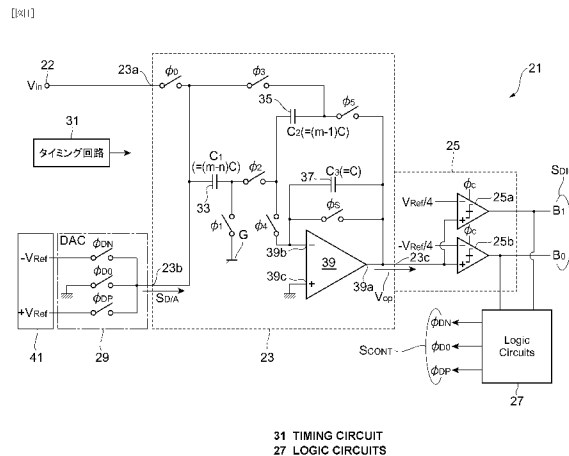
(10) 国際公開番号
WO 2009/088041 A1

- (51) 国際特許分類:
H03M 1/14 (2006.01) H03M 1/40 (2006.01)
H03M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2009/050148
- (22) 国際出願日: 2009 年 1 月 8 日 (08.01.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-002598 2008 年 1 月 9 日 (09.01.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学 (NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP];
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO, Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北 3 丁目 5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒1040061 東京都中央区銀座一丁目 10 番 6 号銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM,

[続葉有]

(54) Title: CYCLIC ANALOG /DIGITAL CONVERTER

(54) 発明の名称: 巡回型アナログ・デジタル変換器



(57) Abstract: A cyclic A/D converter (21) in which a plurality of capacitors and operational amplifiers are shared and a complicated process is avoided and with which an amplification type noise cancel process and a cyclic A/D conversion are provided. The cyclic A/D converter (21) performs a noise cancel process and amplification by using a first to a third capacitors (33, 35, 37) and an operational amplification circuit (39) and generates a difference signal between a first signal level and a second signal level in a gain stage (23). A difference between a first signal level (V_R) and a second signal level (V_S) is generated in the noise cancel process. Amplification of the difference is performed with the noise cancel process. A process for the cyclic A/D conversion of the difference signal is performed by using the first to the third capacitors (33, 35, 37) and the operational amplification circuit (39) in the gain stage (23). A sub A/D conversion circuit (25) receives a signal (VOP) from the output (for example, non-inverted output) (39a) of the operational amplification circuit (39).

(57) 要約: 巡回型 A/D 変換器 21 は、複数のキャパシタ及び演算増幅器を共用して、複雑な処理を避けて増幅型ノイズキャンセル処理及び巡回型 A/D 変換を提供する。巡回型 A/D 変換器 21 では、ゲインステージ 23 は、第 1～第 3 のキャパシタ 33、35、37 及び演算増幅回路 39 を用いて、ノイズキャンセル処理及び増幅を行って第 1 及び第 2 の信号レベルの差分信号を生成する。ノイズキャンセル処理では、第 1 の信号レベル V_R と第 2 の信号レベル V_S との差分が生成される。この差分の増幅は、ノイズキャンセル処理に伴って行われる。ゲイ

[続葉有]

WO 2009/088041 A1



KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

明 細 書

巡回型アナログ・デジタル変換器

技術分野

[0001] 本発明は、巡回型アナログ・デジタル変換器に関する。

背景技術

[0002] 特許文献1には、イメージセンサ用A/D変換アレイが記載されている。同文献の図11の示されたA/D変換器は、キャパシタ(C1、C2、C3)及び反転増幅器を用いてリセットノイズをノイズキャンセルすると共に、キャパシタ(C1、C2)及び反転増幅器を引き続き用いて巡回型A/D変換を行う。巡回型A/D変換では、キャパシタ(C3)は用いられていない。

[0003] 特許文献2には、ノイズキャンセル機能付きA/D変換器が記載されている。同文献の図4に示されたA/D変換器では、差動入力ー差動出力アンプは複数のスイッチを介してキャパシタ(C1、C2、C3、C4、C5)に接続される。キャパシタ(C5)はアンプのゲインを決定する。このA/D変換器は、同文献の図6に示されるように、ノイズキャンセルに5ステップを必要とする。キャパシタ(C1)にリセットレベルを格納すると共にキャパシタ(C2)に信号レベルを格納する。キャパシタ(C1)の一方の端子およびキャパシタ(C2)の一方の端子を各差動入力に接続すると共にキャパシタC1、C2の他方の端子同士をお互いに接続することによって、リセットレベルと信号レベルとの差分信号をアンプの出力に生成する。次いで、巡回型A/D変換のためにアンプへのキャパシタ(C1～C4)の接続を複数のスイッチを介して切り替えて、この差分信号の巡回型A/D変換を2ステップで行う。巡回型A/D変換の繰り返しによって、ランダムノイズが軽減されたA/D変換値を得る。

特許文献1:特開2005-136540号公報

特許文献2:特開2007-104655号公報

発明の開示

発明が解決しようとする課題

[0004] 巡回型アナログ・デジタル変換器は、例えばCMOSイメージセンサのカラムにア

レイとして集積化することに適している。しかしながら、巡回型アナログ・デジタル変換器には増幅機能はない。低ノイズ読み出しの求めに応じるために、増幅型ノイズキャンセル回路とこれとは別の巡回型A/D変換器とをカラムに集積化することはできるものの、実装面積が大きくなる。一方、特許文献1では、画素からの信号のノイズキャンセルと巡回型A/D変換との2機能を提供するために単一の回路内の構成部品の一部を共用している。特許文献2では、増幅型ノイズキャンセル機能と巡回型A/D変換との2機能を提供するために単一の回路内の構成部品の一部を共用している。しかしながら、特許文献2における方式では回路が複雑であり、ノイズキャンセル処理のためのタイミングが複雑であり且つ処理ステップも多い。

[0005] 本発明は、複数のキャパシタ及び演算増幅器を共用して、複雑な処理を避けて増幅型ノイズキャンセル処理及び巡回型アナログ・デジタル変換器を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一側面は、ノイズ成分を含む第1の信号レベルと該ノイズ成分に重畳した信号成分を含む第2の信号レベルとを有する入力信号を処理する巡回型アナログ・デジタル変換器(以下、「巡回型A/D変換器」と記す)である。巡回型A/D変換器は、(a)第1、第2及び第3のキャパシタ並びに演算増幅回路を有し、ノイズキャンセル処理及び増幅を行って前記第1及び第2の信号レベルの差分信号を生成すると共に前記差分信号の巡回型A/D変換のための処理を行うゲインステージと、(b)前記演算増幅回路の出力からの信号を受けるサブA/D変換回路と、(c)前記サブA/D変換回路に接続された論理回路と、(d)前記論理回路からの制御信号に応じて動作するD/A変換回路と、(e)前記ゲインステージの前記ノイズキャンセル処理及び増幅並びに前記巡回型A/D変換の動作を制御するためのタイミング回路とを備える。

[0007] 前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を前記第1及び第2のキャパシタの各々に標本化すると共に、前記第3のキャパシタを帰還キャパシタとした前記演算増幅回路の入力に前記第1及び第2のキャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受

けたことに応答して、前記演算増幅回路の出力に前記差分信号を生成し、前記差分信号を前記第1及び第2のキャパシタの各々に格納する。

[0008] 前記巡回型A/D変換のための処理では、前記ゲインステージは、前記第2及び第3のキャパシタの各々を帰還キャパシタとした前記演算増幅回路の前記入力に前記D/A変換回路からの信号を前記第1のキャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第1のキャパシタに前記演算値を標本化する。

[0009] この巡回型A/D変換器によれば、ゲインステージは、第1、第2及び第3のキャパシタ並びに演算増幅回路を用いて、ノイズキャンセル処理及び増幅を行って差分信号を生成する。ゲインステージは、ノイズキャンセル処理に伴って増幅を行う。また、ゲインステージは、第1、第2及び第3のキャパシタ並びに演算増幅回路を用いて、差分信号の巡回型A/D変換のための処理を行う。ノイズキャンセル処理及び増幅では、第1及び第2のキャパシタを組み合わせると共に、巡回型A/D変換のための処理では、第2及び第3のキャパシタを組み合わせると共に、これによって、第1、第2及び第3のキャパシタ並びに演算増幅回路は、ノイズキャンセル処理及び増幅並びに巡回型A/D変換のための処理において共用されている。

[0010] 本発明に係る巡回型A/D変換器では、前記差分信号の増幅は、前記第3のキャパシタの容量値と前記第1及び第2のキャパシタの容量値の和との比によって規定される増幅率で行われる。

[0011] この巡回型A/D変換器によれば、第2及び第3のキャパシタのグループと第1のキャパシタとのキャパシタンスは、巡回型A/D変換のための処理用に規定されている。この組み合わせを第1及び第2のキャパシタのグループと第3のキャパシタとに変更すると、ノイズキャンセル処理に伴って増幅が可能になる。

[0012] 本発明に係る巡回型A/D変換器では、前記ノイズキャンセル処理において、前記第1及び第2のキャパシタは並列に接続されており、前記第3のキャパシタは帰還キャパシタとした前記演算増幅回路に接続されており、前記ゲインステージは、前記演算増幅回路の前記入力と前記出力とをリセットして前記第1及び第2のキャパシタに前記第1及び第2の信号レベルのいずれか一方を受けて前記第1及び第2のキャパシ

タの各々に標本化電荷を格納し、前記第1及び第2の信号レベルのいずれか他方を前記演算増幅回路の前記入力に前記第1及び第2のキャパシタを介して受けたことに応答して前記第1～第3のキャパシタに前記標本化電荷を再配置して前記演算増幅回路の前記出力に前記差分信号を生成し、前記ゲインステージは、前記差分信号を前記第1及び第2のキャパシタに標本化して、前記差分信号に応じた電荷を前記第1及び第2のキャパシタの各々に格納する。

[0013] この巡回型A/D変換器によれば、ノイズキャンセル処理に用いるキャパシタを第1及び第2のキャパシタによって構成し、差分信号に応じた電荷を第1及び第2のキャパシタの各々に格納するので、引き続き巡回型A/D変換のための処理において第2のキャパシタを第3のキャパシタと組み合わせできる。

[0014] また、本発明に係る巡回型A/D変換器では、前記巡回型A/D変換処理において、前記第2及び第3のキャパシタが並列に接続されており、前記第2及び第3のキャパシタが帰還キャパシタとして前記演算増幅回路に接続されており、前記ゲインステージは、前記D/A変換回路からの信号を前記第1のキャパシタを介して前記演算増幅回路の前記入力に受けたことに応答して、前記第1のキャパシタ上の電荷を前記第2及び第3のキャパシタに転送して電荷を再配置することによって前記演算増幅回路の前記出力に前記演算値を生成し、前記第1のキャパシタは、前記演算値を前記第1のキャパシタに標本化して前記演算値に対応した電荷を格納し、前記巡回型A/D変換処理を所望の回数で繰り返すことによって、前記サブA/D変換回路がビット列を提供する。

[0015] この巡回型A/D変換器によれば、演算値は、演算値の生成において演算増幅回路の入力と出力との間に接続された第2及び第3のキャパシタの容量値の和と第1のキャパシタの容量値との比によって規定される比率で処理される。

[0016] 本発明の別の側面は、ノイズ成分を含む第1の信号レベルと該ノイズ成分に重畳した信号成分を含む第2の信号レベルとを有する入力信号を処理する巡回型A/D変換器である。巡回型A/D変換器は、(a)第1、第2及び第3のキャパシタ並びに演算増幅回路を含み、前記第1及び第2の信号レベルの差分信号を生成するためにノイズキャンセル処理を実行可能であると共に前記差分信号の巡回型A/D変換のため

の処理を行うゲインステージと、(b)前記演算増幅回路の出力からの信号を受けるサブA/D変換回路と、(c)前記サブA/D変換回路に接続された論理回路と、(d)前記論理回路からの制御信号に応じて動作するD/A変換回路と、(e)前記ゲインステージの前記ノイズキャンセル処理並びに前記巡回型A/D変換の動作を制御するためのタイミング回路とを備える。前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を第1の標本化キャパシタに標本化すると共に、第1の帰還キャパシタが接続された前記演算増幅回路の入力に前記第1の標本化キャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受けたことに応答して、前記演算増幅回路の出力に前記差分信号の生成を行い、前記差分信号を前記第1の標本化キャパシタ及び前記第1の帰還キャパシタに格納する。前記巡回型A/D変換のための処理では、前記ゲインステージは、第2の帰還キャパシタが接続された前記演算増幅回路の前記入力に前記D/A変換回路からの信号を第2の標本化キャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第2の標本化キャパシタに前記演算値を格納する。前記ノイズキャンセル処理は、排他的に実行可能な第1及び第2の処理モードを含む。前記タイミング回路は、前記ゲインステージの前記第1及び第2の処理モードの動作を選択すると共に該選択された処理モードの動作を制御する。前記第1の処理モードにおける前記ゲインステージの第1の利得は、前記第3のキャパシタの容量値と前記第1及び第2のキャパシタの容量値の和との比によって規定され、前記第2の処理モードにおける前記ゲインステージの第2の利得は、前記第3のキャパシタの容量値と前記第1のキャパシタの容量値との比によって規定される。前記ゲインステージは、前記第2の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第2の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を提供するための第1のスイッチ手段と、前記第1の標本化キャパシタが前記第1及び第2のキャパシタによって構成されるように前記第1及び第2のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第3のキャパシタによって構成されるように前記第3のキャパシタの接続を提供するための第2のスイッチ手段と、前記第1

の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第3のキャパシタによって構成されるように前記第3のキャパシタの接続を提供し、前記差分信号を標本化するために、前記第1の標本化キャパシタへの前記第2のキャパシタの並列接続を提供するための第3のスイッチ手段とを含む。

[0017] この巡回型A/D変換器によれば、本発明の一側面に係る巡回型A/D変換器におけるノイズキャンセル処理及び巡回型A/D変換のための処理に加えて、キャパシタの組み合わせにより、追加の処理モードを実行可能である。キャパシタの組み合わせの変更により、第1及び第2の処理モードにおける増幅率 $A(>1)$ を変更できる。ゲインステージは、タイミング回路からの信号に応答して動作するスイッチ手段を更に備えることができる。

[0018] 本発明に係る巡回型A/D変換器では、前記ノイズキャンセル処理は、第1及び第2の処理モードに対して排他的に実行可能な第3の処理モードを含む。前記第3の処理モードにおける前記ゲインステージの第3の利得は、前記第2及び第3のキャパシタの容量値の和と前記第1のキャパシタの容量値との比によって規定され、前記タイミング回路は、前記ゲインステージの前記第1及び第2の処理モードに加えて前記第3の処理モードの動作を選択する。前記ゲインステージは、前記第1の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を提供するための第4のスイッチ手段を更に含む。

[0019] この巡回型A/D変換器によれば、ゲインステージは、更なる追加の処理モードを実行可能である。第3の処理モードでは、ノイズキャンセル処理に伴って増幅 $A(=1)$ は行われない。ゲインステージは、タイミング回路からの信号に応答して動作するスイッチ手段を更に備えることができる。

[0020] 本発明に係る更なる別の側面に係る巡回型A/D変換器は、ノイズ成分を含む第1の信号レベルと該ノイズ成分に重畳した信号成分を含む第2の信号レベルとを有する入力信号を処理する巡回型A/D変換器である。この巡回型A/D変換器は、(a)

第1、第2及び第3のキャパシタ並びに演算増幅回路を含み、前記第1及び第2の信号レベルの差分信号を生成するためにノイズキャンセル処理を実行可能であると共に前記差分信号の巡回型A/D変換のための処理を行うゲインステージと、(b)前記演算増幅回路の出力からの信号を受けるサブA/D変換回路と、(c)前記サブA/D変換回路に接続された論理回路と、(d)前記論理回路からの制御信号に応じて動作するD/A変換回路と、(e)前記ゲインステージの前記ノイズキャンセル処理並びに前記巡回型A/D変換の動作を制御するためのタイミング回路とを備える。前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を第1の標本化キャパシタに標本化すると共に、第1の帰還キャパシタが接続された前記演算増幅回路の入力に前記第1の標本化キャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受けたことに応答して、前記演算増幅回路の出力に前記差分信号の生成を行い、前記差分信号を前記第1の標本化キャパシタ及び前記第1の帰還キャパシタに格納する。前記巡回型A/D変換のための処理では、前記ゲインステージは、第2の帰還キャパシタが接続された前記演算増幅回路の前記入力に前記D/A変換回路からの信号を第2の標本化キャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第2の標本化キャパシタに前記演算値を格納する。前記ノイズキャンセル処理は、排他的に実行可能な第1及び第3の処理モードを含む。前記タイミング回路は、前記ゲインステージの前記第1及び第3の処理モードの動作を選択すると共に該選択されたノイズキャンセル処理の動作を制御する。前記第1の処理モードにおける前記ゲインステージの第1の利得は、前記第3のキャパシタの容量値と前記第1及び第2のキャパシタの容量値の和との比によって規定され、前記第3の処理モードにおける前記ゲインステージの第3の利得は、前記第2及び第3のキャパシタの容量値の和と前記第1のキャパシタの容量値との比によって規定される。前記ゲインステージは、前記第2の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を提供するための第1のスイッチ手段と、前記第1の標本化キャパシタが前記第1及び第2のキャパシ

タによって構成されるように前記第1及び第2のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第3のキャパシタによって構成されるように前記第3のキャパシタの接続を提供するための第2のスイッチ手段と、前記第1の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を提供するための第4のスイッチ手段とを含む。

[0021] このA/D変換器によれば、ゲインステージは、タイミング回路からの信号に応答して動作するスイッチ手段を更に備えることができる。

[0022] 本発明に係る巡回型A/D変換器では、前記巡回型A/D変換処理において、前記第2及び第3のキャパシタが並列に接続されており、前記第2及び第3のキャパシタが帰還キャパシタとして前記演算増幅回路に接続されており、前記ゲインステージは、前記D/A変換回路からの信号を前記第1のキャパシタを介して前記演算増幅回路の前記入力に受けたことに応答して、前記第1のキャパシタ上の電荷を前記第2及び第3のキャパシタに転送して電荷を再配置することによって前記演算増幅回路の前記出力に前記演算値を生成し、前記第1のキャパシタは、前記演算値を前記第1のキャパシタに標本化して前記演算値に対応した電荷を格納し、前記巡回型A/D変換処理を所望の回数で繰り返すことによって、前記サブA/D変換回路がビット列を提供する。

[0023] 本発明に係る巡回型A/D変換器では、前記サブA/D変換回路は、前記ゲインステージからの信号を所定の基準信号と比較すると共に比較結果信号を提供するコンパレータを含む。この巡回型A/D変換器によれば、サブA/D変換回路は、ゲインステージからの演算値に対応したデジタル値を生成する。また、本発明に係る巡回型A/D変換器では、前記サブA/D変換回路は、前記ゲインステージからの信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成することができる。巡回型A/D変換器は冗長デジタルコードを提供する。

[0024] 本発明に係る巡回型A/D変換器では、前記第2のキャパシタと前記第3のキャパシタとの比($C2/C3$)は $m-1$ であり、前記第1のキャパシタと前記第3のキャパシタと

の比($C1/C3$)は m であり、 m は2以上の正数であることができる。また、本発明に係る巡回型A/D変換器では、前記巡回型A/D変換における前記ゲインステージの利得は2であることができる。或いは、本発明に係る巡回型A/D変換器では、前記巡回型A/D変換における前記ゲインステージの利得は2未満であることができる。当該巡回型A/D変換器は、前記利得に関連づけられた補正係数を用いて、 N 回の巡回型A/D変換動作による前記サブA/D変換回路からのデジタル値を補正して、前記 $M+1$ ($N > M+1$)ビットのデジタル値を生成する補正回路を更に備えることができる。この巡回型A/D変換器は、前記サブA/D変換回路からの N 個のデジタル値を補正して、前記 $M+1$ ($N > M+1$)ビットのデジタル値を生成する補正回路を更に備えることができる。

- [0025] 本発明に係る巡回型A/D変換器では、前記ゲインステージは全差動構成であることができる。前記ゲインステージは、第4、第5及び第6のキャパシタを更に有し、前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を前記第4及び第5のキャパシタの各々に標本化すると共に、前記第6のキャパシタを帰還キャパシタとした前記演算増幅回路の入力に前記第4及び第5のキャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受けたことに応答して、前記演算増幅回路の出力に前記差分信号を生成し、前記差分信号を前記第4及び第5のキャパシタの各々に標本化する。前記巡回型A/D変換のための処理では、前記ゲインステージは、前記第5及び第6のキャパシタの各々を帰還キャパシタとした前記演算増幅回路の前記入力に前記D/A変換回路からの信号を前記第4のキャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第4のキャパシタに前記演算値を標本化する。

- [0026] この巡回型A/D変換器によれば、単純な動作により、全差動構成のゲインステージにおいても、増幅型ノイズキャンセル処理及び巡回型A/D変換のための処理を行うことができ、しかも低ノイズ化が可能である。

発明の効果

- [0027] 以上説明したように、本発明によれば、複数のキャパシタ及び演算増幅器を共用して、複雑な処理を避けて増幅型ノイズキャンセル処理及び巡回型A/D変換が提供

される。

図面の簡単な説明

[0028] 本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

[図1]図1は本実施の形態の巡回型A/D変換器の回路を概略的に示す図面である。

[図2]図2は、図1に示された巡回型A/D変換器のタイミングチャートを概略的に示す図面である。

[図3]図3は、図1に示された巡回型A/D変換器の主要な動作ステップにおける回路接続を概略的に示す図面である。

[図4]図4は、本実施の形態に係るCMOSイメージセンサ回路を概略的に示す図面である。

[図5]図5は、本実施の形態に係る巡回型A/D変換器の変形例の回路を概略的に示す図面である。

[図6]図6は、図5に示された巡回型A/D変換器の一の動作タイミングチャートを概略的に示す図面である。

[図7]図7は、図5に示された巡回型A/D変換器の主要な動作ステップにおける回路接続を概略的に示す図面である。

[図8]図8は、図5に示された巡回型A/D変換器の別の動作タイミングチャートを概略的に示す図面である。

[図9]図9は、図8に示された巡回型A/D変換器の主要な動作ステップにおける回路接続を概略的に示す図面である。

[図10]図10は、本実施の形態に係る巡回型A/D変換器の全差動構造の回路を示す図面である。

[図11]図11は、本実施の形態の巡回型A/D変換器の回路を概略的に示す図面である。

符号の説明

[0029] V_{IN} …入力信号、 V_R …第1の信号レベル、 V_S …第2の信号レベル、 R_i 、 S_i 、 TX_i …制御信号、11…垂直シフトレジスタ、12…イメージアレイ、13…画素、14…巡回型A/D変換器のアレイ、15…データレジスタ、16…水平シフトレジスタ、17…冗長表現—非冗長表現変換回路、21…巡回型A/D変換器、23…ゲインステージ、25…サブA/D変換回路、27…論理回路、29…D/A変換回路、31、31a、31b…タイミング回路、33、35、37…キャパシタ、39…演算増幅回路、41…電圧源

発明を実施するための最良の形態

[0030] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明の巡回型A/D変換器に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

図1は、本実施の形態に係る巡回型A/D変換器の回路を概略的に示す図面である。図2は、図1に示された巡回型A/D変換器のタイミングチャートを概略的に示す図面である。図3は、図1に示された巡回型A/D変換器の主要な動作ステップにおける回路接続を概略的に示す図面である。

[0031] 巡回型A/D変換器21は入力信号 V_{IN} を処理する。入力信号 V_{IN} は、ノイズ成分を含む第1の信号レベル V_R と該ノイズ成分に重畳した信号成分を含む第2の信号レベル V_S とを有する。第2の信号レベル V_S はノイズ成分を含む。

[0032] 巡回型A/D変換器21は、ゲインステージ23と、サブA/D変換回路25と、論理回路27と、D/A変換回路29と、タイミング回路31とを備える。ゲインステージ23は、第1、第2及び第3のキャパシタ33、35、37並びに演算増幅回路39を有する。ゲインステージ23は、第1～第3のキャパシタ33、35、37及び演算増幅回路39を用いて、ノイズキャンセル処理及び増幅を行って第1及び第2の信号レベル V_R 、 V_S の差分信号を生成する。ノイズキャンセル処理では、第1の信号レベル V_R と第2の信号レベル V_S との差分が生成される。この差分の増幅は、ノイズキャンセル処理に伴って行われ、回路動作として同時に行われる。また、ゲインステージ23は、第1～第3のキャパシタ33、35、37及び演算増幅回路39を用いて、差分信号の巡回型A/D変換のための処理を行う。巡回型A/D変換処理は、ゲインステージ23からの信号に応答し

て、サブA/D変換回路25、論理回路27及びD/A変換回路29によって行われる。サブA/D変換回路25は、演算増幅回路39の出力(例えば、非反転出力)39aからの信号 V_{OP} を受ける。サブA/D変換回路25は、巡回型A/D変換のための処理によりゲインステージ23によって提供される演算値 V_{OP} を処理して、一巡回分に応じたデジタル信号 S_{DIG} を生成する。

[0033] この巡回型A/D変換器21によれば、ゲインステージ23は、キャパシタ33、35、37及び演算増幅回路39を用いて、ノイズキャンセル処理・増幅を行って差分信号を生成する。また、ゲインステージ23は、キャパシタ33、35、37及び演算増幅回路39を用いて、差分信号の巡回型A/D変換のための処理を行う。巡回型A/D変換におけるゲインステージの利得は2又は2未満の値であることができる。ノイズキャンセル処理及び増幅ではキャパシタ33、35の並列接続を用いると共に、巡回型A/D変換のための処理ではキャパシタ35、37の並列接続を用いる。これよって、キャパシタ33、35、37及び演算増幅回路39が、ノイズキャンセル処理及び増幅並びに巡回型A/D変換のための処理において共用されている。キャパシタ33、35、37の値は、例えば図1に示されるように、

$$\text{キャパシタ33: } C1 = (m - n) \times C$$

$$\text{キャパシタ35: } C2 = (m - 1) \times C$$

$$\text{キャパシタ37: } C3 = C$$

である($m > n$, $n \geq 0$)。 $n = 0$ 及び $m \geq 2$ (2以上の数)である実施例では、 $C1 = C2 + C3$ が満たされる。このとき、巡回型A/D変換におけるゲインステージの利得が2である。しかしながら、後ほど説明されるように、巡回型A/D変換におけるゲインステージの利得が2未満であることができる。

[0034] サブA/D変換回路25は、例えば1つのコンパレータを含むことができる。コンパレータは、入力アナログ信号を所定の基準信号と比較すると共に、比較結果を示す信号を提供する。この変換回路25を用いて、1ビットのデジタル値が得られる。コンパレータの数を増やせば、1ビットを越えるビット数のデジタル信号が得られる。サブA/D変換回路25は、例えば2つのコンパレータ25a、25bを含むことができる。コンパレータ25a、25bは、それぞれ、演算値 V_{OP} (最初の比較だけ、差分信号であるが、以

下の説明では「演算値」を用いる)を基準信号 $+V_{\text{Ref}}/4$ 、 $-V_{\text{Ref}}/4$ と比較すると共に、図1に示されるように、比較結果信号 B_0 、 B_1 を提供する。

演算値 V_{OP} の範囲 デジタル信号

$$(1) -V_{\text{Ref}}/4 > V_{\text{OP}}, \quad -1 (B_1 = 0, B_0 = 0)$$

$$(2) V_{\text{Ref}}/4 \geq V_{\text{OP}} \geq -V_{\text{Ref}}/4, \quad 0 (B_1 = 0, B_0 = 1)$$

$$(3) V_{\text{OP}} > +V_{\text{Ref}}/4, \quad +1 (B_1 = 1, B_0 = 1)$$

となる。サブA/D変換回路25が演算値 V_{OP} を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成できる。この変換回路25によれば、入力アナログ信号を所定の2つの基準信号と比較するので、3値のデジタル信号が得られる。

[0035] 論理回路27は、サブA/D変換回路25に接続されており、巡回型A/D変換のためにD/A変換回路29を制御する制御信号 S_{CONT} を生成する。D/A変換回路29は制御信号 S_{CONT} に応じて動作し、最新の巡回型A/D変換の結果に応じたD/A信号 $S_{\text{D/A}}$ を生成する。D/A信号 $S_{\text{D/A}}$ は、本実施例では、論理回路27からの制御信号に応答して、例えば

$$(1) \text{条件} (-V_{\text{Ref}}/4 > V_{\text{OP}}) \text{が満たされるとき、} S_{\text{A/D}} = V_{\text{Ref}} \text{を提供する。}$$

$$(2) \text{条件} (+V_{\text{Ref}}/4 \geq V_{\text{OP}} \geq -V_{\text{Ref}}/4) \text{が満たされるとき、} S_{\text{A/D}} = 0 \text{を提供する。}$$

$$(3) \text{条件} (V_{\text{OP}} > +V_{\text{Ref}}/4) \text{が満たされるとき、} S_{\text{A/D}} = -V_{\text{Ref}} \text{を提供する。}$$

図4(a)に示されるように、これらの3領域に対して3値のA/D変換を行って「-1」、「0」、「+1」のデジタルコードDを割り当てる。最初のコードは最上位桁になる。D/A信号 $S_{\text{D/A}}$ は、次の巡回型A/D変換のためにゲインステージ23に提供される。サブA/D変換回路25及びD/A変換回路29には、電圧源41が、参照信号 $+V_{\text{Ref}}$ 、 $-V_{\text{Ref}}$ 、 $+V_{\text{Ref}}/4$ 、 $-V_{\text{Ref}}/4$ を供給する。

[0036] タイミング回路31は、ゲインステージ23のノイズキャンセル処理・増幅及び巡回型A/D変換の動作を制御する。このため、タイミング回路31は、図2に示される制御信号及びタイミング信号をゲインステージ23及びサブA/D変換回路25に供給する。ゲインステージ23は、タイミング回路31からの信号に応答して動作するスイッチ手段(ϕ_s 、 $\phi_0 \sim \phi_5$)を備えることができる。このスイッチ手段は、ノイズキャンセル処理

におけるキャパシタ33、35、37及び演算増幅回路39の接続を提供する。また、スイッチ手段は、巡回型A/D変換のための処理におけるキャパシタ33、35、37及び演算増幅回路39の接続を提供する。

[0037] A/D変換処理は、図2に示される期間 T_{SAM} に行われるノイズキャンセル処理・増幅と、期間 $T_{A/D}$ に行われる巡回型A/D変換のための処理とを含む。

[0038] ノイズキャンセル処理・増幅では、ゲインステージ23は、第1及び第2の信号レベル(V_R 、 V_S)のいずれか一方(例えば、第1の信号レベル V_R)をキャパシタ33、35の各々に標本化すると共に、キャパシタ37を帰還キャパシタとした演算増幅回路39の入力(例えば、反転入力)39bにキャパシタ33、35を介して第1及び第2の信号レベル(V_R 、 V_S)のいずれか他方(例えば、第2の信号レベル V_S)を受ける。ゲインステージ23は、この第2番目信号の受信に応答して、演算増幅回路39の出力39aに差分信号 $\beta \times (V_R - V_S)$ を生成し、この差分信号をキャパシタ33、35の各々に標本化する。係数 $\beta (>1)$ は、増幅率を示す。巡回型A/D変換のための処理では、ゲインステージ23は、キャパシタ35、37の各々を帰還キャパシタとした演算増幅回路39の入力29bにD/A変換回路29からのD/A信号 $S_{D/A}$ をキャパシタ33を介して受けて演算増幅回路39の出力39aに演算値 V_{OP} を生成すると共に、キャパシタ33に演算値 V_{OP} を標本化する。本実施例では、演算増幅回路39の非反転入力39cは、仮想接地(或いは接地線)に接続されている。

[0039] 差分信号 $\beta \times (V_R - V_S)$ の増幅は、キャパシタ37の容量値とキャパシタ33、35の容量値の和との比 $(C1 + C2) / C3$ によって規定される増幅率で行われる。キャパシタ35、37の合成キャパシタンスと第1のキャパシタ33とのキャパシタンスは、巡回型A/D変換のための処理用に規定されている。この組み合わせをキャパシタ33、35のグループとキャパシタ37とに変更すると、ノイズキャンセル処理に伴って増幅が可能になる。

[0040] 図3を参照すると、ノイズキャンセル処理・増幅に期間(a)、(b)、(c)が規定されており、巡回型A/D変換のための処理には、期間(d)、(e)が規定されている。ゲインステージ23のスイッチ手段によって、ノイズキャンセル処理・増幅では、キャパシタ33、35を組み合わせるように接続すると共に、巡回型A/D変換のための処理ではキャ

パシタ35、37を組み合わせるように接続する。

[0041] 図3に示されたステップ(a)では、図2に示されるように、スイッチ ϕ_s 、 ϕ_0 、 $\phi_2 \sim \phi_4$ はターンオンしており、スイッチ ϕ_1 、 ϕ_5 はターンオフしている。クロック ϕ_c は、サブA/D変換回路(例えば2つのコンパレータ25a、25b)25の動作タイミングを決定している。スイッチ手段により以下の接続が提供される。スイッチ手段1Aは、リセットレベル V_R の標本化のために、キャパシタ33、35を標本化容量として当該アナログ・デジタル変換器21の信号入力22に選択的に接続すると共に、リセットするために、帰還キャパシタとして演算増幅回路39の入力39bと出力39aと接続されたキャパシタ37の両端並びに演算増幅回路39の入力39b及び出力39aを選択的に接続するために設けられる。また、スイッチ手段1Bは、演算増幅回路39の出力39aを信号入力22から切り離すと共に、演算増幅回路39の入力39bを接地線Gから切り離すために設けられている。キャパシタ33、35は並列に接続されており、キャパシタ33、35の一端は演算増幅回路39の動作により仮想接地されている。ゲインステージ23は、演算増幅回路39の入力39bと出力39aとを接続してキャパシタ37の電荷をリセットし、巡回型A/D変換器21の入力22からリセット信号 V_R をキャパシタ33、35の各々に標本化電荷を格納する。

[0042] 図3に示されたステップ(b)では、図2に示されるように、スイッチ ϕ_0 、 $\phi_2 \sim \phi_4$ はターンオンしており、スイッチ ϕ_s 、 ϕ_1 、 ϕ_5 はターンオフしている。スイッチ手段2Aは、信号レベル V_s の標本化のために、キャパシタ33、35を演算増幅回路39の入力39bと信号入力22との間に選択的に接続すると共に、キャパシタ37を演算増幅回路39の入力39bと出力39aとの間に帰還容量として選択的に接続するために設けられる。スイッチ手段2Bは、演算増幅回路39のリセットの解除のために入力39bと出力39aとを選択的に切り離す(以後の工程においても同様)と共に、演算増幅回路39の出力39aを信号入力22から切り離し、演算増幅回路39の入力39bを接地線Gから切り離すために設けられる。ゲインステージ23は、信号レベル V_s を演算増幅回路39の入力39bにキャパシタ33、35を介して受けたことに応答してキャパシタ33、35、37に標本化電荷を再配置して、演算増幅回路39の出力39aに差分信号を生成する。

[0043] 図3に示されたステップ(c)では、図2に示されるように、スイッチ $\phi_1 \sim \phi_3$ 、 ϕ_5 はタ

ーンオンしており、スイッチ ϕ_s 、 ϕ_0 、 ϕ_4 はターンオフしている。スイッチ手段3Aは、差分信号の標本化のために、キャパシタ33、35を演算増幅回路39の出力39aと接地線Gとの間に選択的に接続し、キャパシタ37を演算増幅回路39の入力39bと出力39aとを選択的に接続するために設けられている。スイッチ手段3Bは、信号入力22をゲインステージ23の入力23aと切り離すと共に、キャパシタ33、35を演算増幅回路39の入力39bから切り離すために設けられている。キャパシタ33、35はスイッチ ϕ_1 、 ϕ_2 を介して接地されており、演算増幅回路39の出力39aに生成された差分信号は、スイッチ ϕ_3 、 ϕ_5 を介してキャパシタ33、35に標本化されて、差分信号に応じた電荷がキャパシタ33、35の各々に格納される。この差分信号は、信号 ϕ_c に応答するサブA/D変換回路25に出力23cを介して提供される。

[0044] 図3に示されたステップ(d)では、図2に示されるように、スイッチ ϕ_2 、 ϕ_4 、 ϕ_5 はターンオンしており、スイッチ ϕ_s 、 ϕ_0 、 ϕ_1 、 ϕ_3 はターンオフしている。演算値 V_{OP} の生成のために、スイッチ手段4Aは、キャパシタ33を演算増幅回路39の入力39bとD/A変換回路29との間に選択的に接続すると共に、キャパシタ35、37を演算増幅回路39の入力39bと出力39aとの間に帰還容量として選択的に接続するために設けられている。スイッチ手段4Bは、信号入力22をゲインステージ23の入力23aと切り離すと共に、キャパシタ33をキャパシタ35から切り離すために設けられている。ゲインステージ39は、D/A変換回路29からの信号を演算増幅回路39の入力39bにキャパシタ33を介して受けて、これに応答してキャパシタ33上の電荷をキャパシタ35、37に転送して電荷を再配置することによって、演算増幅回路39の出力39bに演算値 V_{OP} を生成する。演算値 V_{OP} は、演算増幅回路39の入力39bと出力39aとの間に接続されたキャパシタ35、37の容量値の和とキャパシタ33の容量値との比によって規定される比率で処理される。

[0045] 図3に示されたステップ(e)では、図2に示されるように、スイッチ ϕ_1 、 $\phi_3 \sim \phi_5$ はターンオンしており、スイッチ ϕ_s 、 ϕ_0 、 ϕ_2 はターンオフしている。スイッチ手段5Aは、演算値 V_{OP} の格納のために、標本化キャパシタとしてキャパシタ33を演算増幅回路39の出力39aと接地線Gとの間に選択的に接続すると共に、帰還容量としてキャパシタ35、37を演算増幅回路39の入力39bと出力39aとの間に選択的に接続するため

に設けられる。スイッチ手段5Bは、キャパシタ33を演算増幅回路39に入力39bから切り離すと共に、キャパシタ33をキャパシタ35から切り離し、信号入力22からキャパシタ33、35を切り離すため設けられている。キャパシタ33は、演算値 V_{OP} をキャパシタ22に標本化して演算値 V_{OP} に対応した電荷を格納する。図2に示されるように、巡回型A/D変換処理のステップ(d)及び(e)を所望の回数で繰り返すステップによってサブA/D変換回路25がビット列(BD_0 、 BD_1 、 BD_{N-2})を提供する引き続く巡回型A/D変換においては、キャパシタ33、35、37上の電荷が、サブA/D変換回路25からの信号によって制御されるD/A信号 $S_{D/A}$ に応答して再配置される。

[0046] 以上説明したように、巡回型A/D変換器21によれば、ノイズキャンセル処理に用いる標本化キャパシタをキャパシタ33、35により構成すると共に帰還キャパシタをキャパシタ37により構成し、差分信号に応じた電荷をキャパシタ33、35の各々に格納するので、引き続く巡回型A/D変換のための処理においてキャパシタ35をキャパシタ37と組み合わせできる。巡回型A/D変換処理において、標本化キャパシタをキャパシタ33により構成すると共に、キャパシタ35、37が並列に接続されており、キャパシタ35、37が帰還キャパシタとして演算増幅回路39に接続されている。キャパシタの利用に無駄がない。また、スイッチ ϕ_5 はキャパシタ35と演算増幅回路39の出力39aとの間に接続されている。スイッチ ϕ_5 のターンオフにより、ノイズキャンセル処理及び増幅において、キャパシタ35を演算増幅回路39の出力39aから切り離している。スイッチ ϕ_3 はキャパシタ35とキャパシタ33との間に接続されている。スイッチ ϕ_3 のターンオフにより、ノイズキャンセル処理及び増幅において、キャパシタ35をキャパシタ33から切り離している。スイッチ ϕ_2 及び ϕ_3 により、キャパシタ33、35の並列接続を可能にしている。スイッチ ϕ_4 、 ϕ_5 のターンオンにより、キャパシタ35を演算増幅回路39の入力39bと出力39aとの間に接続して、キャパシタ35、37の並列接続を可能にしている。

[0047] 簡単のために、 $n=0$ とするとき、巡回型A/D変換器21では、キャパシタ35とキャパシタ37との比($C2/C3$)は $m-1$ であり、キャパシタ33とキャパシタ37との比($C1/C3$)は m である。 m は2以上の数である。ゲインステージ23は、キャパシタンス比($C1+C2+C3)/(C2+C3)$ により巡回型A/D変換のための処理を行う。ノイズキ

キャンセルの際における増幅は、キャパシタ37の容量値とキャパシタ33、35の容量値の和との比 $(C1 + C2) / C3$ によって規定される。

[0048] 図4(b)は、図1に示されたA/D変換器を含むCMOSイメージセンサ回路の回路ブロックを概略的に示す図面である。垂直シフトレジスタ11は、イメージアレイ12を構成する画素13に与えられる制御信号 R_i 、 S_i 、 TX_i を供給し、各画素13において得られた光電荷による信号を巡回型A/D変換器21のアレイ14へ伝送する。巡回型A/D変換器21のアレイ14は、図1に示される複数の基本回路を含み、また各画素13からの信号を並列して処理できる。巡回型A/D変換における巡回ごとのA/D変換結果は、データレジスタ15に格納され、水平シフトレジスタ16からの制御信号により水平走査によってA/D変換後に読み出される。そのデジタル値は3値を取る、すなわち冗長表現になっている。これらを水平走査で読み出したデジタル値は、冗長表現—非冗長表現変換回路17によって非冗長表現の2進数に変換される。

[0049] 図4を参照すると、巡回型A/D変換器21が、アレイ状に配置された画素を含むイメージセンサ回路に用いられている。画素13は、フォトダイオード PDi を含むセンサ回路13aと、センサ回路13aからのセンサ信号を増幅する増幅回路13bとを含む。画素13は、リセット信号を受けて内部状態を初期化する。この初期化の後に、画素13は、フォトダイオード PDi が受けた光に対応する電気信号を提供する。電気信号は、有意な信号成分だけでなくリセットノイズ等のノイズ成分も含む。各画素13は光を電荷に変換するためのフォトダイオード PDi と、いくつかのMOSトランジスタ $T1 \sim T4$ とを備える。また、制御信号 TX_i に応答するトランジスタ $T1$ より電荷の移動が制御され、制御信号 R_i に応答するトランジスタ $T2$ より電荷の初期化が制御され、制御信号 S_i に応答するトランジスタ $T3$ より画素の選択が制御される。トランジスタ $T4$ はトランジスタ $T1$ と $T2$ との接続点 $J1$ の電位に応答する。各画素13では、リセット動作に応答してリセットノイズが発生される。また、各画素13から出力される電圧には、画素毎に固有の固定パターンノイズが含まれる。また、ランダムノイズは、A/D変換器21の入力に接続される素子等により発生される。各画素13はマトリクス状に配置され、画素13からの信号 V_R 、 V_S は、増幅回路13bに接続された信号線を介して、巡回型A/D変換器21のアレイ14に伝送される。

[0050] 図5は、本実施の形態に係る巡回型A/D変換器の変形例の回路を概略的に示す図面である。図6は、図5に示された巡回型A/D変換器の一の動作タイミングチャートを概略的に示す図面である。図7は、図5に示された巡回型A/D変換器の主要な動作ステップにおける回路接続を概略的に示す図面である。図8は、図5に示された巡回型A/D変換器の別の動作タイミングチャートを概略的に示す図面である。図9は、図8に示された巡回型A/D変換器の主要な動作ステップにおける回路接続を概略的に示す図面である。巡回型A/D変換器21aは、図2、図6及び図8に示された何れのタイミングチャートによっても動作可能である。

[0051] 巡回型A/D変換器21aは、ゲインステージ23に替えて、差分信号の巡回型A/D変換のための処理を行うゲインステージ24を含む。ゲインステージ24は、差分信号を生成するために、ノイズキャンセル処理を第1及び第2の処理モードで実行可能である。或いは、ゲインステージ24は、差分信号の生成のために、ノイズキャンセル処理を第1及び第3の処理モードで実行可能である。或いは、ゲインステージ24は、差分信号の生成のために、ノイズキャンセル処理を第1～第3の処理モードで実行可能である。タイミング回路31aは、ゲインステージ24における処理モードの動作を選択すると共に該選択されたノイズキャンセル処理の処理モードの動作及び前記巡回型A/D変換の動作を制御するための制御信号を供給する。タイミング回路31aは、第1の処理モードにおいては、図2に示されたタイミングチャートを実行するための制御信号をゲインステージ24に供給する。タイミング回路31aは、第2の処理モードにおいては、図6に示されたタイミングチャートを実行するための制御信号をゲインステージ24に供給する。タイミング回路31aは、第3の処理モードにおいては、図8に示されたタイミングチャートを実行するための制御信号をゲインステージ24に供給する。

[0052] 巡回型A/D変換器21aでは、第1及び第2の処理モードでは、それぞれ、第1及び第2の増幅率により増幅が行われる。第1の増幅率は第2の増幅率と異なる。第1の増幅率は、キャパシタ37の容量値とのキャパシタ33、35の容量値の和との比 $(C1 + C2) / C3$ によって規定される。第2の増幅率はキャパシタ37の容量値とキャパシタ33の容量値との比 $C1 / C3$ によって規定される。例えば巡回型A/D変換におけるゲインステージ24の利得が2であるとき、この巡回型A/D変換器21aの実施例に

よれば、キャパシタ33、35、37の組み合わせの変更により、第1及び第2の処理モードにおける増幅率(利得 $A > 1$)を変えることができる。また、第3の処理モードでは、ノイズキャンセル処理に伴って増幅(利得 $A = 1$)は行われない。例えば巡回型A/D変換におけるゲインステージ24の利得が2未満であるとき、第1及び第2の処理モードにおいて、増幅率(利得 $A > 1$)が達成される。

[0053] 第2の処理モードは、図6に示されるタイミングチャートに従う。ゲインステージ24は、例えばリセットレベル V_R をキャパシタ33に標本化すると共に、キャパシタ37を帰還キャパシタとした演算増幅回路39の入力39bにキャパシタ33を介して、例えば信号レベル V_S を受けたことに応答して、演算増幅回路39の出力39aに差分信号の生成及び増幅を行う。この差分信号は、同様にキャパシタ33、35の各々に標本化される。

[0054] 第3の処理モードは、図8に示されるタイミングチャートに従う。ゲインステージ24は、例えばリセットレベル V_R をキャパシタ33に標本化すると共に、キャパシタ35、37を帰還キャパシタとした演算増幅回路39の入力39bにキャパシタ33を介して、例えば信号レベル V_S を受けたことに応答して、演算増幅回路39の出力39aに差分信号を生成する。この差分信号は、同様に、キャパシタ33、35の各々に標本化される。

[0055] 第2の処理モードをより詳細に説明する。ゲインステージ24は、ゲインステージ23の回路に追加されたスイッチ ϕ_6 を含む。スイッチ ϕ_6 はキャパシタ35(ノードJ2)と接地線との間に接続されている。スイッチ ϕ_6 を追加するとき、図6に示されたタイミングチャートによりノイズキャンセル処理・増幅における動作が変更される。タイミング回路31aが、図6に示されたタイミングチャートのための制御信号を供給するとき、タイミングチャートの制御信号により、図3に示されたステップ(a)及び(b)に替えてステップ(f)及び(g)が行われる。

[0056] 図7を参照すると、ノイズキャンセル処理・増幅に期間ステップ(f)及び(g)が規定されており、標本化にはステップ(c)が用いられる。巡回型A/D変換のための処理には、期間(d)、(e)が用いられる。

[0057] 図7に示されたステップ(f)では、図7に示されるように、スイッチ ϕ_S 、 ϕ_0 、 ϕ_2 、 ϕ_4 、 ϕ_6 はターンオンしており、スイッチ ϕ_1 、 ϕ_3 、 ϕ_5 はターンオフしている。クロック ϕ_C は

、サブA/D変換回路(例えば2つのコンパレータ25a、25b)25の動作タイミングを決定している。スイッチ手段により以下の接続が提供される。スイッチ手段6Aは、リセットレベル V_R の標本化のために、キャパシタ33を標本化容量として当該アナログ・デジタル変換器21の信号入力22と演算増幅回路39の入力39bとの間に選択的に接続し、演算増幅回路39の入力39bと仮想接地線Gとの間にキャパシタ35を選択的に接続すると共に、リセットするために、演算増幅回路39の入力39bと出力39aとに接続されたキャパシタ37の両端並びに演算増幅回路39の入力39bと出力39aとを選択的に接続するために設けられる。また、スイッチ手段6Bは、演算増幅回路39の出力39aを接地線から切り離すと共に、キャパシタ33を接地線Gから切り離し、信号入力22aを接地線から切り離すために設けられている。キャパシタ33、35の一端は演算増幅回路39の動作により仮想接地に接続されており、キャパシタ35の他端はスイッチ ϕ_6 を介して接地線に接続されている。ゲインステージ23は、演算増幅回路39の入力39b及び出力39a並びにキャパシタ37の電荷をリセットし、巡回型A/D変換器21aの入力22からリセット信号 V_R を受けてキャパシタ33に標本化電荷を格納する。

- [0058] 図7に示されたステップ(g)では、図7に示されるように、スイッチ ϕ_0 、 ϕ_2 、 ϕ_4 、 ϕ_6 はターンオンしており、スイッチ ϕ_s 、 ϕ_1 、 ϕ_3 、 ϕ_5 はターンオフしている。スイッチ手段7Aは、信号レベル V_s の標本化のために、キャパシタ33を演算増幅回路39の入力39bと信号入力22との間に選択的に接続すると共に、キャパシタ37を演算増幅回路39の入力39bと出力39aとの間に帰還容量として選択的に接続するために設けられる。スイッチ手段7Bは、演算増幅回路39のリセットを解除して入力39bと出力39aとを選択的に切り離し、キャパシタ35を信号入力22aから切り離すと共に、キャパシタ35を演算増幅回路39の出力39aから切り離し、演算増幅回路39の入力39bを接地線から切り離すために設けられる。ゲインステージ24は、信号レベル V_s を演算増幅回路39の入力39bにキャパシタ33を介して受けたことに応答してキャパシタ33、37において標本化電荷を再配置して、演算増幅回路39の出力39aに差分信号を生成する。差分信号は、ステップ(c)に従って、キャパシタ33、35に格納される。キャパシタ33、35、37に格納された電荷を用いて、巡回型A/D変換をステップ(d)及び(e)に

従って行う。

- [0059] 簡単のために、 $n=0$ とすると、巡回型A/D変換器21では、キャパシタ35とキャパシタ37との比($C2/C3$)は $m-1$ であり、キャパシタ33とキャパシタ37との比($C1/C3$)は m である。 m は2以上の数である。ゲインステージ24は、キャパシタンス比($C1+C2+C3)/(C2+C3)$ により巡回型A/D変換のための処理を行う。ノイズキャンセルの際における増幅は、キャパシタ37の容量値とキャパシタ33、35の容量値の和との比 $C1/C3$ によって規定される。
- [0060] 第3の処理モードをより詳細に説明する。図8に示されたタイミングチャートによりノイズキャンセル処理における動作が変更される。タイミング回路31aが、図8に示されたタイミングチャートのための制御信号を供給するとき、タイミングチャートの制御信号により、図3に示されたステップ(a)及び(b)に替えてステップ(h)及び(i)が行われる。
- [0061] 図9参照すると、ノイズキャンセル処理に期間ステップ(h)及び(i)が規定されており、標本化にはステップ(c)が用いられる。巡回型A/D変換のための処理には、期間(d)、(e)が用いられる。全期間を通してスイッチ ϕ_5 はターンオンであり、スイッチ ϕ_6 はターンオフである。
- [0062] 図9に示されたステップ(h)では、図9に示されるように、スイッチ ϕ_s 、 ϕ_0 、 ϕ_2 、 ϕ_4 、 ϕ_5 はターンオンしており、スイッチ ϕ_1 、 ϕ_3 、 ϕ_6 はターンオフしている。クロック ϕ_c は、サブA/D変換回路(例えば2つのコンパレータ25a、25b)25の動作タイミングを決定している。スイッチ手段により以下の接続が提供される。スイッチ手段8Aは、リセットレベル V_R の標本化のために、キャパシタ33を標本化容量として当該アナログ・デジタル変換器21の信号入力22に選択的に接続すると共に、リセットするために、演算増幅回路39の入力39bと出力39aとの間に帰還キャパシタとして選択的に接続されたキャパシタ35、37の両端並びに演算増幅回路39の入力39b及び出力39aを選択的に接続するために設けられる。また、スイッチ手段8Bは、キャパシタ33の一端を接地線Gから切り離し、演算増幅回路39の入力39bを接地線Gから切り離すと共に、演算増幅回路39の出力39aを信号入力22aから切り離すために設けられている。キャパシタ33の一端は演算増幅回路39の動作により仮想接地に接続されている。

ゲインステージ23は、演算増幅回路39の入力39bと出力39aとを接続してキャパシタ35、37の電荷をリセットし、巡回型A/D変換器21の入力22からリセットレベル V_R を受けてキャパシタ33に標本化電荷を格納する。

[0063] 図9に示されたステップ(i)では、図9に示されるように、スイッチ ϕ_0 、 ϕ_2 、 ϕ_4 、 ϕ_5 はターンオンしており、スイッチ ϕ_s 、 ϕ_1 、 ϕ_3 、 ϕ_6 はターンオフしている。スイッチ手段9Aは、信号レベル V_s の標本化のために、キャパシタ33を演算増幅回路39の入力39bと信号入力22との間に選択的に接続すると共に、キャパシタ35、37を演算増幅回路39の入力39bと出力39aとの間に帰還キャパシタとして選択的に接続するために設けられる。スイッチ手段9Bは、演算増幅回路39のリセットを解除して入力39bと出力39aとを選択的に切り離し、演算増幅回路39の出力39aを信号入力22から切り離すと共に、キャパシタ33を接地線Gから切り離し、演算増幅回路39の入力39bを接地線Gから切り離すために設けられる。ゲインステージ24は、信号レベル V_s を演算増幅回路39の入力39bにキャパシタ33を介して受けたことに応答してキャパシタ33、35、37に標本化電荷を再配置して、演算増幅回路39の出力39aに差分信号を生成する。差分信号は、ステップ(c)に従って、キャパシタ33、35に格納される。キャパシタ33、35、37に格納された電荷を用いて、巡回型A/D変換をステップ(d)及び(e)に従って行う。

[0064] 巡回型A/D変換器21aにおいて、簡単のために、 $n=0$ とするとき、巡回型A/D変換器21では、キャパシタ35とキャパシタ37との比($C2/C3$)は $m-1$ であり、キャパシタ33とキャパシタ37との比($C1/C3$)は m である。 m は2以上の正数である。ノイズキャンセル処理における利得は、キャパシタ37の容量値とキャパシタ33、35の容量値の和との比 $C1/(C2+C3)=1$ によって規定される。

[0065] 第1～第3の処理モードにおけるゲインステージの利得 $G0$ 、 $G1$ 、 $G2$ に典型例な値を示す。 $n=0$ である実施では、 $G0=C1/(C2+C3)=1$ 、 $G1=(C1+C2)/C3=2m-1$ 、 $G2=C1/C3=m$ である。例えば

m 、利得 $G0$ 、利得 $G1$ 、利得 $G2$

2、 1、 3、 2

$3/2$ 1、 5、 $3/2$

である。A/D変換器が同じ回路接続であるが、異なる利得で用途に応じて使い分けできる。この利得切換及びA/D変換のために、スイッチ ϕ_0 がゲインステージ24の入力24aとキャパシタ端33aとの間に接続され、スイッチ ϕ_1 がキャパシタ端33bと仮想接地Gとの間に接続され、スイッチ ϕ_2 がキャパシタ端33bとキャパシタ端35bとの間に接続され、スイッチ ϕ_3 がキャパシタ端33aとキャパシタ端35aとの間に接続され、スイッチ ϕ_4 がキャパシタ端33b、35bと入力39bとの間に接続され、スイッチ ϕ_5 がキャパシタ端35aと出力39aとの間に接続され、スイッチ ϕ_6 がキャパシタ端35aと接地線との間に接続されている。これに加えて、スイッチ ϕ_5 が入力39bと出力39aとの間に接続されている。

[0066] 図10は、本実施の形態に係る巡回型A/D変換器の全差動構造の回路を示す図面である。2個のスイッチ ϕ_6 を全ての期間にターンオフすれば、図1に示される回路と同様に、タイミング回路31から提供される制御信号によって、巡回型A/D変換器21bは、図2に示されるタイミングチャートに従って動作可能である。同様に、タイミング回路31aから提供される制御信号によって、巡回型A/D変換器21bは、図6及び図9に示されるタイミングチャートに従って動作可能である。

[0067] 巡回型A/D変換器21bは、ゲインステージ23に替えてゲインステージ26を含み、論理回路27に替えて論理回路28を含む、D/A変換回路29に替えてD/A変換回路30を含む。巡回型A/D変換器21bでは、ゲインステージ26は全差動構成であり、サブA/D変換回路は全差動構成のコンパレータを含む。ゲインステージ26は、第4、第5及び第6のキャパシタ43、45、57を更に有する。第4、第5及び第6のキャパシタ43、45、47は、それぞれ、第1、第2及び第3のキャパシタ33、35、37に相補的な対応に従って接続されている。ノイズキャンセル処理・増幅では、ゲインステージ26は、例えばリセットレベル V_R をキャパシタ33、35の各々及びキャパシタ43、45の各々に標本化すると共に、キャパシタ37及び47を帰還キャパシタとした演算増幅回路49の入力49b、49cにキャパシタ33、35及びキャパシタ43、45を介して信号レベル V_S を受けたことに応答して、演算増幅回路49の出力49a、49dに差分信号及びその相補信号を生成し、これらの信号をそれぞれキャパシタ33、35の各々及びキャパシタ43、45の各々に標本化する。巡回型A/D変換のための処理では、ゲイン

ステージ26は、キャパシタ35、37の各々及びキャパシタ45、47の各々を帰還キャパシタとした演算増幅回路49の入力49b、49cにD/A変換回路30からの信号をキャパシタ33及び43を介して受けて演算増幅回路49の出力49a、49dに演算値 V_{OP+} 、 V_{OP-} を生成すると共に、キャパシタ33及び43に演算値 V_{OP+} 、 V_{OP-} を標本化する。巡回型A/D変換器21bによれば、単純な動作により、全差動構成のゲインステージ26においても、増幅型ノイズキャンセル処理及び巡回型A/D変換のための処理を実行でき、しかも低ノイズ化が可能である。

[0068] 図11は、本実施の形態の巡回型A/D変換器の回路を概略的に示す図面である。この実施例では、巡回型A/D変換処理における利得が2未満であり、これを「2-a」と表す。シンボル「a」は1未満の正の数である。2未満の利得を用いることによって3値のデジタル冗長コードを用いることが不要になり、回路規模の縮小が可能になる。2未満の利得は、図11に示された回路において、 $n=1$ 、 $m=8$ と設定すると、利得 $(C1+C2+C3)/(C2+C3)=1+(m-n)/m=1.875$ ($a=0.125$)を得る。このキャパシタ比を用いるとき、ノイズキャンセル処理では、1を越える利得として、 $G1=14$ 及び $G2=7$ を選択的に用いることができる。図11(a)を参照すると、巡回型A/D変換器21bは、サブA/D変換回路25からの信号 $S_{DIG0}(B_0)$ のN個のデジタル値を補正して、 $M+1$ ビットのデジタル値を生成する補正回路70を含む。但し、 $N=(M+1) \times \log(2)/\log(1-a)$ である。このために、巡回型A/D変換器は、 $M+1$ ビットのデジタル値を生成するためにN回($N>M+1$)の巡回動作を行う。サブA/D変換回路(例えば2つのコンパレータ25a、25b)25はクロック ϕ_c の動作タイミングに応じて動作する。例えば、 $a=0.125$ 、 $M=14$ であるとき、 $N=16.54$ ビット、すなわち17ビットに相当する巡回が必要である。

[0069] ゲインステージ13の利得が2未満であるので、
[数1]

$$\frac{V_O}{V_R} = (2-a) \frac{V_{IN}}{V_R} - (1-a) D_0 \quad (1)$$

アナログ入力信号に対応する真のデジタル値を「 X_0 」と記す。デジタル値 X_0 は V_{IN}/V_R 、($V_R=V_{Ref}$)をデジタル化した値である。

[数2]

$$X_1 = (2-a)X_0 - (1-a)D_0 \quad (2)$$

第*i*回目の演算増幅器の出力*X_i*と記し、1ビットのA/D変換値を「+1」又は「-1」をとる*D_i*を用いて表すと共に、式(2)から*X₂*～*X_N*を求めて、これらを順に代入すると、

[数3]

$$X_N = (2-a)^N X_0 - (1-a) \sum_{i=0}^{N-1} (2-a)^{N-1-i} D_i \quad (3)$$

となる。第1項は残差であるので、十分に小さい。この項を無視すると、

[数4]

$$X_0 \cong \frac{(1-a)}{(2-a)^N} \sum_{i=0}^{N-1} (2-a)^{N-1-i} D_i \quad (4)$$

が得られる。総和記号は積和演算である。*u_i* = (2-a) - 1 - *i*と定義すると、総和記号の項は、

[数5]

$$\sum_{i=0}^{N-1} u_i D_i \quad (5)$$

と書くことができる。故に、補正回路70は、積和演算回路、或いは等価的な積和演算を行う回路を含む。

[0070] 補正回路70における補正は、巡回型A/D変換における利得に関連づけられた補正係数を用いてビット列(Nビット)の演算処理を行う。サブA/D変換回路25は、演算値*V_{OP}*を比較するための単一のコンパレータ25cを含む。論理回路27は、サブA/D変換回路25からの信号*S_{DIG}* (*B₀*)に応答して、巡回型A/D変換のためにD/A変換回路29を制御する制御信号*S_{CONT}* (*φ_{DN}*、*φ_{DP}*)を生成する。D/A変換回路29は制御信号*S_{CONT}*に応じて動作し、最新の巡回型A/D変換の結果に応じたD/A信号*S_{D/A}*を生成する。D/A信号*S_{D/A}*は、本実施例では、論理回路27からの制御信号に応答して、例えば下記の2値を提供する。

(1) 条件 ($0 \geq V_{OP}$) が満たされるとき、 $S_{A/D} = V_{Ref}$

(2) 条件 ($V_{OP} > 0$) が満たされるとき、 $S_{A/D} = -V_{Ref}$

図11 (b) には、タイミング回路からの信号に応じて動作するゲインステージ23が示されている。ノイズキャンセル処理は、上記の実施例と同様に、図11 (b) 示される回路によって行われる。なお、必要な機能に応じたスイッチ手段が、スイッチ手段1A～9Bから選択される。

[0071] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更に権利を請求する。

産業上の利用可能性

[0072] 以上説明したように、本実施の形態に係る発明は、ゲインを持つノイズキャンセル機能を設けた巡回型A/D変換に関する。CMOSイメージセンサのカラムにおいて、増幅機能をもつノイズキャンセル回路を用いることによって、低ノイズの読み出しを行うことができる。画素からの読出信号を増幅することによって、読み出し以降の信号線において重畳されるノイズ振幅を相対的に下げると共に、またノイズキャンセル回路のアンプ自身により発生されるノイズやCMOSイメージセンサの画素内のアンプにより発生される熱ノイズからの影響を低減できる。結果として、低ノイズの読み出しが提供される。また、イメージセンサのカラムにA/D変換器をアレイ状に配列して集積化回路を構成し、A/D変換器を並列に動作させることによって高速のA/D変換が実現される。一旦デジタル信号に変換された後は、ノイズが重畳しないため低ノイズの信号読み出しに有効である。これまで回路方式では増幅型ノイズキャンセル器とA/D変換器との両方をカラムに集積化することはできない。しかしながら、増幅型ノイズキャンセル器とA/D変換器は別々の回路であるので、実装面積が大きくなる。

[0073] 一方、本実施の形態では、ゲインを持たせたノイズキャンセル処理と巡回型A/D変換処理を共通のキャパシタとオペアンプを用いて行うことができ、小さい面積の回路で実現できる。また、ゲインを持たせたノイズキャンセル処理により、低ノイズのイメージセンサが実現できる。

[0074] したがって、本発明によれば、単純な動作により、効果的に増幅型ノイズキャンセル処理を行うことができ、しかも低ノイズ化が可能な巡回型A/D変換器が提供される。増幅型ノイズキャンセル処理及び巡回型A/D変換処理のために、複数のキャパシタ及び1個の演算増幅回路を無駄なく共有できる。

請求の範囲

- [1] ノイズ成分を含む第1の信号レベルと該ノイズ成分に重畳した信号成分を含む第2の信号レベルとを有する入力信号を処理する巡回型アナログ・デジタル変換器であって、
- 第1、第2及び第3のキャパシタ並びに演算増幅回路を有し、ノイズキャンセル処理及び増幅を行って前記第1及び第2の信号レベルの差分信号を生成すると共に前記差分信号の巡回型A/D変換のための処理を行うゲインステージと、
- 前記演算増幅回路の出力からの信号を受けるサブA/D変換回路と、
- 前記サブA/D変換回路に接続された論理回路と、
- 前記論理回路からの制御信号に応じて動作するD/A変換回路と、
- 前記ゲインステージの前記ノイズキャンセル処理及び増幅並びに前記巡回型A/D変換の動作を制御するためのタイミング回路と
- を備え、
- 前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を前記第1及び第2のキャパシタの各々に標本化すると共に、前記第3のキャパシタを帰還キャパシタとした前記演算増幅回路の入力に前記第1及び第2のキャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受けたことに応答して、前記演算増幅回路の出力に前記差分信号を生成し、前記差分信号を前記第1及び第2のキャパシタの各々に格納し、
- 前記巡回型A/D変換のための処理では、前記ゲインステージは、前記第2及び第3のキャパシタの各々を帰還キャパシタとした前記演算増幅回路の前記入力に前記D/A変換回路からの信号を前記第1のキャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第1のキャパシタに前記演算値を標本化する、ことを特徴とする巡回型アナログ・デジタル変換器。
- [2] 前記差分信号の増幅率は、前記第3のキャパシタの容量値と前記第1及び第2のキャパシタの容量値の和との比によって規定される、ことを特徴とする請求項1に記載された巡回型アナログ・デジタル変換器。
- [3] 前記ノイズキャンセル処理では、前記第1及び第2のキャパシタは並列に接続され

ており、前記第3のキャパシタは前記演算増幅回路の前記入力と前記出力との間に接続されており、

前記ゲインステージは、前記演算増幅回路の前記入力と前記出力とをリセットして前記第1及び第2のキャパシタに前記第1及び第2の信号レベルのいずれか一方を受けて前記第1及び第2のキャパシタの各々に標本化電荷を格納し、

前記ゲインステージは、前記第1及び第2の信号レベルのいずれか他方を前記演算増幅回路の前記入力に前記第1及び第2のキャパシタを介して受けたことに応答して前記第1～第3のキャパシタに前記標本化電荷を再配置して前記演算増幅回路の前記出力に前記差分信号を生成し、

前記ゲインステージは、前記差分信号を前記第1及び第2のキャパシタに標本化して、前記差分信号に応じた電荷を前記第1及び第2のキャパシタの各々に格納する、ことを特徴とする請求項1又は請求項2に記載された巡回型アナログ・デジタル変換器。

- [4] 前記巡回型A/D変換処理では、前記第2及び第3のキャパシタが並列に接続されており、前記第2及び第3のキャパシタが前記演算増幅回路に接続され、

前記ゲインステージは、前記D/A変換回路からの信号を前記第1のキャパシタを介して前記演算増幅回路の前記入力に受けたことに応答して、前記第1のキャパシタ上の電荷を前記第2及び第3のキャパシタに転送して電荷を再配置することによって前記演算増幅回路の前記出力に前記演算値を生成し、

前記第1のキャパシタは、前記演算値を受けて前記演算値に対応した電荷を格納し、

前記巡回型A/D変換処理を所望の回数で繰り返すことによって、前記サブA/D変換回路がビット列を提供する、ことを特徴とする請求項1～請求項3のいずれか一項に記載された巡回型アナログ・デジタル変換器。

- [5] 前記ゲインステージは全差動構成であり、

前記ゲインステージは、第4、第5及び第6のキャパシタを更に有し、

前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を前記第4及び第5のキャパシタの各々に標本化すると共に、

前記第6のキャパシタを帰還キャパシタとした前記演算増幅回路の入力に前記第4及び第5のキャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受けたことに応答して、前記演算増幅回路の出力に前記差分信号を生成し、前記差分信号を前記第4及び第5のキャパシタの各々に標本化し、

前記巡回型A/D変換のための処理では、前記ゲインステージは、前記第5及び第6のキャパシタの各々を帰還キャパシタとした前記演算増幅回路の前記入力に前記D/A変換回路からの信号を前記第4のキャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第4のキャパシタに前記演算値を標本化する、ことを特徴とする請求項1～請求項4のいずれか一項に記載された巡回型アナログ・デジタル変換器。

- [6] ノイズ成分を含む第1の信号レベルと該ノイズ成分に重畳した信号成分を含む第2の信号レベルとを有する入力信号を処理する巡回型アナログ・デジタル変換器であって、

第1、第2及び第3のキャパシタ並びに演算増幅回路を含み、前記第1及び第2の信号レベルの差分信号を生成するためにノイズキャンセル処理を実行可能であると共に前記差分信号の巡回型A/D変換のための処理を行うゲインステージと、

前記演算増幅回路の出力からの信号を受けるサブA/D変換回路と、

前記サブA/D変換回路に接続された論理回路と、

前記論理回路からの制御信号に応じて動作するD/A変換回路と、

前記ゲインステージの前記ノイズキャンセル処理並びに前記巡回型A/D変換の動作を制御するためのタイミング回路と

を備え、

前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を第1の標本化キャパシタに標本化すると共に、第1の帰還キャパシタが接続された前記演算増幅回路の入力に前記第1の標本化キャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受けたことに応答して、前記演算増幅回路の出力に前記差分信号の生成を行い、前記差分信号を前記第1の標本化キャパシタ及び前記第1の帰還キャパシタに格納し、

前記巡回型A/D変換のための処理では、前記ゲインステージは、第2の帰還キャパシタが接続された前記演算増幅回路の前記入力に前記D/A変換回路からの信号を第2の標本化キャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第2の標本化キャパシタに前記演算値を格納し、

前記ノイズキャンセル処理は、排他的に実行可能な第1及び第2の処理モードを含み、

前記タイミング回路は、前記ゲインステージの前記第1及び第2の処理モードの動作を選択すると共に該選択された処理モードの動作を制御し、

前記第1の処理モードにおける前記ゲインステージの第1の利得は、前記第3のキャパシタの容量値と前記第1及び第2のキャパシタの容量値の和との比によって規定され、

前記第2の処理モードにおける前記ゲインステージの第2の利得は、前記第3のキャパシタの容量値と前記第1のキャパシタの容量値との比によって規定され、

前記ゲインステージは、

前記第2の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第2の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を提供するための第1のスイッチ手段と、

前記第1の標本化キャパシタが前記第1及び第2のキャパシタによって構成されるように前記第1及び第2のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第3のキャパシタによって構成されるように前記第3のキャパシタの接続を提供するための第2のスイッチ手段と、

前記第1の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第3のキャパシタによって構成されるように前記第3のキャパシタの接続を提供し、前記差分信号を標本化するために、前記第1の標本化キャパシタへの前記第2のキャパシタの並列接続を提供するための第3のスイッチ手段と

を含む、ことを特徴とする巡回型アナログ・デジタル変換器。

[7] 前記ノイズキャンセル処理は、第1及び第2の処理モードに対して排他的に実行可能な第3の処理モードを含み、

前記第3の処理モードにおける前記ゲインステージの第3の利得は、前記第2及び第3のキャパシタの容量値の和と前記第1のキャパシタの容量値との比によって規定され、

前記タイミング回路は、前記ゲインステージの前記第1及び第2の処理モードに加えて前記第3の処理モードの動作を選択し、

前記ゲインステージは、前記第1の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を提供するための第4のスイッチ手段を更に含む、ことを特徴とする請求項6に記載された巡回型アナログ・ディジタル変換器。

[8] ノイズ成分を含む第1の信号レベルと該ノイズ成分に重畳した信号成分を含む第2の信号レベルとを有する入力信号を処理する巡回型アナログ・ディジタル変換器であって、

第1、第2及び第3のキャパシタ並びに演算増幅回路を含み、前記第1及び第2の信号レベルの差分信号を生成するためにノイズキャンセル処理を実行可能であると共に前記差分信号の巡回型A/D変換のための処理を行うゲインステージと、

前記演算増幅回路の出力からの信号を受けるサブA/D変換回路と、

前記サブA/D変換回路に接続された論理回路と、

前記論理回路からの制御信号に応じて動作するD/A変換回路と、

前記ゲインステージの前記ノイズキャンセル処理並びに前記巡回型A/D変換の動作を制御するためのタイミング回路とを備え、

前記ノイズキャンセル処理では、前記ゲインステージは、前記第1及び第2の信号レベルのいずれか一方を第1の標本化キャパシタに標本化すると共に、第1の帰還キャパシタが接続された前記演算増幅回路の入力に前記第1の標本化キャパシタを介して前記第1及び第2の信号レベルのいずれか他方を受けたことに応答して、前記演

算増幅回路の出力に前記差分信号の生成を行い、前記差分信号を前記第1の標本化キャパシタ及び前記第1の帰還キャパシタに格納し、

前記巡回型A/D変換のための処理では、前記ゲインステージは、第2の帰還キャパシタが接続された前記演算増幅回路の前記入力に前記D/A変換回路からの信号を第2の標本化キャパシタを介して受けて前記演算増幅回路の前記出力に演算値を生成すると共に、前記第2の標本化キャパシタに前記演算値を格納し、

前記ノイズキャンセル処理は、排他的に実行可能な第1及び第3の処理モードを含み、

前記タイミング回路は、前記ゲインステージの前記第1及び第3の処理モードの動作を選択すると共に該選択されたノイズキャンセル処理の動作を制御し、

前記第1の処理モードにおける前記ゲインステージの第1の利得は、前記第3のキャパシタの容量値と前記第1及び第2のキャパシタの容量値の和との比によって規定され、

前記第3の処理モードにおける前記ゲインステージの第3の利得は、前記第2及び第3のキャパシタの容量値の和と前記第1のキャパシタの容量値との比によって規定され、

前記ゲインステージは、

前記第2の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を提供するための第1のスイッチ手段と、

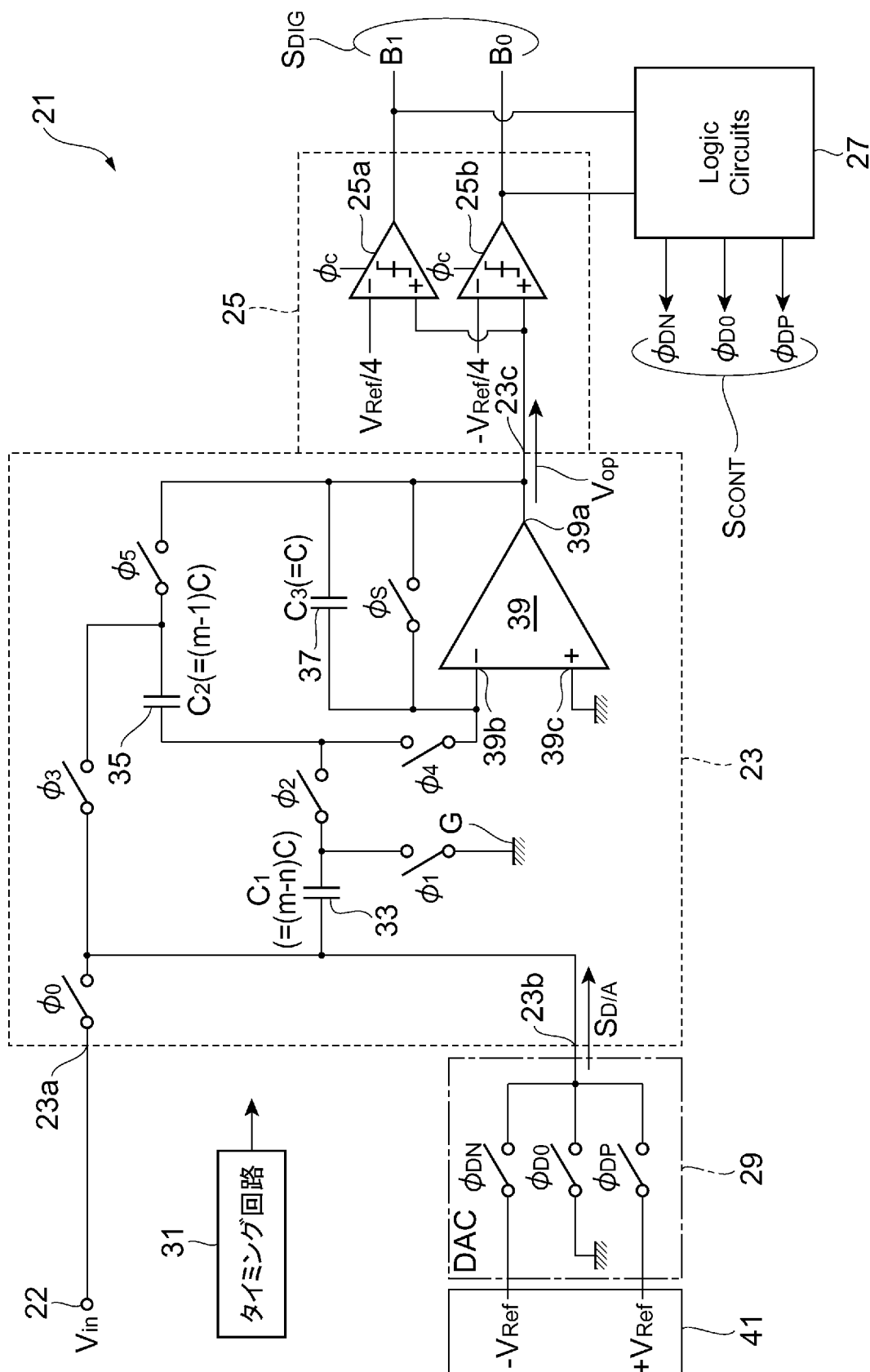
前記第1の標本化キャパシタが前記第1及び第2のキャパシタによって構成されるように前記第1及び第2のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第3のキャパシタによって構成されるように前記第3のキャパシタの接続を提供するための第2のスイッチ手段と、

前記第1の標本化キャパシタが前記第1のキャパシタによって構成されるように前記第1のキャパシタの接続を提供すると共に、前記第1の帰還キャパシタが前記第2及び第3のキャパシタによって構成されるように前記第2及び第3のキャパシタの接続を

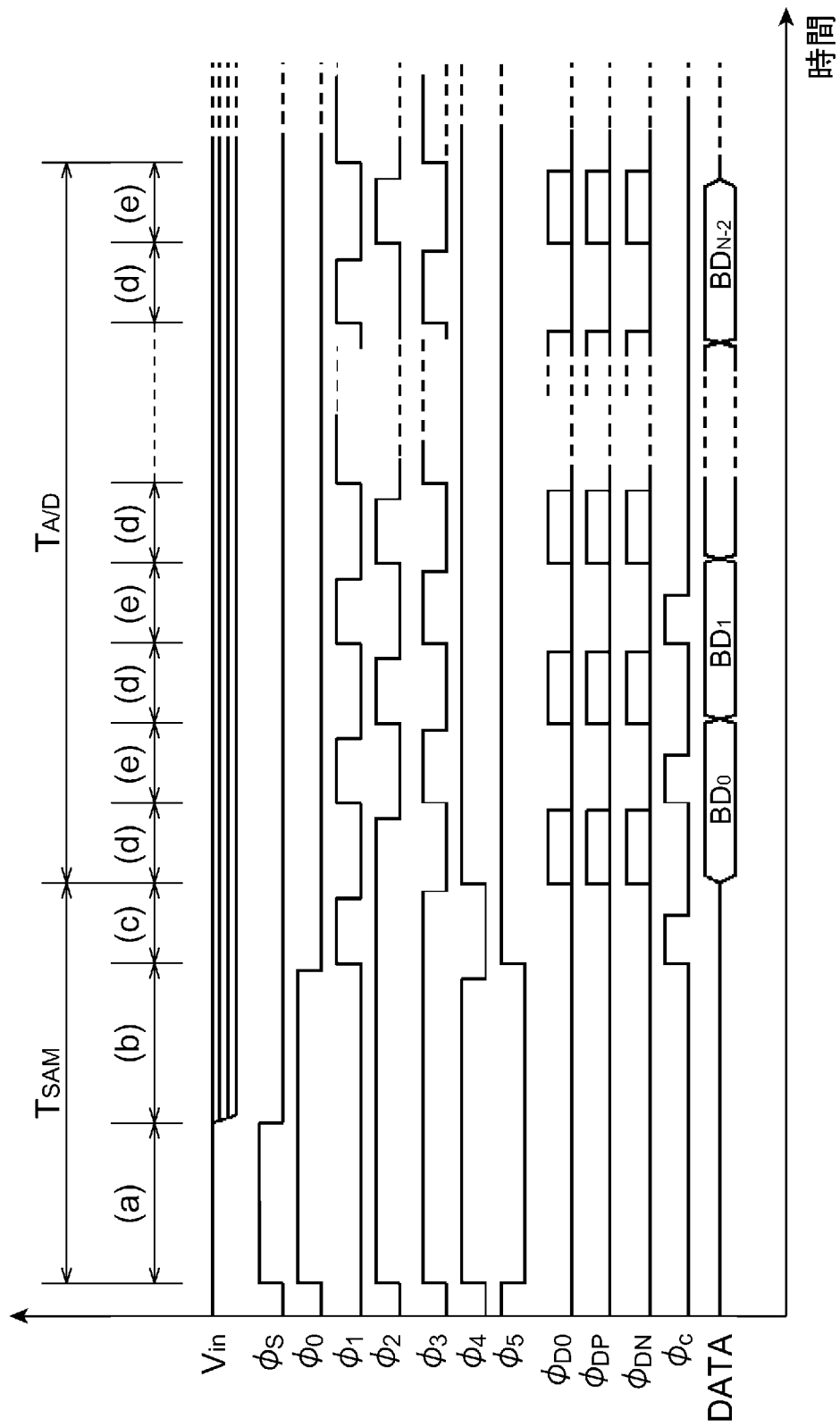
提供するための第4のスイッチ手段と、
を含む、ことを特徴とする巡回型アナログ・デジタル変換器。

- [9] 前記サブA/D変換回路は、前記ゲインステージからの信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成する、ことを特徴とする請求項1～請求項8のいずれか一項に記載された巡回型アナログ・デジタル変換器。
- [10] 前記第2のキャパシタと前記第3のキャパシタとの比($C2/C3$)は $m-1$ であり、
前記第1のキャパシタと前記第3のキャパシタとの比($C1/C3$)は m であり、
 m は2以上の数である、ことを特徴とする請求項1～請求項9のいずれか一項に記載された巡回型アナログ・デジタル変換器。
- [11] 前記巡回型A/D変換における前記ゲインステージの利得は2である、ことを特徴とする請求項1～請求項10のいずれか一項に記載された巡回型アナログ・デジタル変換器。
- [12] 前記巡回型A/D変換における前記ゲインステージの利得は2未満であり、
当該巡回型アナログ・デジタル変換器は、前記利得に関連づけられた補正係数を用いて、N回の巡回型A/D変換動作による前記サブA/D変換回路からのデジタル値を補正して、前記 $M+1$ ($N > M+1$)ビットのデジタル値を生成する補正回路を更に備える、ことを特徴とする請求項1～請求項8のいずれか一項に記載された巡回型アナログ・デジタル変換器。
- [13] 前記サブA/D変換回路は、前記ゲインステージからの信号を所定の基準信号と比較するコンパレータを含む、ことを特徴とする請求項1、請求項10または請求項12に記載された巡回型アナログ・デジタル変換器。

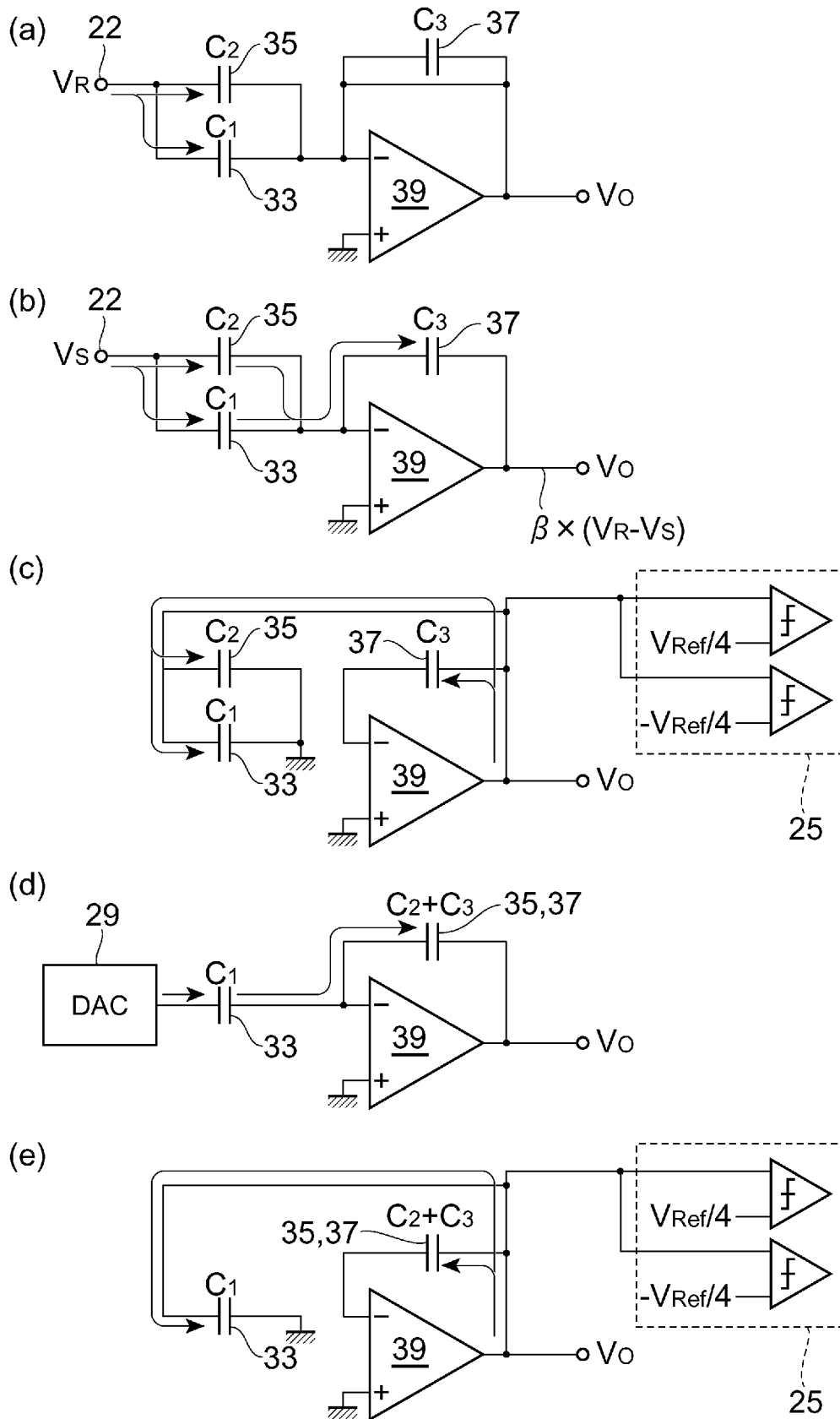
[図1]



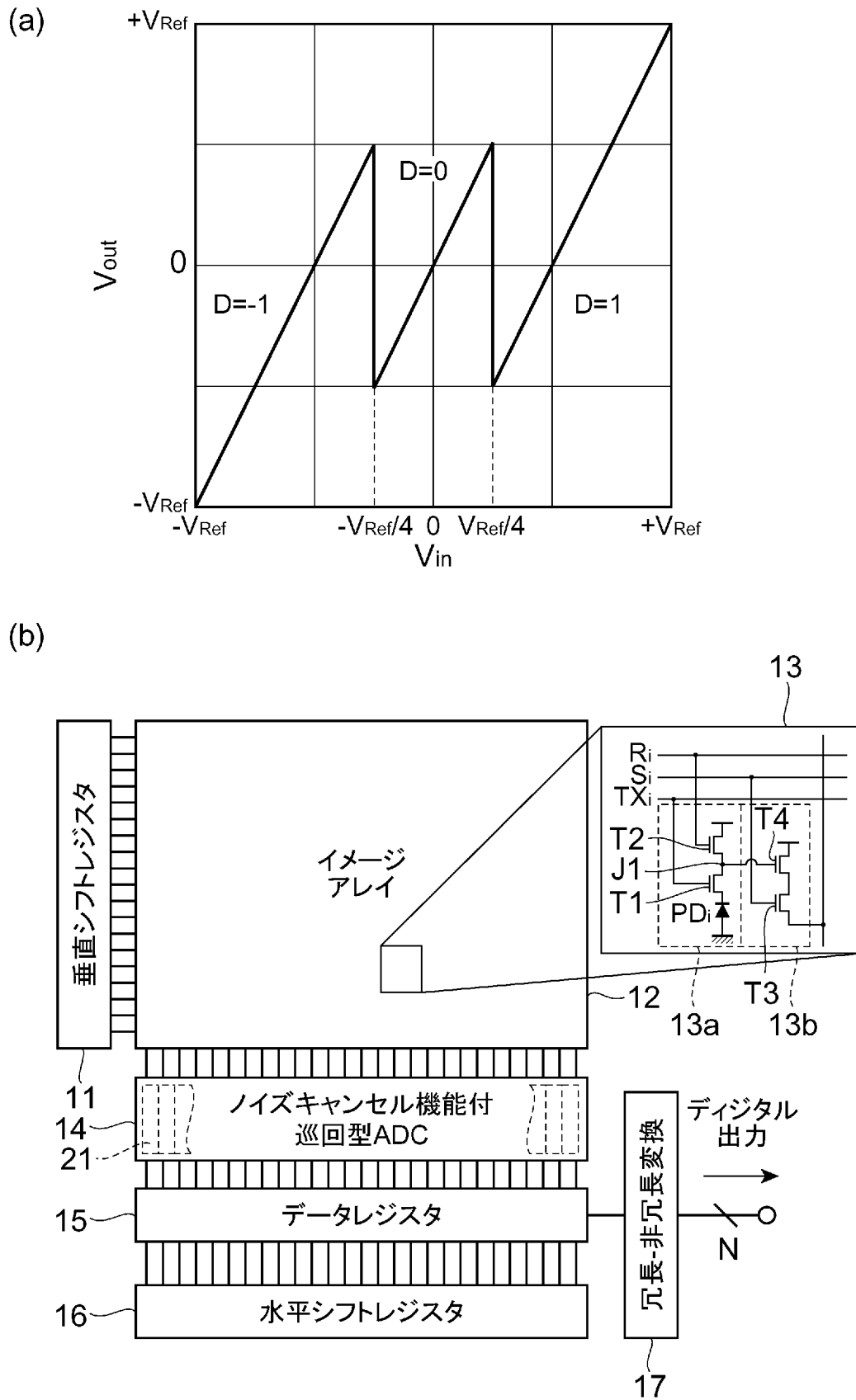
[図2]



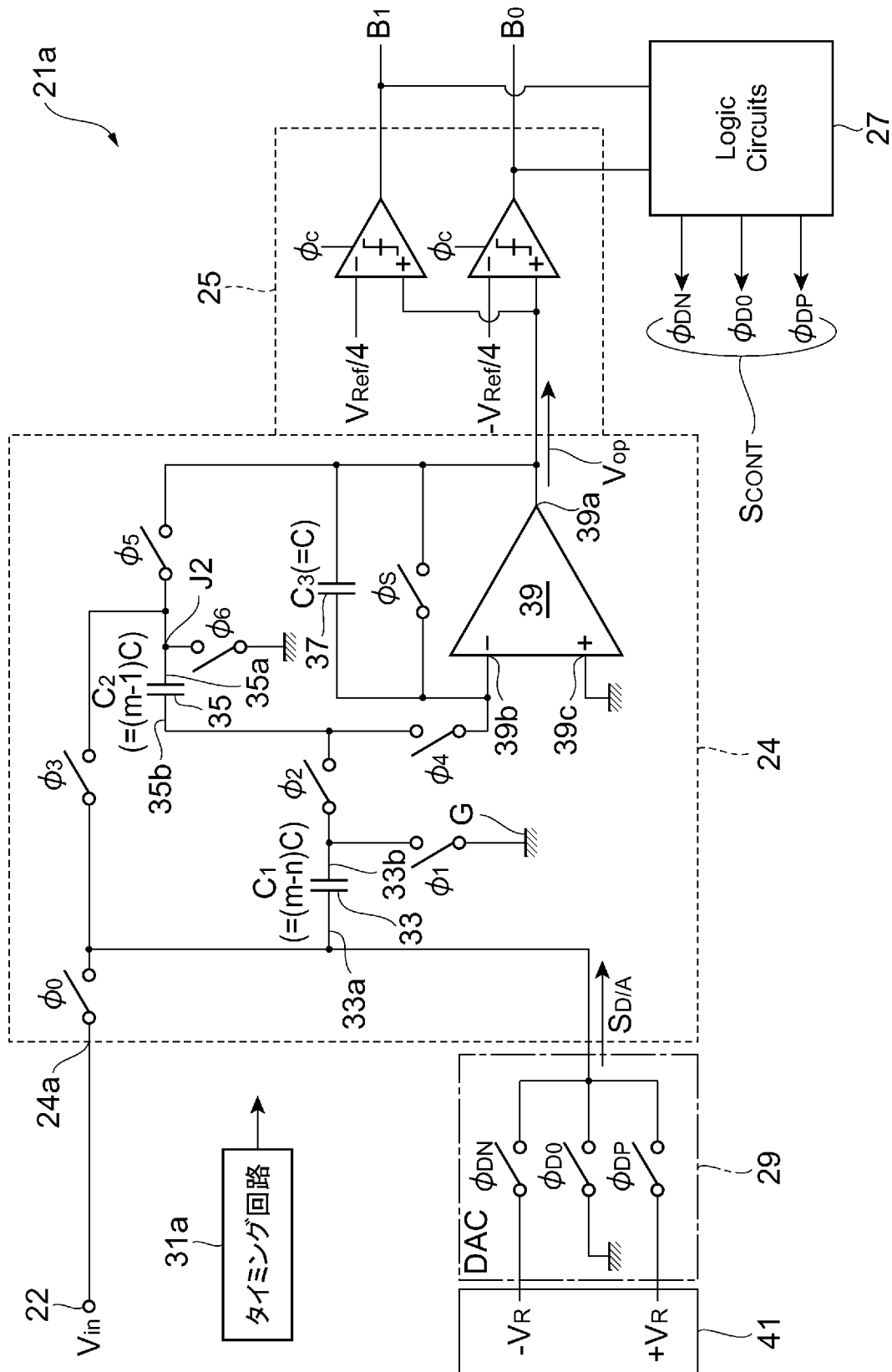
[図3]



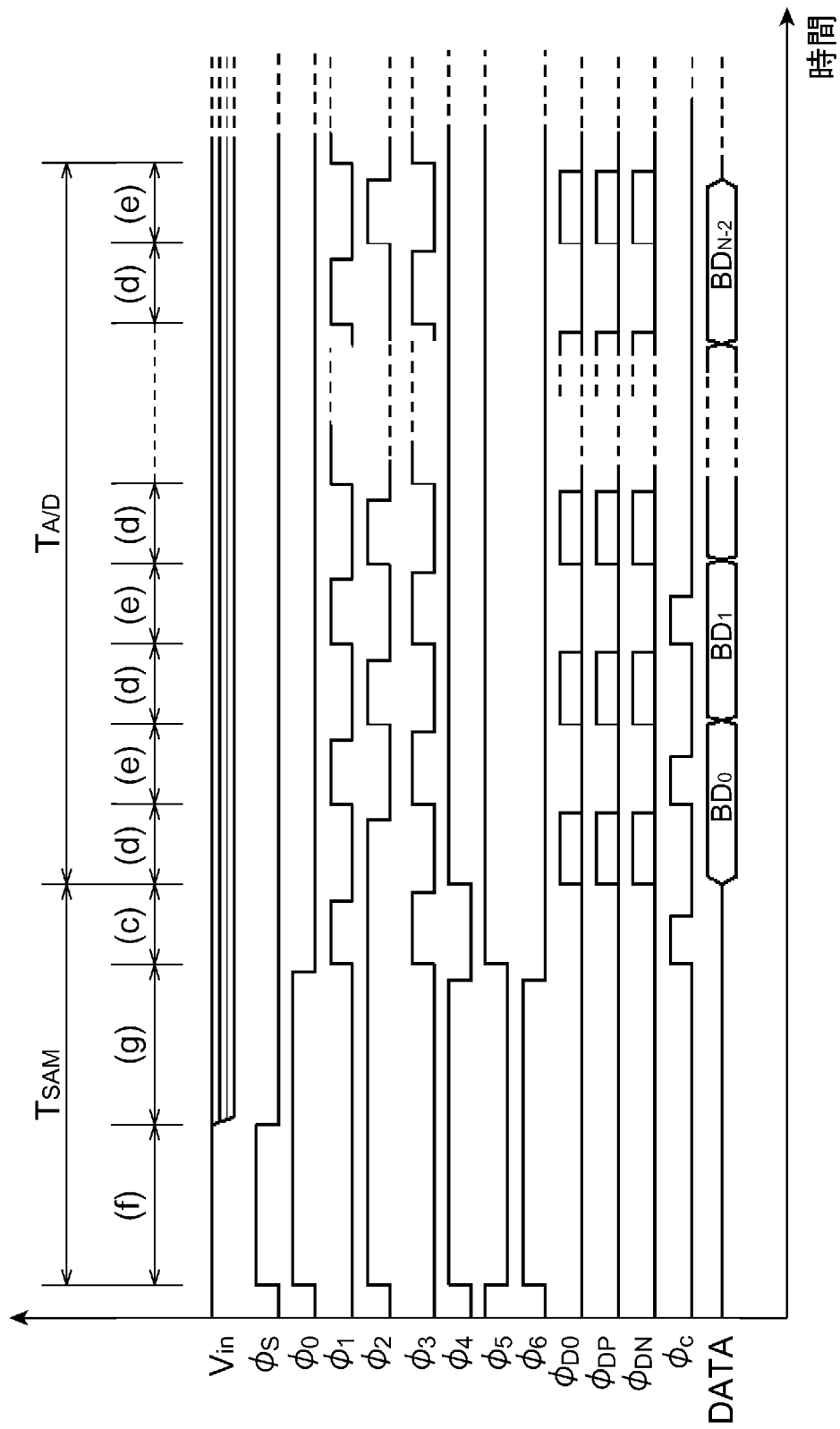
[図4]



[図5]

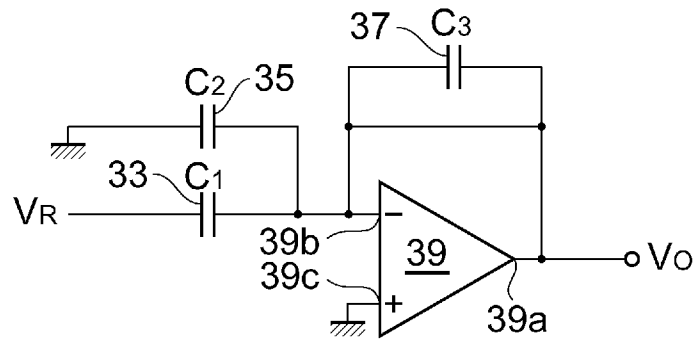


[図6]

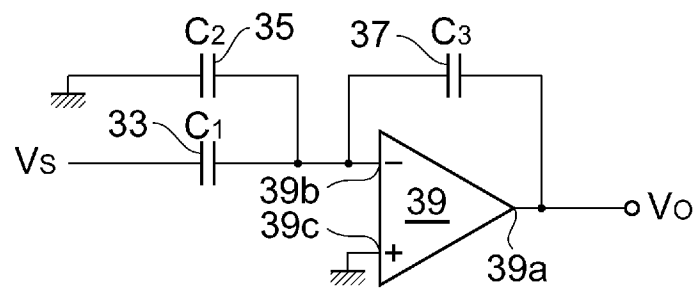


[図7]

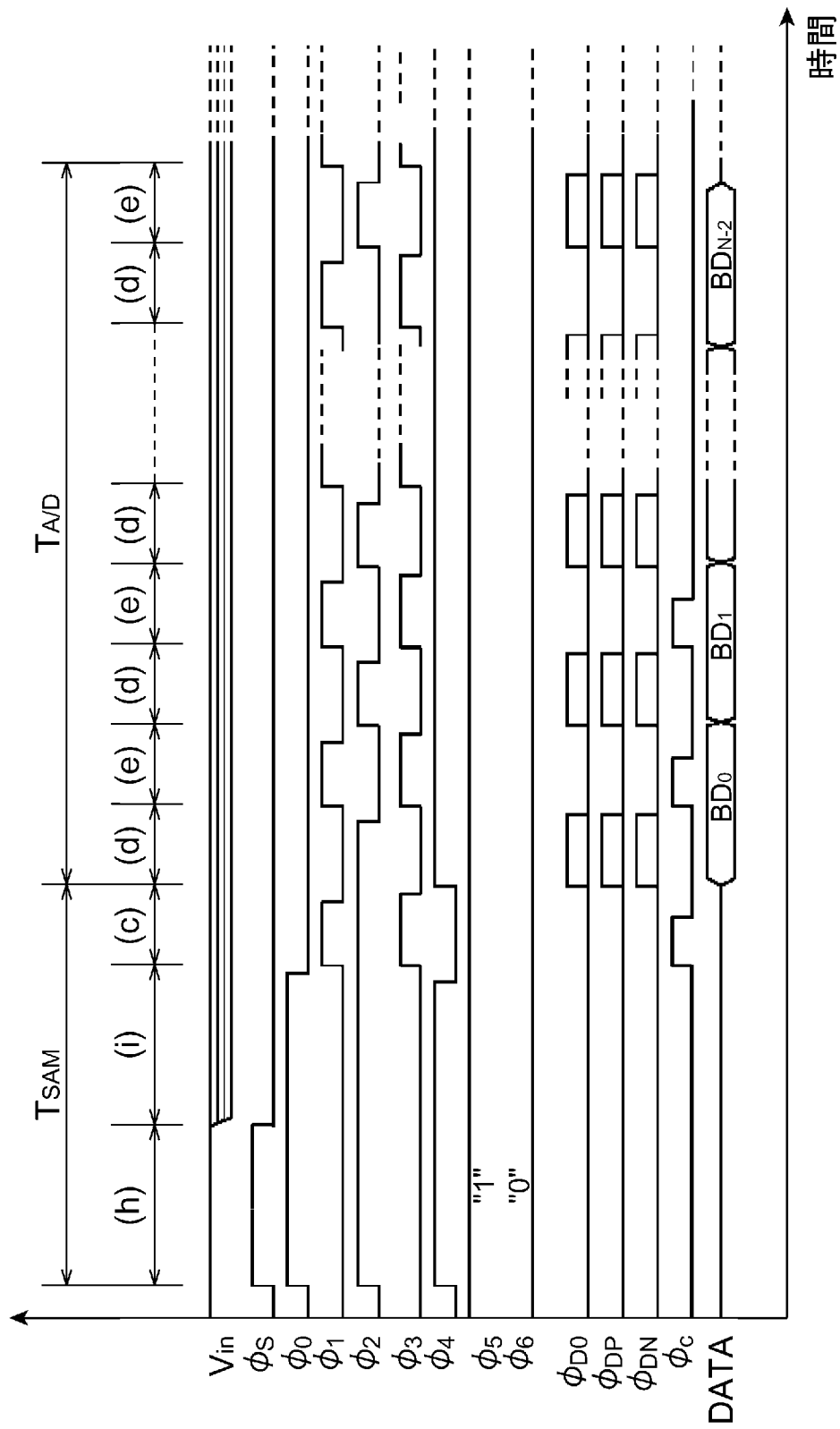
(f)



(g)

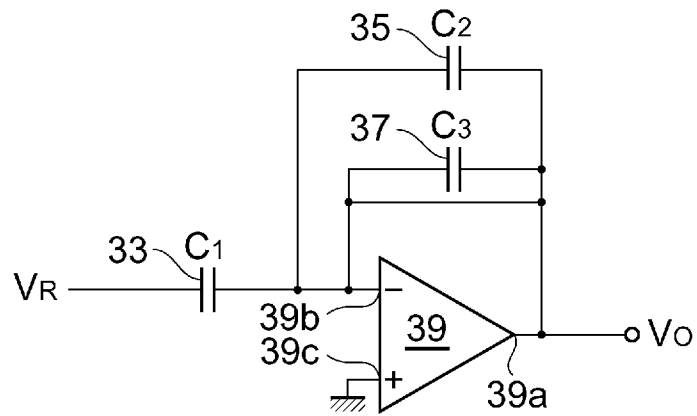


[図8]

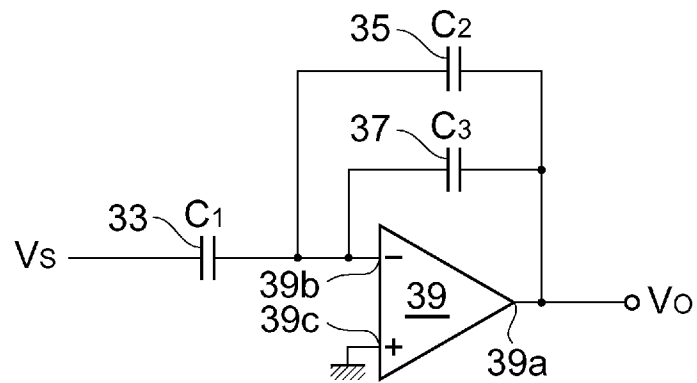


[図9]

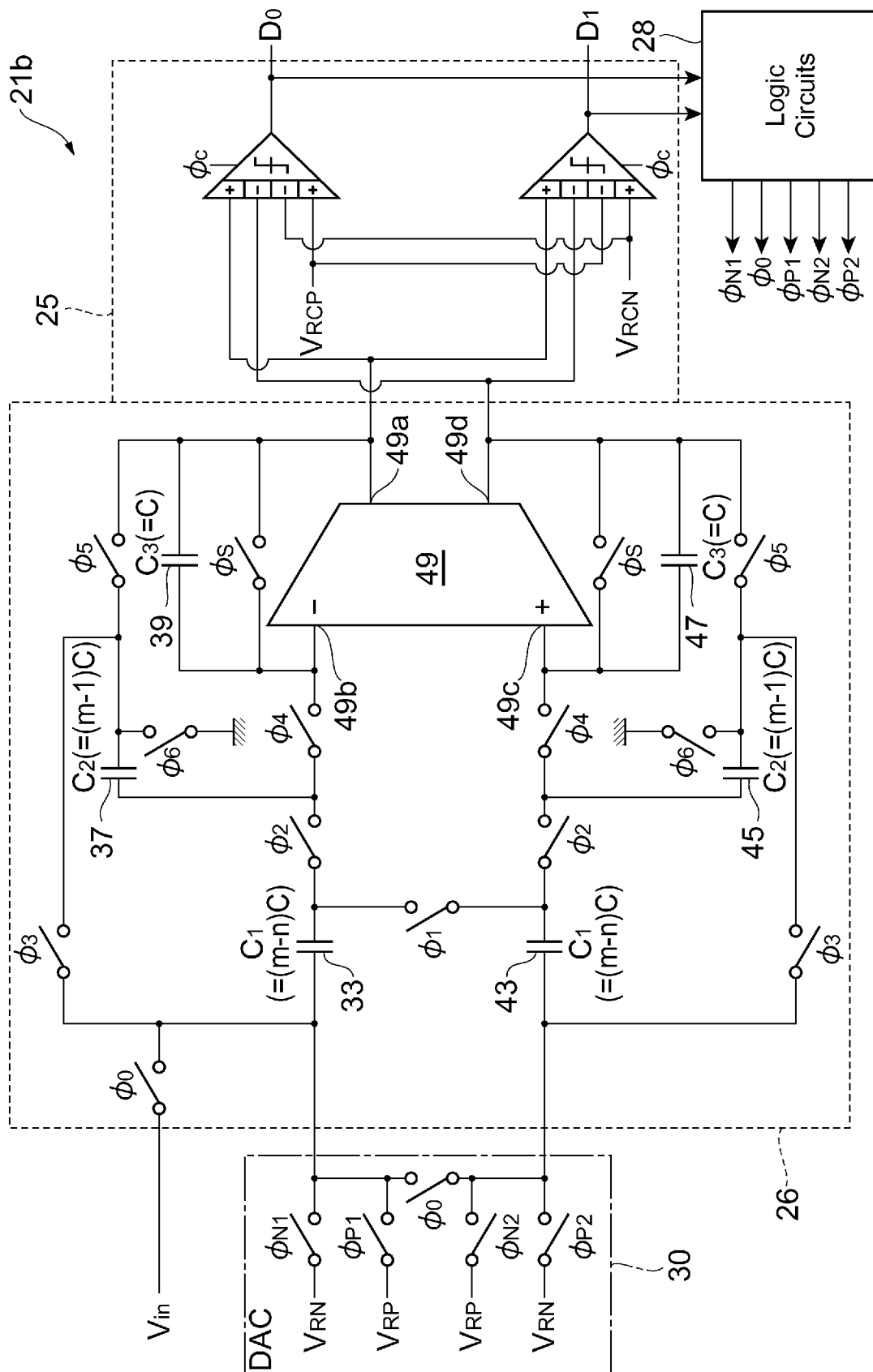
(h)



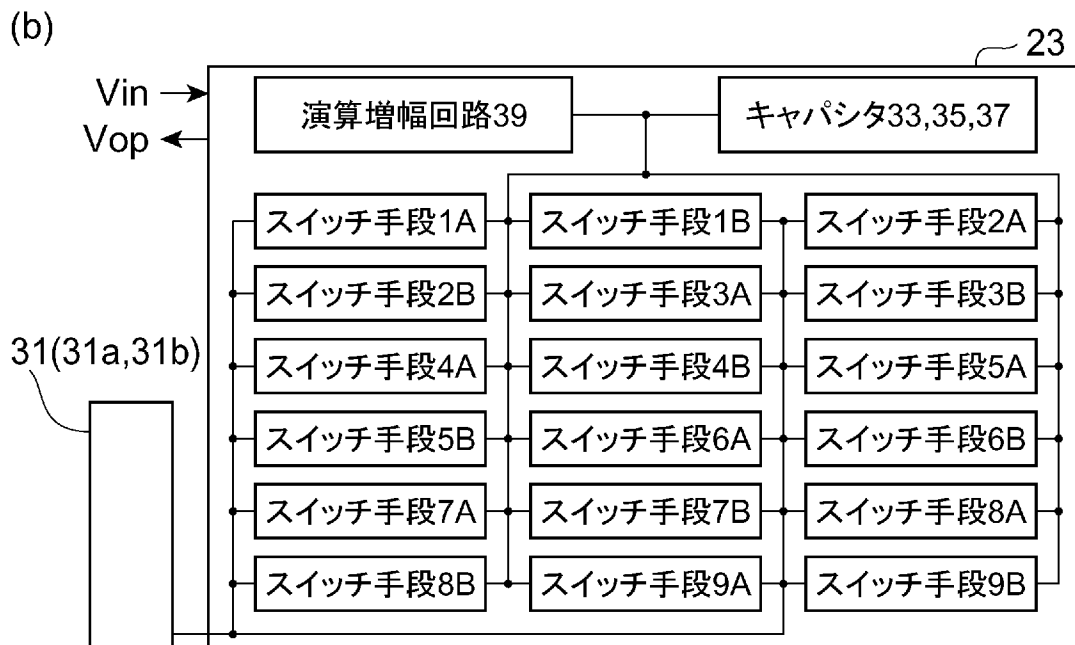
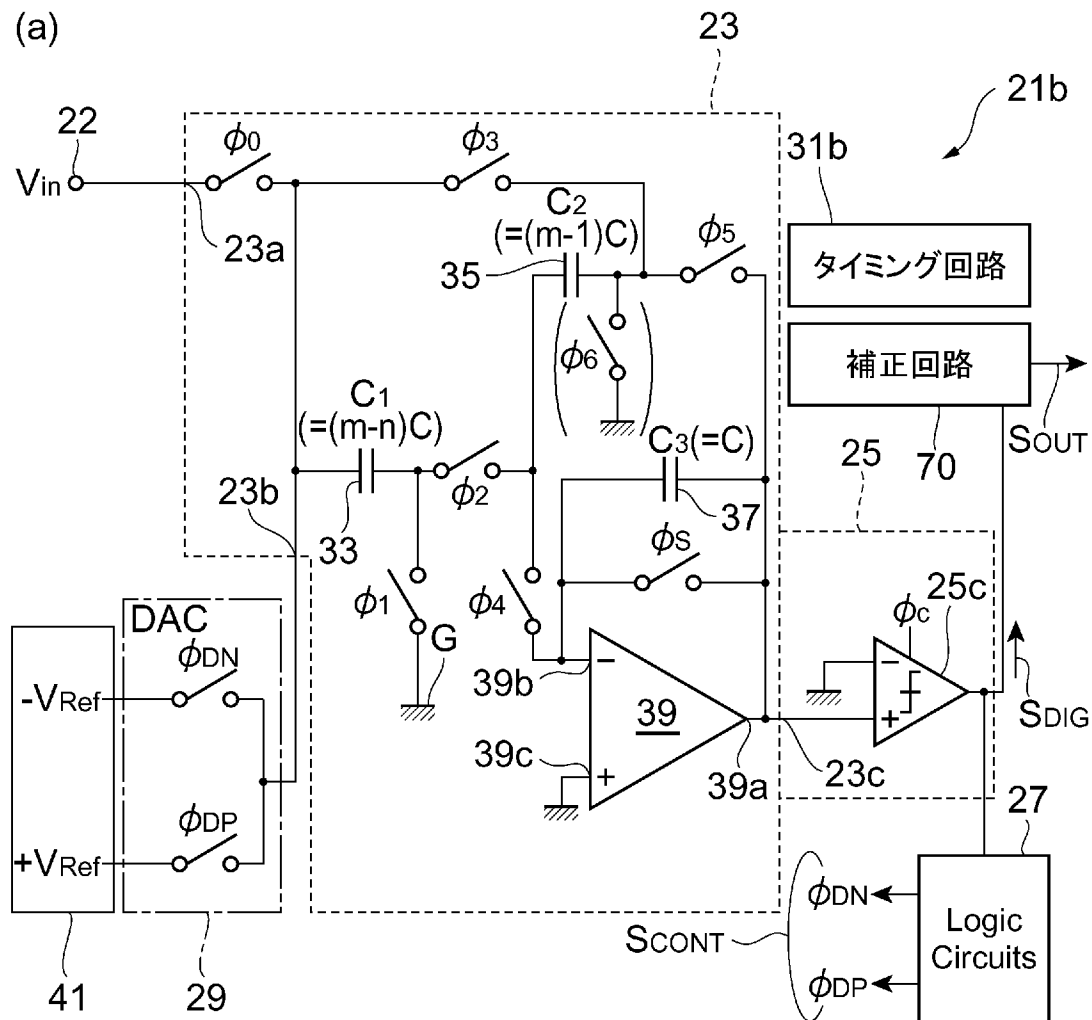
(i)



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050148

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/14(2006.01) i, H03M1/08(2006.01) i, H03M1/40(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-104531 A (National University Corporation Shizuoka University), 19 April, 2007 (19.04.07), Full text; all drawings (Family: none)	1-13
A	JP 2005-136540 A (National University Corporation Shizuoka University), 26 May, 2005 (26.05.05), Full text; all drawings & US 7345615 B2 & EP 1679798 A1 & WO 2005/041419 A1	1-13
A	JP 5-56356 A (Olympus Optical Co., Ltd.), 05 March, 1993 (05.03.93), Par. Nos. [0017] to [0019]; Fig. 5 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 January, 2009 (23.01.09)

Date of mailing of the international search report
03 February, 2009 (03.02.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M1/14(2006.01)i, H03M1/08(2006.01)i, H03M1/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2007-104531 A (国立大学法人静岡大学) 2007.04.19, 全文, 全図 (ファミリーなし)	1 - 1 3
A	JP 2005-136540 A (国立大学法人静岡大学) 2005.05.26, 全文, 全図 & US 7345615 B2 & EP 1679798 A1 & WO 2005/041419 A1	1 - 1 3
A	JP 5-56356 A (オリンパス光学工業株式会社) 1993.03.05, 段落【0017】 - 【0019】, 図5 (ファミリーなし)	1 - 1 3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 1 . 2 0 0 9

国際調査報告の発送日

0 3 . 0 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗栖 正和

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

3 9 8 7