

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-69217

(P2012-69217A)

(43) 公開日 平成24年4月5日(2012.4.5)

(51) Int.Cl.

G11C 13/00 (2006.01)

F I

G11C 13/00

A

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2010-213800 (P2010-213800)
 (22) 出願日 平成22年9月24日 (2010.9.24)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (74) 代理人 100106389
 弁理士 田村 和彦
 (72) 発明者 細野 浩司
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

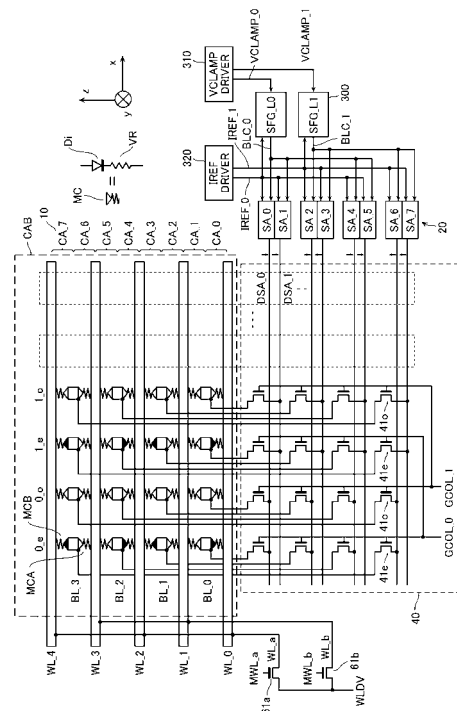
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】層毎に電気的特性差が異なる多層構造であっても誤動作を回避し、安定して動作する不揮発性半導体記憶装置を提供する。

【解決手段】不揮発性半導体記憶装置は、複数の第1の配線、これら第1の配線と交差する複数の第2の配線、並びに第1及び第2の配線の交差部で両配線間に接続された電気的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルをマトリクス配列してなるセルアレイ層を複数積層してなる三次元セルアレイブロックと、メモリセルの電気的特性が共通する一又は複数のセルアレイ層を同一のグループとしてグループ毎に設定された条件でメモリセルからデータを読み出す読み出し制御回路とを有する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の第 1 の配線、これら第 1 の配線と交差する複数の第 2 の配線、並びに前記第 1 及び第 2 の配線の交差部で両配線間に接続された電氣的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルをマトリクス配列してなるセルアレイ層を複数積層してなる三次元セルアレイブロックと

前記メモリセルの電氣的特性が共通する一又は複数のセルアレイ層を同一のグループとしてグループ毎に設定された条件で前記メモリセルからデータを読み出す読み出し制御回路と

を有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記読み出し制御回路は、

前記メモリセルからのデータの読み出し時に、前記第 1 の配線及び前記第 2 の配線の少なくとも一方に前記グループ毎に設定された読み出しレベル電圧を供給する読み出しレベル制御回路

を有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記三次元セルアレイブロックは、積層方向に隣接するセルアレイ層で前記第 1 の配線又は前記第 2 の配線を共有すると共に前記非オーミック素子の順バイアス方向が逆向きとなるように形成され、

前記読み出し制御回路は、順バイアス方向が共通する前記非オーミック素子を同一の前記グループとして読み出し制御する

ことを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記読み出し制御回路は、前記データ読み出しの際に、同一の前記グループに分類された複数の前記メモリセルに対する読み出しが終了してから別の前記グループに分類された複数の前記メモリセルに対する読み出しを行う事を特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

前記読み出し制御回路は、

前記メモリセルからのデータの読み出し時に、前記第 1 の配線及び前記第 2 の配線の一方で且つ読み出し対象となるメモリセルに接続される配線に前記グループ毎に設定された読み出しレベル電圧を供給すると共に、前記第 1 の配線及び前記第 2 の配線の他方で且つ読み出し対象となるメモリセルに接続されない配線に前記グループ毎に設定された非選択レベル電圧を供給する

ことを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、不揮発性半導体記憶装置に関する。

【背景技術】**【0002】**

近年、フラッシュメモリの後継候補として、記憶素子に可変抵抗素子を用いる抵抗変化メモリ装置が注目されている。ここで、抵抗変化メモリ装置には、遷移金属酸化物を記録層としてその抵抗値状態を不揮発に記憶する狭義の抵抗変化メモリ (ReRAM: Resistive RAM) の他、カルコゲナイド等を記録層として用いてその結晶状態 (導体) と非晶質状態 (絶縁体) の抵抗値情報を利用する相変化メモリ (PCRAM: Phase Change RAM) 等も含むものとする。

【0003】

10

20

30

40

50

抵抗変化メモリ装置のメモリセルには、2種類の動作モードがあることが知られている。1つは、印加電圧の極性を切り替えることにより、高抵抗状態と低抵抗状態とを設定するもので、これはバイポーラ型といわれる。もう1つは、印加電圧の極性を切り替えることなく、電圧値と電圧印加時間を制御することにより、高抵抗状態と低抵抗状態の設定を可能とするもので、これはユニポーラ型といわれる。

【0004】

高密度メモリセルアレイを実現するためには、ユニポーラ型が好ましい。ユニポーラ型の場合、トランジスタを用いることなく、ビット線及びワード線の交差部に可変抵抗素子とダイオード等の整流素子とを重ねることにより、セルアレイが構成できるからである。さらに、このようなメモリセルアレイを三次元的に積層配列することにより、セルアレイ面積を増大させることなく、大容量を実現することが可能になる。

10

【0005】

ユニポーラ型のReRAMの場合、メモリセルに対するデータの書き込みは、可変抵抗素子に所定の電圧を短時間印加することにより行う。これにより、可変抵抗素子が高抵抗状態から低抵抗状態へと変化する。以下、この可変抵抗素子を高抵抗状態から低抵抗状態へ変化させる動作をセット動作という。一方、メモリセルに対するデータの消去は、セット動作後の低抵抗状態の可変抵抗素子に対し、セット動作時よりも低い所定の電圧を長時間印加することにより行う。これにより、可変抵抗素子が低抵抗状態から高抵抗状態へと変化する。以下、この可変抵抗素子を低抵抗状態から高抵抗状態へ変化させる動作をリセット動作という。メモリセルは、例えば高抵抗状態を安定状態(リセット状態)とし、2値データ記憶であれば、リセット状態を低抵抗状態に変化させるセット動作によりデータの書き込みを行う。

20

【0006】

メモリセルの読み出し動作は、可変抵抗素子に所定の電圧を与え、可変抵抗素子を介して流れる電流を差動増幅器にてモニターすることにより行う。この読み出し動作により、可変抵抗素子が低抵抗状態にあるか高抵抗状態にあるかを判定する。このような半導体記憶装置においては、層毎に電気的特性が異なる多層構造であっても、読み出し動作により各層の選択メモリセルから確実にデータを読み出すことが求められる。

【先行技術文献】

【特許文献】

30

【0007】

【特許文献1】特開2010-61728号

【特許文献2】特開2009-9657号

【特許文献3】特開2008-59742号

【特許文献4】特開2010-20863号

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、層毎に電気的特性が異なっても、安定した読み出し動作が可能な不揮発性半導体記憶装置を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

実施形態に係る不揮発性半導体記憶装置は、複数の第1の配線、これら第1の配線と交差する複数の第2の配線、並びに第1及び第2の配線の交差部で両配線間に接続された電気的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルをマトリクス配列してなるセルアレイ層を複数積層してなる三次元セルアレイブロックと、メモリセルの電気的特性が共通する一又は複数のセルアレイ層を同一のグループとしてグループ毎に設定された条件でメモリセルからデータを読み出す読み出し制御回路とを有している。

【図面の簡単な説明】

50

【 0 0 1 0 】

【 図 1 】 第 1 の実施の形態の半導体記憶装置の制御回路を示すブロック図である。

【 図 2 】 第 1 の実施の形態の半導体記憶装置のメモリコア部を構成するバンクを示す回路図である。

【 図 3 】 比較例の半導体記憶装置の読み出し動作を示すタイミングチャートである。

【 図 4 】 比較例の不揮発性半導体記憶装置における読み出し動作時におけるメモリセルアレイを示す等価回路図である。

【 図 5 】 比較例の不揮発性半導体記憶装置におけるメモリセルの電流 - 電圧特性を示すグラフである。

【 図 6 】 第 1 の実施の形態の半導体記憶装置の読み出し動作を示すタイミングチャートである。

10

【 図 7 】 第 1 の実施の形態の不揮発性半導体記憶装置における読み出し動作時におけるメモリセルアレイを示す等価回路図である。

【 図 8 】 第 1 の実施の形態の不揮発性半導体記憶装置におけるメモリセルの電流 - 電圧特性を示すグラフである。

【 図 9 】 第 1 の実施の形態の半導体記憶装置の制御回路を示す回路図である。

【 図 1 0 】 第 2 の実施の形態の半導体記憶装置のメモリコア部を構成するバンクを示す回路図である。

【 図 1 1 】 第 2 の実施の形態の不揮発性半導体記憶装置における読み出し動作時における非選択ワード線に対する印加電圧と印加タイミングを示す図である。

20

【 図 1 2 】 第 3 の実施の形態の半導体記憶装置のメモリコア部を構成するバンクを示す回路図である。

【 発明を実施するための形態 】

【 0 0 1 1 】

以下、添付した図面を参照して本発明の実施の形態について説明する。本実施の形態において、半導体記憶装置はメモリセルに可変抵抗素子を用いた抵抗変化メモリ装置として説明する。しかし、この構成はあくまでも一例であって、本発明がこれに限定されるものでないことは言うまでもない。

【 0 0 1 2 】

[第 1 の実施の形態]

30

(第 1 の実施の形態に係る半導体記憶装置の構成)

図 1 は、第 1 の実施の形態に係る半導体記憶装置を示すブロック図である。

【 0 0 1 3 】

半導体記憶装置は、メモリコア部 1 と、このメモリコア部 1 に対するデータのリード/ライトを制御する周辺回路 2 とを有する。

【 0 0 1 4 】

メモリコア部 1 は、複数のバンク 1 0 0 (B a n k _ 0 ~ B a n k _ m) から構成されている。各バンク 1 0 0 は、複数のメモリセルアレイ 1 0 を有する。これらメモリセルアレイ 1 0 は、積層されて三次元セルアレイブロックを構成している。各メモリセルアレイ 1 0 は、複数のビット線 B L、これらビット線 B L と直交するワード線 W L、及びビット線 B L 及びワード線 W L の交差部で両配線間に接続されたメモリセル M C を有する。各バンク 1 0 0 において複数のメモリセルアレイ 1 0 は、これらに共通に設けられたカラムデコード 4 0 によってビット線 B L が選択される。カラムデコード 4 0 は、ビット線 B L を、センスアンプ 2 0 及びラッチ 3 0 に選択的に接続する。複数のセンスアンプ 2 0 はそれぞれ読み出されたデータを検出し、複数のラッチ 3 0 は読み出されたデータ及び書き込みデータを一時保持する。センスアンプ 2 0 及びラッチ 3 0 も、複数のメモリセルアレイ 1 0 により共有されている。カラムデコード 4 0 は、例えば 1 6 本のビット線 B L を同時選択するデコード回路及びビット線スイッチ回路からなるカラム回路ユニットを複数個備える。

40

【 0 0 1 5 】

50

ラッチ 30 は、周辺回路 2 のページバッファ 200 に接続されており、読み出し動作時や書き込み動作時にセンスアンプ 20 とページバッファ 200 の間で送受信される読み出しデータや書き込みデータを一時保持する。ページバッファ 200 は、データ処理の単位となる 1 ページのデータ（例えば 2 k バイト）を一時的に保持できるデータレジスタである。ページバッファ 200 に複数ページ分のデータが保持されるように構成すると、ページバッファ 200 をキャッシュメモリとして機能させることも可能である。

【 0016 】

また、各バンク 100 において、複数のメモリセルアレイ 10 は、これらに共通に設けられたメインロウデコード 50 及びそれぞれのメモリセルアレイ 10 に設けられたサブロウデコード 60 によって、ワード線 WL が選択されるように構成されている。すなわち、ロウデコードは、複数のメモリセルアレイ 10 により共有されるメインロウデコード 50 と、各メモリセルアレイ 10 に付随するサブロウデコード 60 との階層構造とされている。この階層構造のロウデコードによりワード線選択が行われる。選択ワード線 WL には所定の選択ワード線電圧、非選択ワード線 WL には所定の非選択ワード線電圧がそれぞれワード線駆動回路 70 から印加される。

10

【 0017 】

周辺回路 2 は、データ入出力バッファ 110、入出力制御回路 120、アドレスレジスタ 130、コマンドレジスタ 140、動作制御回路 150、パラメータレジスタ 160、内部電圧生成回路 170、コア制御バッファ 180、リダンダンシアドレスレジスタ 190、及びページバッファ 200 を含む。

20

【 0018 】

データ入出力バッファ 110 は、I/O パッドに接続されて、この半導体記憶装置に対するデータの入出力を行う。図 1 に示す回路構成では、半導体記憶装置の動作に供されるコマンド、アドレス、及びデータがすべて I/O パッドから与えられるマルチプレクス方式が示されている。例えば、データを書き込む場合には、データ書き込みコマンド、選択メモリセル MC の場所を示すアドレス、及び書き込むデータが、データ入出力バッファ 110 を介して半導体記憶装置に与えられる。また、データを読み出す場合には、データ読み出しコマンド、選択アドレスが半導体記憶装置に与えられる。これらのコマンド、アドレスに基づきメモリコア部 1 からページバッファ 200 に読み出しデータが格納された後、データ入出力バッファ 110 を介して外部にデータが出力される。

30

【 0019 】

入出力制御回路 120 は、I/O パッドから入出力されるデータ等の識別や、データ出力を制御する。入出力制御回路 120 には外部からライトイネーブル信号、リードイネーブル信号、コマンドラッチイネーブル信号、アドレスラッチイネーブル信号等の各種の制御信号が与えられている。入出力制御回路 120 は、これらの各信号の状態の組み合わせ、及びタイミングの規定に基づいて、入出力データを制御する。

【 0020 】

入出力制御回路 120 は、コマンド入力時にはデータ入出力バッファ 110 から入力されるデータをコマンドと認識して、コマンドレジスタ 140 に格納する。同様に、入出力制御回路 120 は、アドレス入力時には入力されるデータをアドレスと認識して、アドレスレジスタ 130 に格納する。入出力制御回路 120 は、データ入力時には入力されるデータをページバッファ 200 に格納し、データ出力時には逆にページバッファ 200 がデータを出力できる状態にする。また、入出力制御回路 120 は、リダンダンシアドレスレジスタ 190 との間で、カラムリダンダンシーセルやロウリダンダンシーセルへのアクセス制御に必要な救済・置換アドレスをやりとりしたり、パラメータレジスタ 160 との間で、電圧設定パラメータ等の種々の制御パラメータをやりとりしたりする。なお、図示は省略するが、入出力制御回路 120 は、半導体記憶装置の動作状態を示すステータスの出力制御や、ID コード出力等を司る構成としても良い。

40

【 0021 】

読み出し動作時には、コマンドが入力されて内部制御クロックが起動されるとともに、

50

動作制御回路150が動作を開始する。また、種々の動作に応じた内部電圧を発生する内部電圧制御回路170も起動する。読み出し動作時には、動作制御回路150はメモリコア部1で所望の読み出し動作が行われるように、ワード線WLやビット線BLの充放電、センスアンプ20のプリチャージやセンス動作を制御するタイミング信号をコア制御バッファ180に出力する。また、内部電圧制御回路170も、メモリコア部1及びコア制御バッファ180に所定の電圧を供給する。

【0022】

ここで、コア制御バッファ180は各バンクBank__0~Bank__mに対応して設けられているため、同時に動作させるバンク100を自在に制御することができる。例えば、読み出し動作や書き込み動作のデータ処理速度を上げる場合には、同時に活性化させるバンク100の数を増やせばよい。動作によっては、消費電流が非常に大きくなるので、同時に活性化させるバンク100の数を増やしたり減らしたりすることも可能である。

10

【0023】

図2は、本実施の形態に係る半導体記憶装置のメモリコア部1を構成する各バンク100の一部を示す図である。本実施形態では、ユニポーラ型の抵抗変化メモリ装置の例を示している。ユニポーラ型の抵抗変化メモリ装置は、図2に示すように、互いに交差するビット線BL及びワード線WLの各交差部に、整流素子、例えばダイオードDiと可変抵抗素子VRとが直列接続された抵抗変化型の単位メモリセルMCを配置する。

【0024】

可変抵抗素子VRは、例えば、電極/遷移金属酸化物/電極からなる構造を有するもの等であり、電圧、電流、熱等の印加条件により金属酸化物の抵抗値変化をもたらし、その抵抗値の異なる状態を情報として不揮発に記憶する。この可変抵抗素子VRとしては、より具体的には、カルコゲナイド等のように結晶状態と非晶質状態の相転移により抵抗値を変化させるもの(PCRAM)、金属陽イオンを析出させて電極間に架橋(コンタクティングブリッジ)を形成したり、析出した金属をイオン化して架橋を破壊したりすることで抵抗値を変化させるもの(CBRAM: Conductive Bridging RAM)、電圧あるいは電流印加により抵抗値が変化するもの(ReRAM)(電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるものと、酸素欠損等に起因する伝導パスの存在の有無により抵抗変化が起きるものとに大別される。)等を用いることができる。

20

【0025】

メモリセルMCがユニポーラ型のReRAMであるとした場合、メモリセルMCに対するデータの書き込みは、可変抵抗素子VRに例えば3.5V(ダイオードDiの電圧降下分を含めると実際には4.5V程度)の電圧、10nA程度の電流を10ns-100ns程度の時間印加することにより行う。これにより、可変抵抗素子VRが高抵抗状態から低抵抗状態へと変化する(セット動作)。

30

【0026】

一方、メモリセルMCに対するデータの消去は、セット動作後の低抵抗状態の可変抵抗素子VRに対し、0.8V(ダイオードDiの電圧降下分を含めると実際には1.8V程度)の電圧、1μA-10μA程度の電流を500ns-2μs程度の時間印加することにより行う。これにより、可変抵抗素子VRが低抵抗状態から高抵抗状態へと変化する(リセット動作)。

40

【0027】

メモリセルMCの読み出し動作は、可変抵抗素子VRに0.4V(ダイオードDiの電圧降下分を含めると実際には1.4V程度)の電圧を与え、可変抵抗素子VRを介して流れる電流をセンスアンプ20にてモニターすることにより行う。これにより、可変抵抗素子VRが低抵抗状態にあるか高抵抗状態にあるかを判定する。この読み出し動作については、後述する実施の形態において詳細に説明する。

【0028】

ここでは一例として、ダイオードDiのアノード側につながる信号線をビット線BLとし、カソード側につながる信号線をワード線WLとしているが、接続極性はこれに限定さ

50

れるものではない。また、ダイオード D_i と可変抵抗素子 V_R の直列接続によるメモリセル M_C を、図示の記号で表している。以下の例でも同様である。ここで、メモリセル M_C を構成するダイオード D_i 及び可変抵抗素子 V_R の配置、極性も、図示のものに限定されない。図 2 に示すメモリセルアレイ 10 は、ビット線 B_L の長手方向（図 2 に示す y 方向、図面の手前から奥に向かう向き）に例えば $4k$ 個、ワード線 W_L の長手方向（図 2 に示す x 方向）に例えば $1k$ 個のメモリセル M_C が配置されて構成されている。このメモリセルアレイ 10 が、ビット線 B_L 及びワード線 W_L に直交する方向（図中 z 方向）にセルアレイ層 $CA_0 \sim CA_7$ として複数層積み重ねられて三次元セルアレイブロック CAB が構成されている。また、この実施形態では、隣接するメモリセルアレイ層 CA_i 、 $CA_i + 1$ 間でビット線 $B_L_i / 2$ 又はワード線 $W_L_i / 2$ が共有されている。このように、ビット線 B_L 及びワード線 W_L は交互に配置されているため、共通のワード線 W_L に接続されているメモリセル M_C のダイオード D_i は、互いに逆向きに電流を流すように形成されている。

10

【0029】

この様に構成された本実施形態に係る半導体記憶装置を製造する際には、例えば、ダイオード D_i の順バイアス方向を層毎に逆転させながら、各層を積み上げていく。このような方法で製造されたメモリセル M_C においては、電流が下向き（図 2 に示す $-z$ 軸方向）に流れる構成のものと同向き（図 2 に示す $+z$ 軸方向）に流れるような構成のものとの間で、製造条件が異なるために、電気的特性に差が生じる。ここでは、このように電気的特性が同じ傾向のセルアレイ層 CA_i 同士をグループ化するため、例えば電流が下向きに流れるセルアレイ層 CA_0 、 CA_2 、 CA_4 、 CA_6 をグループ A に、上向きに流れるセルアレイ層 CA_1 、 CA_3 、 CA_5 、 CA_7 をグループ B に分類する。また、グループ A に属するメモリセルを MCA 、グループ B に属するメモリセルを MCB と呼ぶ。

20

【0030】

偶数番目のワード線 W_L_0 、 W_L_2 、及び W_L_4 、並びに奇数番目のワード線 W_L_1 及び W_L_3 は、それぞれ配線 W_L_a 及び W_L_b に共通接続されており、これら配線 W_L_a 及び W_L_b はワード線選択スイッチ $61a$ 、 $61b$ でいずれか一方が選択されてワード線駆動回路 70 に接続されるようになっている。ワード線選択スイッチ $61a$ 、 $61b$ は、ロウアドレスをデコードするメインロウデコーダ 50 から出力されるメインワード線信号 MWL_a 及び MWL_b によって駆動される。

30

【0031】

また、ビット線 B_L はカラムデコーダ 40 によって駆動されるビット線選択スイッチ $41e$ 、 $41o$ を介してセンスアンプ 20 と接続されている。センスアンプ 20 は、ビット線 B_L の層数 \times 同時選択するカラム数だけ設けられている。図示の例では、ビット線 $B_L_0 \sim B_L_3$ の数が 4、同時選択するカラム数が 2 であるから、8 つのセンスアンプ $SA_0 \sim SA_7$ が設けられている。センスアンプ $SA_0 \sim SA_7$ は、8 つの偶数カラム用のビット線選択スイッチ $41e$ をそれぞれ介して偶数カラム 0_e 、 1_e のビット線 $B_L_0 \sim B_L_3$ に接続されると共に、8 つの奇数カラム用のビット線選択スイッチ $41o$ をそれぞれ介して奇数カラム 0_o 、 1_o のビット線 $B_L_0 \sim B_L_3$ に接続される。偶数カラム用のビット線選択スイッチ $41e$ と奇数カラム用のビット線選択トランジスタ $41o$ は、それぞれ、カラム制御信号 $GCOL_0$ 、 $GCOL_1$ によって交互に駆動される。

40

【0032】

センスアンプ 20 のうち、 SA_0 、 SA_1 、 SA_4 、及び SA_5 は、一つのグループを構成し、 SA_2 、 SA_3 、 SA_6 、及び SA_7 は、他の一つのグループを構成する。前者には、基準電流発生回路 320 からレファレンス電流 $IREF_0$ が入力され、ビット線電圧制御回路 300 のうち SFG_L0 からビット線クランプ電圧 BL_0 が供給され、後者には、基準電流発生回路 320 からレファレンス電流 $IREF_1$ が入力され、ビット線電圧制御回路 300 のうち SFG_L1 からビット線クランプ電圧

50

BL₁が供給されている。また、ビット線電圧制御回路300には、クランプ電圧発生回路310からクランプ電圧VCLAMP₀、VCLAMP₁がそれぞれ供給されている。

【0033】

(第1の実施の形態に係る半導体記憶装置の動作)

次に、このように構成された半導体記憶装置における読み出し動作について説明する。

【0034】

この実施の形態では、図2に示すセルアレイブロックCABのうち、ワード線WL₀、WL₂及びWL₄が選択ワード線である場合、グループAに属するセルアレイ層CA₀及びCA₄と、グループBに属するセルアレイ層CA₃及びCA₇を同時アクセス対象のセルアレイ層とする。また、ワード線WL₁及びWL₃が選択ワード線である場合、グループAに属するセルアレイ層CA₂及びCA₆と、グループBに属するセルアレイ層CA₁及びCA₅が同時アクセス対象のセルアレイ層となる。これらのセルアレイ層では、偶数カラムと奇数カラムとが交互に選択される。図中黒く塗られているメモリセルMCは、あるタイミングで同時選択されるメモリセルMCの組み合わせを示している。

10

【0035】

次に、選択メモリセルMCからデータを読み出す動作の説明に先立ち、動作の理解のため、まず比較例の読み出し動作を図3～図5に基づき説明する。

【0036】

選択メモリセルMCからデータを読み出す場合、例えば図3に示すように、メモリセルアレイ10の非選択ワード線WLには、1.5V程度の非選択ワード線電圧VUXが印加され、選択ワード線WLには、0.5V程度の選択ワード線電圧Vwl_{sel}が印加され、非選択ビット線BLには、0.5V程度の非選択ビット線電圧VUBが印加される。この状態で、選択ビット線BLには、1.5V程度の選択ビット線電圧Vbl_{sel}が印加される。これにより、例えば図4に示すように、選択ビット線BLに接続された非選択メモリセルMC₃、MC₄には、選択ビット線電圧Vbl_{sel}と非選択ワード線電圧VUXの差の電圧に応じたリーク電流IL_{lea}_a、IL_{lea}_bが流れ、同時選択されたメモリセルMC₁、MC₂には、可変抵抗素子VRの抵抗値に応じたセル電流Ic_a、Ic_bが流れる。しかし、メモリセルMC₁、MC₂は、それぞれグループAに属するメモリセルMCA及びグループBに属するメモリセルMCBであるから、電気的特性が互いに異なっている。例えばメモリセルMCAがメモリセルMCBよりも電流を流し易い特性を有している場合、両者が共にセット状態であっても、メモリセルMCAに流れる電流Ic_aがメモリセルMCBに流れる電流Ic_bよりも大きくなる。

20

30

【0037】

このことを図示したのが図5である。横軸をビット線BL-ワード線WL間電圧、縦軸をセル電流として、実線のカーブは、メモリセルMCAのセット状態における電圧-電流特性の最小値及び最大値を示し、点線のカーブは、メモリセルMCBのセット状態における電圧-電流特性の最小値及び最大値を示している。また、一点鎖線は、それぞれメモリセルMCA、MCBのリセット状態における電圧-電流特性を示している。ビット線BLにビット線電圧Vbl_{sel}を印加したときに、基準電流IREFよりも大きな電流が流れるかどうかで、メモリセルMCがセット状態であるか、リセット状態であるかを判断することができる。しかし、両メモリセルMCA、MCBにつながるビット線BLに同一のビット線電圧Vbl_{sel}を印加した場合、セル電流は、メモリセルMCAでa₁～a₂までばらつき、メモリセルMCBでb₁～b₂までばらつく。このため、最も大きなセル電流a₁が流れるメモリセルMCAでは、電流が流れすぎてセル状態が変化する誤書き込みが発生する可能性がある。また、最も小さな電流b₂が流れるメモリセルMCBでは、基準電流IREFの設定値によっては誤読み出しが生じる可能性がある。

40

【0038】

そこで、この実施形態では、このような電流値のバラつきを生じさせない読み出し動作

50

を行うようにしている。以下、図6～図8を参照して本実施形態における読み出し動作を説明する。

【0039】

本実施形態では、図6に示すように、メモリセルMCAに接続されるビット線BLに印加される選択ビット線電圧 $V_{b1_sel_a}$ と、メモリセルMCBに接続されるビット線BLに印加される選択ビット線電圧 $V_{b1_sel_b}$ とを異なる電圧とする。なお、図示の例は、説明を簡単にするため、非選択ワード線電圧 V_{UX} 及び選択ワード線電圧 V_{w1_sel} が印加されている状態で、選択ビット線電圧 $V_{b1_sel_a}$ 、 $V_{b1_sel_b}$ が1カラム分だけ選択されている様子を示しているが、実際には、非選択ワード線電圧 V_{UX} 及び選択ワード線電圧 V_{w1_sel} が印加されている状態で、選択ビット線BLを順次切り替えて、切り換えられた選択ビット線BLに、選択ビット線電圧 $V_{b1_sel_a}$ 、 $V_{b1_sel_b}$ を順次印加して行く。

10

【0040】

このような電圧印加方法により、図7に示すように、選択メモリセルMCA、MCBに流れるセル電流 I_{c_a} 、 I_{c_b} をほぼ等しくすることができる。このことを図示したのが図8である。メモリセルMCAに印加するビット線-ワード線間電圧を電圧 $V_{b1_sel_b}$ から V_{b1} だけ小さくした電圧 $V_{b1_sel_a}$ に設定することで、セル電流を $a1 - a2$ の範囲から $a1 - a2$ の範囲に引き下げることができ、結果として、メモリセルMCA、MCBのセル電流のバラつきが縮小される。

20

【0041】

なお、図3及び図6に示される電流 I_L は、後述するように基準電流 I_{REF} をミラーリングした参照電流で両者は同一である。また、図2の例では、基準電流についても2種類の基準電流 I_{REF_0} 、 I_{REF_1} を選択してセル電流の判定を行うようにしているが、1種類でも良い。

【0042】

(第1の実施形態に係る半導体記憶装置のセンスアンプ周辺の具体的回路例)

次に、上述した選択ビット線電圧 $V_{b1_sel_a}$ 、 $V_{b1_sel_b}$ を発生させるセンスアンプ周辺の回路の詳細を、図9を参照しながら説明する。

【0043】

図9に示すように、ビット線電圧制御回路300は、クランプ電圧発生回路310から供給されるクランプ電圧 V_{CLAMP_i} を非反転入力端子に入力する差動増幅器303を有する。この差動増幅器303の反転入力端子には、基準電流 I_{REF_i} を入力とし、参照電流 I_L を出力とするトランジスタ301a、301bからなるカレントミラー回路の基準電流 I_L の出力端の電圧が入力されている。差動増幅器303の出力端は、トランジスタ302のゲートに接続され、トランジスタ302のソースは、差動増幅器303の反転入力端子に接続され、トランジスタ302のドレインには、 V_{SEL} が印加されている。一方、差動増幅器303の出力電圧 BLC_i は、センスアンプSA0のクランプトランジスタ21のゲートにも供給されているので、クランプトランジスタ21は、ビット線BL側に参照電流 I_L を流しつつ、ビット線BL側の電圧がクランプ電圧 V_{CLAMP_i} に制限されるような出力電圧 DSA_0 を出力する。クランプ電圧発生回路310に供給されるクランプ電圧 V_{CLAMP_i} がクランプ電圧 V_{CAMP_0} である場合、この出力電圧 DSA_0 が、選択ビット線電圧 $V_{b1_sel_a}$ となる。一方、クランプ電圧 V_{CLAMP_i} がクランプ電圧 V_{CLAMP_1} に変更されることにより、選択ビット線電圧は $V_{b1_sel_b}$ に切り替わる。

30

40

【0044】

センスアンプSA0～SA n からの出力 DSA_0 ～ DSA_n は、それぞれビット線スイッチ41を介して選択ビット線BLに接続される。ビット線スイッチ41とセンスアンプ20の間にマルチプレクサ42を設けることもできる。マルチプレクサ42は、回路構成に合わせて適切な形で導入することができる。例えば、カラムデコーダ40により同時に選択されるビット線BLの数が、センスアンプ20の数よりも多い場合、センス

50

アンプ 20 に接続されるビット線グループを選択する必要が生じる。そのような場合に、マルチプレクサ 42 が必要とされる。

【0045】

センスアンプ 20 は、上述したクランプトランジスタ 21 の他、カレントミラー回路 22、差動増幅器 23、センスデータラッチ 24、放電トランジスタ 25、及びイコライズトランジスタ 26 を備える。クランプトランジスタ 21 は、信号線 DSA に一端が接続され、他端は差動増幅器 23 の非反転入力端子（センスノード NSEN）に接続されている。差動増幅器 23 の反転入力端子には、データ判定のための参照電圧 VREF_SA が供給されている。センスノード NSEN と、差動増幅器 23 の反転入力端子の間にはイコライズトランジスタ 26 が接続されている。イコライズトランジスタ 26 は、信号 EQn が “L” 状態のとき導通してセンスノード NSEN の電圧を参照電圧 VREF_SA と等しくする。参照電圧 VREF_SA を出力する参照電圧駆動回路 181 は、例えば、図 1 に示すコア制御バッファ 180 に含まれている。

10

【0046】

信号線 DSA と VUB 端子（0V ~ ダイオードの順方向電圧 Vf（~ 0.6V 程度）が印加される端子）との間には、放電トランジスタ 25 が接続されている。放電トランジスタ 25 は、短絡信号 BLDIS をゲートに入力されることにより、信号線 DSA を VUB 端子の電位 VUB（又は接地電位）に放電する機能を有する。ビット線プリチャージの補助のため、図 9 中の破線で示す PMOST トランジスタ 27a、27b を付け加えることもできる。トランジスタ 27a、27b は、信号 PRECHGna 及び SW_0 が “L” 状態のとき、ビット線 BL を電圧 VCLAMP_i に充電する。

20

【0047】

また、センスノード NSEN には、電流源回路 22a、PMOST トランジスタ 22b、22c、22d、22e からなるカレントミラー回路 22 が接続されている。カレントミラーの電源として接続されている VSEL には、ビット線 BL の設定レベルより必要十分に高い所定の電圧が印加される。また、電流源回路 22a によりカレントミラー回路 22 に基準電流 IREF_i が供給されている。信号 SW_0 及び信号 PRECHGns が “L” 状態のとき、カレントミラー回路 22 はセンスノード NSEN に所定の電流を流す。カレントミラー回路 22 は、読み出し動作時には、読み出し用の参照電流 IL をセンスノード NSEN へと流す。

30

【0048】

センスアンプ 20 の基本的な動作は、次の通りである。すなわち、ビット線 BL の電圧をクランプトランジスタ 21 でクランプしながら、選択メモリセル MC_0 にセル電流 Ic_0 を流す。センスノード NSEN にはカレントミラー回路 22 から参照電流 IL が流し込まれている。このセル電流 Ic_0 と参照電流 IL の差分によるセンスノード NSEN の電圧の変化を差動増幅器 23 により判定する。

【0049】

差動増幅器 23 の出力信号 out_0 は、センスデータラッチ 24 に取り込まれる。センスデータラッチ 24 は、信号 STRBn に基づいて差動増幅器 23 の出力信号 out_0 をラッチする。読み出し動作が終了する際に、このセンスデータラッチ 24 が保持しているデータがセンスアンプ 20 の出力信号としてラッチ 30 に送られる。そして、ラッチ 30 のデータがページバッファ 200 を介して外部に出力される。

40

【0050】

この様な本実施形態の方法によれば、メモリセル MC の抵抗値に応じて電圧を印加することが可能であるため、読み出し時におけるデータの書き換えや、ディスタープ等を防ぐ事が可能となる。

【0051】

[第 2 の実施の形態]

（第 2 の実施の形態に係る半導体記憶装置の構成）

図 10 は、第 2 の実施の形態に係る半導体記憶装置のメモリバンクを示すブロック図で

50

ある。

【 0 0 5 2 】

この第 2 の実施の形態のメモリバンクが、先の実施形態のものと異なる点は、グループ A に属するメモリセル M C A と、グループ B に属するメモリセル M C B とを別々のタイミングで選択するようにした点である。この実施形態では、ビット線電圧制御回路 3 0 0 が一つのみ備えられている。

【 0 0 5 3 】

(第 2 の実施の形態に係る半導体記憶装置の動作)

図 7 に示したように、メモリセル M C A に接続されたビット線 B L __ a に印加する選択ビット線電圧 $V_{b1_sel_a}$ を、メモリセル M C B に接続されたビット線 B L __ b に印加する電圧 $V_{b1_sel_b}$ よりも低い電圧とすると、選択メモリセル M C A , M C B に流れるセル電流はバラつきが低減される方向に変化する。その一方で、非選択ワード線の電圧 V_{UX} と選択ビット線電圧 $V_{b1_sel_a}$ との電位差が拡大して、非選択メモリセル M C A に印加される逆バイアス電圧が増加し、逆リーク電流 I_{Leak_a} が増加することが考えられる。

10

【 0 0 5 4 】

そこで、この実施形態では、グループ A に属するメモリセル M C A からの読み出し動作のタイミングと、グループ B に属するメモリセル M C B からの読み出し動作のタイミングとをずらし、それぞれの読み出しタイミングで異なる非選択ワード線電圧 V_{UX_0} , V_{UX_1} を印加するようにしている。

20

【 0 0 5 5 】

すなわち、図 1 0 において、ワード線 $W L __ 0$, $W L __ 2$ 及び $W L __ 4$ が選択ワード線である場合、まず、グループ A に属するセルアレイ層 $C A __ 0$ 及び $C A __ 4$ が同時アクセス対象のセルアレイ層とされ、次にグループ B に属するセルアレイ層 $C A __ 3$ 及び $C A __ 7$ が同時アクセス対象のセルアレイ層とされる。また、ワード線 $W L __ 1$ 及び $W L __ 3$ が選択ワード線である場合、まず、グループ A に属するセルアレイ層 $C A __ 2$ 及び $C A __ 6$ が同時アクセス対象のセルアレイ層とされ、次にグループ B に属するセルアレイ層 $C A __ 1$ 及び $C A __ 5$ が同時アクセス対象のセルアレイ層とされる。これらのセルアレイ層では、偶数カラムと奇数カラムとが交互に選択される。図中黒く塗られているメモリセル M C は、あるタイミングで同時選択されるメモリセル M C の組み合わせを示している。

30

【 0 0 5 6 】

図 1 1 は、この読み出し動作を示している。グループ A のメモリセル M C A を読み出す際には、非選択ワード線電圧を V_{UX_0} に設定し、クランプ電圧を V_{CLAMP_0} としてカラムアドレスを順次更新してビット線 B L を順次選択していく。これにより選択ビット線 B L __ a には、選択ビット線電圧 $V_{b1_sel_a}$ を順次印加していく。そして、グループ A のメモリセル M C A の読み出しが終了したら、非選択ワード線電圧を V_{UX_1} に切り換え、クランプ電圧を V_{CLAMP_1} に切り換えて、カラムアドレスを順次更新してビット線 B L を順次選択していく。これにより、グループ B のメモリセルアレイ M C B の読み出しを行う。

40

【 0 0 5 7 】

この実施形態によれば、先の実施形態よりも読み出し速度は低下するが、メモリセル層に適した非選択ワード線電圧 V_{UX} を選択することができるので、逆リーク電流 I_{Leak} を減少させることができる。

【 0 0 5 8 】

[第 3 の実施の形態]

(第 3 の実施の形態に係る半導体記憶装置の構成)

図 1 2 は、第 3 の実施の形態に係る半導体記憶装置のメモリバンクを示すブロック図である。本実施形態の基本的な構成は図 2 と同じであるが、センスアンプ 2 0 のうち、 $S A __ 0$ と $S A __ 1$ 、 $S A __ 2$ と $S A __ 3$ 、 $S A __ 4$ と $S A __ 5$ 、及び $S A __ 6$ と $S A __ 7$ に、基準電流発生回路 3 2 0 から、それぞれ異なる基準電流 $I_{REF_0} \sim I_{REF_3}$ が

50

供給され、電圧制御回路 300 から異なる電圧が供給されている点で異なる。

【 0 0 5 9 】

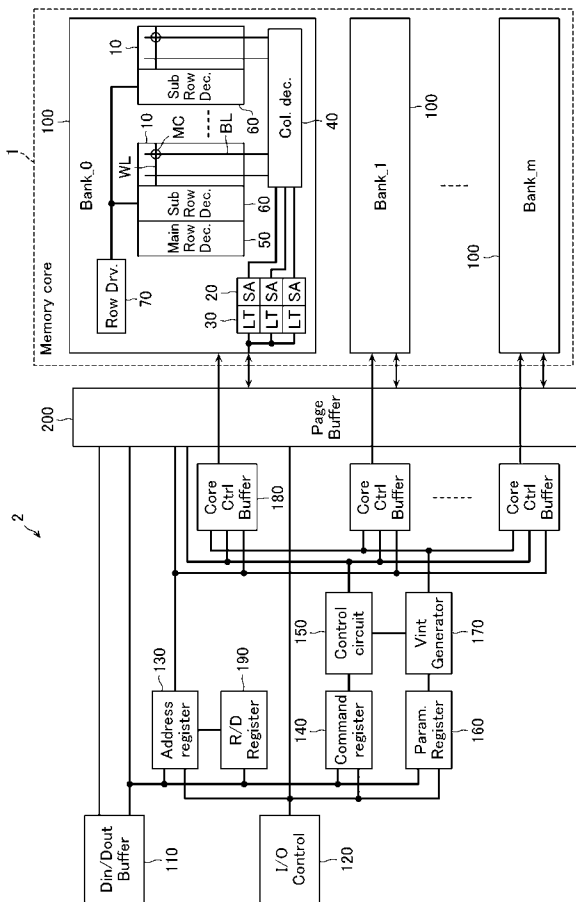
この様な構成によれば、メモリセル MC の選択に際して、自由度が向上する。第 1 及び第 2 の実施の形態においては、セルアレイ層によってメモリセル MC をグループ A とグループ B の 2 つのグループに分類していたが、本実施の形態においては、更にセルアレイ層ごとにグループ分けをすることが可能となる。これにより、メモリセルアレイ 10 の製造工程に際し、階層ごとに電気的特性が異なる場合にも、安定した読み出し動作を行うことが可能となる。

【 符号の説明 】

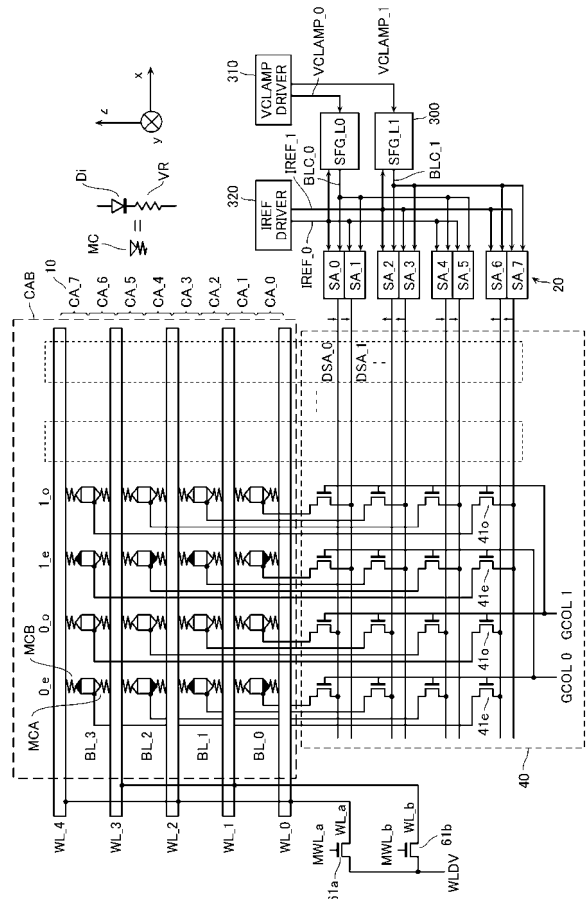
【 0 0 6 0 】

10・・・メモリセルアレイ、 20・・・センスアンプ、 30・・・ラッチ、 40・・・コラムデコーダ、 50・・・メインロウデコーダ、 60・・・サブロウデコーダ、 70・・・ワード線駆動回路、 100・・・バンク、 110・・・データ入出力バッファ、 120・・・入出力制御回路、 130・・・アドレスレジスタ、 140・・・コマンドレジスタ、 150・・・動作制御回路、 160・・・パラメータレジスタ、 170・・・内部電圧生成回路、 180・・・コア制御バッファ、 190・・・リダンダンシアドレスレジスタ、 200・・・ページバッファ、 Di・・・ダイオード、 VR・・・可変抵抗素子、 MC・・・メモリセル、 BL・・・ビット線、 WL・・・ワード線。

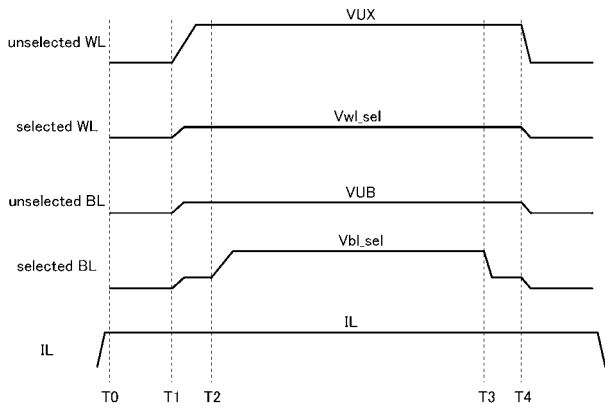
【 図 1 】



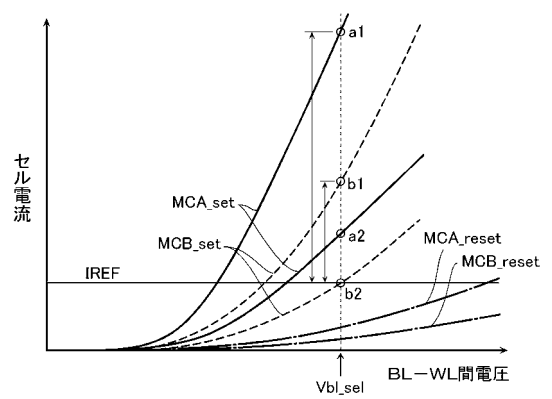
【 図 2 】



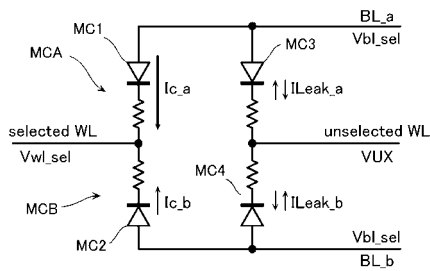
【 図 3 】



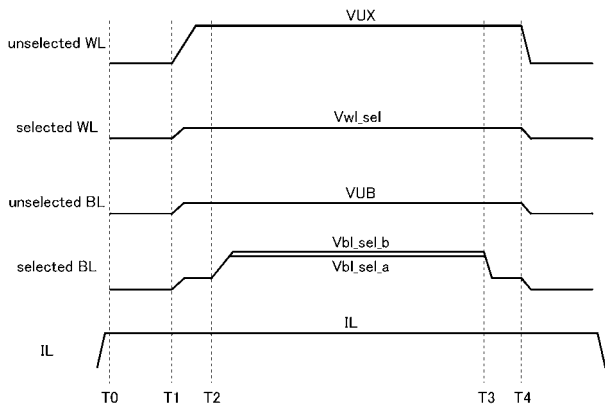
【 図 5 】



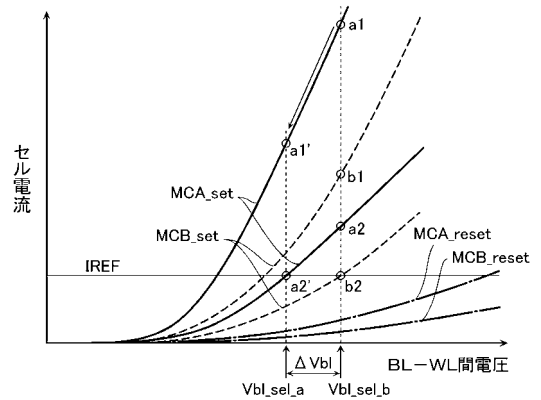
【 図 4 】



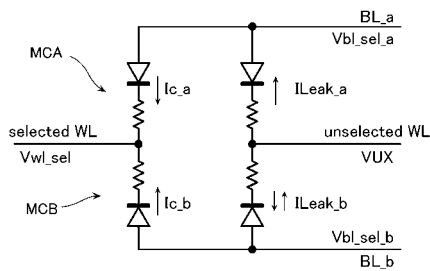
【 図 6 】



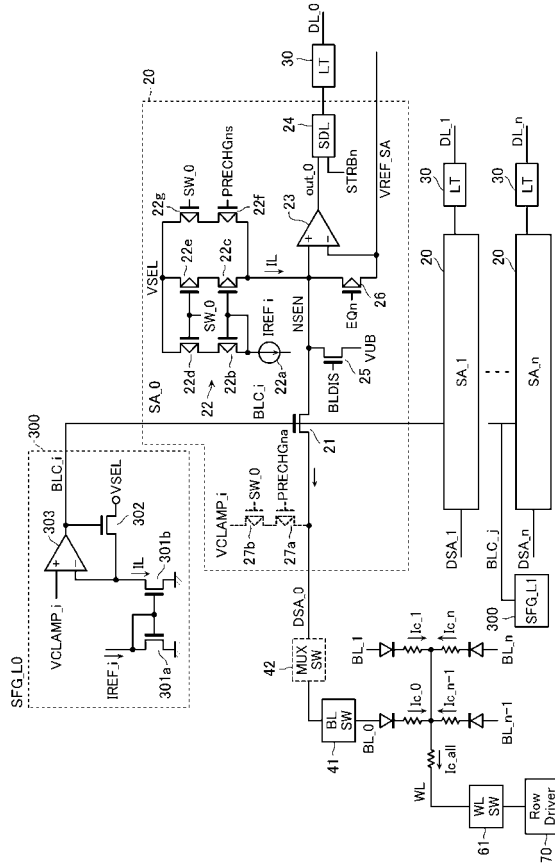
【 図 8 】



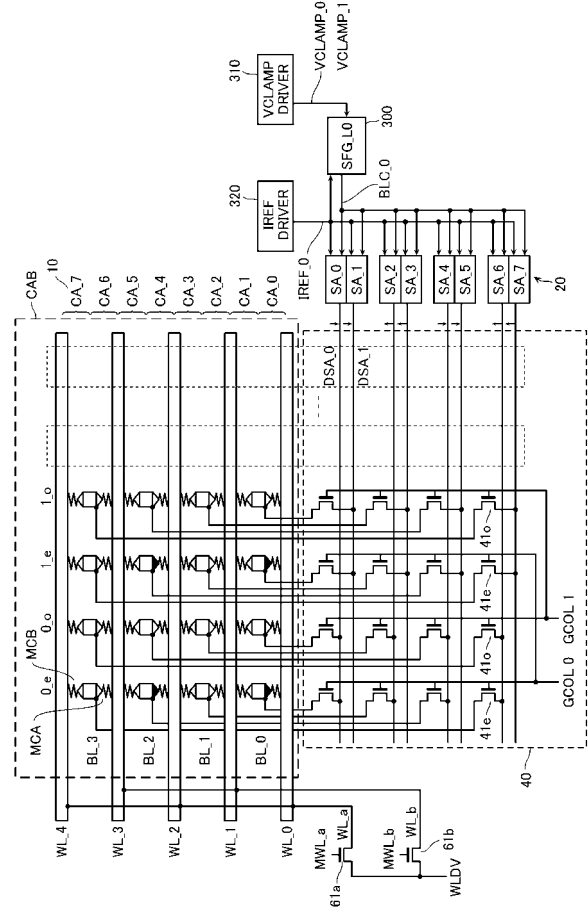
【 図 7 】



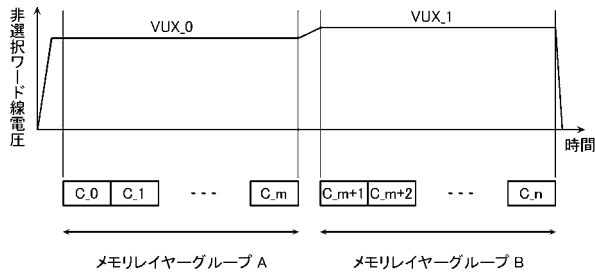
【図 9】



【図 10】



【図 11】



【図 12】

