

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-503092

(P2004-503092A)

(43) 公表日 平成16年1月29日(2004.1.29)

(51) Int. Cl.⁷

H01L 29/866

F I

H01L 29/90

C

テーマコード (参考)

審査請求 未請求 予備審査請求 未請求 (全 41 頁)

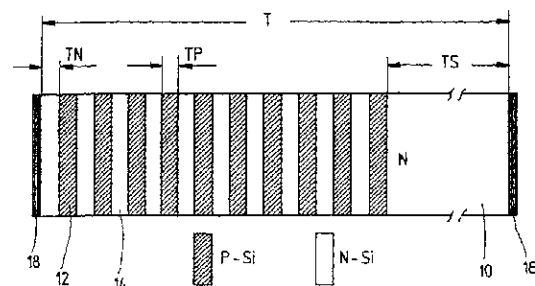
(21) 出願番号	特願2002-507454 (P2002-507454)	(71) 出願人	390023711
(86) (22) 出願日	平成13年6月22日 (2001.6.22)		ローベルト ボツシュ ゲゼルシャフト
(85) 翻訳文提出日	平成14年3月5日 (2002.3.5)		ミット ペシユレンクテル ハフツング
(86) 国際出願番号	PCT/DE2001/002309		ROBERT BOSCH GMBH
(87) 国際公開番号	W02002/003473		ドイツ連邦共和国 シュツツガルト (
(87) 国際公開日	平成14年1月10日 (2002.1.10)		番地なし)
(31) 優先権主張番号	100 32 543.2		Stuttgart, Germany
(32) 優先日	平成12年7月5日 (2000.7.5)	(74) 代理人	100061815
(33) 優先権主張国	ドイツ (DE)		弁理士 矢野 敏雄
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), AU, JP, US	(74) 代理人	100094798
			弁理士 山崎 利臣
		(74) 代理人	100099483
			弁理士 久野 琢也

最終頁に続く

(54) 【発明の名称】 P型ドーピングされた半導体層とN型ドーピングされた半導体層とを備えたデバイス、およびこのデバイスの製造方法

(57) 【要約】

本発明はP型ドーピングされた半導体層(12)とN型ドーピングされた半導体層(12)とを備えており、このデバイスはP型ドーピングされた半導体層(12)とN型ドーピングされた半導体層(14、10)との間に接合部を有しており、この接合部に固有の電圧が印加されるとツェナー降伏が見られるデバイスに関する。複数の接合部がP型ドーピングされた半導体層(12)とN型ドーピングされた半導体層(14、10)との間に存在し、固有電圧はデバイス全体の降伏電圧へ加法的に入力される。本発明はさらに本発明のデバイスを製造する方法に関する。



【特許請求の範囲】

【請求項 1】

P型ドーピングされた半導体層（12、20、22）とN型ドーピングされた半導体層（14、10）との間に接合部を有しており、該接合部に固有の電圧が印加されるとツェナー降伏が見られる、

P型ドーピングされた半導体層（12、20、22）とN型ドーピングされた半導体層（14、10）とを備えたデバイスにおいて、

複数の接合部がP型ドーピングされた半導体層（12、20、22）とN型ドーピングされた半導体層（14、10）との間に存在しており、固有電圧はデバイス全体の降伏電圧へ加法的に入力される、

ことを特徴とするP型ドーピングされた半導体層とN型ドーピングされた半導体層とを備えたデバイス。

【請求項 2】

半導体層（10、12、14、20、22）は高濃度にドーピングされている、請求項1記載のデバイス。

【請求項 3】

半導体層（10、12、14、20）は一定のドーピング状態を有する、請求項1または2記載のデバイス。

【請求項 4】

P型ドーピングされた半導体層（12）とN型ドーピングされた半導体層（14）とは同じ濃度でドーピングされている、請求項1から3までのいずれか1項記載のデバイス。

【請求項 5】

P型ドーピングされた半導体層（20、22）は少なくとも2つのグループを形成しており、該グループはそれぞれ異なる濃度でドーピングされている、請求項1から4までのいずれか1項記載のデバイス。

【請求項 6】

N型ドーピングされた半導体層は少なくとも2つのグループを形成しており、該グループはそれぞれ異なる濃度でドーピングされている、請求項1から5までのいずれか1項記載のデバイス。

【請求項 7】

半導体層（12、14、20、22）はN型ドーピングされた基板（10）上に配置されている、請求項1から6までのいずれか1項記載のデバイス。

【請求項 8】

半導体層はP型ドーピングされた基板上に配置されている、請求項1から7までのいずれか1項記載のデバイス。

【請求項 9】

基板（10）から最も離れた半導体層のドーピングの型は基板（10）のドーピングの型に相応している、請求項1から8までのいずれか1項記載のデバイス。

【請求項 10】

基板（10）から最も離れた半導体層のドーピングの型は基板のドーピングの型とは異なっている、請求項1から9までのいずれか1項記載のデバイス。

【請求項 11】

半導体層（12、14、20、22）は約4 μmの厚さを有する、請求項1から10までのいずれか1項記載のデバイス。

【請求項 12】

基板（10）は約500 μmの厚さを有する、請求項1から11までのいずれか1項記載のデバイス。

【請求項 13】

ドーパント濃度は 2×10^{19} 原子/cm³の範囲にある、請求項1から12までのいずれか1項記載のデバイス。

10

20

30

40

50

【請求項 14】

約 10 個の接合部が P 型ドーピングされた半導体層 (12) と N 型ドーピングされた半導体層 (14) との間に設けられている、請求項 1 から 13 までのいずれか 1 項記載のデバイス。

【請求項 15】

上面および下面にそれぞれ金属コンタクト (16、18) を有しており、該金属コンタクトは表面全体にわたって延在している、請求項 1 から 14 までのいずれか 1 項記載のデバイス。

【請求項 16】

半導体層 (10、12、20、22) はシリコン層である、請求項 1 から 15 までのいずれか 1 項記載のデバイス。

【請求項 17】

P 型ドーピングされた半導体層 (12、20、22) と N 型ドーピングされた半導体層 (14、10) との間に接合部を有しており、該接合部に固有の電圧が印加されるとツェナー降伏が見られ、

複数の接合部が P 型ドーピングされた半導体層 (12、20、22) と N 型ドーピングされた半導体層 (14、10) との間に存在し、固有電圧はデバイス全体の降伏電圧へ加法的に入力される、

P 型ドーピングされた半導体層 (12、20、22) と N 型ドーピングされた半導体層 (14、10) とを備えたデバイスの製造方法において、

半導体層 (12、14、20、22) をエピタキシにより堆積させるプロセスを行う、
ことを特徴とする P 型ドーピングされた半導体層と N 型ドーピングされた半導体層とを備えたデバイスの製造方法。

【請求項 18】

エピタキシを約 1180℃で行う、請求項 17 記載の方法。

【請求項 19】

エピタキシを約 4 μm/min の成長速度で行う、請求項 17 または 18 記載の方法。

【請求項 20】

デバイスの上面および下面に金属コンタクト (16、18) をスパッタリングする、請求項 17 から 19 までのいずれか 1 項記載の方法。

【請求項 21】

金属コンタクト (16、18) のスパッタリング後にデバイスを個々のチップへ分割する、請求項 17 から 20 までのいずれか 1 項記載の方法。

【請求項 22】

チップの縁を除去する、請求項 17 から 21 までのいずれか 1 項記載の方法。

【請求項 23】

薄いシリコンウェハをウェハボンディングにより結合する、請求項 17 から 22 までのいずれか 1 項記載の方法。

【発明の詳細な説明】

【0001】

本発明は、P 型ドーピングされた半導体層と N 型ドーピングされた半導体層との間に接合部を有しており、この接合部に固有の電圧 (characteristische Spannung) が印加されるとツェナー降伏が見られる、P 型ドーピングされた半導体層と N 型ドーピングされた半導体層とを備えたデバイスに関する。本発明はまたこのデバイスの製造方法に関する。

【0002】

従来の技術

半導体モジュールを電圧制限に使用することが知られている。特に有利にはこのためにツェナーダイオード (Zダイオード) が使用される。ツェナーダイオードが阻止方向ないし逆方向で駆動されると、際立った降伏特性が比較的小さい降伏電圧で見られる。ダイオードの降伏電圧の大きさは主として半導体材料のドーパント濃度に依存している。高濃度に

10

20

30

40

50

ドーピングされたダイオードではきわめて狭い阻止層しか形成されず、このため小さな逆方向電圧が印加されただけであっても高い電界強度がPN接合部にわたってかかってしまう。

【0003】

電界強度が 10^6 V/cmのオーダーの値を上回ると、ほぼ電荷担体のないPN接合部の領域の価電子はその結合から引き離される。バンド理論ではこの効果は禁制帯のトンネル通過現象と称されている。したがって、ツェナー電圧と称される降伏電圧以下の小さい電圧では一般には無視できる程度の小さな阻止電流しか流れない。ツェナー電圧に達すると電流は電荷担体放出によって強く上昇する。これにより更なる電圧上昇は阻止される。4.5 V以下の降伏電圧では純粋なツェナー降伏のみが問題となる。それより高い降伏電圧では別の降伏効果、すなわちいわゆるアバランシェ降伏（なだれ降伏）が競合する。このアバランシェ降伏は7 V以上の電圧で顕著であり、主として半導体内のなだれ状の衝突イオン化から生じる。ツェナーダイオードは定義された可逆の降伏のために電圧制限素子として適している。2つのツェナーダイオードが反直列に接続されている場合、つまり2つのダイオードが直列かつ相互に反対極性で接続されている場合、対称の降伏特性が得られる。

10

【0004】

この種の回路は図6に示されている。第1のツェナーダイオード110および第2のツェナーダイオード112が示されており、これらのダイオードは反直列に接続されている。この種のデバイスは、コンタクト114、116に印加される電圧の2つの電圧極性を制限しなければならない場合に電圧制限に使用される。

20

【0005】

図7には図6に示された回路に相応する電流電圧特性曲線が示されている。図7のダイアグラムではツェナーダイオード110、112を通して流れる電流がコンタクト114、116へ印加される電圧に対して示されている。このデバイスの降伏電圧は、バルク抵抗と降伏電圧の上昇とが自己温度上昇により無視できる程度であるかぎり $U_{Z1} + U_F$ の値である。ここで U_{Z1} はこのケースでは同じであると見なされるツェナーダイオードの降伏電圧であり、 U_F はダイオードの順方向での電圧降下である。ただしこの種の電圧制限回路を大きな限界電圧に対して構成する場合には、図7に示されている降伏電圧の正の温度特性が生じる。図7には実線で室温RTでの特性曲線が示されており、破線できわめて高い温度HTでの特性曲線が示されている。ここからわかる正の温度特性は主として比較的高い降伏電圧に対して構成されているダイオードで支配的となるアバランシェ降伏をもたらすことがわかる。

30

【0006】

図7に示されている特性曲線の温度依存性は望ましくないものである。さらに図6の電圧制限回路は個別の2つのモジュールを必要とする欠点を有しており、そのことは付加的な回路コストをまねく。

【0007】

本発明の利点

本発明は請求項1の上位概念記載のデバイスにおいて、複数の接合部がP型ドーピングされた半導体層とN型ドーピングされた半導体層との間に存在し、固有電圧はデバイス全体の降伏電圧へ加法的に入力されることを特徴とする。このためもはや別個の2つのモジュールを使用して電圧の2つの極性に対する電圧制限を行う必要はない。P型ドーピングされた半導体層とN型ドーピングされた半導体層との間に複数の接合部を有する唯一のデバイスを2つの極性での電圧制限に使用する。さらに、ツェナー降伏が見られる接合部の固有電圧が加法的にデバイス全体の降伏電圧へ入力されるので、個々の降伏電圧を小さく選定し、しかも個々の降伏電圧の加算によって比較的高い電圧までの制限を行うことができる。個々の接合部での小さな固有電圧、例えば4.2 V付近の電圧ではツェナー効果が著しく支配的となり、アバランシェ降伏は全く生じないかまたはきわめて小さな影響しか有さないの、高い限界電圧が調製されても実際には温度に依存しない特性曲線が得られる。

40

【0008】

50

有利には半導体層は高濃度にドーピングされている。高いドーパント濃度により小さな降伏電圧とデバイスの温度からの所望の独立性が得られる。

【0009】

有利には半導体層は一定のドーパント濃度を有する。これは製造を簡単にする意味で有利である。さらに降伏電圧は層間の接合部の特性が一定のドーパント濃度のために同一であることにより、簡単に計算できる。

【0010】

また有利には、P型ドーピングされた半導体層とN型ドーピングされた半導体層とは同じ濃度でドーピングされている。このため空乏層がN型ドーピングされた半導体層でもP型ドーピングされた半導体層でも同様に得られる。これにより層のシーケンスは同様に形成される。

10

【0011】

有利にはP型ドーピングされた半導体層は少なくとも2つのグループを形成しており、これらのグループは種々の濃度でドーピングされている。このようにして、全てのP型ドーピングされた半導体層または全てのN型ドーピングされた半導体層を一様にドーピングして対称な特性曲線を得る場合とは異なり、電圧極性の非対称な特性曲線を得ることができる。これにより種々の電圧制限を電圧の極性に応じて行うことができる。

【0012】

同じ理由から、有利には、N型ドーピングされた半導体層を異なる濃度の少なくとも2つのグループを形成するように構成することもできる。

【0013】

半導体層をN型ドーピングされた基板上に配置することができる。

20

【0014】

同様に、半導体層をP型ドーピングされた基板上に配置することもできる。基板のドーピング状態を予め定める必要はなく、これによりデバイスを製造および適用の点でフレキシブルとすることができる。

【0015】

基板から最も離れた半導体層のドーピング状態のタイプを基板のドーピング状態のタイプに相応させると有利である。

【0016】

また基板から最も離れた半導体層のドーピング状態のタイプを基板のドーピング状態のタイプとは異なるように構成することもできる。この場合でも製造および適用分野の点でこのデバイスはフレキシブルであり、最も外側の半導体層のドーピング状態のタイプを制限的に定める必要はない。

30

【0017】

有利には半導体層は約4 μmの厚さを有する。この厚さは個々の接合部の実際的な降伏電圧とこれに関連する空乏領域の厚さとに対して十分に高く、適切である。相応の厚さにより、順方向で極性付けられた接合部を通して誘導される少数キャリアが逆方向に極性付けられた隣接の接合部の空乏層に達することが回避される。このことは必ずしも必須ではない。なぜならそうでない場合にはデバイス全体が“点弧される”からである（サイリスタ効果）。

40

【0018】

基板は約500 μmの厚さを有すると有利である。特にこの規模の基板厚さにより十分な機械的安定性が保証される。

【0019】

有利にはドーパント濃度は 2×10^{19} 原子/cm³の範囲の値である。このような高いドーパント濃度では各接合部でツェナー電圧および相応の温度特性を小さくすることが所望される場合でもツェナー効果が得られる。

【0020】

特に有利な実施形態では約10個の接合部がP型ドーピングされた半導体層とN型ドーピングされた半導体層との間に設けられる。ツェナー電圧が4.2 V、順方向電圧が0.7 Vの範囲

50

にある場合、この実施例では降伏電圧全体は50Vであり、大きな温度依存性は生じない。従来技術の構成によるこのような電圧制限が個々のツェナーダイオードによって実現される場合には、強いアバランシェ降伏傾向のために著しく強く許容不能な温度依存性が生じる。

【0021】

有利にはこのデバイスは上面および下面にそれぞれ金属コンタクトを有しており、この金属コンタクトはこれらの表面の全体にわたって延在している。これによりこのデバイスは通常半導体モジュールで行われる更なる処理に対して準備される。

【0022】

有利には半導体層はシリコン層である。シリコンを用いれば、高いドーパント濃度と所望の層構造とが特に有利に実現される。 10

【0023】

本発明は請求項17によりさらに、P型ドーパされた半導体層とN型ドーパされた半導体層との間に接合部を有しており、この接合部に固有の電圧が印加されるとツェナー降伏が見られ、複数の接合部がP型ドーパされた半導体層とN型ドーパされた半導体層との間に存在し、固有電圧はデバイス全体の降伏電圧へ加法的に入力される、P型ドーパされた半導体層とN型ドーパされた半導体層とを備えたデバイスの製造方法において、半導体層をエピタキシにより堆積させるプロセスを行う。エピタキシは本発明の層デバイスを構成するのに特に適している。

【0024】

有利にはエピタキシは約1180℃で行われる。この温度は欠陥のない層形成に対して特に有利であると判明している。 20

【0025】

エピタキシを約4μm/minの成長速度で行うと有利である。これにより層構造に高い品質が保証され、製造プロセスも十分な速度を得ることができる。

【0026】

有利にはデバイスの上面および下面に金属コンタクトがスパッタリングされる。この金属コンタクトにより有利にはデバイスの上面全体および下面全体がカバーされ、デバイスがさらなる処理のために準備される。スパッタリングプロセスは薄い金属層の被着に特に信頼性が高いことが判明している。 30

【0027】

有利にはこのデバイスは金属コンタクトのスパッタリング後に個々のチップへダイシングされる。例えば最初に使用されるシリコン基板は125mmの直径を有する。プロセスから得られるチップは例えばダイシングソーを使用して製造され、例えば20mm²の面積を有する。

【0028】

特に有利には、チップの縁が除去される。チップが例えばソー過程により形成される場合、チップの縁で結晶欠陥が生じ、これがモジュールの電気特性にマイナスの影響を与える。こうした障害的なチップ縁の半導体領域は例えば深さ約50μmまで除去される。これは例えばKOHでのエッチングによって行われる。エッチングはチップが前部および後部で銅ケーシングにはんだ付けされた後に行われることが多い。さらなるパッケージングはダイオード技術の通常の手法により行われる。 40

【0029】

エピタキシによる層デバイス構造のほか、薄いシリコンウェハをウェハボンディングにより結合することもできる。これにより製造法が可変となる。

【0030】

本発明はP型ドーパされた半導体層とN型ドーパされた半導体層とから成る相応の層デバイスにより、バイポーラでの電圧制限を無視できる程度の温度特性のみで使用することができるようになるという驚くべき知識を基礎としている。個々のPN接合部の降伏電圧を適切なドーパ状態により選定して、実際に純粋なツェナー降伏が生じるようにすることが 50

できる。個々のPN接合部の降伏電圧が加法的にデバイス全体の降伏電圧内へ入力されるように層デバイスを構成することにより、高電圧に対する電圧制限を小さな温度依存性で形成することができる。

【0031】

図面

本発明を以下に添付図を参照しながら実施例に則して説明する。図1には本発明のデバイスの断面図が示されている。図2には図1のデバイスの特性曲線が示されている。図3には図1のデバイスのドーパント濃度プロファイルが示されている。図4には本発明のデバイスの別の実施例の概略的な断面図が示されている。図5には図4のデバイスの特性曲線が示されている。図6には従来技術の回路が示されている。図7には図6のデバイスの特性曲線が示されている。 10

【0032】

実施例の説明

図1には本発明のデバイスの概略的な断面図が示されている。N型ドーパされたシリコン基板10上に複数のP型ドーパされた半導体層12とN型ドーパされた半導体層14とが配置されている。P型ドーパされた半導体層12とN型ドーパされた半導体層14との間に複数の半導体接合部が存在する。P型ドーパされた半導体層12は厚さTPを有しており、N型ドーパされた半導体層14は厚さTNを有している。この実施例では厚さTP、TNはほぼ等しく、約4μmである。基板は厚さTSを有しており、この実施例では約525μmである。全体で10個のP型ドーパされた半導体層12と10個のN型ドーパされた半導体層14とが配置されているので、上述のデータからこのデバイス全体の厚さTは605μmとなる。この実施例では半導体としてシリコンが選択されている。N型ドーパされた基板10と最上部の半導体層（この実施例ではN型ドーパされた半導体層14）との上には、スパッタリングにより堆積された金属コンタクト16、18が存在している。半導体層12、14はそれぞれ約 2×10^{19} 原子/cm³の一定のドーパント濃度を有している。層12、14はエピタキシにより下方に位置する層の上に堆積される。有利な実施例では、エピタキシは温度1180℃、成長速度4μm/minで行われるように選定される。図1の実施例では、層デバイスは最上部の層および最下部の層（基板）が同じドーパ状態を有しており、この場合にはN導電型であるように選定されている。またこれら2つの最外部の半導体層がP導電型を有するように構成することもできる。さらに、これらの最外部の半導体層がそれぞれ異なるドーパのタイプであり、N型基板ないしP型基板であるように構成してもよい。 20 30

【0033】

図2には図1のデバイスの特性曲線が示されている。金属電極18へ電極16に対して正の電圧Uが印加されると、逆方向電圧UZに達するまでは比較的小さな阻止電流以外に電流は流れない。電圧Uのさらなる増大を試みると、デバイスを通る電流は半導体層間の個々の接合部でのツェナー降伏により強く上昇する。デバイスは対称に構成されているので、印加電圧Uの極性を入れ替えた場合には反対の符号で同じ電気特性が得られる。n個のP型ドーパされたエピタキシ層およびn個のN型ドーパされたエピタキシ層では、降伏電圧UZは 40

$$UZ = n \times (UZ1 + UF)$$

となる。ここでUZは個々の接合部の降伏電圧であり、UFは個々のPNダイオードの順方向電圧である。図2の実線はデバイスの室温RTでの電流電圧特性を示しており、破線は著しく高い温度HTでの特性を示している。きわめて高い電流まで実際には特性曲線に対して温度による影響は作用しないことがわかる。ただしきわめて高い電流密度、すなわち約200A/cm²以上の領域では、無視できない正の温度係数が発生している。

【0034】

図3には図1のデバイスのドーパント濃度プロファイルが示されており、ドーパント原子Nの個数の密度が場所xに関して示されている。実線はN型ドーパされたシリコンを示しており、点線はP型ドーパされたシリコンを示している。図3のダイアグラムの左側は図1 50

のN型ドーピングされたシリコン層に相応しており、これは金属電極18に接している。図3のダイアグラムの右側は図1の基板に相応しており、これは図1の金属電極16に接している。図からわかるように 2×10^{19} 原子/cm³ のドーパント濃度プロファイルが発生している。

【0035】

図4には任意の電圧極性で電圧制限できる本発明のデバイスの別の実施例の概略的な断面図が示されている。前述したように図1のデバイスは印加電圧の極性に関して対称の特性を有している。これに対して図4に示されているデバイスによれば非対称の特性を有する。このデバイスで特徴的なのは、2種類のP型ドーピングされた半導体層が存在することである。第1のP型ドーピングされた半導体層20は第2のP⁺型ドーピングされた半導体層22よりも低いドーパント濃度を有する。N型半導体層のドーパント濃度は均一である。これにより異なる降伏電圧を有するダイオードが接合部N(P⁺P)または(P⁺P)Nに相応に得られる。このダイオードが逆方向で負荷されると、(P⁺P)Nダイオードの降伏電圧U_{Z1}のほうがN(P⁺P)ダイオードの降伏電圧U_{Z2}よりも大きくなる。n個の接合部が存在し、金属コンタクト18に正の電圧が印加される場合、金属コンタクト16に関して

$$U_Z = n \times (U_{Z2} + U_F)$$

の降伏電圧が得られる。電圧の極性を反転させると、降伏電圧は

$$U_Z = -n \times (U_{Z2} + U_F)$$

となる。

【0036】

図4のデバイスも最外部の半導体層およびドーピングタイプは基本的に可変である。N型基板に代えてP型基板を使用することもできる。この場合には相応にP型基板で高濃度ドーピングのN⁺層とそれより低くドーピングされたN層とが使用される。半導体デバイスの最外部はドーピングタイプに関して一致してもよいし、また異なってもよい。

【0037】

図5には図4のデバイスの特性曲線が示されている。適切に寸法を設計することにより、ジオメトリの観点からも濃度の観点からも図5に示されているような實際上温度に依存しない特性曲線が得られる。ただしここでは相応に非対称の特性曲線となる。

【0038】

本発明の前述の実施例は説明に用いたのみで、本発明を限定するものではない。本発明においては本発明の範囲や本発明の等価物を離れることなく種々の変更および修正が可能である。

【図面の簡単な説明】

【図1】

本発明のデバイスの断面図である。

【図2】

図1のデバイスの特性曲線を示す図である。

【図3】

図1のデバイスのドーパント濃度プロファイルを示す図である。

【図4】

本発明のデバイスの別の実施例の断面図である。

【図5】

図4のデバイスの特性曲線を示す図である。

【図6】

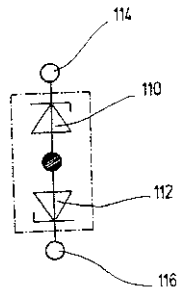
従来技術の回路図である。

【図7】

図6のデバイスの特性曲線を示す図である。

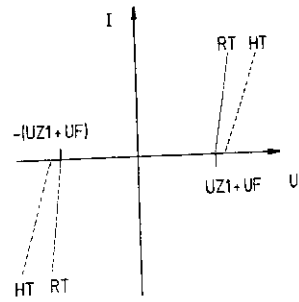
【図 6】

従来技術



【図 7】

従来技術



【国際公開パンフレット】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. Januar 2002 (10.01.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/03473 A1

(51) Internationale Patentklassifikation: H01L 29/866,
21/329, 27/08

(21) Internationales Aktenzeichen: PCT/D/E01/02309

(22) Internationales Anmeldedatum:
22. Juni 2001 (22.06.2001)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
100 52 543.2 5. Juli 2000 (05.07.2000) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): ROBERT BOSCH GMBH (DE/DE); Postfach 3002
70, 70442 Stuttgart (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): SPITZ, Richard
[DE/DE], Roemersteinstrasse 56, 79766 Reutlingen (DE);
GOELACH, Alfred [DE/DE], Bismarckstrasse 70,
72127 Kusterdingen (DE).

(81) Bestimmungsstaaten (national): AU, JP, US.

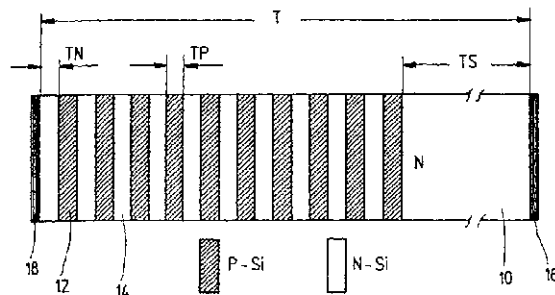
(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LC, MC,
NL, PT, SE, TR).

Veröffentlicht:
mit internationalem Recherchenbericht
vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: ARRANGEMENT WITH P-DOPED AND N-DOPED SEMICONDUCTOR LAYERS AND METHOD FOR PRO-
DUCING THE SAME

(54) Bezeichnung: ANORDNUNG MIT P-DOTIERTEN UND N-DOTIERTEN HALBLEITERSCHICHTEN SOWIE VERFAH-
REN ZU IHREIN HERSTELLUNG



(57) Abstract: The invention relates to an arrangement with P-doped semiconductor layers (12) and N-doped semiconductor layers (14, 10). Said arrangement has junctions between said P-doped semiconductor layers (12) and said N-doped semiconductor layers (14, 10), these junctions showing a Zener breakdown when a characteristic voltage for a junction is applied. A plurality of junctions are present between the P-doped semiconductor layers (12) and the N-doped semiconductor layers (14, 10) and the characteristic voltages enter additively into the breakdown voltage of the arrangement overall. The invention also relates to a method for producing an inventive arrangement.

[Fortsetzung auf der nächsten Seite]

WO 02/03473 A1

WO 02/03473 A1



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft eine Anordnung mit P-dotierten Halbleiterschichten (12) und N-dotierten Halbleiterschichten (14, 10), welche zwischen den P-dotierten Halbleiterschichten (12) und den N-dotierten Halbleiterschichten (14, 10) Übergänge aufweist, wobei die Übergänge beim Anlegen einer für einen Übergang charakteristischen Spannung einen Zenerdurchbruch zeigen, eine Mehrzahl von Übergängen zwischen P-dotierten Halbleiterschichten (12) und N-dotierten Halbleiterschichten (14, 10) vorliegt und die charakteristischen Spannungen additiv in die Durchbruchspannung der gesamten Anordnung eingehen. Die Erfindung betrifft ferner ein Verfahren zum Herstellen einer erfindungsgemäßen Anordnung.

WO 02/03473

PCT/DE01/02309

5

Anordnung mit P-dotierten und N-dotierten Halbleiterschichten sowie Verfahren zu deren Herstellung

- 10 Die Erfindung betrifft eine Anordnung mit P-dotierten und N-dotierten Halbleiterschichten, welche zwischen den P-dotierten Halbleiterschichten und den N-dotierten Halbleiterschichten Übergänge aufweist, wobei die Übergänge beim Anlegen einer für einen Übergang charakteristischen
- 15 Spannung einen Zenerdurchbruch zeigen. Die Erfindung betrifft ferner ein Verfahren zum Herstellen der erfindungsgemäßen Anordnung.

20 Stand der Technik

- Es ist bekannt, Halbleiterbauelemente zur Spannungsbegrenzung einzusetzen. Insbesondere verwendet man hierzu Zenerdioden (Z-Dioden). Betreibt man Zenerdioden in
- 25 Sperr- beziehungsweise Rückwärtsrichtung, so zeigen diese ein ausgeprägtes Durchbruchverhalten bei vergleichsweise geringen Durchbruchspannungen. Die Größe der Durchbruchspannung einer Diode hängt wesentlich von der Dotierungskonzentration des Halbleitermaterials ab. Bei hochdotierten Dioden bildet sich eine sehr schmale Sperrschicht
- 30 aus, so dass schon durch Anlegen kleiner Sperrspannungen hohe elektrische Feldstärken über dem PN-Übergang liegen.

Wenn die Feldstärke einen Wert in der Größenordnung von 10^5 V/cm überschreitet, können Valenzelektronen im Bereich des fast ladungsträgerfreien PN-Übergangs aus ihren Bindungen gerissen werden. Im Bändermodell stellt sich dieser Effekt als eine Durchtunnelung des verbotenen Bandes dar. Bei kleinen Spannungen unterhalb der Durchbruchspannung, welche auch Zenerspannung genannt wird, fließt daher nur der im Allgemeinen vernachlässigbar kleine Sperrstrom. Bei Erreichen der Zenerspannung steigt der Strom aufgrund der Ladungsträgeremission stark an. Hierdurch wird ein weiterer Spannungsanstieg verhindert. Bei Durchbruchspannungen unterhalb von 4,5 V spricht man von einem reinen Zenerdurchbruch. Bei höheren Durchbruchspannungen konkurriert ein anderer Durchbrucheffect, nämlich der sogenannte Avalanche- oder Lawinendurchbruch. Dieser überwiegt bei Spannungen oberhalb von 7 V und resultiert im Wesentlichen aus lawinenartigen Stoßionisationen im Halbleiter. Eine Zenerdiode ist aufgrund des definierten und reversiblen Durchbruchs als Spannungsbegrenzer geeignet. Schaltet man zwei Zenerdioden antiseriell zusammen - das heißt in Reihe, jedoch mit entgegengesetzter Polarität, so erhält man ein symmetrisches Durchbruchverhalten.

Eine derartige Schaltung ist in Figur 6 dargestellt. Es sind eine erste Zenerdiode 110 und eine zweite Zenerdiode 112 dargestellt, welche antiseriell geschaltet sind. Solche Anordnungen werden zur Spannungsbegrenzung eingesetzt, wenn beide Polaritäten der Spannung einer an den Kontakten 114, 116 angelegten Spannung begrenzt werden sollen.

WO 02/03473

PCT/DE01/02309

3

Figur 7 zeigt die entsprechende Strom-Spannungs-Kennlinie der in Figur 6 dargestellten Schaltung. In dem Diagramm aus Figur 7 ist der durch die Zenerdioden 110, 112 fließende Strom gegen die an den Kontakten 114, 116 angelegte Spannung aufgetragen. Die Durchbruchspannung der Anordnung beträgt, sofern Bahnwiderstände und das Ansteigen der Durchbruchspannung infolge von Eigenerwärmung vernachlässigt werden, $U_{Z1} + U_F$. Dabei bezeichnet U_{Z1} die Durchbruchspannung einer der Zenerdioden, welche im vorliegenden Fall als identisch angenommen werden, und U_F den Spannungsabfall einer Diode in Durchlassrichtung. Will man eine derartige Spannungsbegrenzungsschaltung jedoch für größere Grenzspannungen auslegen, so kommt es zu dem in Figur 7 angedeuteten positiven Temperaturgang der Durchbruchspannung. In Figur 7 ist als durchgezogene Linie eine Kennlinie bei Raumtemperatur (RT) und mit unterbrochener Linie eine Kennlinie bei stark erhöhter Temperatur (HT) gezeigt. Der zu erkennende positive Temperaturgang resultiert hauptsächlich daraus, dass bei Dioden, welche für höhere Durchbruchspannungen ausgelegt sind, der Lawinendurchbruch dominiert.

Die in Figur 7 dargestellte Temperaturabhängigkeit der Kennlinie ist unerwünscht. Ferner hat die Spannungsbegrenzungsschaltung gemäß Figur 6 den Nachteil, dass zwei getrennte Bauelemente zur Realisierung benötigt werden, was zusätzlichen Schaltungsaufwand mit sich bringt.

30

WO 02/03473

PCT/DE01/02309

4

Vorteile der Erfindung

Die Erfindung baut auf der gattungsgemäßen Anordnung gemäß Anspruch 1 dadurch auf, dass eine Mehrzahl von Übergängen zwischen P-dotierten Halbleiterschichten und N-dotierten Halbleiterschichten vorliegt und dass die charakteristischen Spannungen additiv in die Durchbruchspannung der gesamten Anordnung eingehen. Es ist also nicht mehr erforderlich, zwei getrennte Bauelemente zu verwenden, um eine Spannungsbegrenzung für beide Polaritäten der Spannung zu bewirken. Eine einzige Anordnung mit mehreren Übergängen zwischen P-dotierten Halbleiterschichten und N-dotierten Halbleiterschichten kann vielmehr eine Spannungsbegrenzung beider Polaritäten zur Verfügung stellen. Da darüber hinaus die charakteristischen Spannungen der Übergänge, bei denen die Übergänge einen Zenerdurchbruch zeigen, additiv in die Durchbruchspannung der gesamten Anordnung eingehen, ist es möglich, die einzelnen Durchbruchspannungen gering zu wählen und dennoch durch die Addition der einzelnen Durchbruchspannungen die Begrenzung auf eine vergleichsweise hohe Spannung zu bewirken. Da bei den kleinen charakteristischen Spannungen der einzelnen Übergänge, welche beispielsweise bei 4,2 V liegen können, der Zenereffekt stark dominiert, das heißt der Lawinendurchbruch noch keine beziehungsweise eine nur stark untergeordnete Rolle spielt, kann trotz der bereitgestellten hohen Grenzspannung ein praktisch temperaturunabhängiger Kennlinienverlauf zur Verfügung gestellt werden.

Vorzugsweise sind die Halbleiterschichten hochdotiert. Eine hohe Dotierung führt zu einer geringen Durchbruch-

WO 02/03473

PCT/DE01/02309

5

spannung und somit zu der erwünschten Temperaturunabhängigkeit der Vorrichtung.

Es kann vorteilhaft sein, wenn die Halbleiterschichten eine konstante Dotierung aufweisen. Dies bietet sich im Sinne einer einfachen Herstellung an. Ferner lässt sich die Durchbruchspannung aufgrund der identischen Eigenschaften der Übergänge zwischen den Schichten bei konstanter Dotierung in einfacher Weise berechnen.

Es kann ebenfalls bevorzugt sein, wenn die P-dotierten Halbleiterschichten und die N-dotierten Halbleiterschichten mit derselben Konzentration dotiert sind. Man erhält somit eine gleichmäßige Ausbildung der Verarmungszone sowohl in die N-dotierten Halbleiterschichten als auch in die P-dotierten Halbleiterschichten. Dies erlaubt eine gleichmäßige Gestaltung der Schichtenfolge.

Es kann bevorzugt sein, dass die P-dotierten Halbleiterschichten mindestens zwei Gruppen bilden, die mit unterschiedlichen Konzentrationen dotiert sind. Auf diese Weise ist es möglich, eine bezüglich der Spannungspolarität unsymmetrische Kennlinie zu erhalten, anders als im Falle einheitlicher Dotierung aller P-Halbleiterschichten beziehungsweise aller N-Halbleiterschichten, wo eine symmetrische Kennlinie vorliegt. Somit könne verschiedene Spannungsbegrenzungen je nach Polarität der Spannung bereitgestellt werden.

Aus demselben Grunde kann es vorteilhaft sein, wenn die N-dotierten Halbleiterschichten mindestens zwei Gruppen

WO 02/03473

PCT/DE01/02309

6

bilden, die mit unterschiedlichen Konzentrationen dotiert sind.

Es ist möglich, dass die Halbleiterschichten auf einem N-dotierten Substrat angeordnet sind.

Ebenso ist es möglich, dass die Halbleiterschichten auf einem P-dotierten Substrat angeordnet sind. Man ist folglich nicht auf eine bestimmte Dotierung des Substrats angewiesen, wodurch die Anordnung im Hinblick auf die Herstellung und die Anwendung flexibel ist.

Es kann nützlich sein, dass die Art der Dotierung der von dem Substrat entferntesten Halbleiterschicht der Art der Dotierung des Substrates entspricht.

Andererseits ist es aber auch möglich, dass die Art der Dotierung der von dem Substrat entferntesten Halbleiterschicht anders ist als die Art der Dotierung des Substrates. Auch hier ist man also im Hinblick auf die Herstellung und die Anwendungsbereiche der Anordnung flexibel und nicht auf eine bestimmte Dotierungsart der äußersten Halbleiterschichten beschränkt.

Es kann vorteilhaft sein, wenn die Halbleiterschichten eine Dicke von etwa 4 μm aufweisen. Eine solche Dicke ist bei den praktikablen Durchbruchspannungen der einzelnen Übergänge und den damit im Zusammenhang stehenden Dicken der Verarmungszonen passend, das heißt hinreichend hoch.

Man vermeidet durch die entsprechende Dicke, dass die durch die in Durchflussrichtung gepolten Übergänge injizierten Minoritätsladungsträger eine Raumladungszone ei-

WO 02/03473

PCT/DE01/02309

7

nes benachbarten Übergangs erreichen, der sich in Sperrpolung befindet. Dies ist unbedingt erforderlich, denn andernfalls würde die gesamte Anordnung "gezündet" (Thyristoreffekt).

5

Es kann nützlich sein, wenn das Substrat eine Dicke von etwa 500 µm aufweist. Unter anderem wird durch eine solche Substratdicke eine hinreichende mechanische Stabilität gewährleistet.

10

Vorzugsweise liegt die Konzentration der Dotierung im Bereich von 2×10^{19} Atome/cm³. Bei einer derartig hohen Dotierungskonzentration erhält man einen Zener effekt in jedem Übergang bei der erwünschten niedrigen Zenerspannung und somit mit entsprechend geringer Temperaturabhängigkeit.

15

In einer speziellen Ausführungsform sind etwa 10 Übergänge zwischen P-dotierten Halbleiterschichten und N-dotierten Halbleiterschichten vorgesehen. Bei Zenerspannungen im Bereich von 4,2 V und Durchlassspannungen im Bereich von 0,7 V erhält man somit eine beispielhafte gesamte Durchbruchspannung von 50 V ohne signifikante Temperaturabhängigkeit. Würde man eine solche Spannungsbegrenzung mit einer herkömmlichen Konstruktion des Standes der Technik, das heißt mit einzelnen Zenerdioden realisieren wollen, so hätte man aufgrund der starken Dominanz des Lawineneffektes eine beachtliche und mitunter nicht tolerable Temperaturabhängigkeit.

20

Bevorzugt weist die Anordnung auf ihrer Oberseite und ihrer Unterseite jeweils Metallkontakte auf, welche sich

25

30

WO 02/03473

PCT/DE01/02309

8

über ihre gesamte Fläche erstrecken. Damit ist die Anordnung für eine Weiterverarbeitung vorbereitet, wie sie gewöhnlich bei Halbleiterbauteilen erfolgt.

- 5 Vorzugsweise sind die Halbleiterschichten Siliziumschichten. Mit Silizium lassen sich die hohen Dotierungen und der gewünschte Schichtaufbau in besonders günstiger Weise verwirklichen.
- 10 Die Erfindung besteht gemäß Anspruch 17 ferner in einem Verfahren zum Herstellen einer Anordnung mit P-dotierten und N-dotierten Halbleiterschichten, welche zwischen den P-dotierten Halbleiterschichten und den N-dotierten Halbleiterschichten Übergänge aufweist, wobei die Übergänge
- 15 beim Anlegen einer für einen Übergang charakteristischen Spannung einen Zenerdurchbruch zeigen, eine Mehrzahl von Übergängen zwischen P-dotierten Halbleiterschichten und N-dotierten Halbleiterschichten vorliegt und die charakteristischen Spannungen additiv in die Durchbruchspannung
- 20 der gesamten Anordnung eingehen, wobei das Verfahren das Aufbringen der Halbleiterschichten durch Epitaxie aufweist. Epitaxie ist ein besonders geeignetes Verfahren, um Schichtanordnungen, welche die vorliegende Erfindung ausmachen, aufzubauen.
- 25 Vorzugsweise findet die Epitaxie bei etwa 1180°C statt. Diese Temperatur hat sich als besonders günstig für eine fehlerfreie Schichtbildung erwiesen.
- 30 Ebenso ist es nützlich, wenn die Epitaxie mit einer Wachstumsrate von etwa 4 µm/min erfolgt. Hierdurch wird ein Schichtaufbau in hoher Qualität sichergestellt, wobei

WO 02/03473

PCT/DE01/02309

9

das Herstellungsverfahren eine ausreichende Geschwindigkeit aufweist.

Vorzugsweise werden auf die Oberseite und die Unterseite der Anordnung Metallkontakte aufgesputtert. Durch diese Metallkontakte, welche bevorzugt die gesamte Oberseite und die gesamte Unterseite der Anordnung bedecken, ist die Anordnung für eine Weiterverarbeitung vorbereitet. Das Verfahren des Sputterns hat sich für das Aufbringen von dünnen Metallschichten als besonders zuverlässig erwiesen.

Bevorzugt wird die Anordnung nach dem Aufsputtern der Metallkontakte in einzelne Chips zerteilt. Zum Beispiel könnte ein anfangs verwendetes Siliziumsubstrat einen Durchmesser von 125 mm aufweisen. Die aus dem Verfahren resultierenden Chips, welche beispielsweise unter Verwendung einer Kreissäge hergestellt werden, können dann zum Beispiel eine Fläche von 20 mm² aufweisen.

Besonders bevorzugt ist es, dass die Ränder der Chips entfernt werden. Werden die Chips beispielsweise durch einen Sägevorgang erzeugt, so entstehen am Chiprand Kristallstörungen, die sich auf die elektrischen Eigenschaften des Bauteils negativ auswirken. Dieser gestörte Halbleiterbereich am Chiprand wird dann zum Beispiel bis in eine Tiefe von ca. 50 µm entfernt. Dies kann beispielsweise durch Ätzen in KOH erreicht werden. Das Ätzen erfolgt häufig erst dann, wenn der Chip mit Vorder- und Rückseite in ein Kupfergehäuse gelötet worden ist. Die weitere Verpackung erfolgt dann in einer in der Diodentechnik üblichen Art und Weise.

WO 02/03473

PCT/DE01/02309

10

Neben dem Aufbau der Schichtanordnung durch Epitaxie ist es auch möglich, dünne Siliziumscheiben mittels Waferbonden zusammenzufügen. Somit ist man im Hinblick auf die Herstellung variabel.

Der Erfindung liegt die überraschende Erkenntnis zugrunde, dass es mit einer entsprechenden Schichtanordnung aus P-dotierten und N-dotierten Halbleiterschichten möglich ist, eine bipolare Spannungsbegrenzung mit vernachlässigbarer Temperaturabhängigkeit zur Verfügung zu stellen. Die Durchbruchspannung einzelner PN-Übergänge kann durch geeignete Dotierung so gewählt werden, dass ein praktisch reiner Zenerdurchbruch erfolgt. Indem die Schichtanordnung so gestaltet wird, dass die Durchbruchspannungen der einzelnen PN-Übergänge additiv in die Durchbruchspannung der Gesamtanordnung eingehen, lässt sich eine Spannungsbegrenzung auch für hohe Spannungen mit geringer Temperaturabhängigkeit erzeugen.

Zeichnungen

Die Erfindung wird nachfolgend mit Bezug auf die begleitenden Zeichnungen anhand von Ausführungsformen beispielhaft erläutert.

Figur 1 zeigt schematisch einen Querschnitt einer erfindungsgemäßen Anordnung.

Figur 2 zeigt eine Kennlinie einer Anordnung gemäß Figur 1;

WO 02/03473

PCT/DE01/02309

11

Figur 3 zeigt ein Dotierprofil einer Anordnung gemäß Figur 1;

5 Figur 4 zeigt schematisch einen Querschnitt einer weiteren Ausführungsform einer erfindungsgemäßen Anordnung;

Figur 5 zeigt eine Kennlinie einer Anordnung gemäß Figur 4;

10 Figur 6 zeigt eine Schaltung des Standes der Technik;

Figur 7 zeigt eine Kennlinie der Anordnung gemäß Figur 6.

15 **Beschreibung der Ausführungsbeispiele**

Figur 1 zeigt schematisch einen Querschnitt einer erfindungsgemäßen Anordnung. Auf einem N-dotierten Siliziumsubstrat 10 ist eine Mehrzahl von P-dotierten Halbleiterschichten 12 und N-dotierten Halbleiterschichten 14 angeordnet. Zwischen den P-dotierten Halbleiterschichten 12 und den N-dotierten Halbleiterschichten 14 liegen eine Mehrzahl von Halbleiterübergängen vor. Die P-dotierten Halbleiterschichten 12 haben eine Dicke TP, während die N-dotierten Halbleiterschichten eine Dicke TN aufweisen. Im vorliegenden Fall sind die Dicken TP und TN etwa gleich und betragen ca. 4 µm. Das Substrat hat eine Dicke TS von im vorliegenden Beispiel ca. 525 µm. Da insgesamt 10 P-dotierte Halbleiterschichten und 10 N-dotierte Halbleiterschichten 14 auf dem Substrat 10 angeordnet sind, ergibt sich aus diesen Angaben die Gesamtdicke der Anord-

nung T zu 605 μm . Im vorliegenden Beispiel ist Silizium als Halbleiter gewählt. Auf dem N-dotierten Substrat 10 und der obersten Halbleiterschicht, welche im vorliegenden Fall eine N-dotierte Halbleiterschicht 14 ist, befinden sich Metallkontakte 16, 18, die durch einen Sputtervorgang aufgebracht wurden. Die Halbleiterschichten 12, 14 weisen eine konstante Dotierung von jeweils ca. 2×10^{19} Atome/ cm^3 auf. Die Schichten 12, 14 wurden durch Epitaxie auf die jeweils darunter liegende Schicht aufgebracht. In einer bevorzugten Ausführungsform findet die Epitaxie so statt, dass eine Temperatur von 1180°C und eine Wachstumsrate von 4 $\mu\text{m}/\text{min}$ gewählt wird. Im vorliegenden Beispiel gemäß Figur 1 ist die Schichtanordnung so gewählt, dass die oberste Schicht und die unterste Schicht (Substrat) denselben Dotiertyp aufweisen, im vorliegenden Fall eine N-Dotierung. Weiterhin ist es möglich, dass die beiden äußeren Halbleiterschichten eine P-Dotierung aufweisen. Ferner können die äußeren Schichten von unterschiedlichem Dotiertyp sein, sowohl bei einem N-Substrat als auch bei einem P-Substrat.

Figur 2 zeigt vereinfacht einen Kennlinienverlauf der Anordnung aus Figur 1. Legt man an die Metallelektrode 18 eine im Vergleich zur Elektrode 16 positive Spannung U an, so fließt bis zum Erreichen der Sperrspannung UZ außer einem relativ kleinen Sperrstrom kein Strom. Wird versucht, die Spannung U noch weiter zu steigern, so steigt der Strom durch die Anordnung aufgrund der Zenerdurchbrüche bei den einzelnen Übergängen zwischen den Halbleiterschichten stark an. Da die Anordnung symmetrisch aufgebaut ist, tritt bei Vertauschen der Polarität der angelegten Spannung U dasselbe elektrische Verhalten

WO 02/03473

PCT/DE01/02309

13

mit umgekehrten Vorzeichen auf. Bei n P-dotierten Epitaxieschichten und n N-dotierten Epitaxieschichten gilt für die Durchbruchspannung U_Z :

$$5 \quad U_Z = n \times (U_{Z1} + U_F).$$

Dabei ist U_{Z1} die Durchbruchspannung eines einzelnen Übergangs, und U_F ist die Flussspannung einer einzelnen PN-Diode. Die durchgezogene Linie in Figur 2 zeigt das
 10 Strom-Spannungs-Verhalten der Anordnung bei Raumtemperatur (RT). Die unterbrochene Linie zeigt das Verhalten bei stark erhöhter Temperatur (HT). Es ist zu erkennen, dass bis zu sehr hohen Strömen praktisch keine Beeinflussung der Kennlinie aufgrund der Temperatur erfolgt. Erst bei
 15 sehr hohen Stromdichten, etwa im Bereich oberhalb von 200 A/cm², liegt wieder ein nicht vernachlässigbarer positiver Temperaturkoeffizient vor.

In Figur 3 ist das Dotierprofil der Anordnung aus Figur 1 dargestellt, wobei die Anzahldichte der Dotieratome N gegen den Ort x aufgetragen ist. Die durchgezogenen Linien kennzeichnen N-dotiertes Silizium. Die gepunkteten Linien kennzeichnen P-dotiertes Silizium. Die linke Seite des Diagramms in Figur 3 entspricht der N-dotierten Siliziumschicht aus Figur 1, welche an die Metallelektrode 18 angrenzt, während die rechte Seite des Diagramms in Figur 3 dem Substrat 10 aus Figur 1 entspricht, welches an die Metallelektrode 16 aus Figur 1 angrenzt. Es ist zu erkennen, dass eine konstante Dotierungskonzentration von $2 \times$
 20
 25
 30 10^{19} Atome/cm³ vorliegt.

Figur 4 zeigt schematisch einen Querschnitt einer weiteren Ausführungsform einer erfindungsgemäßen Anordnung, welche ebenfalls eine Spannungsbegrenzung bei beliebiger Spannungspolarität zur Folge hat. Es wurde erwähnt, dass die Anordnung gemäß Figur 1 einen symmetrischen Kennlinienverlauf im Hinblick auf die Polarität der angelegten Spannung hat. Durch die in Figur 4 dargestellte Anordnung erreicht man hingegen einen unsymmetrischen Kennlinienverlauf. Das Besondere an dieser Anordnung besteht darin, dass zweierlei Arten von P-dotierten Halbleiterschichten vorliegen. Eine erste P-dotierte Halbleiterschicht 20 weist eine geringere Dotierungskonzentration als eine zweite P-dotierte Halbleiterschicht 22 auf. Die Dotierungskonzentration der N-Halbleiterschichten ist einheitlich. Hierdurch erhält man Dioden mit unterschiedlichen Durchbruchspannungen, entsprechend den Übergängen N(P'P) beziehungsweise (P'P)N. Wenn die Dioden in Sperrrichtung belastet werden, so ist die Durchbruchspannung U_{Z1} der (P'P)N-Diode größer als die Durchbruchspannung U_{Z2} der N(P'P)-Diode. Bei n Übergängen erhält man bei positiver Spannung an dem Metallkontakt 18 bezüglich des Metallkontaktes 16 eine Durchbruchspannung von

$$U_Z = n \times (U_{Z2} + U_F).$$

Bei umgekehrter Polarität der Spannung ergibt sich die Durchbruchspannung zu

$$U_Z = -n \times (U_{Z1} + U_F).$$

Auch die Anordnung gemäß Figur 4 ist im Hinblick auf die äußersten Halbleiterschichten und im Hinblick auf die Do-

WO 02/03473

PCT/DE01/02309

15

tiertypen prinzipiell variabel. So kann anstelle eines N-Substrats auch ein P-Substrat verwendet werden. Entsprechend würden bei einem P-Substrat höher dotierte N⁺-Schichten und weniger hochdotierte N-Schichten verwendet.

5 Die äußersten Schichten der Halbleiteranordnung können im Hinblick auf den Dotiertyp wiederum übereinstimmen oder verschieden sein.

Figur 5 zeigt eine Kennlinie einer Anordnung gemäß Figur 4. Bei geeigneter Dimensionierung, sowohl im Hinblick auf die Geometrie als auch im Hinblick auf die Konzentrationen, erhält man wieder praktisch temperaturunabhängige Kennlinienverläufe, was in Figur 5 dargestellt ist. Figur 5 entspricht in ihrem prinzipiellen Aufbau Figur 2, wobei

10 hier allerdings der unsymmetrische Kennlinienverlauf entscheidend ist.

Die vorhergehende Beschreibung der Ausführungsbeispiele gemäß der vorliegenden Erfindung dient nur zu illustrativen Zwecken und nicht zum Zwecke der Beschränkung der Erfindung. Im Rahmen der Erfindung sind verschiedene Änderungen und Modifikationen möglich, ohne den Umfang der Erfindung sowie ihre Äquivalente zu verlassen.

20

25

WO 02/03473

PCT/DE01/02309

16

5 Ansprüche

1. Anordnung mit P-dotierten Halbleiterschichten (12, 20, 22) und N-dotierten Halbleiterschichten (14, 10), welche zwischen den P-dotierten Halbleiterschichten (12, 20, 22) und den N-dotierten Halbleiterschichten (14, 10) Übergänge aufweist, wobei die Übergänge beim Anlegen einer für einen Übergang charakteristischen Spannung einen Zenerdurchbruch zeigen, **dadurch gekennzeichnet**, dass eine Mehrzahl von Übergängen zwischen P-dotierten Halbleiterschichten (12, 20, 22) und N-dotierten Halbleiterschichten (14, 10) vorliegt und dass die charakteristischen Spannungen additiv in die Durchbruchspannung der gesamten Anordnung eingehen.
- 20 2. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass die Halbleiterschichten (10, 12, 14, 20, 22) hochdotiert sind.
3. Anordnung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, dass die Halbleiterschichten (10, 12, 14, 20) eine konstante Dotierung aufweisen.
- 25 4. Anordnung nach einem der vorangehenden Ansprüche, **dadurch gekennzeichnet**, dass die P-dotierten Halbleiterschichten (12) und die N-dotierten Halbleiterschichten (14) mit derselben Konzentration dotiert sind.
- 30

WO 02/03473

PCT/DE01/02309

17

5. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die P-dotierten Halbleiterschichten (20, 22) mindestens zwei Gruppen bilden, die mit unterschiedlichen Konzentrationen dotiert sind.
- 5 6. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die N-dotierten Halbleiterschichten mindestens zwei Gruppen bilden, die mit unterschiedlichen Konzentrationen dotiert sind.
- 10 7. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterschichten (12, 14, 20, 22) auf einem N-dotierten Substrat (10) angeordnet sind.
- 15 8. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterschichten auf einem P-dotierten Substrat angeordnet sind.
- 20 9. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Art der Dotierung der von dem Substrat (10) entferntesten Halbleiterschicht der Art der Dotierung des Substrates (10) entspricht.
- 25 10. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Art der Dotierung der von dem Substrat entferntesten Halbleiterschicht anders ist als die Art der Dotierung des Substrates.
- 30 11. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterschichten (12, 14, 20, 22) eine Dicke von etwa 4 µm aufweisen.

WO 02/03473

PCT/DE01/02309

18

12. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das Substrat (10) eine Dicke von etwa 500 μm aufweist.
- 5 13. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Konzentration der Dotierung im Bereich von 2×10^{19} Atome/ cm^3 liegt.
- 10 14. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass etwa 10 Übergänge zwischen P-dotierten Halbleiterschichten (12) und N-dotierten Halbleiterschichten (14) vorgesehen sind.
- 15 15. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass sie auf ihrer Oberseite und auf ihrer Unterseite jeweils Metallkontakte (16, 18) aufweist, welche sich über ihre gesamte Fläche erstrecken.
- 20 16. Anordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterschichten (10, 12, 20, 22) Siliziumschichten sind.
- 25 17. Verfahren zum Herstellen einer Anordnung mit P-dotierten Halbleiterschichten (12, 20, 22) und N-dotierten Halbleiterschichten (14, 10), welche zwischen den P-dotierten Halbleiterschichten (12, 20, 22) und den N-dotierten Halbleiterschichten (14, 10) Übergänge aufweist, wobei die Übergänge beim Anlegen einer für einen
- 30 Übergang charakteristischen Spannung einen Zenerdurchbruch zeigen, eine Mehrzahl von Übergängen zwischen P-dotierten Halbleiterschichten (12, 20, 22) und N-

WO 02/03473

PCT/DE01/02309

19

dotierten Halbleiterschichten (14, 10) vorliegt und die charakteristischen Spannungen additiv in die Durchbruchspannung der gesamten Anordnung eingehen, wobei das Verfahren das Aufbringen der Halbleiterschichten (12, 14, 5 20, 22) durch Epitaxie aufweist.

18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, dass die Epitaxie bei etwa 1180°C stattfindet.

10 19. Verfahren nach Anspruch 17 oder 18, dadurch gekennzeichnet, dass die Epitaxie mit einer Wachstumsrate von etwa 4 µm/min erfolgt.

20. Verfahren nach einem der Ansprüche 17 bis 19, dadurch gekennzeichnet, dass auf die Oberseite und die Unterseite 15 der Anordnung Metallkontakte (16, 18) aufgesputtert werden.

21. Verfahren nach einem der Ansprüche 17 bis 20, dadurch gekennzeichnet, dass die Anordnung nach dem Aufputtern der Metallkontakte (16, 18) in einzelne Chips zerteilt 20 wird.

22. Verfahren nach einem der Ansprüche 17 bis 21, dadurch gekennzeichnet, dass die Ränder der Chips entfernt werden. 25

23. Verfahren nach einem der Ansprüche 17 bis 22, dadurch gekennzeichnet, dass dünne Siliziumscheiben durch Wafer- 30 bonden zusammengefügt werden.

WO 02/03473

PCT/DE01/02309

1 / 4

Fig.1

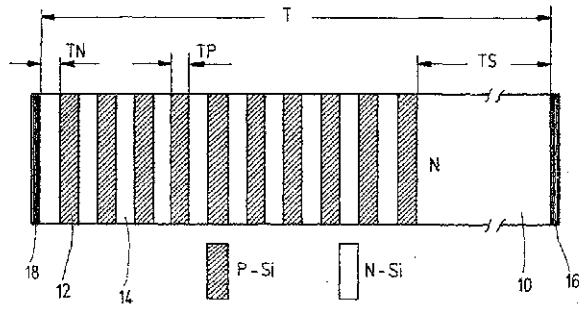
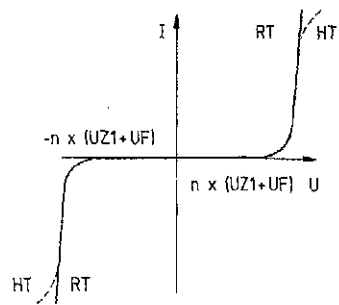


Fig.2

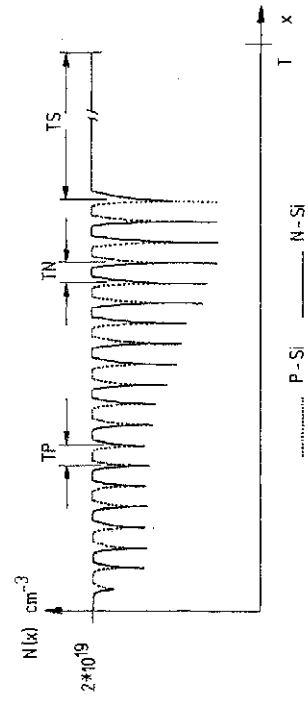


WO 02/03473

PCT/DE01/02309

2 / 4

Fig.3



WO 02/03473

PCT/DE01/02309

3 / 4

Fig.4

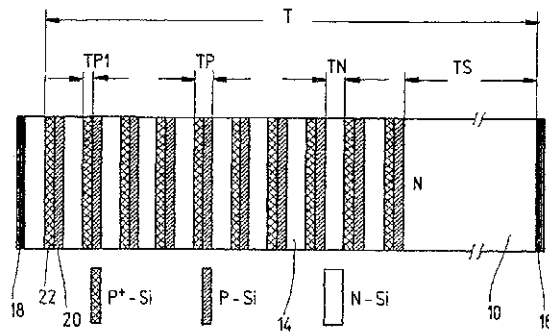
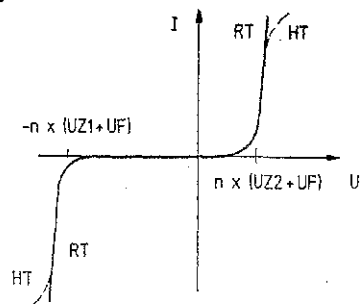


Fig.5



WO 02/03473

PCT/DE01/02309

4. / 4

Fig.6

STAND DER TECHNIK

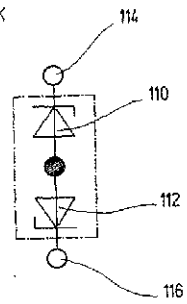
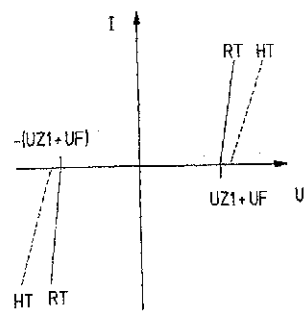


Fig.7

STAND DER TECHNIK



INTERNATIONAL SEARCH REPORT

INTERNATIONAL SEARCH REPORT

Inver
 Application No.
 PCT/DE 01/02309

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/866 H01L21/329 H01L27/09

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

WPI Data, PAJ, EPO-Internal, INSPEC, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category * Citation of document, with indication, where appropriate, of the relevant passages

Relevant to claim No.

X	US 4 040 171 A (CLINE HARVEY E ET AL) 9 August 1977 (1977-08-09) column 1, line 16 - column 8, line 40; figures 2-7	1-22 23
Y	US 4 554 568 A (CHAMPON JACQUES ET AL) 19 November 1985 (1985-11-19) abstract; figure 3	23
A	US 3 015 762 A (WILLIAM SHOCKLEY) 2 January 1962 (1962-01-02) abstract; figure 1	1

-/-

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

A documents defining the general state of the art which is not considered to be of particular relevance

L earlier document published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

C document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

B document member of the same patent family

Date of the actual completion of the international search

Date of making of the international search report

29 October 2001

05/11/2001

Name and mailing address of the ISA

Authorized officer

European Patent Office, P.O. Box 5818 Palatkaan 2
 NL - 2280 HV Nieuwaki
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl
 Fax (+31-70) 340-3010

Berthold, K

INTERNATIONAL SEARCH REPORT		Inter. Application No. PCT/DE 01/02309
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 007, no. 099 (E-172), 27 April 1983 (1983-04-27) & JP 58 021374 A (TOKYO SHIBAURA DENKI KK), 8 February 1983 (1983-02-08) abstract	1
A	US 5 973 359 A (KOBAYASHI TAKASHI ET AL) 26 October 1999 (1999-10-26) abstract; figures 1,6,7	1
A	US 3 953 254 A (VALDMAN HENRI) 27 April 1976 (1976-04-27) abstract; figure 4	17
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 454 (E-1135), 19 November 1991 (1991-11-19) & JP 03 195054 A (FUJII ELECTRIC CO LTD), 26 August 1991 (1991-08-26) abstract	17
A	US 4 200 677 A (OGAWA TAKUZO ET AL) 29 April 1980 (1980-04-29) abstract; figure 6	6

Form PCT/ISA220 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

 International Application No.
 PCT/DE 01/02309

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4040171	A	09-08-1977 US 3988757 A	26-10-1976
US 4554568	A	19-11-1985 FR 2508703 A1	31-12-1982
		DE 3276559 D1	16-07-1987
		EP 0069634 A2	12-01-1983
		JP 58009375 A	19-01-1983
US 3015762	A	02-01-1962 NONE	
JP 58021374	A	08-02-1983 NONE	
US 5973359	A	26-10-1999 JP 3191747 B2	23-07-2001
		JP 11145466 A	28-05-1999
US 3953254	A	27-04-1976 FR 2205746 A1	31-05-1974
		BE 807001 A1	01-03-1974
		DE 2355405 A1	16-05-1974
		GB 1442838 A	14-07-1976
		IT 996388 B	10-12-1975
JP 03195054	A	26-08-1991 NONE	
US 4200877	A	29-04-1980 JP 53078788 A	12-07-1978
		DE 2756268 A1	29-06-1978
		GB 1559930 A	30-01-1980

INTERNATIONALER RECHERCHENBERICHT		Intern. als Aktenzeichen PCT/DE 01/02309
A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L29/866 H01L21/329 H01L27/08		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE Rechnerischer Mindestprüfstoß (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Rechercheierte aber nicht zum Mindestprüfstoß gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) WPI Data, PAJ, EPO-Internal, INSPEC, COMPENDEX, IBM-TDB		
C. ALS WESENTLICH ANGEZEICHNETE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruchs Nr.
X	US 4 040 171 A (CLINE HARVEY E ET AL) 9. August 1977 (1977-08-09) Spalte 1, Zeile 16 - Spalte 8, Zeile 40; Abbildungen 2-7	1-22
Y	---	23
Y	US 4 554 568 A (CHAMPON JACQUES ET AL) 19. November 1985 (1985-11-19) Zusammenfassung; Abbildung 3	23
A	US 3 015 762 A (WILLIAM SHOCKLEY) 2. Januar 1962 (1962-01-02) Zusammenfassung; Abbildung 1	1

	-/-	
☒ Weitere Veröffentlichungen sind der Fortsetzung von I und C zu entnehmen. ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist. "L" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist. "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhafte Erscheinung zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Forschungsbericht genannten Veröffentlichung betingt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt). "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht. "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem besprochenen Prioritätsdatum veröffentlicht worden ist.		
** Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht identisch ist, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist. "X" Veröffentlichung von besonderer Bedeutung, die besondere Erfindung kann nicht auf diese Veröffentlichung nicht als neu oder auf erfindungsfähigkeit beruhend betrachtet werden. "Y" Veröffentlichung von besonderer Bedeutung, die besondere Erfindung kann nicht auf diese Veröffentlichung nicht als neu oder auf erfindungsfähigkeit beruhend betrachtet werden. "Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist.		
Datum des Abschlusses der internationalen Recherche		Abschlußdatum des internationalen Recherchenberichts
29. Oktober 2001		05/11/2001
Name und Postanschrift der Internationalen Recherchenbehörde Europäischer Patentamt, P.B. 3515 Patenthaus 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-3040, Tx. 31 651 apo nl Fax. (+31-70) 340-3016		Bevollmächtigter Beauftragter Berthold, K

Formblatt PCT/SA/210 (Rev. 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT		Inventor des Abdruckzeichens PCT/DE 01/02309
C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich weiter Angabe der in Betracht kommenden Teile	Bez. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 007, no. 099 (E-172), 27. April 1983 (1983-04-27) & JP 58 021374 A (TOKYO SHIBAURA DENKI KK), 8. Februar 1983 (1983-02-08) Zusammenfassung -----	1
A	US 5 973 359 A (KOBAYASHI TAKASHI ET AL) 26. Oktober 1999 (1999-10-26) Zusammenfassung; Abbildungen 1,6,7 -----	1
A	US 3 953 254 A (VALDMAN HENRI) 27. April 1976 (1976-04-27) Zusammenfassung; Abbildung 4 -----	17
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 454 (E-1135), 19. November 1991 (1991-11-19) & JP 03 195054 A (FUJII ELECTRIC CO LTD), 26. August 1991 (1991-08-26) Zusammenfassung -----	17
A	US 4 200 877 A (OGAWA TAKUZO ET AL) 29. April 1980 (1980-04-29) Zusammenfassung; Abbildung 6 -----	6

Formblatt PCT/IS/270 (Fortsetzung von Blatt 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Inventor: es Abkürzungen
PCT/DE 01/02309

In Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 4040171	A	09-08-1977	US	3988757 A		26-10-1976
US 4554568	A	19-11-1985	FR	2508703 A1		31-12-1982
			DE	3276559 D1		16-07-1987
			EP	0069634 A2		12-01-1983
			JP	58009375 A		19-01-1983
US 3015762	A	02-01-1962	KEINE			
JP 58021374	A	08-02-1983	KEINE			
US 5973359	A	26-10-1999	JP	3191747 B2		23-07-2001
			JP	11145466 A		28-05-1999
US 3953254	A	27-04-1976	FR	2205746 A1		31-05-1974
			BE	807001 A1		01-03-1974
			DE	2355405 A1		16-05-1974
			GB	1442838 A		14-07-1976
			IT	996388 B		10-12-1975
JP 03195054	A	26-08-1991	KEINE			
US 4200877	A	29-04-1980	JP	53078788 A		12-07-1978
			DE	2756268 A1		29-06-1978
			GB	1559930 A		30-01-1980

フロントページの続き

(74)代理人 100114890

弁理士 アインゼル・フェリックス＝ラインハルト

(74)代理人 230100044

弁理士 ラインハルト・アインゼル

(72)発明者 リヒャルト シュピッツ

ドイツ連邦共和国 ロイトリンゲン レーマーシュタインシュトラッセ 56

(72)発明者 アルフレート ゲールラッハ

ドイツ連邦共和国 クスターディンゲン ビスマルクシュトラッセ 70