



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201030746 A1

(43)公開日：中華民國 99 (2010) 年 08 月 16 日

(21)申請案號：098136329

(22)申請日：中華民國 98 (2009) 年 10 月 27 日

(51)Int. Cl. : **G11C11/34 (2006.01)**

(30)優先權：2008/11/04 美國 61/111,013
2009/06/08 美國 61/184,965
2009/07/24 美國 12/508,926

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：潘弘柏 PYEON, HONG BEOM (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：25 項 圖式數：15 共 94 頁

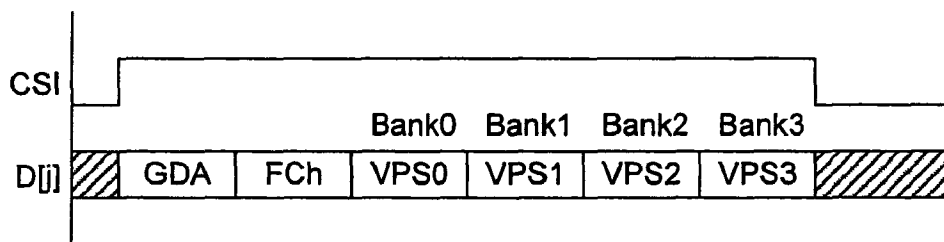
(54)名稱

具有可配置的虛擬頁面大小之橋接裝置

A BRIDGING DEVICE HAVING A CONFIGURABLE VIRTUAL PAGE SIZE

(57)摘要

一種合成記憶體裝置，包含多數分離記憶體裝置以及用以控制此等分離記憶體裝置之橋接裝置。該橋接裝置具有組成為記憶體庫之記憶體，其中各記憶體庫配置成具有小於頁面緩衝器之最大實際大小之虛擬頁面大小。因此，僅有一段對應儲存於頁面緩衝器之虛擬頁面大小之資料被轉送至該記憶體庫。於具有排序結構之虛擬頁面大小(VPS)配置命令中提供記憶體庫之虛擬頁面大小，於該結構中，命令中含 VPS 配置碼之 VPS 資料欄的位置對應於從一最不重要記憶體庫至一最重要記憶體庫排序之不同記憶體庫。VPS 配置命令在大小上可變，並僅包含用於所配置之最重要記憶體庫及較不重要記憶體庫。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201030746 A1

(43)公開日：中華民國 99 (2010) 年 08 月 16 日

(21)申請案號：098136329

(22)申請日：中華民國 98 (2009) 年 10 月 27 日

(51)Int. Cl. : **G11C11/34 (2006.01)**

(30)優先權：2008/11/04 美國 61/111,013
2009/06/08 美國 61/184,965
2009/07/24 美國 12/508,926

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：潘弘柏 PYEON, HONG BEOM (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：25 項 圖式數：15 共 94 頁

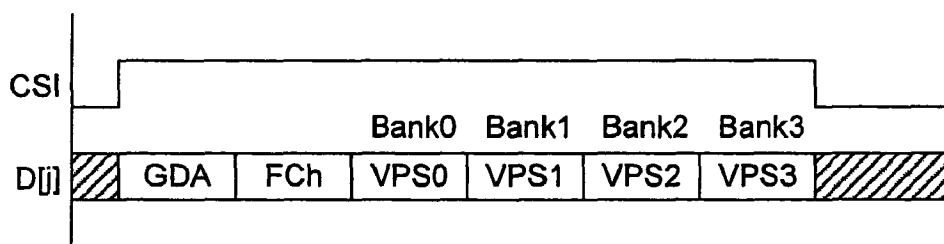
(54)名稱

具有可配置的虛擬頁面大小之橋接裝置

A BRIDGING DEVICE HAVING A CONFIGURABLE VIRTUAL PAGE SIZE

(57)摘要

一種合成記憶體裝置，包含多數分離記憶體裝置以及用以控制此等分離記憶體裝置之橋接裝置。該橋接裝置具有組成為記憶體庫之記憶體，其中各記憶體庫配置成具有小於頁面緩衝器之最大實際大小之虛擬頁面大小。因此，僅有一段對應儲存於頁面緩衝器之虛擬頁面大小之資料被轉送至該記憶體庫。於具有排序結構之虛擬頁面大小(VPS)配置命令中提供記憶體庫之虛擬頁面大小，於該結構中，命令中含 VPS 配置碼之 VPS 資料欄的位置對應於從一最不重要記憶體庫至一最重要記憶體庫排序之不同記憶體庫。VPS 配置命令在大小上可變，並僅包含用於所配置之最重要記憶體庫及較不重要記憶體庫。



六、發明說明

本申請案根據 2008 年 11 月 4 日所提出美國專利暫時申請案第 61/111,013 號、2009 年 6 月 8 日所提出美國專利暫時申請案第 61/184,965 號及 2009 年 7 月 24 日所提出美國專利暫時申請案第 12/508,926 號請求優先權，在此特併提其揭露全文以供參考。

【發明所屬之技術領域】

本發明係關於具有可配置的虛擬頁面大小之橋接裝置。

【先前技術】

半導體記憶體裝置在目前可購得之工業及消費電子產品中是重要的組件。例如，電腦、行動電話及其他可攜式電子產品均倚賴某些型式之記憶體來儲存資料。許多記憶體裝置能以商品或分離記憶體裝置購得，且對更高層次之整合以及更高輸入/輸出(I/O)帶寬之需要已導致可與諸如微控制器及其他處理電路之系統整合之埋入式記憶體之發展。

大部分消費性電子使用諸如快閃記憶體裝置之非揮發性記憶體裝置來儲存資料。由於此等裝置極適於雖然佔據很小物理空間，卻需要大量非揮發性儲存之種種用途，因此，快閃記憶體裝置之需要持續顯著增加。例如，快閃記憶體廣泛被發現於消費性裝置，像是數位相機、手機、通

用串列匯流排(USB)快閃裝置及可攜式音樂播放器，以儲存此等裝置所用之資料。不幸地，多媒體及 SSD 要求大量的記憶體，這可能增加其產品之格式參數大小及重量。因此，消費性產品廠商藉由限縮包含於產品之實體記憶體之數量來妥協，以保持其大小及重量可為消費者所接受。而且，雖然快閃記憶體可具有每單位面積較 DRAM 或 SRAM 更高的密度，其性能卻通常因其較低 I/O 帶寬而受限，這負面影響其讀取及寫入通量。

為滿足對記憶體裝置之無所不在應用性質的不斷增加之需要，宜具有高性能記憶體裝置，亦即具有更高 I/O 帶寬、更高讀取及寫入通量、及操作之彈性增加之裝置。

【發明內容】

於第一態樣中，提供一種配置用於半導體裝置中記憶庫之頁面大小之方法。該方法包括：辨識待配置之多數記憶庫之至少一記憶庫；發出僅包含對應該至少一記憶庫之配置碼之命令；以及響應對應該至少一記憶庫之該配置碼，配置該至少一記憶庫之頁面大小。根據一實施例，該等記憶庫從一最不重要記憶庫至一最重要記憶庫排序，且該辨識步驟包括辨識該至少一記憶庫之最重要記憶庫。於本實施例中，該至少一記憶庫之該最重要記憶庫對應於該記憶庫之該最不重要記憶庫。於本實施例中，該發出步驟可包含提供一對應該最不重要記憶庫之第一配置碼及一對應該最重要記憶庫之最後配置碼。而且，該發出步驟

可包含提供對應於該最不重要記憶庫與該最重要記憶庫間之插入記憶庫的中間配置碼。替代地，該發出步驟包括依序對應於該記憶庫之排序提供該第一配置碼、該中間配置碼及該最後配置碼。

於此替代性實施例中，該第一配置碼在時間上第一個提供，該最後配置碼在時間上最後一個提供。於又一替代性實施例中，該發出步驟包括在該第一配置碼前提供一標頭，其中該標頭包含後面有一操作碼之總體裝置位址。而且，該發出步驟包括在該標頭始端驅動一選通信號至一第一邏輯位準，並在該最後配置碼末端驅動一選通信號至一第二邏輯位準。

於又一替代性實施例中，該配置步驟包括於該半導體裝置中閃鎖該第一配置碼、該中間配置碼及該最後配置碼。該配置步驟可進一步包括分時多工傳送該第一配置碼、該中間配置碼及該最後配置碼時間至一資料匯流排。接著，該閃鎖步驟包括於不同時間，閃鎖該第一配置碼、該中間配置碼及該最後配置碼之每一者於該資料匯流排上。替代地，該閃鎖步驟包括以一時鐘信號之上升及下降緣之一同時閃鎖該第一配置碼、該中間配置碼及該最後配置碼之每一者於該資料匯流排上。可於第二邏輯位準接收該選通信號，使得不能於資料匯流排上閃鎖資料。

於第二態樣中，提供一種用以閃鎖大小可變之命令中的頁面大小配置碼之電路。該電路包括一資料匯流排及一頁面大小配置器。該資料匯流排於不同期間接收對應該等

頁面大小配置碼之至少一者之資料。該頁面大小配置器耦接於該資料匯流排，以於不同期間門鎖資料。該資料可包含對應於一頁面大小配置碼之位元之一部份以及對應於一頁面大小配置碼之所有位元。該不同期間對應於時脈周期，且該頁面大小配置器包括多數暫存器，其每一者具有一連接於該資料匯流排之輸入端，用來響應於不同時脈周期收到之脈波信號，門鎖該資料。

根據第二態樣之一實施例，該頁面大小配置器包括一骨牌啓動邏輯，用來響應一時鐘信號之上升及下降緣之一，產生脈波信號。該骨牌啓動邏輯可包含多數門鎖信號產生器，其等相互串聯，並依序致能，以響應該時鐘信號之上升及下降緣之一，產生該脈波信號。該骨牌啓動邏輯包括一種子信號，其響應一啓動信號，致能該等門鎖信號產生器之一第一門鎖信號產生器。該等門鎖信號產生器之每一者在一對應脈波信號產生後，致能一後續門鎖信號產生器。

【實施方式】

一般說來，至少某些實施例係有關合成記憶體裝置，其包含：多數分離記憶體裝置；以及橋接裝置，用以響應具有與記憶體裝置不相容之格式或協定，控制此等分離記憶體裝置。分離記憶體裝置可為市售離架記憶體裝置或客製化記憶體裝置，其響應本機或本地記憶體控制信號。總體及本地記憶體控制信號包含各具有不同格式之命令及命

令信號。

為相對於分離記憶體裝置改進合成記憶體裝置之整體取及寫入性能，橋接裝置配置成以大於分離記憶體裝置之最大頻率之頻率接收寫入資料並提供讀取資料。為說明本實例，寫入操作及程式操作被視為類似功能，此乃因為於二情況下，資料被儲存於記憶體之胞元內。然而，合成記憶體裝置內之分離記憶體裝置操作無法足夠快速地對橋接裝置即時提供其讀取資料，來使橋接裝置可以其更高料傳輸速率輸出讀取資料。因此，為補償此種速度失配，橋接裝置包含虛擬頁面緩衝器，以暫時儲存從分離記憶體裝置之頁面緩衝器讀取之至少一部分資料頁面，或將其寫至分離記憶體裝置之頁面緩衝器。

根據本文所述技術實施之系統及裝置可適用於具有複數個串聯裝置之記憶體系統。此等裝置例如為記憶體裝置，像是動態隨機存取記憶體 (DRAM)、靜態隨機存取記憶體 (SRAM)、DiNOR 快閃 EEPROM 記憶體、串聯快閃 EEPROM 記憶體、鐵 RAM 記憶體、磁 RAM 記憶體、相變記憶體及其他適當類型之記憶體。

以下係有助於對稍後說明之合成記憶體裝置及橋接裝置實施例之較佳瞭解之二不同記憶體裝置及系統的說明。

第 1A 圖係與主機系統 12 整合之非揮發性記憶體系統 10 之方塊圖。系統 10 包含與主機系統 12 通信之記憶體控制器 14 以及複數個非揮發性記憶體裝置 16-1、16-2、16-3 及 16-4。例如非揮發性記憶體裝置 16-1 至 16-4

可為分離同步快閃記憶體裝置。主機系統包含諸如微控制器、微處理器或電腦系統之處理裝置。第 1A 圖之系統 10 被組成包含一通道 18，記憶體裝置 16-1 至 16-4 與通道 18 並聯。熟於本技人士當知系統 10 可具有多於或少於四個之與其連接之記憶體裝置。於本圖示實施例中，記憶體裝置 16-1 至 16-4 異步且相互並聯。

通道 18 包含一組共用匯流排，其包含連接於其所有對應記憶體裝置之資料及控制線。各記憶體裝置藉記憶體控制器 14 所提供之個別晶片選擇(致能)信號 CE1#、CE2#、CE3# 及 CE4#致能或失效。於以下此等實施例中，“#”表示信號係有效低邏輯位準信號(亦即邏輯“0”狀態)。於本方案中，晶片選擇信號之一通常一次選擇以致能非揮發性記憶體裝置 16-1 至 16-4 之一對應者。記憶體控制器 14 負責響應主機系統 12 之操作，經由通道 18，將命令及資料發至所選記憶體裝置。來自記憶體裝置之讀取資料輸出經由通道 18 轉送回記憶體控制器 14 及主機系統 12。系統 10 一般說來包含多點匯流排，其中記憶體裝置 16-1 至 16-4 相對於通道 18 並聯。

第 1B 圖係可用於第 1A 圖之記憶體系統之分離快閃記憶體裝置 16-1 至 16-4 之一的圖式。該快閃記憶體裝置包含若干輸入及輸出埠，此等埠包含例如電源、控制埠及資料埠。該名詞“埠”係指對記憶體裝置 16-1 至 16-4 之輸入或輸出端子，其例如包含封裝接腳、封裝軟焊隆起、晶片接合墊及發送器和接收器。電源埠包含用以供應電力

至快閃記憶體裝置之所有電路之 VCC 及 VSS。如於本技藝所周知，可提供額外電源埠來僅供應輸入及輸出緩衝器。以下表 1 提供控制及資料埠、其對應說明、定義及例示性邏輯狀態之例示性列表。須知，不同記憶體裝置可具有不同名稱之控制及資料埠，其等可在功能上相當於表 1 所示者，惟遵循專屬於該型記憶體裝置之協定。此等協定可藉既定標準來約束或可針對特定用途客製化。須知封裝接腳及球形格柵陣列均係埠之具體例，其用來將封裝裝置之信號及電壓互連至一板。此等埠可包含其他類型的連接，像是例如用於埋入式及系統內封裝 (SIP) 系統之端子及接觸。

表 1

埠	說明
R/B#	預備/忙碌：R/B#係開放汲極埠，且輸出信號被用來指出裝置之操作狀態。在程式、抹除及讀取操作期間，R/B#信號處於忙碌狀態(R/B#=LOW)，並在操作完成後，回到預備狀態(R/B#= HIGH)。
CE#	晶片致能：當在裝置處於預備狀態期間，CE# HIGH時，裝置進入低電力待命狀態。當裝置處於忙碌狀態(R/B#= LOW)時，像是在程式或抹除或讀取操作期間，忽略 CE#信號，即使 CE#輸入為 HIGH，仍不進入待命模式。
CLE	命令門鎖致能(CLE)：CLE 輸入信號被用來控制對內部命令暫存器之操作模式命令載入。當 CLE HIGH時，於 WE # 信號之上升緣，位址資訊被從 I/O 埠門鎖入命令暫存器。
ALE	位址門鎖致能(ALE)：ALE 被用來控制對內部位址暫存器之資訊載入。當 ALE HIGH時，於 WE # 信號之上升緣，位址資訊被從 I/O 埠門鎖入內部位址暫存器。
WE #	寫入致能：WE # 信號被用來控制從 I/O 埠獲得資料。
RE #	讀取致能：RE 信號控制串聯資料輸出。在 RE # 之下降緣後，可取得資料。
WP #	寫入保護：WP # 信號被用來保護裝置以免意外程式化或抹除。當 WP # LOW時，重設內部電壓調節器(高電壓產生器)。該信號經常用來於輸入信號無效時，電力 on/off 順序期間，保護資料。
I/O[i]	I/O 埠：用來作為轉送位址、命令及輸入/輸出至及自裝置之埠。變數 n 可為任何非 0 整數值。

表 1 中所有信號一般均稱為記憶體控制信號，用於第 1B 圖所示例示性快閃記憶體裝置之操作。須知，最後一個埠 I/O[i]因可接收指示快閃記憶體裝置執行特定操作之命令而被視為記憶體控制信號。由於上升有效(asserted)於埠 I/O[i]之命令係應用於構成 I/O[i]之每一個別信號線之邏輯狀態與在和其他記憶體控制信號，例如 WP# 相同之方式下運作之各 I/O[i]信號之邏輯狀態的組合。主要不同點在於 I/O[i] 之邏輯狀態之特定組合控制快閃記憶體裝置來執行一功能。經由其 I/O 埠收到之命令及命令信號包含剩餘之控制埠。熟於本技藝人士瞭解於用以執行特定記憶體操作之命令中提供操作碼(op-codes)。除了晶片致能 CE#外，所有其他埠均連結於構成通道 18 之個別總體線。所有埠均以預定方式控制以執行記憶體操作。這包含在提供位址、命令及 I/O 資料在 I/O 埠上時特定信號之信號定時及排序。因此，用以控制第 1B 圖之異步快閃記憶體裝置之記憶體控制信號具有特定格式或協定。

第 1A 圖之非揮發性記憶體裝置之每一者具有一用以接收及提供資料之特定資料介面。於第 1A 圖之例子中，這是一般用於異步快閃記憶體裝置及某些像是規定於 ONFi2.0 標準之同步快閃記憶體裝置中的並聯資料介面。咸知並行提供資料之多位元之標準並聯資料介面受害於周知之通信劣化效應，像是例如串音、信號偏置及信號衰減，此等效應在其操作頻率外操作時降低信號品質。

為增加資料通量，具有串聯資料介面之記憶體裝置業

已揭示於共同擁有，名稱爲“Memory with Output Control”之美國專利公告案 20070153576 及共同擁有，名稱爲“Daisy Chain Cascading Devices”，以例如 200 MHz 之頻率串聯提供資料之美國專利公告案 20070076502。這稱爲串聯資料介面格式。如於此等共同擁有之專利公告案所示，所說明記憶體裝置可用在相互串聯之記憶體裝置之系統中。

第 2A 圖係顯示串聯記憶體系統例之概念性質之方塊圖。於第 2A 圖中，串聯環拓樸記憶體系統 20 包含記憶體控制器 22，其具有一組輸出埠 Sout 及一組輸入埠 Sin 以及串聯之記憶體裝置 24-1、24-2、24-3 及 24-4。此等記憶體裝置可例如爲串聯介面快閃記憶體裝置。雖於第 2A 圖中未圖示，各記憶體裝置可具有一組輸入埠 Sin 及一組輸出埠 Sout。此等輸入及輸出埠組包含諸如具體接腳或連接之一或更多個別輸入/輸出(I/O)埠，其等介接記憶體裝置至其所屬系統。於一例子中，記憶體裝置可爲快閃記憶體裝置。替代地，記憶體裝置裝置可爲 DRAM、SRAM、DiNOR 快閃 EEPROM、串聯快閃 EEPROM、鐵 RAM、磁 RAM、相變 RAM 及其他適當類型之記憶體裝置，其具有可與特定命令結構相容之 I/O 介面，以執行命令或傳遞命令及資料至次一記憶體裝置。目前第 2A 圖之例子包含四個記憶體裝置，不過，替代配置可包含單一記憶體裝置或任何適當數目之記憶體裝置。因此，若記憶體裝置 24-1 因連接於 Sout 而爲系統 20 之第一裝置，記憶

體裝置 24-N 即因連接於 Sin 而為系統 20 之第 N 或最後裝置，其中 N 為大於 0 之整數。24-3 與 24-N 間之記憶體裝置 24-2、24-3 及任何記憶體裝置係介於第一與最後記憶體裝置間之串聯記憶體裝置。於第 2A 圖之例子中，記憶體裝置 24-1 至 24-N 係同步且相互串聯連接記憶體控制器 22。

第 2B 圖係用於第 2A 圖之記憶體系統中之串聯介面快閃記憶體裝置(例如 24-1 至 24-N)之圖式。此例示性串聯介面快閃記憶體裝置包含電源埠、控制埠及資料埠。電源埠包含用以供應電力至快閃記憶體裝置之所有電路之 VCC 及 VSS。如於本技藝所周知，可提供額外電源埠來僅供應輸入及輸出緩衝器。以下表 2 提供控制及資料埠、其對應說明、定義及例示性邏輯狀態之例示性列表。須知，不同記憶體裝置可具有不同名稱之控制及資料埠，其等可在功能上相當於表 1 所示者，惟遵循專屬於該型記憶體裝置之協定。此等協定可藉既定標準來約束或可針對特定用途客製化。

表 2

埠	說明
CK/ CK#	時脈：CK 係系統時脈輸入。CK 及 CK#為不同時脈輸入。所有命令、位址、輸入資料及輸出資料均參考於二方向之 CK 及 CK#之交叉緣。
CE#	晶片致能：當 CE# LOW 時，裝置被致能。一旦裝置開始一程式或抹除操作，晶片致能埠即可解除判定。此外，CE# LOW 啟動，而 CE# HIGH 則停止內物時脈信號。
RST#	晶片重設：RST#提供裝置之重設。當 RST# HIGH 時，裝置處於正常操作模式。當 RST# LOW 時，裝置進入重設模式。
D[j]	資料輸入：(j=1,2,3,4,5,6,7 或 8)接收命令、位址及輸入資料。若裝置配置成‘1 位元鏈接模式(=內定)’，D1 即為唯一有效信號，並於 CK/CK#之 8 交點接收 1 位元分封。若裝置配置成‘2 位元鏈接模式(=內定)’，D1 及 D2 即為僅存有效信號，並於 CK/CK#之 4 交點傳輸 1 位元分封。未使用之輸出埠接地。
Q[j]	資料輸出：(j=1,2,3,4,5,6,7 或 8)於讀取操作期間傳輸輸出資料。若裝置配置成‘1 位元鏈接模式(=內定)’，Q1 即為唯一有效信號，並於 CK/CK#之 8 交點接收 1 位元分封。若裝置配置成‘2 位元鏈接模式(=內定)’，Q1 及 Q2 即為僅存有效信號，並於 CK/CK#之 4 交點傳輸 1 位元分封。未使用之輸出埠為 DNC(不連接)。
CSI	命令選通輸入：當 CSI HIGH 時，在 CK 與 CK#交點，透過 D[j]，門鎖命令、位址及輸入資料。當 CSI LOW 時，裝置忽略來自 D[j]之輸入信號。
CSO	命令選通輸出：回音信號 CSO 係源信號 CSI 之再傳輸型。
DSI	資料選通輸入：當 HIGH 時，致能 Q[j]緩衝器。當 DSI LOW 時，Q[j]緩衝器保持先前存取之資料。
DSO	資料選通輸出：回音信號 DSO 係源信號 DSI 之再傳輸型。

除了信號 CSO、DSO 及 Q[j]外，表 2 中之所有信號均為用於第 2B 圖之例示性快閃記憶體裝置之操作的記憶體控制信號。CSO 及 DSO 係 CSI 及 DSI 之重發型，且 Q[j]係用以提供命令及資料之輸出。命令經由其 D[j]埠接收且命令信號包含控制埠 RST#、CE#、CK、CK#及 DSI。於第 2A 圖所示例示性配置中，除了供至並聯之所有記憶體裝置之 CE#及 RST#外，所有信號自記憶體控制器 22 串聯傳至串聯之各記憶體裝置。因此，第 2B 圖之串聯介面快閃記憶體裝置接收具有其本身格式或協定之信號，以於其內執行記憶體操作。

第 2 圖之串聯記憶體系統之進一步細節揭示於 2008 年 2 月 15 日提出，共同擁有，名稱為“Clock Mode Determination in a Memory System”之美國專利公告案 20090039927，其說明一種串聯記憶體系統，其中各記憶體裝置接收並聯時脈信號，以及一種串聯記憶體系統，其中各記憶體裝置接收源同步時脈信號，

具有一般可購得之第 1B 圖之異步快閃記憶體裝置及第 2B 圖之串聯介面快閃記憶體裝置兩者容許記憶體系統製造廠商提供兩型記憶體系統。然而，由於須尋找及購買不同類型之記憶體裝置，因此，這可能為記憶體系統製造廠商帶來更高成本。熟於本技藝人士瞭解當大量購買時，每一記憶體裝置之價格會減少，因此，大量購買來將記憶體系統之成本降至最低。因此，雖然廠商可提供兩型記憶體系統，卻有一型記憶體裝置因另一者之高市場需求而掉

出市場需求外之虞。這可能使其購買而得到無法使用之記憶體裝置之供應。

如於第 1B 及 2B 圖所示，異步及串聯介面快閃記憶體之功能埠指定或定義大致彼此不同，並因此彼此不相容。用來控制分離記憶體裝置之數組信號之功能埠定義及順序或時序稱為協定或格式。因此，異步及串聯介面快閃記憶體響應不同記憶體控制信號格式操作。這意謂第 2B 圖之串聯介面快閃記憶體無法用於多點記憶體系統，且對應地，第 1B 圖之異步快閃記憶體裝置無法用於串聯環拓樸記憶體系統。

雖然第 2A 及 2B 圖所示串聯介面快閃記憶體較第 1A 及 1B 圖之異步快閃記憶體裝置更宜用於其改進性能，記憶體系統製造廠商卻可能不想處理異步快閃記憶體裝置之供應。而且，由於其到處用於產業中，因此，異步快閃記憶體裝置相對於諸如第 2A 圖之串聯介面快閃記憶體之替代快閃記憶體裝置購買起來較便宜。目前，記憶體系統製造廠商對以最小成本利用串聯互接裝置之性能優點並無解決方案。

至少本文所說明之某些例示性實施例提供高性能合成記憶體裝置，其於多晶片封裝(MCP)或系統內封裝(SIP)中以高速介面晶片或橋接裝置與分離記憶體裝置結合。橋接裝置提供 I/O 介面，該 I/O 介面與其整合入之系統介接，接收遵循總體格式之總體記憶體控制信號，並將命令轉換成遵循可與分離記憶體裝置相容之本機或本地格式之本地

記憶體控制信號。藉此，橋接裝置容許再使用諸如 NAND 快閃記憶體裝置之分離記憶體裝置，同時提供橋接裝置之 I/O 介面所賦與之性能優點。橋接裝置可實施成與封裝中之分離記憶體裝置整合之分離邏輯晶片。

於本例子中，總體格式係可與第 2A 及 2B 圖之串聯介面快閃記憶體相容之串聯資料格式，且本地格式係可與第 1A 及 2B 圖之異步快閃記憶體裝置相容之並聯資料格式。然而，由於依用於合成記憶體裝置之分離記憶體裝置之類型及用於其內之合成記憶體裝置之記憶體系統類型而定，可使用任一對記憶體控制信號格式，因此，本發明之實施例不限於不限於以上例示性格式。例如，記憶體系統之總體格式可遵循開放 NAND 快閃介面 (ONFi) 標準，且本地格式可遵循異步快閃記憶體裝置記憶體控制信號格式。例如，於特定 ONFi 標準上係 ONFi 2.0 規格。替代地，總體格式可遵循遵循異步快閃記憶體裝置記憶體控制信號格式，且本地格式可遵循 ONFi 2.0 規格格式。

第 3A 圖係根據本發明，合成記憶體裝置之方塊圖。如第 3A 圖所示，合成記憶體裝置 100 包含連接於四個分離記憶體裝置 104 之橋接裝置 102。分離記憶體裝置 104 之每一者可為例如包含 8Gb 記憶體容量之異步快閃記憶體裝置，不過，可使用任何容量之分離記憶體裝置來替代 8Gb 裝置。而且，合成記憶體裝置 100 不限於四個分離記憶體裝置。當橋接裝置 102 被設計來調節合成記憶體裝置 100 中分離記憶體裝置之最大數目時，可包含任何數目之

分離記憶體裝置。

合成記憶體裝置 100 具有：輸入埠 GLBCMD_IN，用以接收總體命令；以及輸出埠 GLBCMD_OUT，用以傳遞所接收總體命令及讀取資料。第 3B 圖係顯示根據本實施例，總體命令之配置之示意圖。總體命令 110 包含具有特定格式之總體記憶體控制信號 (GMCS) 112 以及位址標頭 (AH) 114。此等總體記憶體控制信號 112 提供記憶體命令及諸如用於第 2B 圖之串聯介面快閃記憶體裝置之記憶體控制信號之命令信號。位址標頭 114 包含用於系統位準及合成記憶體裝置位準之定址資訊。此額外定址資訊包含總體裝置位址 (GDA) 116：用來選擇合成記憶體裝置，以執行記憶體命令中的操作碼；以及本地裝置位址 (LDA) 118，用來於所選合成記憶體裝置內選擇特定分離裝置以執行操作碼。簡言之，總體命令包含對應於一格式之所有記憶體控制信號，又包含定址資訊，其可用來選擇或控制合成記憶體裝置或其內之分離記憶體裝置。

須知，橋接裝置 102 不執行操作碼或存取具有列及位址資訊之任何記憶體位置。橋接裝置 102 使用總體裝置位址 116 來判定其是否被選擇來轉換所接收總體記憶體控制信號 112。若選擇，橋接裝置 102 即使用本地裝置位址 118 來判定經轉換之總體記憶體控制信號 112 被送至哪些分離記憶體裝置。為與所有四個分離記憶體裝置 104 通信，橋接裝置 102 包含四組本地 I/O 埠 (未圖示)，如稍後所討論，其每一者連接於對應分離記憶體裝置。各組本

地 I/O 埠包含分離記憶體裝置適當操作所需所有信號，並藉此發揮本地裝置介面之功能。

藉任一分離記憶體裝置 104 自合成記憶體裝置 100 或自先前之合成記憶體裝置提供讀取資料。特別是，橋接裝置 102 可連接於記憶體系統之記憶體控制器，或串聯互接之系統中另一合成記憶體裝置之另一橋接裝置。輸入埠 GLBCMD_IN 及輸出埠 GLBCMD_OUT 可為封裝接腳、其他實體導體或任何其他電路，用以發送/接收總體命令信號及讀取資料至及自合成記憶體裝置 100，且特別是至及自橋接裝置 102。因此，橋接裝置 102 具有接至輸入埠 GLBCMD_IN 及輸出埠 GLBCMD_OUT 之對應連接，而可與諸如第 2A 圖所示記憶體控制器 22 之外部控制器，或自系統中其他合成記憶體裝置，與橋接裝置通信。如於第 7 圖之例示性例子所示，很多合成記憶體裝置可相互串聯。

第 4 圖係根據一實施例，對應第 3A 圖所示橋接裝置 102 之橋接裝置 200 之方塊圖。橋接裝置 200 具有橋接裝置輸入/輸出介面 202、記憶體裝置介面 204 及格式轉換器 206。格式轉換器 206 包含：命令格式轉換器 208，用來將包含第一格式之總體命令及總體命令之總體記憶體控制信號轉換成第二格式；以及資料格式轉換器 210，用來於第一格式與第二格式間轉換資料。命令格式轉換器 208 又包含狀態機器(未圖示)，用以根據第二格式，響應第一格式之總體記憶體控制信號，控制諸如第 3A 圖之分離記憶體裝置 104 之分離記憶體裝置。

橋接裝置輸入/輸出介面 202 與例如像是記憶體控制器或其他合成記憶體裝置之外部裝置通信。橋接裝置方塊圖之輸入/輸出介面 202 以例如像是串聯命令格式之總體格式從記憶體控制器或其他合成記憶體裝置接收總體命令。進一步參考第 3B 圖，橋接裝置輸入/輸出介面 202 處理總體命令 110 之總體裝置位址 116 以判定總體命令 110 是否被定址至對應合成記憶體裝置，並處理總體命令 110 之本地裝置位址 118 以判定對應合成記憶體裝置之哪些分離記憶體裝置接收已轉換之命令，其包含操作碼、任選列和行位址以及任選寫入資料。若總體命令被定址至連接於橋接裝置 200 之分離記憶體裝置，格式轉換器 206 中之命令格式轉換器 208 即將提供操作碼、命令信號及任一系列位址資訊之總體記憶體控制信號 112 從總體格式轉換成本地格式，並將其送至記憶體裝置介面 204。若寫入資料例如以串聯資料格式提供至橋接裝置輸入/輸出介面 202，橋接裝置輸入/輸出介面 202 即包含用來以並聯格式提供資料位元之串聯－並聯轉換電路。為讀取操作，橋接裝置輸入/輸出介面 202 包含並聯－串聯轉換電路，用來以串聯格式提供資料位元，供透過 GLBCMD_OUT 輸出埠輸出。

假設總體格式及本地格式已知，因此，特別設計命令格式轉換器 208 之邏輯，以執行可與分離記憶體裝置 104 相容之信號之邏輯轉換。須知，命令格式轉換器 208 可包含控制邏輯，其至少大致類似記憶體系統之記憶體控制器者，用來藉具有本機格式之記憶體控制信號，控制分離記

憶體裝置。例如，若分離記憶體裝置係諸如記憶體裝置 16-1 至 16-4 之異步記憶體裝置，命令格式轉換器 208 即可包含第 1A 圖之記憶體控制器 14 之相同控制邏輯。這意謂命令格式轉換器 208 中的控制邏輯將本地格式之記憶體控制信號之時序及順序提供至分離記憶體裝置。

若總體命令對應於資料寫入操作，格式轉換器 206 中之資料格式轉換器 210 即將資料從總體格式轉換成本地格式，並將其送至記憶體裝置介面 204。讀取或寫入資料之位元無需邏輯轉換，因此，資料格式轉換器 210 確保第一資料格式與第二資料格式間之適當映射。格式轉換器 206 發揮資料緩衝器之功能，其儲存自分離記憶體裝置讀取之資料，並寫入從橋接裝置輸入/輸出介面 202 收到之資料。因此，可調節總體格式與本地格式間的資料寬度失配。而且，分離記憶體裝置與橋接裝置 200 以及橋接裝置 200 與其他合成記憶體裝置間之不同資料傳輸速率因資料格式轉換器 210 之緩衝功能而調節。

記憶體裝置介面 204 接著將轉換成本地命令格式之命令轉遞或傳送至藉第 3B 圖之總體命令 110 之本地裝置位址 118 選擇之分離記憶體裝置。於本實施例中，轉換之命令經由命令路徑 212 提供。於一實施例中，命令路徑 212 包含連接於合成記憶體裝置之各分離記憶體裝置與記憶體裝置介面 204 間之 i 組專用本地 I/O 埠 LCCMD- k 或通道。變數 i 係對應合成記憶體裝置中分離記憶體裝置之數目之整數。例如各 LCCMD- k 包含第 1B 圖及表 1 所示所

有埠。

以下係進一步參考第 3A 圖之合成記憶體裝置 100 所作橋接裝置 200 之操作例之說明。為讀取操作，接收諸如總體讀取命令之總體命令，其經由輸入埠 GLBCMD_IN 到達橋接裝置輸入/輸出介面 202。該總體讀取命令包含總體記憶體控制信號，其對從連接於橋接裝置 200 之分離記憶體裝置 104 讀出之資料提供總體格式之操作碼以及列和行資訊。一旦橋接裝置輸入/輸出介面 202 判定已經藉由比較總體裝置位址 116 與合成記憶體裝置 100 之預定位址，為總體讀取命令作選擇，命令格式轉換器 208 即將總體讀取命令轉換成可與待執行讀取資料命令之分離記憶體裝置 104 相容之本地格式。如稍後將說明，合成記憶體裝置可具有指定位址。總體讀取命令之本地裝置位址 118 被轉遞至記憶體裝置介面 204，且轉換之讀取資料命令被提供至藉本地裝置位址 118，經由命令路徑 212 之對應組本地 I/O 埠定址之分離記憶體裝置。

稱為讀取資料之資料自所選分離記憶體裝置 104 讀取，並經由本地格式中記憶體裝置介面 204 之相同本地 I/O 埠提供至資料格式轉換器 210。資料格式轉換器 210 接著將自本地格式讀取之資料轉換成總體格式，並透過橋接裝置介面 202 之輸出埠 GLBCMD_OUT，提供自所選分離記憶體裝置 104 讀取之資料至記憶體控制器。橋接裝置介面 202 內部切換電路，用以將自資料格式轉換器 210 讀取之資料或輸入埠 GLBCMD_IN 耦接至輸出埠

GLBCMD_OUT。

第 5 圖係根據本實施例實施之記憶體系統，其具有複數個成環拓樸與記憶體控制器串聯之合成記憶體裝置。於本實施例中，圖示合成記憶體裝置之每一者具有第 3A 圖所示建構，其可具有第 4 圖之橋接裝置 200。第 5 圖之記憶體系統 300 類似於第 2A 圖之串聯記憶體系統 20。記憶體系統 300 包含記憶體控制器 302 及合成記憶體裝置 304-1 至 304-j，其中 j 係整數。個別合成記憶體裝置 304-1 至 304-j 與記憶體控制器 302 串聯互接。類似於第 2A 圖之系統 20，合成記憶體裝置 304-1 因連接於記憶體控制器 302 之輸出埠 Sout 而為記憶體系統 300 之第一合成記憶體裝置，而記憶體裝置 304-n 則因連接於記憶體控制器 302 之輸入埠 Sin 而為記憶體系統 300 之第一合成記憶體裝置。合成記憶體裝置 304-2 至 304-7 係介於其間串聯連接於第一與最後合成記憶體裝置間之記憶體裝置。輸出埠 Sout 提供總體格式之總體命令。輸入埠 Sin 接收總體格式之讀取資料，以及在其透過所有合成記憶體裝置傳輸時接收總體命令。

第 5 圖所示合成記憶體裝置之每一者類似於第 3A 圖所示合成記憶體裝置 100。合成記憶體裝置之每一者具有橋接裝置 102 及四個分離記憶體裝置 104。如前述，合成記憶體裝置之每一者之各橋接裝置 102 連接於個別分離記憶體裝置 104、記憶體控制器 302 及/或串聯拓樸或串聯互接配置中前一或後續合成記憶體裝置。各合成記憶體裝置

304-1 至 304-j 之功能與前述第 3A 及 4 圖所說明實施例相同。

於記憶體系統 300 中，各合成記憶體裝置指定唯一總體裝置位址。該唯一總體裝置位址可儲存於橋接裝置 102 之裝置位址暫存器中，更具體而言，於第 4 圖所示橋接裝置方塊圖之輸入/輸出介面 202 之暫存器中。在記憶體系統 300 之上電相期間，可使用如共同擁有，名稱爲 “Apparatus and Method for Producing Identifiers Regardless of Mixed Device Type in a Serial Interconnection” 之美國專利公告案 20080192649 所說明之裝置位址指定方案，自動指定位址。而且，各合成記憶體裝置可包含分離裝置暫存器，用以儲存有關各合成記憶體裝置 304 中分離記憶體裝置數目。因此，於操作之相同上電相期間，記憶體控制器可詢問各分離裝置暫存器，並記錄各合成記憶體裝置內分離記憶體裝置之數目。因此，記憶體控制器可選擇性將記憶體系統 300 之各合成記憶體裝置 304 中個別分離記憶體裝置 104 定址。

以下係使用選擇合成記憶體裝置 304-3 來執行記憶體操作之例子，對記憶體系統 300 之操作之說明。於本例子中，記憶體系統 300 係類似於第 2 圖所示系統之串聯記憶體系統，分離記憶體裝置 104 之每一者假設爲異步 NAND 快閃記憶體裝置。因此，合成記憶體裝置 304-1 至 304-j 之每一者中的橋接裝置 102 被設計來接收記憶體控制器 302 以總體格式發出之總體命令，並將其轉換成可與

NAND 快閃記憶體裝置相容之本地格式。進一步假設記憶體系統已經上電，且業已指定用於各合成記憶體裝置之位址。

記憶體控制器 302 從其 Sout 埠發出總體命令，其包含對應於合成記憶體裝置 304-3 之總體裝置位址 116。第一合成記憶體裝置 304-1 接收總體命令，且其橋接裝置 102 比較其指定總體裝置位址與總體命令中者。由於總體裝置位址失配，因此，用於合成記憶體裝置之橋接裝置 102 忽略總體命令，並將總體命令傳至合成記憶體裝置 304-2 之輸入埠。相同動作發生於合成記憶體裝置 304-2，此乃因為其指定總體裝置位址與總體命令中者失配。因此，總體命令被傳至合成記憶體裝置 304-3。

合成記憶體裝置 304-3 之橋接裝置 102 判定其指定總體裝置位址與總體命令中者之失配。因此，合成記憶體裝置 304-3 之橋接裝置 102 將本地記憶體控制信號轉換成可與 NAND 快閃記憶體裝置相容之本地格式。接著，橋接裝置 102 對本地裝置位址 118 所選 NAND 快閃記憶體裝置發送包含於總體命令之轉換命令。所選 NAND 快閃記憶體裝置接著執行對應其所接收本地記憶體控制信號之操作。

當合成記憶體裝置 304-3 之橋接裝置 102 轉換總體命令時，其將總體命令傳至次一合成記憶體裝置。剩下的合成記憶體裝置忽略總體命令，其最後在記憶體控制器 302 之 Sin 埠被接收到。若總體命令對應讀取操作，合成記憶體裝置 304-3 之所選 NAND 快閃記憶體裝置即以本地格式

提供讀取資料至其對應橋接裝置 102。橋接裝置 102 接著將讀取資料轉換成總體格式，並透過其輸出埠傳至次一合成記憶體裝置。所有剩下之合成記憶體裝置之橋接裝置 102 將讀取資料傳至記憶體控制器 302 之 *Sin* 埠。熟於本技藝人士當知，可發出其他總體命令以執行 NAND 快閃記憶體裝置中的不同操作，所有總體命令藉所選合成記憶體裝置之橋接裝置 102 轉換。

於本實施例中，總體命令被傳至記憶體系統 300 中之所有合成記憶體裝置。根據替代實施例，橋接裝置 102 包含額外邏輯，以禁止總體命令傳至記憶體系統 300 中之其他合成記憶體裝置。更具體而言，一旦所選合成記憶體裝置判定總體裝置被定址於其上，其對應橋接裝置 102 即驅動其輸出埠至空值，例如像是 VSS 或 VDD 之固定電壓位準。剩下之未選合成記憶體裝置因未執行總體命令而保存切換電力。此一用於串聯記憶體系統之省電方案之細節說明於共同擁有，名稱爲 “Apparatus and Method for Producing Identifiers Regardless of Mixed Device Type in a Serial Interconnection” 之美國專利公告案 20080201588。

前面所說明之第 5 圖之實施例顯示一種記憶體系統，其中各合成記憶體裝置 304-1 至 304-N 內具有諸如異步 NAND 快閃記憶體裝置之同型分離記憶體裝置。由於所有合成記憶體裝置均相同，因此，其稱爲同質記憶體系統。於替代實施例中，異質記憶體系統可行，其中不同合成記

記憶體裝置具有不同型之分離記憶體裝置。例如，某些合成記憶體裝置包含異質記憶體系統，而其他則包含異步 NAND 快閃記憶體裝置。在此一替代實施例中，所有合成記憶體裝置遵循相同總體格式，然而，於內部，各合成記憶體裝置之橋接裝置 200 設計成將總體格式記憶體控制信號轉換成對應 NOR 快閃記憶體裝置或 NAND 快閃記憶體裝置之本地格式記憶體控制信號。

於又另外實施例中，單一合成記憶體裝置可具有不同類型的分離記憶體裝置。例如，單一合成記憶體裝置可包含二異步 NAND 快閃記憶體裝置及二 NOR 快閃記憶體裝置。該“混合”或“異種”合成記憶體裝置可遵循稍早所說明之相同總體格式，惟在內部，其橋接裝置可方案來將總體格式記憶體控制信號轉換成對應於 NAND 快閃記憶體裝置及 NOR 快閃記憶體裝置之本地格式記憶體控制信號。

此一橋接裝置可包含一用於 NAND 快閃記憶體裝置及 NOR 快閃記憶體裝置之每一者之專用格式轉換器，此等裝置可藉前面所說明在總體命令中提供之位址資訊來選擇。如就第 3B 圖所說明，位址標頭 114 包含在系統位準及合成記憶體裝置位準下使用之定址資訊。此額外之定址資訊包含：總體裝置位址 (GDA)116，用以選擇合成記憶體裝置來執行記憶體命令中的操作碼；以及本地裝置位址 (LDA)118，用來於所選合成記憶體裝置內選擇特定分離裝置以執行操作碼。橋接裝置可具有一選擇器，其使用 LDA 118 來決定總體命令應選路至二格式轉換器中的哪一

個。

前面所說明之合成記憶體裝置之實施例顯示響應一格式之記憶體控制信號之分離記憶體裝置可如何使用具有第二及不同格式之總體記憶體控制信號來控制。根據一替代實施例，橋接裝置 200 可方案成接收具有一格式之總體記憶體控制信號，以對分離記憶體裝置提供具有相同格式之本地記憶體控制信號。換言之，此一合成記憶體裝置配置來接收記憶體控制信號，此等信號用來控制分離記憶體裝置。此一配置容許多數分離記憶體裝置獨立於合成記憶體裝置之其他分離記憶體裝置外，各發揮記憶庫之功能。因此，各分離記憶體裝置可自橋接裝置 200 接收其命令，並執行大致相互平行之操作。這亦稱為並行操作。因此，橋接裝置 200 之方案簡化，因為無需命令轉換電路。

前面所說明之實施例說明合成記憶體裝置中之分離記憶體裝置可如何響應不同命令格式。這透過橋接裝置達成，該橋接裝置將所接收總體命令轉換成可與分離記憶體裝置相容之本機命令格式。例如，串聯命令格式可轉換成異步 NAND 快閃記憶體裝置。由於任一對命令格式可相互轉換，因此，實施例不限於此二格式。

無論使用哪種格式，根據至少某些例示性實施例實施之合成記憶體裝置之優點在於每一者均可以一頻率操作以提供明顯高於其內分離記憶體裝置者之資料通量。例如使用第 3A 圖所示合成記憶體裝置，若各分離記憶體裝置 104 係傳統異步 NAND 快閃記憶體裝置，其最大之每一接

腳之資料傳輸速率約為 40 Mbps。然而，與一時脈同步接收至少一資料流之橋接裝置 102 可配置成以 166 MHz 頻率操作，結果產生最小之每一接腳之資料傳輸速率約為 333 Mbps(每秒百萬位元)。依用來製造橋接裝置 102 之加工技術而定，操作頻率可為 200 MHz 或更高以甚至實現更高的每一接腳之資料傳輸速率。因此，於使用第 5 圖之記憶體系統 300 來儲存資料之較大系統中，可獲得高速操作。應用例係使用記憶體系統 300 來作為計算系統中的大量儲存媒體，或需要高性能及大儲存容量之其他用途。

雖然分離記憶體裝置與橋接裝置間的資料傳輸速率失配可能很大，目前所顯示之橋接裝置 102 實施例卻補償任何位準的失配。根據許多例示性實施例，在從對應合成記憶體裝置 100 讀取之操作期間，橋接裝置 102 預先取得並儲存預定量之從所選分離記憶體裝置 104 讀取之資料。以容許分離記憶體裝置 104 之最大資料傳輸速率，將讀取資料轉送至橋接裝置 102。一旦預定量之讀取資料儲存於橋接裝置 102 中，其即可不受限制，以最大資料傳輸速率輸出。就對合成記憶體裝置 100 之程式或寫入操作而言，橋接裝置 102 以其最大資料傳輸速率接收程式資料並將其儲存。接著，橋接裝置 102 以容許分離記憶體裝置 104 之最大資料傳輸速率，將儲存於所選分離記憶體裝置 104 之資料程式化。可將容許自分離記憶體裝置讀取資料及程式化該資料之最大資料傳輸速率標準化或勾勒於其文件技術規格中。

第 4 圖概略描繪橋接裝置 200 之功能方塊，而第 6 圖則顯示根據一例示性實施例實施之橋接裝置 200 之更詳細方塊圖。橋接裝置 400 包含四個主要功能方塊，其對應第 4 圖所示橋接裝置 200 者。其係橋接裝置輸入/輸出介面 402、記憶體裝置介面 404、命令格式轉換器 406 及資料格式轉換器 408。此等方塊具有分別對應第 4 圖之方塊 202、204、208 及 210 之功能。第 6 圖之實施例適用於合成記憶體裝置包含傳統 NAND 快閃記憶體裝置之例子，且合成記憶體裝置本身配置成具有對應第 2B 圖之串聯介面快閃記憶體裝置之串聯介面。以下係方塊 402、404、406 及 408 之詳細說明。

橋接裝置輸入/輸出介面 402 接收具有一格式之總體記憶體控制信號，並將所接收總體記憶體控制信號及從分離裝置記憶體讀取之資料送至後續合成記憶體裝置。於本實施例中，此等總體記憶體控制信號與說明於表 2 之第 2B 圖中之辨識記憶體控制信號相同。相對於使用本實施例之第 4 圖，總體命令 GLBCMD_IN 包含總體記憶體控制信號 CSI、DSI 及 D[j]，且傳送之總體命令 GLBCMD_OUT 包含總體記憶體控制信號 CSI、DSI 及 D[j] 之對應型，分別稱為 CSO、DSO 及 Q[j]。上述總體記憶體控制信號 CSI、DSI 及 D[j] 被視為總體命令，因為其等須使橋接裝置 400 能執行操作。

橋接裝置輸入/輸出介面 402 具有用以接收表 2 中先前概述之信號之輸入及輸出埠。此方塊包含周知之輸入緩

衝器電路、輸出緩衝器電路、驅動器、用以控制輸入及輸出緩衝器電路之控制邏輯以及所需控制信號至命令格式轉換器 406 之路由以及不同型資料至及自資料格式轉換器 408 之路由。此等類型之資料例如包含，惟不限於位址資料、讀取資料程式或寫入資料及配置資料。於輸入埠 $D[j]$ 收到及於輸出埠 $Q[j]$ 提供之資料可委單資料傳輸速率 (SDR) 或雙資料傳輸速率 (DDR)。熟於本技藝人士當知 SDR 資料被門鎖於時脈信號之各上升或下降緣上，而 DDR 資料則被門鎖於時脈信號之上升及下降緣兩者上。因此，輸入及輸出緩衝器包含適當之 SDR 或 DDR 門鎖電路。須知，橋接裝置輸入/輸出介面 402 包含控制信號流通路徑，其將接收控制信號 CSI 及 DSI 之輸入埠耦接於提供對應信號 CSO 及 DSO 之對應輸出埠。同樣地，資料信號流通路徑將接收輸入資料流 $D[j]$ 之輸入埠耦接於提供輸出資料流 $Q[j]$ 之對應輸出埠。輸出資料流可為於 $D[j]$ 收到之輸入資料流或自連接於橋接裝置 400 之分離裝置記憶體提供之讀取資料。

於本實施例中，橋接裝置 400 與記憶系統中其他橋接裝置並聯之不同時脈 CK 及 CK#。任選地，不同時脈 CK 及 CK# 係源同步時脈信號，其自諸如第 5 圖之記憶體控制器 302 之記憶體控制器提供，並經由其個別橋接裝置自一合成記憶體裝置串聯傳送至另一裝置。在此一配置中，橋接裝置 400 包含時脈流通路徑，將在輸入埠收到之不同時脈 CK 及 CK# 耦接至對應輸出埠 (未圖示)。在此併提共

同擁有，名稱爲“CLOCK MODE DETERMINATION IN A MEMORY SYSTEM”之美國專利公告案 20090039927，其揭示用來使串聯記憶體裝置能藉平行或源同步時脈操作之電路。因此，美國專利公告案 20090039927 所教示之技術亦可應用於橋接裝置 400。

記憶體裝置介面 404 提供本地記憶體控制信號，其遵循可與分離裝置記憶體相容之本機或本地格式。此格式可異於總體記憶體控制信號之格式。於本實施例中，記憶體裝置介面 404 具有數組本地記憶體控制信號，用以控制對應數目之傳統 NAND 快閃記憶體裝置，其中各組本地記憶體控制信號包含表 1 中先前概述之信號。於本例中，且參考第 4 圖，各組本地記憶體控制信號提供本地命令信號 LCCMD 至合成記憶體裝置中對應 NAND 快閃記憶體裝置。因此，若於合成記憶體裝置中有 k 個 NAND 快閃記憶體裝置，即有 k 組本地命令信號 LCCMD 或通道。於第 6 圖中，二整組本地記憶體控制信號標以 LCCMD-1 及 LCCMD-2，且最後一整組本地記憶體控制信號被簡單顯示爲輸出埠 LCCMD-k。此等本地命令按適當順序、邏輯狀態以及可與 NAND 快閃記憶體裝置相容之時序提供，使其執行編碼於本地命令中之操作。

記憶體裝置介面 404 具有用以提供表 1 中先前概述之本地命令信號之輸出埠，以及用以提供寫入資料及接收讀取資料之雙向資料埠 I/O[i]。雖未圖示於第 6 圖，記憶體裝置介面 404 從各 NAND 快閃記憶體裝置收到預備/忙碌

信號 R/B #。邏輯及操作碼轉換器塊組 414 使用此狀態信號判定何時對應 NAND 快閃記憶體裝置之程式、抹除及讀取操作之任一者完成。此方塊包含周知之輸入緩衝器電路、輸出緩衝器電路、驅動器、用以控制輸入及輸出緩衝器電路之控制邏輯以及至及自資料格式轉換器 408 之路由。此等類型之資料例如包含，惟不限於位址資料、讀取資料程式或寫入資料及配置資料。

命令格式轉換器 406 包含至少一操作碼暫存器 410、總體裝置位址 (GDA) 暫存器 412 及邏輯及操作碼轉換器塊組 414。資料格式轉換器 408 包含記憶體 416、用於記憶體 416 之時序控制電路 418、位址暫存器 420、VPS 配置器電路 422、資料輸入路徑電路 424 及資料輸出路徑電路 426。首先詳細說明命令格式轉換器 406。

命令格式轉換器 406 接收對應於總體命令之總體記憶體控制信號，並進行二主要功能。為首係操作碼轉換功能，其將總體命令之操作碼解碼，並提供本地命令中的本地記憶體控制信號，其表示與總體命令所指定者相同之操作。此操作碼轉換功能藉內部轉換邏輯 (未圖示) 執行。例如，若總體命令係對自特定位址讀取資料之請求，所產生之轉換本地記憶體控制信號即對應自所選 NAND 快閃記憶體裝置讀取之操作。第二主要功能係橋接裝置控制功能，其響應總體命令，產生用以控制橋接裝置 400 之其他電路之內部控制信號。該橋接裝置控制功能藉內部狀態機器 (未圖示) 提供，該機器被預先程式化以響應所有有效總體

命令。

GDA 暫存器 412 儲存稱為總體裝置位址之預定及指定之合成記憶體裝置。此總體裝置位址允許記憶體控制器選擇記憶體系統中複數合成記憶體裝置之一合成記憶體裝置，以處理其發出之總體命令。換言之，僅在選出合成記憶體裝置時執行上述二主要功能。如第 3B 圖於前面討論，總體命令 110 包含總體裝置位址欄 116，用以選擇合成記憶體裝置來響應總體記憶體控制信號 (GMCS) 112。於本例中，經由輸入埠 D[j]接收總體命令作為一或更多串聯位元流，其中總體裝置位址係橋接裝置 400 所接收總體命令 110 之第一部分。邏輯及操作碼轉換器塊組 414 中之比較電路 (未圖示) 比較總體命令 110 之總體裝置位址欄 116 與儲存於 (GDA) 暫存器 412 中的指定總體裝置位址。

若在儲存於 GDA 暫存器 412 中的指定總體裝置位址與總體命令 110 之總體裝置位址欄 116 間出現失配，邏輯及操作碼轉換器塊組 414 即忽略橋接裝置輸入/輸出介面 402 所接收後續總體記憶體控制信號。另外，邏輯及操作碼轉換器塊組 414 閃鎖操作碼暫存器 410 中總體命令 110 之操作碼。一旦閃鎖，該操作碼即解碼以執行橋接裝置控制功能。例如，閃鎖之操作碼藉邏輯及操作碼轉換器塊組 414 中的解碼電路解碼，其接著控制橋接裝置輸入/輸出介面 402 中的路由電路，以將總體命令 110 之後續位元導至橋接裝置 400 中的其他暫存器。這有必要，因為，依待執行之操作而定，總體命令 110 可包含不同型之資料。換言

之，邏輯及操作碼轉換器塊組 414 根據經解碼之操作碼，在位元到達橋接裝置輸入/輸出介面 402 之前，知悉總體命令之結構。例如，讀取操作包含閃鎖於個別暫存器之方塊、列及行位址資訊。另一方面，抹除操作無需列及行位址，僅需要塊位址。因此，對應操作碼於特定型之位址資料到達橋接裝置輸入/輸出介面 402 時指示邏輯及操作碼轉換器塊組 414，使其等可選路至個別暫存器。

一旦總體命令 110 之所有資料已被閃鎖，轉換電路即產生本地記憶體控制信號，其有會被用來於 NAND 快閃記憶體裝置中執行相同操作之所需邏輯狀態、順序及時序。用於須在 NAND 快閃記憶體裝置中存取特定位址之操作，邏輯及操作碼轉換器塊組 414 將儲存於位址暫存器 420 之位址資料轉換而透過 I/O[i]埠發出作為本地命令之一部分。如稍後將討論，位址可於 NAND 快閃記憶體裝置之頁面緩衝器存取虛擬位址空間，其可依用途改變大小。該虛擬位址空間與記憶體 416 中的虛擬位址空間有關。因此，邏輯及操作碼轉換器塊組 414 包含可配邏輯電路，其用來根據儲存於 VPS 配置器 422 中的配置資料，將位址轉換成可與 NAND 快閃記憶體裝置相容者。邏輯及操作碼轉換器塊組 414 使用總體命令 110 之本地裝置位址 (LDA) 118 來接收所產生之本地記憶體控制信號。因此，藉所產生記憶體控制信號，響應總體命令 110，驅動 LCCMD-1 至 LCCMD-k 之任一組。

於本實施例中，記憶體 416 係雙埠記憶體，其中各埠

具有資料輸入埠及資料輸出埠。埠 A 具有資料輸入埠 DIN_A，而資料輸出埠 B 則具有資料輸入埠 DIN_B 及資料輸出埠 DOUT_B。埠 A 被用來轉送資料於記憶體 416 與其耦接之分離記憶體裝置間。另一方面，埠 B 被用來轉送資料於記憶體 416 與橋接裝置輸入/輸出介面 402 之 D[j] 及 Q[j]埠間。於本實施例中，埠 A 以稱為記憶體時脈頻率之第一頻率操作，而埠 B 以稱為系統時脈頻率之第二頻率操作。記憶體時脈頻率對應 NAND 快閃記憶體裝置之資料傳輸速度，而系統時脈頻率則對應橋接裝置輸入/輸出介面 402 之資料傳輸速度。待程式化至 NAND 快閃記憶體裝置之資料經由記憶體 416 之 DOUT_A 讀出，並提供至邏輯及操作碼轉換器塊組 414，其產生可與分離記憶體裝置相容之本地記憶體控制信號。自分離記憶體裝置收到之讀取資料在邏輯及操作碼轉換器塊組 414 之控制下，經由 DIN_A 直接寫至記憶體 416。稍後說明如何使用埠 B 之細節。邏輯及操作碼轉換器塊組 414 包含控制邏輯，其用來與記憶體時脈頻率同步，控制應用時序、位址之解碼、資料感測及透過諸埠 DOUT_A 及 DIN_A 之資料輸出及輸入。

於任一情況下，總體命令指示邏輯及操作碼轉換器塊組 414 經由一組本地記憶體控制信號 (LCCMD-1 至 LCCMD-k) 選擇待執行讀取及寫入操作之分離記憶體裝置。總體命令 110 之本地裝置位址 (LDA) 118 場被邏輯及操作碼轉換器塊組 414 用來判定哪些 NAND 快閃記憶體裝

置待接收所產生本地記憶體控制信號。因此，藉所產生記憶體控制信號，響應總體命令 110，驅動任一組本地記憶體控制信號 LCCMD-1 至 LCCMD-k。總體命令進一步指示邏輯及操作碼轉換器塊組 414 執行橋接裝置功能，其用以控制橋接裝置 400 內補償操作之任一必要電路。例如，在本地記憶體控制信號產生前，將於 D[j]接收之資料載入或寫入記憶體 416 之寫入操作期間，控制資料輸入路徑電路 424。

所門鎖操作碼可致能操作碼轉換功能，其用以產生本地命令中的本地記憶體控制信號。可能有無需任何 NAND 快閃記憶體操作之有效操作碼，並因此受限於橋接裝置 400 之控制操作。當要求對 NAND 快閃記憶體之讀取或寫入操作時，邏輯及操作碼轉換器塊組 414 控制記憶體時序控制電路 418，其接手根據儲存於位址暫存器 420 之位址從記憶體 416 中之位置控制讀取或寫入資料之時序。

資料格式轉換器 408 暫時儲存從橋接裝置輸入/輸出介面 402 所接收之待程式化入 NAND 快閃記憶體裝置之資料，並暫時儲存從 NAND 快閃記憶體裝置所接收之待從橋接裝置輸入/輸出介面 402 輸出之資料。記憶體 416 在功能上被顯示為單一塊組，其可邏輯地或實體地分成子部，像是庫、平面或陣列，其中每一庫、平面或陣列匹配 NAND 快閃記憶體裝置。更具體而言，每一庫、平面或陣列專用來從頁面緩衝器接收讀取資料或提供寫入資料至一 NAND 快閃記憶體裝置之頁面緩衝器。記憶體 416 可為任

何揮發性記憶體，例如像是 SRAM。由於不同型之記憶體可能具有不同時序及其他協定要件，因此，提供記憶體時序控制電路 418 來根據記憶體 416 之設計規格確保記憶體 416 之適當操作。例如，藉時序控制電路 418 控制應用時序、位址之解碼、資料感測及資料輸出和輸入。可包含列及行位址之位址可從位址暫存器 420 提供，而寫入資料則經由資料輸入路徑電路 424 提供，讀取資料經由資料輸出路徑電路 426 輸出。如稍後所說明，位址暫存器 420 接收之位址於記憶體 416 中存取虛擬位址空間，並因此藉記憶體時序控制電路 418 內的邏輯電路轉換成對應實體位址。該邏輯電路可配置來根據儲存於 VPS 配置器 422 之暫存器之配置資料調整轉換，因為，虛擬位址空間可調整大小。該特點之進一步細節稍後討論。

資料輸入路徑電路 424 從輸入埠 D[j]接收輸入資料，並因為資料於一或更多串聯位元流中接收，因此，包含有切換邏輯來將位元選路或指定至各種暫存器，像是操作碼暫存器 410 及位址暫存器 420。一旦操作碼業已解碼用於所選合成記憶體裝置，諸如資料暫存器之其他暫存器或其他類型暫存器即亦可接收輸入資料之位元。一旦指定至個別暫存器，資料格式轉換器即將以串聯格式收到之資料轉換成並聯格式。在時序控制電路 418 之控制下，閃鎖於資料暫存器之寫入資料被寫入記憶體 416 以暫時儲存，稍後輸出至 NAND 快閃記憶體裝置，使用如邏輯及操作碼轉換器塊組 414 所決定之適當命令格式來程式化。

在記憶體 416 從一組本地記憶體控制信號之 I/O[i] 埠，自 NAND 快閃記憶體裝置收到讀取資料之後，該讀取資料自記憶體 416，經由 DOUT_B 讀出，並經由資料輸出路徑電路 426 提供至輸出埠 Q [j]。資料輸出路徑電路 426 包含並聯至串聯轉換電路(未圖示)，其用來將資料位元指定至一或更多串聯輸出位元流，以從輸出埠 Q [j] 輸出。須知，資料輸入路徑電路 424 包含資料流通路徑 428，其用來將從 D[j]輸入埠收到之輸入資料直接提供到資料輸出路徑電路 426，於輸出埠 Q [j] 輸出。如此，不管嵌入之總體裝置位址欄是否匹配儲存於 GDA 暫存器 412 之總體裝置位址，於 D[j]輸入埠收到之所有總體命令被傳至輸出埠 Q [j]。於第 5 圖所示串聯記憶體系統之實施例中，資料流通路徑 428 確保每一合成記憶體裝置 304 收到記憶體控制器 302 所發出之總體命令。而且，一合成記憶體裝置 304 所提供之任何讀取資料均可透過任何介於其間之合成記憶體裝置傳至記憶體控制器 302。

用來轉送資料於記憶體 416 與埠 Q [j]與 D[j]間之所有上述電路均與系統之時脈頻率同步操作。特別是，時序控制電路 418 包含控制邏輯，其用來控制應用之定時、位址之解碼、資料感測以及和系統之時脈頻率同步，分別經由埠 DOUT_B 及 DIN_B 所作資料輸出及輸入。時序控制電路 418 之控制邏輯類似以記憶體之時脈頻率控制記憶體 416 之操作之邏輯及操作碼轉換器塊組 414 內的控制邏輯。

以下在說明 VPS 配置器 422 之前，全面討論於橋接裝置 400 之讀取及寫入期間如何使用記憶體 416。如前述，橋接裝置輸入/輸出介面 402 可以較高頻率或資料傳輸速率，在既定期間內提供或接收較利用合成記憶體裝置中之任一分離記憶體裝置可行者更多的資料。藉資料格式轉換器 408，記憶體 416 暫時儲存經由介面 402 及 404 之一，以一時脈頻率接收之資料，俾所儲存資料可不同頻率，經由介面 402 及 404 之另一者提供。記憶體 416 足夠大來儲存預定量的資料以確保 i) 更高速度介面維持其恆定資料輸出速率或 ii) 更高速度介面維持其恆定資料輸入速率。

使用分離記憶體裝置係 NAND 快閃記憶體裝置之例子，熟於本技藝人士瞭解 NAND 快閃記憶體裝置具有用以儲存一頁讀取資料或寫入資料之頁面緩衝器，其中頁面周知為儲存於單一邏輯字線所啟動之記憶體胞元之資料。例如，依記憶體陣列建構而定，頁面緩衝器在大小上可為 2K、4K 或 8K 位元組。在一列啟動之讀取操作期間，對應列記憶體胞元之一頁資料被存取、感測並儲存於頁面暫存器中。這稱為核心讀取時間 T_r 。若 NAND 快閃記憶體裝置例如具有 $i=8$ 位元之 I/O 寬度，頁面暫存器之內容即一次 8 位元，以其最大速率輸出至橋接裝置 400。然後橋接裝置 400 將資料寫至記憶體 416。一旦頁面暫存器之內容儲存於記憶體 416，儲存於記憶體 416 之頁面緩衝器資料之全部或部分即可以較高資料傳輸速率，經由資料輸出

路徑電路 426 輸出至資料輸出埠 $Q[j]$ 。於寫入操作中，以介面 402 之最大資料傳輸速率將自輸入埠 $D[j]$ 收到之資料寫入記憶體 416。接著，自記憶體 416 讀出資料之全部或部分一次 8 位元，以較 NAND 快閃記憶體裝置慢之資料傳輸速率提供至所選 NAND 快閃記憶體裝置。NAND 快閃記憶體裝置儲存該資料於其頁面暫存器中，並接著執行內部程式操作以將頁面緩衝器中的資料頁面程式化成所選列。這稱為核心程式時間 T_{pgm} ，其可包含程式驗證步驟，確認記憶體胞元之正確程式化狀態，以及任何必要的後續程式反覆，將先前程式反覆未適當程式化之任何位元再程式化。

第 7 圖係合成記憶體裝置 500 之方塊圖，其顯示四個 NAND 快閃記憶體裝置之頁面緩衝器與橋接裝置之記憶體間之關係。合成記憶體裝置 500 類似於第 3A 圖所示合成記憶體裝置 100，並包含第 7 圖之例示性實施例中之四個 NAND 快閃記憶體裝置 502 以及橋接裝置 504。橋接裝置係如圖示為第 6 圖之橋接裝置 400 之簡化型，其中僅顯示記憶體 506。橋接裝置 400 之其他組件於第 7 圖中省略，惟須知，為確保橋接裝置 504 之操作，須有此等組件。如稍後討論，記憶體 506 被邏輯地組成對應四個 NAND 快閃記憶體裝置 502 之每一者之頁面緩衝器的群組。

各 NAND 快閃記憶體裝置 502 具有組成二平面 508 及 510，分別標以“平面 0”及“平面 1”之記憶體陣列。雖未圖示，列電路驅動水平穿過平面 508 及 510 之每一者延

伸之字線，且可包含行存取及感測電路之頁面緩衝器 512 及 514 連接於垂直穿過平面 508 及 510 之每一者延伸之位元線。此等電路之目的及功能對熟於本技藝人士係周知。為任何讀取或寫入操作，越過二平面 508 及 510 驅動一邏輯字線，這意謂一系列位址於二平面 508 及 510 中驅動相同實體字線。於讀取操作中，儲存在連接於所選邏輯字線之記憶體胞元中的資料被感測到並儲存於頁面緩衝器 512 及 514 中。同樣地，寫入資料被儲存於頁面緩衝器 512 及 514 中，以程式化至連接於所選邏輯字線之記憶體胞元。

將橋接裝置 504 之記憶體 506 分成邏輯或實體子記憶體 516，其每一者具有至少與頁面緩衝器 512 或 514 相同之儲存容量。邏輯子記憶體可為實體記憶體塊組中的分配位址空間，而實體子記憶體則係具有固定位址空間之明確形成之記憶體。子記憶體 516 組成標以 Bank0 至 Bank3 之記憶庫 518，其中記憶庫 518 之子記憶體 516 僅與 NAND 快閃記憶體裝置 502 之頁面緩衝器相聯。換言之，記憶庫 518 之子記憶體 516 專用於一 NAND 快閃記憶體裝置 502 之個別頁面緩衝器 512 或 514。於讀取操作期間，將頁面緩衝器 512 或 514 中的讀取資料轉送至對應記憶庫 518 之子記憶體 516。於程式操作期間，將記憶庫 518 之子記憶體 516 中的寫入資料轉送至對應 NAND 快閃記憶體裝置 502 之頁面緩衝器 512 及 514。須知，NAND 快閃記憶體裝置 502 可具有單一平面或二個以上之平面，其各具有對應頁面緩衝器。因此，記憶體 506 對應地組成具有專

用於各頁面緩衝器之子記憶體。

本第 7 圖之例子具有 NAND 快閃記憶體裝置 502，其有總共 8KB 頁面緩衝器空間，配置成為二個別 4KB 頁面緩衝器。各個別 4KB 頁面緩衝器耦接於例如像是平面 508 或平面 510 之個別平面之位元線。熟於本技藝人士瞭解頁面緩衝器之大小隨著 NAND 快閃記憶體裝置之整體容量增加漸增，因此，未來 NAND 快閃裝置可能具有甚至更大頁面緩衝器。更大頁面緩衝器容許更快速之整體讀取及程式操作，此乃因為 NAND 快閃記憶體裝置之核心讀取及程式時間大致恆定，並獨立於熟於本技藝人士周知之頁面緩衝器大小之外。相較於一半大小之頁面緩衝器，較大頁面緩衝器可在需要另一核心讀取操作來存取儲存於記憶體陣列之不同列之另一頁面資料之前，達到較恆定之兩倍讀取資料之突發讀取。同樣地，可在需要另一寫入頁面資料來載入頁面緩衝器之前，對記憶體陣列程式化兩倍的寫入資料。因此，更大頁面緩衝器適於多媒體用途，其中音樂或視訊資料可能在大小上為若干頁。

於第 7 圖之合成記憶體裝置 500 中，總核心讀取時間包含稍早稱為 T_r 之 NAND 快閃記憶體裝置核心讀取時間，加上轉送時間 T_{tr} 。轉送時間 T_{tr} 係 NAND 快閃記憶體裝置輸出或讀出頁面緩衝器 512 及 514 之內容俾其等可寫至一記憶庫 518 之對應子記憶體 516 所需之時間。總核心程式時間包含程式轉送時間 T_{tp} 加上稍早稱為 T_{pgm} 之 NAND 快閃記憶體裝置核心程式時間。程式轉送時間 T_{tp}

係橋接裝置 508 輸出或讀出一記憶庫 518 之子記憶體 516 之內容俾其等可在程式操作之前載入 NAND 快閃記憶體裝置 502 之對應頁面緩衝器 512 或 514 所需之時間。用於多媒體用途，資料可越過不同 NAND 快閃記憶體裝置儲存，並同時操作來掩蔽一 NAND 快閃記憶體裝置之核心操作，而對應於另一 NAND 快閃記憶體裝置 502 之資料則藉橋接裝置 504 輸出。例如，於資料自一記憶庫 518 突發讀出期間，可能已進行核心讀取操作，以使另一記憶庫 518 之子記憶體 516 載有來自另一 NAND 快閃記憶體裝置 502 之資料。

有許多用途，其中檔案大小小於 NAND 快閃記憶體裝置頁面緩衝器之全頁面大小。此等檔案包含一般用於個人電腦桌上用途之本文檔案或其他類似型式之資料檔案。使用者通常複製此種檔案於通用串列匯流排(USB)非揮發性儲存驅動器，其一般使用 NAND 快閃記憶體。另一出現之用途係固態驅動器(SSD)，其可取代磁式硬碟驅動器(HDD)，惟使用 NAND 快閃記憶體或其他非揮發性記憶體來儲存資料。合成記憶體裝置之讀取及程式順序與前述相同，惟有以下不同點。該例子假設所欲資料小於全頁面大小，並與其他資料儲存於頁面中。為讀取操作，在所有頁面緩衝器資料已從所選 NAND 快閃記憶體裝置 502 之頁面緩衝器 512 及 514 轉送至對應子記憶體 516 之後，使用行位址來界定儲存於記憶庫 518 之子記憶體 516 之所欲資料之第一及最後位元位置。接著，從橋接裝置 504 之子記憶

體 516 僅讀出資料之第一、最後及其間位元。

於此情況下，轉送時間 T_{tr} 可能因其極有助於合成記憶體裝置之總核心讀取時間而無法為某些用途所接受。此等用途包含 SSD，其中讀取操作應儘快進行。雖然 NAND 快閃記憶體裝置之核心讀取時間 T_r 對任何頁面緩衝器大小保持恆定，轉送整體內容至子記憶體 516 之轉送時間 T_{tr} 卻直接依頁面緩衝器大小而定。

根據本實施例，合成記憶體裝置之轉送時間 T_{tr} 可藉由配置記憶體庫 518 之子記憶體 516，使其具有稱為虛擬頁面大小之最大虛擬頁面大小，減至最小，該虛擬頁面大小小於合成記憶體裝置內 NAND 快閃記憶體裝置之頁面緩衝器之最大實體大小。根據對特定記憶體庫 518 之頁面大小配置，橋接裝置 504 發出讀取命令，其中僅儲存於頁面緩衝器之對應虛擬頁面大小之資料段被轉送至對應子記憶體 516。頁面緩衝器之該段稱為頁面段。

第 8A 至 8C 圖顯示根據本實施例，對應一組虛擬頁面大小之資料如何從諸如快閃記憶體裝置之分離記憶體裝置讀取，如何從合成記憶體裝置讀出。第 8A 至 8C 圖顯示合成記憶體裝置 600，其具有一完整顯示之第一 NAND 快閃記憶體裝置 602、第二 NAND 快閃記憶體裝置 604 之一部分以及橋接裝置 606 之一部分。本例之 NAND 快閃記憶體裝置具有單一平面 608，其具有連接於單一頁面緩衝器 610 之位元線。橋接裝置 606 之圖示部分包含第一子記憶體 612、第二子記憶體 614 及橋接裝置輸入/輸出介面

616。第一子記憶體 612 對應與第一 NAND 快閃記憶體裝置 602 相聯之第一記憶庫，而第二子記憶體 614 則對應與第二 NAND 快閃記憶體裝置 604 相關聯之第二記憶庫。為解釋本例子中的讀取操作，假設從第一 NAND 快閃記憶體裝置 602 存取資料，且第一記憶庫(第一子記憶體 612)配置成小於頁面緩衝器 610 之最大實體大小。

從第 8A 圖開始，假設橋接裝置 606 收到指示存取儲存於第一 NAND 快閃記憶體裝置 602 之資料的讀取操作的總體記憶體控制信號，並編碼且提供適當本地記憶體控制信號至第一 NAND 快閃記憶體裝置 602。響應對應讀取命令之本地記憶體控制信號，第一 NAND 快閃記憶體裝置 602 啟動本地記憶體控制信號中的位址資訊所選列或字線 618。進至第 8B 圖，當字線 618 被啟動或驅動至有效電壓位準，以存取和其連接之記憶體胞元之儲存資料時，頁面緩衝器 610 之感測電路感測產生於連接至各存取記憶體胞元之位元線之電流或電壓。如此，存取記憶體胞元之資料狀態儲存於頁面緩衝器 610 中。於第 8C 圖中，NAND 快閃記憶體裝置 602 將儲存於頁面緩衝器 610 之位元位置特定範圍內之資料輸出至橋接裝置 606，特別是第一子記憶體 612。以對 NAND 快閃記憶體裝置 602 最大之速度或資料傳輸速率執行該資料輸出程序。

於本例示性 NAND 快閃記憶體裝置 602 中，一旦 NAND 快閃記憶體裝置 602 通常藉預備/忙碌信號，對橋接裝置 606 報告或信號通知自所選列 618 讀取之資料業已

儲存於頁面緩衝器 610，即藉橋接裝置 606 提供包含對應該位元位置特定範圍之行位址之突發讀取命令。此等行位址根據用於第一子記憶體 612 之已配置虛擬頁面大小決定。接著，透過合成記憶體裝置 600 之輸出資料埠，經由橋接裝置輸入/輸出介面 616，以更高速度或資料傳輸速率，將儲存於第一子記憶體 612 之資料輸出。

因此，可知，藉由為小於頁面緩衝器 610 之最大實體大小之第一子記憶體 612 設定虛擬頁面大小，僅資料之對應大小頁面段從頁面緩衝器 610 輸出至第一子記憶體 612。該頁面段包含位元位置之特定範圍，其每一者可藉行位址定址。如稍後將說明，頁面段可定址。因此，相對於頁面緩衝器 610 之所有資料被轉送至第一子記憶體 612 之情況，供 NAND 快閃記憶體裝置 602 自頁面緩衝器 610 輸出該資料之頁面段之轉送時間 T_{tr} 可大幅減少。

上述例子說明轉送時間 T_{tr} 如何減至最小。設定虛擬頁面大小成小於頁面緩衝器 610 之最大實體大小在寫入操作期間提供相同性能優點。於寫入操作中，第 8A 至 8C 圖中所示順序有效逆反。例如，寫入資料被橋接裝置輸入/輸出介面 616 接收到，並寫至諸如第一子記憶體 612 之子記憶體。該寫入資料具有匹配預設虛擬頁面大小之大小，其接著被轉送至頁面緩衝器 610。自橋接裝置 606 轉送此寫入資料至頁面緩衝器 610 所需時間係轉送時間 T_{tr} ，其依寫入資料之大小及 NAND 快閃記憶體裝置 602 之操作頻率而定。寫入資料被儲存於頁面緩衝器 610 中稱

為頁面段之特定位元位置，且透過啓動所選列 618 及對位元線施加程式化所需電壓，響應儲存於頁面緩衝器 610 中的寫入資料，啓動 NAND 快閃記憶體裝置 602 之核心程式操作。因此，藉由縮短寫入操作期間之轉送時間 T_{tr} ，減少記憶體系統之整體寫入時間。

根據本實施例，橋接裝置 606 之第一子記憶體 612 可動態地配置成具有任一虛擬頁面大小。一旦配置第一子記憶體 612 之虛擬頁面大小，對應 NAND 快閃記憶體裝置之頁面緩衝器 610 即邏輯地分成對應於所配置虛擬頁面大小之等大小頁面段。第 9A 至 9D 圖係根據所配置虛擬頁面大小，具有不同大小頁面段之 NAND 快閃記憶體裝置頁面緩衝器之示意圖。須知，頁面段代表頁面緩衝器 650 中的虛擬位址空間。於第 9A 至 9D 圖之本實施例中，NAND 快閃頁面緩衝器及橋接裝置之子記憶體兩者具有 4k 實體大小。於第 9A 圖中，虛擬頁面大小 (VPS) 設成最大或全 4k 大小，俾僅有一個頁面段 652。於第 9B 圖中，VPS 設成 2k，形成兩個 2k 頁面段 654。於第 9C 圖中，VPS 設成 1k，形成四個 1k 頁面段 656。於第 9D 圖中，VPS 設成 512(B) 位元組，形成八個大小 512B 之頁面段。熟於本技藝人士當知，即使更小之 VPS 及對應頁面段仍可行，且頁面段之總數依 NAND 快閃頁面緩衝器 650 之最大大小而定。

如先前對本實施例之討論，在 NAND 快閃記憶體裝置之頁面緩衝器 650 業已載有用於讀取操作之資料後，僅輸

出頁面緩衝器 650 之頁面段至橋接裝置。所欲資料可儲存於頁面緩衝器 650 之一特定頁面段。因此，各頁面段可藉於對橋接裝置提供之總體命令中的虛擬頁面位址來定址。例如，可使用二位址位元來選擇第 9C 圖中四個頁面段 656 之一。一旦選擇，所欲資料即不會在頁面緩衝器 650 之所選頁面段中佔據所有位元位置。如此，通常於突發讀取操作中，使用虛擬行位址來選擇待讀出讀取資料之所選頁面段內之第一位元位置。以下表 3 摘錄根據第 9A 至 9D 圖所示頁面段例之定址方案例。

表 3

虛擬頁面大小配置	#頁面段	用以將頁面段定址之位元(VPA)	用以將各頁面段之位元位置定址之位元(VCA)
4096B	1	N/A	12
2048B	2	1	11
1024B	4	2	10
512B	8	3	9

舉例說明表 3 所示定址方案範例，惟熟於此技藝人士當知，可依 NAND 快閃記憶體裝置之頁面緩衝器之大小使用不同定址方案。如於表 3 所示，各定址方案包含用以將二或更多頁面段定址之第一位元數以及用以將所選頁面段之行定址第二位元數。第一位元數稱為虛擬頁面位址 (VPA)，而第二位元數則稱為虛擬行位址 (VCA)。虛擬頁面位址及虛擬行位址簡單地統稱為虛擬位址。於本實施例

中，各子記憶體之 VPS 配置或子記憶體之記憶體庫對記憶體控制器或主機系統係已知，此等記憶體控制器或主機系統請求讀取資料，並對合成記憶體裝置提供寫入資料。因此，藉一用以存取特定 NAND 快閃記憶體裝置於其中之對應定址方案，於總體命令中，對合成記憶體裝置提供用以從 NAND 快閃記憶體裝置之頁面緩衝器讀取頁面段之虛擬位址。包含表 3 所示者之可行定址方案將頁面緩衝器之虛擬或邏輯位址空間定址。雖已說明此邏輯位址空間為第 9A 至 9D 圖之頁面緩衝器 650 中頁面段之位元位置，惟實際頁面緩衝器以真實實體位址定址。

由於虛擬位址可遵循若干不同定址方案之一，因此，第 6 圖之邏輯及操作碼轉換器塊組 414 中之轉換電路及時序控制電路 418 中之位址解碼電路可配置以確保產生適當之對應實體位址，以在 NAND 快閃記憶體裝置之頁面緩衝器及子記憶體二者中存取資料。此乃因為統計設定之轉換邏輯係為固定位址範圍設計，並輸入“固定線路程式(hard-wired)”以接收特定位址位元。由於定址方案直接與所選虛擬頁面大小有關，因此，使用 VPS 配置碼來動態設定位址轉換電路，其將虛擬位址轉譯或轉換成實體位址。熟於本技藝人士當知，可調邏輯功能及解碼電路業於本技藝中業已周知。

根據本實施例，虛擬位址主要用來從待讀出之 NAND 快閃頁面緩衝器之所選頁面段選擇資料。為讀取操作，該虛擬位址被門鎖，俾對頁面緩衝器以及和該讀取操作有關

之頁面緩衝器之記憶庫之對應子記憶體之存取根據該虛擬位址來進行。這簡化對合成記憶體裝置之控制，此乃因為僅對讀取操作提供一組位址資訊。參考第 6 圖，邏輯及操作碼轉換器塊組 414 使用 VPS 配置碼來將虛擬位址轉換成用於 NAND 快閃記憶體裝置之對應位址信號。相同虛擬位址藉時序控制電路 418 內以 VPS 配置碼來配置之轉換邏輯轉譯，以產生子記憶體之寫入位址，來自頁面緩衝器之資料被儲存於該子記憶體內。相同轉換邏輯或相似轉換邏輯將虛擬位址轉換成讀取位址，以讀出從先前寫入操作儲存之資料，該資料從合成記憶體裝置輸出。

參考第 7 圖，記憶體 506 之各記憶庫 518 可獨立配置以具有其本身之虛擬頁面大小。為配置橋接裝置之記憶庫 518，對合成記憶體裝置提供總體虛擬頁面大小配置命令。這可在包含合成記憶體裝置之系統上電後提供。參考第 6 圖之橋接裝置 400，VPS 配置命令於 D[j]輸入埠被接收到，且其包含用於至少一子記憶庫之 VPS 配置碼、操作碼及總體裝置位址 GDA。如先前所討論，使用 GDA 來選擇特定合成記憶體裝置，其操作或執行命令。藉邏輯及操作碼轉換器塊組 414 內之邏輯來將操作碼解碼，並藉橋接裝置 400 內之控制電路來將隨後收到之虛擬頁面大小配置資料選路至 VPS 配置器 422 內之對應虛擬頁面暫存器。

第 10 圖係顯示根據本實施例，VPS 配置命令層次之示意說明圖。從第 10 圖之右側開始，VPS 配置命令 700

之結構包含前面說明之 GDA 欄 702、操作碼欄 704 以及本例中之四個 VPS 資料欄 706、708、710 及 712。GDA 欄 702 及操作碼欄 704 可稱為標頭，其領先包含至四個資料欄 706、708、710 及 712 之資料酬載。參考第 7 圖，四個 VPS 資料欄之位置對應記憶體 506 之特定記憶庫 518。在適用於第 7 圖之記憶體 506 之第 10 圖之本例中，VPS 資料欄 706 對應於 Bank 0, VPS 資料欄 708 對應於 Bank 1, VPS 資料欄 710 對應於 Bank 2, 以及 VPS 資料欄 712 對應於記憶庫 Bank 3。所提供 VPS 配置命令 700 之由右至左之排序代表其等提供給橋接裝置 504 之排序。VPS 配置命令 700 之 VPS 資料欄之數目直接與記憶體 506 之記憶庫 518 之數目成比例。例如，若記憶體 506 方案設計成包含 8 個記憶庫 518，VPS 配置命令 700 即可包含最多 8 個對應 VPS 資料欄。

根據本實施例，記憶體 506 之記憶庫 518 從一最不重要記憶庫至一最重要記憶庫排序。因此，於第 7 圖之例子中，記憶庫 Bank 0 係最不important記憶庫，而記憶庫 Bank 3 則係最重要記憶庫。如稍後將說明，VPS 配置命令 700 具有按 Bank 0 至 Bank 3 之排序的 VPS 資料欄結構，以簡化用來配置記憶庫 518 之電路及邏輯。如此，鄰近操作碼欄之第一 VPS 資料欄 706 係最不important VPS 資料欄，而 VPS 資料欄 712 則係最重要 VPS 資料欄。藉由此一排序方案，VPS 配置命令 700 可依待配置之最重要記憶庫 518 動態決定大小。更具體而言，僅對應於待配置之最重要記憶

庫 518 之 VPS 資料欄及所有較不重要記憶庫包含於 VPS 配置命令 700 中。這更詳細顯示於第 11A 及 11B 圖中。

第 11A 及 11B 圖係顯示第 10 圖之 VPS 配置命令 700 如何根據待配置之最重要記憶庫 518 設置之例子之時序圖。二時序圖顯示對信號 CSI 及 D[j]之信號追蹤，此二信號已在前面說明於表 2 中。例如使用第 7 圖之記憶體 506，假設於第 11A 圖中待配置記憶庫 Bank 3。GDA 欄 702 被橋接裝置 504 最先接收到，且假設 GDA 欄 702 中之位址匹配本橋接裝置 504 之儲存裝置位址。接著，於操作碼欄 704 中係十六進位碼 FCh，其對應虛擬頁面大小配置命令。由於待配置之最重要記憶庫係記憶庫 Bank 3，因此，提供所有四個 VPS 資料欄至橋接裝置 504 並門鎖於其內。於本實施例中，用於 Bank 0、Bank 1 及 Bank 2 之 VPS 資料欄包含 VPS 配置碼 VPS0、VPS1、VPS2 及 VPS3，然而，其為先前業已門鎖，俾其 VPS 配置保持不變之相同資料。換言之，藉前述 VPS 配置碼重寫對應暫存器。於替代實施例中，用於 Bank 0、Bank 1 及 Bank 2 之 VPS 資料欄包含空值，將此空值解碼，以禁止重寫操作，並保持用於此等記憶庫之先前門鎖之 VPS 配置碼不變。於第 11A 圖之例子之延伸中，可藉由包含新的 VPS 配置碼於其個別 VPS 資料欄，將 Bank 0、Bank 1 及 Bank 2 之一或更多者與 Bank 3 一起配置。因此，當最重要記憶庫 518 待配置時，可任選配置剩下之較不重要記憶庫。

第 11A 圖顯示 VPS 配置命令 700 為最大之例子。第

11B 圖顯示 VPS 配置命令縮短之例子。於第 11B 圖中，假設 Bank 1 待配置。由於待配置之最重要記憶庫係 Bank 1，因此，省略用於 Bank 2 及 Bank 3 之 VPS 資料欄。包含用於 Bank 0 之 VPS 資料欄，其如前述可包含新的 VPS 配置碼、先前閃鎖之 VPS 配置碼或空值。於第 11A 及 11B 圖二圖中，驅動 CSI 選通信號至 VSS 以信號通知橋接裝置無出現在 D[j]輸入埠之進一步命令資訊有效。如於第 11A 及 11B 圖中所示，CSI 選通信號之高邏輯位準期間對應 VPS 配置命令之大小，且更具體而言，閃鎖 VPS 配置命令之所有位元所需時脈周期之數目。

藉 VPS 配置命令 700 之前述結構，相對於隨意為待配置之記憶庫提供 VPS 配置碼之 VPS 命令結構，簡化最初顯示於第 6 圖之用於 VPS 配置器 422 之邏輯及閃鎖電路。

於第 11A 及 11B 圖之二例子中，負責對合成記憶體裝置發出命令及用來從合成記憶體裝置接收讀取資料之記憶體控制器或其他控制電路設定 VPS 配置命令 700。記憶體控制器首先辨識待配置之最重要記憶庫，接著發出具有資料酬載之命令，該資料酬載限於包含：第一 VPS 配置碼，對應於最不important記憶庫；以及最後 VPS 配置碼，對應於所辨識待配置之最重要記憶庫。第一 VPS 配置碼與最後 VPS 配置碼間的其他 VPS 配置碼稱為中間 VPS 配置碼。

第 12A 圖係根據本實施例，VPS 配置器 422 之示意

電路圖。VPS 配置器 422 包含用來儲存對應 VPS 配置命令 700 之 VPS 配置碼之骨牌閘鎖電路。更具體而言，VPS 配置器 422 包含暫存器 800、802、804 及 806，以及依時脈信號 CLK 之順序，用以致能暫存器 800、802、804 及 806 之每一者之骨牌驅動邏輯 808。於目前所示實施例中，暫存器 800 代表一暫存器群，其中該群之每一暫存器專用來接收、儲存並提供一位元之 VPS 配置碼 VPS0。暫存器 802、804 及 806 以類似方式配置。因此，各暫存器在大小上可為任何數目之位元，以匹配 VPS 配置碼之大小。本例包含四個暫存器 800、802、804 及 806，然而，可包含任何數目之暫存器來匹配第 7 圖之記憶體 506 之記憶體庫 518 數目。骨牌驅動邏輯 808 包含一種子信號產生器 810 以及相互串連配置之四個閘鎖信號產生器 812、814、816 及 818。

於本例子中，暫存器 800、802、804 及 806 以周知之 D 型正反器電路顯示。暫存器 800、802、804 及 806 之每一者具有：D 輸入，用以接收 VPS 配置碼；Q 輸出，用以提供閘鎖之 VPS 配置碼；以及時脈輸入，用以致能在其 D 輸入收到之 VPS 配置碼之接收及閘鎖。於本實施例中，第 10 圖之提供於 VPS 配置命令 700 之 VPS 資料欄中之 VPS 配置碼被分時多路傳輸至連接於暫存器 800、802、804 及 806 之所有 D 輸入之共用匯流排。該共用匯流排係 VPS 資料匯流排 VPS_DB。於本實施例之一實施例子中，對應於一 VPS 配置碼之所有資料位元均在各時脈

周期中上升有效(asserted)於 VPS_DB。因此，於本圖示實施例中，在四個連續時脈周期中，四個不同 VPS 配置碼上升有效(asserted)於 VPS_DB。因此，於適當時刻，藉骨牌驅動邏輯 808 啟動各暫存器 800、802、804 及 806 以閘鎖出現於 VPS_DB 之資料。如此，暫存器 800、802、804 及 806 分別輸出經閘鎖之 VPS 配置碼 LVPS0、LVPS1、LVPS2 及 LVPS3。

骨牌驅動邏輯 808 在電路啟動後，響應時脈信號之每一主動緣，產生時脈 CK0、CK1、CK2 及 CK3。在各時脈周期中 VPS 配置碼上升有效(asserted)於 VPS_DB 之上述實施例中，於各時脈周期一次產生時脈 CK0、CK1、CK2 及 CK3。骨牌驅動邏輯 808 藉響應脈動控制信號 STRT 產生開始信號之種子信號產生器 810 啟動。閘鎖信號產生器 812、814、816 及 818 之每一者具有資料輸入埠 D、時脈輸入埠 CK、重設埠 R 及輸出埠 Q1 及 Q2。以下係閘鎖信號產生器 812、814、816 及 818 之任一者之操作之說明。於資料輸入埠 D，高邏輯位準(亦即邏輯“1”狀態)被閘鎖於時脈輸入埠 CK 收到之時脈信號的上升緣，結果，自輸出埠 Q1 產生高邏輯位準脈波。高邏輯位準脈波之歷時夠長而使對應暫存器 800、802、804 及 806 能閘鎖出現於其 D 輸入埠之資料。輸出埠 Q2 響應於資料輸入埠 D 之高邏輯位準信號，提供高邏輯位準信號，作為對次一閘鎖信號產生器之致能信號。此等致能信號分別從閘鎖信號產生器 812、814 及 816 標以 EN0、EN1 及 EN2。最後一個閘鎖

信號產生器 818 無須從其 Q2 輸出提供致能信號，此乃因為無其他門鎖信號產生器於鏈中致能。於第 12A 圖之實施例中，藉反相器 820 反轉重設信號 RST 以產生 RST_b，其被提供至所有門鎖信號產生器 812、814、816 及 818。當 RST 處於高邏輯位準時，所有門鎖信號產生器 812、814、816 及 818 之輸出埠 Q1 及 Q2 降至低邏輯位準。

以下參考第 12B 圖之順序圖說明虛擬頁面大小配置器電路 422 之操作。假設橋接裝置收到諸如第 10 圖之 VPS 配置命令 700 之 VPS 配置命令，且 VPS 配置碼 VPS0、VPS1、VPS2 及 VPS3 以第 11A 圖所示格式依序供至橋接裝置。第 12B 圖顯示對信號 CLK、STRT、RST、VLD、CK0、CK1、CK2、CK3、EN0、EN1 及 EN2 之信號追蹤。始於時脈周期 0，使 STRT 達到高邏輯位準，這造成種子信號產生器 810 驅動 VLD 至高邏輯位準。隨著 VLD 處於高邏輯位準，門鎖信號產生器 812 於時脈周期 1 之上升緣驅動 CK0 至高邏輯位準。於第 1 上升緣後之 CLK 之下降緣，CK0 被驅動回到低邏輯位準。於 CK0 之高邏輯位準脈動期間，以時脈控制暫存器 800 以門鎖 VPS0，於時脈周期 1 期間，該 VPS0 上升有效(asserted)於 VPS_DB。就在 CK0 被驅動回到低邏輯位準之後，致能信號 EN0 被門鎖信號產生器 812 驅動至高邏輯位準。如此，於本實施例中，CK0 具有大致對應於 CLK 之高邏輯位準期間之脈波期間。由於在時脈周期 1 中 CLK 處於低邏輯位準，因

此，當 EN0 處於高邏輯位準時，後續門鎖信號產生器 812 保持不作用。然而，在時脈周期 2 開始時，門鎖信號產生器 814 於 CLK 之上升緣門鎖 EN0 之高邏輯位準，以驅動 CK1 至高邏輯位準。對應暫存器 802 接著門鎖於時脈周期 2 期間已上升有效(asserted)於 VPS_DB 之 VPS1。最後，CK1 被驅動回到低邏輯位準，隨後 EN1 被驅動至高邏輯位準。如由第 12 圖可知，就像於前面分別對時脈周期 3 及 4 中之門鎖信號產生器 812 及 814 所說明及圖示，門鎖信號產生器 816 及 818 以相同方式反應。在時脈周期 5 開始時，脈波驅動 RST 至高邏輯位準，以結束操作。響應 RST 脈波，所有門鎖信號產生器重設及驅動其輸出至諸如低邏輯位準之空值。

簡言之，一旦為 STRT 信號所啟動，各門鎖信號產生器即於各時脈周期中提供時脈，同時致能次一門鎖信號產生器而用於後續時脈周期。當重設信號 RST 處於不作用之低邏輯位準時，時脈之串聯產生持續進行。因此，各暫存器被依續致能以門鎖在對應時脈周期期間上升有效(asserted)於 VPS_DB 上之 VPS 配置碼。於本實施例之該特定例子中，可藉邏輯及操作碼轉換器塊組 414，響應於 VPS 配置命令中提供之 VPS 配置操作碼，提供 STRT 信號。由於選通信號 CSI 之歷時與於 VPS 配置命令之大小直接有關，因此，可在一例示性實施例中使用 CSI 之下降緣觸發結束操作之 RST 脈波之產生。參考第 11A 圖，如果 VPS 配置命令以用於配置記憶庫 Bank 2 之 VPS2 結

束，CSI 即在 VPS2 之最後位元被門鎖後，降低無效 (de-asserted) 或被驅動至低邏輯位準。熟於本技藝人士可實施簡單邏輯，響應 CSI 之下降緣，產生 RST 脈波。

第 12A 圖所示種子信號產生器及門鎖信號產生器業已在功能上說明其響應輸入信號提供具有時序特徵之信號。時序關係已藉第 12B 圖所示順序圖顯示。熟於本技藝人士當知可發展多種邏輯電路來響應圖示之輸入信號產生此等信號。第 13 圖係第 12A 圖之可行種子信號產生器 810 之示意電路圖例，而第 14 圖則係第 12A 圖之可行門鎖信號產生器 (812、814、816 或 818) 之示意電路圖例。

第 13 圖之種子信號產生器 810 包含周知之 D 型正反器 850，其具有 D 輸入、時脈輸入、重設輸入及 Q 輸出。為產生種子信號 VLD，連結 D 輸入於 VDD，該 VDD 響應供至時脈輸入之 STRT 門鎖。因此，響應 STRT 高邏輯位準脈波，VLD 被驅動至 VDD 之高邏輯位準。當 RST 被脈波驅動至高邏輯位準時，重設電路，並將 VLD 驅動至 VSS 低邏輯位準。

第 14 圖係第 12A 圖所示一門鎖產生器電路之示意電路圖例。門鎖產生器電路 860 包含二 D 型正反器暫存器 862 及 864、NAND 邏輯閘 866 及 OR 邏輯閘 868。第 12A 圖所示門鎖產生器電路之輸入及輸出稱為輸入及輸出埠。正反器暫存器 862 具有：D 輸入，連接於 D 輸入埠；時脈輸入，連接於 CK 輸入埠；重設輸入，經由 OR 閘 868 連接於 R 輸入埠；以及 Q 輸出，連接於 Q1 輸出埠。因此，

正反器暫存器 862 門鎖出現於 D 輸入埠上的高邏輯位準信號，並響應出現於 CK 輸入埠之信號之上升緣，將其 Q 輸出驅動至高邏輯位準。NAND 邏輯閘 866 具有：反相輸出，連接於 CK 輸入埠；以及非反相輸出，連接於正反器暫存器 862 之 Q 輸出。將 NAND 邏輯閘 866 之輸出提供至正反器暫存器 864。於本配置中，NAND 邏輯閘 866 偵測 Q1 處於高邏輯位準以及 CK 處於低邏輯位準之狀況。於此狀況下，將 NAND 邏輯閘 866 之輸出驅動至低邏輯位準。

正反器暫存器 864 具有：D 輸出，連接於 VDD 電源，其對應於高邏輯位準；反相時脈輸入，連接於 NAND 邏輯閘 866 之輸出；重設輸入，連接於 R 輸入埠；以及 Q 輸出，連接於 Q2 輸出埠。當 NAND 邏輯閘 866 偵出 Q1 處於高邏輯位準，而 CK 處於低邏輯位準時，正反器暫存器 864 門鎖 Q2 於高邏輯位準。如前述，Q2 致能其可連接之次一下游門鎖信號產生器。OR 邏輯閘 868 具有：反相輸入，連接於正反器暫存器 864 之 Q 輸出；非反相輸入，連接於 R 輸入埠；以及輸出，連接於正反器暫存器 862 之重設輸入。當 Q2 被正反器暫存器 864 驅動至高邏輯位準時，或當 R 輸入埠處於高邏輯位準時，OR 邏輯閘 868 之輸出被驅動至低邏輯位準。OR 邏輯閘 868 形成自正反器暫存器 864 至正反器暫存器 862 之反饋路徑，其中當輸出埠 Q2 處於高邏輯位準時，重設正反器暫存器 862。

簡言之，當 D 輸入埠處於高邏輯位準時，響應於 CK 輸入埠收到之高邏輯位準信號，將 Q1 驅動至高邏輯位準。當於 CK 輸入埠收到之信號降至低邏輯位準時，將 Q1 從高邏輯位準驅動至低邏輯位準。而且，正反器暫存器 864 就所有後續時脈周期維持輸出埠 Q2 於高邏輯位準，直到其重設為止。在維持輸出埠 Q2 於高邏輯位準下，保持正反器暫存器 862 於重設狀態，藉此，解除 CK 輸入埠之閘鎖，並於出現在 CK 輸入埠上之次一上升緣驅動 Q1。

目前所說明之例子假設各 VPS 配置碼之所有資料位元均同時被上升有效(asserted)於 VPS_DB。這意謂橋接裝置配置成同時或於一時脈周期中接收所有 VPS 配置碼資料位元。例如，若各 VPS 配置碼為 8 位元大小，橋接裝置輸入/輸出介面 402 即可具有 8 D[j]埠(其中 j=8)。於替代實施例中，若橋接裝置輸入/輸出介面 402 具有 4 D[j]埠，即在二時脈周期中收到所有 8 位元 VPS 配置碼，此乃因為每一時脈周期提供 4 位元。因此，於每一時脈周期閘鎖對應一 VPS 配置碼之資料部分，其中該部依用來接收資料之 D[j]埠之數目而定。在此一配置中，第 12A 圖之電路簡單地按比例配置，使暫存器 800 閘鎖第一時脈周期之第一 4 位元，暫存器 802 閘鎖第二時脈周期之最後 4 位元。因此，額外閘鎖信號產生器被添加於骨牌驅動邏輯 808，且暫存器被重配置來接收適當的時脈。因此，依用途要件而定，可使用 VPS 配置碼大小與橋接裝置輸入/輸

出介面之任何組合。

第 12A 圖之 VPS 配置器電路 422 係用來快速門鎖 VPS 配置命令中之 VPS 配置碼之簡單電路。參考第 7 圖，由於記憶庫 518 從一最不重要記憶庫至一最重要記憶庫排序，最重要記憶庫及其對應 NAND 快閃記憶體裝置可被指定為其 VPS 配置改變最不頻繁者。接著，最不important記憶庫及其對應 NAND 快閃記憶體裝置可被指定為其 VPS 配置改變最頻繁者，以利用 VPS 配置命令結構。若最不important記憶庫之 VPS 配置改變頻繁，命令即藉由僅包含對應 VPS 配置碼 VPS0 之第一 VPS 資料欄最小化。藉由具有頻繁發出之最小化 VPS 配置命令，可因各合成記憶體裝置接收及處理命令之時間較少而改進整體效能。

以下係根據本實施例，用以在具有至少一合成記憶體裝置之記憶體系統中，配置合成記憶體裝置之記憶庫之虛擬頁面大小之方法之概要。此一記憶體系統可具有前面第 5 圖所示記憶體系統配置，其中各合成記憶體裝置具有第 6 圖所示橋接裝置 400。該方法顯示於第 15 圖之流程圖中，其始於步驟 900，使記憶體控制器於橋接裝置 400 中辨識諸記憶庫之至少一記憶庫，以配置一特定虛擬頁面大小。如前述，記憶庫可從一最不important記憶庫至一最重要記憶庫排序。記憶體控制器可處理來自主機系統之請求，在該主機系統內，記憶體系統被用來確立虛擬頁面大小。替代地，記憶體控制器可依主機系統可儲存於記憶體系統內之資料類型，隨後自動運算。一旦辨識出待配置之一記憶

庫或諸記憶庫並指定其等之虛擬頁面大小，記憶體控制器即於步驟 902 發出 VPS 配置命令，其具有一標頭及僅包含對應待配置記憶庫之 VPS 配置碼之資料酬載。於本實施例中，在 VPS 配置命令之資料酬載中僅包含有即將配置之對應從一最不重要記憶庫至一最重要記憶庫之 VPS 配置碼。於本實施例中，按重要性漸增排序，相對於此等 VPS 配置碼之對應記憶庫將其發出。

於目前說明之系統中，對 CSI 選通信號提供 VPS 配置命令。於標頭始端將 CSI 選通信號驅動至高邏輯位準，並於資料酬載末端將其驅動至低邏輯位準，其為最重要 VPS 配置碼之最後一個位元或多數位元。步驟 902 之結果舉例顯示於第 11A 或 11B 圖中。由於 VPS 配置命令之標頭包含 GDA 欄，因此，本命令被發至所選合成記憶體裝置。若第一合成記憶體裝置之指定裝置位址匹配 VPS 配置命令之 GDA 欄中的位址，第一合成記憶體裝置即經由其橋接裝置決定。於失配情況下，橋接裝置忽略操作碼，且 VPS 配置命令藉合成記憶體裝置轉送至系統中的後續合成記憶體裝置。最後，所選合成記憶體裝置具有匹配 GDA 欄中之位址的裝置位址。響應匹配位址，橋接裝置於步驟 904 將操作碼解碼，並門鎖 VPS 配置碼。一旦門鎖，即配置記憶庫之虛擬頁面大小。於本實施例中，VPS 配置碼之門鎖在 CSI 降至不作用之低邏輯位準時結束。因此，VPS 配置碼無須包含指出資料酬載中之 VPS 配置碼數目之任何進一步資訊。由於記憶庫之邏輯排序預定，因

此，對 VPS 配置碼提供相同邏輯排序。因此，配置命令無須包含指出哪一 VPS 配置碼應與哪一記憶庫匹配之任何資訊。

由於資料酬載之大小依待配置之最重要記憶庫而定，因此，可能有較不重要之記憶庫，其中記憶庫虛擬頁面大小保持不變。然而，由於 VPS 配置命令包含對應待配置之從一最不重要記憶庫至一最重要記憶庫之所有 VPS 配置碼，因此，發出對應不變記憶庫之前虛擬頁面大小的 VPS 配置碼。因此，前 VPS 配置碼以相同 VPS 配置碼重寫，且不改變用於對應記憶庫之虛擬頁面大小。

目前說明之實施例顯示可如何配置橋接裝置中用於記憶庫之虛擬頁面大小。前面說明之電路、命令格式及方法可用在具有可配置來符合應用要件之虛擬或邏輯大小。

於前面說明中，為解釋，說明多數細節以提供對本發明實施例之全面瞭解。然而，對熟於此技藝人士而言，顯然，為實施本發明，此等具體細節並不必要。於其他例子中，周知之電構造及電路以方塊圖顯示，俾不致於模糊本發明。

須知，當提到一元件“連接”或“耦接”於另一元件時，其可直接連接或耦接於另一元件或有中介元件。相對地，當本文提到一元件“直接連接”或“直接耦接”於另一元件時，無中介元件。用來說明元件間之關係之其他文字應以相同方式解釋（例如“之間”對“直接於…之間”，“相鄰”對“直接相鄰”等）。

上述實施例可進行某些改作或修改。因此，上述實施例被視為說明性而非限制性。

【圖式簡單說明】

現在舉例參考附圖：

第 1A 圖係一揮發性記憶體系統例之方塊圖；

第 1B 圖係用於第 1A 圖之記憶體系統例中之分離快閃記憶體裝置之圖式；

第 2A 圖係一串聯記憶體系統例之方塊圖；

第 2B 圖係用於第 2A 圖之記憶體系統例中之分離串聯介面快閃記憶體裝置之圖式；

第 3A 圖係根據一實施例，具有四個分離記憶體裝置及一橋接裝置之合成記憶體裝置之方塊圖；

第 3B 圖係根據本實施例，總體命令之說明圖；

第 4 圖係根據一實施例，一橋接裝置之方塊圖；

第 5 圖係根據一實施例，在串聯互連記憶體系統中具有多數個連接於控制器之合成記憶體裝置之記憶體系統之方塊圖；

第 6 圖係根據本實施例，對高速串聯介面橋接裝置之 NAND 之方塊圖；

第 7 圖係顯示根據本實施例，第 6 圖之橋接裝置對 NAND 快閃記憶體裝置之記憶體映射之方塊圖；

第 8A、8B 及 8C 圖顯示使用第 6 圖之橋接裝置，自一 NAND 快閃記憶體裝置讀取之操作例之方塊圖；

第 9A、9B、9C 及 9D 圖顯示用於第 6 圖之橋接裝置之各記憶庫之虛擬頁面配置例；

第 10 圖係根據本實施例，VPS 配置命令之說明圖；

第 11A 及 11B 圖係根據本實施例，動態大小配置命令之時序圖；

第 12A 圖係根據本實施例，第 6 圖之 VPS 配置器之實施例；

第 12B 圖係顯示第 12A 圖之 VPS 配置器之操作之順序圖；

第 13 圖係第 12A 圖之種子信號產生器之電路圖；

第 14 圖係根據本實施例，第 12A 圖之閃鎖產生器電路圖之電路圖；以及

第 15 圖係根據本實施例，用以於橋接裝置中配置記憶體之虛擬頁面大小之方法的流程圖。

【主要元件符號說明】

10：非揮發性記憶體系統

12：主機系統

14,22：記憶體控制器

16-1,16-2,16-3,16-4：非揮發性記憶體裝置

18：通道

20：串聯環式拓樸記憶體系統

24-1,24-2,24-3,24-N：記憶體裝置

100：合成記憶體裝置

- 102：橋接裝置
- 104：分離記憶體裝置
- 110：總體命令
- 112：總體記憶體控制信號
- 114：位址標頭
- 116：總體裝置位址 (GDA)
- 118：本地裝置位址 (LDA)
- 200：橋接裝置
- 202：橋接裝置輸入/輸出介面
- 204：記憶體裝置介面
- 206：格式轉換器
- 208：命令格式轉換器
- 210：資料格式轉換器
- 212：命令路徑
- 300：記憶體系統
- 302：記憶體控制器
- 304-1 至 304-j：合成記憶體裝置
- 400：橋接裝置
- 402：橋接裝置輸入/輸出介面
- 404：記憶體裝置介面
- 406：命令格式轉換器
- 408：資料格式轉換器
- 410：操作碼暫存器
- 412：總體裝置位址 (GDA) 暫存器

- 414：邏輯及操作碼轉換器塊組
- 416：記憶體
- 418：時序控制電路
- 420：位址暫存器
- 422：虛擬頁面大小(VPS)配置器電路
- 424：資料輸入路徑電路
- 426：資料輸出路徑電路
- 428：資料流通路徑
- 500：合成記憶體裝置
- 502：NAND 快閃記憶體裝置
- 504：橋接裝置
- 506：記憶體
- 508,510：平面
- 512,514：頁面緩衝器
- 516：次記憶體
- 518：記憶庫
- 600：合成記憶體裝置
- 602：第一 NAND 快閃記憶體裝置
- 604：第二 NAND 快閃記憶體裝置
- 606：橋接裝置之一部份
- 608：單一平面
- 610：單一頁面緩衝器
- 612：第一次記憶體
- 614：第二次記憶體

616：橋接裝置輸入/輸出介面

618：字線

650：頁面緩衝器

652：頁面段

654：頁面段

656：頁面段

700：VPS 配置命令

702：GDA 欄

704：操作碼欄

706,708,710,712：VPS 資料欄

800,802,804,806：暫存器

808：骨牌啓動邏輯

810：種子信號產生器

812,814,816,818：門鎖信號產生器

820：反相器

860：門鎖信號產生器

862,864：D 型正反器暫存器

866：NAND 邏輯閘

868：OR 邏輯閘

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98136329

※申請日：98 年 10 月 27 日

※IPC 分類：

G11C 11/34

(2006.01)

一、發明名稱：(中文／英文)

具有可配置的虛擬頁面大小之橋接裝置

A bridging device having a configurable virtual page size

二、中文發明摘要：

一種合成記憶體裝置，包含多數分離記憶體裝置以及用以控制此等分離記憶體裝置之橋接裝置。該橋接裝置具有組成爲記憶體庫之記憶體，其中各記憶體庫配置成具有小於頁面緩衝器之最大實際大小之虛擬頁面大小。因此，僅有一段對應儲存於頁面緩衝器之虛擬頁面大小之資料被轉送至該記憶體庫。於具有排序結構之虛擬頁面大小(VPS)配置命令中提供記憶體庫之虛擬頁面大小，於該結構中，命令中含 VPS 配置碼之 VPS 資料欄的位置對應於從一最不important記憶體庫至一最重要記憶體庫排序之不同記憶體庫。VPS 配置命令在大小上可變，並僅包含用於所配置之最重要記憶體庫及較不important記憶體庫。

三、英文發明摘要：

A composite memory device including discrete memory devices and a bridge device for controlling the discrete memory devices. The bridge device has memory organized as banks, where each bank is configured to have a virtual page size that is less than the maximum physical size of the page buffer. Therefore only a segment of data corresponding to the virtual page size stored in the page buffer is transferred to the bank. The virtual page size of the banks is provided in a virtual page size (VPS) configuration command having an ordered structure where the position of VPS data fields containing VPS configuration codes in the command correspond to different banks which are ordered from a least significant bank to a most significant bank. The VPS configuration command is variable in size, and includes only the VPS configuration codes for the highest significant bank being configured and the lower significant banks.

七、申請專利範圍

1.一種配置用於半導體裝置中記憶庫之頁面大小之方法，包括：

辨識待配置之多數記憶庫之至少一記憶庫；

發出僅包含對應該至少一記憶庫之配置碼之命令；以及

響應對應該至少一記憶庫之該配置碼，配置該至少一記憶庫之頁面大小。

2.如申請專利範圍第 1 項之方法，其中，該等記憶庫從一最不important記憶庫至一最重要記憶庫排序，且該辨識步驟包括辨識該至少一記憶庫之最重要記憶庫。

3.如申請專利範圍第 2 項之方法，其中，該至少一記憶庫之該最重要記憶庫對應於該記憶庫之該最不important記憶庫。

4.如申請專利範圍第 2 項之方法，其中，該發出步驟包括提供一對應該最不important記憶庫之第一配置碼及一對應該最重要記憶庫之最後配置碼。

5.如申請專利範圍第 4 項之方法，其中，該發出步驟包括提供對應於該最不important記憶庫與該最重要記憶庫間之插入記憶庫的中間配置碼。

6.如申請專利範圍第 4 項之方法，其中，該發出步驟包括對應於該記憶庫之排序依序提供該第一配置碼、該中間配置碼及該最後配置碼。

7.如申請專利範圍第 6 項之方法，其中，該第一配置

碼在時間上第一個提供，該最後配置碼在時間上最後一個提供。

8.如申請專利範圍第 6 項之方法，其中，該發出步驟包括在該第一配置碼前提供一標頭。

9.如申請專利範圍第 8 項之方法，其中，該提供標頭之步驟包括在一操作碼前提供一總體裝置位址。

10.如申請專利範圍第 9 項之方法，其中，該發出步驟包括在該標頭始端驅動一選通信號至一第一邏輯位準，並在該最後配置碼末端驅動一選通信號至一第二邏輯位準。

11.如申請專利範圍第 7 項之方法，其中，該配置步驟包括於該半導體裝置中閃鎖該第一配置碼、該中間配置碼及該最後配置碼。

12.如申請專利範圍第 11 項之方法，其中，該配置步驟進一步包括分時多工傳送該第一配置碼、該中間配置碼及該最後配置碼時間至一資料匯流排。

13.如申請專利範圍第 12 項之方法，其中，該閃鎖步驟包括於不同時間，閃鎖該第一配置碼、該中間配置碼及該最後配置碼之每一者於該資料匯流排上。

14.如申請專利範圍第 12 項之方法，其中，該閃鎖步驟包括以一時鐘信號之上升及下降緣之一，同時閃鎖該第一配置碼、該中間配置碼及該最後配置碼之每一者於該資料匯流排上。

15.如申請專利範圍第 14 項之方法，其中，該閃鎖步

驟包括接收一第一邏輯位準之選通信號，致使可門鎖該第一配置碼、該中間配置碼及該最後配置碼。

16.如申請專利範圍第 15 項之方法，其中，該門鎖步驟包括接收一第二邏輯位準之選通信號，致使無法門鎖資料於該資料匯流排上之資料。

17.一種用以門鎖大小可變之命令中的頁面大小配置碼之電路，包括：

一資料匯流排，用來於不同期間接收對應該等頁面大小配置碼之至少一者之資料；

一頁面大小配置器，耦接於該資料匯流排，以於不同期間門鎖該資料。

18.如申請專利範圍第 17 項之電路，其中，該資料包含對應於一頁面大小配置碼之位元之一部份。

19.如申請專利範圍第 17 項之電路，其中，該資料對應於與一頁面大小配置碼相對應之所有位元。

20.如申請專利範圍第 17 項之電路，其中，該不同期間對應於時脈周期。

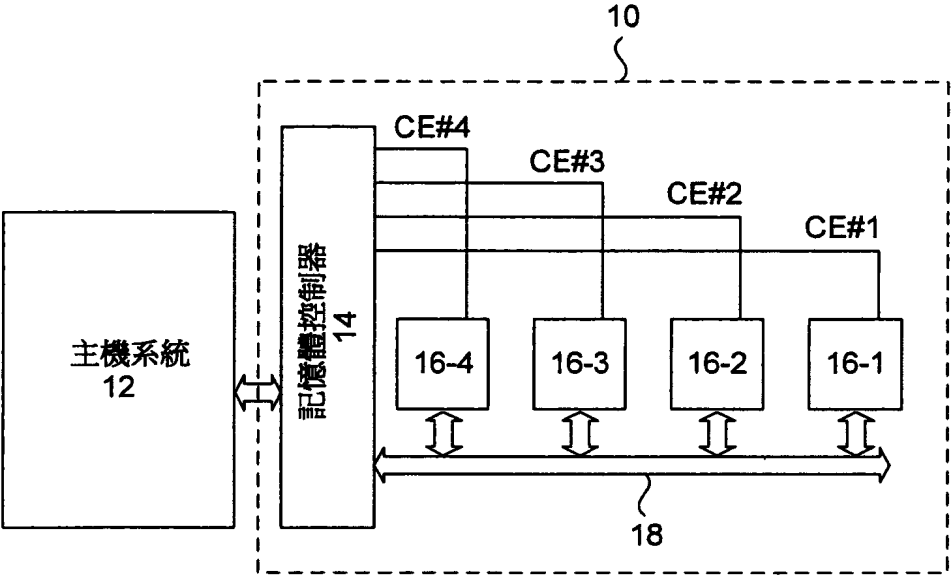
21.如申請專利範圍第 20 項之電路，其中，該頁面大小配置器包括多數暫存器，其每一者具有一連接於該資料匯流排之輸入端，用來響應於不同時脈周期收到之脈波信號，門鎖該資料。

22.如申請專利範圍第 20 項之電路，其中，該頁面大小配置器包括一骨牌啓動邏輯，用來響應一時鐘信號之上升及下降緣之一，產生該脈波信號。

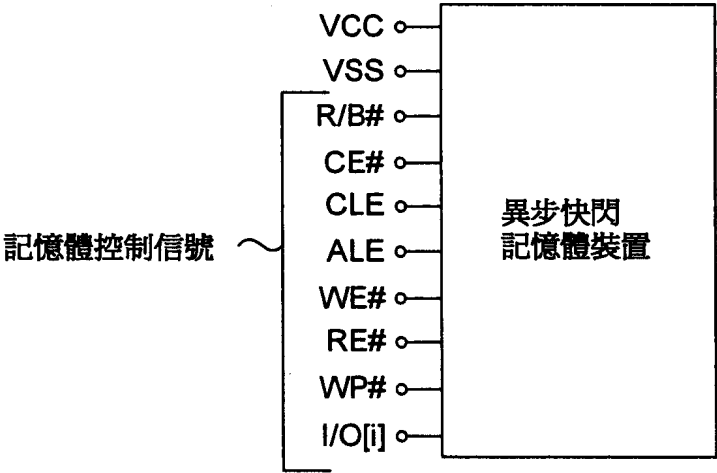
23.如申請專利範圍第 21 項之電路，其中，該骨牌啟動邏輯包括多數門鎖信號產生器，彼等相互串聯，並依序致能，以響應該時鐘信號之上升及下降緣之一，產生該脈波信號。

24.如申請專利範圍第 23 項之電路，其中，該骨牌啟動邏輯包括一種子信號產生器，其響應一啟動信號，致能該等門鎖信號產生器之一第一門鎖信號產生器。

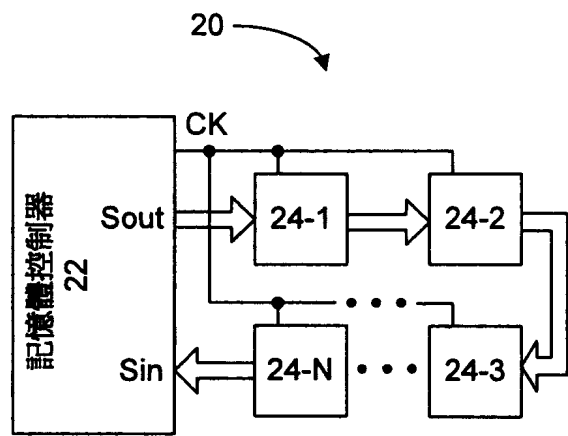
25.如申請專利範圍第 24 項之電路，其中，該等門鎖信號產生器之每一者在一對應脈波信號產生後，致能一後續門鎖信號產生器。



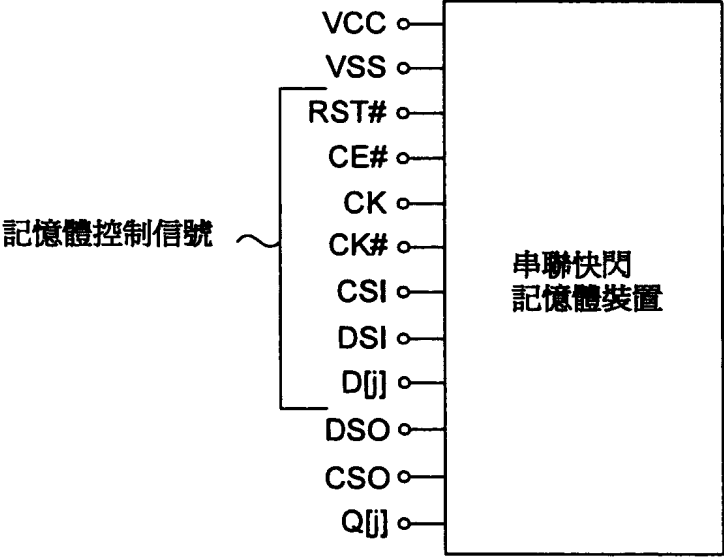
第1A圖



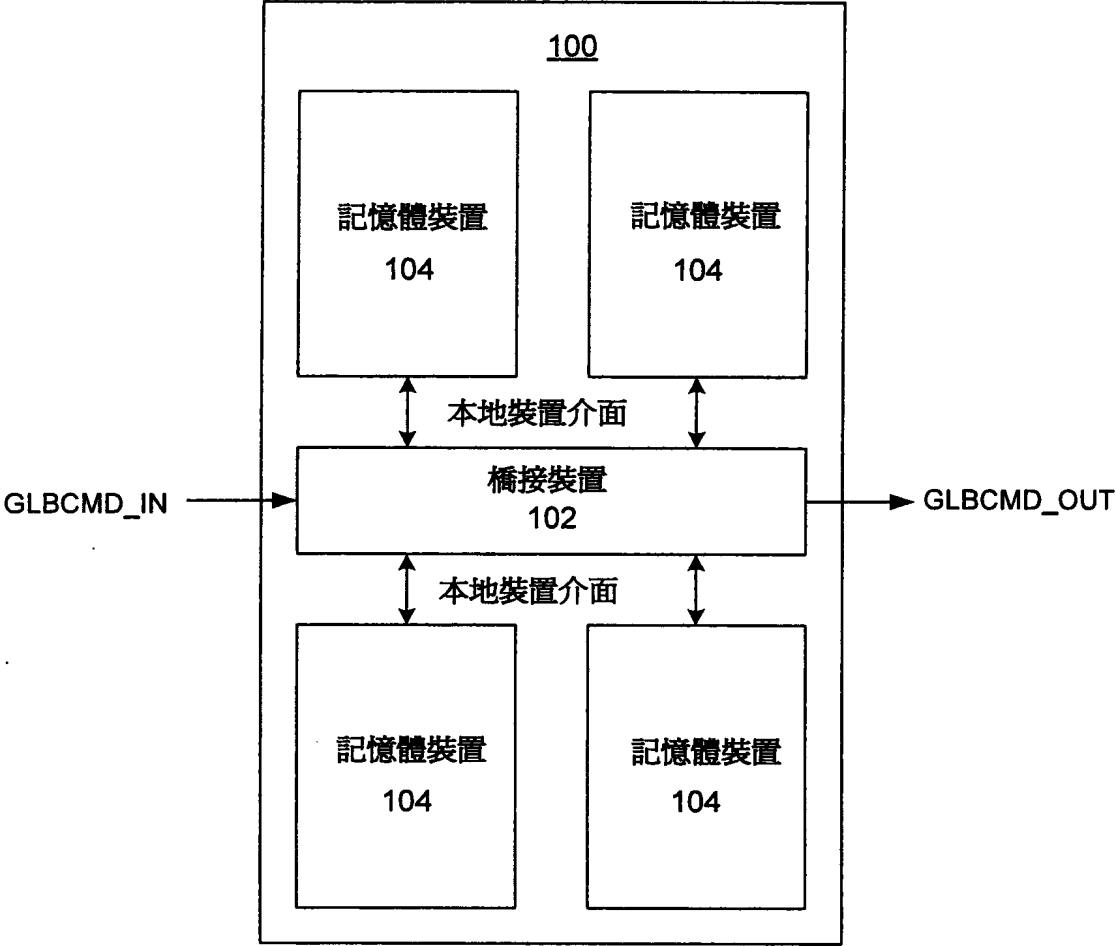
第1B圖



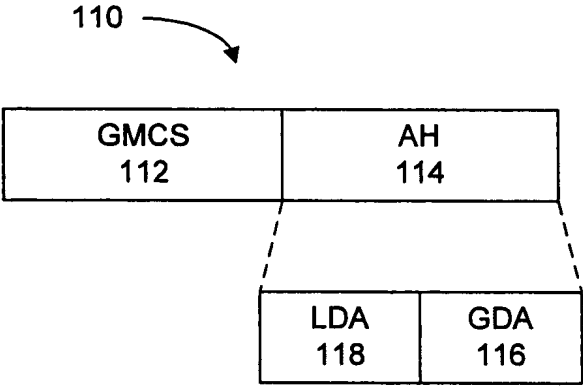
第2A圖



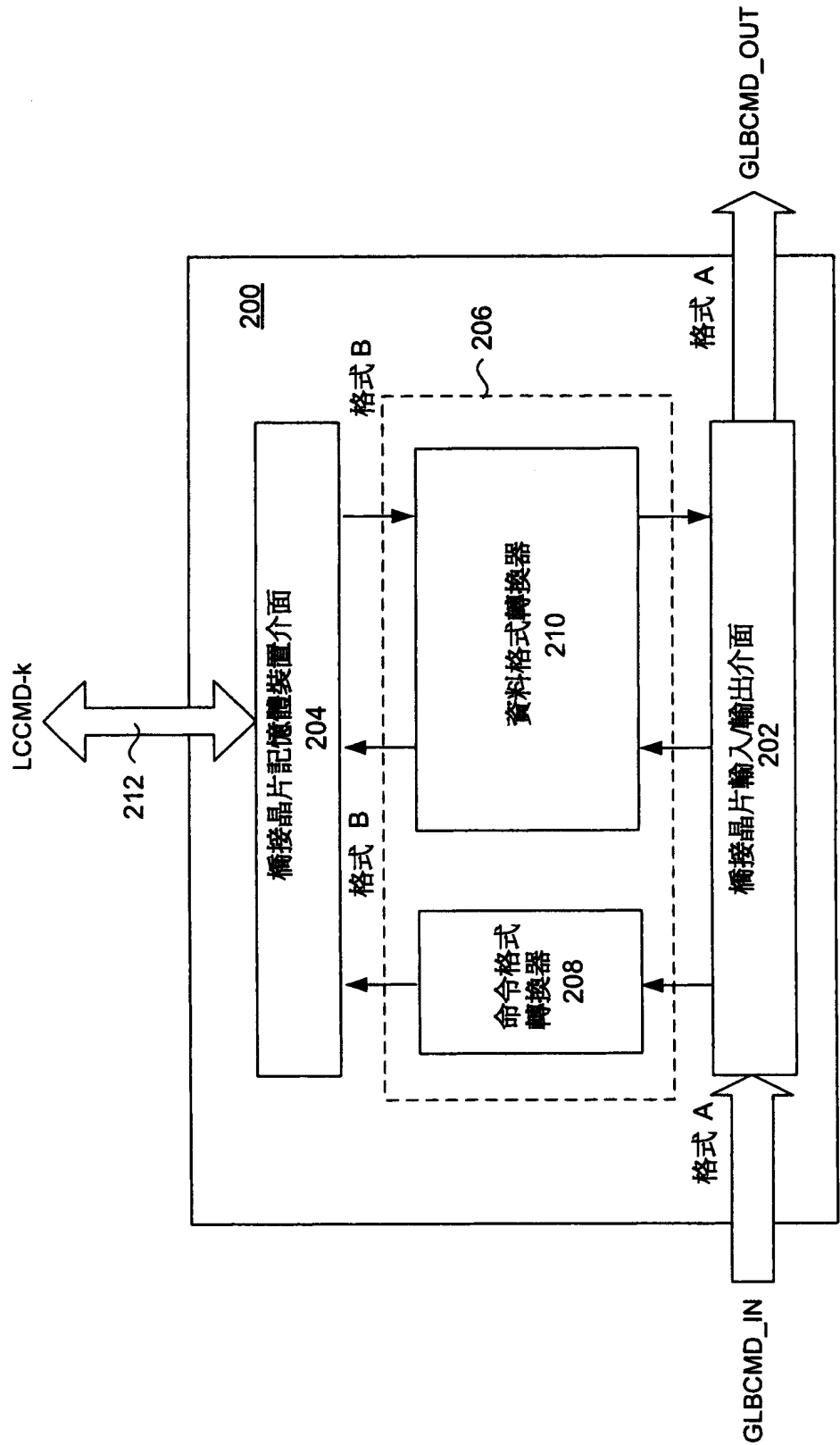
第2B圖



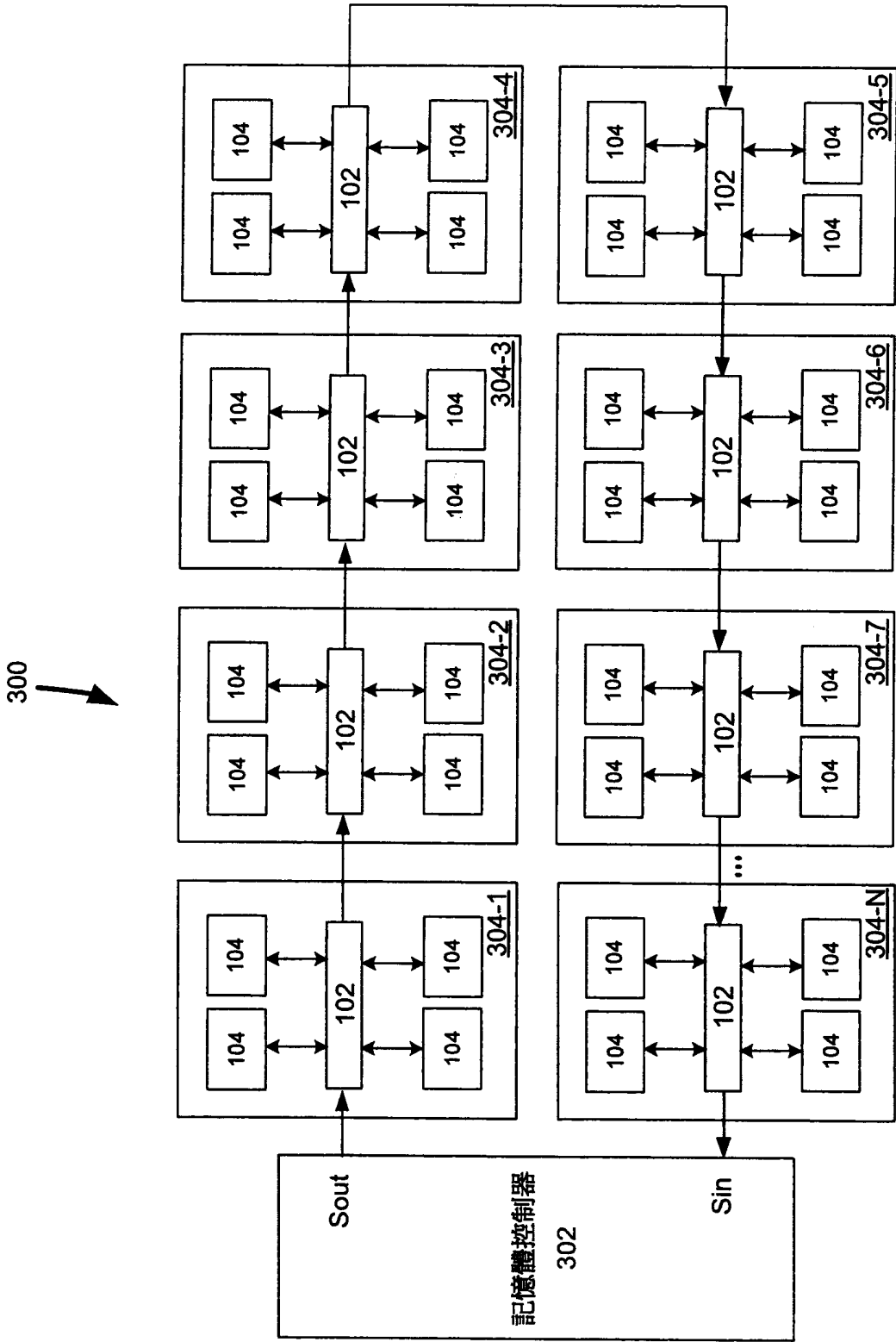
第3A圖



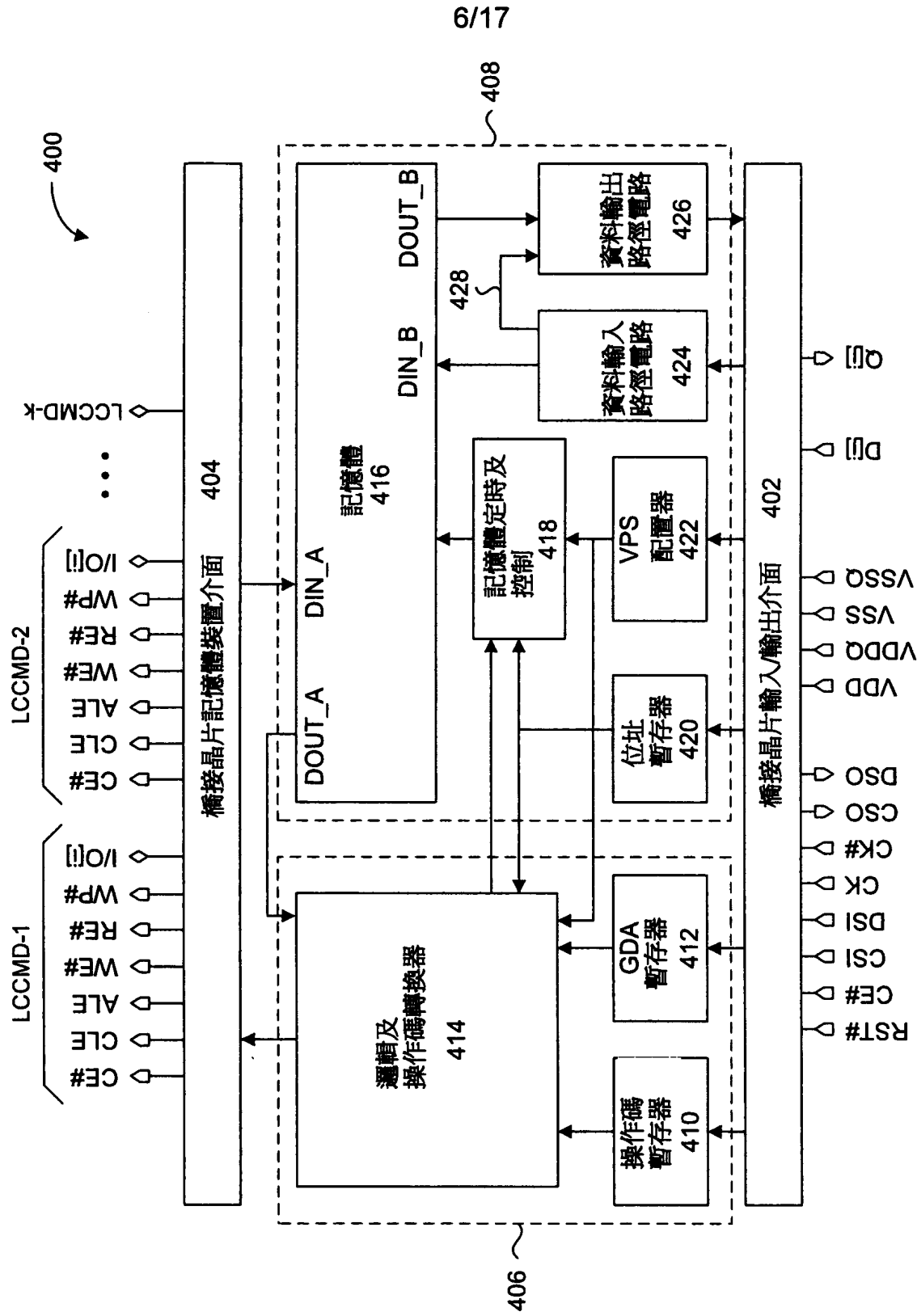
第3B圖



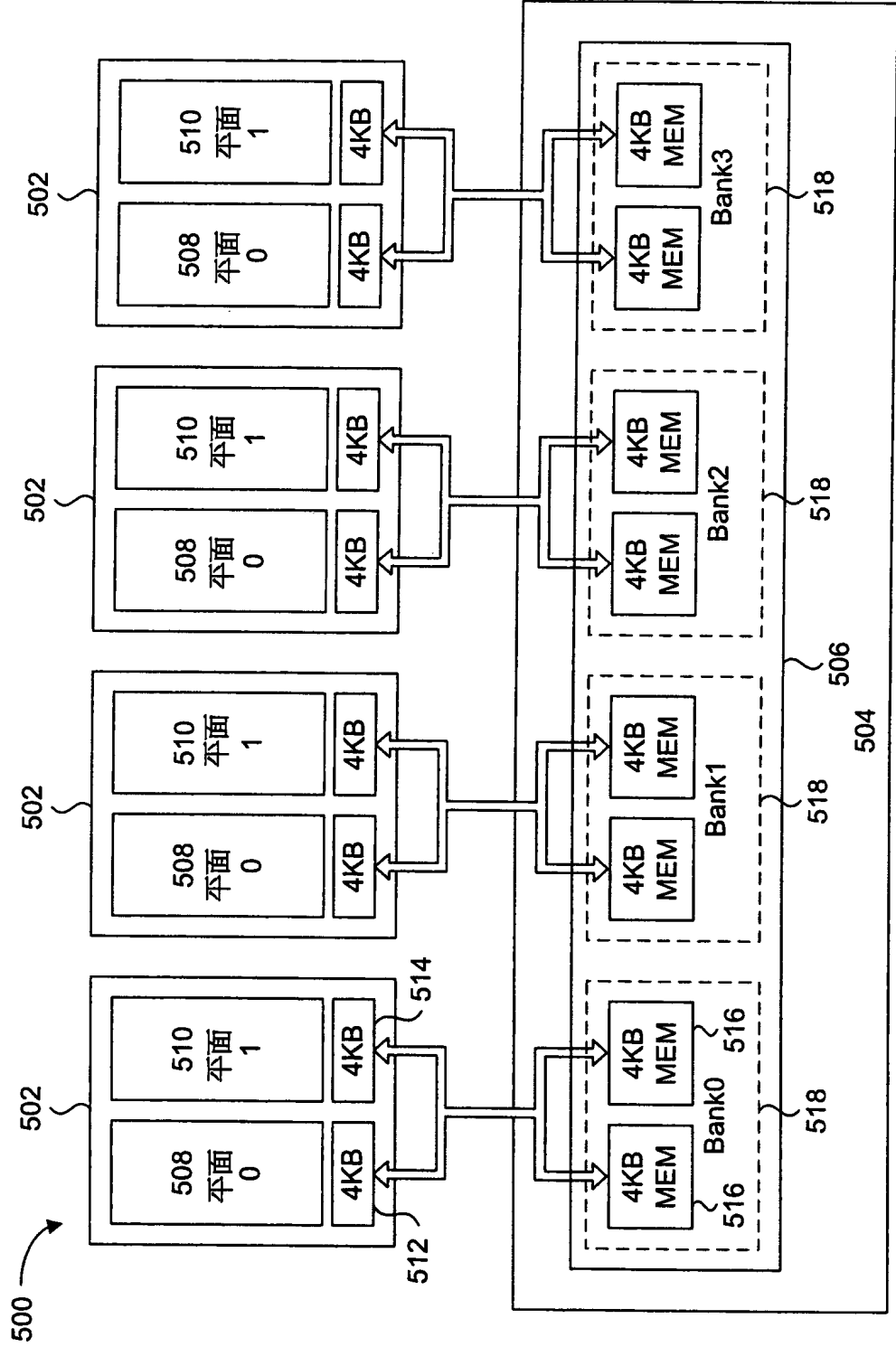
第4圖



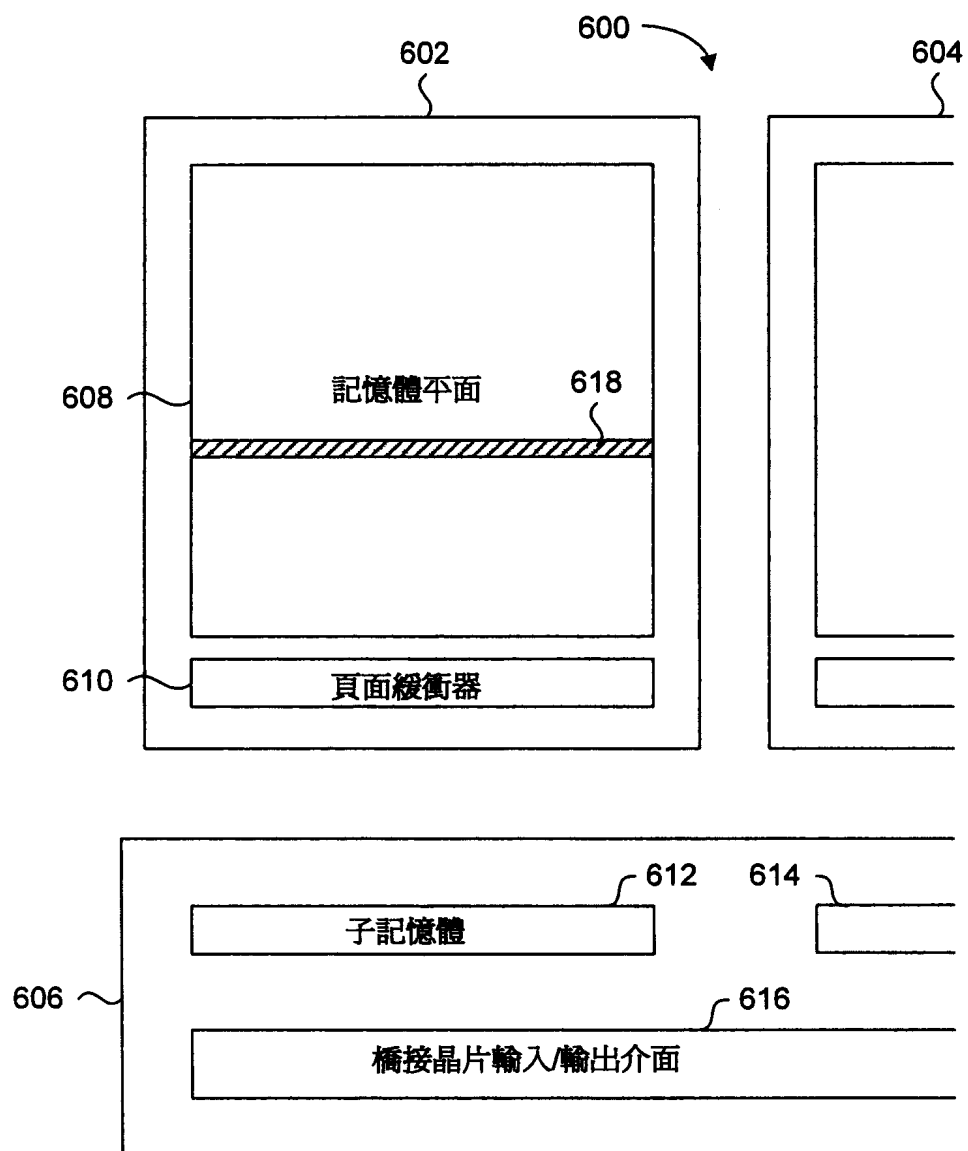
第5圖



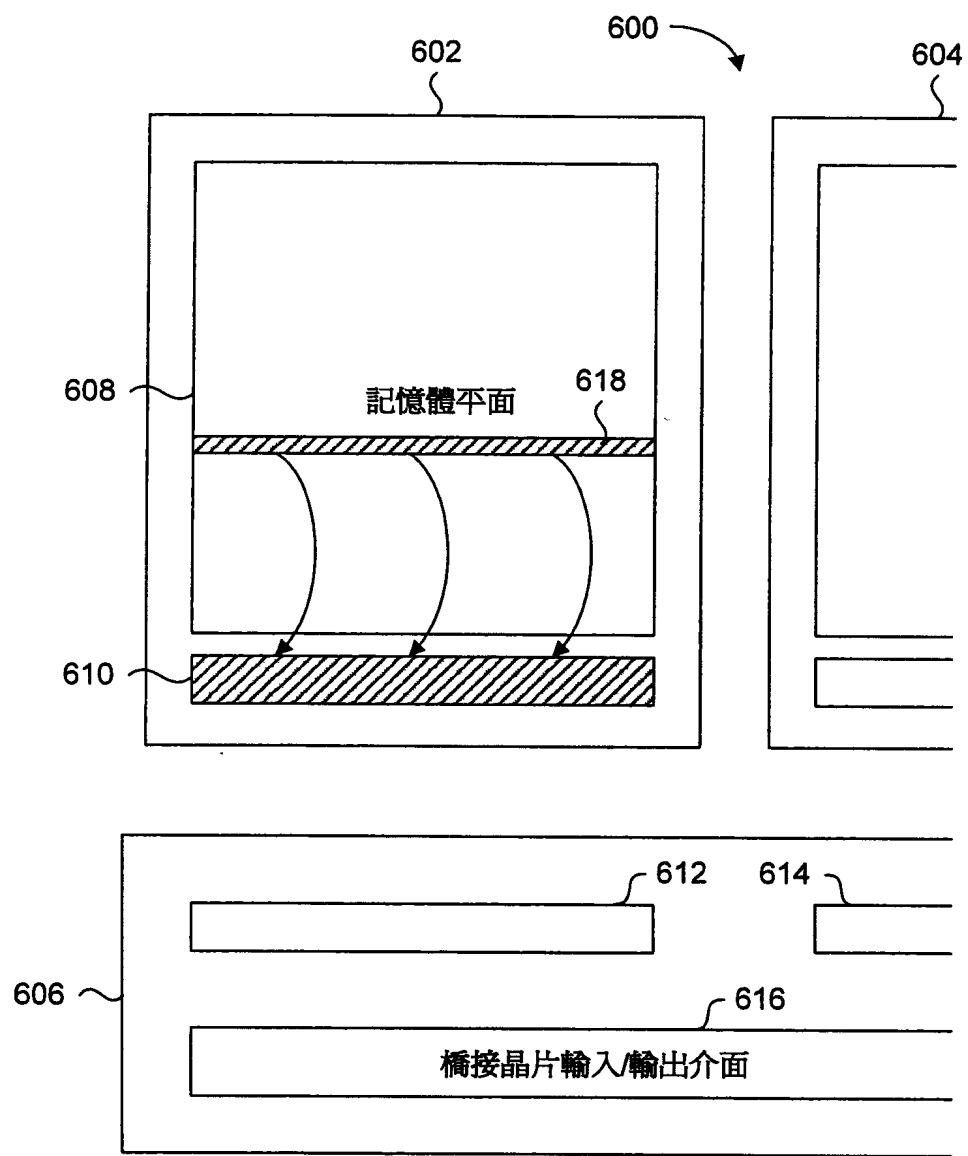
第6圖



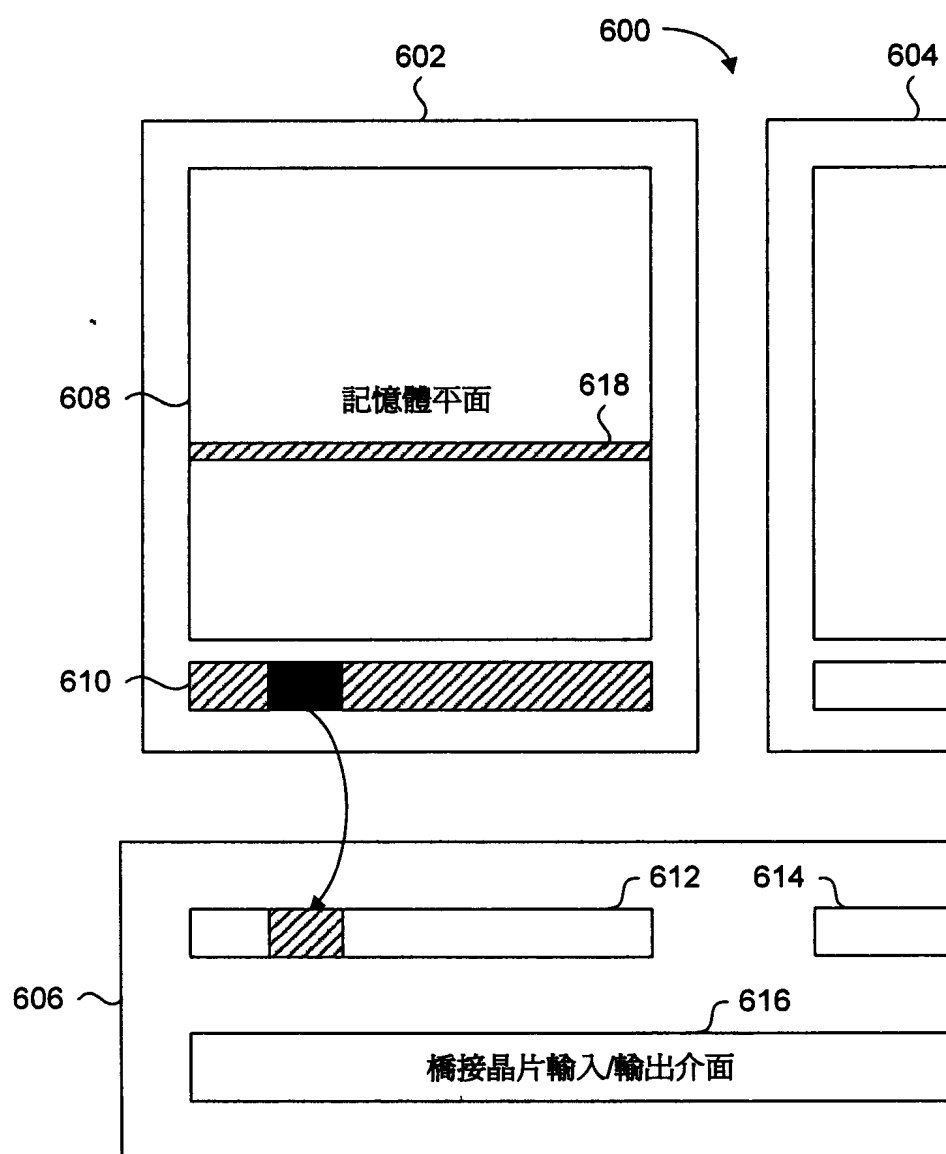
第7圖



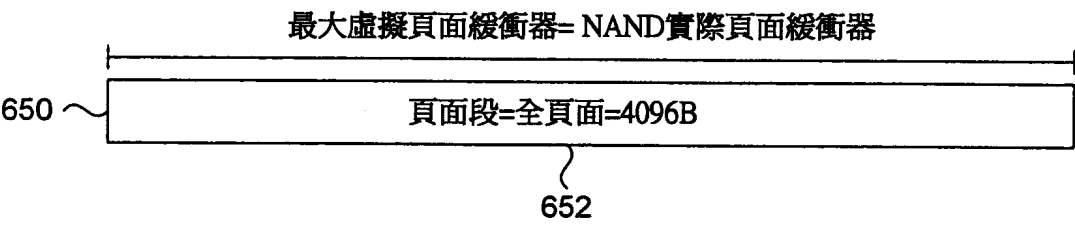
第8A圖



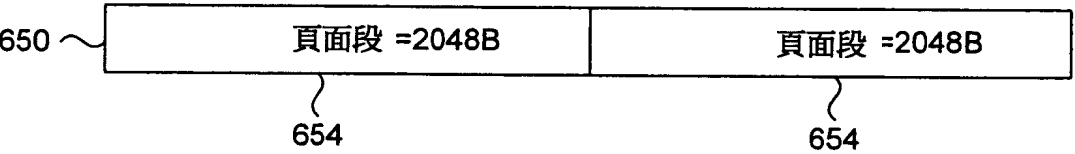
第8B圖



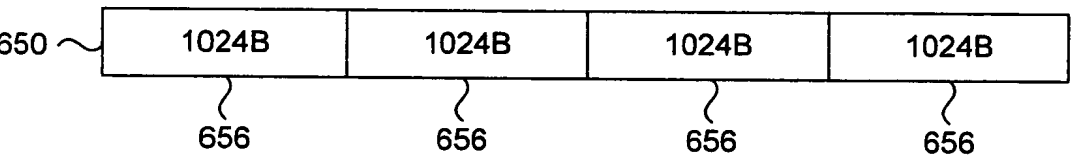
第8C圖



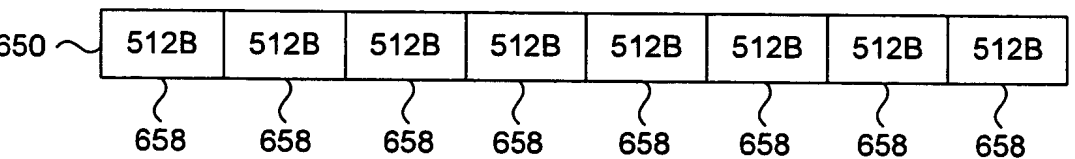
第9A圖



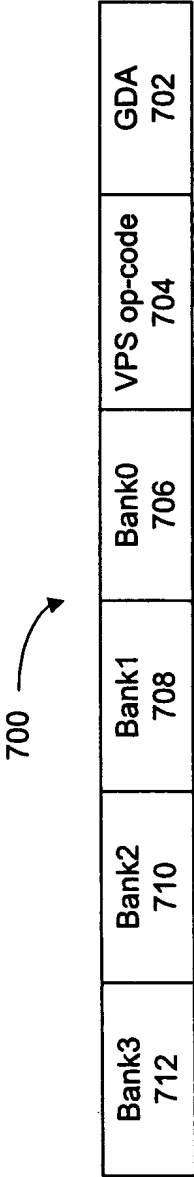
第9B圖



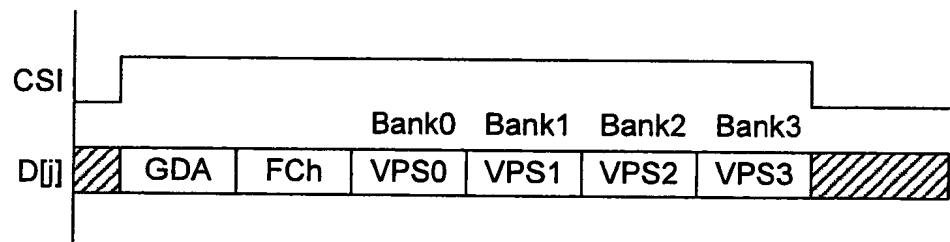
第9C圖



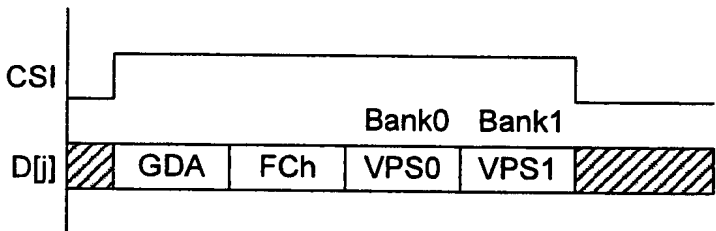
第9D圖



第10圖

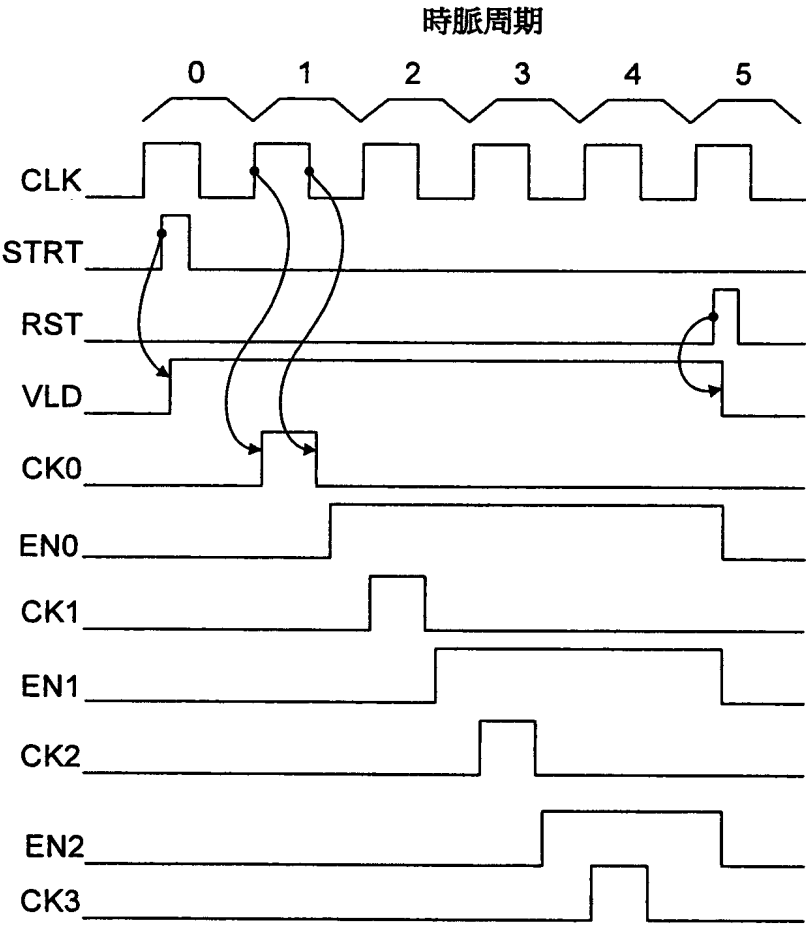


第11A圖

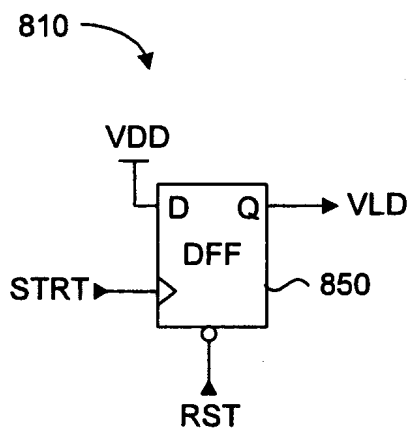


第11B圖

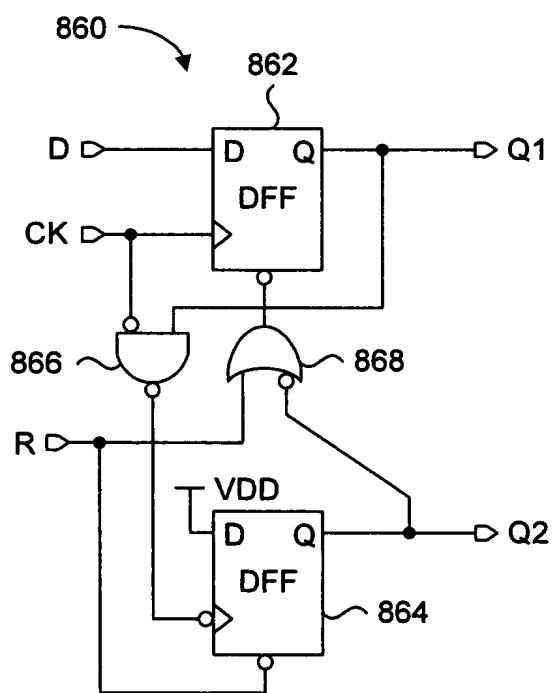




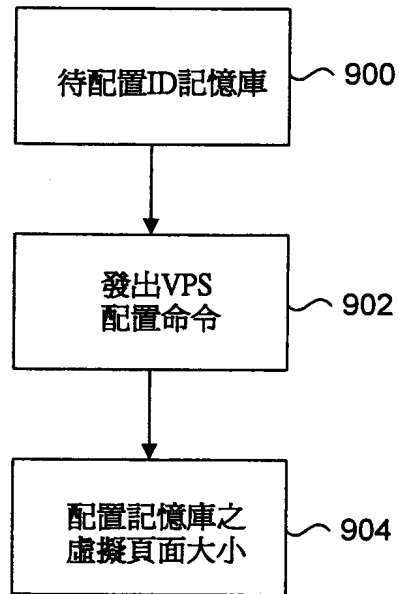
第12B圖



第13圖



第14圖



第15圖

四、指定代表圖：

(一)、本案指定代表圖為：第 (11A) 圖。

(二)、本代表圖之元件符號簡單說明：無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無