202341395

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202341395 A

(43)公開日： 中華民國 112 (2023) 年 10 月 16 日

(21)申請案號：111147849 (22)申請日： 中華民國 111 (2022) 年 12 月 13 日

(51)Int. Cl.： *H01L23/532 (2006.01)* *H01L23/48 (2006.01)*
H01L21/768 (2006.01)

(30)優先權：2021/12/13 美國 63/288,991
2022/12/12 美國 18/064,815

(71)申請人：美商艾德亞半導體接合科技有限公司 (美國) ADEIA SEMICONDUCTOR BONDING TECHNOLOGIES INC. (US)
美國

(72)發明人：烏佐 賽普里恩 艾米卡 UZOH, CYPRIAN EMEKA (US)

(74)代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：118 項 圖式數：17 共 78 頁

(54)名稱

互連結構

(57)摘要

本發明揭示一種半導體元件，包括半導體部分、在所述半導體部分上的非導電層、由第一材料所形成的並且至少部份地埋置在所述非導電層中的上導電層、在所述上導電層下方並且電性連接到所述上導電層的下導電層，以及設置在所述上導電層和所述下導電層之間的阻障層。所述阻障層是由不同於第一材料的第二材料所形成，所述第二材料具有在 20°C 時小於 50×10^{-8}mΩ 的電阻率以及大於 1200°C 的熔點。

Disclosed is a semiconductor element including a semiconductor portion, a nonconductive layer on the semiconductor portion, an upper conductive layer formed of a first material and at least partially embedded in the nonconductive layer, a lower conductive layer below and electrically connected to the upper conductive layer, and a barrier layer disposed between the upper conductive layer and the lower conductive layer. The barrier layer is formed of a second material different from the first material, and the second material has an electrical resistivity less than 50×10^{-8}mΩ at 20°C and a melting point greater than 1200° C.

指定代表圖：

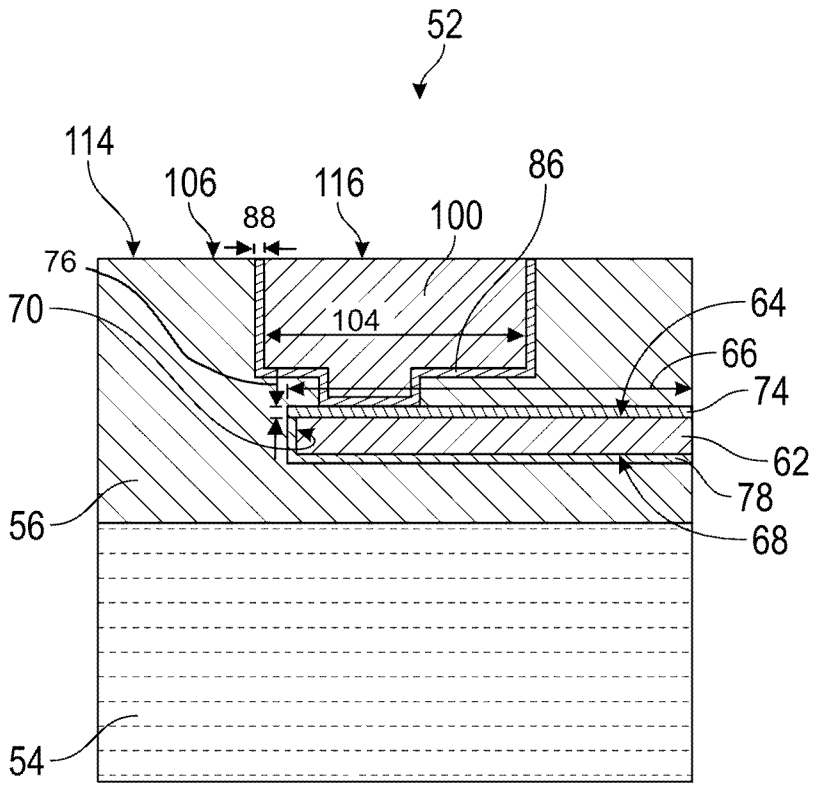


圖3

符號簡單說明：

52:半導體元件

54:半導體部分

56:非導電層

62:下導電層

64:上表面

66:長度

68:下表面

70:側表面

74:阻障層/第一阻障層

76:厚度

78:阻障層/下阻障層

86:阻障層/第二阻障層

88:厚度

100:上導電層

104:寬度

106:接合表面

114:上非導電表面

116:上接觸表面

【發明摘要】

【中文發明名稱】　互連結構

【英文發明名稱】　INTERCONNECT STRUCTURES

【中文】

本發明揭示一種半導體元件，包括半導體部分、在所述半導體部分上的非導電層、由第一材料所形成的並且至少部份地埋置在所述非導電層中的上導電層、在所述上導電層下方並且電性連接到所述上導電層的下導電層，以及設置在所述上導電層和所述下導電層之間的阻障層。所述阻障層是由不同於第一材料的第二材料所形成，所述第二材料具有在20°C時小於50×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【英文】

Disclosed is a semiconductor element including a semiconductor portion, a nonconductive layer on the semiconductor portion, an upper conductive layer formed of a first material and at least partially embedded in the nonconductive layer, a lower conductive layer below and electrically connected to the upper conductive layer, and a barrier layer disposed between the upper conductive layer and the lower conductive layer. The barrier layer is formed of a second material different from the first material, and the second material has an electrical resistivity less than 50×10^{-8} mΩ at 20°C and a melting point greater than 1200°C.

【指定代表圖】　圖3

【代表圖之符號簡單說明】

52:半導體元件

54:半導體部分

56:非導電層

62:下導電層

64:上表面

66:長度

68:下表面

70:側表面

74:阻障層/第一阻障層

76:厚度

78:阻障層/下阻障層

86:阻障層/第二阻障層

88:厚度

100:上導電層

104:寬度

106:接合表面

114:上非導電表面

116:上接觸表面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】　互連結構

【英文發明名稱】　INTERCONNECT STRUCTURES

【技術領域】

【0001】　本發明涉及互連結構，以及用於形成互連結構的方法。

相關申請案之交叉參考

【0002】　本發明主張2021年12月13日提交的標題為“互連結構”的美國臨時專利申請號63/288,991的優先權，該臨時申請案之全文係以引用之方式併入本文中。

【先前技術】

【0003】　晶粒內或晶粒表面處的互連結構將信號、電源或接地傳送到晶粒內的其他電路或另一個晶粒或元件。例如，半導體元件，像是半導體晶圓或整合裝置晶粒，可以堆疊並在沒有黏著劑的情況下直接彼此接合。例如，在一些混合直接接合結構中，元件的非導電場區域可以彼此直接接合，並且對應的導電接觸結構可以彼此直接接合。確保接觸結構是電性可靠的可能很重要。

【發明內容】

【0004】　在一個實施例中，半導體元件可以包括半導體部分；非導電層；上導電層，其至少部份地埋置於所述非導電層中，所述上導電層由第一材料形成；下導電層位於所述上導電層下方且電性連接到所述上導電層；阻障層設置在所述上導電層和所述下導電層之間，所述阻障層由不同於所述第一材料的第二材料形成，所述第二材料具有在20°C時小於50×10^{-8} mΩ的電阻率並且熔點大於

1200°C。

【0005】 在一些實施例中，所述第一材料包括銅。在一些實施例中，所述下導電層包括銅。在一些實施例中，所述第二材料包括鈷、鎢、釩、鉬和鎳中的至少一種。在一些實施例中，所述第二材料包括鈷。在一些實施例中，所述第二材料包括合金。在一些實施例中，所述合金包含磷酸鈷鎢(CWP)、磷酸鈷(CoP)、磷酸鎳(NiP)、鎳鎢(NiW)和鎳釩(NiV)中的至少一種。在一些實施例中，所述第二材料的電阻率是在20°C時4.5×10^{-8} mΩ至20°C時30×10^{-8} mΩ的範圍中。在一些實施例中，所述第二材料的熔點在1200°C至3600°C的範圍內。在一些實施例中，所述非導電層包括氧化矽。在一些實施例中，所述阻障層內襯凹穴的至少一部分，所述凹穴中設置有所述上導電層。在一些實施例中，所述半導體元件可以包括第二阻障層，所述第二阻障層內襯凹穴的至少一部分，所述凹穴中設置有所述上導電層，所述第二阻障層設置在所述阻障層和所述上導電層之間。在一些實施例中，所述第二阻障層包含所述第二材料。在一些實施例中，所述第二阻障層包括不同於所述第一材料和所述第二材料的第三材料。在一些實施例中，所述第三材料包括金屬氮化物。在一些實施例中，所述第三材料包括氮化鈦或氮化鉭。在一些實施例中，所述阻障層的厚度大於所述第二阻障層的厚度。在一些實施例中，所述半導體元件可以包括所述阻障層上方的中間導電層和所述中間導電層上方的第三阻障層，所述上導電層設置在所述第三阻障層上方。在一些實施例中，所述中間導電層是由所述第三阻障層和一個或多個額外阻障層所囊封。在一些實施例中，所述一個或多個額外阻障層包括所述阻障層。在一些實施例中，所述第三阻障層包含所述第二材料。在一些實施例中，所述阻障層內襯凹穴，在所述凹穴中設置有所述中間導電層，所述阻障層在所述第三阻障層上方垂直地延伸基本上到接合表面。在一些實施例中，所述上導電層的厚度小於所述第二導電層的厚度。在一些實施例中，所述下導電層包括埋置在所述非導電層中的重新分

布層(RDL)。在一些實施例中，所述非導電層包括設置在半導體部分上的多個介電層。在一些實施例中，半導體元件可以包括設置鄰近於所述阻障層的錳阻障層。在一些實施例中，所述錳阻障層內襯凹穴的至少一部分，所述凹穴中設置有上導電層，所述錳阻障層被設置在所述阻障層內。在一些實施例中，所述阻障層沿著所述下導電層的上表面的長度而被設置，所述長度大於所述上導電層的寬度。在一些實施例中，所述下導電層沿著所述上表面被阻障層囊封並且沿著下導電層的下表面和側表面被一個或多個額外阻障層囊封。在一些實施例中，所述一個或多個額外阻障層包含所述第二材料。在一些實施例中，所述一個或多個額外阻障層包含不同於所述第一材料和所述第二材料的第三材料。在一些實施例中，所述半導體元件可以包括連接到所述下導電層並且延伸穿過所述半導體部分的基板通孔(TSV)。在一些實施例中，所述半導體元件可以包括內襯所述TSV中的TSV阻障層，所述TSV阻障層包括所述第二材料。在一些實施例中，所述上導電層包括雙鑲嵌結構。在一些實施例中，所述上導電層包括單個鑲嵌結構。

【0006】 在一些實施例中，接合結構可以包括半導體元件和第二半導體元件，所述半導體元件的上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述上導電層的上接觸表面直接接合到所述第二半導體元件的接觸結構。在一些實施例中，所述第二半導體元件包括：第二半導體部分；在所述第二半導體部分上的第二非導電層並且形成所述第二上非導電表面，所述接觸結構至少部份地埋置在所述第二非導電層中；第二下導電層位於所述接觸結構下方且電性連接到所述接觸結構；以及所述第二半導體元件的第一阻障層設置在所述接觸結構和所述第二下導電層之間，所述第二半導體元件的所述第一阻障層由一種材料形成，所述材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。在一些實施例中，所述接觸結構包括銅並且所述第二半導體元件的所述第一阻障層的所述材料包括鈷、鎢、釩和鎳中的至少一

種。

【0007】 在另一個實施例中，半導體元件可以包括半導體部分；在所述半導體部分上的非導電接合層具有形成半導體元件的接合表面的第一部分的上非導電表面，所述上非導電表面被準備以用於直接接合到另一個半導體元件；接觸結構至少部分地埋置於所述非導電接合層中並且具有形成所述半導體元件的所述接合表面的第二部分的上接觸表面，所述接觸結構包括第一材料；位於所述接觸結構下方且電連接至所述接觸結構的導電層；以及阻障層，其設置在所述接觸結構和所述導電層之間，所述阻障層包括不同於所述第一材料的第二材料，所述第二材料包括鈷、鎢、釩和鎳中的至少一種。

【0008】 在一些實施例中，所述接觸結構包括銅。在一些實施例中，所述導電層包括銅。在一些實施例中，所述阻障層包含鈷。在一些實施例中，所述阻障層包含合金。在一些實施例中，所述合金包含磷酸鈷鎢(CWP)、磷酸鈷(CoP)、磷酸鎳(NiP)、鎳鎢(NiW)和鎳釩(NiV)中的至少一種。在一些實施例中，所述非導電接合層包括氧化矽。在一些實施例中，所述阻障層內襯於凹穴的至少一部分，所述凹穴中設置有所述接觸結構。在一些實施例中，所述半導體元件可以包括第二阻障層，該第二阻障層內襯於凹穴的至少一部分，所述凹穴中設置有所述接觸結構，所述第二阻障層設置在所述阻障層和所述接觸結構之間。在一些實施例中，所述第二阻障層包含所述第二材料。在一些實施例中，所述第二阻障層包括不同於所述第一材料和所述第二材料的第三材料。在一些實施例中，所述第三材料包括金屬氮化物。在一些實施例中，所述第三材料包括氮化鈦或氮化鉭。在一些實施例中，所述阻障層的厚度大於所述第二阻障層的厚度。在一些實施例中，所述半導體元件可以包括在所述阻障層上方的第二導電層和在所述第二導電層上方的第三阻障層，所述接觸結構設置在所述第三阻障層上方。在一些實施例中，所述第二導電層是由所述第三阻障層以及一個或多個額外阻障層所囊封。

在一些實施例中，所述一個或多個額外阻障層包括所述阻障層。在一些實施例中，所述第三阻障層包含所述第二材料。在一些實施例中，所述阻障層內襯於凹穴的至少一部分，所述凹穴中設置有所述第二導電層，所述阻障層在第三阻障層上方垂直地延伸基本上到所述接合表面。在一些實施例中，所述接觸結構的厚度小於所述第二導電層的厚度。在一些實施例中，所述導電層包括埋置在所述非導電接合層中的重新分布層(RDL)。在一些實施例中，所述非導電接合層包括設置在所述半導體部分上的多個介電層。在一些實施例中，所述半導體元件可以包括錳阻障層，其被設置鄰近於所述阻障層。在一些實施例中，所述錳阻障層內襯於凹穴的至少一部分，所述凹穴中設置有所述接觸結構，所述錳阻障層設置在所述阻障層內。在一些實施例中，所述阻障層沿著導電層的上表面的長度而被設置，所述長度大於所述接觸結構的寬度。在一些實施例中，所述導電層沿著導電層的上表面被所述阻障層囊封並且沿著所述導電層的下表面和側表面被一個或多個額外阻障層囊封。在一些實施例中，所述一個或多個額外阻障層包含所述第二材料。在一些實施例中，所述一個或多個額外阻障層包含不同於所述第一材料和所述第二材料的第三材料。在一些實施例中，所述半導體元件可以包括電性連接到所述導電層並延伸穿過所述半導體部分的基板通孔(TSV)。在一些實施例中，所述半導體元件可以包括TSV阻障層，其內襯所述TSV，所述TSV阻障層包括所述第二材料。在一些實施例中，所述接觸結構包括雙鑲嵌結構。在一些實施例中，所述接觸結構包括單個鑲嵌結構。

【0009】 在一些實施例中，接合結構可以包括所述半導體元件和所述第二半導體元件，所述半導體元件的上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述半導體元件的所述上接觸表面接觸結構直接接合到所述第二半導體元件的第二接觸結構。在一些實施例中，所述第二半導體元件包括：第二半導體部分；第二非導電接合層，其在所述第二半導

體部分上並形成所述第二上非導電表面，所述第二接觸結構至少部分地埋置於所述第二非導電接合層中；第二導電層位於所述第二接觸結構下方且電性連接到所述第二接觸結構；以及所述第二半導體元件的第一阻障層，其設置在所述第二接觸結構和所述第二導電層之間，所述第二半導體元件的所述第一阻障層由一材料所形成，所述材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。在一些實施例中，所述第二接觸結構包括銅並且所述第二半導體元件的所述第一阻障層的所述材料包括鈷、鎢、釩和鎳中的至少一種。

【0010】 在另一個實施例中，半導體元件可以包括半導體部分；在所述半導體部分上的非導電層；接觸結構，其至少部分地埋置於所述非導電接合層中並且具有形成所述半導體元件的接合表面的至少一部分的上接觸表面，所述接觸結構包括第一材料；位於所述接觸結構下方且電連接至所述接觸結構的導電層；以及一個或多個阻障層，其囊封所述導電層，所述一個或多個阻障層設置圍繞所述導電層的上表面、下表面和側表面。

【0011】 在一些實施例中，所述接觸結構包括銅。在一些實施例中，所述導電層包括銅。在一些實施例中，所述一個或多個阻障層包括沿著所述導電層的所述上表面的長度設置的第一阻障層，所述長度大於所述接觸結構的寬度，所述阻障層包括不同於所述第一材料的第二材料。在一些實施例中，所述第二材料包括鈷、鎢、釩和鎳中的至少一種。在一些實施例中，所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。在一些實施例中，所述一個或多個阻障層包括沿著所述導電層的所述下表面和所述側表面設置的第二阻障層。在一些實施例中，所述第二阻障層包含所述第二材料。在一些實施例中，所述第二阻障層包括不同於所述第二材料的第三材料。在一些實施例中，所述第三材料包括金屬氮化物。在一些實施例中，所述第三材料包括氮化鈦或氮化鉭。在一些實施例中，所述半導體元件可以包括在所述一個或多個阻障層上方的第二

導電層和在所述第二導電層上方的第三阻障層，所述接觸結構設置在所述第三阻障層上方。在一些實施例中，所述第二導電層是由所述第三阻障層以及一個或多個額外阻障層所囊封。在一些實施例中，所述第三阻障層包含所述第二材料。在一些實施例中，所述接觸結構的厚度小於所述第二導電層的厚度。在一些實施例中，所述導電層包括埋置所述在非導電接合層中的重新分布層(RDL)。

【0012】 在另一個實施例中，半導體元件可以包括半導體部分，所述半導體部分具有形成所述半導體元件的接合表面的第一部分的上非導電表面，所述上非導電表面被準備用於直接接合到第二半導體元件；接觸結構，其具有形成所述半導體元件的所述接合表面的第二部分的上接觸表面，所述接觸結構由第一材料形成；以及在所述接觸結構下方並電性連接到所述接觸結構的導電阻擋材料，所述導電阻擋材料包括不同於所述第一材料的第二材料，所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【0013】 在一些實施例中，所述接觸結構包括銅。在一些實施例中，所述接觸結構包括少於20%的所述導電阻障材料。在一些實施例中，所述第二材料包括鈷、鎢、釩和鎳中的至少一種。在一些實施例中，所述第二材料包括鈷。在一些實施例中，所述第二材料的電阻率是在20°C時4.5×10^{-8} mΩ至20°C時30×10^{-8} mΩ的範圍中。在一些實施例中，所述第二材料的所述熔點在1200°C至3600°C的範圍內。在一些實施例中，所述接觸結構的厚度小於所述導電阻障材料的厚度。在一些實施例中，所述導電阻障材料的厚度是所述接觸結構的厚度的至少兩倍。

【0014】 在另一個實施例中，一種方法可以包括在半導體元件的非導電層中形成凹穴；在所述凹穴中提供下導電層；在所述下導電層上方提供阻障層；在所述阻障層上方提供上導電層，所述上導電層由第一材料形成，所述阻障層由不同於所述第一材料的第二材料形成，所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【0015】 在一些實施例中，所述第一材料包括銅並且所述第二材料包括鈷、鎢、釩和鎳中的至少一種。在一些實施例中，提供所述阻障層包括沿著所述下導電層的上表面的長度提供所述阻障層，所述長度大於所述接觸結構的寬度。在一些實施例中，所述方法可以包括用所述阻障層和一個或多個額外阻障層囊封所述下導電層。在一些實施例中，所述方法可包括，在提供所述上導電層之前，在所述阻障層和至少一部分的所述非導電層上方形成第二非導電層，並在所述第二非導電層中形成延伸至所述阻障層的開口。在一些實施例中，所述方法可包括在所述阻障層的至少一部分上方的所述開口中提供第二阻障層。在一些實施例中，提供所述第二阻障層包括提供由所述第二材料形成的所述第二阻障層。在一些實施例中，所述方法可以包括在所述第二阻障層上方的所述開口中提供中間導電層。在一些實施例中，所述方法可以包括在所述中間導電層上方提供第三阻障層。在一些實施例中，提供所述第三阻障層包括提供由第二材料形成的所述第三阻障層。在一些實施例中，所述方法可以包括在所述第三阻障層上方提供所述上導電層。在一些實施例中，所述方法可以包括電漿處理所述第二非導電層的上表面。在一些實施例中，電漿處理包括將所述第二非導電層曝露於包含氮或氧的電漿。在一些實施例中，所述方法可以包括將所述半導體元件的所述上導電層直接接合到第二半導體元件的接觸結構而無需中間黏著劑。在一些實施例中，所述方法可以包括將所述半導體元件的非導電接合層直接接合到所述第二半導體元件的第二非導電接合層。在一些實施例中，所述非導電接合層包括非導電層。

【圖式簡單說明】

【0016】 將參考附圖而闡述詳細說明。在不同圖中使用相同的元件符號代表相似或相同的元件。

【0017】 對於所述說明，圖中所示的裝置和系統被圖示為具有多個組件。

如本文所描述的裝置及/或系統的各種實施方式可以包括更少的組件並且仍在本發明的範圍內。或者，裝置及/或系統的其他實施方式可以包括附加組件或所描述組件的各種組合，並且仍在本發明的範圍內。

【0018】 這些態樣和其他態樣將從以下較佳的實施例的描述和附圖中顯而易見，其目的在說明而不是限制本發明，其中：

【0019】 [圖1A]是根據一個實施例的兩個元件在直接接合之前的示意性側剖面視圖。

【0020】 [圖1B]是根據一個實施例的圖1A中的兩個元件在直接接合之後的示意性側剖面視圖

【0021】 [圖2A]是習知互連件的顯微鏡放大的側剖面視圖，其顯示了電子遷移的後果。

【0022】 [圖2B]是習知互連件的示意性側剖面視圖，其顯示了根據本發明的電子遷移的結果。

【0023】 [圖3]是根據一個實施例的半導體元件的一部分的示意性側截面圖。

【0024】 [圖4A]是習知互連件在電流流過它形成空隙之前的示意性側截面圖。

【0025】 [圖4B]是圖4A中的習知互連件在空隙已經形成並且增加了通過電路的電阻之後的示意性側剖面視圖。

【0026】 [圖4C]是根據一個實施例的半導體元件在電流流過它之前的示意性側截面圖。

【0027】 [圖4D]是圖4C的半導體元件的示意性側剖面視圖，說明電流流動，使用冗餘路徑(redundant pathway)流動以抑制空隙形成。

【0028】 [圖5A]是根據一個實施例的接合結構的示意性側截面圖，所述接

合結構包含雙鑲嵌特徵。

【0029】 [圖5B]是根據一個實施例的接合結構的示意性側截面圖，所述接合結構包含單鑲嵌特徵和雙鑲嵌特徵。

【0030】 [圖5C]是根據一個實施例的接合結構的示意性側截面圖，所述接合結構包含單個鑲嵌特徵。

【0031】 [圖6]是根據一個實施例的介電層、低電阻阻障層和導電層之間的分層的示意性側截面圖。

【0032】 [圖7A]-[圖7H]呈現了一系列示意性側截面圖，其顯示了可以形成習知互連件的多步驟方法。

【0033】 [圖8A]-[圖8K]呈現了根據一個實施例的一系列示意性側截面圖，其顯示了多步驟方法，可以藉由所述多步驟方法來形成接合結構。

【0034】 [圖9A]-[圖9E]呈現了根據一個實施例的一系列示意性側截面圖，其示顯示了多步驟方法，可以藉由所述多步驟方法而形成具有下導電層、中間導電層和上導電層的半導體元件。

【0035】 [圖10]是根據一個實施例的半導體元件的示意性側截面圖。

【0036】 [圖11]是根據一個實施例的接合結構的示意性側截面圖，藉由接合兩個如圖9E中所示的半導體元件而形成所述接合結構。

【0037】 [圖12]是根據一個實施例的接合結構的示意性側截面圖，藉由接合兩個如圖10中所示的半導體元件而形成所述接合結構。

【0038】 [圖13A]-[圖13D]呈現了根據一個實施例的一系列示意性側截面圖，其顯示了可以利用電漿處理形成半導體元件的多步驟方法。

【0039】 [圖14A]是根據一個實施例的半導體元件的示意性側截面圖。

【0040】 [圖14B]是接合結構的示意性側截面圖，藉由接合兩個如圖14A所示的半導體元件而形成所述接合結構。

【0041】 [圖14C]是根據一個實施例的半導體元件的示意性側截面圖。

【0042】 [圖14D]是接合結構的示意性側截面圖，藉由接合兩個如圖14C所示的半導體元件而形成所述接合結構。

【0043】 [圖15A]是根據一個實施例的藉由直接混合接合兩個半導體元件所形成的接合結構的示意性側截面圖，其中一個半導體元件具有基板通孔（TSV）。

【0044】 [圖15B]是根據一個實施例的藉由直接混合接合兩個半導體元件所形成的接合結構的示意性側截面圖，其中一個半導體元件具有基板通孔（TSV）。

【0045】 [圖16]是根據一個實施例的包括內錳阻障層的半導體元件的示意性側截面圖。

【0046】 [圖17A]是根據一個實施例的藉由接合兩個半導體元件所形成的接合結構的示意性側截面圖，其中一個半導體元件具有基板通孔（TSV）。

【0047】 [圖17B]是根據一個實施例的藉由接合兩個半導體元件所形成的接合結構的示意性側截面圖。

【0048】 [圖17C]是根據一個實施例的包括內錳阻障層和基板通孔（TSV）的半導體元件的示意性側截面圖。

【實施方式】

【0049】 金屬互連結構易受電子遷移及/或其他擴散效應的影響。例如，電子遷移可以發生在半導體元件的接合層內的金屬化層或互連層(例如，包含銅的層)、可以發生在整合裝置晶粒的線路後端(back-end-of line，BEOL)層中的互連件中、可以發生在重新分布層(RDL)的互連件中，或可以發生在任何其他具有互連件的金屬化層中，所述互連件包括接觸結構，其中在不同電阻率或不同橫截

面尺寸的金屬化層之間存在過渡區(例如，埋置在BEOL堆疊中的層之間，或在要直接混合接合的半導體元件的接合層內)。

【0050】 電子遷移是一種在電路的導電路徑內的金屬原子被誘導而沿著電子流的方向移動的現象。這個現象可能是由於電子沿著電路的導電路徑流動時，從電子到金屬原子的動量轉移所引起的。金屬原子在電子流的方向上的這種運動有時被稱為原子受到“電子風(electron wind)”的影響。電子遷移會通過“順風”短路或“逆風”開路而導致電路故障。電子遷移會導致短路“順風”，因為沿電子流的方向移動的金屬原子可能會被推到預期的導電路徑之外，這會導致產生金屬鬚晶，所述金屬鬚晶可以與未設計用於電性連接的電路元件電性連接。電子遷移會導致開路“逆風”，因為如果太多金屬原子沿電子流的方向遷移，則可能沒有足夠的金屬原子留在“逆風”以保持電路完好無損。當金屬原子遷移時，它會在原來的位置留下一個空位，空位的集合會變成空隙（在圖2A-2B中顯示為元件符號22），空隙的存在會阻礙電子的流動。例如，隨著溫度升高、電流密度增加以及互連件尺寸變小，電子遷移問題會變得更糟。電子遷移(例如，電流擁擠(current crowding)）也可能發生在電流從較高導電率材料（例如銅）傳輸到較低導電率材料（例如傳統阻障層，在圖4A和4B中顯示為元件24）及/或從更寬、導電性更強的路徑傳輸到更窄、電阻性更強的路徑。

【0051】 本文公開的各種實施例可以提供改進的阻障層，其具有低電阻率和高熔點，與沒有阻障層或包括傳統阻障層的互連件（在圖4A和4B中顯示為元件24）相比，本文公開的各種實施例可以減少電子遷移並增加熱穩定性。本文公開的一些實施例涉及元件的接合層中的互連件（例如，配置用於直接混合接合的層）元件，例如，接合層內的接觸結構及/或底部金屬化，其中金屬層之間存在過渡。本文公開的實施例還可以減少金屬化層中的電子遷移，這些金屬化層被埋在晶粒的其他層中，例如，在BEOL和RDL結構中。

【0052】 如圖1A-1B所示，在一些實施例中，本文公開的金屬化解決方案涉及用於直接接合結構1的接合層，其中第一元件2和第二元件3可以直接彼此接合而無需中間黏著劑。圖1A顯示了直接接合前的第一元件2和第二元件3。圖1B顯示了直接接合第一元件2和第二元件3之後的接合結構1。兩個或多個半導體元件(例如整合裝置晶粒、晶圓等)2、3可以堆疊或接合到彼此以形成接合結構1。第一元件2的包括接觸襯墊4a(襯墊、通孔、溝槽)的導電接觸結構可以電連接到相應的導電接觸襯墊4b或其他導電接觸結構(例如，襯墊到通孔、襯墊到溝槽、溝槽到第二元件3的溝槽…等)。儘管為了說明直接接合的目的，圖1A和1B中僅顯示了曝露的接觸襯墊4a、4b，但所屬技術領域中具有通常知識者將理解，接合層可以包括多個金屬層並且與如圖2A-17C所示的層之間的連接件路由。接合結構1中可以堆疊任何合適數量的元件。例如，第三元件(未示出)可以堆疊在第二元件3上，第四元件(未示出)可以堆疊在第三元件上…等等。包括基板通孔（TSV，未示出）可以促進用於這種進一步堆疊的電連接。額外地或另外地，一個或多個附加元件（未示出）可以沿第一元件2彼此橫向相鄰地堆疊。

【0053】 在一些實施例中，第一元件2和第二元件3在沒有黏著劑的情況下直接彼此接合。在各種實施例中，非導電材料或介電材料可用作第一元件2的非導電接合層5a，其可直接接合到對應的非導電或介電場域區域而用作第二元件3的非導電接合層5b而無需黏著劑。非導電接合層5a、5b可以設置在裝置部分6a、6b的各自前側14上，例如第一元件2、第二元件3的半導體（例如，矽）部分。主動裝置及/或電路可以被圖案化及/或以其他方式設置在裝置部分6a、6b中或上。主動裝置及/或電路可以設置在裝置部分6a、6b的前側14處或附近，及/或裝置部分6a、6b的各自背側15處或附近。非導電材料可稱為第一元件2的非導電接合區域或接合層5a。在一些實施例中，第一元件2的非導電接合層5a可使用介電對介電接合技術而直接接合到第二元件3的相應非導電接合層5b。例如，可以在沒有

黏著劑的情況下使用至少在美國專利第9,564,414號中所公開的直接接合技術形成非導電或介電質對介電質(dielectric-to-dielectric)接合；美國專利第9,391,143號及和第10,434,749號，其中每一個的全部內容都藉由引用而將整體併入本文並用於所有目的。應當理解，在各種實施例中，非導電接合層5a及/或5b可以包括非導電材料，例如介電材料、例如氧化矽、或未摻雜的半導體材料，例如未摻雜的矽。

【0054】 如圖1A所示，在各種實施例中，接合表面8a、8b包括一個或多個非導電部分(例如，非導電接合層5a、5b的曝露表面)和一個或多個導電部分(例如，接觸襯墊4a、4b的曝露表面)。

【0055】 在各種實施例中，可以在沒有中間黏著劑的情況下形成直接混合接合。例如，可以將接合表面8a、8b的非導電（例如，介電質）部分拋光至高度平滑。接合表面8a、8b的非導電部分可被清潔並曝露於電漿及/或蝕刻劑以被活化。在一些實施例中，接合表面8a、8b的非導電部分可以在被活化之後或被活化期間（例如，在電漿及/或蝕刻過程中）終止於一物質。不受理論的限制，在一些實施例中，可以執行活化製程以斷開接合表面8a、8b處的化學鍵，並且終止製程(termination process)可以在接合表面8a、8b處提供額外的化學物質，其在直接接合期間提高接合能。在一些實施例中，活化和終止在同一步驟中提供，例如，活化和終止接合表面8a、8b的電漿。在其他實施例中，接合表面8a、8b可以在單獨的處理中終止以提供用於直接接合的額外物質。在各種實施例中，終止物質可包含氮。此外，在一些實施例中，接合表面8a、8b可曝露於氟。例如，在層及/或接合界面7(如圖1B所示)附近可能有一個或多個氟峰值。因此，在直接接合結構1中，兩個接合表面8a和8b的非導電部分之間的接合界面7包括非常光滑的界面，在接合界面7處具有較高的氮含量及/或氟峰值。在各種實施例中，接合表面8a、8b的非導電部分包括非導電接合層5a、5b的表面。活化及/或終止處理的其他範

例可以在整個美國專利第9,564,414號、第9,391,143號及第10,434,749號中找到，其中每一個的全部內容都藉由引用而整體併入本文並用於所有目的。

【0056】 在各種實施例中，第一元件2的導電接觸襯墊4a也可以直接接合到第二元件3的相應導電接觸襯墊4b。例如，可以使用混合接合技術來沿著接合界面7提供導體對導體(conductor-to-conductor)的直接接合，接合界面7包括共價直接接合的非導電對非導電(例如，介電對介電）表面，如上所述製備的。在各種實施例中，共價直接接合的非導電表面包括非導電接合層5a和5b的表面的曝露部分。在各種實施例中，導體對導體（例如，接觸襯墊4a對接觸襯墊4b)直接接合以及介電質對介電質混合接合可以使用至少在美國專利第9,716,033號和第9,852,988號中公開的直接混合接合技術來形成，這些專利中的每一個的全部內容都藉由引用而整體併入本文並用於所有目的。

【0057】 舉例而言，接合表面8a、8b的非導電（例如介電質）部分可以製備並且在沒有中間黏著劑的情況下將彼此直接接合，如上所述。導電接觸襯墊4a、4b(其可被接合層5a、5b內的非導電介電場區域包圍)也可直接彼此接合而無需中間黏著劑。在一些實施例中，各自的接觸襯墊4a、4b可以下凹陷入介電場域或非導電接合層5a、5b的接合表面8a、8b之外部（例如，上部)下方，例如凹陷小於30nm、小於20nm、小於15nm或小於10nm，或例如，凹陷在2nm到20nm的範圍內，或者在4nm到10nm的範圍內。在各種實施例中，在直接接合之前，相對的第一元件2、第二元件3中的凹部的尺寸可被設計成使得相對接觸襯墊4a、4b之間的總間隙小於15nm或小於10nm。在一些實施例中，非導電接合層5a、5b可在室溫下無需黏著劑且無需施加超過用於接觸接合表面8a、8b的外部壓力的情況下直接彼此接合，隨後，接合結構1可被退火。退火時，接觸襯墊4a、4b可以膨脹並相互接觸以形成金屬對金屬的直接接合並且完成混合直接接合製程。有益的是，使用如上所述的直接接合和直接混合接合製程，包括直接接合互連或DBI®，可

將從加利福尼亞州聖何塞的Adeia公司所獲得的商業上可用的技術來實現跨越直接接合界面7連接的高密度襯墊4a、4b（例如，用於規則陣列的小間距或細間距）。在一些實施例中，接合襯墊4a、4b的間距P或埋置於接合元件(例如第一元件2或第二元件3)中之一者的接合表面8a或8b中的導電跡線可以小於40微米或小於10微米，甚至小於2微米。對於某些應用，接合襯墊4a、4b的間距P對於接合襯墊之尺寸中的一者(例如，接合襯墊的直徑）的比值是小於5，或小於3，有時理想地小於2。在其他應用中，埋置於接合元件(例如第一元件2或第二元件3)中之一者的接合表面8a或8b中的導電跡線的寬度範圍可能在0.1到5微米之間。在各種實施例中，接觸襯墊4a、4b及/或跡線可以包括銅，儘管其他金屬可能是合適的。

【0058】 因此，在直接接合過程中，第一元件2可以直接接合到第二元件3而無需中間黏著劑。在一些配置中，第一元件2可以包括單一化的元件，例如單一化的整合裝置晶粒。在其他配置中，如圖1A-1B所示，第一元件2可以包括載體或基板（例如，晶圓），其包括多個（例如，數十、數百或更多）的裝置區域，當單一化時，它們形成多個整合裝置晶粒。類似地，第二元件3可以包括單一化的元件，例如單一化的整合裝置晶粒，如圖1A-1B所示。在其他配置中，第二元件3可以包括載體或基板（例如，晶圓）。因此，本文公開的實施例可以應用於晶圓對晶圓、晶粒對晶粒、晶粒對晶圓、面板對面板、晶粒對面板或晶圓對面板的接合製程。

【0059】 如本文所說明的，第一元件2和第二元件3可以在沒有黏著劑的情況下直接彼此接合，這不同於沉積製程。在一個應用中，接合結構1中的第一元件2的寬度相似於於第二元件3的寬度。在一些其他實施例中，接合結構1中的第一元件2的寬度不同於第二元件3。類似地，接合結構中較大元件的寬度或面積可以比較小元件的寬度或面積至少大10%。第一元件2和第二元件3因此可以包括非沉積元件。此外，與沉積層不同，直接接合的結構1可以包括沿著接合界面7的

缺陷區域，其中存在有奈米空隙。由於接合表面8a、8b的活化（例如，曝露於電漿），可以形成奈米空隙。如上所述，接合界面7可以包括來自活化及/或最後的化學處理過程的材料的集中。例如，在利用氮電漿進行活化的實施例中，氮峰值可以在接合界面7處形成。在利用氧電漿進行活化的實施例中，氧峰值可以在接合界面7處形成。在一些實施例中，接合界面7可包括氮化矽、氮氧化矽、碳氮氧化矽或碳氮化矽、藍寶石、氧化鋁、玻璃、陶瓷材料、甚至玻璃陶瓷或甚至聚合物材料。如本文所說明的，直接接合可以包括比凡得瓦鍵(Van Der Waals bond)更強的共價鍵。非導電接合層5a、5b還可以包括被平坦化至高度光滑度的被拋光的接合表面8a、8b。

【0060】 在各種實施例中，接觸襯墊4a、4b之間的金屬對金屬接合可以被結合，使得銅結晶粒(grain)跨越接合界面7生長到彼此中。在一些實施例中，銅可以具有沿111晶面取向的結晶粒用於改善跨越接合界面7的銅擴散。接合界面7可以基本上完全延伸到接合接觸襯墊4a、4b的至少一部分，使得在接合的接觸襯墊4a、4b處或接近接合的接觸襯墊4a、4b處之非導電接合層5a、5b之間基本上沒有間隙。在一些實施例中，阻障層（圖1A-1B中未示出）可以提供於接觸襯墊4a、4b（例如，其中可能包括銅）下方。然而，在其他實施例中，在接觸襯墊4a、4b下方可能沒有阻障層，例如，如美國專利公開號US2019/0096741號中所描述的，該專利的全部內容藉由引用併入本文並用於所有目的。

【0061】 有益的是，使用本文所述的混合接合技術可以在相鄰的接觸襯墊4a或4b及/或小襯墊尺寸之間實現極細的間距P。例如，在各種實施例中，相鄰襯墊4a(或4b)之間的間距P(見圖1A)可以在0.5微米到25微米的範圍內、在0.75微米到25微米的範圍內、在1微米到25微米的範圍內、在1微米到10微米的範圍內、或在1微米到5微米的範圍內。再者，主要橫向尺寸（例如，襯墊直徑）可以小到，例如，在0.25微米到8微米的範圍內、在0.25微米到5微米的範圍內、或者在0.5微

米到5微米的範圍內。除了襯墊4a、4b之外，還可以在接合界面7處的非導電接合層5a、5b中設置或埋置與襯墊相似間距的導電通孔和跡線的間距。

【0062】 在各種實施例中，第二元件3可以包括單一化的裝置晶粒，並且第一元件2可以包括晶圓或面板。在其他實施例中，第一元件2、第二元件3都可以包括單一化的裝置晶粒。在這樣的實施例中，第二元件3最初可以以晶圓形式或更大的基板而被提供並且被單一化以形成單一化的第二元件3。然而，單一化製程及/或其他處理步驟可能產生會污染平面接合表面8a或8b的碎屑，當第一元件2、第二元件3接合時會留下空隙及/或缺陷。因此，在單一化之前，可以在活化和直接接合之前在接合表面8a或8b上提供保護層以防止碎屑污染接合表面8a或8b。保護層（未顯示）可包含有機層或無機層（例如，光阻），其被沉積（例如，旋塗到）到接合表面8a或8b上。保護層的其他細節可以在美國專利第10,714,449號中找到，其全部內容藉由引用整體併入本文並用於所有目的。

【0063】 包含第一元件2的晶圓可以使用任何合適的方法被單一化。接合表面8a或8b上的保護層可有益地保護接合表面8a或8b免受碎屑影響。在直接接合之前，可以使用清潔劑從接合表面8a或8b去除保護層，例如使用合適的溶劑，像是鹼性溶液或保護層的供應商推薦的其他合適的清潔劑。可以選擇保護層清潔劑，使得它基本上不會使非導電接合層5a或5b的光滑接合表面8a或8b變粗糙，並且在隨後的清潔操作後，基本上不會蝕刻或污染接觸襯墊4a或4b的金屬以增加襯墊金屬的凹陷。過多的襯墊凹陷可能會形成太深的凹陷，這可能會阻止（或降低）在適當退火條件（例如，退火溫度和時間）下的襯墊與襯墊接合。可以藉由液體清潔劑的扇形噴霧或其他已知方法來施加清潔劑。例如，清潔後的接合表面8a、8b可以被灰化(例如，使用氧電漿）並用去離子水（DIW）清洗。在一些實施例中，清潔過的第一元件2、第二元件3可以在直接接合之前被活化。可以根據需要將其他晶粒接合在清潔和準備好的第二元件3的背面15上。在各種需要的進

一步處理步驟之後，可以藉由已知方法進一步單一化接合結構1。進一步的處理步驟可以例如包括薄化接合元件3晶粒的背面15或活化接合元件3的背面15並且將額外的晶粒直接接合到背面15或用介電層塗覆接合元件3的背面15。

【0064】 如圖2A-2B所示，在一些高溫及/或高電流密度應用中及/或對於更小的互連件，習知互連件26內的電子遷移會產生空隙22。例如，空隙22會形成在導電層之間的界面處，這會降低觸點及/或接合結構的可靠度。圖2A和2B顯示出了在下導電層62和上導電層100之間的界面處包含這種空隙22的習知互連件26，下導電層62可以包括橫向跡線(未示出)，上導電層100可以包括雙鑲嵌接觸襯墊和通孔。下導電層62和上導電層100可被設置在非導電層56中，該非導電層56可以包括介電材料，例如無機介電材料，像是二氧化矽。下導電層62、上導電層100在通孔和沉積界面處的收縮有助於電子遷移，從而導致空隙22。圖2A顯示了習知互連件26中的電子遷移失敗，習知互連件26可包含銅，而圖2B顯示了修改的習知互連件26的示意圖，這是通過直接混合接合的製程所形成的。在圖2B中，顯示出了習知互連件26，其中兩個元件42、44在接合表面106處直接接合。第一元件42具有設置在非導電層56中的下導電層62。提供在下導電層62上的是一個習知的非導電頂部阻障層28。下文將進一步描述非導電頂部阻障層28。第二元件44(在接合表面106處接合到第一元件42)具有第二元件44的下導電層124和第二元件44的接觸結構130，第二元件44的接觸結構130類似於第一元件42的上導電層100。

【0065】 由空隙22所產生的問題不限於銅金屬化。因此，這裡的各種實施例可以減少或抑制或消除接合結構的半導體元件的接觸結構內的電子遷移失敗。通過直接混合接合製程所形成的接合結構中的電子遷移失敗可以藉由例如形成冗餘阻障和結構來減輕或消除，這些冗餘阻障和結構可以，例如，提供替代性的（冗餘）電流路徑。如上文中所述，這種冗餘阻障和結構在更高溫度應用、

更高電流密度應用中變得更加重要，並且隨著金屬互連尺寸變得更小。

【0066】 圖3是根據各種實施例的半導體元件52的示意性側截面圖。半導體元件52可以包括半導體部分54。半導體部分54可以包括半導體材料，像是矽或任何其他合適的半導體材料。半導體部分54可以包括一個或多個裝置，例如，主動裝置（例如電晶體）、被動裝置（例如電阻器）…等等。可以在半導體部分54上提供非導電層56（例如，非導電接合層）並且非導電層56可以具有形成半導體元件52的接合表面106的一部分的上非導電表面114。在一些實施例中，非導電層56可以包括介電材料。例如，非導電層56可以包括無機介電材料，像是氧化矽、氮化矽、碳化矽、碳氮氧化矽…等等，並且可以在上非導電表面114包括更高濃度的氮及/或氟，如上文中所討論過的。在一些實施例中，非導電層56包括設置在半導體部分54上的多個介電層。在其他實施例中，非導電層56包括單個介電層。可以準備上非導電表面114以用於直接接合到第二半導體元件118（圖8K中所示），如上文所說明過的。

【0067】 圖3的金屬化結構包括電連接的上接觸結構(例如，上導電層100)和下導電特徵(例如，下導電層62)。下導電層62可以具有上表面64(其具有長度66)、下表面68和側表面70。下導電層62的下表面68和側表面70可以內襯有下阻障層78，這將在下文描述。圖所示的半導體元件52實施例的上導電層100可以包括接觸結構，所述接觸結構可被至少部分地埋置於非導電層56中並且可以具有形成半導體元件52的接合表面106的第二部分的上接觸表面116。在一些實施例中，如上所述，在直接接合之前，上接觸表面116可以凹陷入上非導電表面114下方。接觸結構可以由第一材料形成。如圖所示，接觸結構可以包括上導電層100，其含有銅。在圖示的實施例中，上導電層100包括雙鑲嵌結構，所述雙鑲嵌結構包括一種結構，在所述結構中，上導電層100的靠近上接觸表面116的部分比上導電層100的靠近下導電層62的部分橫向更寬。在其他實施例中，上導電層100可以

包括單鑲嵌結構。

【0068】 同樣如圖3所示，半導體元件52可以包括在其之下的下導電特徵（例如，下導電層62)並且半導體元件52可以電連接到接觸結構(例如，上導電層100)。在各種實施例中，下導電層62可以包括銅。在圖示的實施例中，下導電層62包括橫向跡線，其可用作重新分布層(RDL)或埋藏在非導電層56中的線路後端(BEOL)層。所述RDL可與其他電路及/或通孔橫向通信。

【0069】 圖3的半導體元件52可以包括設置在上導電層100和下導電層62之間的阻障層74(或者稱為“第一阻障層”)。阻障層74可以由第二材料所形成，所述第二材料不同於上導電層100的第一材料並且也不同於下文描述的第二阻障層86和第三阻障層96的材料(如圖9D中所示的第三阻障層96)。第一阻障層74的第二材料可具有電阻率，其低於諸如Ta、TaN、WN…等的習知阻障材料的電阻率（見下文對第二阻障層86和第三阻障層96的材料的討論）。特別地，第一阻障層74的第二材料的電阻率可以在20°C時小於80×10^{-8} mΩ（例如，小於60×10^{-8} mΩ)且熔點大於1200°C。在一些實施例中，第二材料的電阻率可以是在20°C時4.5×10^{-8} mΩ至20°C時60×10^{-8} mΩ的範圍中，或電阻率是在20°C時4.5×10^{-8} mΩ至20°C時30×10^{-8} mΩ的範圍中。在一些實施例中，第二材料的熔點可在1200°C至3600°C的範圍內。

【0070】 在各種實施例中，第一阻障層74的第二材料可包括銅、α-鉭、六方氮化鉭、鈷、鎢、釩、鉬和鎳中的至少一者。在一些實施例中，第二材料包括合金。例如，所述合金可包括磷酸鎢鈷(CWP)、磷酸鈷(CoP)、磷小於3.5%的低磷磷酸鎳(NiP)、磷和鎢低於3.5%的低磷和低鎢的磷酸鎳鎢(NiWP)、鎳鎢(NiW)、鈦鎢(TiW)和鎳釩(NiV)、以及化學計量和非化學計量的硼化物中的至少一者。化學計量的硼化物可以包括硼化鎳（NiB、Ni_2B、Ni_3B)和硼化鈷。在一些實施例中，第二材料包括合金和金屬元素堆疊，例如TaN/Ta、TiN/Ti、TiW/Ti、TiW/Mo或

TiW/Co。在這種情況下，所述合金可以用作種子層，所述種子層用於金屬元素的塗層。合金晶種的厚度可在2至20 nm之間變化，且金屬元素的厚度可在25至1000 nm的範圍內。在某些應用中，合金晶種可用於降低塗層金屬元素的電阻率，例如，薄膜Mo的電阻率在20°C時約為13×10^{-8} mΩ至18×10^{-8} mΩ。非常薄的3nm TiW種子層鍍層可以將Mo外塗層的電阻率降低40%以上。關於第二材料的額外資訊顯示在下表1中。

【0071】 如圖3所示，可以提供第二阻障層86來內襯凹穴98（如圖8F所示）的至少一部分，凹穴98中設置有上導電層100，第二阻障層86設置在非導電層56和上導電層100之間。這樣的第二阻障層86內襯於凹穴98的側壁上（圖8F所示）並且可以用於抑制上導電層100（例如，銅）的塊材擴散到非導電層56(例如，基於氧化矽的材料)中。這種擴散抑制可以是有益的，因為這種擴散可能有與其他導電特徵短路的風險。圖示的第二阻障層86也沿著上導電層100的底部延伸（即，最靠近下導電層62的上導電層100的下通孔部分的底部），儘管所屬技術領域中具有通常知識者可以理解，無底的屏障內襯在本領域中也是已知的並且例如在圖13D中所示。在圖示的實施例中，第二阻障層86包括第三材料，其不同於上導電層100的第一材料且不同於第一阻障層74的第二材料。例如，在圖示的實施例中，第三材料包括金屬氮化物，例如氮化鉭。在所示的實施例中，第一阻障層74的厚度76可大於第二阻障層86的厚度88。

【0072】 在圖3中，第一阻障層74可以沿著下導電層62的上表面64的長度66而設置，長度66大於上導電層100的寬度104。下導電層62可以沿其之上表面64被第一阻障層74囊封，並沿下導電層62的下表面68和側表面70被一個或多個額外阻障層囊封。在所示實施例中，一個或多個額外阻障層包括下阻障層78，下阻障層78內襯凹穴，在所述凹穴中設置有下導電層62。下阻障層78可包括一材料，其不同於第一材料和第二材料，但可與第三材料不同或相同。例如，在圖示的實

施例中，下阻障層78可以包括與第二阻障層86相同的材料，例如，金屬氮化物，像是氮化鉭或氮化鈦。在其他實施例中，如本文所說明的，沿著下導電層62的下表面68和側表面70的一個或多個額外阻障層可以包括與第一阻障層74的第二材料相同的材料。

【0073】 圖4A和4B圖示了習知互連件26，其中銅被設置在非導電層56中的凹穴中，其中所述凹穴襯有習知阻障層24，例如，金屬氮化物，像是氮化鉭。銅可以形成下導電層62和上導電層100中的每一個，並且上導電層100可以至少部分地內襯有習知阻障層24，其可以包括與相鄰於下導電層62的習知阻障層24相同的材料，例如，金屬氮化物，像是氮化鉭。圖4A顯示了此類習知互連件26的示意圖，而圖4B顯示了包含空隙22的此類習知互連件26內的電子流動方向20的示意圖。如圖4A至圖4B所示，電子遷移(例如，電流擁擠）可能發生在當電流從較高導電率材料(例如銅,其可以是下導電層62及/或上導電層100的構成材料）行進到較低導電率材料（例如習知阻障層24)時，及/或當從更寬、導電性更強的路徑行進到更窄、電阻性更大的路徑時。誘發的電子遷移應力可能會產生空隙22，空隙22會降低互連件的電性可靠度或性能。在一些實施例中，在塗覆非導電層56之前，下導電層62的上表面可以塗覆有層間介電材料（未顯示），諸如SiN。所述層間介電塗層增強了非導電層56與下導電層62的上表面的黏著性。

【0074】 相反地，如圖4C-4D所示，在根據各種實施例的半導體元件52中，第一阻障層74的第二材料可以有利地被選擇為具有低電阻率和高熔點，這可以減少電子遷移以及空隙22的可能性。圖4C和4D顯示了包括非導電層56的半導體元件52，下導電層62和上導電層100至少部分地埋置於非導電層56中。習知阻障層24可以設置在上導電層100和它至少部分埋置於其中的非導電層56之間。並且另一個習知阻障層24可以內襯在下導電層62的下表面68或側表面70中的任一個或每個上。

【0075】 進一步參考圖4C和4D，即使引入電子遷移應力，第一阻障層74也可以充當上導電層100和下導電層62之間的冗餘電通路以避免開路，從而改善電連接和電性可靠度。如圖4D所示，即使在靠近上導電層100的下導電層62內形成空隙22，也不會阻礙電子流動20的方向，因為電子仍然能夠沿著導電的阻障層74而流動。

【0076】 圖5A-5C提供了直接接合結構50的範例，所述直接接合結構50具有金屬的第一阻障層74、126形式的冗餘電流路徑。圖5A-5C顯示了接合結構50，其中第一半導體元件52可以沿接合表面106而接合到第二半導體元件118。具體地，圖5A-5C顯示了接合結構50，其中第一半導體元件52的非導電層56直接接合到相對的第二半導體元件118的第二非導電層122，並且其中第一半導體元件52的上導電層100直接接合到第二半導體元件118的接觸結構130。非導電層56、122可以藉由將第一半導體元件52的上非導電表面114接合到第二半導體元件118的第二上非導電表面128而被直接接合。並且藉由將第一半導體元件52的上接觸表面116接合到第二半導體元件118的其對應表面而將第一半導體元件52的上導電層100接合到第二半導體元件118的接觸結構130。

【0077】 在圖5A-5C中，第一半導體元件52和第二半導體元件118被顯示為沿接合表面106而被直接接合。第一半導體元件52和第二半導體元件118可以具有相似的組件。第一半導體元件可以包括由下阻障層78和第一阻障層74所囊封的下導電層62，以及至少部分地內襯有第二阻障層86的上導電層100；並且第二半導體元件可以包括由第二半導體元件118的下阻障層132和第一阻障層126所囊封的第二下導電層124，以及至少部分地內襯有的第二半導體元件118的接觸結構130，該第二阻障層可以類似於第一半導體元件52的第二阻障層86。如圖所示，第一半導體元件52的上導電層100可以包括接觸結構，例如單鑲嵌及/或雙鑲嵌結構，並且第一阻障層74(包括第二材料)可以提供冗餘電流路徑。在圖5A-

5C的每一個中，第一半導體元件52的第一阻障層74提供底部介餘電流路徑，並且第二半導體元件118的第一阻障層126提供頂部介餘電流路徑。第二半導體元件118的第一阻障層126可包含本文所述的第二材料。

[00178] 圖5A說明包含雙鑲嵌特徵的兩個直接接合半導體元件52、118的示意圖。圖5B顯示了兩個直接接合的半導體元件52、118的示意圖，其包含單鑲嵌特徵和雙鑲嵌特徵。並且圖5C顯示了包含單個特徵的兩個直接接合的半導體元件52、118的示意圖。

表1:可以被使用作為第二種材料之部分的範例性材料（以*顯示）

材料特性	Cu	Co*	W*	V*	Ni*	Ta	Ti.
電阻率(在20°C時的ρ 10^{-8} mΩ)	1.8 2.0	6.2	5.6	19.7	7	200 350	40
熱膨脹係數(×10^{-6} K^{-1})	17	13	4.5	8.3	13.4	6.3	8.6
楊氏模數(GPa)	130	209	340	125	200	186	116
熔點(°C)	1084.6	1495	3410	1735	1455	3017	1668

[00179] 表1說明了可以例如用於第一阻障層74、126的第二材料的範例。這樣的材料在表1中用星號(*)標註。在表1中，通常希望具有低電阻率(以減少電損耗)、低熱膨脹係數和高熔點的材料。範例性材料包括Co、W、V、Ni或合金(例如CWP、CoP、NiP、NiW或NiV)，或層壓(laminate)材料(例如TiW/Co、TiW/Mo、TaN/Ta、TaN/Ti、TiN/Ta)…等等。例如，使用層壓板可以藉由像是降低缺陷密度的方式來降低電阻率。表1中所示的電子遷移電阻的相對標準是高熔點和低電阻率（即高導電性）。與傳統的第二阻障層86相比，理想的是藉由增加第一阻障層74的厚度76來進一步提高電導率。舉例來說，第一阻障層74的厚度76可以被選擇為是第二阻障層86的厚度88的大約1.5倍及大約4倍之間，更具體地是第二阻障層86的厚度88的大約2倍及大約3倍之間(例如，100-150nm對5-50nm)。在一典型實施例中，第一阻障層74的厚度76可以在10-150nm的範圍內，或在100-150nm的範圍

內。第二材料的厚度76(100-150nm)可以比第二阻障層86的側壁阻障層(Ta或Ti(5-50nm))的厚度88大至少2-3倍。

【0080】 在圖6中，導電層62可以包括具有低電阻率（例如，小於10×10^{-8} mΩ)，並且第一阻障層74可以包括一種或多種如上所述的第二材料，其也具有低電阻率(例如，小於100×10^{-8} mΩ)以及高熔點（例如，大於1200°C）。圖6中所使用的第一阻障層74可以為圖5A-5C中的接合結構50提供電冗餘，並且可以幫助防止或減輕金屬原子從導電層62內電子遷移到周圍非導電層56的影響，其中導電層62可以至少部分地埋置於其中。還應當理解，圖6示出第一阻障層74不限於水平層，並且在一些實施例中，第一阻障層74也可以是垂直層。

【0081】 圖7A-7H說明了用於形成具有習知接合層和接觸結構的習知互連件26的製程流程。在圖7A中，可以在半導體部分54上提供非導電層56，並且可以在非導電層56中形成RDL或BEOL跡線凹穴60。在圖7B中，習知阻障層24(例如，金屬氮化物，像是TaN)和下導電層62(例如，銅)可以提供在凹穴60中。在圖7C中，可以去除下導電層62的多餘金屬並且可以藉由CMP方法平坦化非導電層56。在圖7D中，習知的非導電頂部阻障層28(例如，SiN，其可以是例如30至100 nm厚）可以被提供在下導電層62之上。雖然未顯示，習知的非導電頂部阻障層28可以覆蓋沉積在非導電層56的整個表面上，從而延伸超過下導電層62的長度。圖7D還顯示出了可以在習知非導電頂部阻障層28上塗覆較厚的介電層30。也可以在非導電層56上塗覆較厚的介電層30。在整個本說明書中，在適用的情況下，較厚的介電層30和非導電層56可以作為單獨的組件或作為合併的非導電層56而進行討論。以不同的方式表達，在適用的情況下，“非導電層56”可以僅指非導電層56的一部分與下導電層62處於同一水平面並在其下方（如圖7C所示），或者可以是由於在圖7D中塗覆較厚的介電層30而產生的較厚的非導電層56。又以不同的方式表達，應當理解，非導電層56在本文中被描述為在某些實施例中是包括單

個介電層，而在其他實施例中包括多個介電層。在一些實施例中，較厚的介電質層30可以被平坦化。在圖7E中，可以在較厚的介電層30和習知的非導電頂部阻障層28中形成開口32，以曝露下導電層62，例如RDL或BEOL層。在圖7F中，可在下導電層62上方的開口32中提供另一習知阻障層24。在圖7G中，上導電層100(例如，銅）可以被設置在習知阻障層24之上。上導電層100可以電接觸下導電層62並填充在較厚的介電層30中的開口32。在圖7H中，上導電層100和較厚的介電層30可以被平坦化以形成習知的互連件26和具有平滑平面接合表面106的接合層。圖7H的接合表面106可以被清潔、準備、活化和接合以形成類似於圖4A的結構而沒有電子遷移缺陷。

【0082】 圖8A-8K顯示出了用於形成半導體元件52及其構成導電層62、100和阻障層74、78、86的製程流程；以及根據各種實施例，如何形成包括兩個半導體元件52、118的接合結構50。在圖8A中，可以在半導體部分54上提供非導電層56，並且可以在非導電層56中形成RDL或BEOL跡線凹穴60。可以以類似於圖7A所示之步驟的方式完成該步驟。在圖8B中，下阻障層78和下導電層62(例如，銅）可以提供在凹穴60中。在所示的實施例中，下阻障層78可以包括習知阻障層24材料，例如，金屬氮化物，像是TaN或TiN。在其他實施例中，如本文所說明的，下阻障層78可以包括第二材料的第一阻障層74。在圖8C中，多餘的金屬和非導電層56可以被平坦化，最初停止在下阻障層78上，然後從非導電層56上方去除下部阻障層78。在如圖8C所示的一些實施例中，下部導電層62的頂表面的一確定部分可以被選擇性地去除，例如藉由濕式蝕刻方法。所述確定部分的厚度例如可以是在20nm到300nm之間的範圍內。下導電層62可具有上表面64(其具有長度66)、下表面68和側表面70a、70b。下導電層62的下表面68和側表面70a、70b可以內襯有下阻障層78。在圖8C1中，包含第二材料的第一阻障層74可以設置在非導電層56上並且在保留的下導電層62上。第一阻障層74可以藉由化學機械拋光

(CMP)方法從非導電層56上被選擇性地去除，以形成圖8D的結構。在其他實施例中，如圖8D中，包含第二材料的第一阻障層74可選擇性地設置在下導電層62上。第一阻障層74的厚度76可大於下阻障層78的厚度或大於第二阻障層86的厚度。可以採用多種技術來圖案化第一阻障層74以覆蓋下導電層62，例如鑲嵌處理（使下導電層62凹陷，沉積第二材料以及拋光）；覆蓋沉積、掩蔽(masking)和蝕刻；並且選擇性沉積。在圖8E中，可以在下導電層62上方提供另一個非導電層56a(或者用數字56表示，與提供在半導體部分54上的非導電層一起作為單個零件)。在圖8E中，下導電層層62可以藉由內襯在其下表面68、側表面70a、70b(如圖8C所示)的下阻障層78和內襯在其上表面64的長度66的第一阻障層74(如圖8C所示)的接合而被囊封。在一些實施例中，可以在塗覆非導電層56a之前將薄層間非導電層(未示出)例如SiN塗覆在基板上。薄層間非導電層可以幫助將非導電層56a耦合到下導電層62。

【0083】 在一些實施例中，非導電層56可以被平坦化。非導電層56的上非導電表面114將形成接合表面106的一部分(如圖8K所示)，可以是如上所述的無機半導體或介電材料。在圖8F中，可以在非導電層56、56a中形成凹穴98以延伸到第一阻障層74。在圖8G中，可以在第一阻障層74上方的凹穴98中提供第二阻障層86。在所示實施例中，第二阻障層86可包含本文所述的任何第二材料，例如，鈷合金、鎳合金…等等。在一些實施例中，第一阻障層74和第二阻障層86可以包括相同的材料(例如，鈷合金、鎳合金…等等）。在其他實施例中，第一阻障層74和第二阻障層86可以包括不同的材料(例如，第一阻障層74可包含鈷合金，而第二阻障層86可包含鎳合金，或反之亦然)。在又一些實施例中，例如圖4C和4D中所示的結構，第一阻障層74可以包括任何第二材料（例如，鈷合金、鎳合金…等等），並且第二阻障層86可以包括習知阻障層24材料，像是第三材料，例如金屬氮化物，像是氮化鉭或氮化鈦。在圖8H中，上導電層100(例如，銅）可以設置在

第二阻障層86之上。在圖8I中，上導電層100和非導電層56可以被平坦化以形成半導體元件52。圖8I1顯示出了替代實施例。如圖8I所示，第二阻障層86可以接觸第一阻障層74的頂部，但是如圖8I1所示，第二阻障層86可以延伸到第一阻障層74中或者一直延伸穿過第一阻障層層74進入下導電層62。所屬技術領域中具有通常知識者將注意到，在任何這些替代方案中，第一阻障層74仍充當電流可沿其流動的冗餘路徑。在圖8I1中，第一阻障層74可以設置在第二阻障層86周圍及/或上導電層100的部分的周圍。

【0084】 參照圖8J，可以形成半導體元件52的接合表面106。舉例而言，可以如上所述活化及/或終止接合表面106。半導體元件52的接合表面106可以包括至少一個非導電部分(例如，上非導電表面114)和導電部分(例如，上接觸面116)。上非導電表面114可以是非導電層56的活化表面，並且上接觸表面116可以是上導電層100的曝露表面。

【0085】 在圖8K中，可以藉由將半導體元件52直接接合到第二半導體元件118而無需中間黏著劑來形成接合結構50。如圖8K所示，在一些實施例中，每個半導體元件52、118的下導電層62、124可以被一個或多個阻障層（例如，包括第一阻障層74、126和下阻障層78、132)囊封(例如，被完全包圍）。如本文所說明的，下阻障層78、132可以包括像是Ta或TaN的習知阻障層24材料。在其他實施例中，下阻障層78、132可以包含與第一阻障層74、126相同的材料，例如，本文所述的第二材料中之一者。每個半導體元件52、118還具有半導體部分54、120，其可包括半導體材料，例如矽。第一半導體元件52和第二半導體元件118在接合表面106處接合。第一半導體元件52的上非導電表面114可以直接接合到第二半導體元件118的第二上非導電表面128，如本文所述。上非導電表面114可以是第一半導體元件52的非導電層56的活化表面，而第二上非導電表面128可以是第二半導體元件118的第二非導電層122的活化表面。另外，半導體元件52、118的導

電部分(第一半導體元件52的上導電層100和第二半導體元件118的接觸結構130)可以直接接合。接觸結構（例如，第一半導體元件52的上導電層100和第二半導體元件118的接觸結構130)可以至少部分地內襯有阻障層(例如，第二阻障層86)。

【0086】 圖9A-9E圖示了根據各種實施例的用於形成以導電層62、92、100和阻障層74、78、86、96所構成之半導體元件52的製程流程。圖9E所示的半導體元件52的實施例類似於圖8I所示的實施例，但圖9E所示的半導體元件52具有額外的導電層(例如，中間導電層92)在下導電層62和上導電層100以及額外阻障層(例如 ，第三阻障層96)之間。

【0087】 如圖9A所示，半導體元件52可以包括半導體部分54上的非導電層56。埋置於非導電層56中的可以是下導電層62，其可以被至少一個阻障層（例如、第一阻障層74和下阻障層78)囊封。設置在第一阻障層74上的可以是第二阻障層86，其類似於圖8G中所示的步驟。在圖9A中，中間導電層92(例如，鈷或鎳或鎢）被設置在第一阻障層74上方。在所示實施例中，下阻障層78、第一阻障層74和第二阻障層86可包含本文公開的任何第二材料。下阻障層78、第一阻障層78和第二阻障層86的材料配方可以相同、大致相似或可以不同。

【0088】 參照圖9B，可以藉由選擇性地去除中間導電層92的受控部分以在中間導電層92中形成開口或受控凹陷93。受控凹陷93可以藉由例如濕式方法形成並且可以是凹入到例如50和500nm之間的深度。在圖9C中，可以在保留的中間導電層92上方形成包括頂部囊封層的第三阻障層96。第三阻障層96可以包括本文所述的任何第二材料。第三阻障層96可以由與用於下阻障層78、第一阻障層74及/或第二阻障層86的第二材料相同或不同的第二材料形成。參照圖9D，上導電層100(例如、銅、銅-鋅合金、銅-鎘合金、銅-錫合金、銅-鈷合金、<111>銅）可以藉由例如物理氣相沉積、化學鍍或電解鍍的方式而被提供於第二阻障層86和第三阻障層96之上。

【0089】 圖9E圖示了以導電層62、92、100和阻障層74、78、86、96所構成的半導體元件52。在圖9E中，可以執行平坦化製程以從上導電層100去除多餘的導電材料，並且還可以去除覆蓋非導電層56的不需要的第二阻障層86。中間導電層92上方的保留的上導電層100可以作為接觸結構，形成第三阻障層96上方的接合表面106的一部分。接觸結構（例如，上導電層100)可以包括銅、銅合金或可以容易地平坦化或拋光並且可以用於直接混合接合的其他導電材料。有益的是，圖9E中的接觸結構（例如，上導電層100)可以用作接合表面106以連接到第二半導體元件118的接觸結構130(在圖5A-C中所示)。上導電層100可以用作接合材料。此外，上導電層100的厚度102可以小於中間導電層92的厚度94和下導電層62的厚度67中的一者或兩者。多個阻障層74、78、86、96可以各自包含本文所述的第二種材料中的一者，例如鈷合金，並因此提供多個冗餘路徑以減少並提供圍繞例如由電子遷移所形成的任何空隙22（圖2A-B中所示）的替代路徑，而在接合表面106處的接觸結構（例如，上導電層100)提供優異的直接接合特性。所屬技術領域中具有通常知識者將理解，接觸結構（例如，上導電層100)可以凹陷，使得上接觸表面116在非導電層56的上非導電表面114下方。這可以允許在非導電材料初始接合之後，所述接觸結構擴展成與不同元件上的另一個接觸結構的金屬-金屬接觸，例如在室溫下形成共價鍵並且不施加如本文所公開的壓力。換句話說，接觸結構（例如，上導電層100)可以凹入上非導電表面114下方的方式以準備用於上文所述的混合直接接合製程的接合表面106。

【0090】 圖9E中所示的實施例提供優於習知結構（例如圖4A中所示的那些）的優點。所述第二材料(例如，鈷-合金)作為冗餘導電路徑，以免在所述導電層中的材料(路如，銅)變成缺陷。此外，當銅被囊封在第二材料（例如鈷-合金）中時，它更能抵抗應力遷移和電子遷移。此外，阻障層的第二材料(例如鈷-合金)可擴散至導電層62、92、100的銅中，進一步提高半導體元件52的互連的可靠度。

【0091】 圖10圖示了根據各種實施例的半導體元件52的另一個實施例。與其他實施例一樣，圖10所示的半導體元件52可以包括半導體部分54和設置在半導體部分54上的非導電層56。半導體元件52可以包括接合表面106，該接合表面106包括非導電層56的上非導電表面114和接觸結構99的上接觸表面116。接觸結構99(類似於圖9E中所示的上導電層100)可以包括本文所述的第一材料，例如銅。在圖10中，半導體元件52可以包括位於接觸結構99下方並電連接到接觸結構99的導電阻障材料61。接觸結構99可以延伸橫跨導電阻障材料61的整個上部長度。導電阻障材料61可包含本文所述的任何第二材料，包括合金(例如，CWP、CoP、NiP、NiW或NiV…等等)和層壓材料(例如，TiW/Co、TiW/Mo、TaN/Ta、TaN/Ti、TiN/Ta…等等），並且與之前的實施例不同，除了接觸結構99之外，大部分的導電特徵（包括，例如，下導電層62、可選的中間導電特徵92和上導電層100，所有這些都在圖9E中示出）是由第二材料形成。例如，導電阻障材料61具有在20°C時小於50×10^{-8} mΩ的電阻率以及大於1200°C的熔點。在一些實施例中，導電阻障材料61的電阻率是在20°C時4.5×10^{-8} mΩ至20°C時50×10^{-8} mΩ的範圍中。在一些實施例中，導電阻障材料61的熔點可以大於1200°C並且可以在1200°C至3600°C的範圍內。在所示實施例中，接觸結構99包括銅。導電阻障材料61可以包括鈷、鎢、釩、鉬和鎳中的至少一種。在各種實施例中，導電阻障材料61的材料可以擴散到接觸結構99中。例如，接觸結構99在製造期間可以包括小於20%或小於15%的導電阻障材料61但隨著產品的使用可能超過50%。作為一個範例，銅的接觸結構99在製造時可包含小於20%或小於15%的鈷，但隨後在使用產品時，銅的接觸結構99可包含大於50%的鈷。圖10中所示的實施例相對於習知結構（例如圖4A中所示的那些）的一個優點是與純銅相比，鈷和鎳合金表現出優異的高溫性能。這使得此類材料更適合高溫應用(例如汽車、開關和繼電器…等等）。

【0092】 在圖10中，接觸結構99的厚度101可以小於導電阻障材料61的厚

度63。例如，導電阻障材料61的厚度63可以是接觸結構99的厚度101的至少兩倍。因此，大部分上導電層及/或下導電層(62和100，如圖3所示)包括具有優良高溫性能和降低的電子遷移敏感性的第二材料，而接觸結構99具有高銅含量可實現直接金屬接合的卓越性能，尤其是在相對較低溫度下的混合直接接合。所屬技術領域中具有通常知識者將理解，接觸結構99的上接觸表面116可以凹入到非導電層56的上非導電表面114以下，使得在非導電材料最初接合之後，它可以擴展成與不同元件上的另一個接觸結構的金屬-金屬接觸，例如在室溫下形成共價鍵並且不施加如本文所公開的壓力。換言之，接觸結構99可以凹入上非導電表面114下方的方式來準備用於上文所述的混合直接接合製程的接合表面106。

【0093】 圖11顯示了接合結構50，其中第一半導體元件52和第二半導體元件118在沒有黏著劑的情況下直接彼此混合接合。圖11的第一半導體元件52和第二半導體元件118可以與圖9E所示的半導體元件52大致相似或相同。半導體元件52、118都可以在半導體部分54、120上具有非導電層56、122。每個非導電層56、122可以具有上非導電表面114、128，並且這些表面可以在接合表面106處直接接合。此外，每個半導體元件52、118可以具有下導電層62、124，第一阻障層74、126內襯至少下導電層62、124的連接到中間導電層92的部分。下導電層層62、124也可以至少部分地內襯有至少一個額外阻障層(例如，下阻障層78、132)。此外，中間導電層92可以具有第三阻障層96，其至少內襯連接到上導電層100的中間導電層92的部分。第二阻障層86可以至少部分地內襯在中間導電層92的所有其他側上。最後，第一半導體元件52的上導電層100可以直接接合到第二半導體元件118的接觸結構130。

【0094】 圖12顯示出了接合結構50，其中第一半導體元件52和第二半導體元件118在沒有黏著劑的情況下直接彼此混合接合。圖12的第一半導體元件52和第二半導體元件118可以與圖10所示的半導體元件52大致相似或相同。兩個半導

體元件52、118都可以在半導體部分54、120上具有非導電層56、122。兩個半導體元件52、118可以在接合表面106處直接接合。如本文所述，第一半導體元件52在導電阻障材料61上具有接觸結構99，並且第二半導體元件118在導電阻障材料61a上具有接觸結構99a。

【0095】 圖13A-13D圖示了用於形成半導體元件52的另一製程流程。圖13A-13D的方法可以大體上類似於圖8F-8I所示的方法。圖13A顯示出半導體部分54上的非導電層56，而下導電層62埋置於非導電層56中。下導電層62可以被下阻障層78囊封，除了將要連接到上導電層100的下導電層62的部分(圖13C-13D中所示)，其內襯有第一阻障層74。在圖13A中，非導電層56的上非導電表面114可以曝露於電漿117以改善第二阻障層86與周圍介電材料的黏接，例如用於直接混合接合的非導電層56。在一些實施例中，非導電層56中的凹穴的側壁也可以曝露於電漿117以改善第二阻障層86的黏接。第一阻障層74的上表面也可以曝露於電漿117。在各種實施例中，電漿可以包含含氮或含氧（例如，水蒸氣電漿）電漿。在圖13B中，可以在非導電層56上提供第二阻障層86。儘管圖13B圖示了無底的第二阻障層86，但是所屬技術領域中具有通常知識者將理解第二阻障層86可以替代地覆蓋第一阻障層74。在圖13C中，接觸結構（例如，上導電層100）可以被提供在第一阻障層74和第二阻障層86上。在圖13D中，上導電層100的多餘的金屬(例如，銅)可以通過平坦化製程去除。在圖13D中，平面化製程可以從上導電層100去除所有多餘的金屬但停止在第二阻障層86上，因此不曝露第二阻障層86下方的非導電層56。由此產生的半導體元件52的接合表面106可以準備好直接接合到另一個半導體元件。

【0096】 圖14A和14C圖示了本文描述的範例性半導體元件52。圖14B顯示出了接合結構50，其中類似於圖14A中的兩個半導體元件52、118直接彼此混合接合。圖14D顯示出了接合結構50，其中類似於圖14C的兩個半導體元件52、118

直接彼此接合。

【0097】 圖14A-14D都顯示出了半導體元件52、118，其各自可以包括半導體部分54、120上的非導電層56、122。每個半導體元件可以具有接合表面106，接合表面106包括非導電部分(例如，非導電層56、122的上非導電表面114、128)和導電部分(例如，上接觸面116)。如本文所述，在圖14B和14D中的每個接合結構50可以藉由在接合表面106處將半導體元件52、118直接混合接合在一起而形成。

【0098】 在圖14A中，上接觸表面116可以是上導電層100的表面。如本文進一步描述的，上導電層100可以被提供在第三阻障層96上，第三阻障層96又可以被提供在中間導電層92上，而中間導電層92又可以被提供在第一阻障層74上，而第一阻障層74又可以被提供在下導電層62上。如本文所述，中間導電層92的任何部分都沒有內襯有第一阻障層74或第三阻障層96，而可以內襯有第二阻障層86。圖14B中的半導體元件52、118可以與圖14A中所示的半導體元件相似或相同。半導體元件52、118都可以具有下導電層62、124、第一阻障層74、126、中間導電層92、92a、第二阻障層86、第三阻障層96和接觸結構(例如，第一半導體元件52的上導電層100和第二半導體元件118的接觸結構130)。

【0099】 在圖14C中，上接觸表面116可以是接觸結構99的表面。圖14D中的半導體元件52、118都可以與圖14C中所示的半導體元件相似或相同。半導體元件52、118都可以具有被設置在導電阻障材料61、61a(具有厚度63)上的接觸結構99、99a(具有厚度101)。

【0100】 圖15A和15B顯示出了接合結構50，其中接合結構50的至少一個半導體元件52包括基板通孔(TSV)110。圖15A和15B都顯示出了接合結構50，如本文所述，可以藉由將在接合表面106處的半導體元件52、118直接混合接合在一起而形成接合結構50。圖15A類似於圖11，但是圖15A中所示的接合結構50可以

包括TSV 110和TSV阻障層112。圖15B類似於圖12，但是圖15B中所示的接合結構50可以包括TSV 110。

【0101】 圖15A中的半導體元件52、118都可以包括如圖11中所述的以下部分：下阻障層78、132；下導電層62、124；第一阻障層74、126；中間導電層92、92a；第二阻障層86；第三阻障層96、96a；接觸結構（例如，第一半導體元件52的上導電層100以及第二半導體元件118的接觸結構130)；非導電層56、122；和半導體部分54、120。然而，與圖11不同，圖15A顯示出了TSV 110和TSV阻障層112。在圖15A中，TSV 110可以包括電性連接到下導電層62並且延伸穿過半導體元件52的半導體部分54的導電材料(例如，銅)。TSV阻障層112可以內襯在TSV 110。在所示的實施例中，TSV阻障層112可以包括本文所述的第二材料，其可以提供高電導率並且減少或消除電子遷移故障。有益地，使用鈷或鎳合金作為TSV阻障層112的組成材料來充當冗餘電流路徑和導電層。

【0102】 圖15B中的半導體元件52、118都可以包括如圖12中所描述的以下內容：接觸結構99、99a；導電阻障材料61、61a；非導電層56、122；和半導體部分54、120。然而，與圖12不同，圖15B顯示有TSV 110。在圖15B中，TSV 110可以主要包括(例如，基本上只有）第二材料。

【0103】 圖16圖示了可以包括內錳阻障層108的半導體元件52的另一個實施例。與其他實施例一樣，圖16中的半導體元件52包括在半導體部分54上的非導電層56。與圖15A一樣，圖16顯示了下導電層62可以埋置於非導電部分56中，並且藉由TSV 110和TSV阻障層112而電性連接到半導體部分54。在圖16中，由第二材料(例如，鈷、鈷合金、鎳合金）所形成的阻障層74可以內襯在下導電層62的至少一部分處並且可以垂直延伸遠至非導電層56的上表面。內錳阻障層108可被設置鄰近於由第二材料形成的阻障層74。內錳阻障層108可以內襯在凹穴的至少一部分，所述凹穴中設置有接觸結構，而阻障層74設置在錳阻障層108的外部。

然後，在錳阻障層108內的分層設置可以是中間層導電層92、多個錳阻障層108材料和上導電層100。

【0104】 在較高的接合溫度下，錳阻障層108可以與接觸結構(例如，上導電層100及/或中間導電層92)或阻障層74或兩者合金化，以提高半導體元件52在高溫接合操作之後的抗電子遷移性。除錳之外，其他金屬或金屬合金也能提高接觸結構(例如，上導電層100)的抗電子遷移能力，例如銦、鎵、錫和它們各自的合金可以用作設置在阻障層74和接觸結構(例如，上導電層100及/或中間導電層92)之間。在一些實施例中，內錳阻障層108的厚度可以比接觸結構(例如，上導電層100)的厚度薄。此外，在一些實施例中，在高溫接合操作之後，內錳阻障層108的材料可以分散(例如，擴散到)在接觸結構(例如，上導電層100及/或中間導電層92)和阻障層74之間。

【0105】 圖17A圖示了與圖15B中圖示的類似的接合結構50。組件可以相同。圖17A看起來與圖15B非常相似，但圖17A旋轉了180度。這強調了隨附圖式的目的是在說明而非限制。如圖17A所示，並且作為範例，第一半導體元件52可以是實際上位於第二半導體元件118上方的那個元件。這對於本文公開的所有實施例都是如此。

【0106】 圖17B圖示了接合結構50的不同實施例，其可以藉由沿著接合表面106而直接接合兩個半導體元件52、118來形成接合結構。圖17B圖示了類似於圖14B的接合結構50。每個半導體元件52、118可以彼此相同。每個半導體元件52、118可以在半導體部分54、120上具有非導電層56、122，並且每個非導電層56、122可以具有沿接合表面106的上非導電表面114、128。每個半導體元件52、118具有接觸結構(例如，第一半導體元件52的上導電層100和第二半導體元件118的接觸結構130)至少部分地埋置於非導電層56、122中，並且具有基本上沿著接合表面106的表面。除了接觸結構（例如，第一半導體元件52的上導電層100和第

二半導體元件118的接觸結構130)之沿著接合表面106的部分，接觸結構的所有其他表面可以內襯有阻障層74、126。換言之，阻障層74、126可以內襯接觸結構(例如，第一半導體元件52的上導電層100和第二半導體元件118的接觸結構130)的溝槽。這些阻障層74、126可包含本文公開的任何第二材料。最後，連接到阻障層74、126並且至少部分地埋置於非導電層56、122中，每個半導體元件52、118可以包括下導電層62、124。在這個實施例中，與本文中所公開的所有其他實施例一樣，包含本文公開的第二材料(參見上表1)的阻障層74、126的存在減少了與電子遷移相關聯的問題。

【0107】 圖17C圖示出類似於圖16的半導體元件52。半導體元件52可以包括內錳阻障層108和內襯有TSV阻障層112的TSV 110。有利地，使用鈷或鎳合金作為TSV阻障層112的構成材料而充當冗餘電流路徑和導電層。在一些實施例中，阻障層74的第二材料可以包括具有最多20%釩的鎳釩(NiV)合金，例如，在0.01%到5%的範圍內的釩。在一些實施例中，阻障層74的第二材料可以包括用於輻射硬化的Cu/Fe。在一些實施例中，阻障層74的第二材料可以包括雙金屬冗餘阻障層，包括像是釩、鉻、錳、鐵及/或鎳的材料(例如，Mn/Co雙金屬冗餘阻障層結構)。

【0108】 除非上下文另有明確要求，否則在整個說明書和申請專利範圍中，用語“包括”、“其包括”、“包含”、“其包含”等應被解釋為包含性的意思，而不是排他性或全面性的意思;也就是說，在“包括但不限於”的意義上。此處通常使用的用語“耦接”是指兩個或多個元件可以直接連接，或通過一個或多個中間元件連接。同樣，此處通常使用的用語“連接”是指兩個或多個元件可以直接連接，或通過一個或多個中間元件連接。此外，在本申請中使用“此處”、“以上”、“以下”和類似含義的詞語時，應代表整個說明書，而不是指本說明書的任何特定部分。此外，如本文所用，當第一元件被描述為在第二元件“上”或“在…上方”時，

第一元件可以直接在第二元件之上或在第二元件上方，使得第一和第二元件直接接觸，或者第一元件可以間接地在第二元件上或在第二元件上方，使得一個或多個元件介於第一元件和第二元件之間。在上下文允許的情況下，以上具體實施方式中使用單數或複數的詞語也可以分別包括複數或單數。“或”一詞指的是兩個或多個項目的列表，該詞涵蓋了對該詞的所有以下解釋：列表中的任何項目、列表中的所有項目以及在列表中之項目的任何組合。

【0109】 此外，本文使用的條件性語言，例如“可以”、“可能”、“例如”、“像是”、“舉例而言”等，除非另有明確說明，或在所使用的上下文中以其他方式理解，通常目的在傳達某些實施例包括，而其他實施例不包括，某些特徵、元素和/或狀態。因此，這種有條件的語言一般之目的不在於暗示特徵、元素和/或狀態以任何方式對於一個或多個實施例是必需的。

【0110】 雖然已經描述了某些實施例，但是這些實施例僅以範例性的方式呈現，並且目的不在於限制本發明的範圍。實際上，本文所描述的新穎裝置、方法和系統可以以多種其他形式體現；此外，在不脫離本發明的範疇的情況下，可以對本文描述的方法和系統的形式進行各種省略、替換和改變。例如，雖然各區塊以給定配置呈現，另外的實施例可以使用不同的組件和/或電路布局來執行類似的功能，並且一些區塊可以被刪除、移動、添加、細分、組合和/或修改。這些區塊中的每一個都可以以各種不同的方式來實現。可以組合上述各種實施例的元素和動作的任何適當組合以提供進一步的實施例。所附申請專利範圍及其均等範圍是用於涵蓋落入本發明所揭示的範圍和精神內的此類形式或修改。

【符號說明】

【0111】

1:接合結構

2:第一元件

3:第二元件

4a:襯墊

4b:襯墊

5a:非導電接合層/接合層

5b:非導電接合層/接合層

6a:裝置部分

6b:裝置部分

7:接合界面

8a:接合表面

8b:接合表面

14:前側

15:背側

20:電子流動方向

22:空隙

24:元件/習知阻障層

26:習知互連件

28:非導電頂部阻障層

30:介電層

32:開口

42:元件/第一元件

44:元件/第二元件

50:接合結構

52:半導體元件/第一半導體元件

54:半導體部分

56:非導電層

56a:非導電層

60:凹穴

61:導電阻障材料

61a:導電阻障材料

62:下導電層

63:厚度

64:上表面

66:長度

67:厚度

68:下表面

70:側表面

70a:側表面

70b:側表面

74:阻障層/第一阻障層

76:厚度

78:阻障層/下阻障層

86:阻障層/第二阻障層

88:厚度

92:導電層/中間導電層

92a:導電層/中間導電層

93:受控凹陷

94:厚度

96:阻障層/第三阻障層

96a:第三阻障層

98:凹穴

99:接觸結構

99a:接觸結構

100:上導電層

101:厚度

102:厚度

104:寬度

106:接合表面

108:內錳阻障層

110:基板通孔(TSV)

112:TSV阻障層

114:上非導電表面

116:上接觸表面

117:電漿

118:半導體元件/第二半導體元件

120:半導體部分

122:非導電層/第二非導電層

124:下導電層

126:阻障層/第一阻障層

128:上非導電表面/第二上非導電表面

130:接觸結構

132:下阻障層

P:間距

【發明申請專利範圍】

【請求項1】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

上導電層，其至少部分地埋藏在所述非導電層的凹穴中，所述上導電層由第一材料所形成；

下導電層，其在所述上導電層下方並且電性連接到所述上導電層；以及

阻障層，其設置在所述上導電層和所述下導電層之間，其中所述阻障層橫向寬於所述凹穴，所述阻障層由第二材料所形成，所述第二材料不同於第一材料，所述第二材料具有在20°C時小於50×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項2】如請求項1之半導體元件，其中所述第一材料包括銅。

【請求項3】如請求項1或2之半導體元件，其中所述下導電層包括銅。

【請求項4】如請求項1或2之半導體元件，其中所述第二材料包括鈷、鎢、釩、鉭及鎳中之至少一者。

【請求項5】如請求項4之半導體元件，其中所述第二材料包括鈷。

【請求項6】如請求項4或5之半導體元件，其中所述第二材料包括合金。

【請求項7】如請求項6之半導體元件，其中所述合金包括磷酸鈷鎢(CWP)、磷酸鈷(CoP)、磷酸鎳(NiP)、鎳鎢(NiW)、鈦鎢(TiW)、TiW/Mo、TiW/Co以及鎳釩(NiV)中之至少一者。

【請求項8】如請求項4到7中之任一項之半導體元件，其中所述第二材料的所述電阻率是在20°C時4.5×10^{-8} mΩ至20°C時30×10^{-8} mΩ的範圍中。

【請求項9】如請求項4到8中之任一項之半導體元件，其中所述第二材料的所述熔點是在1200°C到3600°C的範圍中。

【請求項10】如請求項1到9中之任一項之半導體元件，其中所述非導電層包

括氧化矽。

【請求項11】如請求項1到10中之任一項之半導體元件，其中所述阻障層被至少部分地設置在所述凹穴中，所述凹穴中設置有所述上導電層。

【請求項12】如請求項1到11中之任一項之半導體元件，其進一步包括第二阻障層內襯於所述凹穴的至少一部分，所述凹穴中設置有所述上導電層，所述第二阻障層設置在所述阻障層和所述上導電層之間。

【請求項13】 如請求項12之半導體元件，其中所述第二阻障層包括所述第二材料。

【請求項14】如請求項12之半導體元件，其中所述第二阻障層包括第三材料，所述第三材料不同於所述第一材料和所述第二材料。

【請求項15】 如請求項14之半導體元件，其中所述第三材料包括金屬氮化物。

【請求項16】 如請求項15之半導體元件，其中所述第三材料包括氮化鈦或氮化鉭。

【請求項17】如請求項12到16中之任一項之半導體元件，其中所述阻障層的厚度大於所述第二阻障層的厚度。

【請求項18】如請求項1到17中之任一項之半導體元件，其進一步包括在所述阻障層上方的中間導電層以及在所述中間導電層上方的第三阻障層，所述上導電層設置在所述第三阻障層上方。

【請求項19】如請求項18之半導體元件，其中所述中間導電層被所述第三阻障層以及一個或多個額外阻障層所囊封。

【請求項20】如請求項19之半導體元件，其中所述一個或多個額外阻障層包括所述阻障層。

【請求項21】如請求項19或20之半導體元件，其中所述第三阻障層包括所述

第二材料。

【請求項22】如請求項20或21之半導體元件，其中所述阻障層內襯於凹穴，在所述凹穴中設置有所述中間導電層，所述阻障層垂直地延伸超過所述第三阻障層基本上到接合表面。

【請求項23】如請求項18到22中之任一項之半導體元件，其中所述上導電層的厚度小於所述下導電層的厚度。

【請求項24】如請求項1到23中之任一項之半導體元件，其中所述下導電層包括重新分布層，其埋置在所述非導電層中。

【請求項25】 如請求項1到24中之任一項之半導體元件，其中所述非導電層包括設置在所述半導體部分上的多個介電層。

【請求項26】如請求項1到25中之任一項之半導體元件，其進一步包括錳阻障層，其被設置鄰近於所述阻障層。

【請求項27】 如請求項26之半導體元件，其中所述錳阻障層內襯凹穴的至少一部分，所述凹穴中設置有所述上導電層，所述錳阻障層設置在所述阻障層內。

【請求項28】如請求項1到25中之任一項之半導體元件，其中所述阻障層沿著所述下導電層的上表面的長度而被設置，所述長度大於所述上導電層的寬度。

【請求項29】如請求項28之半導體元件，其中所述下導電層沿著所述上表面被所述阻障層囊封並且沿著所述下導電層的下表面和側表面被一個或多個額外阻障層囊封。

【請求項30】如請求項29之半導體元件，其中所述一個或多個額外阻障層包括所述第二材料。

【請求項31】 如請求項29之半導體元件，其中所述一個或多個額外阻障層包括第三材料，所述第三材料不同於所述第一材料和所述第二材料。

【請求項32】如請求項1到31中之任一項之半導體元件，其進一步包括基板通孔，其電性連接到所述下導電層並且延伸穿過所述半導體部分。

【請求項33】 如請求項32之半導體元件，其進一步包括基板通孔阻障層，其內襯所述基板通孔，所述基板通孔阻障層包括所述第二材料。

【請求項34】 如請求項1到33中之任一項之半導體元件，其中所述上導電層包括雙鑲嵌結構。

【請求項35】 如請求項1到33中之任一項之半導體元件，其中所述上導電層包括單鑲嵌結構。

【請求項36】一種接合結構，其包括請求項1到35中之任一項之半導體元件以及第二半導體元件，所述半導體元件的上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述上導電層的上接觸表面直接接合到所述第二半導體元件的接觸結構。

【請求項37】如請求項36之接合結構，其中所述第二半導體元件包括：

第二半導體部分；

第二非導電層，其在所述第二半導體部分上並且形成所述第二上非導電表面，所述接觸結構至少部份地被埋置在所述第二非導電層中；

第二下導電層，其在所述接觸結構下方並且電性連接到所述接觸結構；以及

所述第二半導體元件的第一阻障層，其被設置在所述接觸結構和所述第二下導電層之間，所述第二半導體元件的所述第一阻障層由具有電阻率在20°C時小於30×10^{-8} mΩ並且熔點大於1200°C的材料所形成。

【請求項38】如請求項37之接合結構，其中所述接觸結構包括銅並且所述第二半導體元件的所述第一阻障層的所述材料包括鈷、鎢、釩和鎳中的至少一者。

【請求項39】一種半導體元件，其包括：

半導體部分；

在所述半導體部分上的非導電接合層，所述半導體部分具有上非導電表面，其形成所述半導體元件的接合表面的第一部分，所述上非導電表面準備用於直接接合到第二半導體元件；

接觸結構，其至少部份地埋置在所述非導電接合層中並且具有上接觸表面，所述上接觸表面形成所述半導體元件的所述接合表面的第二部分，所述接觸結構包括第一材料；

導電層，其在所述接觸結構下方並且電性連接到所述接觸結構；以及

阻障層，其被設置在所述接觸結構和所述導電層之間，所述阻障層包括不同於所述第一材料的第二材料，所述第二材料包括鈷、鎢、釩和鎳中之至少一者。

【請求項40】如請求項39之半導體元件，其中所述接觸結構包括銅。

【請求項41】如請求項39或40之半導體元件，其中所述導電層包括銅。

【請求項42】如請求項39到41中之任一項之半導體元件，其中所述阻障層包括鈷。

【請求項43】如請求項39到42中之任一項之半導體元件，其中所述阻障層包括合金。

【請求項44】如請求項43之半導體元件，其中所述合金包括磷酸鈷鎢(CWP)、磷酸鈷(CoP)、磷酸鎳(NiP)、鎳鎢(NiW)以及鎳釩(NiV)中之至少一者。

【請求項45】如請求項39到44中之任一項之半導體元件，其中所述非導電接合層包括氧化矽。

【請求項46】如請求項39到45中之任一項之半導體元件，其中所述阻障層內襯凹穴的至少一部分，在所述凹穴中設置有所述接觸結構。

【請求項47】如請求項39到46中之任一項之半導體元件，其進一步包括第二阻障層，該第二阻障層內襯凹穴的至少一部分，在所述凹穴中設置有所述接觸結構，所述第二阻障層被設置在所述阻障層和所述接觸結構之間。

【請求項48】如請求項47之半導體元件，其中所述第二阻障層包括所述第二材料。

【請求項49】如請求項47之半導體元件，其中所述第二阻障層包括第三材料，所述第三材料不同於所述第一材料和所述第二材料。

【請求項50】如請求項49之半導體元件，其中所述第三材料包括金屬氮化物。

【請求項51】如請求項50之半導體元件，其中所述第三材料包括氮化鈦或氮化鉭。

【請求項52】如請求項47到51中之任一項之半導體元件，其中所述阻障層的厚度是大於所述第二阻障層的厚度。

【請求項53】如請求項39到51中之任一項之半導體元件，其進一步包括在所述阻障層上方的第二導電層以及在所述二導電層上方的第三阻障層，所述接觸結構設置在所述第三阻障層上方。

【請求項54】如請求項53之半導體元件，其中所述第二導電層是由所述第三阻障層以及一個或多個額外阻障層所囊封。

【請求項55】如請求項54之半導體元件，其中所述一個或多個額外阻障層包括所述阻障層。

【請求項56】 如請求項54或55之半導體元件，其中所述第三阻障層包括所述第二材料。

【請求項57】如請求項55或56之半導體元件，其中所述阻障層內襯凹穴，所述凹穴中設置有所述第二導電層，所述阻障層垂直地延伸超過所述第三阻障層基本上到所述接合表面。

【請求項58】如請求項53到57中之任一項之半導體元件，其中所述接觸結構的厚度小於所述第二導電層的厚度。

【請求項59】如請求項53到58中之任一項之半導體元件，其中所述導電層包括重新分布層，所述重新分布層埋置在所述非導電接合層中。

【請求項60】如請求項39到59中之任一項之半導體元件，其中所述非導電接合層包括多個介電層，所述多個介電層被設置在所述半導體部分上。

【請求項61】 如請求項39到60中之任一項之半導體元件，其進一步包括錳阻障層，所述錳阻障層被設置鄰近於所述阻障層。

【請求項62】如請求項61之半導體元件，其中所述錳阻障層內襯凹穴的至少一部分，在所述凹穴中設置有所述接觸結構，所述錳阻障層被設置在所述阻障層內。

【請求項63】 如請求項39到62中之任一項之半導體元件，其中所述阻障層沿著所述導電層的上表面的長度而被設置，所述長度大於所述接觸結構的寬度。

【請求項64】如請求項63之半導體元件，其中所述導電層沿著所述上表面被所述阻障層囊封並且沿著所述導電層的下表面和側表面被一個或多個額外阻障層囊封。

【請求項65】如請求項64之半導體元件，其中所述一個或多個額外阻障層包括所述第二材料。

【請求項66】如請求項64之半導體元件，其中所述一個或多個額外阻障層包括第三材料，所述第三材料不同於所述第一材料及所述第二材料。

【請求項67】如請求項39到66中之任一項之半導體元件，其進一步包括基板通孔，其電性連接到所述導電層並且延伸穿過所述半導體部分。

【請求項68】 如請求項67之半導體元件，其進一步包括基板通孔阻障層，所述基板通孔阻障層內襯所述基板通孔，所述基板通孔阻障層包括所述第二材料。

【請求項69】如請求項39到68中之任一項之半導體元件，其中所述接觸結構

包括雙鑲嵌結構。

【請求項70】如請求項39到68中之任一項之半導體元件，其中所述接觸結構包括單鑲嵌結構。

【請求項71】一種接合結構，其包括如請求項39到70中之任一項之所述半導體元件以及所述第二半導體元件，所述半導體元件的所述上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述接觸結構的所述上接觸表面直接接合到所述第二半導體元件的第二接觸結構。

【請求項72】如請求項71之接合結構，其中所述第二半導體元件包括：

第二半導體部分；

第二非導電接合層，其在所述第二半導體部分上並且形成所述第二上非導電表面，所述第二接觸結構至少部份地埋置在所述第二非導電接合層中；

第二導電層，其在所述第二接觸結構下方並且電性連接到所述第二接觸結構；以及

所述第二半導體元件的第一阻障層，其被設置在所述第二接觸結構和所述第二導電層之間，所述第二半導體元件的所述第一阻障層由一材料所形成，所述材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項73】如請求項72之接合結構，其中所述第二接觸結構包括銅並且所述第二半導體元件的所述第一阻障層的所述材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項74】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

接觸結構，其至少部份地埋置在所述非導電接合層中並且具有上接觸表面，所述上接觸表面形成所述半導體元件的接合表面的至少一部分，所述接觸結構

包括第一材料；

導電層，其在所述接觸結構下方並且電性連接到所述接觸結構；以及

一個或多個阻障層，其囊封所述導電層，所述一個或多個阻障層被設置圍繞所述導電層的上表面、下表面和側表面。

【請求項75】如請求項74之半導體元件，其中所述接觸結構包括銅。

【請求項76】如請求項74或75之半導體元件，其中所述導電層包括銅。

【請求項77】如請求項74到76中之任一項之半導體元件，其中所述一個或多個阻障層包括第一阻障層，所述第一阻障層沿著所述導電層的所述上表面的長度被設置，所述長度大於所述接觸結構的寬度，所述阻障層包括第二材料，所述第二材料不同於所述第一材料。

【請求項78】如請求項77之半導體元件，其中所述第二材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項79】如請求項77或78之半導體元件，其中所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項80】如請求項77到79中之任一項之半導體元件，其中所述一個或多個阻障層包括第二阻障層，所述第二阻障層沿著所述導電層的所述下表所述側表面而被設置。

【請求項81】如請求項80之半導體元件，其中所述第二阻障層包括所述第二材料。

【請求項82】如請求項80之半導體元件，其中所述第二阻障層包括第三材料，所述第三材料不同於所述第二材料。

【請求項83】如請求項82之半導體元件，其中所述第三材料包括金屬氮化物。

【請求項84】如請求項83之半導體元件，其中所述第三材料包括氮化鈦或氮

化鉭。

【請求項85】如請求項77到84中之任一項之半導體元件，其進一步包括在所述一個或多個阻障層上方的第二導電層以及在所述第二導電層上方的第三阻障層，所述接觸結構設置在所述第三阻障層上方。

【請求項86】如請求項85之半導體元件，其中所述第二導電層是由所述第三阻障層以及一個或多個額外阻障層所囊封。

【請求項87】如請求項85或86之半導體元件，其中所述第三阻障層包括所述第二材料。

【請求項88】如請求項85到87中之任一項之半導體元件，其中所述接觸結構的厚度小於所述第二導電層的厚度。

【請求項89】如請求項74到88中之任一項之半導體元件，其中所述導電層包括重新分布層，所述重新分布層被埋置在所述非導電接合層中。

【請求項90】一種半導體元件，其包括：

半導體部分，其具有上非導電表面，所述上非導電表面形成所述半導體元件的接合表面的第一部分，所述上非導電表面被準備用於直接接合到第二半導體元件；

接觸結構，其具有上接觸表面，所述上接觸表面形成所述半導體元件的接合表面的第二部分，所述接觸結構由第一材料所形成；以及

導電阻障材料，其在所述接觸結構下方且電性連接到所述接觸結構，所述導電阻障材料包括第二材料，所述第二材料不同於所述第一材料，所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項91】如請求項90之半導體元件，其中所述接觸結構包括銅。

【請求項92】如請求項91之半導體元件，其中所述接觸結構包括少於20%的所述導電阻障材料。

【請求項93】如請求項90到92中之任一項之半導體元件，其中所述第二材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項94】如請求項93之半導體元件，其中所述第二材料包括鈷。

【請求項95】如請求項90到94中之任一項之半導體元件，其中所述第二材料的所述電阻率是在20°C時4.5×10^{-8} mΩ至20°C時30×10^{-8} mΩ的範圍中。

【請求項96】 如請求項90到95中之任一項之半導體元件，其中所述第二材料的所述熔點是在1200°C到3600°C的範圍中。

【請求項97】如請求項90到96中之任一項之半導體元件，其中所述接觸結構的厚度小於所述導電阻障材料的厚度。

【請求項98】如請求項97之半導體元件，其中所述導電阻障材料的所述厚度是所述接觸結構的厚度的至少兩倍。

【請求項99】一種方法，其包括：

形成凹穴於半導體元件的非導電層中；

提供下導電層於所述凹穴中；

提供阻障層於所述下導電層上方；以及

提供上導電層於所述阻障層上方，所述上導電層是由第一材料所形成並且所述阻障層是由第二材料所形成，所述第二材料不同於所述第一材料，所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項100】如請求項99之方法，其中所述第一材料包括銅，並且其中所述第二材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項101】如請求項99或100之方法，其中提供所述阻障層包括沿著所述下導電層的上表面的長度提供所述阻障層，所述長度大於所述接觸結構的寬度。

【請求項102】如請求項101之方法，其進一步包括藉由所述阻障層和一個或多個額外阻障層來囊封所述下導電層。

【請求項103】如請求項99到102中之任一項之方法，其進一步包括，在提供所述上導電層之前，形成第二非導電層於所述阻障層上方以及所述非導電層的至少一部分上方，並且形成開口於所述第二非導電層，所述開口延伸到所述阻障層。

【請求項104】如請求項103之方法，其進一步包括提供第二阻障層於所述開口中於所述阻障層的至少一部分上方。

【請求項105】如請求項104之方法，其中提供所述第二阻障層包括提供所述第二阻障層由所述第二材料所形成。

【請求項106】如請求項104或105之方法，其進一步包括提供中間導電層於所述開口中於所述第二阻障層上方。

【請求項107】如請求項106之方法，其進一步包括提供第三阻障層於所述中間導電層上方。

【請求項108】如請求項107之方法，其中提供所述第三阻障層包括提供所述第三阻障層由所述第二材料所形成。

【請求項109】如請求項107或108之方法，其進一步包括提供所述上導電層於所述第三阻障層上方。

【請求項110】如請求項103到109中之任一項之方法，其進一步包括電漿處理所述第二非導電層的上表面。

【請求項111】如請求項110之方法，其中電漿處理包括將所述第二非導電層曝露於包含氮氣或氧氣的電漿。

【請求項112】如請求項99到111中之任一項之方法，其進一步包括將所述半導體元件的所述上導電層直接接合到第二半導體元件的接觸結構而沒有中間黏著劑。

【請求項113】如請求項112之方法，其進一步包括將所述半導體元件的非導

電接合層直接接合到所述第二半導體元件的第二非導電接合層。

【請求項114】如請求項113之方法，其中所述非導電接合層包括所述非導電層。

【請求項115】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

上導電層，其至少部份地埋置在所述非導電層中，所述上導電層由第一材料所形成；

下導電層，其在所述上導電層下方並且電性連接到所述上導電層；以及

阻障層，其被設置在所述上導電層和所述下導電層之間，所述阻障層具有側向長度，所述側向長度大於所述上導電層的側向長度，並且所述阻障層由第二材料所形成，所述第二材料不同於所述第一材料，所述第二材料具有大於1200°C的熔點。

【請求項116】一種接合結構，其包括請求項115所述的半導體元件以及一第二半導體元件，所述半導體元件的上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述上導電層的上接觸表面直接接合到所述第二半導體元件的接觸結構。

【請求項117】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

上導電層，其至少部份地埋置在所述非導電層中，所述上導電層由第一材料所形成；

下導電層，其在所述上導電層下方且電性連接到所述上導電層；

阻障層，其被設置在所述上導電層和所述下導電層之間，所述阻障層由第二

材料所形成，所述第二材料不同於所述第一材料，所述第二材料具有在20°C時小於50×10^{-8} mΩ的電阻率以及大於1200°C的熔點；以及

第二阻障層，其內襯凹穴的至少一部分，在所述凹穴中設置有所述上導電層。

【請求項118】如請求項117之半導體元件，其中所述第二阻障層被設置在所述阻障層和所述上導電層之間。

(發明圖式)

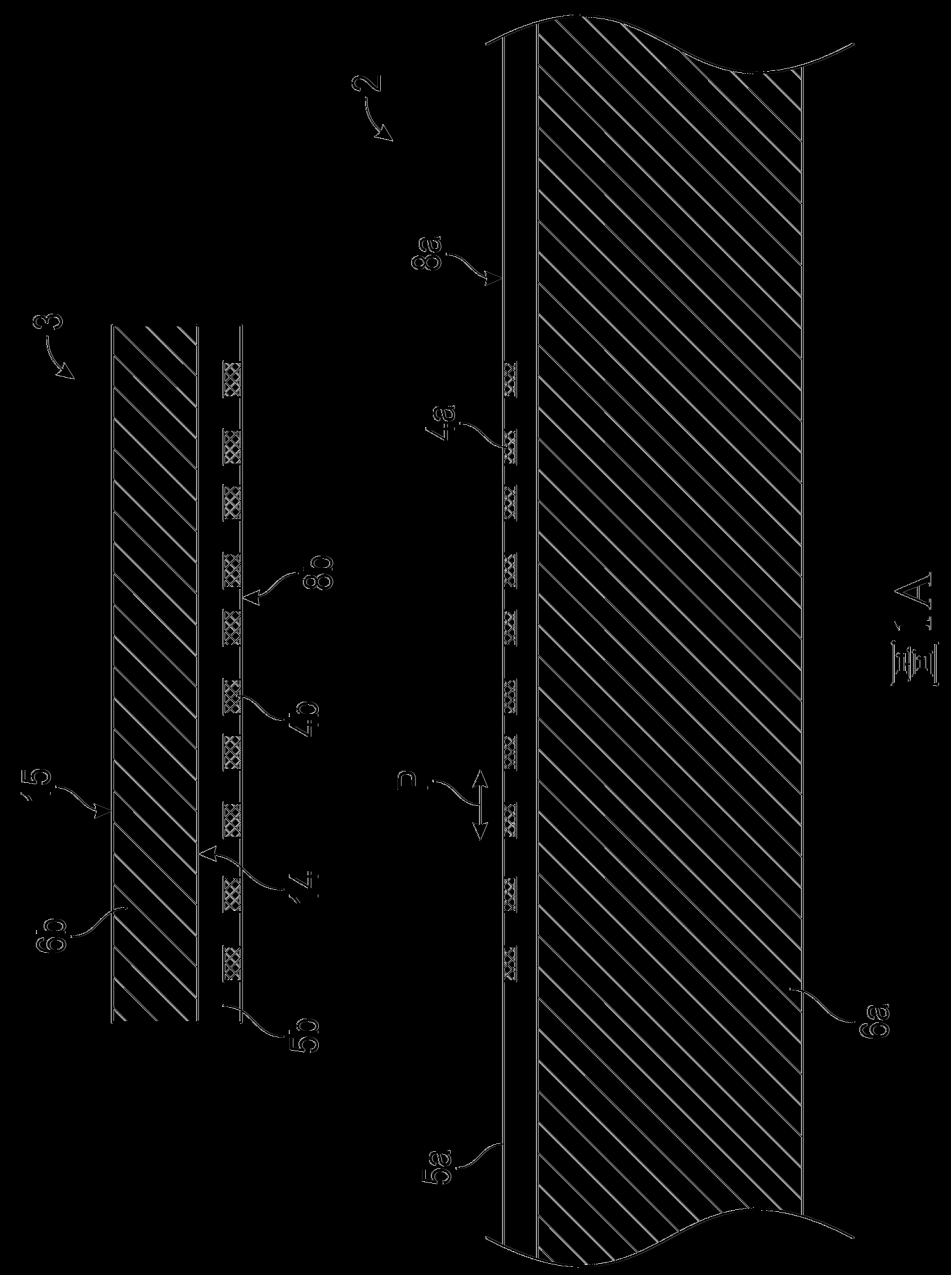


圖 4A

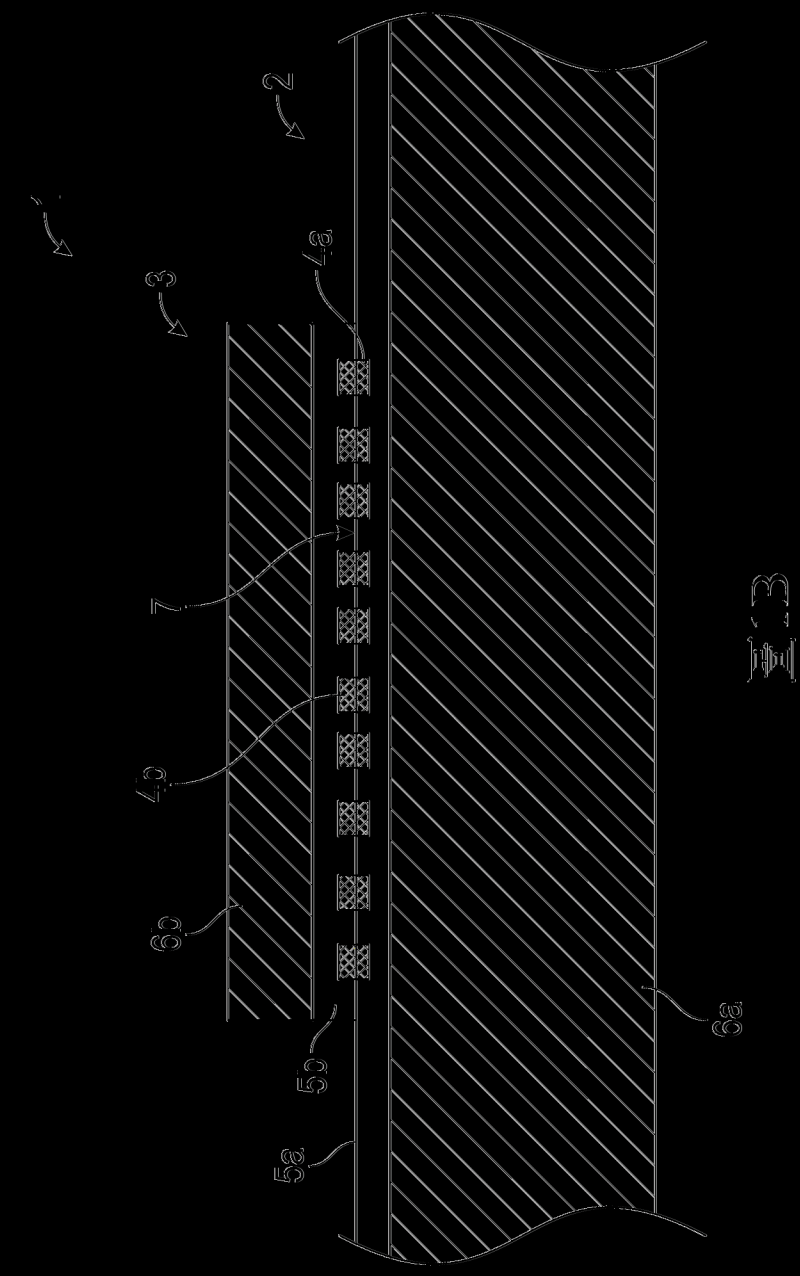

1
2
3
7
9
53
58
68
78
88
圖3

圖2A

圖2B

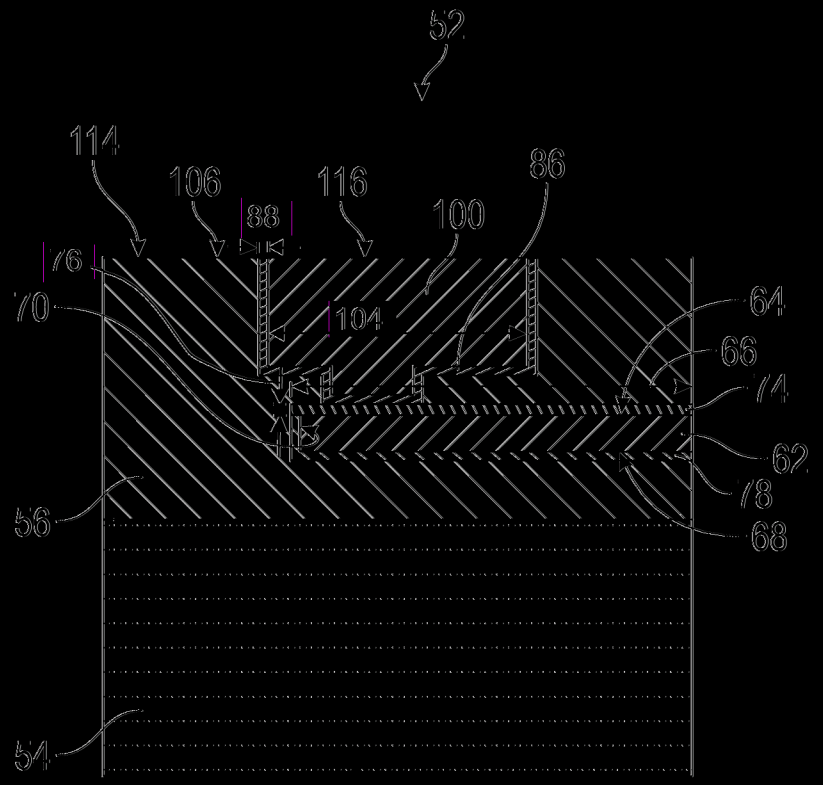


圖3

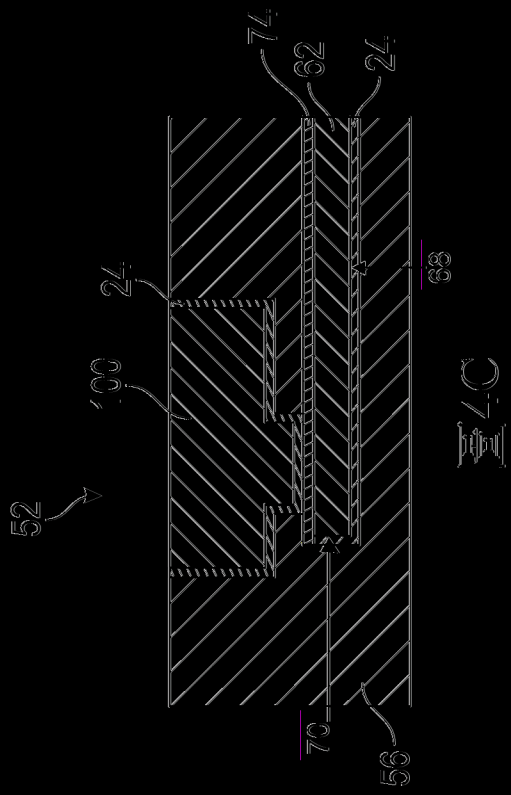


圖 7C

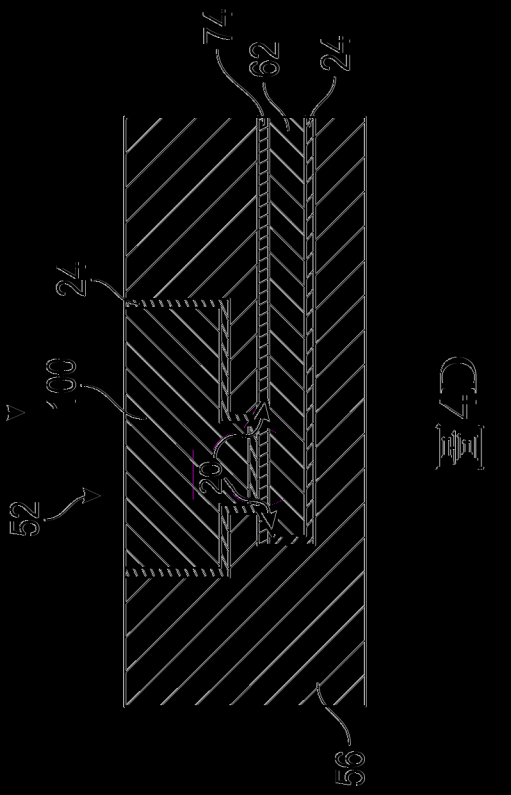


圖 7D

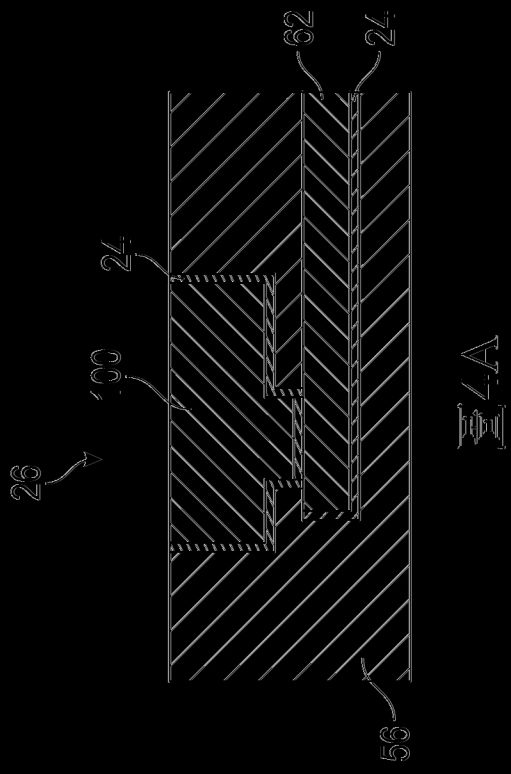


圖 7A

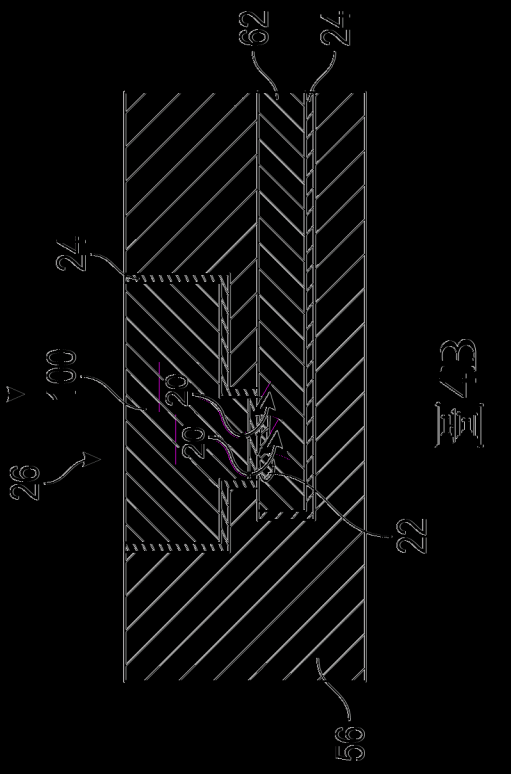


圖 7B

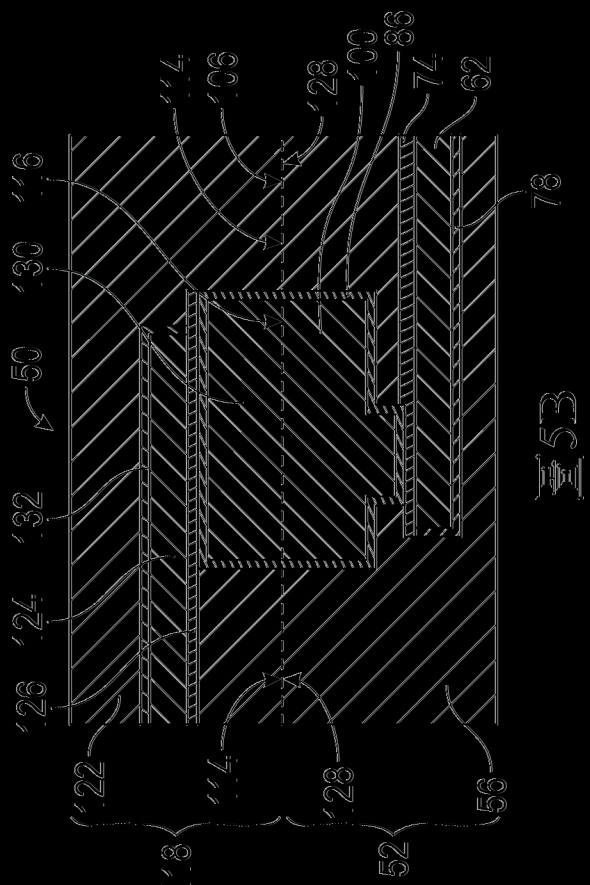


圖 5B

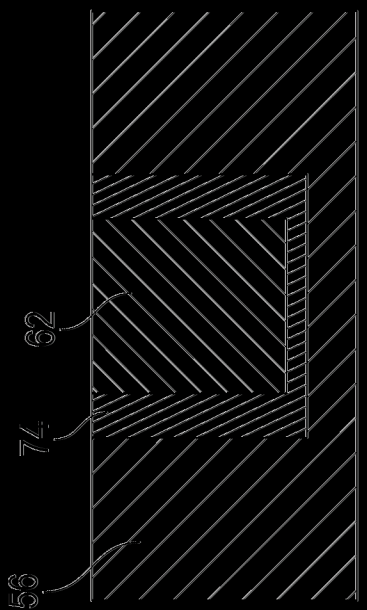


圖 6

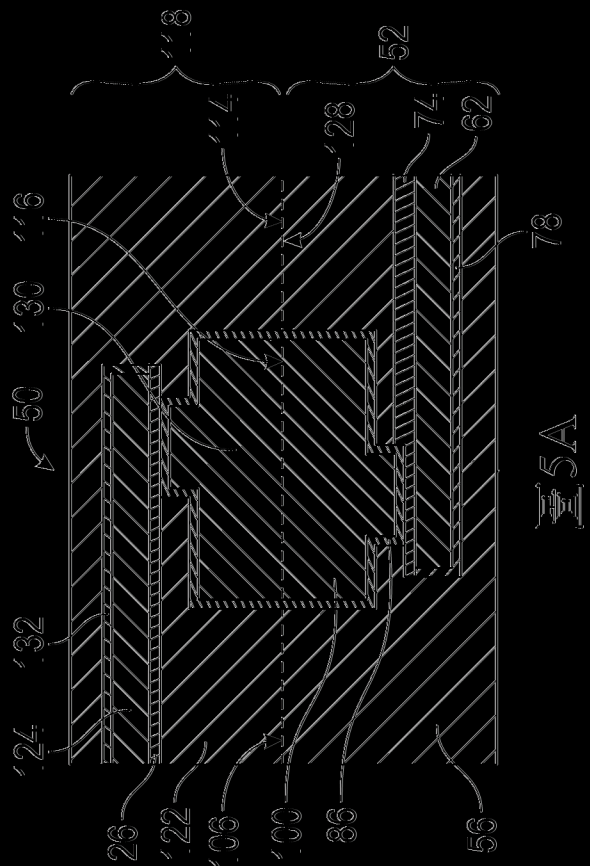


圖 5A

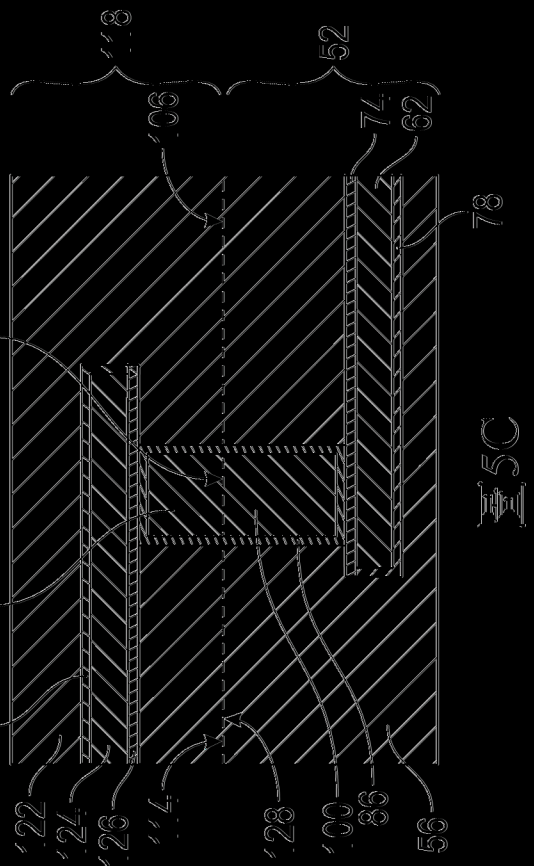


圖 5C

圖7D

圖7C

圖7A

圖7B

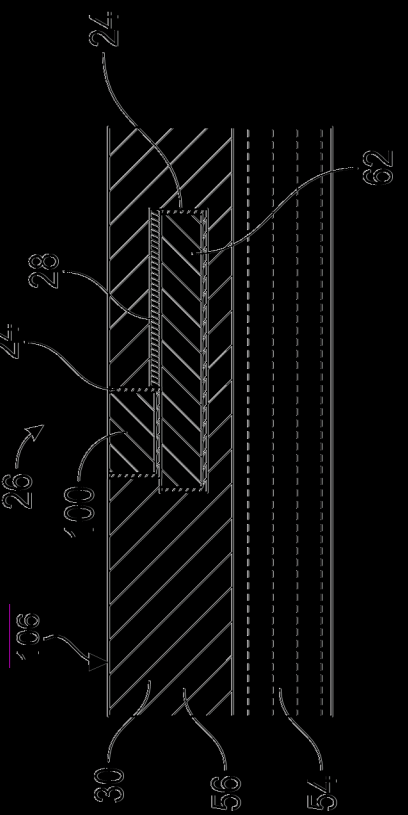


圖7E

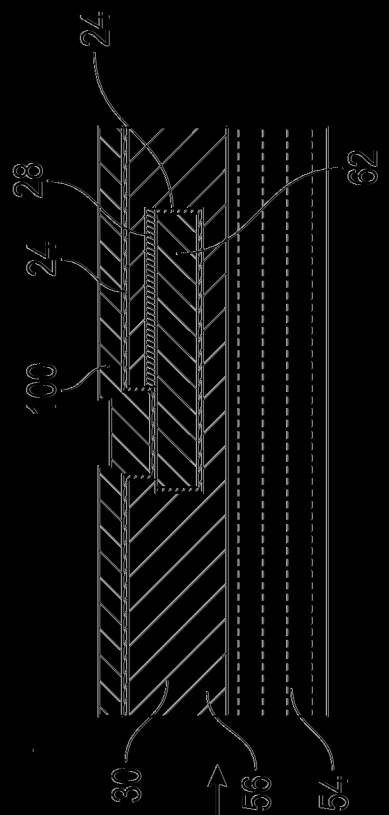


圖7C

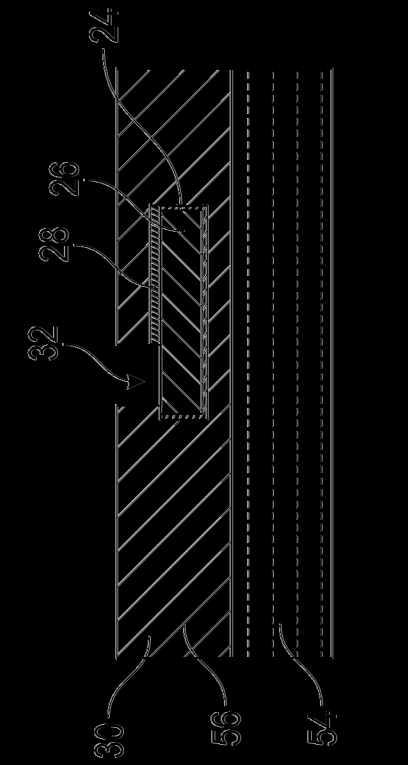


圖7F

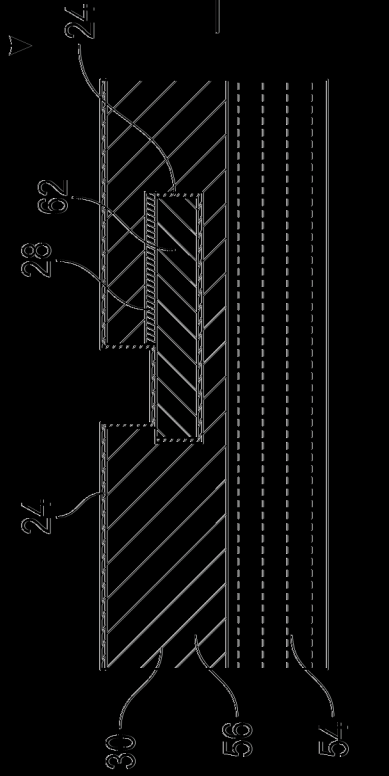


圖7D

63
56
54
圖 8A
92
78
56
54
圖 8B
70a
78
68
63
64
62
70b
56
54
圖 8C
74
62
78
56
54
圖 8C'
74
62
78
56
54
圖 8D
74
62
78
76
56
54
圖 8E
74
62
78
66
56
54

62
78
74
88
52
90
56
54
88A
62
78
74
88
90
56
54
88B
62
78
74
88
56A
56
54
88C
62
78
74
88
56
54

第二改善線
圖8J
圖8K
圖8L
50
52
54
56
58
60
62
64
66
68
70
72
74
76
78
80
82
84
86
88
90
92
94
96
98
100
102
104
106
108
110
112
114
116
118
120
122
124
126
128
130
132

圖9B

圖9C

圖9A

圖9D

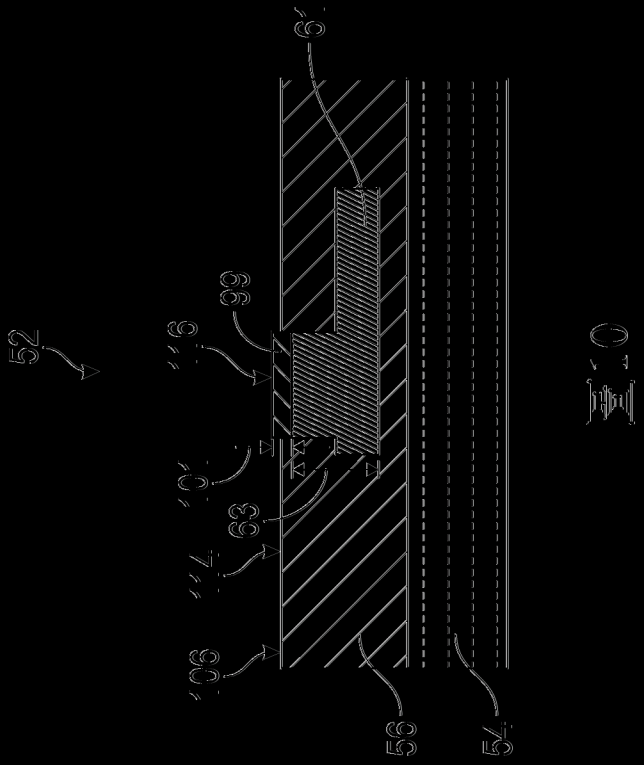


圖 6C

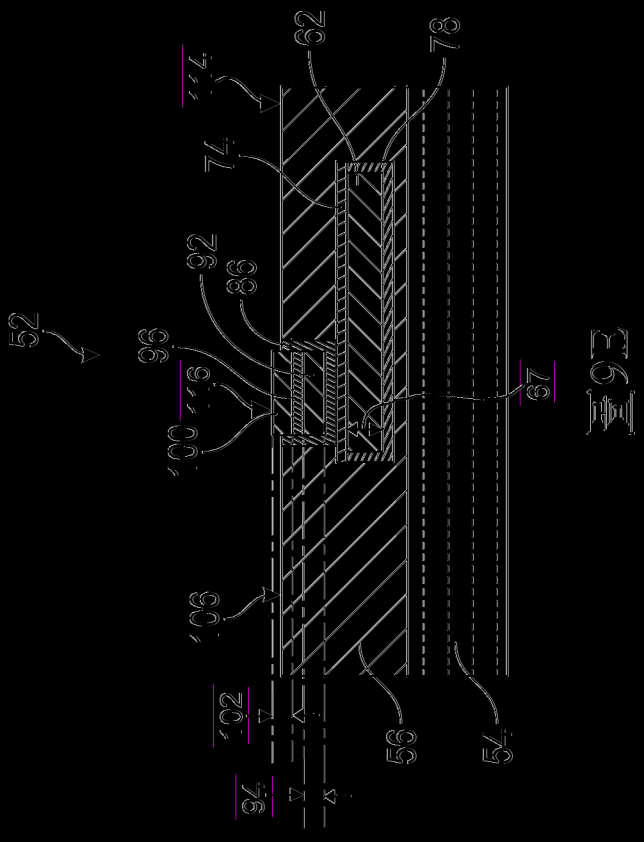


圖 6D

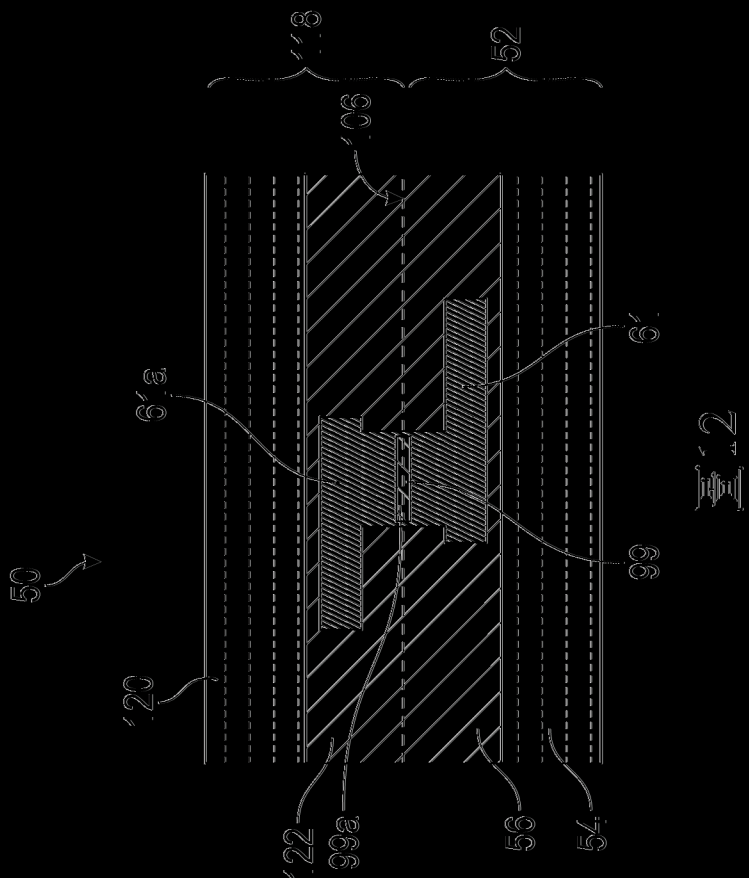

68
52
66
64
50
22
66
56
54

圖 2

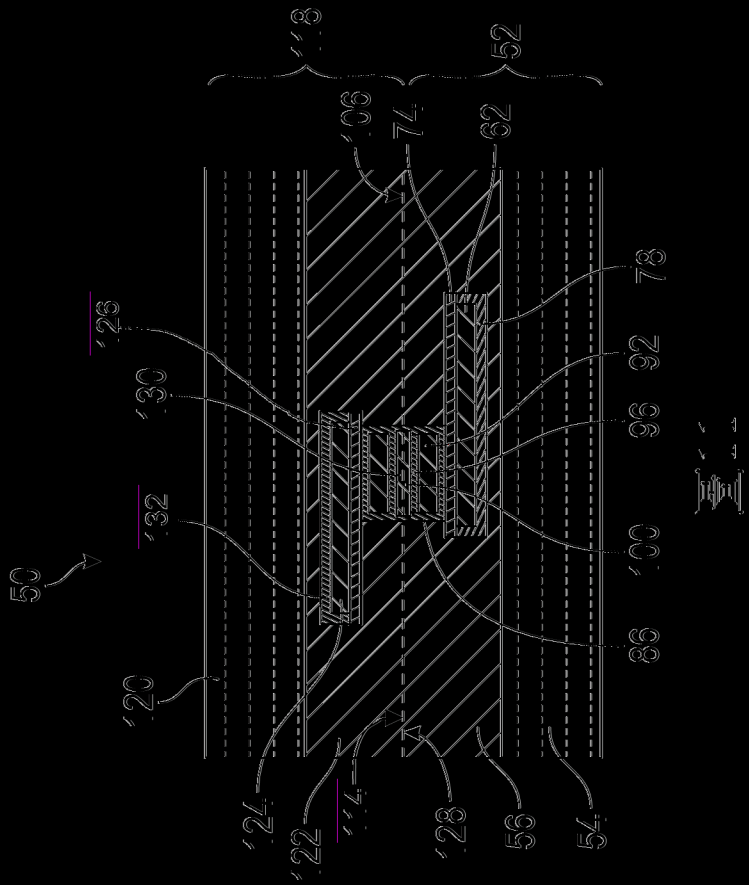

68
52
66
74
62
78
26
28
30
66
50
32
60
68
22
24
22
56
54

圖 3

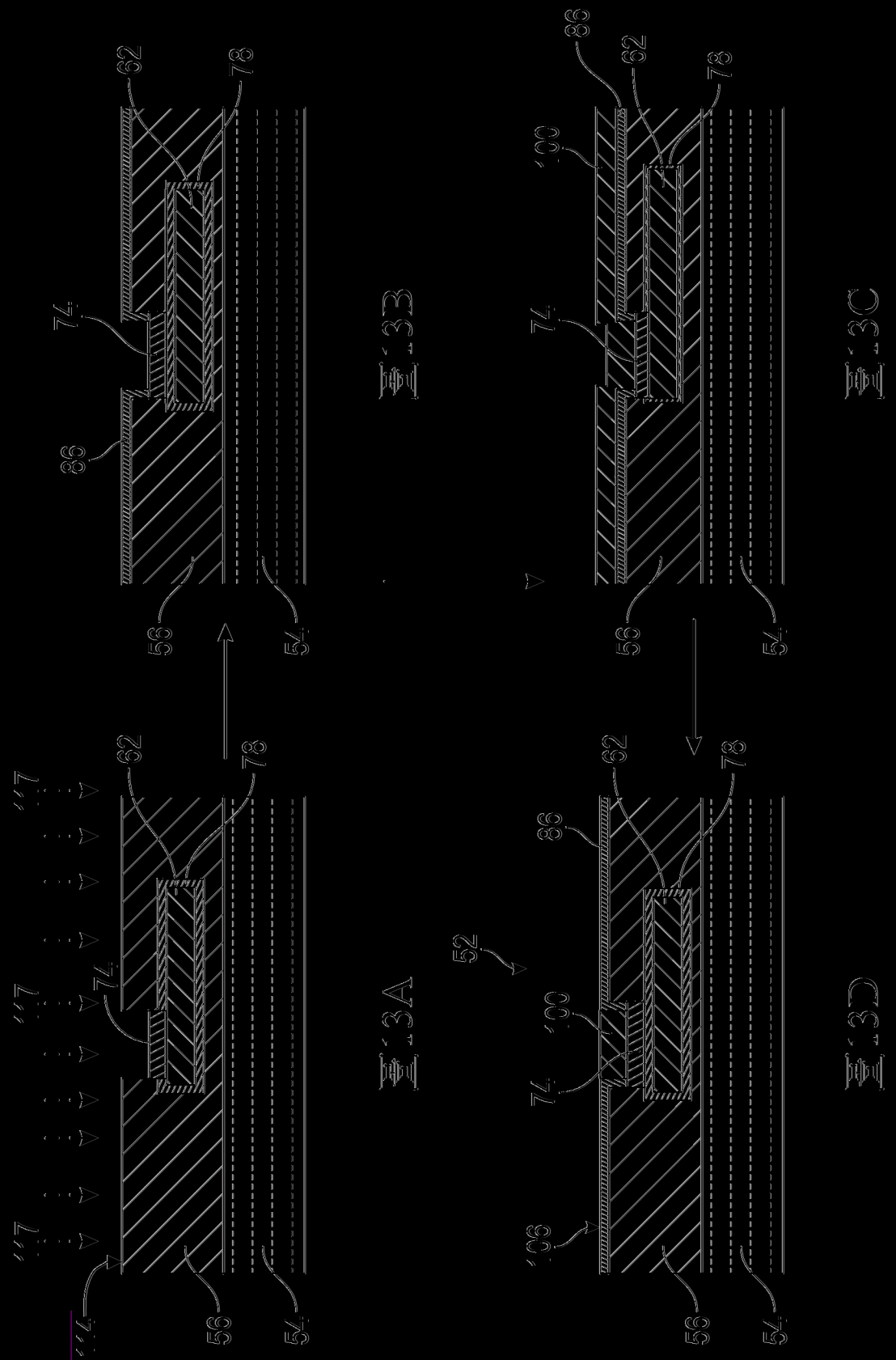


圖 3B　圖 3C

圖 3A　圖 3D

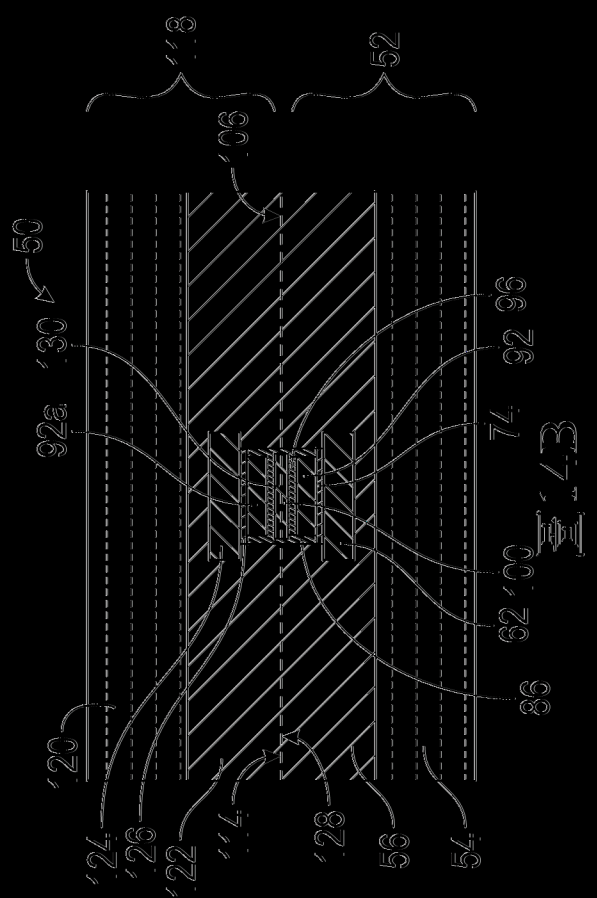


圖 7B

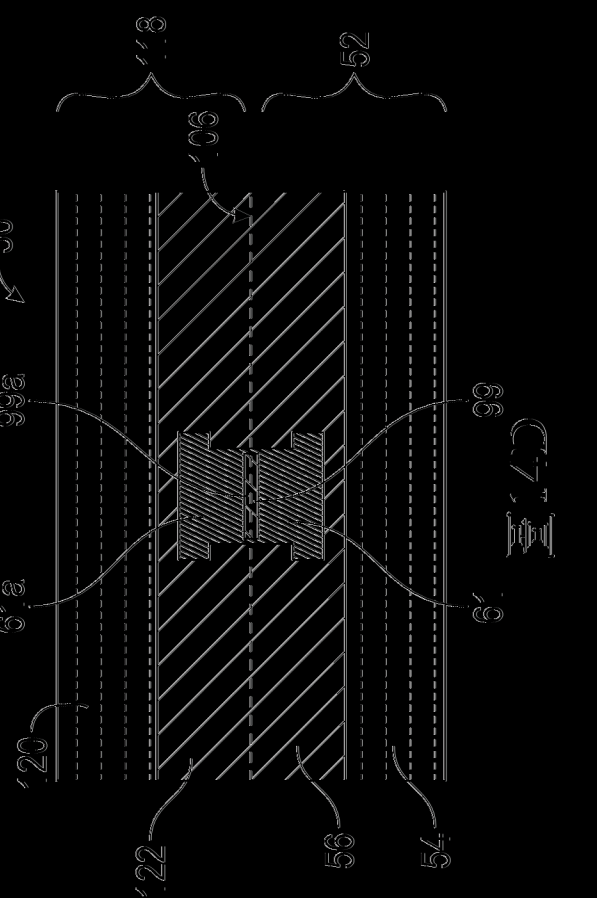


圖 7D

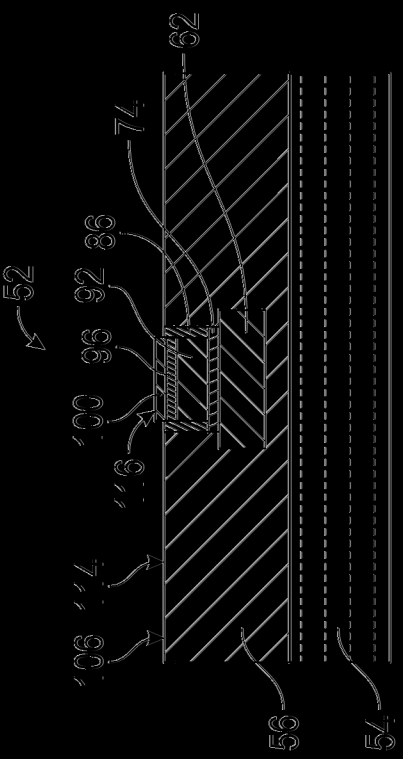


圖 7A

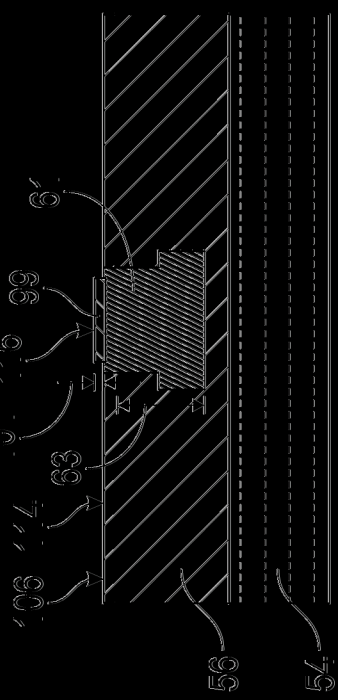


圖 7C

圖 5B

圖 5A

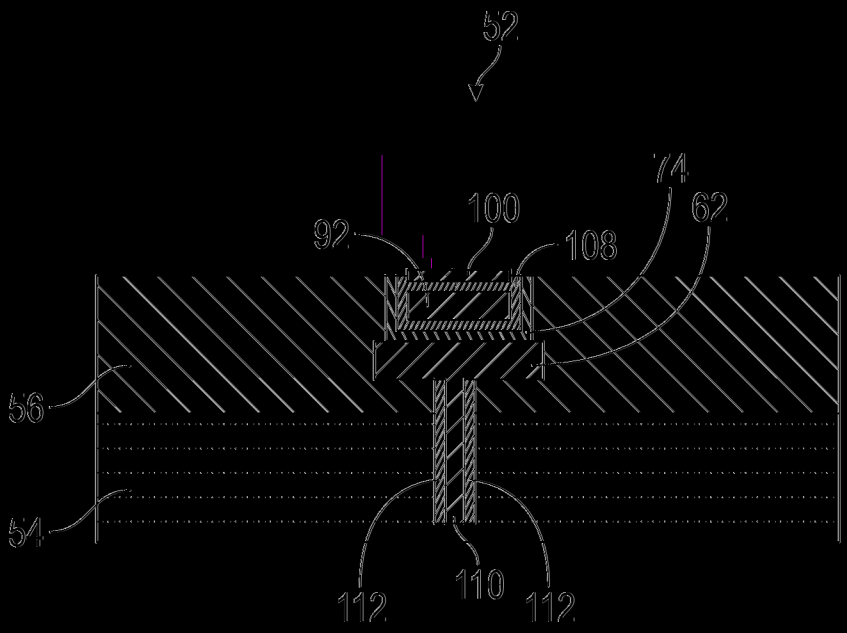


圖16

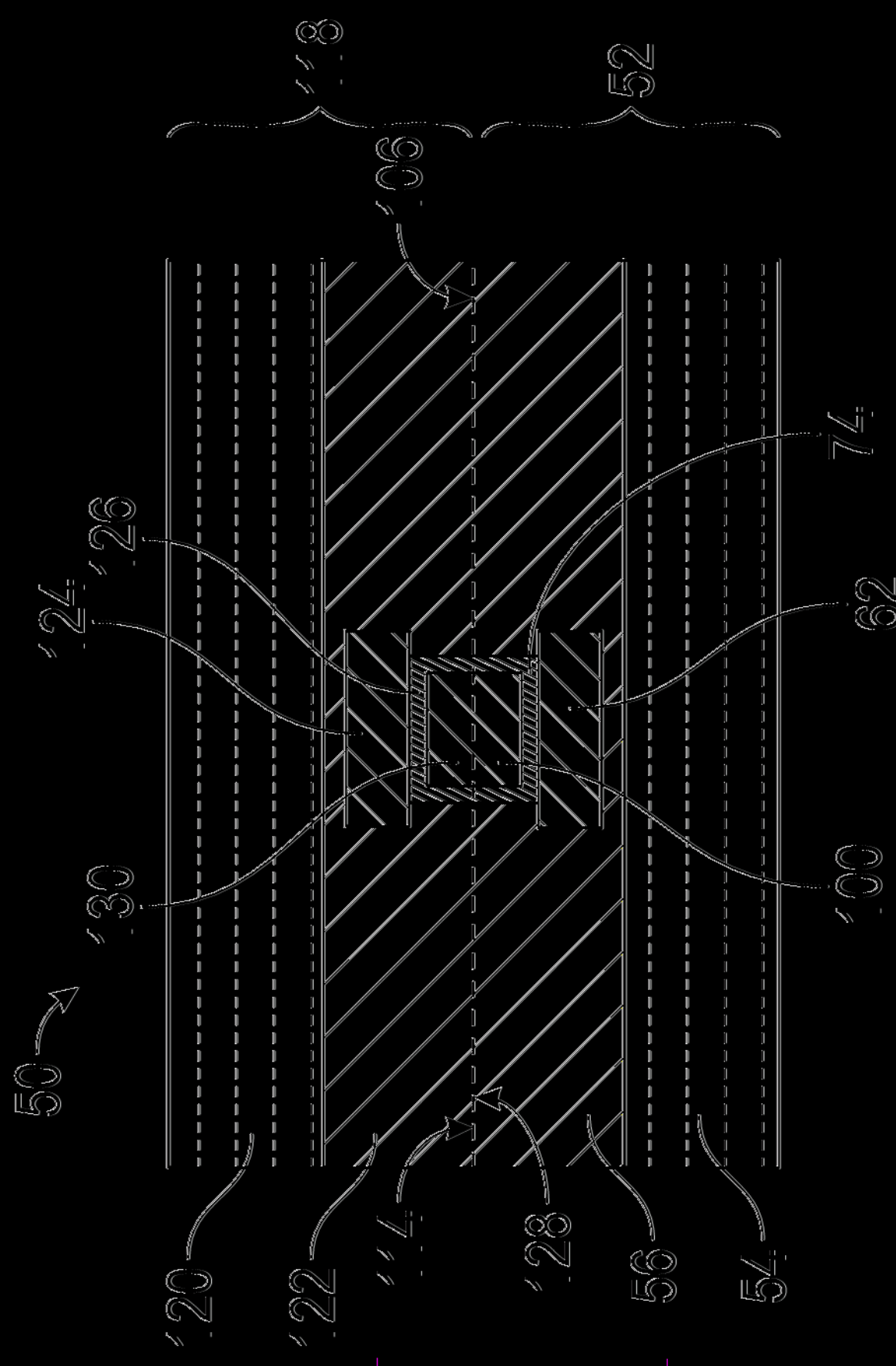


圖17B

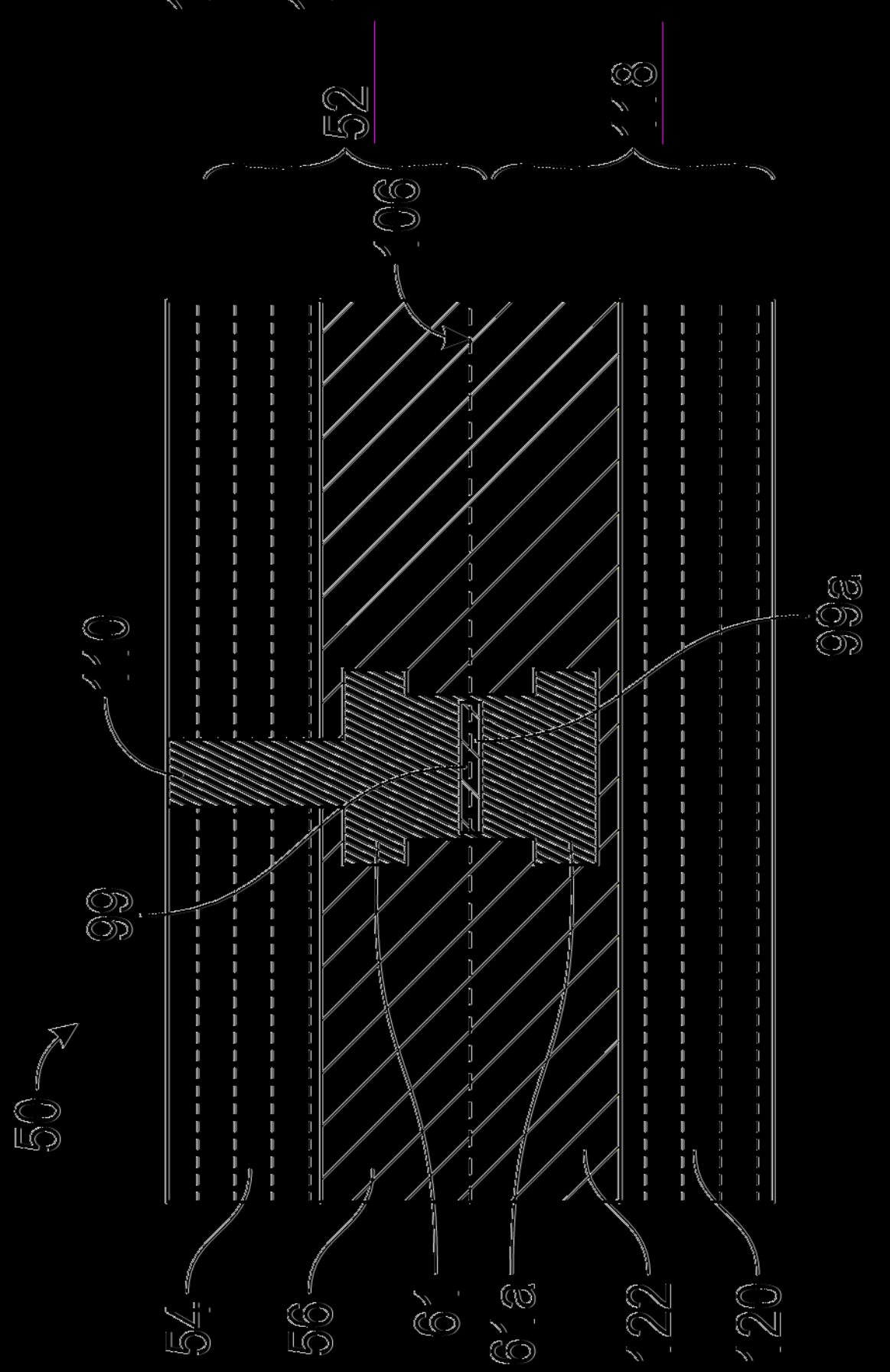


圖17A

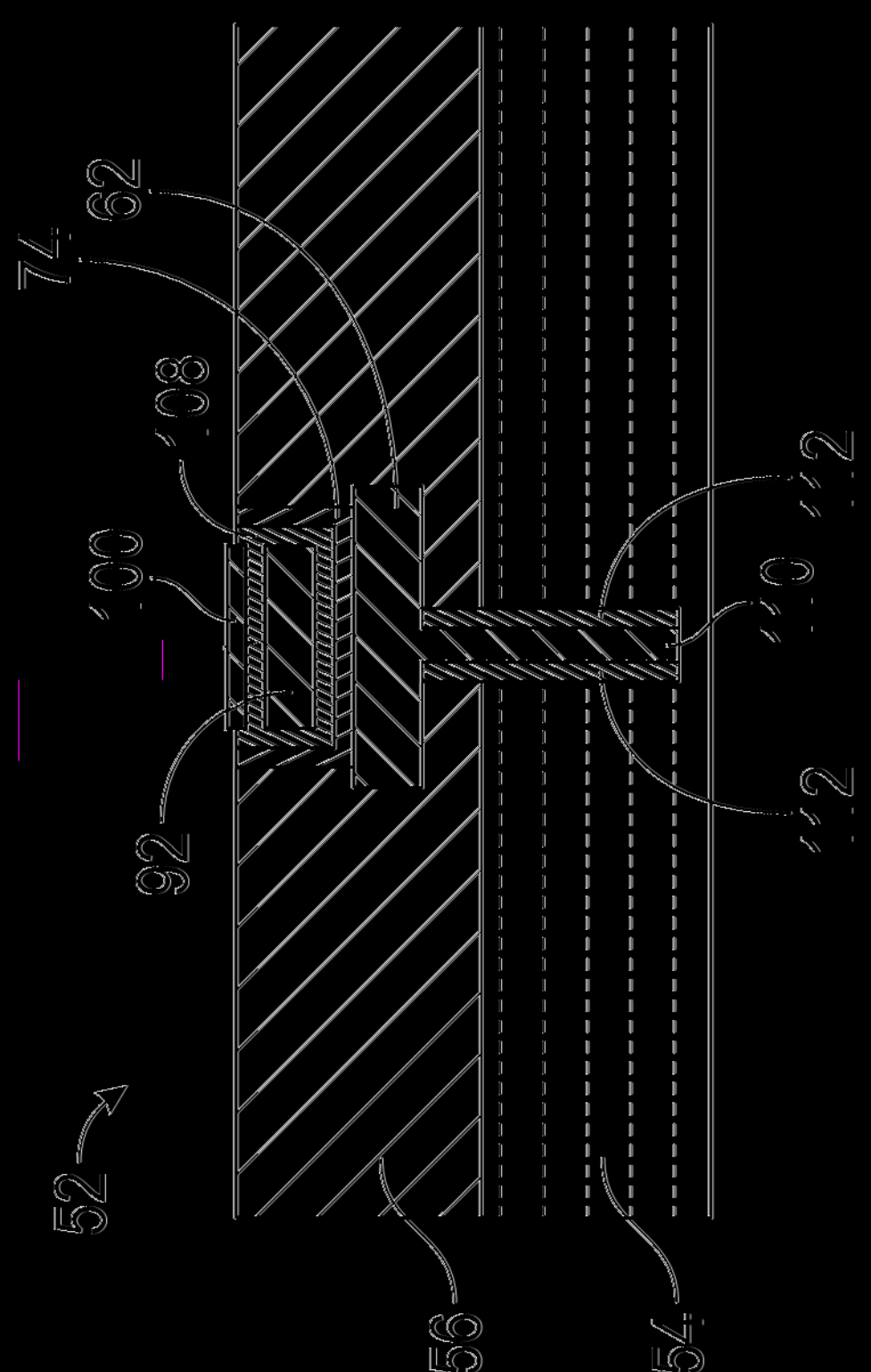


圖17C

112 年 04 月 10 日修正替換頁

【發明申請專利範圍】

【請求項1】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

上導電層，其至少部分地埋藏在所述非導電層的凹穴中，所述上導電層由第一材料所形成；

下導電層，其在所述上導電層下方並且電性連接到所述上導電層；以及

阻障層，其設置在所述上導電層和所述下導電層之間，其中所述阻障層橫向寬於所述凹穴，所述阻障層由第二材料所形成，所述第二材料不同於第一材料，所述第二材料具有在20°C時小於50×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項2】如請求項1之半導體元件，其中所述第一材料包括銅。

【請求項3】如請求項1或2之半導體元件，其中所述下導電層包括銅。

【請求項4】如請求項1或2之半導體元件，其中所述第二材料包括鈷、鎢、釩、鉭及鎳中之至少一者。

【請求項5】如請求項4之半導體元件，其中所述第二材料包括鈷。

【請求項6】如請求項4之半導體元件，其中所述第二材料包括合金。

【請求項7】如請求項6之半導體元件，其中所述合金包括磷酸鈷鎢(CWP)、磷酸鈷(CoP)、磷酸鎳(NiP)、鎳鎢(NiW)、鈦鎢(TiW)、TiW/Mo、TiW/Co以及鎳釩(NiV)中之至少一者。

【請求項8】如請求項4之半導體元件，其中所述第二材料的所述電阻率是在20°C時4.5×10^{-8} mΩ至20°C時30×10^{-8} mΩ的範圍中。

【請求項9】如請求項4之半導體元件，其中所述第二材料的所述熔點是在1200°C到3600°C的範圍中。

【請求項10】如請求項1或2之半導體元件，其中所述非導電層包括氧化矽。

【請求項11】如請求項1或2之半導體元件，其中所述阻障層被至少部分地設置在所述凹穴中，所述凹穴中設置有所述上導電層。

【請求項12】如請求項1或2之半導體元件，其進一步包括第二阻障層內襯於所述凹穴的至少一部分，所述凹穴中設置有所述上導電層，所述第二阻障層設置在所述阻障層和所述上導電層之間。

【請求項13】 如請求項12之半導體元件，其中所述第二阻障層包括所述第二材料。

【請求項14】如請求項12之半導體元件，其中所述第二阻障層包括第三材料，所述第三材料不同於所述第一材料和所述第二材料。

【請求項15】 如請求項14之半導體元件，其中所述第三材料包括金屬氮化物。

【請求項16】 如請求項15之半導體元件，其中所述第三材料包括氮化鈦或氮化鉭。

【請求項17】如請求項12之半導體元件，其中所述阻障層的厚度大於所述第二阻障層的厚度。

【請求項18】如請求項1或2之半導體元件，其進一步包括在所述阻障層上方的中間導電層以及在所述中間導電層上方的第三阻障層，所述上導電層設置在所述第三阻障層上方。

【請求項19】如請求項18之半導體元件，其中所述中間導電層被所述第三阻障層以及一個或多個額外阻障層所囊封。

【請求項20】如請求項19之半導體元件，其中所述一個或多個額外阻障層包括所述阻障層。

【請求項21】如請求項19之半導體元件，其中所述第三阻障層包括所述第二材料。

【請求項22】如請求項20之半導體元件，其中所述阻障層內襯於凹穴，在所述凹穴中設置有所述中間導電層，所述阻障層垂直地延伸超過所述第三阻障層基本上到接合表面。

【請求項23】如請求項18之半導體元件，其中所述上導電層的厚度小於所述下導電層的厚度。

【請求項24】如請求項1或2之半導體元件，其中所述下導電層包括重新分布層，其埋置在所述非導電層中。

【請求項25】 如請求項1或2之半導體元件，其中所述非導電層包括設置在所述半導體部分上的多個介電層。

【請求項26】如請求項1或2之半導體元件，其進一步包括錳阻障層，其被設置鄰近於所述阻障層。

【請求項27】 如請求項26之半導體元件，其中所述錳阻障層內襯凹穴的至少一部分，所述凹穴中設置有所述上導電層，所述錳阻障層設置在所述阻障層內。

【請求項28】如請求項1或2之半導體元件，其中所述阻障層沿著所述下導電層的上表面的長度而被設置，所述長度大於所述上導電層的寬度。

【請求項29】如請求項28之半導體元件，其中所述下導電層沿著所述上表面被所述阻障層囊封並且沿著所述下導電層的下表面和側表面被一個或多個額外阻障層囊封。

【請求項30】如請求項29之半導體元件，其中所述一個或多個額外阻障層包括所述第二材料。

【請求項31】 如請求項29之半導體元件，其中所述一個或多個額外阻障層包括第三材料，所述第三材料不同於所述第一材料和所述第二材料。

【請求項32】如請求項1或2之半導體元件，其進一步包括基板通孔，其電性

連接到所述下導電層並且延伸穿過所述半導體部分。

【請求項33】 如請求項32之半導體元件，其進一步包括基板通孔阻障層，其內襯所述基板通孔，所述基板通孔阻障層包括所述第二材料。

【請求項34】 如請求項1或2之半導體元件，其中所述上導電層包括雙鑲嵌結構。

【請求項35】 如請求項1或2之半導體元件，其中所述上導電層包括單鑲嵌結構。

【請求項36】一種接合結構，其包括請求項1到35中之任一項之半導體元件以及第二半導體元件，所述半導體元件的上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述上導電層的上接觸表面直接接合到所述第二半導體元件的接觸結構。

【請求項37】如請求項36之接合結構，其中所述第二半導體元件包括：

第二半導體部分；

第二非導電層，其在所述第二半導體部分上並且形成所述第二上非導電表面，所述接觸結構至少部份地被埋置在所述第二非導電層中；

第二下導電層，其在所述接觸結構下方並且電性連接到所述接觸結構；以及

所述第二半導體元件的第一阻障層，其被設置在所述接觸結構和所述第二下導電層之間，所述第二半導體元件的所述第一阻障層由具有電阻率在20°C時小於30×10^{-8} mΩ並且熔點大於1200°C的材料所形成。

【請求項38】如請求項37之接合結構，其中所述接觸結構包括銅並且所述第二半導體元件的所述第一阻障層的所述材料包括鈷、鎢、釩和鎳中的至少一者。

【請求項39】一種半導體元件，其包括：

半導體部分；

在所述半導體部分上的非導電接合層，所述半導體部分具有上非導電表面，

其形成所述半導體元件的接合表面的第一部分，所述上非導電表面準備用於直接接合到第二半導體元件；

接觸結構，其至少部份地埋置在所述非導電接合層中並且具有上接觸表面，所述上接觸表面形成所述半導體元件的所述接合表面的第二部分，所述接觸結構包括第一材料；

導電層，其在所述接觸結構下方並且電性連接到所述接觸結構；以及

阻障層，其被設置在所述接觸結構和所述導電層之間，所述阻障層包括不同於所述第一材料的第二材料，所述第二材料包括鈷、鎢、釩和鎳中之至少一者。

【請求項40】如請求項39之半導體元件，其中所述接觸結構包括銅。

【請求項41】如請求項39或40之半導體元件，其中所述導電層包括銅。

【請求項42】如請求項39或40之半導體元件，其中所述阻障層包括鈷。

【請求項43】如請求項39或40之半導體元件，其中所述阻障層包括合金。

【請求項44】如請求項43之半導體元件，其中所述合金包括磷酸鈷鎢(CWP)、磷酸鈷(CoP)、磷酸鎳(NiP)、鎳鎢(NiW)以及鎳釩(NiV)中之至少一者。

【請求項45】如請求項39或40之半導體元件，其中所述非導電接合層包括氧化矽。

【請求項46】如請求項39或40之半導體元件，其中所述阻障層內襯凹穴的至少一部分，在所述凹穴中設置有所述接觸結構。

【請求項47】如請求項39或40之半導體元件，其進一步包括第二阻障層，該第二阻障層內襯凹穴的至少一部分，在所述凹穴中設置有所述接觸結構，所述第二阻障層被設置在所述阻障層和所述接觸結構之間。

【請求項48】如請求項47之半導體元件，其中所述第二阻障層包括所述第二材料。

【請求項49】如請求項47之半導體元件，其中所述第二阻障層包括第三材

料，所述第三材料不同於所述第一材料和所述第二材料。

【請求項50】如請求項49之半導體元件，其中所述第三材料包括金屬氮化物。

【請求項51】如請求項50之半導體元件，其中所述第三材料包括氮化鈦或氮化鉭。

【請求項52】如請求項47之半導體元件，其中所述阻障層的厚度是大於所述第二阻障層的厚度。

【請求項53】如請求項39或40之半導體元件，其進一步包括在所述阻障層上方的第二導電層以及在所述二導電層上方的第三阻障層，所述接觸結構設置在所述第三阻障層上方。

【請求項54】如請求項53之半導體元件，其中所述第二導電層是由所述第三阻障層以及一個或多個額外阻障層所囊封。

【請求項55】如請求項54之半導體元件，其中所述一個或多個額外阻障層包括所述阻障層。

【請求項56】 如請求項54之半導體元件，其中所述第三阻障層包括所述第二材料。

【請求項57】如請求項55之半導體元件，其中所述阻障層內襯凹穴，所述凹穴中設置有所述第二導電層，所述阻障層垂直地延伸超過所述第三阻障層基本上到所述接合表面。

【請求項58】如請求項53之半導體元件，其中所述接觸結構的厚度小於所述第二導電層的厚度。

【請求項59】如請求項53之半導體元件，其中所述導電層包括重新分布層，所述重新分布層埋置在所述非導電接合層中。

【請求項60】如請求項39或40之半導體元件，其中所述非導電接合層包括多

個介電層，所述多個介電層被設置在所述半導體部分上。

【請求項61】 如請求項39或40之半導體元件，其進一步包括錳阻障層，所述錳阻障層被設置鄰近於所述阻障層。

【請求項62】如請求項61之半導體元件，其中所述錳阻障層內襯凹穴的至少一部分，在所述凹穴中設置有所述接觸結構，所述錳阻障層被設置在所述阻障層內。

【請求項63】 如請求項39或40之半導體元件，其中所述阻障層沿著所述導電層的上表面的長度而被設置，所述長度大於所述接觸結構的寬度。

【請求項64】如請求項63之半導體元件，其中所述導電層沿著所述上表面被所述阻障層囊封並且沿著所述導電層的下表面和側表面被一個或多個額外阻障層囊封。

【請求項65】如請求項64之半導體元件，其中所述一個或多個額外阻障層包括所述第二材料。

【請求項66】如請求項64之半導體元件，其中所述一個或多個額外阻障層包括第三材料，所述第三材料不同於所述第一材料及所述第二材料。

【請求項67】如請求項39或40之半導體元件，其進一步包括基板通孔，其電性連接到所述導電層並且延伸穿過所述半導體部分。

【請求項68】 如請求項67之半導體元件，其進一步包括基板通孔阻障層，所述基板通孔阻障層內襯所述基板通孔，所述基板通孔阻障層包括所述第二材料。

【請求項69】如請求項39或40之半導體元件，其中所述接觸結構包括雙鑲嵌結構。

【請求項70】如請求項39或40之半導體元件，其中所述接觸結構包括單鑲嵌結構。

【請求項71】一種接合結構，其包括如請求項39到70中之任一項之所述半導體元件以及所述第二半導體元件，所述半導體元件的所述上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述接觸結構的所述上接觸表面直接接合到所述第二半導體元件的第二接觸結構。

【請求項72】如請求項71之接合結構，其中所述第二半導體元件包括：

第二半導體部分；

第二非導電接合層，其在所述第二半導體部分上並且形成所述第二上非導電表面，所述第二接觸結構至少部份地埋置在所述第二非導電接合層中；

第二導電層，其在所述第二接觸結構下方並且電性連接到所述第二接觸結構；以及

所述第二半導體元件的第一阻障層，其被設置在所述第二接觸結構和所述第二導電層之間，所述第二半導體元件的所述第一阻障層由一材料所形成，所述材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項73】如請求項72之接合結構，其中所述第二接觸結構包括銅並且所述第二半導體元件的所述第一阻障層的所述材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項74】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

接觸結構，其至少部份地埋置在所述非導電接合層中並且具有上接觸表面，所述上接觸表面形成所述半導體元件的接合表面的至少一部分，所述接觸結構包括第一材料；

導電層，其在所述接觸結構下方並且電性連接到所述接觸結構；以及

一個或多個阻障層，其囊封所述導電層，所述一個或多個阻障層被設置圍繞

所述導電層的上表面、下表面和側表面。

【請求項75】如請求項74之半導體元件，其中所述接觸結構包括銅。

【請求項76】如請求項74或75之半導體元件，其中所述導電層包括銅。

【請求項77】如請求項74或75之半導體元件，其中所述一個或多個阻障層包括第一阻障層，所述第一阻障層沿著所述導電層的所述上表面的長度被設置，所述長度大於所述接觸結構的寬度，所述阻障層包括第二材料，所述第二材料不同於所述第一材料。

【請求項78】如請求項77之半導體元件，其中所述第二材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項79】如請求項77之半導體元件，其中所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項80】如請求項77之半導體元件，其中所述一個或多個阻障層包括第二阻障層，所述第二阻障層沿著所述導電層的所述下表所述側表面而被設置。

【請求項81】如請求項80之半導體元件，其中所述第二阻障層包括所述第二材料。

【請求項82】如請求項80之半導體元件，其中所述第二阻障層包括第三材料，所述第三材料不同於所述第二材料。

【請求項83】如請求項82之半導體元件，其中所述第三材料包括金屬氮化物。

【請求項84】如請求項83之半導體元件，其中所述第三材料包括氮化鈦或氮化鉭。

【請求項85】如請求項77之半導體元件，其進一步包括在所述一個或多個阻障層上方的第二導電層以及在所述第二導電層上方的第三阻障層，所述接觸結構設置在所述第三阻障層上方。

【請求項86】如請求項85之半導體元件，其中所述第二導電層是由所述第三阻障層以及一個或多個額外阻障層所囊封。

【請求項87】如請求項85之半導體元件，其中所述第三阻障層包括所述第二材料。

【請求項88】如請求項85之半導體元件，其中所述接觸結構的厚度小於所述第二導電層的厚度。

【請求項89】如請求項74或75之半導體元件，其中所述導電層包括重新分布層，所述重新分布層被埋置在所述非導電接合層中。

【請求項90】一種半導體元件，其包括：

半導體部分，其具有上非導電表面，所述上非導電表面形成所述半導體元件的接合表面的第一部分，所述上非導電表面被準備用於直接接合到第二半導體元件；

接觸結構，其具有上接觸表面，所述上接觸表面形成所述半導體元件的接合表面的第二部分，所述接觸結構由第一材料所形成；以及

導電阻障材料，其在所述接觸結構下方且電性連接到所述接觸結構，所述導電阻障材料包括第二材料，所述第二材料不同於所述第一材料，所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項91】如請求項90之半導體元件，其中所述接觸結構包括銅。

【請求項92】如請求項91之半導體元件，其中所述接觸結構包括少於20%的所述導電阻障材料。

【請求項93】如請求項90到92中之任一項之半導體元件，其中所述第二材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項94】如請求項93之半導體元件，其中所述第二材料包括鈷。

【請求項95】如請求項90到92中之任一項之半導體元件，其中所述第二材料

的所述電阻率是在20°C時4.5×10^{-8} mΩ至20°C時30×10^{-8} mΩ的範圍中。

【請求項96】 如請求項90到92中之任一項之半導體元件，其中所述第二材料的所述熔點是在1200°C到3600°C的範圍中。

【請求項97】如請求項90到92中之任一項之半導體元件，其中所述接觸結構的厚度小於所述導電阻障材料的厚度。

【請求項98】如請求項97之半導體元件，其中所述導電阻障材料的所述厚度是所述接觸結構的厚度的至少兩倍。

【請求項99】一種方法，其包括：

形成凹穴於半導體元件的非導電層中；

提供下導電層於所述凹穴中；

提供阻障層於所述下導電層上方；以及

提供上導電層於所述阻障層上方，所述上導電層是由第一材料所形成並且所述阻障層是由第二材料所形成，所述第二材料不同於所述第一材料，所述第二材料具有在20°C時小於30×10^{-8} mΩ的電阻率以及大於1200°C的熔點。

【請求項100】如請求項99之方法，其中所述第一材料包括銅，並且其中所述第二材料包括鈷、鎢、釩以及鎳中之至少一者。

【請求項101】如請求項99或100之方法，其中提供所述阻障層包括沿著所述下導電層的上表面的長度提供所述阻障層，所述長度大於所述接觸結構的寬度。

【請求項102】如請求項101之方法，其進一步包括藉由所述阻障層和一個或多個額外阻障層來囊封所述下導電層。

【請求項103】如請求項99或100之方法，其進一步包括，在提供所述上導電層之前，形成第二非導電層於所述阻障層上方以及所述非導電層的至少一部分上方，並且形成開口於所述第二非導電層，所述開口延伸到所述阻障層。

【請求項104】如請求項103之方法，其進一步包括提供第二阻障層於所述開

口中於所述阻障層的至少一部分上方。

【請求項105】如請求項104之方法，其中提供所述第二阻障層包括提供所述第二阻障層由所述第二材料所形成。

【請求項106】如請求項104之方法，其進一步包括提供中間導電層於所述開口中於所述第二阻障層上方。

【請求項107】如請求項106之方法，其進一步包括提供第三阻障層於所述中間導電層上方。

【請求項108】如請求項107之方法，其中提供所述第三阻障層包括提供所述第三阻障層由所述第二材料所形成。

【請求項109】如請求項107之方法，其進一步包括提供所述上導電層於所述第三阻障層上方。

【請求項110】如請求項103之方法，其進一步包括電漿處理所述第二非導電層的上表面。

【請求項111】如請求項110之方法，其中電漿處理包括將所述第二非導電層曝露於包含氮氣或氧氣的電漿。

【請求項112】如請求項99或100之方法，其進一步包括將所述半導體元件的所述上導電層直接接合到第二半導體元件的接觸結構而沒有中間黏著劑。

【請求項113】如請求項112之方法，其進一步包括將所述半導體元件的非導電接合層直接接合到所述第二半導體元件的第二非導電接合層。

【請求項114】如請求項113之方法，其中所述非導電接合層包括所述非導電層。

【請求項115】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

上導電層，其至少部份地埋置在所述非導電層中，所述上導電層由第一材料所形成；

下導電層，其在所述上導電層下方並且電性連接到所述上導電層；以及

阻障層，其被設置在所述上導電層和所述下導電層之間，所述阻障層具有側向長度，所述側向長度大於所述上導電層的側向長度，並且所述阻障層由第二材料所形成，所述第二材料不同於所述第一材料，所述第二材料具有大於1200°C的熔點。

【請求項116】一種接合結構，其包括請求項115所述的半導體元件以及一第二半導體元件，所述半導體元件的上非導電表面直接接合到所述第二半導體元件的第二上非導電表面而沒有中間黏著劑，所述上導電層的上接觸表面直接接合到所述第二半導體元件的接觸結構。

【請求項117】一種半導體元件，其包括：

半導體部分；

非導電層，其在所述半導體部分上；

上導電層，其至少部份地埋置在所述非導電層中，所述上導電層由第一材料所形成；

下導電層，其在所述上導電層下方且電性連接到所述上導電層；

阻障層，其被設置在所述上導電層和所述下導電層之間，所述阻障層由第二材料所形成，所述第二材料不同於所述第一材料，所述第二材料具有在20°C時小於50×10^{-8} mΩ的電阻率以及大於1200°C的熔點；以及

第二阻障層，其內襯凹穴的至少一部分，在所述凹穴中設置有所述上導電層。

【請求項118】如請求項117之半導體元件，其中所述第二阻障層被設置在所述阻障層和所述上導電層之間。