

296485

申請日期	85.7.4
案號	85108074
類別	H/L

A4
C4

296485

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	半導體記憶裝置及其製法
	英文	
二、發明 創作人	姓名	1.佐藤和夫 5.宮本恭子 2.上田健次 6.大西秀明 3.森田倫生 7.梅田和男 4.野呂文彦 8.久保和也
	國籍	日本
三、申請人	住、居所	1.日本國大阪府高槻市寺谷町6-8 2.日本國大阪府吹田市青山台2-16-1 3.日本國大阪府羽曳野市西浦1134-1 4.日本國奈良縣生駒市辻町650-1 5.日本國京都府京都市南區東九條中御靈町55-10 6.日本國京都府相樂郡木津町相樂台5-22-7 7.日本國奈良縣磯城郡川西町結崎747-73 8.日本國京都府八幡市男山泉5-4
	姓名 (名稱)	松下電子工業股份有限公司
三、申請人	國籍	日本
	住、居所 (事務所)	日本國大阪府高槻市幸町1-1
三、申請人	代表 姓名	森和弘

裝
訂
線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期：1995.7.14. 案號：7-179124，有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 ()

〔發明之技術領域〕

本發明係有關一種具有遮沒閘極之浮閘型半導體記憶裝置及其製法。

〔習用技術之說明〕

按，作為可電氣寫入之非揮發性記憶裝置，已有浮閘構造之 EPROM（電氣可程式化唯讀記憶體）廣為人所知。此一 EPROM 具有在半導體基板上形成之源區域及汲區域所夾之通道區域上介以第一絕緣膜形成之浮閘極，在該浮閘極上介以第二絕緣膜形成有控制電極。

有關此一 EPROM 之寫入動作，係在對於汲區域及控制閘極施加高電壓而在半導體基板之汲附近的通道區域，產生熱電子，將該熱電子加速注入浮閘極。

又，有關讀出動作，係在源區域與汲區域之間，以及控制電極上施加動作電壓，檢出源區域與汲區域間所流過之電流的位準。

上述之 EPROM，一般上係將記憶資料之遮沒，藉紫外線照射而達成，近年，藉由將上述第一絕緣膜薄膜化，介以該薄的絕緣膜，自浮閘極利用通道化現象，將電子放出至源區域、汲區域或是通道區域，而執行電氣遮沒之 EPROM，已廣為利用。

又，最近，利用獨立之遮沒用閘極執行遮沒之記憶體單元已由業界所提案（例如，參見日本特開平 2-292870 號公報）。使用此一遮沒閘極之記憶體單元構造，係在遮沒

五、發明說明 (二)

閘極與浮閘極之間，形成可成為通道化媒體之通道絕緣膜，在遮沒閘極上施加遮沒電壓，將電子由浮閘極通道化至遮沒閘極，進行遮沒。通常，使用此種遮沒閘極之半導體記憶裝置，由於全記憶單元或區塊單位之記憶體單元群同時遮沒，因此一般上稱為閃抹記憶體。

圖 8、圖 9 係習用之備有遮沒閘之浮閘型半導體記憶裝置之平面圖及斷面圖。圖 9 (a) 係圖 8 之 A - A' 斷面圖，圖 9 (b) 係圖 8 之 B - B' 斷面圖。於圖 8 及圖 9 中，1 係半導體基板、2 係源區域、3 係汲區域、4 係閘絕緣膜、5 係浮閘極、6 係層間絕緣膜、7 係控制閘極、8 及 9 係元件分離用氧化矽膜、10 係遮沒閘極、11 係通道絕緣膜、12 及 13 係用以使遮沒閘極 10 與浮閘極 5 電絕緣之氧化矽膜。

以下，茲將圖 9 中所示之習用備有遮沒閘之浮閘型半導體裝置之在遮沒閘極與浮閘極間所形成之通道區域的構造及製法，說明如下。

首先，如圖 10 所示，將在半導體基板 1 上以習知之氣相成長法形成的氧化矽膜 8 之一定部份選擇性蝕刻後，在氧化矽膜 8 之側壁面，利用習知之氣相成長法及異向性乾式蝕刻技術形成由氧化矽膜 9 所構成之側壁膜。其次，將成為閘絕緣膜之氧化矽膜 4 以熱氧化法形成，而後，在全面上依序層合聚矽膜 5、氧化矽膜 6、聚矽膜 7、氧化矽膜 13。聚矽膜 5 及 7、氧化矽膜 13，係以習知之氣

五、發明說明 (2)

相成長法形成，氧化矽膜 6 係在聚矽膜 5 上以熱氧化形成。

其次，如圖 1 1 所示，將聚矽膜 7、氧化矽膜 1 3 以使用光致抗蝕劑之習知光蝕刻技術選擇性地蝕刻，而形成由聚矽膜 7 所構成之控制閘極。而後，以習知之氣相成長法及異向性乾式蝕刻技術，在氧化矽膜 1 3 及聚矽膜 7 之側壁面，形成由未添加有雜質之氧化矽膜 1 2 所構成之第一側壁膜、以及由作為雜質添加有磷或硼之氧化矽膜 1 4 所構成之第二側壁膜，形成雙重側壁構造。

而後，如圖 1 2 所示，將第二側壁膜作為單幕，將聚矽膜 5 蝕刻，形成由聚矽膜 5 所構成之浮閘極。

繼之，如圖 1 3 所示，將由氧化矽膜 1 4 所構成之第二側壁膜，以習知之乾式蝕刻法除去。此時，未添加有雜質之第一側壁膜，與添加有雜質之氧化矽膜相較，蝕刻速度係低至 $1/50 \sim 1/100$ ，因此大部份不會被蝕刻除去。藉由此一乾式蝕刻過程，浮閘極上面之一部份及側壁面會露出，此一露出部份係形成通道區域。而後，將此一露出部份熱氧化，形成通道絕緣膜 1 1。最後，在通道絕緣膜 1 1 上形成由聚矽膜 1 0 所構成之遮沒閘極。

〔發明之解決課題〕

然而，上述習用之備有遮沒閘極之浮閘型半導體記憶裝置之構造及製法，其通道化區域係位於浮閘極的上面之一部份與側壁面兩者之露出部，因此，無法使用上述雙重

五、發明說明(上)

側壁構造形成，製造時之控制非常之難，在製造上之安定性會有問題。再者，作為第二側壁膜，雖有必要使用添加有雜質之氧化矽膜，但是通常，添加有該雜質之氧化矽膜的成長，易於產生粒子，因此，會有生產率惡化，易於信賴性降低之問題。

本發明係為解決上述習用技術之課題開發而成者，其目的係在提供一種備有遮沒電極之浮閘構造的半導體記憶裝置，可安定地形成通道區域，且不易造成生產率惡化或信賴性降低之新穎構造及製法：

〔課題之解決手段〕

為了達成上述目的，本發明之半導體記憶裝置，係在一導電型之半導體基板內，備有源區域及汲區域，在上述半導體基板上之一定區域備有第一絕緣膜，在上述第一絕緣膜上備有浮閘極，在上述浮閘極上介以第二絕緣膜備有控制閘極，此外，又備有介以成為通道化媒體之絕緣膜與上述浮閘極相接，且介以側壁膜與上述控制閘極相接之遮沒閘極；其特徵係在：

上述成為通道化媒體之絕緣膜，係只設於上述浮閘極之側壁面者。

又，本發明半導體記憶裝置之製法，其特徵係在：

此製法包括：在一導電型半導體基板內，形成與該半導體基板相反導電型的源區域及汲區域之過程；一在上述半導體基板上形成由元件分離絕緣膜所分離之活性區域之

五、發明說明()

過程；一在上述活性區域上，形成第一絕緣膜之過程；一在上述第一絕緣膜及上述元件分離絕緣膜之表面，依序層合第一導電膜、第二絕緣膜、第二導電膜、及第三絕緣膜之過程；一將上述第二絕緣膜、第二導電膜及第三絕緣膜之一定部份，以蝕刻除去，而形成控制閘極及其上下的絕緣層之過程；一在上述控制閘極及其上下之絕緣層的側壁面上，形成側壁絕緣膜之過程；一將上述側壁絕緣膜作為屏罩，將上述第一導電膜蝕刻除去，而形成浮閘極之過程；一在上述浮閘極之側壁面上，形成成為通道化媒體的通道化絕緣膜之過程；以及一以被覆上述通道化絕緣膜、側壁絕緣膜及上述控制閘極上的絕緣層之方式，形成由第三導電膜所構成的遮沒閘極之過程。較佳的是，上述通道化絕緣膜，係藉將上述浮閘極之側壁面氧化而形成。

〔發明之實施形態〕

根據發明人研究之結果發現，即使不將通道化絕緣膜如習用般之設於閘極上面之一部份，而只藉著將其設於浮閘極之側壁面，可將蓄積於浮閘極之電子容易地通道化放出至遮沒閘極。本發明係基於此一研究成果而完成，實現上述構造之製法，並無如習用般之將通道化區域使用雙重側壁構造之要，而只以單一之側壁構造形成通道區域，因此，其控制非常容易。再者，如習用般之添加雜質之側壁膜也無使用之要，因此，起因於粒子產生之生產率惡化或信賴性降低之情事，不會產生。

五、發明說明()

以下，茲就本發明之較佳實施形態，佐以圖面說明之。首先，圖1及圖2係本發明半導體記憶體裝置之平面圖及斷面圖。圖2(a)係圖1之A-A'斷面圖，圖2(b)係圖1之B-B'斷面圖。

如圖2所示，P型矽基板之表面部，形成有由N型擴散層所構成之源區域2、汲區域3及由氧化矽膜8、9所構成之元件分離絕緣膜。由源區域2及汲區域3所夾之通道區域上的一部份，形成有由約30nm之氧化矽膜4所構成的閘絕緣膜、以及由聚矽膜所構成之浮閘極5。浮閘極5上及浮閘極區域以外之矽基板上，形成有由約30nm之氧化矽膜所構成之層間絕緣膜6，其上形成有由約400nm之聚矽膜所構成之控制閘極7。又，只在由浮閘極5之側壁面上，形成有由約35nm之氧化矽膜所構成之通道化絕緣膜11。再者，由約400nm之聚矽膜所構成的遮沒閘極10，係以被覆通道化絕緣膜11、氧化矽膜12(約200nm)、及氧化矽膜13(約300nm)的方式形成。

上述實施形態中所示的是，通道化絕緣膜為氧化矽膜之例子，此外，也可使用如氮化矽、氧化矽膜-氮化矽膜之二層膜、氧化矽膜-氮化矽膜-氧化矽膜之三層膜、氮化物膜、以及高介電體膜般之能成為通道化媒體之絕緣膜。

又，上述實施形態係由源區域2及汲區域3所夾之通

五、發明說明(7)

道區域上的一部份，形成有閘絕緣膜及浮閘極之分割閘構造之場合之例，但無疑在源區域2及汲區域3所夾之通道全面形成有閘絕緣膜及浮閘極之多層閘構造也是相同。

圖3~7係本發明製法之較佳實施形態的過程順序斷面圖。於各圖中，(a)係圖1之A-A'斷面圖，(b)係圖1之B-B'斷面圖。

首先，圖3(a)、圖3(b)所示，係在P型矽基板1上，以習知之選擇擴散技術，形成由N型之擴散層所構成之源區域2、汲區域3。而後，藉由使用TEOS之減壓氣相成長法，將氧化矽膜8以500nm之厚度形成後，在900℃之熱氧化氛圍中處理而予以緻密化。繼之，藉由習知之光蝕刻技術，將氧化矽膜8之一定的部份開孔。而後，在全面上將約200nm之氧化矽膜9以使用TEOS之減壓氣相成長法予以成長，然後再使用習知之異向性乾式蝕刻技術，在上述開孔部之側壁面形成由氧化矽膜9所構成之側壁絕緣膜。藉由此一側壁絕緣膜，使氧化矽膜8所構成之元件分離絕緣膜的兩端部之階差圓滑化。

繼之，如圖4(a)、4(b)所示，藉由900℃之熱氧化法，將P型矽基板1上之表面氧化，形成氧化矽膜4，再於其上藉由減壓氣相成長法將聚矽膜5以350nm之厚度在全面上形成。然後，以習知之光蝕刻技術，將聚矽膜5及氧化矽膜4的一定部份選擇性地蝕刻除去。

其次，在全面上以利用TEOS之減壓氣相成長法形成由

五、發明說明 (續)

氧化矽膜所構成之約 30 nm 的層間絕緣膜 6，再以 900 °C 之熱處理予以緻密化。然後，以習知之減壓氣相成長法，形成約 400 nm 之聚矽膜 7，而後再於其上以利用 TEOS 之減壓氣相成長法，形成約 300 nm 之氧化矽膜 13。

而後，如圖 5 (a)、5 (b) 所示，藉由習知之光蝕刻技術，以殘留控制閘極之部份的方式，將氧化矽膜 13 蝕刻，再將此氧化矽膜作為屏罩將聚矽膜 7 蝕刻之，形成由聚矽膜所構成之控制閘極。繼之，以利用 TEOS 之減壓氣相成長法，在全面上生長約 250 nm 之氧化矽膜，然後再以習知之異向性乾式蝕刻技術，形成控制閘極 7 及在其上之氧化矽膜 13 的側壁面上之由氧化矽膜 12 所構成之側壁絕緣膜。

其次，如圖 6 (a)、6 (b) 所示，將由氧化矽膜 12 所構成之側壁絕緣膜作為屏罩將聚矽膜 5 蝕刻，形成由聚矽膜 5 所構成之浮閘極。此時，如圖 6 (b) 所示，只有浮閘極之側壁面露出。

然後，如圖 7 (a)、7 (b) 所示，在浮閘極 5 之側壁面的露出部，施以在 900 °C 之水蒸氣氛圍下的熱氧化處理，形成由約 30 nm 之聚矽氧化膜所構成的通道化絕緣膜 11。其次，在全面上以習知之減壓氣相成長法形成約 400 nm 之聚矽膜，再以習知之光蝕刻技術進行選擇性之蝕刻，以被覆通道化絕緣膜 11 之方式，形成由聚

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (續)

矽膜所構成之遮沒閘極 10。

又，而後繼續施行之金屬配線過程、保護膜形成過程及結合焊片形成過程，係屬習知之過程，因此在此省略圖式及其說明。

於上述實施形態中，作為通道化絕緣膜，係形成將聚矽膜氧化形成之氧化矽膜，但代替此，也可使用氮化矽膜或以其為構成要素之多層膜（例如，氧化矽膜—氮化矽膜之二層膜、氧化矽膜—氮化矽膜—氧化矽膜之三層膜、氧氮化物膜等）。

又，作為層間絕緣膜 6，在此係使用以氣相成長法形成之氧化矽膜，但代替此，也可使用聚矽膜氧化形成之氧化矽膜、氮化矽膜及渠等組合形成之多層膜（例如，氧化矽膜—氮化矽膜之二層膜、氧化矽膜—氮化矽膜—氧化矽膜之三層膜、氧氮化物膜等）。

上述說明中所示的是，夾於源區域 2 及汲區域 3 中之通道區域上的一部份，形成有閘絕緣膜及浮閘極之分割閘構造的製法，但無疑源區域 2 及汲區域 3 中所夾之通道區域上的全面形成有閘絕緣膜及浮閘極之多層構造，同樣亦可適用本發明。

〔發明之效果〕

如上所說明，根據本發明具有新穎構造之半導體記憶裝置及其製法，由於通道化區域只形成於浮閘之側壁面，因此，並無如習用般之使用雙重側壁構造形成通道化區域

五、發明說明 ()

之要，製造中之控制非常容易，可進行安定之製法。又，並無如習用般之使用添加有雜質之側壁膜的必要，因此，並無起因於粒子產生之問題，不易造成生產率降低或信賴性低落之情事。

〔圖面之簡單說明〕

圖 1 係本發明半導體記憶裝置之實施形態之平面圖。

圖 2 係圖 1 半導體裝置之斷面圖。

圖 3 係圖 1 及圖 2 半導體記憶裝置製造中之最初的過程之斷面圖。

圖 4 係圖 3 過程後的過程之斷面圖。

圖 5 係圖 4 過程後的過程之斷面圖。

圖 6 係圖 5 過程後的過程之斷面圖。

圖 7 係圖 6 過程後的過程之斷面圖。

圖 8 係習用半導體記憶裝置之平面圖。

圖 9 係圖 8 半導體記憶裝置之斷面圖。

圖 10 係圖 8 及圖 9 半導體記憶裝置的製造之最初的過程之斷面圖。

圖 11 係圖 10 過程後的過程之斷面圖。

圖 12 係圖 11 過程後的過程之斷面圖。

圖 13 係圖 12 過程後的過程之斷面圖。

〔符號之說明〕

1 P 型矽基板 (半導體基板)

2 源區域 (N 型擴散層)

五、發明說明 (11)

- | | |
|-----|------------------|
| 3 | 汲區域 (N 型擴散層) |
| 4 | 氧化矽膜 (閘絕緣膜) |
| 5 | 聚矽膜 (浮閘極) |
| 6 | 氧化矽膜 |
| 7 | 聚矽膜 (控制閘極) |
| 8 | 氧化矽膜 (元件分離絕緣膜) |
| 9 | 氧化矽膜 (元件分離絕緣膜) |
| 1 0 | 聚矽膜 (遮沒閘極) |
| 1 1 | 通道化絕緣膜 |
| 1 2 | 氧化矽膜 |
| 1 3 | 氧化矽膜 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

半 導 體 記 憶 裝 置 及 其 製 法

本發明之目的係在提供一種通道區域之形成容易，且可確保高信賴性之備有遮沒閘極之浮閘型半導體記憶裝置及其製法。

就構成上而言，本發明係在半導體基板 1 上，形成由元件分離絕緣膜 8、9 所分離之活性區域。在此活性區域上，依序形成閘絕緣膜 4、浮閘極 5。在上述浮閘極 5 上，介以氧化矽膜 6，形成控制閘極 7。只在浮閘極 5 之側壁面形成通道化絕緣膜 11。而後，將遮沒閘極 10 以被覆上述通道化絕緣膜之方式形成。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體記憶裝置，係在一導電型之半導體基板內，備有源區域及汲區域，在上述半導體基板上之一定區域備有第一絕緣膜，在上述第一絕緣膜上備有浮閘極，在上述浮閘極上介以第二絕緣膜備有控制閘極，此外，又備有介以成為通道化媒體之絕緣膜與上述浮閘極相接，且介以側壁膜與上述控制閘極相接之遮沒閘極；其特徵係在：

上述成為通道化媒體之絕緣膜，係只設於上述浮閘極之側壁面者。

2. 一種半導體記憶裝置之製法，其特徵係在：

此製法包括：在一導電型半導體基板內，形成與該半導體基板相反導電型的源區域及汲區域之過程；一在上述半導體基板上形成由元件分離絕緣膜分離之活性區域之過程；一在上述活性區域上，形成第一絕緣膜之過程；一在上述第一絕緣膜及上述元件分離絕緣膜之表面，依序層合第一導電膜、第二絕緣膜、第二導電膜、及第三絕緣膜之過程；一將上述第二絕緣膜、第二導電膜及第三絕緣膜之一定部份，以蝕刻除去，而形成控制閘極及其上下的絕緣層之過程；一在上述控制閘極及其上下之絕緣層的側壁面上，形成側壁絕緣膜之過程；一將上述側壁絕緣膜作為屏障，將上述第一導電膜蝕刻除去，而形成浮閘極之過程；一在上述浮閘極之側壁面上，形成成為通道化媒體的通道化絕緣膜之過程；以及一以被覆上述通道化絕緣膜、側壁

六、申請專利範圍

絕緣膜及上述控制閘極上的絕緣層之方式，形成由第三導電膜所構成的遮沒閘極之過程。

3. 依申請專利範圍第2項所述之半導體記憶裝置之製法，其中該通道化絕緣膜，係藉將上述浮閘極之側壁面氧化而形成者。

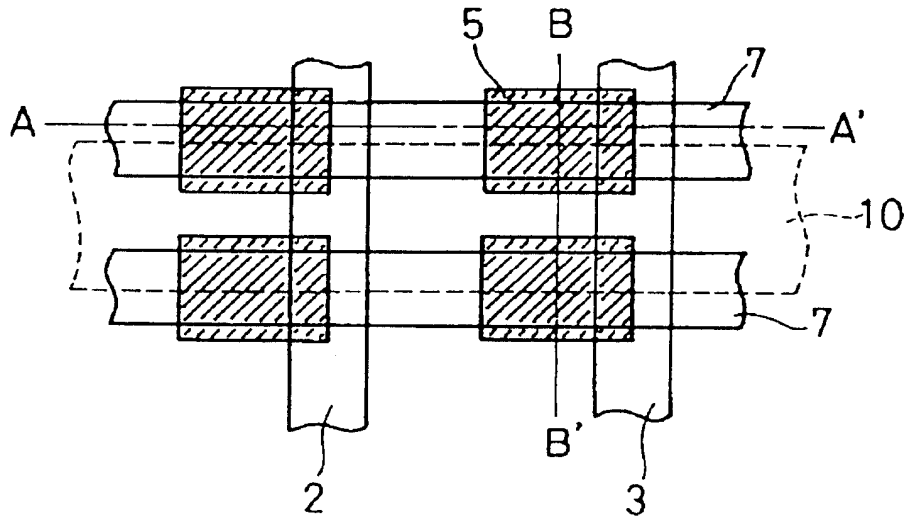
(請先閱讀背面之注意事項再填寫本頁)

裝

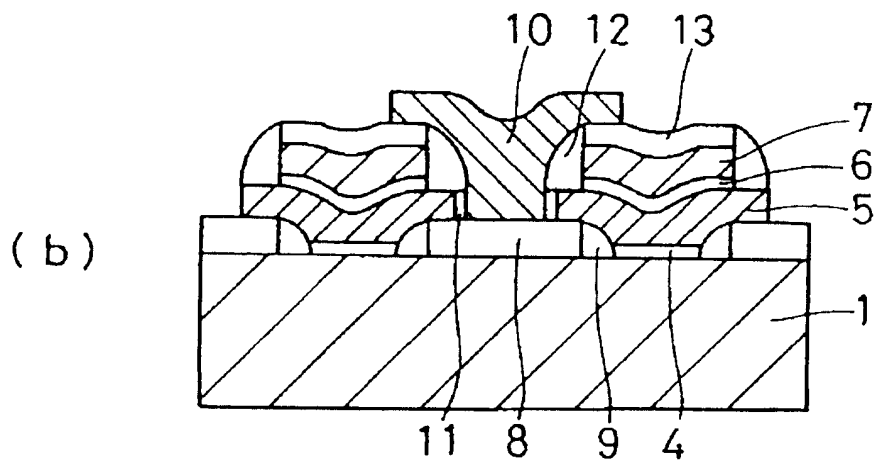
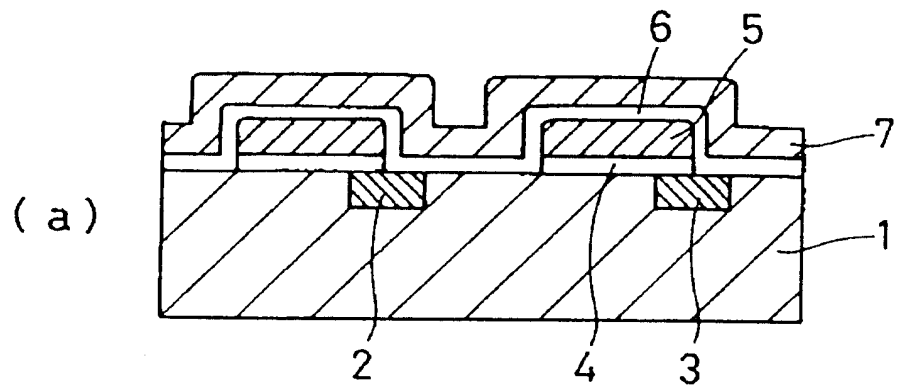
訂

線

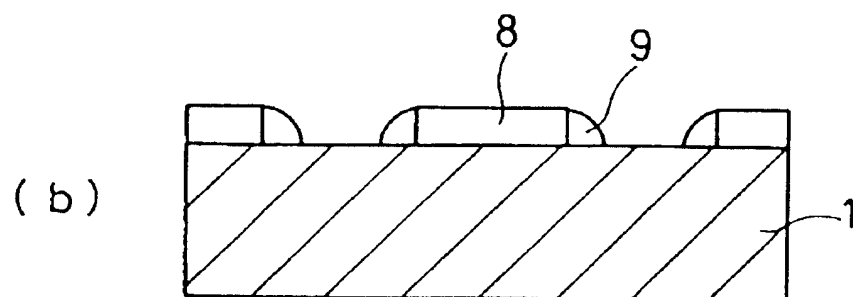
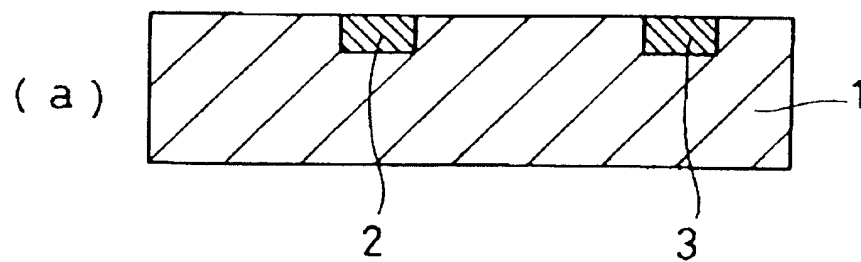
第 1 圖



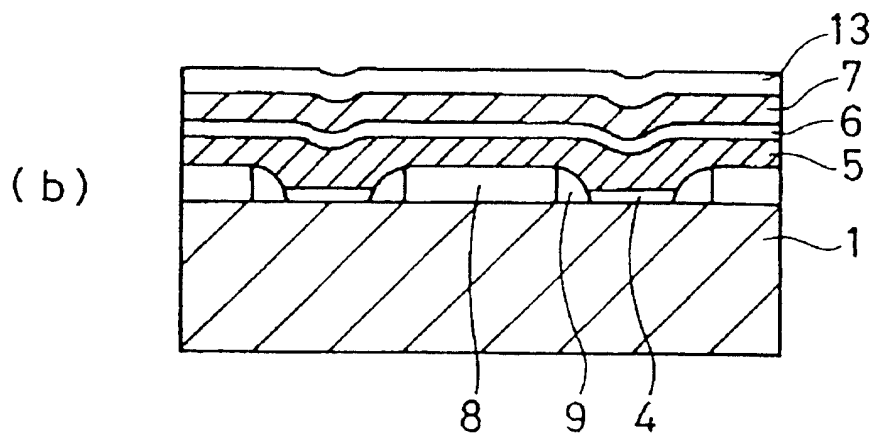
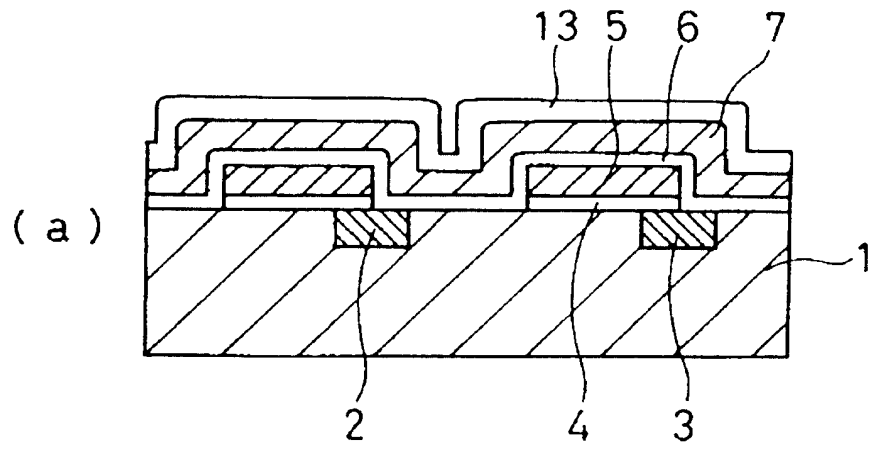
第 2 圖



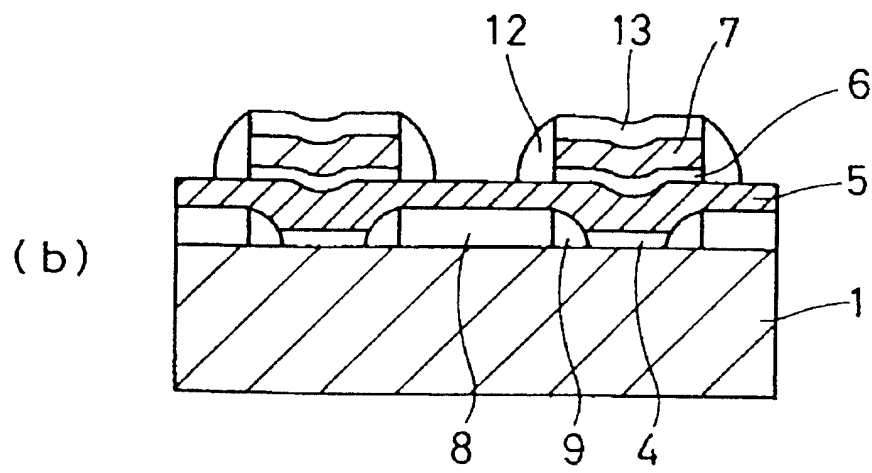
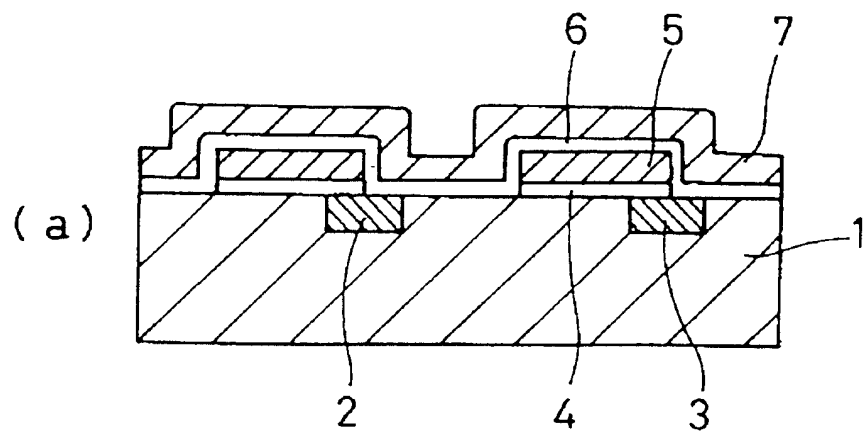
第 3 圖



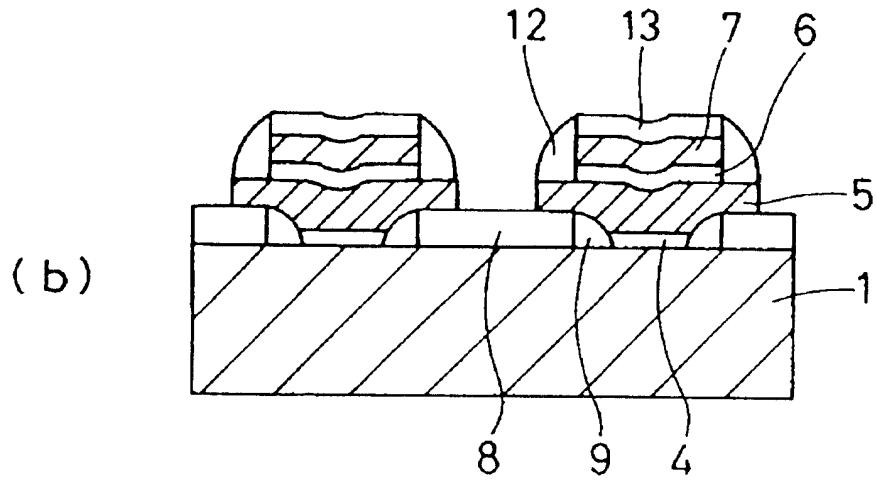
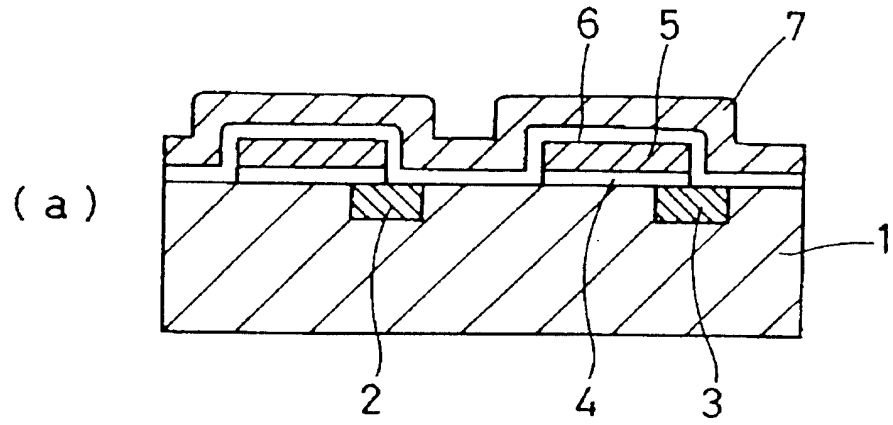
第 4 圖



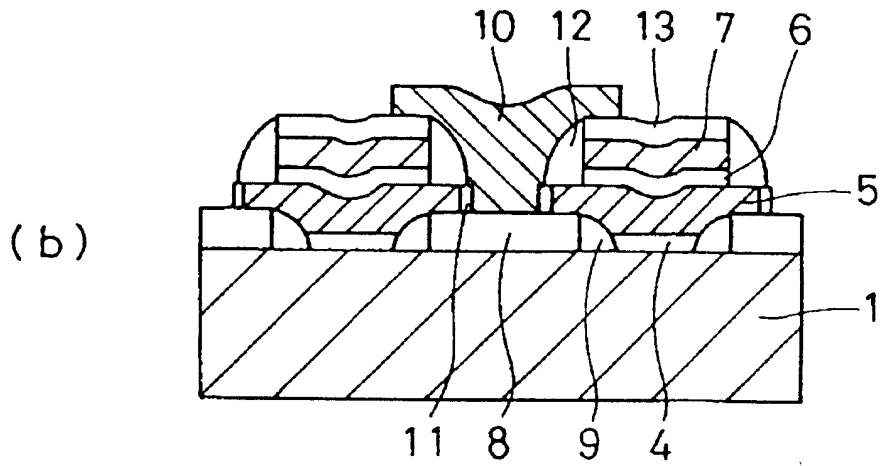
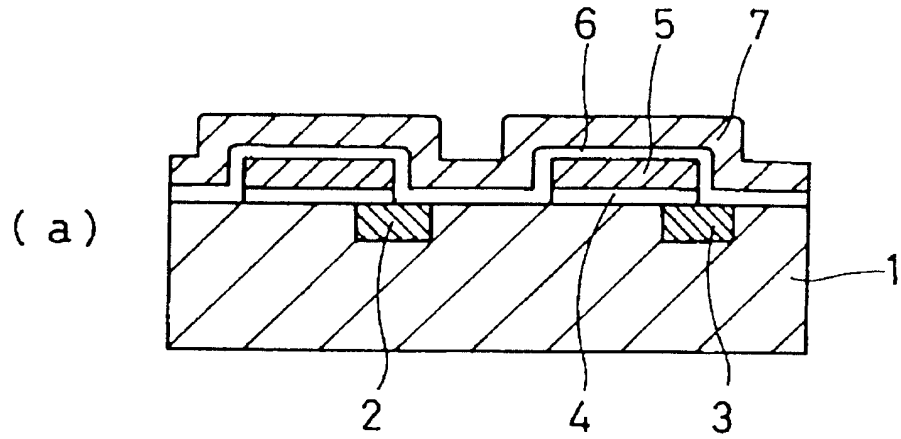
第 5 圖



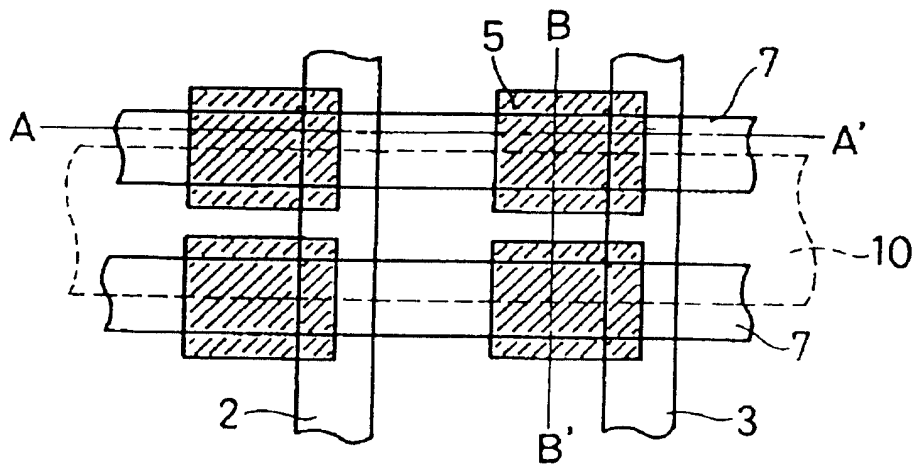
第 6 圖



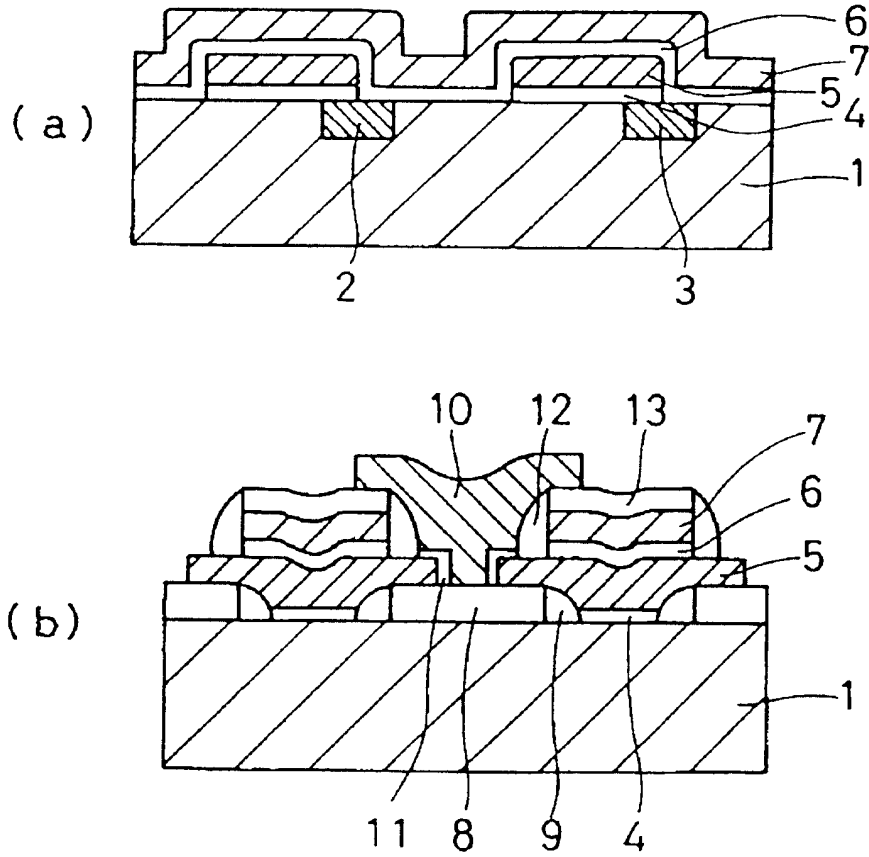
第 7 圖



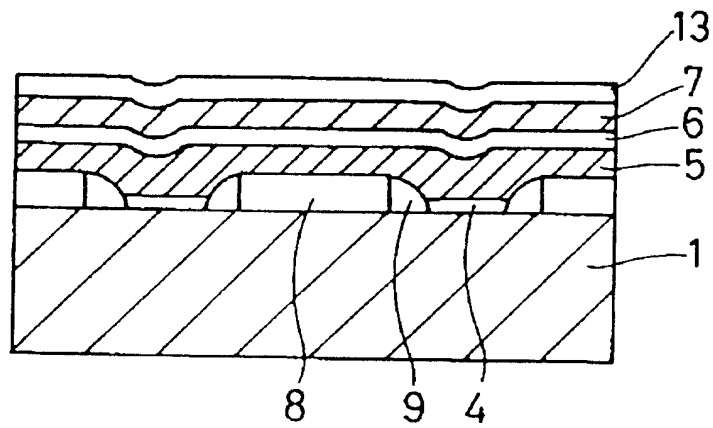
第 8 圖



第 9 圖

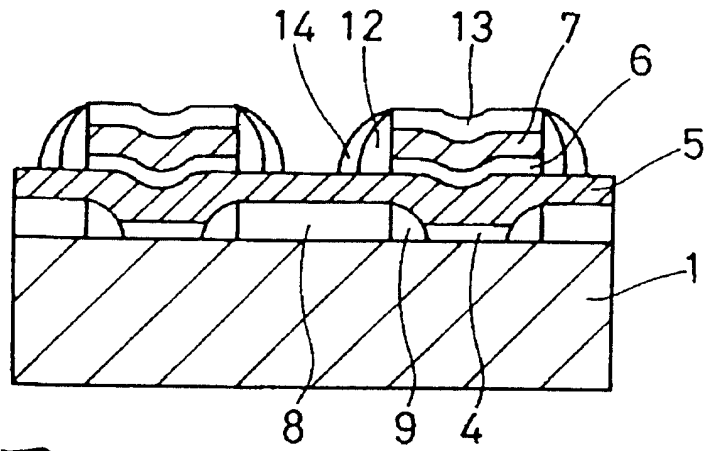


第 10 圖

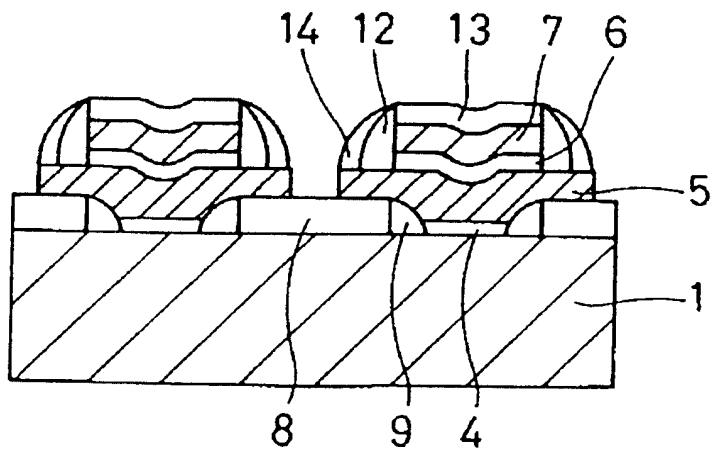


第 11 圖

296485



第 12 圖



第 13 圖

