

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/28

(11) 공개번호 특1997-0052403
(43) 공개일자 1997년07월29일

(21) 출원번호	특1995-0059399
(22) 출원일자	1995년12월27일
(71) 출원인	삼성전자주식회사 김광호
	경기도 수원시 팔달구 매탄동 416번지
(72) 발명자	이강윤
	경기도 수원시 팔달구 매탄 4동 810-3 삼성1차아파트 7동 1205호

심사청구 : 없음

(54) 반도체 장치의 제조 방법

요약

본 발명은 게이트용 도전막과 게이트 상부의 절연막을 차례로 형성한 후, 먼저 콘택 홀을 형성한 다음, 나중에 게이트 전극을 형성함으로써, 추가적인 사진 식각 공정 없이 자기 정렬된 랜딩 패드를 형성하는 반도체 장치의 제조 방법에 관한 것이다. 본 발명의 신규한 방법에 의하면, 스토리지 노드용 및 비트라인 노드용의 랜딩 패드를 게이트보다 먼저 형성함으로써, 반도체 장치의 공정 단순화를 기할 뿐만 아니라 반도체 장치의 제조 비용을 줄이고, 반도체 장치의 수율을 높힐 수 있게 된다.

대표도

도2a

명세서

[발명의 명칭]

반도체 장치의 제조방법

[도면의 간단한 설명]

제2A도 내지 제2F도는 본 발명의 실시예에 따라 반도체 장치의 제조하는 공정들을 보여주는 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 기판(31)의 활성 영역과 비활성 영역을 정의하고, 상기의 비활성 영역의 반도체 기판(31)을 식각하여 트렌치(32)를 형성하는 공정과, 상기의 트렌치(32)를 포함하는 반도체 기판(31)상에 절연막을 형성하고, 이를 화학 기계적 식각법에 의하여 상기 비활성 영역의 반도체 기판(31)상에 소자 격리 영역(33)을 형성하는 공정과, 상기의 소자 격리 영역(33)을 포함하는 반도체 기판(31)상에 폴리 실리콘막(34), 실리콘 질화막(35)을 차례로 형성하는 공정과, 상기의 폴리 실리콘막(34) 및 실리콘 질화막(35)을 선택적으로 식각하여 상기의 반도체 기판(31)상에 제1콘택 홀(36a) 및 제2콘택 홀(36b)을 형성하는 공정과, 상기의 비트라인용 랜딩패드(38a) 및 비트라인용 랜딩패드(38b)를 포함하는 실리콘 질화막(35)상에 식각 지지막(39)을 형성하고, 이를 화학 기계적 식각법에 의하여 상기 실리콘 질화막(35)의 높이까지 식각하는 공정과, 상기의 식각 지지막(39)을 포함하는 실리콘 질화막(35)상에 포토 레지스트막(40)을 형성하고, 이를 패터닝하는 공정과, 상기의 식각 지지막(39)을 포함하는 실리콘 질화막(35)상에 제1층간 절연막(42)을 형성하는 공정과, 상기의 제1층간 절연막(42)을 선택적으로 식각하여 상기의 비트라인용 랜딩패드(38a)상에 비트라인용 콘택 홀(43)을 형성하는 공정과, 상기의 비트라인용 콘택 홀(43)을 포함하는 제1층간 절연막(42)상에 비트라인(44)을 형성하는 공정과, 상기의 스토리지 노드용 콘택홀(46)을 포함하는 제2층간 절연막(45)상에 폴리 실리콘막을 형성하고, 이를 선택적으로 식각하여 스토리지 노드(47)를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기의 소자 격리 영역(33)은 얇은 트렌치형 소자 격리 영역 형성법이나, 통상적인 부분 산화법(Local Oxidation of Silicon)에 의한 소자 격리 영역중 하나인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서, 상기의 게이트용 폴리 실리콘막은 수천 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서, 상기의 실리콘 질화막은 수백~2000 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서, 상기의 식각 저지막(39)은 상기의 비트라인용 랜딩패드(38a) 및 스토리지 노드용 랜딩패드(38b)를 수십 내지 수백 Å 정도의 두께로 식각한 후, 그 위에 실리콘 산화막을 덮거나 혹은 상기의 비트라인용 랜딩패드(38a) 및 스토리지 노드용 랜딩패드(38b)의 상부를 열산화 공정에 의하여 산화시키므로써, 상기의 비트라인용 랜딩패드(38a) 및 스토리지 노드용 랜딩패드(38b)의 일부를 산화막으로 형성하는 방법을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

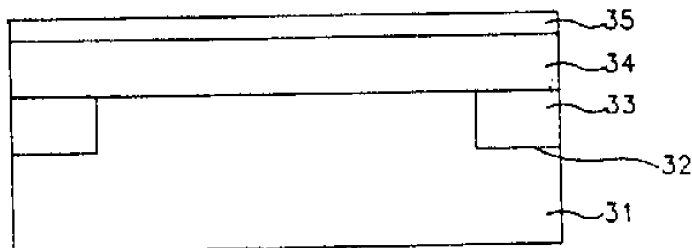
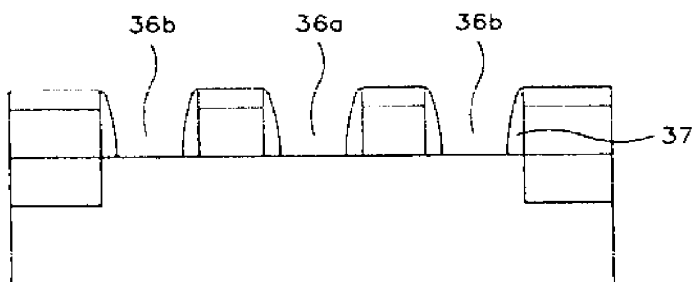
청구항 6

제1항에 있어서, 상기의 식각 저지막(39)은 상기의 비트라인용 랜딩패드(38a) 및 스토리지 노드용 랜딩패드(38b)상에 도전성 막질을 실리사이드이션(Silicidation)하거나 상기의 비트라인용 랜딩패드(38a) 및 스토리지 노드용 랜딩패드(38b)상에 도전막질을 증착하는 방법을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

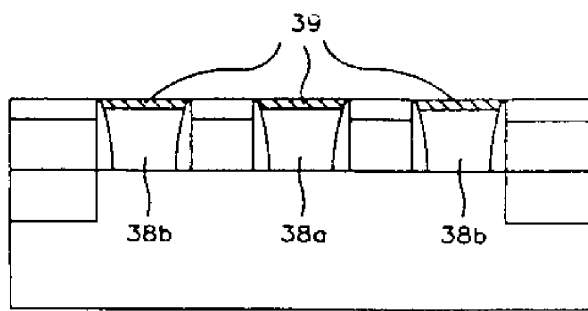
제1항에 있어서, 상기의 제1층간 절연막(42)은 수천 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면**도면2a****Fig.2A****도면2b****Fig.2B**

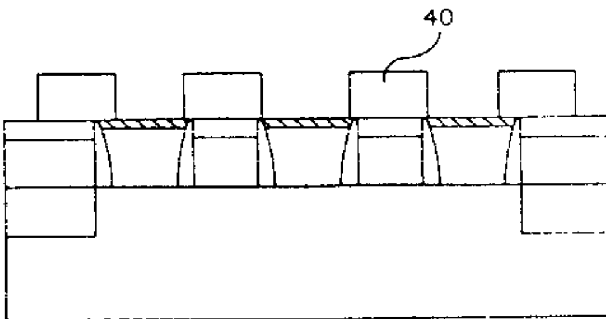
도면2c

Fig.2C



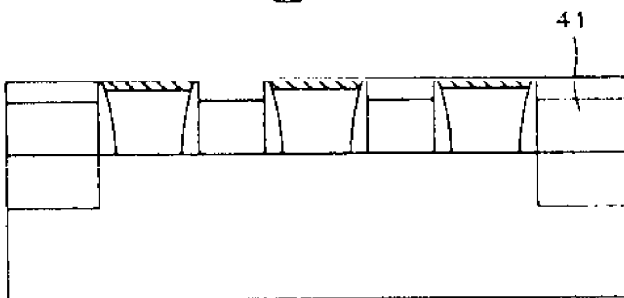
도면2d

Fig.2D



도면2e

Fig.2E



도면2f

Fig.2F

