

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P5130581

※申請日期：P5.8.71

※IPC 分類：H01L31/10; H01L27/14

一、發明名稱：(中文/英文)

(2006.01) (2006.01)

半導體裝置及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

荒井 千廣

ARAI, CHIHIRO

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2005年09月12日；特願2005-263366

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置以及其製造方法，該半導體裝置具有將作為光檢測器元件之光電二極體以及雙極積體電路或MOS積體電路等半導體積體電路形成於同一半導體基板上之所謂的光檢測器積體電路。

【先前技術】

具有光檢測器積體電路(Photodetector IC，光檢測器IC)之半導體裝置，係作為光檢測器元件之光電二極體將光轉變成電流，進行IV(電流→電壓)轉換、矩陣電路等的訊號處理之半導體裝置。

以下，使用圖24，對先前之光檢測器IC半導體裝置進行說明。

如圖24所示，光電二極體201~204藉由P型矽基板210、P型埋設層211以及形成於上述P型矽基板210及P型埋設層211上之低濃度P型磊晶層212而形成陽極，並藉由N型陰極區域214而形成有複數個陰極(圖24中兩個)(如參照「日本專利特開平11-266033號公報」或「日本專利特開2001-60713號公報」)。又，利用P型陽極取出區域213，取出陽極。又，陽極取出區域213之外部，設置有構成進行訊號處理之半導體積體電路之元件(未圖示)。

又，如圖25所示，先前之光電二極體積體電路之電路功能係，於對來自各個光電二極體201~204之輸出進行電流、電壓(IV)轉換之後，藉由運算，引出光碟之焦點・追蹤訊號，

並取出用加法放大器 Aadd 相加而得之輸出，作為光碟之資料訊號即 RF(WRF、RRF)訊號。

【發明內容】

本發明所欲解決之問題在於，先前之光電二極體積體電路之電路功能，因將來自各個光電二極體之輸出進行電流、電壓(IV)轉換之後，藉由運算，引出光碟之焦點・追蹤訊號，並取出相加之輸出作為光碟之資料訊號即 RF 訊號，故而藉由 RF 訊號對來自各個光電二極體之輸出進行電流、電壓轉換之後隨即相加，或相加之後隨即進行電流、電壓轉換之行為，將造成雜訊增多、S/N 比加劇之問題。又，本發明所欲解決之問題亦在於，P 型基板形成為各個光電二極體共用之陽極，但若欲自 P 型基板取出 RF 訊號，則由於 P 型基板作為由進行訊號處理之雙極性元件或 COMS(Complementary Metal-Oxide Semiconductor)元件所構成之電路 GND 而發揮功能，故而亦難以單獨取出光電二極體共用之陽極輸出。又，本發明所欲解決之問題還在於，於上述圖 24 所示之先前構造之光電二極體中，由於光電二極體 201、202 及光電二極體 203、204 之陽極共用，故而光電二極體 201、202 與光電二極體 203、204 之間將產生串擾。其如圖 26 所示，於光點為 3 個所對應之光電二極體圖案之事例中，問題在於已分割成 4 份之光電二極體 301、302、303 之間產生串擾。

本發明之課題在於，使複數個光電二極體之陰極與陽極與半導體基板電性獨立地形成，複數個光電二極體具有共用之陽極(陰極)，並具有複數個分離之陰極(陽極)，且藉由對來

來自共用之陽極(陰極)之輸出進行與分割成複數個之光電二極體之相加輸出等效之處理，而無須相加來自各個光電二極體之輸出即可取出RF訊號。又，本發明之課題在於，減少串擾。

本發明之半導體裝置之特徵在於，其係於半導體基板上具有複數個光電二極體者，上述複數個光電二極體之陰極及陽極與上述半導體基板成電性獨立地形成，上述複數個光電二極體具有共用之陽極並具有複數個分離之陰極，且對來自上述共用之陽極之輸出進行與分割成複數個之光電二極體之相加輸出等效之處理，或上述複數個光電二極體具有共用之陰極並具有複數個分離之陽極，且對來自上述共用之陰極之輸出進行與分割成複數個之光電二極體之相加輸出等效之處理。

於上述各半導體裝置中，由於複數個光電二極體之陰極及陽極與半導體基板成電性獨立地形成，故而可自共用之陽極(或陰極)取出RF訊號。又，藉由對來自該共用之陽極(陰極)之輸出進行與分割成複數個之光電二極體之相加輸出等效之處理，而無須相加來自各個光電二極體之輸出即可取出RF訊號。

本發明之半導體裝置之第1製造方法之特徵在於，包括：於形成於半導體基板之絕緣層上形成P型埋設層之步驟；於上述埋設層上形成較上述埋設層低濃度之P型低濃度層之步驟；形成元件分離區域之步驟，上述元件分離區域係分離上述低濃度層以及上述埋設層而區劃獨立之共用之陽極區域者，並到達上述絕緣層；及，於上述低濃度層形成成為光電

二極體之陰極之N型區域之步驟。

本發明之半導體裝置之第2製造方法之特徵在於，包括：
於形成於半導體基板之絕緣層上形成N型埋設層之步驟；於上述埋設層上形成較上述埋設層低濃度之N型低濃度層之步驟；形成元件分離區域之步驟，上述元件分離區域係分離上述低濃度層以及上述埋設層而區劃獨立之共用陰極區域者，並到達上述絕緣層；及，於上述低濃度層形成成為光電二極體之陽極之P型區域之步驟。

於上述半導體裝置之第1、第2製造方法中，因在形成於半導體基板上之絕緣層上形成有成為共用之陽極或共用之陰極之埋設層及低濃度層，且以到達絕緣層之方式形成有元件分離區域，故而可形成藉由絕緣層以及元件分離區域而與半導體基板成電性獨立之埋設層以及低濃度層，且可由該埋設層以及低濃度層形成共用之陽極或共用之陰極。

本發明之半導體裝置之第3製造方法之特徵在於，包括：
於N型半導體基板形成P型埋設層之步驟；於上述半導體基板，形成成為PN接合型元件分離區域、且N型元件分離層之下層之步驟；於包含上述埋設層以及上述元件分離區域之下層之上述半導體基板上，形成較上述埋設層低濃度之P型低濃度層之步驟；於上述低濃度層形成到達上述元件分離層之下層之N型元件分離層之上層，並藉由上述元件分離層之下層、上層以及半導體基板而對獨立之共用之陽極區域進行區劃之步驟；及，於上述低濃度層形成成為光電二極體之陰極之N型區域之步驟。

本發明之半導體裝置之第4製造方法之特徵在於，包括：
於P型半導體基板形成N型埋設層之步驟；於上述半導體基板，形成成為PN接合型元件分離區域、即形成P型元件分離層之下層之步驟；於包含上述埋設層以及上述元件分離區域之下層之上述半導體基板上，形成較上述埋設層低濃度之N型低濃度層之步驟；於上述低濃度層形成到達上述元件分離層之下層之P型元件分離層之上層，並藉由上述元件分離層之下層、上層以及半導體基板，而對獨立之共用陰極進行區劃之步驟；及，於上述低濃度層形成成為光電二極體之陽極之P型區域之步驟。

於上述半導體裝置之第3、第4製造方法中，因半導體基板形成有與半導體基板相反之導電型之埋設層，又，形成有與半導體基板相同之導電型之元件分離區域之下層，進而於半導體基板上形成有與半導體基板相反之導電型之低濃度層，並於該低濃度層以到達元件分離區域之下層之方式形成有與半導體基板相同之導電型之元件分離區域之上層，故而是可形成藉由利用PN接合之元件分離而與半導體基板成電性獨立之埋設層以及低濃度層，並可由該埋設層以及低濃度層形成共用之陽極或共用之陰極。

【實施方式】

以下，藉由圖1之概略構成剖面圖，說明本發明之半導體裝置之一實施形態之第1例。圖1表示使用SOI(Silicon on insulator, 絕緣物上矽)之基板進行有與半導體基板之電性分離者，即具有複數個光電二極體之半導體裝置之一示例。

如圖1所示，使用於半導體基板11上形成有絕緣層12，並於該絕緣層12上形成有矽層之SOI(Silicon on insulator)基板。上述絕緣層12使用氧化矽膜。上述矽層導入 P^+ 型雜質。將該矽層設為 P^+ 型埋設層13。該埋設層13之雜質濃度設定為例如 $1 \times 10^{16}/\text{cm}^3$ 以上，且 $1 \times 10^{22}/\text{cm}^3$ 以下。於上述埋設層13上，形成有較埋設層13濃度低之 P^- 型低濃度層14。該低濃度層14由藉由例如磊晶成長而形成之 P^- 矽層所形成，其雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上，且 $1 \times 10^{16}/\text{cm}^3$ 以下。較好的是，由上述埋設層13以及低濃度層14而構成之半導體區域之厚度形成為較光吸收長度更長。藉此，可實現下述光電二極體之感光度較高之構造。

如上述般，藉由設定作為高濃度區域之埋設層13之雜質濃度，可降低埋設層13之電阻，提高頻率特性，又，藉由設定低濃度層14之雜質濃度，可降低雜質濃度，易擴大空乏層，並可藉由減少容量而提高頻率特性，且提高感光度。

於上述低濃度層14形成有到達上述埋設層13之陽極取出區域15。該陽極取出區域15由例如較低濃度層13濃度高之 P^+ 雜質層所形成。可將該 P^+ 雜質層之濃度設為與例如上述埋設層13相同。由上述埋設層13、低濃度層14、陽極取出區域15構成共用之陽極21。該共用之陽極21藉由到達上述絕緣層12之元件分離區域16而元件分離為上述低濃度層14、埋設層13。該元件分離區域16由例如深溝絕緣層(Deep Trench Isolation, 深渠道隔離)所形成。因此，共用為一個之陽極21，藉由元件分離區域16以及絕緣層12，而相鄰接之共用之陽極

21以及上述半導體基板11電性分離。

於上述共用之陽極21之低濃度層14上部形成有複數個陰極22。該陰極22由例如N型層所形成。因此，形成有兩個光電二極體20(20a)、20(20b)。再者，圖式中，於一個共用之陽極21形成有兩個陰極22a、22b，但亦可形成三個或四個或其等以上之陰極22(未圖示)。

如上述般，使用SOI基板，藉由到達由氧化矽膜而構成之絕緣層12之Deep Trench Isolation構造之元件分離區域16進行元件分離，藉此可將光電二極體20自半導體基板11完全絕緣分離，並可取出來自光電二極體20之共用之陽極21之輸出作為陰極22已分割之各個光電二極體之相加訊號。

例如，光電二極體20可接收來自光碟(未圖示)之反射光(未圖示)，且可將來自共用之陽極21之輸出不經加法放大器而直接作為RF訊號加以處理。又，對來自分割成複數個之陰極22之輸出可進行焦點・追蹤等之訊號處理。

本發明之半導體裝置1，由於複數個光電二極體20之陰極22及共用之陽極21與半導體基板成電性獨立地形成，故而例如圖2之等效電路所示，可將來自共用之陽極21之輸出不經加法放大器而直接作為RF訊號加以處理。即，藉由對來自共用之陽極21之輸出進行與分割成複數個之光電二極體20之相加輸出相等之處理，而可不相加來自各個光電二極體20之輸出而取出RF訊號。又，可將複數個已分割之陰極22之輸出用作用以進行焦點・追蹤等之運算之訊號。因此，具有可減少雜訊、提高S/N比及頻帶之優點。又，由於無須形

成先前之加法放大器，故而裝置構成可簡化。進而，由於可使光電二極體20與半導體基板11為獨立之構造而構成，故而可提供光電二極體20之間無串擾之構造。

其次，藉由圖3之概略構成剖面圖，說明本發明之半導體裝置之一實施形態之第2例。圖3表示藉由上述圖1而說明之半導體裝置之變形例之一示例。

如圖3所示，使用於半導體基板31上形成有絕緣層32，並於該絕緣層32上形成有矽層之SOI(Silicon on insulator)基板。上述絕緣層32使用有氧化矽膜。上述矽層導入有 N^+ 型雜質。將該矽層設為 N^+ 型埋設層33。將該埋設層33之雜質濃度設定為例如 $1 \times 10^{16}/\text{cm}^3$ 以上，且 $1 \times 10^{22}/\text{cm}^3$ 以下。於上述埋設層33上形成有較埋設層33濃度低之 N^- 型低濃度層34。該低濃度層34由藉由例如磊晶成長而形成之 N^- 矽層所形成，其雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上，且 $1 \times 10^{16}/\text{cm}^3$ 以下。較好的是，形成由上述埋設層33以及低濃度層34而構成之半導體區域之厚度較光吸收長度長。藉此，可實現下述光電二極體之感光度較高之構造。

如上述般，藉由設定作為高濃度區域即埋設層33之雜質濃度，可降低埋設層33之電阻，並提高頻率特性，又，藉由設定低濃度層34之雜質濃度，可降低雜質濃度，易擴大空乏層，並可藉由減少容量而提高頻率特性，且提高感光度。

於上述低濃度層34形成有到達上述埋設層33之陽極取出區域35。該陽極取出區域35由例如較低濃度層33濃度高之 N^+ 雜質層所形成。可將該 N^+ 雜質層之濃度設為與例如上述

埋設層33相同。由上述埋設層33、低濃度層34、陰極取出區域35構成共用之陰極41。該共用之陰極41於上述低濃度層34、埋設層33，藉由到達上述絕緣層32之元件分離區域36，進行元件分離。該元件分離區域36由例如深溝絕緣層(Deep Trench Isolation)所形成。因此，共用於一個之陽極41可藉由元件分離區域36以及絕緣層32，而與相鄰接之共用之陽極41以及上述半導體基板31電性分離。

於上述共用之陰極41之低濃度層34上部形成有複數個陽極42。該陽極42由例如P型層所形成。因此，形成有兩個光電二極體40(40a)、40(40b)。再者，圖式中，於一個共用之陰極41形成有兩個陽極42a、42b，但亦可形成三個或四個或其等以上之陽極42(未圖示)。

如上述般，使用SOI基板，藉由到達由氧化矽膜構成之絕緣層32之Deep Trench Isolation構造之元件分離區域36進行元件分離，藉此可將光電二極體40自半導體基板31完全絕緣分離，並可取出來自光電二極體40之共用之陰極41之輸出，作為陽極42已分割之各個光電二極體40之相加訊號。

例如，光電二極體40可接收來自光碟(未圖示)之反射光(未圖示)，且可將來自共用之陰極41之輸出不經加法放大器而直接作為RF訊號加以處理。又，可對來自分割成複數個之陽極42之輸出進行焦點・追蹤等之訊號處理。

本發明之半導體裝置2，由於複數個光電二極體40之陽極42以及共用之陰極41與半導體基板電性獨立地形成，故而可將來自共用之陰極41之輸出不經加法放大器而直接作為RF

RF訊號加以處理。即，藉由將來自共用之陰極41之輸出進行與分割成複數個光電二極體40之相加輸出相等之處理，而可不相加來自各個光電二極體40之輸出而取出RF訊號。又，可將來自分割成複數個之陽極42之輸出用作用以進行焦點・追蹤等之運算之訊號。因此，具有可減少雜訊、提高S/N比以及頻帶之優點。又，由於無須形成先前之加法放大器，故而裝置構成可簡化。進而，由於可將光電二極體40以與半導體基板31獨立之構造而構成，故而可提供光電二極體40之間無串擾之構造。

其次，藉由圖4之概略構成剖面圖，對本發明之半導體裝置之一實施形態之第2例進行說明。圖4表示具有複數個光電二極體之半導體裝置之一示例，上述複數個光電二極體藉由利用有半導體基板與PN接合之元件分離區域而分離由埋設層與低濃度層構成之陽極(陰極)區域。

如圖4所示，於N⁻型半導體基板51之上部形成有N⁺型元件分離區域之下層52，並形成有P⁺型埋設區域53。上述半導體基板51，使用例如N⁻型矽基板。又，上述元件分離區域之下層52由N⁺型雜質層所形成。上述埋設區域53由N⁺型雜質層所形成，其雜質濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上，且 $1 \times 10^{22}/\text{cm}^3$ 以下。進而，於上述半導體基板51上，形成有較上述埋設區域53濃度低之P⁻型低濃度層54，其雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上，且 $1 \times 10^{16}/\text{cm}^3$ 以下。又，較好的是，形成上述埋設區域53之厚度較光吸收長度長。藉此，可實現下述光電二極體之感光度較高之構造。若該埋設區域53之厚度較

光吸收長度短，則於埋設區域53與半導體基板51之間將生成寄生光電二極體，並可檢測其輸出。對該寄生光電二極體之輸出亦可加以積極活用。

如上述般，藉由設定作為高濃度區域之埋設區域53之雜質濃度，可降低埋設區域53之電阻，並提高頻率特性，又，藉由設定低濃度層54之雜質濃度，而可降低雜質濃度，易擴大空乏層，且可藉由減少容量而提高頻率特性，並提高感光度。

於上述低濃度層54，形成有到達上述埋設區域53之陽極取出區域55。該陽極取出區域55由較例如低濃度層54濃度高之 P^+ 雜質層所形成。可將該 P^+ 雜質層之濃度設為與例如上述埋設區域53相同。由上述埋設區域53、低濃度層54、陽極取出區域55構成共用之陽極61。又，於上述低濃度層54形成有到達上述元件分離區域之下層52之元件分離區域之上層56。該元件分離區域之上層56由與例如上述元件分離區域之下層52相同之高濃度之 N^+ 型雜質層所形成。以下，將元件分離區域之下層52、上層56一起設為元件分離區域57。

上述共用之陽極61，藉由上述半導體基板51、上述元件分離區域57而進行元件分離。即，形成利用有PN接合之元件分離。

於上述共用之陽極61之低濃度層54上部形成有複數個陰極62。該陰極62由例如N型層而形成。因此，形成有兩個光電二極體60(60a)、60(60b)。再者，圖式中，於一個共用之陽極61形成有兩個陰極62a、62b，但亦可形成三個或四個或其等以上之陰極62(未圖示)。

如上述般，藉由利用有PN接合之元件分離區域57而對共用之陽極61進行元件分離，藉此，可將光電二極體60自半導體基板51完全電性絕緣分離，並可取出來自光電二極體60之共用之陽極61之輸出，作為陰極62已分割之各個光電二極體之相加訊號。

例如，光電二極體60可接收來自光碟(未圖示)之反射光(未圖示)，並可將來自共用之陽極61之輸出不經加法放大器而直接作為RF訊號加以處理。又，可對來自分割成複數個之陰極62之輸出進行焦點・追蹤等之訊號處理。

本發明之半導體裝置3，由於複數個光電二極體60之陰極62以及共用之陽極61與半導體基板成電性獨立地形成，故而可將來自共用之陽極61之輸出不經加法放大器而直接作為RF訊號加以處理。即，藉由對來自共用之陽極61之輸出進行與分割成複數個之光電二極體60之相加輸出相等之處理，而可不相加來自各個光電二極體60之輸出而取出RF訊號。又，可將來自分割成複數個之陰極62之輸出用作用以進行焦點・追蹤等之運算之訊號。因此，具有可減少雜訊，且提高S/N之優點。又，由於無須形成先前之加法放大器，故而裝置構成可簡化。進而，由於可將光電二極體60以與半導體基板51獨立之構造而構成，故而可提供光電二極體60之間無串擾之構造。

其次，藉由圖5之概略構成剖面圖，對本發明之半導體裝置之一實施形態之第4例進行說明。圖5表示藉由上述圖4而說明之半導體裝置之變形例之一示例。

如圖5所示，於P⁻型半導體基板71之上部，形成有P⁺型元件分離區域之下層72，並形成有N⁺型埋設區域73。於上述半導體基板71使用例如P⁻型矽基板。又，上述元件分離區域之下層72由P⁺型雜質層所形成。上述埋設層73由P⁺型雜質層所形成，其雜質濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上，且 $1 \times 10^{22}/\text{cm}^3$ 以下。進而，於上述半導體基板71上，形成有較上述埋設層73濃度低之N⁻型低濃度層74，其雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上，且 $1 \times 10^{16}/\text{cm}^3$ 以下。又，較好的是，形成上述埋設區域73之厚度較光吸收長度長。藉此，可實現下述光電二極體之感光度較高之構造。若該埋設區域73之厚度較光吸收長度更短，則埋設區域73與半導體基板71之間將生成寄生光電二極體，並可檢測其輸出。對該寄生光電二極體之輸出亦可加以積極活用。

如上述般，藉由設定作為高濃度區域之埋設區域73之雜質濃度，而可降低埋設區域73之電阻，提高頻率特性，又，藉由設定低濃度層74之雜質濃度，而可降低雜質濃度，易擴大空乏層，並可藉由減少容量而提高頻率特性，並提高感光度。

於上述低濃度層74形成有到達上述埋設區域73之陽極取出區域75。該陽極取出區域75由較例如低濃度層73濃度更高之N⁺雜質層所形成。可將該N⁺雜質層之濃度設為與例如上述埋設區域73相同。由上述埋設區域73、低濃度層74、陽極取出區域75構成有共用之陰極81。又，於上述低濃度層74，形成有到達上述元件分離區域之下層72之元件分離區域之上層76。該元件分離區域之上層76由與例如上述元件分離區

域之下層72相同之高濃度之 P^+ 型雜質層所形成。以下，將元件分離區域之下層72、上層76一起設為元件分離區域77。

上述共用之陰極81藉由上述半導體基板71、上述元件分離區域77而進行元件分離。即，形成利用有PN接合之元件分離。

於上述共用之陰極81之低濃度層74上部形成有複數個陽極82。該陽極82由例如P型層所形成。因此，形成有兩個光電二極體80(80a)、80(80b)。再者，圖式中，於一個共用之陰極81形成有兩個陽極82a、82b，但亦可形成三個或四個或其等以上之陽極82(未圖示)。

如上述般，藉由已利用有PN接合之元件分離區域77，對共用之陰極81進行元件分離，藉此，可將光電二極體80自半導體基板71完全電性絕緣分離，並可取出來自光電二極體80之共用之陰極81之輸出，作為陽極82已分割之各個光電二極體之相加訊號。

例如，光電二極體80可接收來自光碟(未圖示)之反射光(未圖示)，且可將來自共用之陰極81之輸出不經加法放大器而直接作為RF訊號加以處理。又，可對來自分割成複數個之陽極82之輸出進行焦點・追蹤等之訊號處理。

由於本發明之半導體裝置4之複數個光電二極體80之陽極82及共用之陰極81與半導體基板成電性獨立地形成，故而可將來自共用之陰極81之輸出不經加法放大器而直接作為RF訊號加以處理。即，藉由對來自共用之陰極81之輸出進行與分割成複數個之光電二極體80之相加輸出相等之處理，而可

不相加來自各個光電二極體80之輸出而取出RF訊號。又，來自分割成複數個之陽極82之輸出可用作用以進行焦點・追蹤等之運算之訊號。因此，具有可減少雜訊、提高S/N比以及頻帶之優點。又，由於無須形成先前之加法放大器，故而裝置構成可簡化。進而，由於可將光電二極體80以與半導體基板71獨立之構造而構成，故而可提供光電二極體80之間無串擾之構造。

其次，藉由圖6~圖10之製造步驟剖面圖，對本發明之半導體裝置之第1製造方法之一實施形態之一示例進行說明。圖6~圖10表示使用SOI(Silicon on insulator)基板進行有與半導體基板之電性分離者，即具有複數個光電二極體之半導體裝置之製造方法之一示例。即，表示藉由上述圖1而說明之半導體裝置之製造方法。

如圖6所示，使用於半導體基板11上形成有絕緣層12，且於該絕緣層12上形成有矽層之SOI(Silicon on insulator)基板。上述絕緣層12使用有氧化矽膜。上述矽層導入有P型雜質。將該矽層設為P⁺型埋設層13。該埋設層13以形成例如 $1 \times 10^{16}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下之雜質濃度之方式導入例如P型雜質而形成。例如，以形成 $1 \times 10^{19}/\text{cm}^3$ 左右之濃度之方式導入P型雜質。如上述般，藉由設定作為高濃度區域即埋設層13之雜質濃度，而可降低埋設層13之電阻，並提高頻率特性。

其次，如圖7所示，利用磊晶成長法，於上述埋設層13上形成由較埋設層13濃度更低之P⁻型矽層而構成之低濃度層

14。該低濃度層14之雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上，且 $1 \times 10^{16}/\text{cm}^3$ 以下。例如，低濃度層14，藉由以20 μm 之厚度且700 $\Omega \cdot \text{cm}$ 左右之方式堆積P型磊晶層而形成。又，藉由如上述般設定低濃度層14之雜質濃度，而可降低雜質濃度，易擴大空乏層，且可藉由減少容量而提高頻率特性，並提高感光度。進而，較好的是，形成由上述埋設層13以及低濃度層14而構成之半導體區域之厚度較光吸收長度長。藉此，可實現下述光電二極體之感光度較高之構造。

其次，如圖8所示，於上述低濃度層14形成到達上述埋設層13之陽極取出區域15。該陽極取出區域15由較例如低濃度層13濃度更高之P雜質層所形成。可將該陽極取出區域15之濃度設為與例如上述埋設層13相同。由上述埋設層13、低濃度層14、陽極取出區域15構成共用之陽極21。

其次，如圖9所示，為了分離上述共用之陽極21，而於上述低濃度層14、埋設層13形成到達上述絕緣層12之元件分離區域16。該元件分離區域16由例如深溝絕緣層(Deep Trench Isolation)所形成。例如，於藉由微影技術而形成用以形成溝之蝕刻光罩後，藉由使用有該蝕刻光罩之蝕刻，於上述低濃度層14、埋設層13形成到達上述絕緣層12之溝。其後，於溝內部形成絕緣層，形成於低濃度層14上之剩餘絕緣層藉由例如化學性機械研磨(CMP, chemical mechanical polishing)而去除。於上述絕緣層可使用例如氧化矽。例如，於使用氧化矽之情形時，氧化溝內壁，而形成氧化層，其後，用非複晶矽或氧化矽埋設於溝內部即可。如上述般，藉由形成於溝內

部之絕緣層，而形成元件分離區域16。因此，共用於一個之陽極21可藉由元件分離區域16以及絕緣層12，而與相鄰接之共用之陽極21以及上述半導體基板11電性分離。

其次，如圖10所示，於上述共用之陽極21之低濃度層14上部形成複數個陰極22。該陰極22，藉由利用例如離子植入法於低濃度層14之上層導入N型雜質，形成N型層而形成。再者，於植入離子時，預先於低濃度層14上形成在形成陰極22之區域上開口之離子植入光罩，並於植入離子後去除該離子植入光罩。又，圖式中，於一個共用之陽極21形成有兩個陰極22a、22b，但亦可形成三個或四個或其等以上之陰極22(未圖示)。如上述般，可藉由於共用之陽極21形成複數個陰極22而形成具備複數個光電二極體20(20a)、20(20b)者，即藉由上述圖1而說明之半導體裝置1。

於上述半導體裝置之第1製造方法中，因形成於半導體基板11上之絕緣層12上形成成為共用之陽極21之埋設層13以及低濃度層14，並以到達絕緣層12之方式形成元件分離區域16，故而可形成藉由絕緣層12以及元件分離區域16而與半導體基板11成電性獨立之埋設層13以及低濃度層14，並可由該埋設層13以及低濃度層14形成共用之陽極21。因此，由於可將複數個光電二極體之陰極22以及共用之陽極21與半導體基板11成電性獨立地形成，故而可形成如下構成，即可將來自已分割之陰極22之輸出用作用以進行例如焦點・追蹤等之運算之訊號，而將來自共用之陽極21之輸出不經加法放大器而直接用作RF訊號。藉此，可製造可減少雜訊且提高S/N比

以及頻帶之具有光電二極體之半導體裝置1。又，由於無須形成先前之加法放大器，故而裝置構成可簡化。進而，由於可將光電二極體20製成與半導體基板11獨立之構造，故而可提供藉由元件分離區域16等而分離之光電二極體之間無串擾之構造。

其次，藉由圖11~圖15之製造步驟剖面圖，對本發明之半導體裝置之第2製造方法之一實施形態之一示例進行說明。圖11~圖15表示使用SOI(Silicon on insulator)基板進行有與半導體基板之電性分離者，即具有複數個光電二極體之半導體裝置之製造方法之一示例。即，表示藉由上述圖3而說明之半導體裝置之製造方法。

如圖11所示，使用於半導體基板31上形成絕緣層32，且於該絕緣層32上形成有矽層之SOI(Silicon on insulator)基板。上述絕緣層32使用有氧化矽膜。上述矽層導入有N型雜質。將該矽層設為 N^+ 型埋設層33。該埋設層33，以形成例如 $1 \times 10^{16}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下之雜質濃度之方式導入例如N型雜質而形成。例如，以形成 $1 \times 10^{19}/\text{cm}^3$ 左右之濃度之方式導入N型雜質。如上述般，藉由設定作為高濃度區域即埋設層33之雜質濃度，而可降低埋設層33之電阻，並提高頻率特性。

其次，如圖12所示，利用磊晶成長法，於上述埋設層33上形成由較埋設層33濃度更低之N型矽層而構成之低濃度層34。該低濃度層34之雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上且 $1 \times 10^{16}/\text{cm}^3$ 以下。例如，低濃度層34，藉由以形成20 μm 之

厚度及 $700\ \Omega\cdot\text{cm}$ 左右之方式堆積N型磊晶層而形成。又，藉由以上述方式設定低濃度層34之雜質濃度，而可降低雜質濃度，易擴大空乏層，且可藉由減少容量而提高頻率特性，並提高感光度。進而，較好的是，形成由上述埋設層33以及低濃度層34而構成之半導體區域之厚度較光吸收長度長。藉此，可實現下述光電二極體之感光度較高之構造。

其次，如圖13所示，於上述低濃度層34形成到達上述埋設層33之陰極取出區域35。該陰極取出區域35由較例如低濃度層33濃度更高之N雜質層所形成。可將該陰極取出區域35之濃度設為與例如上述埋設層33相同。由上述埋設層33、低濃度層34、陰極取出區域35構成共用之陰極41。

其次，如圖14所示，為了分離上述共用之陰極41，而於上述低濃度層34、埋設層33形成到達上述絕緣層32之元件分離區域36。該元件分離區域36由例如深溝絕緣層(Deep Trench Isolation)所形成。例如，於利用微影技術而形成用以形成溝之蝕刻光罩後，藉由使用有該蝕刻光罩之蝕刻，而於上述低濃度層34、埋設層33形成到達上述絕緣層32之溝。其後，於溝內部形成絕緣層，並藉由例如化學性機械研磨(CMP)去除形成於低濃度層34上之剩餘絕緣層。上述絕緣層可使用例如氧化矽。例如，於使用氧化矽之情形時，氧化溝內壁，而形成氧化層，其後，用非複晶矽或氧化矽埋設於溝內部即可。如上述般，藉由形成於溝內部之絕緣層而形成元件分離區域36。因此，共用於一個之陰極41可藉由元件分離區域36以及絕緣層32，而與相鄰接之共用之陰極41以及上述半導體基板

31成電性分離。

其次，如圖15所示，於上述共用之陰極41之低濃度層34上部形成複數個陽極42。該陽極42，藉由利用例如離子植入法，將P型雜質導入低濃度層34，形成P型層而形成。再者，於植入離子時，預先於低濃度層34上形成在形成陰極42之區域上開口之離子植入光罩，並於植入離子後去除該離子植入光罩。又，圖式中，於一個共用之陽極41形成有兩個陰極42(42a)、42(42b)，但亦可形成三個或四個或其等以上之陰極42(未圖示)。如上述般，可藉由於共用之陽極41形成複數個陰極42而形成具備複數個光電二極體40a、40b者，即藉由上述圖3而說明之半導體裝置2。

於上述半導體裝置之第2製造方法中，因形成於半導體基板31上之絕緣層32上形成成為共用之陽極41之埋設層33以及低濃度層34，並以到達絕緣層32之方式形成元件分離區域36，故而可形成藉由絕緣層32以及元件分離區域36而與半導體基板31成電性獨立之埋設層33以及低濃度層34，並由該埋設層33以及低濃度層34形成共用之陽極41。因此，由於可將複數個光電二極體之陰極42以及共用之陽極41與半導體基板31成電性獨立地形成，故而可形成如下構成，即可將來自已分割之陰極42之輸出用作用以進行例如焦點・追蹤等之運算之訊號，而將來自共用之陽極41之輸出不經加法放大器而直接用作RF訊號。藉此，可製造具有可減少雜訊且提高S/N比之光電二極體之半導體裝置2。又，由於無須形成先前之加法放大器，故而裝置構成可簡化。進而，藉由將光電二極

體40製成與半導體基板31獨立之構造，故而可提供藉由元件分離區域36等而分離之光電二極體之間無串擾之構造。

其次，藉由圖16~圖19之製造步驟剖面圖，對本發明之半導體裝置之第3製造方法之一實施形態之一示例進行說明。圖16~圖19表示利用PN接合而進行與半導體基板之電性分離者，即具有複數個光電二極體之半導體裝置之製造方法之一示例。即，表示藉由上述圖4而說明之半導體裝置之製造方法。

如圖16所示，於N⁻型半導體基板51之上部形成由N⁺型雜質層而構成之元件分離區域之下層52。該元件分離區域之下層52可利用例如離子植入法而形成。又，於以上述元件分離區域之下層52而區劃分離之半導體基板51之上部內，形成P⁺型埋設區域53。該P⁺型埋設區域53可利用例如雜質擴散法、離子植入法等雜質摻雜技術而形成。上述埋設區域53之雜質濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。如上述般，藉由設定作為高濃度區域之埋設區域53之雜質濃度，而可降低埋設區域53之電阻，並提高頻率特性。

其次，如圖17所示，於上述半導體基板51上形成較上述埋設區域53濃度低之P⁻型低濃度層54。該低濃度層54，利用例如磊晶成長法而形成，其雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上且 $1 \times 10^{16}/\text{cm}^3$ 以下。如上述般，藉由設定低濃度層54之雜質濃度，可降低雜質濃度，易擴大空乏層，並可藉由減少容量而提高頻率特性，且提高感光度。又，較好的是，形成上述埋設區域53之厚度較光吸收長度長。藉此，可實現下述光電二

極體之感光度較高之構造。又，於上述磊晶成長中，較先形成之元件分離區域之下層52以及埋設區域53之雜質於低濃度層54中擴散，且於低濃度層54中延長而形成。

其次，如圖18所示，於上述低濃度層54形成到達上述埋設區域53之陽極取出區域55。該陽極取出區域55可利用例如離子植入法而形成，並設為較低濃度層54濃度更高之P型雜質層。可將該P型雜質層之濃度設為與例如上述埋設區域53相同。藉此，構成由上述埋設區域53、低濃度層54、陽極取出區域55而構成之共用之陽極61。又，於上述低濃度層54形成到達上述元件分離區域之下層52之元件分離區域之上層56。該元件分離區域之上層56可利用例如離子植入法而形成，並由與上述元件分離區域之下層52相同之高濃度 N^+ 型雜質層所形成。如上述般，構成由元件分離區域之下層52以及上層56而構成之PN接合型元件分離區域57。

因此，上述共用之陽極61藉由上述半導體基板51、上述元件分離區域57，而利用PN接合進行元件分離。

其次，如圖19所示，於上述共用之陽極61之低濃度層54之上部形成複數個陰極62。該陰極62，藉由利用例如離子植入法，將N型雜質導入低濃度層54之上層，形成N型層而形成。再者，於植入離子時，預先於低濃度層54上形成在形成陰極62之區域上開口之離子植入光罩，並於植入離子後去除該離子植入光罩。又，圖式中，於一個共用之陽極61形成有兩個陰極62a、62b，但亦可形成三個或四個或其等以上之陰極62(未圖示)。如上述般，可藉由於共用之陽極61形成複數

個陰極62而形成具備複數個光電二極體60(60a)、60(60b)者，即藉由上述圖4而說明之半導體裝置3。

如上述般，藉由使用PN接合之元件分離區域57，而對共用之陽極61進行元件分離，藉此可將光電二極體60自半導體基板51完全電性絕緣分離，並可取出來自光電二極體60之共用之陽極61之輸出，作為陰極62已分割之各個光電二極體之相加訊號。

於上述半導體裝置之第3製造方法中，因形成於半導體基板51上之低濃度層54形成到達半導體基板51之PN接合型元件分離區域57，故而複數個光電二極體60之陰極62與共用之陽極61可與半導體基板成電性獨立地形成。因此，可形成如下構成，即可將來自已分割之陰極62之輸出作為用以進行例如焦點・追蹤等之運算之訊號，而將來自共用之陽極61之輸出不經加法放大器而直接作為RF訊號。藉此，可製造可減少雜訊、提高S/N比之具有光電二極體之半導體裝置3。又，由於無須形成先前之加法放大器，故而裝置構成可簡化。進而，由於可將光電二極體60製造成與半導體基板51獨立之構造，故而可提供藉由元件分離區域57等而分離之光電二極體之間無串擾之構造。

其次，藉由圖20~圖23之製造步驟剖面圖，對本發明之半導體裝置之第4製造方法之一實施形態之一示例進行說明。圖20~圖23表示使用PN接合進行與半導體基板之電性分離者，即具有複數個光電二極體之半導體裝置之製造方法之一示例。即，表示藉由上述圖5而說明之半導體裝置之製造方

法。

如圖20所示，於P⁻型半導體基板71之上部形成由P⁺型雜質層而構成之元件分離區域之下層72。該元件分離區域之下層72可利用例如離子植入法而形成。又，於藉由上述元件分離區域之下層72而區劃分離之半導體基板71之上部內形成N⁺型埋設區域73。該N⁺型埋設區域73可利用例如雜質擴散法、離子植入法等雜質摻雜技術而形成。上述埋設區域73之雜質濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。如上述般，藉由設定作為高濃度區域之埋設區域73之雜質濃度，而可降低埋設區域73之電阻，並提高頻率特性。

其次，如圖21所示，於上述半導體基板71上形成較上述埋設區域73濃度低之N⁻型低濃度層74。該低濃度層74利用例如磊晶成長法而形成，其雜質濃度設定為 $1 \times 10^{11}/\text{cm}^3$ 以上且 $1 \times 10^{16}/\text{cm}^3$ 以下。如上述般，藉由設定低濃度層74之雜質濃度，而可降低雜質濃度，易擴大空乏層，且可藉由減少容量而提高頻率特性，並提高感光度。又，較好的是，形成上述埋設區域73之厚度較光吸收長度長。藉此，可實現下述光電二極體之感光度較高之構造。又，於上述磊晶成長中，較先形成之元件分離區域之下層72以及埋設區域73之雜質於低濃度層74中擴散，並於低濃度層74中延長而形成。

其次，如圖22所示，於上述低濃度層74形成到達上述埋設區域73之陰極取出區域75。該陰極取出區域75，可利用例如離子植入法而形成，並設為較低濃度層73濃度更高之N型雜質層。可將該N型雜質層之濃度設為與例如上述埋設區域73

相同。藉此，構成由上述埋設區域73、低濃度層74、陰極取出區域75而構成之共用之陰極81。又，於上述低濃度層74形成到達上述元件分離區域之下層72之元件分離區域之上層76。該元件分離區域之上層76，可利用例如離子植入法而形成，且由與上述元件分離區域之下層72相同之高濃度之P⁺型雜質層所形成。如上述般，構成由元件分離區域之下層72以及上層76而構成之PN接合型元件分離區域77。

因此，上述共用之陰極81藉由上述半導體基板71、上述元件分離區域77，而利用PN接合進行元件分離。

其次，如圖23所示，於上述共用之陰極81之低濃度層74之上部形成複數個陽極82。該陽極82，藉由利用例如離子植入法，將N型雜質導入低濃度層74之上層，形成P型層而形成。再者，於植入離子植入時，預先於低濃度層74上形成在形成陽極82之區域上開口之離子植入光罩，並於離子植入後去除該離子植入光罩。又，圖式中，於一個共用之陰極81形成有兩個陽極82a、82b，但亦可形成三個或四個或其等以上之陽極82(未圖示)。如上述般，可藉由於共用之陰極81形成複數個陽極82而形成具備複數個光電二極體80a、80b者，即藉由上述圖5而說明之半導體裝置4。

如上述般，藉由使用有PN接合之元件分離區域77對共用之陰極81進行元件分離，而可將光電二極體80自半導體基板71完全電性絕緣分離，且可取出來自光電二極體80之共用之陰極81之輸出，作為陽極82已分割之各個光電二極體之相加訊號。

於上述半導體裝置之第4製造方法中，因形成於半導體基板71上之低濃度層74形成到達半導體基板71之PN接合型元件分離區域77，故而複數個光電二極體80之陽極82以及共用之陰極81可與半導體基板成電性獨立地形成。因此，可形成如下構成，即可將來自自己分割之陽極82之輸出作為用以進行例如焦點・追蹤等之運算之訊號，而將來自共用之陰極81之輸出不經加法放大器而直接作為RF訊號。藉此，可製造可減少雜訊並提高S/N比之具有光電二極體之半導體裝置4。又，由於無須形成先前之加法放大器，故而裝置構成可簡化。進而，由於可將光電二極體80製造成與半導體基板71獨立之構造，故而可提供藉由元件分離區域77等而分離之光電二極體之間無串擾之構造。

於上述第1~第4之各個製造方法中，於同一半導體基板11、31、51、71與光電二極體20、40、60、80共同混載之雙極性元件(未圖示)或COMS元件(未圖示)，可根據普通製造方法而進行元件形成。該元件形成亦可於形成光電二極體20、40、60、80之後進行，又，於進行元件形成時，可與光電二極體20、40、60、80之構成零件共用化之構成零件，亦可於光電二極體20、40、60、80之製程時進行。

本發明之半導體裝置，由於複數個光電二極體之陰極及陽極與半導體基板成電性獨立地形成，且可將來自自己分割之陰極(或陽極)之輸出用作用以進行例如焦點・追蹤等之運算之訊號，並將來自共用之陽極(陰極)之輸出不經加法放大器而直接用作RF訊號，故而具有可減少雜訊、提高S/N比之優

點。又，由於可將光電二極體構成為與基板獨立之構造，故而可提供光電二極體之間無串擾之構造。

本發明之半導體裝置之製造方法，由於複數個光電二極體之陰極及陽極可與半導體基板成電性獨立地形成，故而可形成如下構成，即可將來自已分割之陰極(或陽極)之輸出用作用以進行例如焦點・追蹤等之運算之訊號，而將來自共用之陽極(陰極)之輸出不經加法放大器而直接用作RF訊號。藉此，可製造減少雜訊且提高S/N比之具有光電二極體之半導體裝置。又，由於可將光電二極體製造成與基板成電性獨立之構造，故而可提供光電二極體之間無串擾之構造。

【圖式簡單說明】

圖1係本發明之半導體裝置之一實施形態之第1例之概略構成剖面圖。

圖2係本發明之半導體裝置之一實施形態之第1例之等效電路圖。

圖3係本發明之半導體裝置之一實施形態之第1例之概略構成剖面圖。

圖4係本發明之半導體裝置之一實施形態之第1例之概略構成剖面圖。

圖5係本發明之半導體裝置之一實施形態之第1例之概略構成剖面圖。

圖6係本發明之半導體裝置之第1製造方法之一實施形態之一示例之製造步驟剖面圖。

圖7係本發明之半導體裝置之第1製造方法之一實施形態

之一示例之製造步驟剖面圖。

圖8係本發明之半導體裝置之第1製造方法之一實施形態之一示例之製造步驟剖面圖。

圖9係本發明之半導體裝置之第1製造方法之一實施形態之一示例之製造步驟剖面圖。

圖10係本發明之半導體裝置之第1製造方法之一實施形態之一示例之製造步驟剖面圖。

圖11係本發明之半導體裝置之第2製造方法之一實施形態之一示例之製造步驟剖面圖。

圖12係本發明之半導體裝置之第2製造方法之一實施形態之一示例之製造步驟剖面圖。

圖13係本發明之半導體裝置之第2製造方法之一實施形態之一示例之製造步驟剖面圖。

圖14係本發明之半導體裝置之第2製造方法之一實施形態之一示例之製造步驟剖面圖。

圖15係本發明之半導體裝置之第2製造方法之一實施形態之一示例之製造步驟剖面圖。

圖16係本發明之半導體裝置之第3製造方法之一實施形態之一示例之製造步驟剖面圖。

圖17係本發明之半導體裝置之第3製造方法之一實施形態之一示例之製造步驟剖面圖。

圖18係本發明之半導體裝置之第3製造方法之一實施形態之一示例之製造步驟剖面圖。

圖19係本發明之半導體裝置之第3製造方法之一實施形態

之一示例之製造步驟剖面圖。

圖20係本發明之半導體裝置之第4製造方法之一實施形態之一示例之製造步驟剖面圖。

圖21係本發明之半導體裝置之第4製造方法之一實施形態之一示例之製造步驟剖面圖。

圖22係本發明之半導體裝置之第4製造方法之一實施形態之一示例之製造步驟剖面圖。

圖23係本發明之半導體裝置之第4製造方法之一實施形態之一示例之製造步驟剖面圖。

圖24係先前之光檢測器IC半導體裝置之一示例之概略構成剖面圖。

圖25係先前之光電二極體積體電路之一示例之電路圖。

圖26係用以說明串擾之光電二極體之布局圖。

【主要元件符號說明】

1、2、3、4	半導體裝置
11、31、51、71	半導體基板
12、32	絕緣層
13、33、211	埋設層
14、34、54、74	低濃度層
15、55、213	陽極取出區域
16、36	元件分離區域
20、20(20a)、20(20b)、40(40a)、 40(40b)、60(60a)、60(60b)、 80(80a)、80(80b)、201、202、	光電二極體

203、204、301、302、303

21、61

共用之陽極

22、22(22a)、22(22b)、

陰極

62(22a)、62(62b)

35、75

陰極取出區域

41、81

共用之陰極

42(42a)、42(42b)、82(82a)

陽極

、82(42b)

52、72

元件分離區域之下層

53、73

埋設區域

56、76

元件分離區域之上層

57、77

PN接合型元件分離
區域

210

矽基板

212

低濃度P型磊晶層

214

陰極區域

五、中文發明摘要：

本發明係一種於半導體基板(11)上具有複數個光電二極體(20)之半導體裝置(1)，複數個光電二極體(20(20a、20b))之陰極(22)以及共用之陽極(21)係與半導體基板(11)成電性獨立地形成，複數個光電二極體(20)具有共用之陽極(21)以及複數個分離之陰極(22)，且對來自共用之陽極(21)之輸出進行與分割成複數個之光電二極體(20)之相加輸出等效之處理，或複數個光電二極體具有共用之陰極以及複數個分離之陽極，且對來自共用之陰極之輸出進行與分割成複數個之光電二極體之相加輸出等效之處理。藉由將光電二極體之陽極及陰極自基板完全電性分離，可減少雜訊特性，並減少串擾。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，其特徵在於：於半導體基板上具有複數個光電二極體，且

上述複數個光電二極體之陰極及陽極係與上述半導體基板成電性獨立地形成；

上述複數個光電二極體具有共用之陽極並具有複數個分離之陰極，且對來自上述共用之陽極之輸出進行與分割成複數個之光電二極體之相加輸出等效之處理；

或上述複數個光電二極體具有共用之陰極並具有複數個分離之陽極，且對來自上述共用之陰極之輸出進行與分割成複數個之光電二極體之相加輸出等效之處理。

2. 如請求項1之半導體裝置，其中

上述光電二極體係形成於SOI構造之半導體層者，上述SOI構造之半導體層具有於上述半導體基板上介隔絕緣層而形成之半導體層；

上述半導體層藉由到達上述絕緣層之溝元件分離而分離成複數個；

於該分離之半導體層設置有上述共用之陽極以及上述複數個陰極；

或於該分離之半導體層設置有上述共用之陰極以及上述複數個陽極。

3. 如請求項2之半導體裝置，其中上述半導體層之厚度較光吸收長度長。

4. 如請求項1之半導體裝置，其中

於上述半導體基板使用P型或N型半導體基板；且具備：
P型埋設層，其於上述半導體基板上介隔絕緣層而形成；
P型低濃度層，其係由較上述埋設層低濃度之P型層而構成者，且形成於上述埋設層上；及

N型層，其成為形成於上述低濃度層之上層之上述複數個陰極；

由上述低濃度層及上述埋設層所構成之陽極區域藉由到達上述半導體基板之元件分離區域而區劃分離；

以由上述元件分離區域所區劃分離之上述埋設層與上述低濃度層構成上述共用之陽極。

5. 如請求項4之半導體裝置，其中上述埋設層之厚度較光吸收長度長。

6. 如請求項1之半導體裝置，其中

上述光電二極體係接收反射至光碟之反射光者；

將來自上述共用之陽極之輸出作為RF訊號加以處理；

以來自上述複數個分離之陰極的輸出進行聚焦之訊號處理以及追蹤之訊號處理。

7. 如請求項1之半導體裝置，其中

於上述半導體基板使用N型或P型半導體基板；且具備：

N型埋設層，其於上述半導體基板上介隔絕緣層而形成；

N型低濃度層，其係由較上述埋設層低濃度之N型層而構成者，且形成於上述埋設層上；及

P型層，其成為形成於上述低濃度層之上層之上述複數

個陽極；

由上述低濃度層與上述埋設層所構成之陰極區域藉由到達上述半導體基板之元件分離區域而區劃分離；

以由上述元件分離區域所區劃分離之上述埋設層與上述低濃度層構成上述共用之陰極。

8. 如請求項7之半導體裝置，其中上述埋設層之厚度較光吸收長度長。

9. 如請求項1之半導體裝置，其中

上述光電二極體係形成於導電型之半導體層者，上述半導體層形成於上述半導體基板上且與上述半導體基板之導電型相反；

上述半導體層藉由到達上述絕緣層之PN接合分離而分離成複數個；

於該分離之半導體層設置有上述共用之陽極以及上述複數個陰極；

或於該分離之半導體層設置有上述共用之陰極以及上述複數個陽極。

10. 如請求項9之半導體裝置，其中上述半導體層之厚度較光吸收長度長。

11. 如請求項1之半導體裝置，其中

於上述半導體基板使用N型半導體基板；且具備：

P型低濃度層，其形成於上述半導體基板上；

P型埋設層，其係由較上述低濃度層高之濃度之P型層而構成者，且形成於上述半導體基板與上述低濃度層之間的

陽極區域下部；及

N型層，其成為形成於上述低濃度層之上層之上述複數個陰極；

成為上述陽極區域之上述低濃度層藉由到達上述半導體基板之元件分離區域而區劃分離；

以由上述元件分離區域所區劃分離之上述低濃度層與上述埋設層構成上述共用之陽極。

12. 如請求項11之半導體裝置，其中上述埋設層之厚度較光吸收長度長。

13. 如請求項1之半導體裝置，其中

於上述半導體基板使用P型半導體基板；且具備：

N型低濃度層，其形成於上述半導體基板上；

N型埋設層，其係由較上述低濃度層高之濃度之N型層而構成者，且形成於上述半導體基板與上述低濃度層之間的陰極區域下部；及

P型層，其成為形成於上述低濃度層之上層之上述複數個陽極；

成為上述陰極區域之上述低濃度層藉由到達上述半導體基板之元件分離區域而區劃分離；

以由上述元件分離區域所區劃分離之上述低濃度層與上述埋設層構成上述共用之陰極。

14. 如請求項13之半導體裝置，其中

上述埋設層之厚度較光吸收長度長。

15. 如請求項1之半導體裝置，其中

上述光電二極體係接收反射至光碟之反射光者；

將來自上述共用之陰極之輸出作為RF訊號加以處理；

以來自上述複數個分離之陽極之輸出進行聚焦之訊號處理以及追蹤之訊號處理；

或將來自上述共用之陽極之輸出作為RF訊號加以處理；

以來自上述複數個分離之陰極之輸出進行聚焦之訊號處理以及追蹤之訊號處理。

16. 一種半導體裝置之製造方法，其特徵在於包括：

於形成於半導體基板之絕緣層上形成P型埋設層之步驟；

於上述埋設層上形成較上述埋設層低濃度之P型低濃度層之步驟；

形成元件分離區域之步驟，上述元件分離區域係分離上述低濃度層以及上述埋設層而區劃獨立之共用之陽極區域者，並到達上述絕緣層；及

於上述低濃度層形成成為光電二極體之陰極之N型區域之步驟。

17. 一種半導體裝置之製造方法，其特徵在於包括：

於形成於半導體基板之絕緣層上形成N型埋設層之步驟；

於上述埋設層上形成較上述埋設層低濃度之N型低濃度層之步驟；

形成元件分離區域之步驟，上述元件分離區域係分離上

述低濃度層以及上述埋設層而區劃獨立之共用之陰極區域者，並到達上述絕緣層；及

於上述低濃度層形成成為光電二極體之陽極之P型區域之步驟。

18. 一種半導體裝置之製造方法，其特徵在於包括：

於N型半導體基板形成P型埋設層及成為PN接合型元件分離區域且N型元件分離層之下層之步驟；

於包含上述埋設層以及上述元件分離區域之下層之上述半導體基板上，形成較上述埋設層低濃度之P型低濃度層之步驟；

於上述低濃度層形成到達上述元件分離層之下層之N型元件分離層之上層，且藉由上述元件分離層之下層、上層以及半導體基板，對已獨立之共用之陽極區域進行區劃之步驟；及

於上述低濃度層形成成為光電二極體之陰極之N型區域之步驟。

19. 一種半導體裝置之製造方法，其特徵在於包括：

於P型半導體基板形成N型埋設層及成為PN接合型元件分離區域且N型元件分離層之下層之步驟；

於包含上述埋設層以及上述元件分離區域之下層之上述半導體基板上，形成較上述埋設層低濃度之N型低濃度層之步驟；

於上述低濃度層形成到達上述元件分離層之下層之P型元件分離層之上層，且藉由上述元件分離層之下層、上層

以及半導體基板，對已獨立之共用之陰極進行區劃之步驟；及

於上述低濃度層形成成為光電二極體之陽極之P型區域之步驟。

十一、圖式：

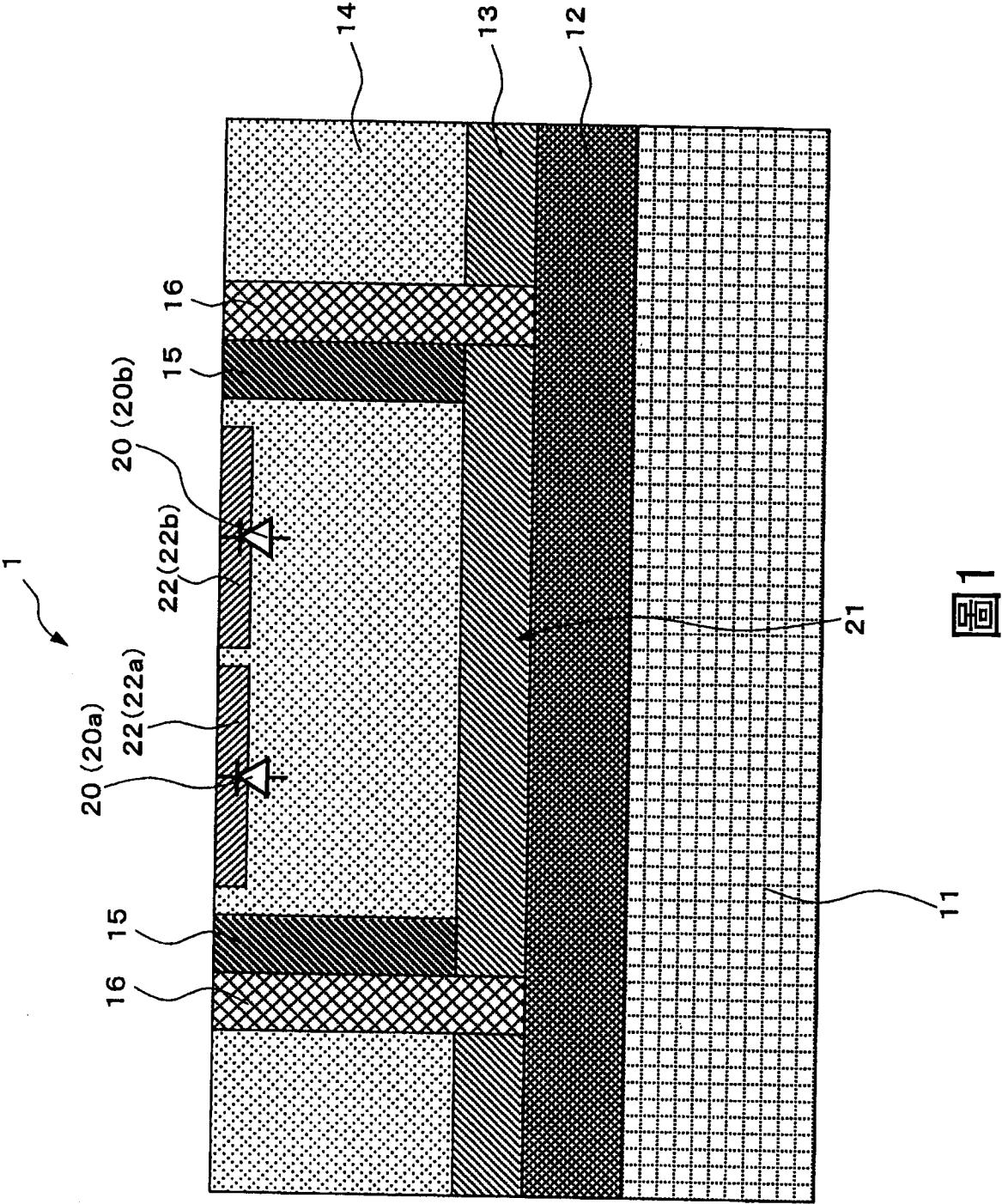


圖1

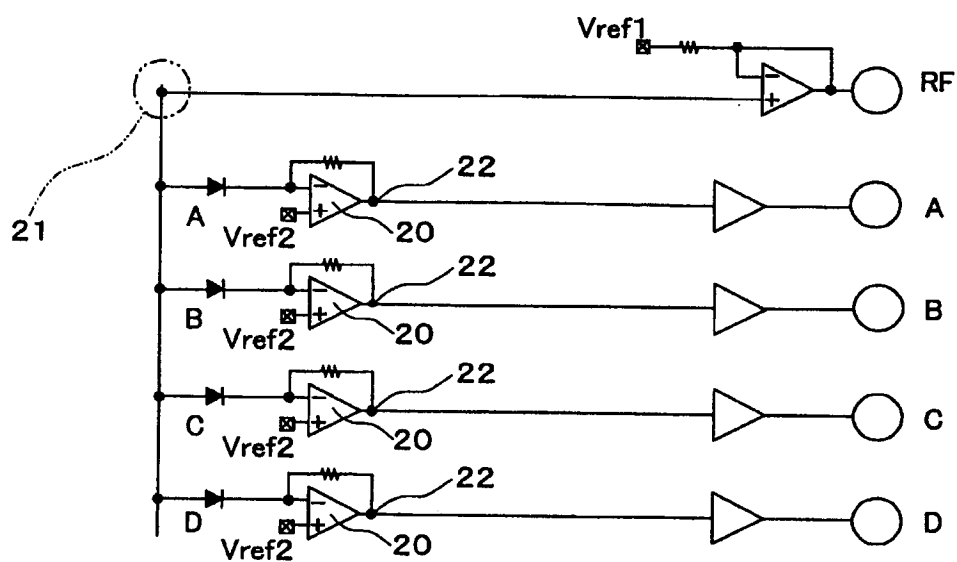
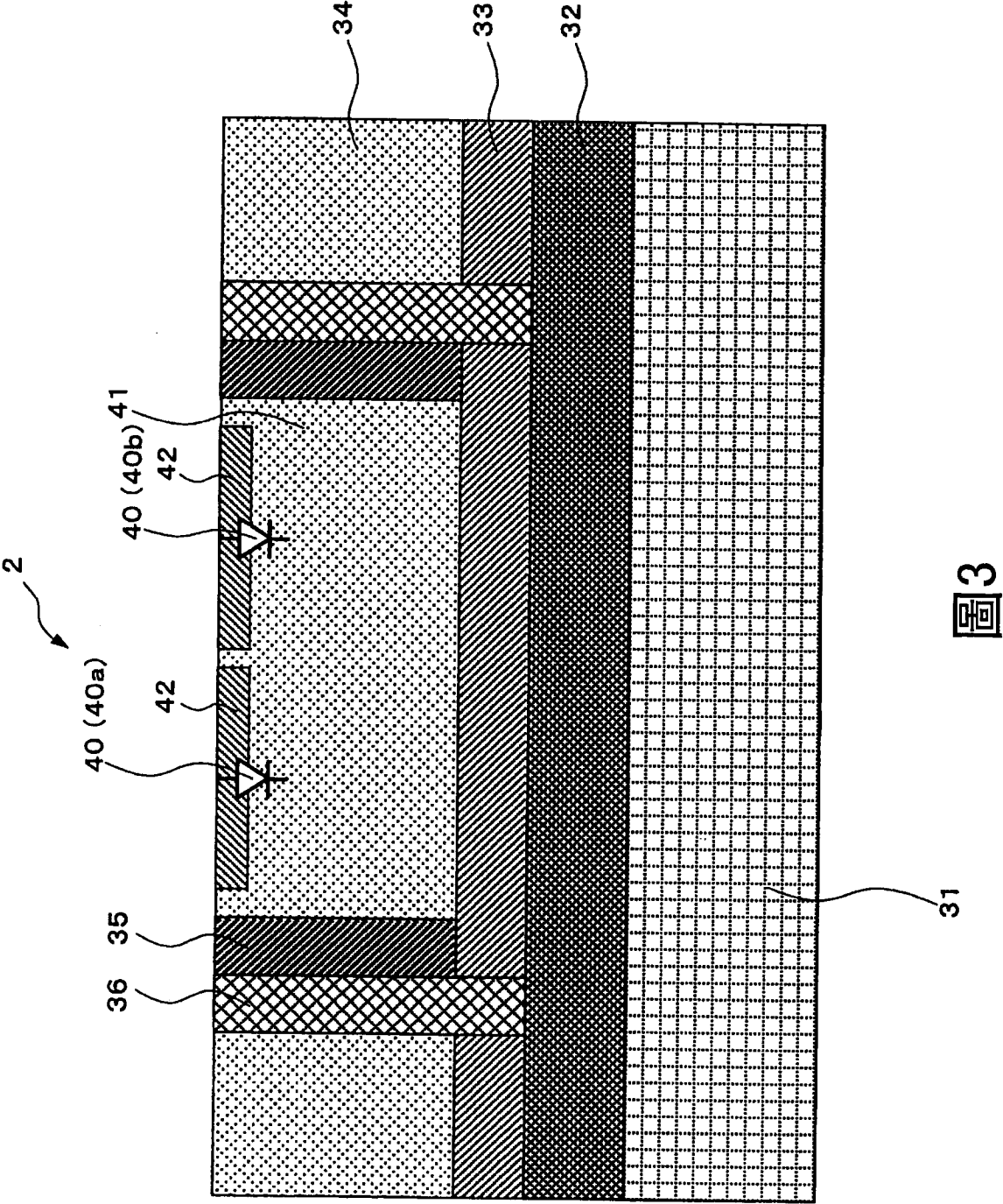
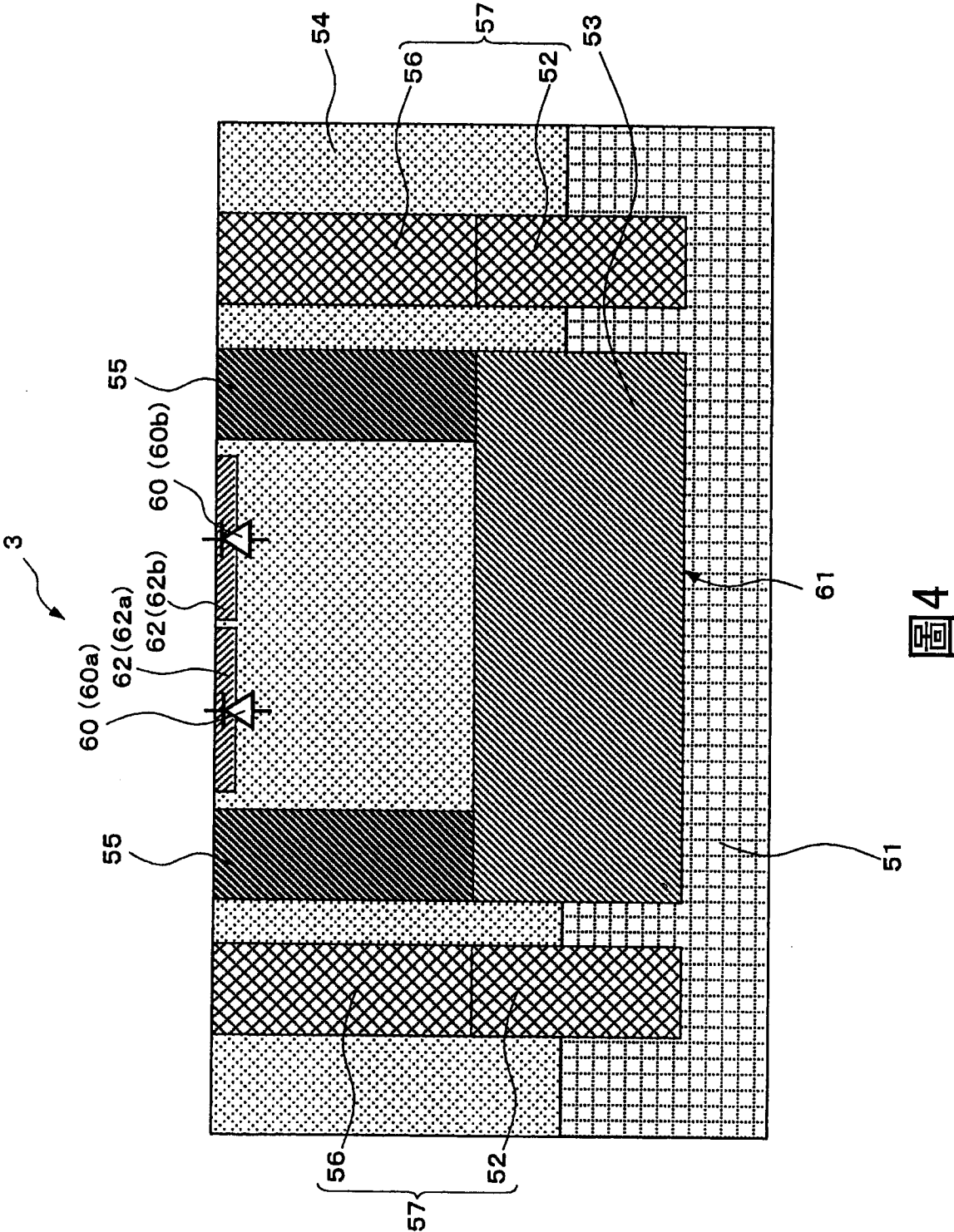
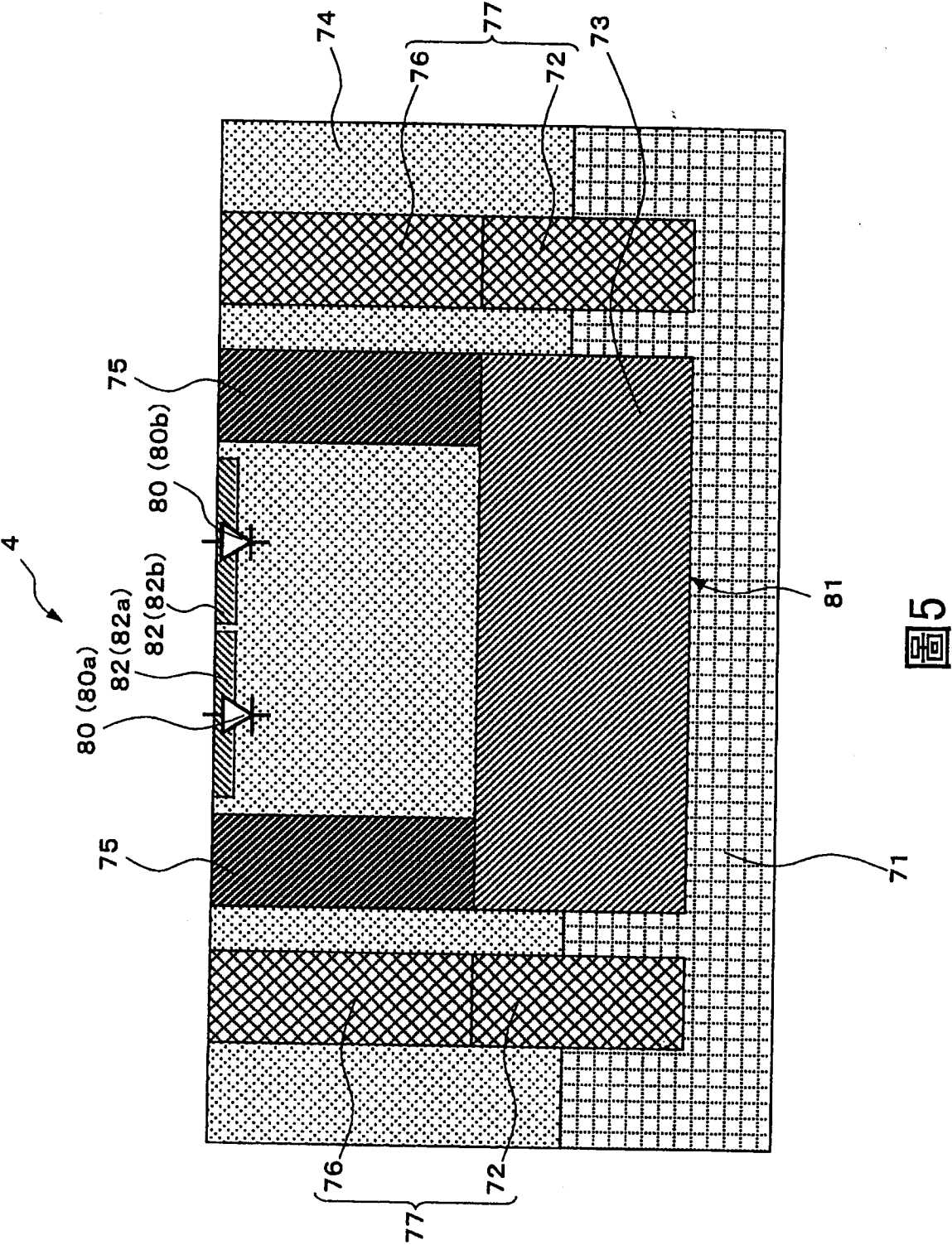


圖2







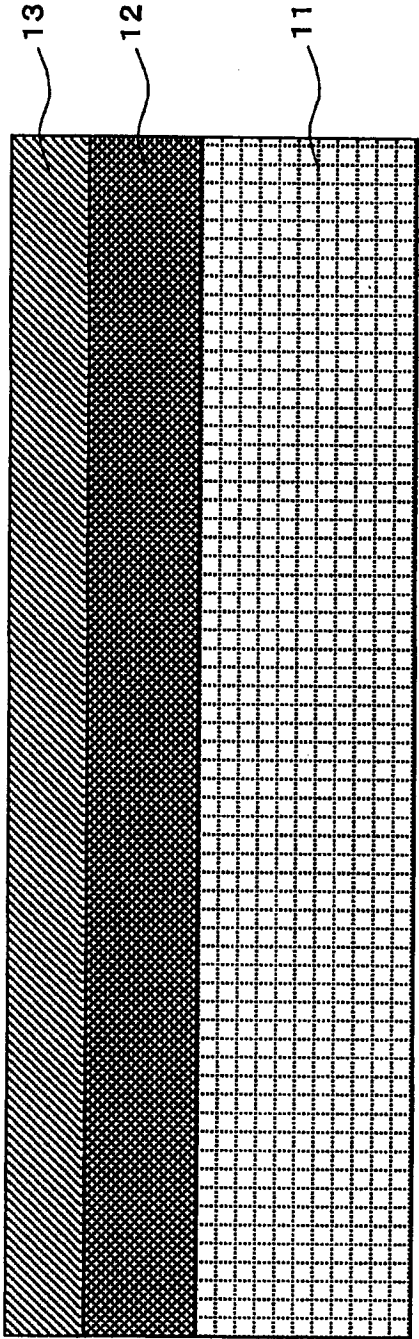


圖6

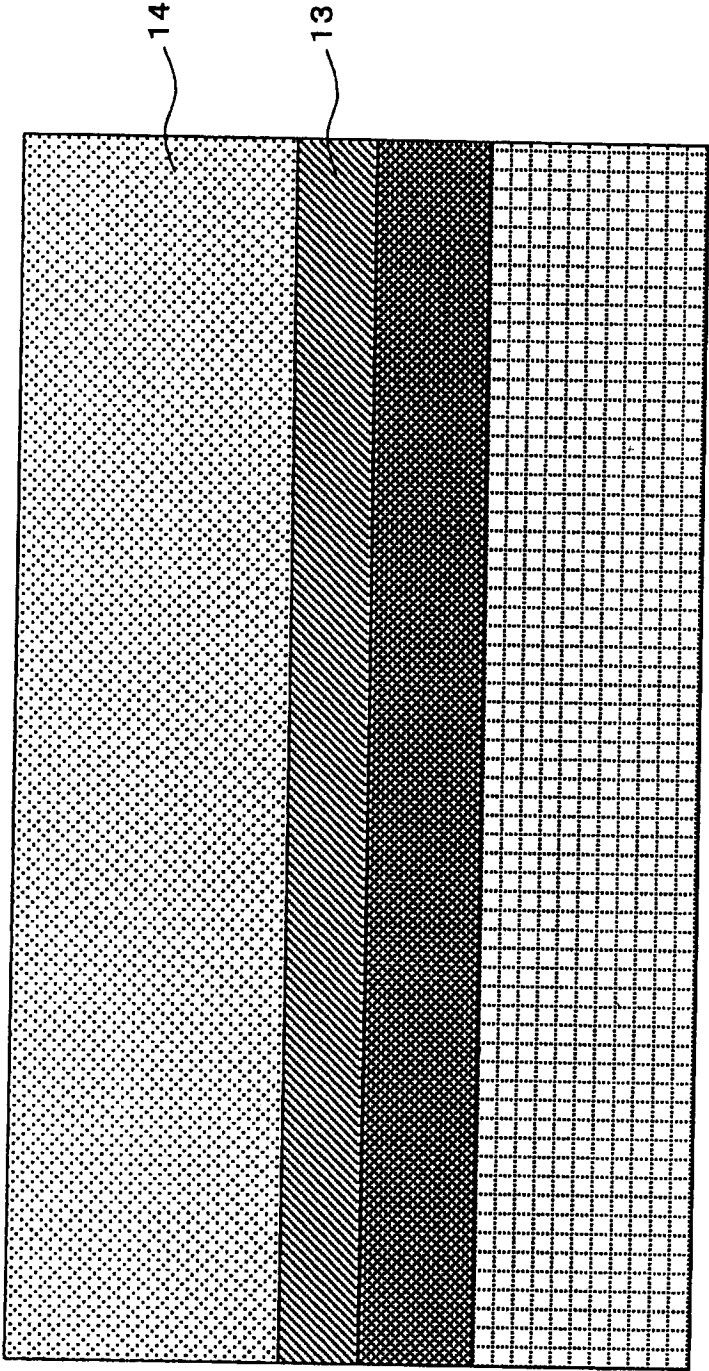


圖7

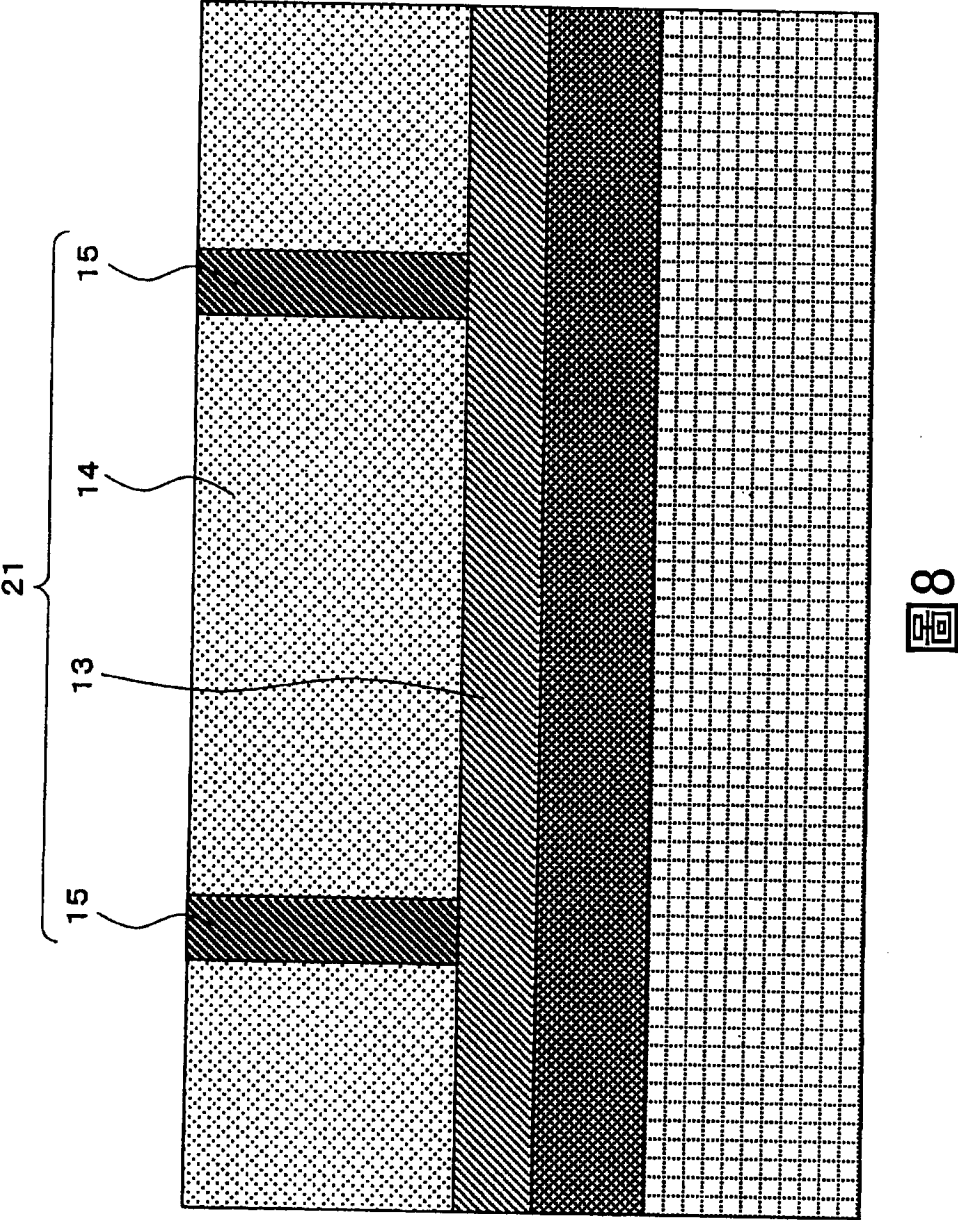


圖 8

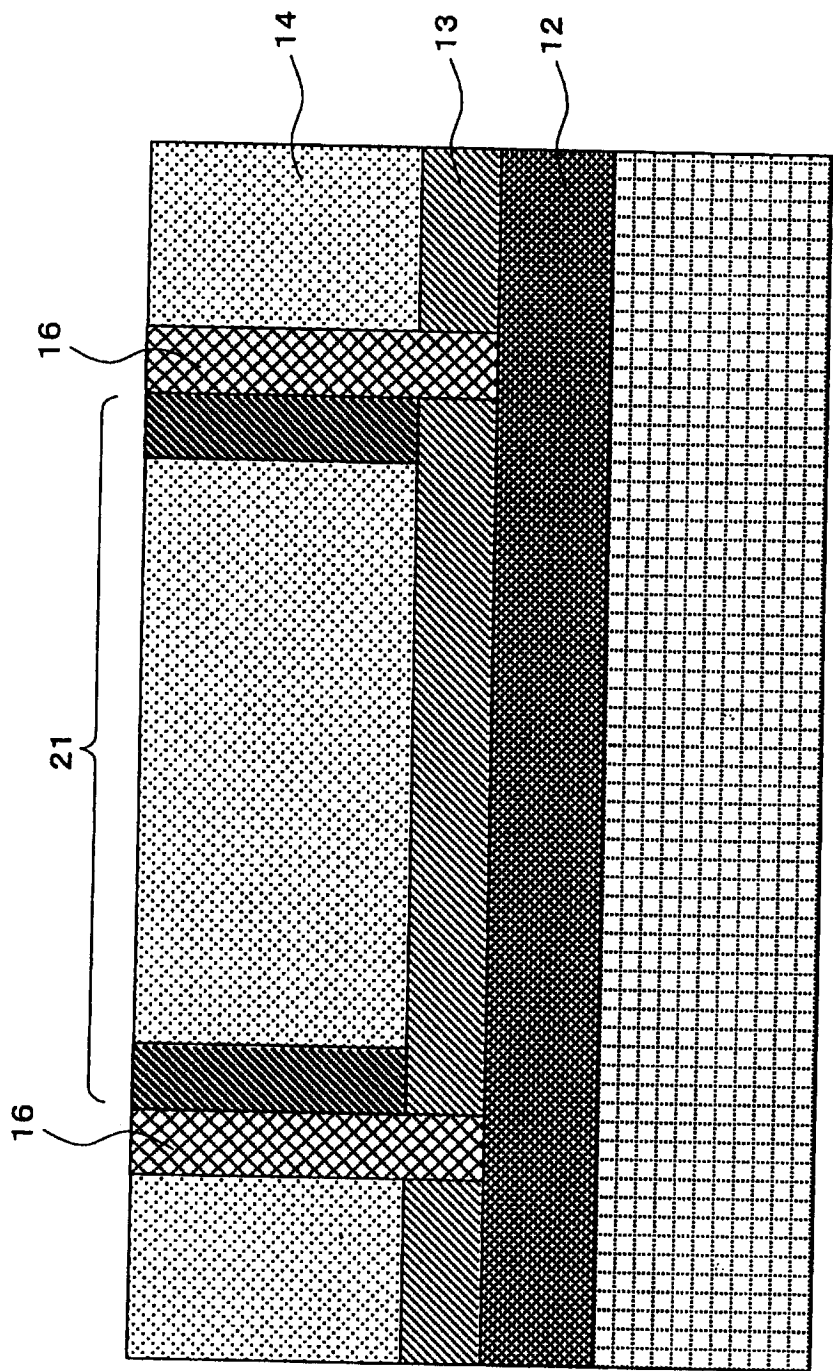
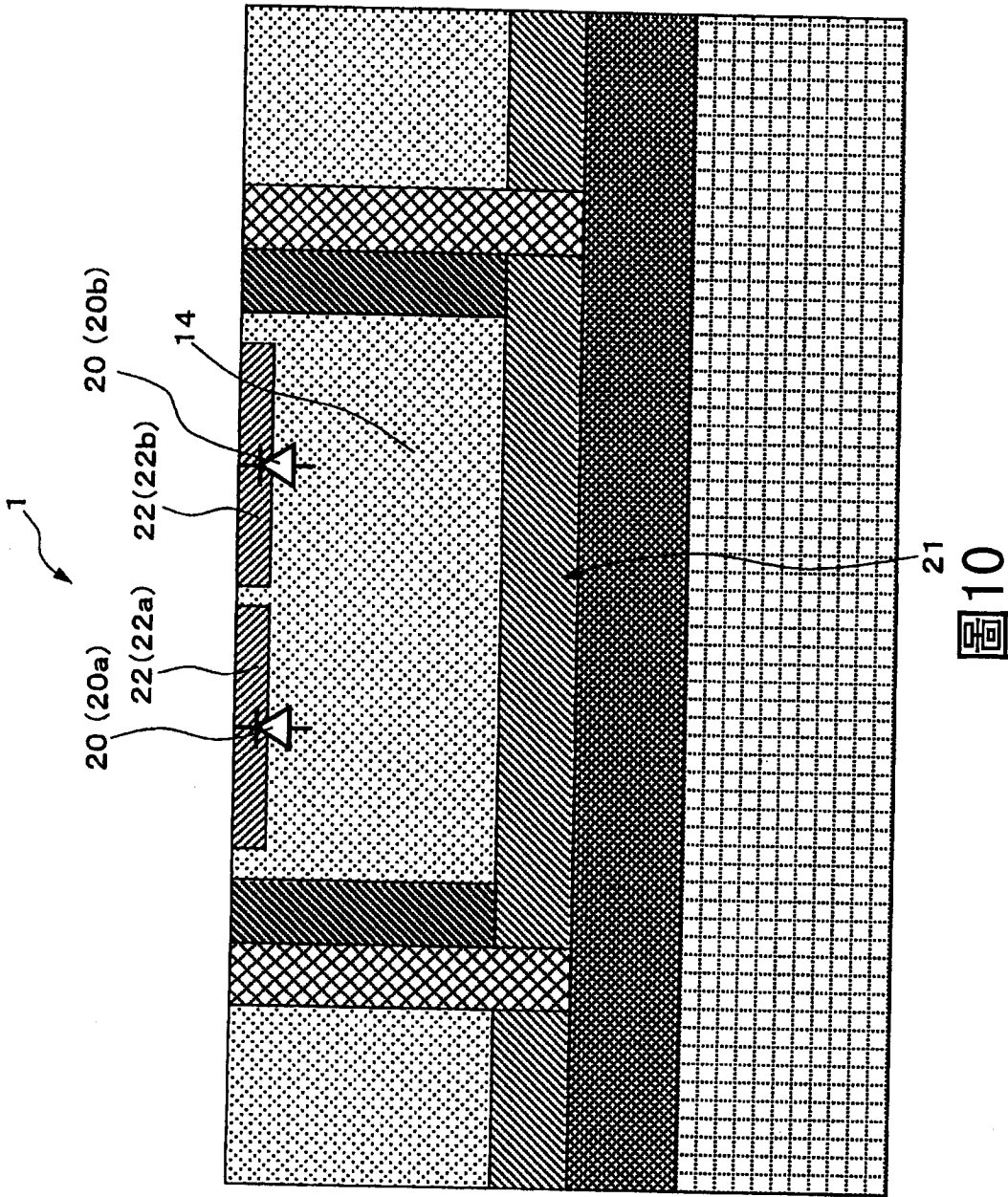


圖9



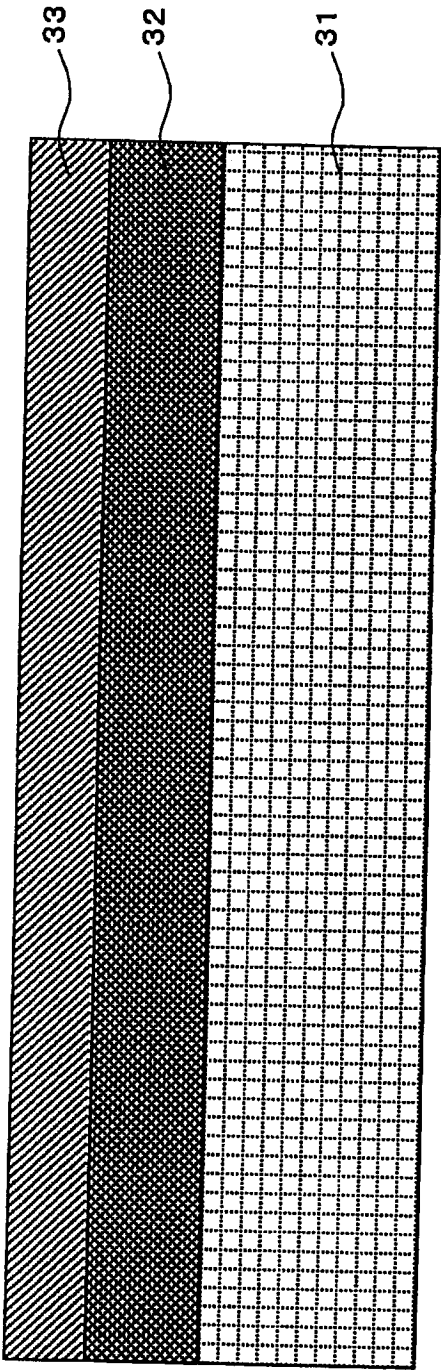


圖11

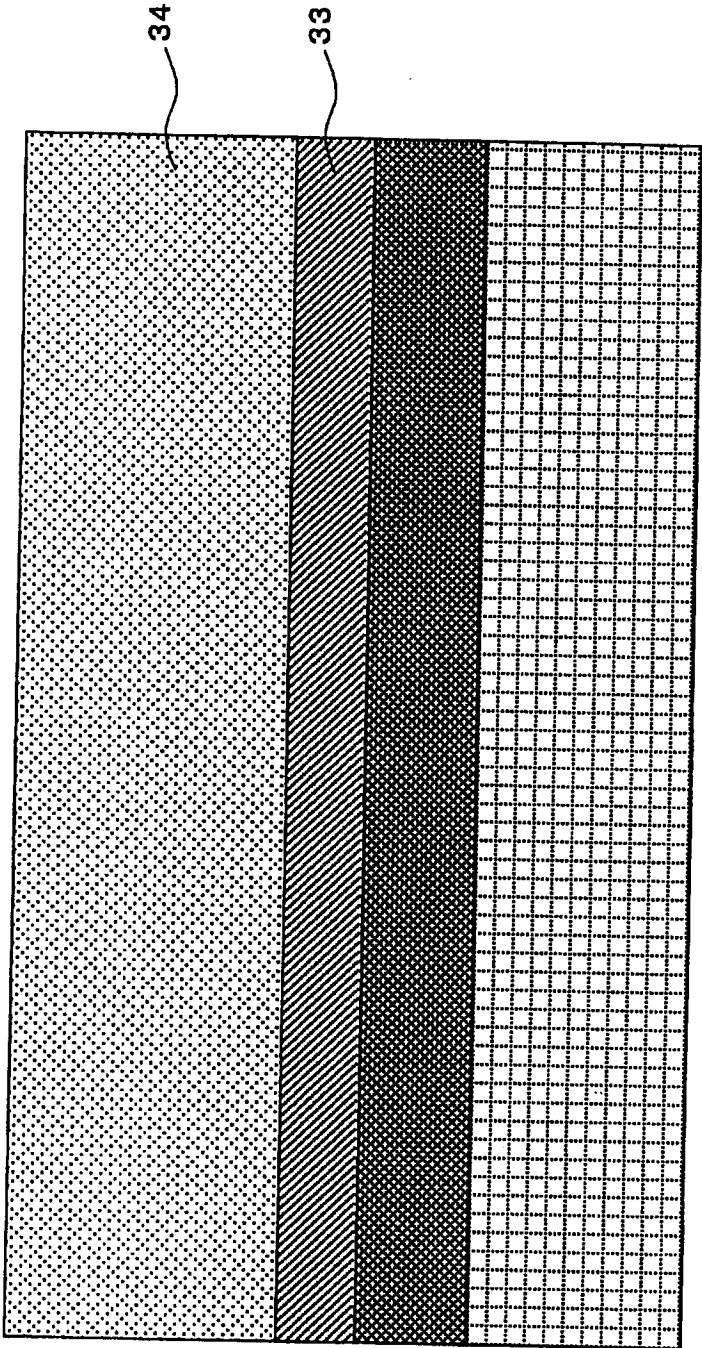


圖12

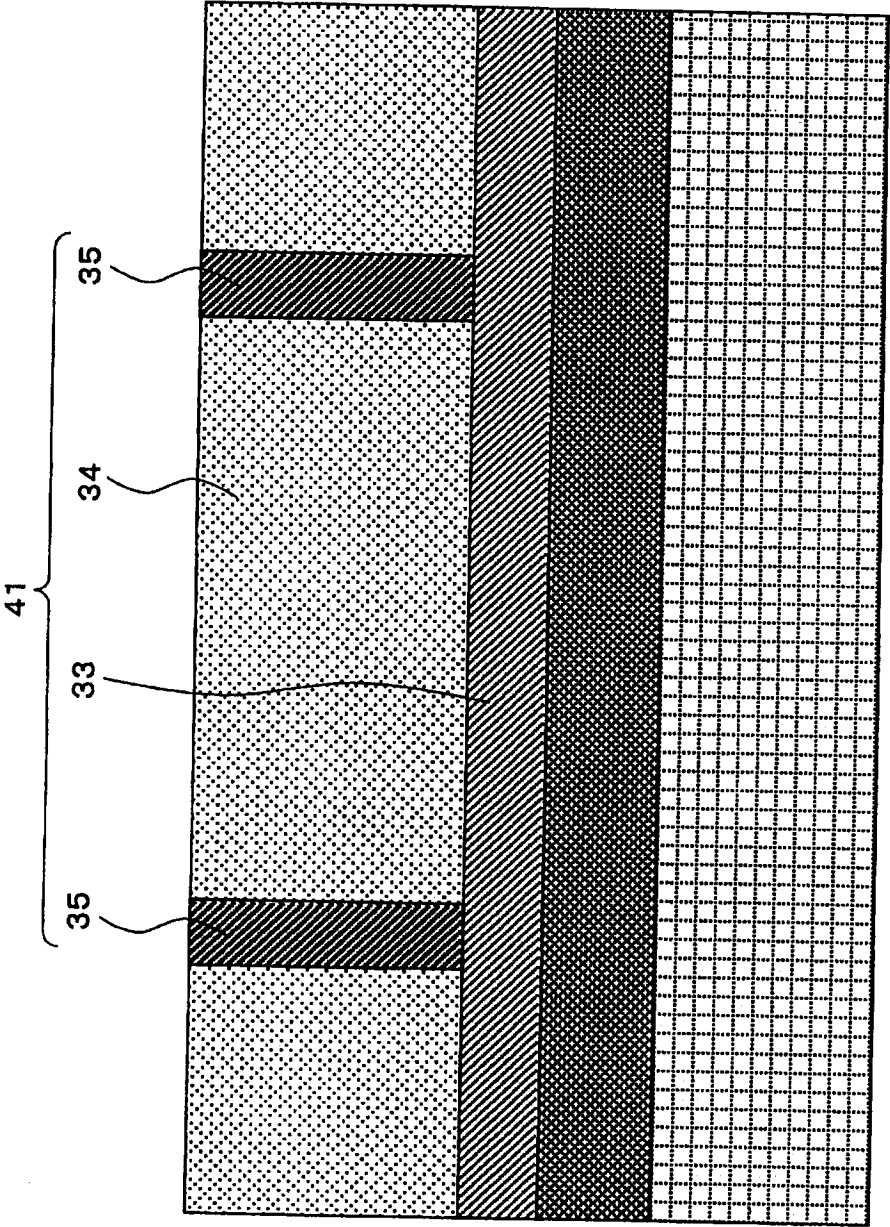


圖13

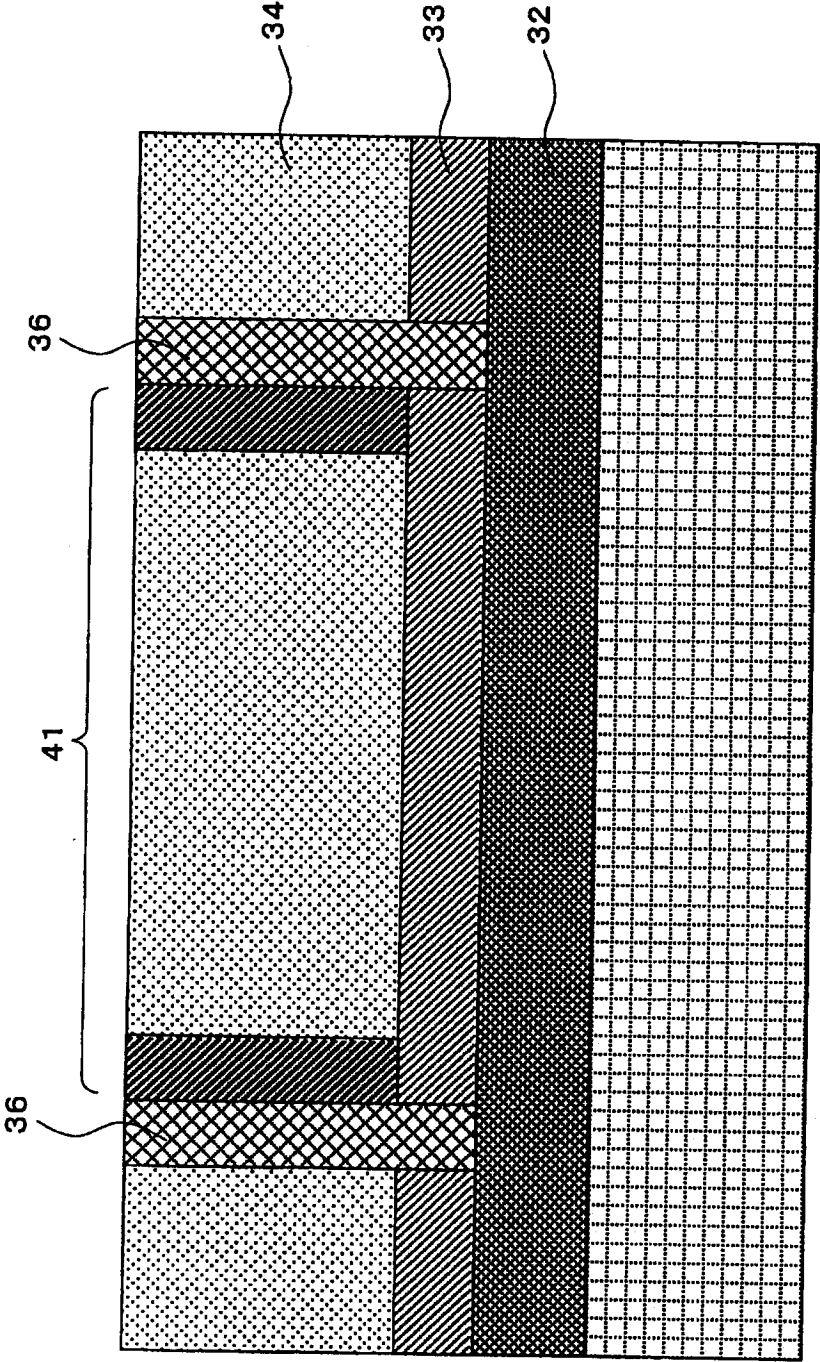


圖14

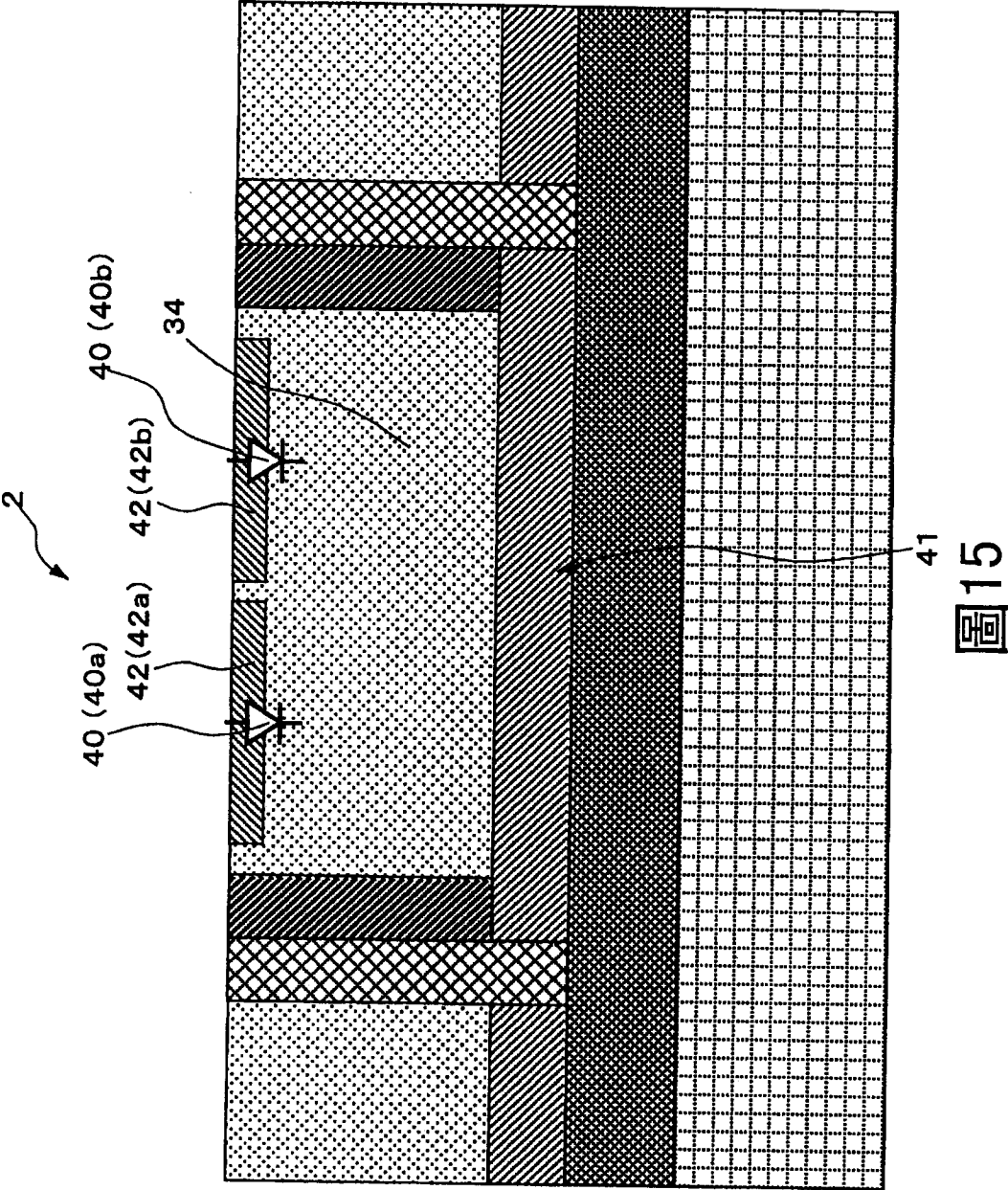


圖15

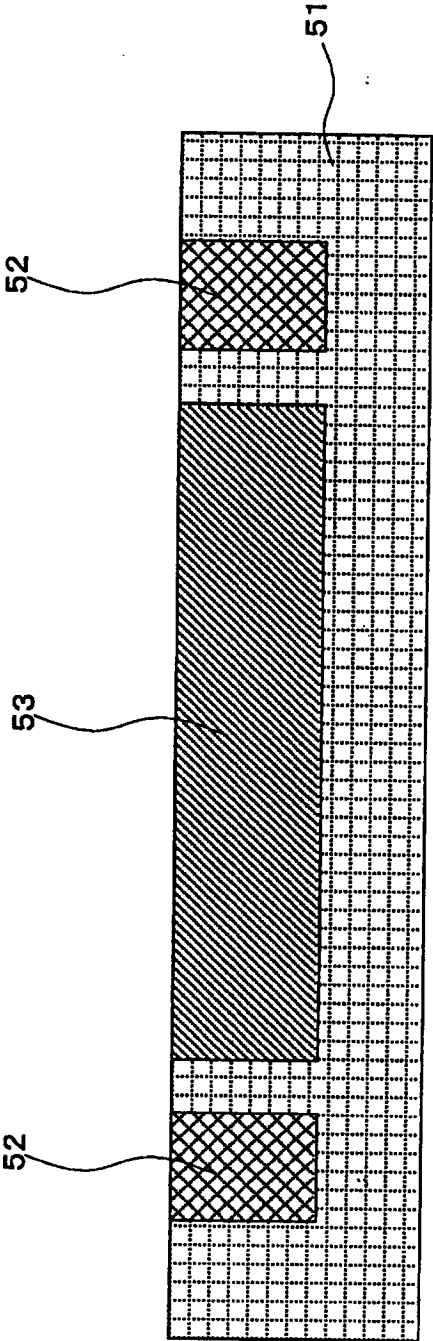


圖16

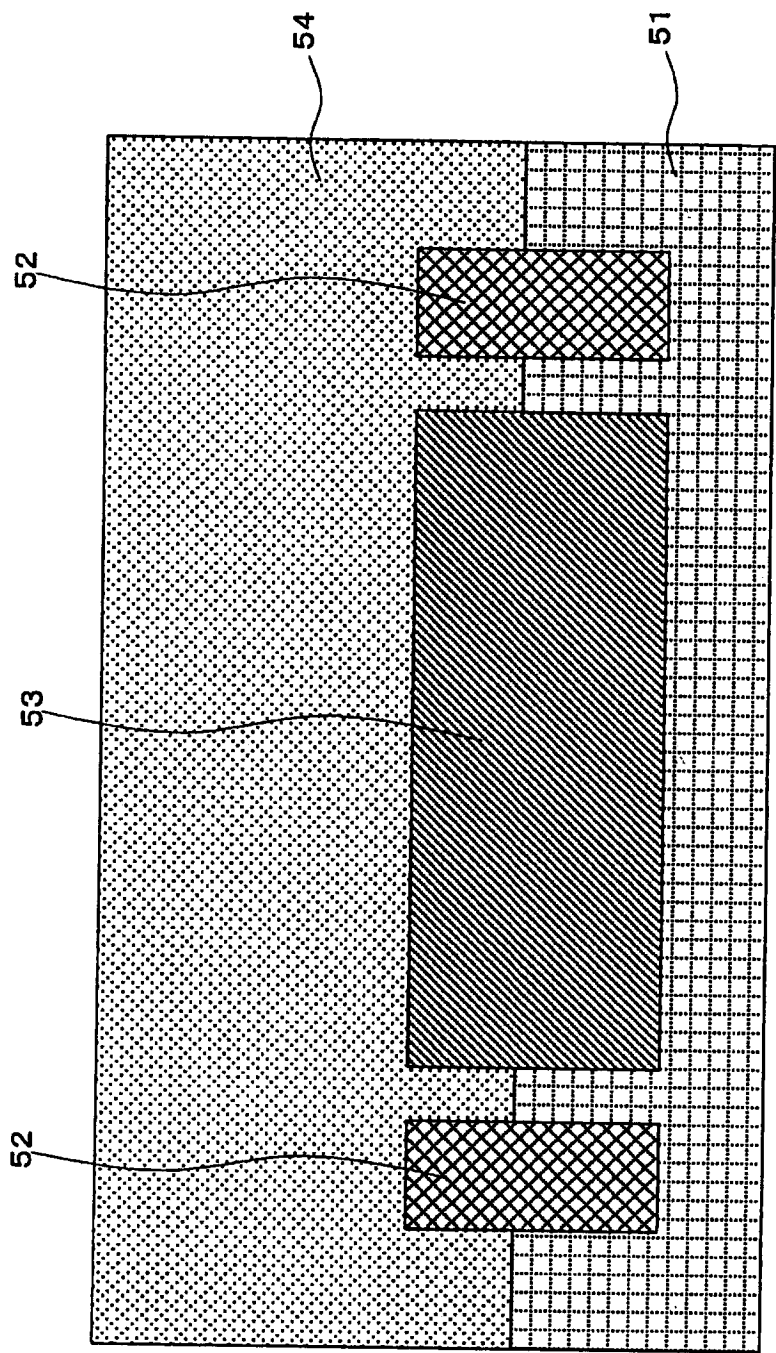
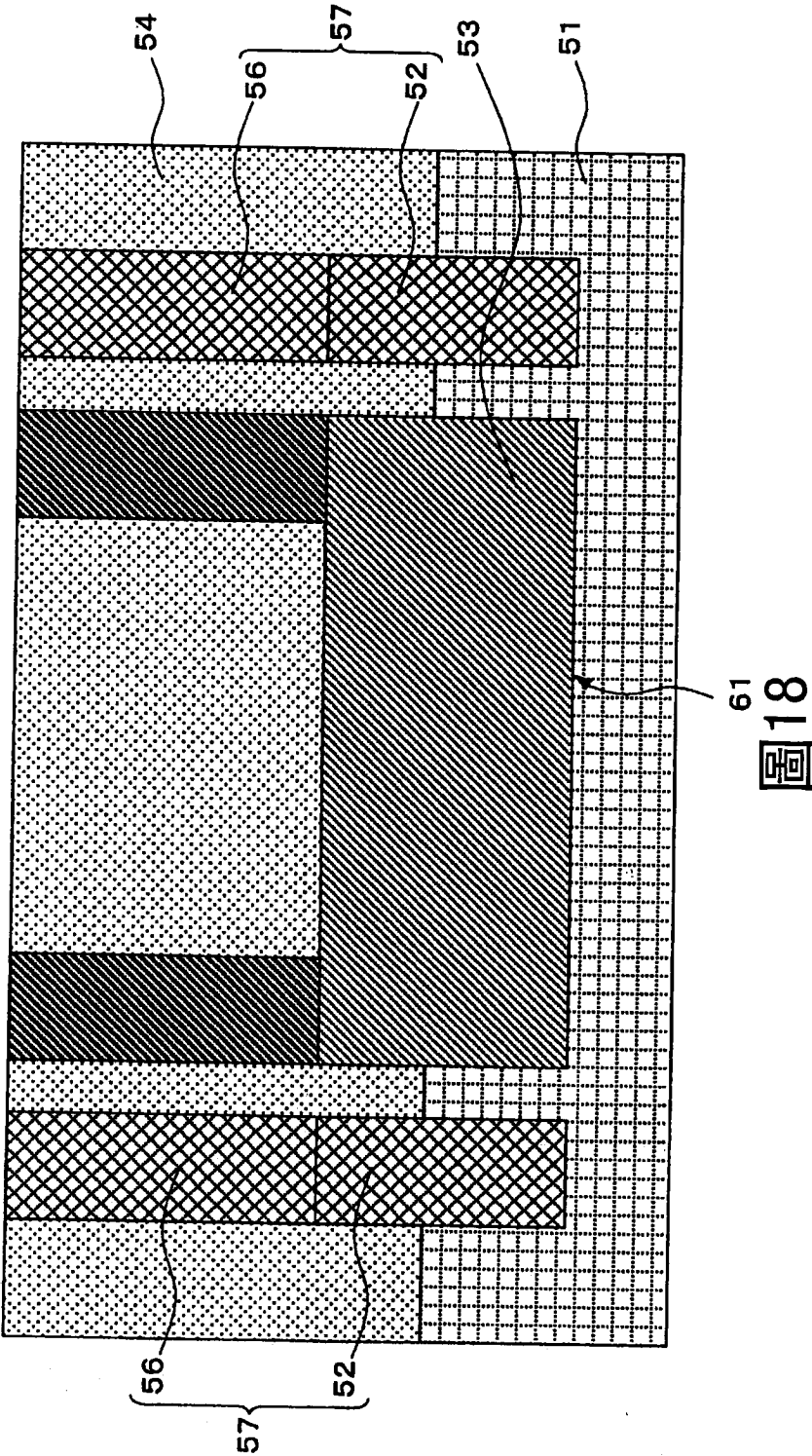
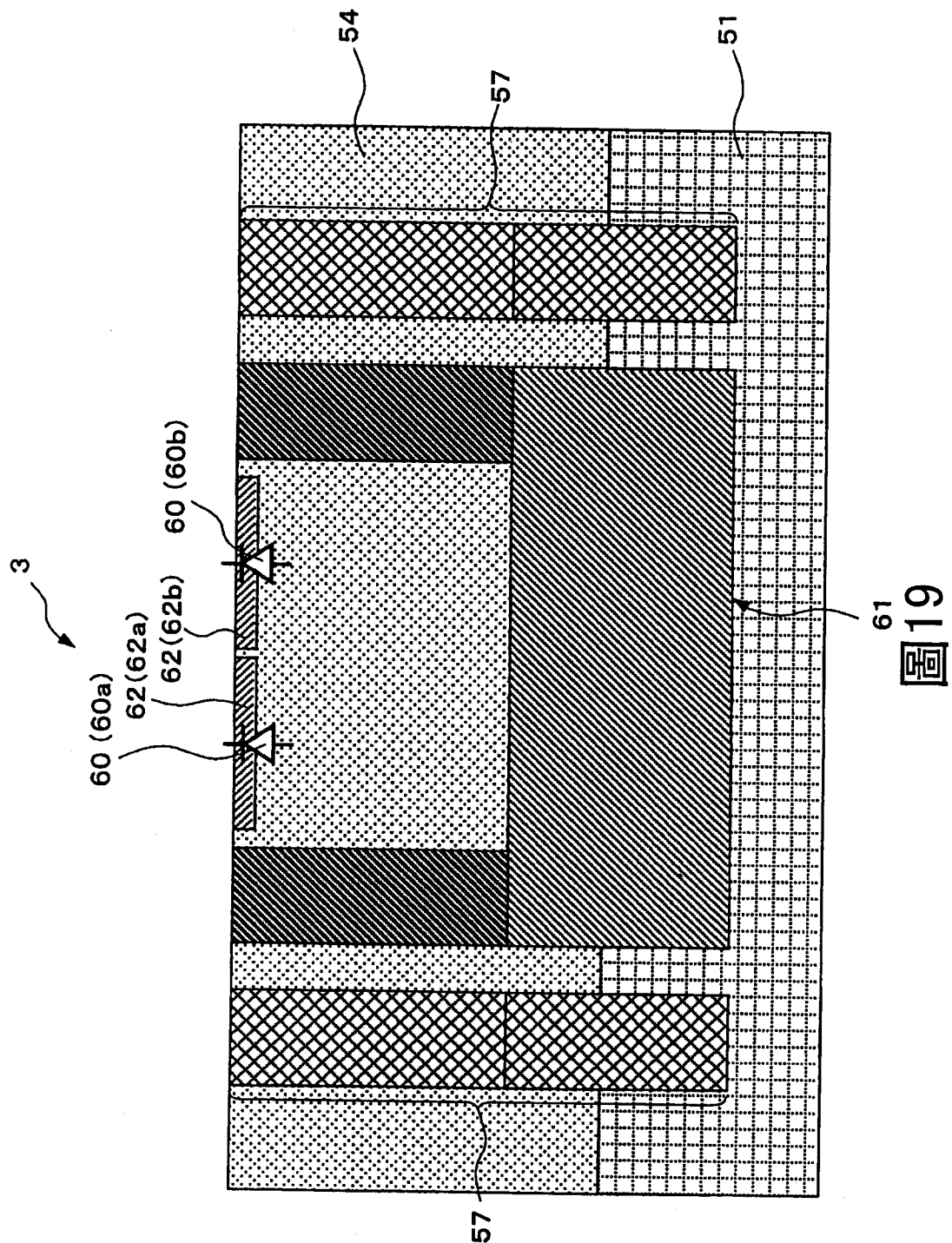


圖17





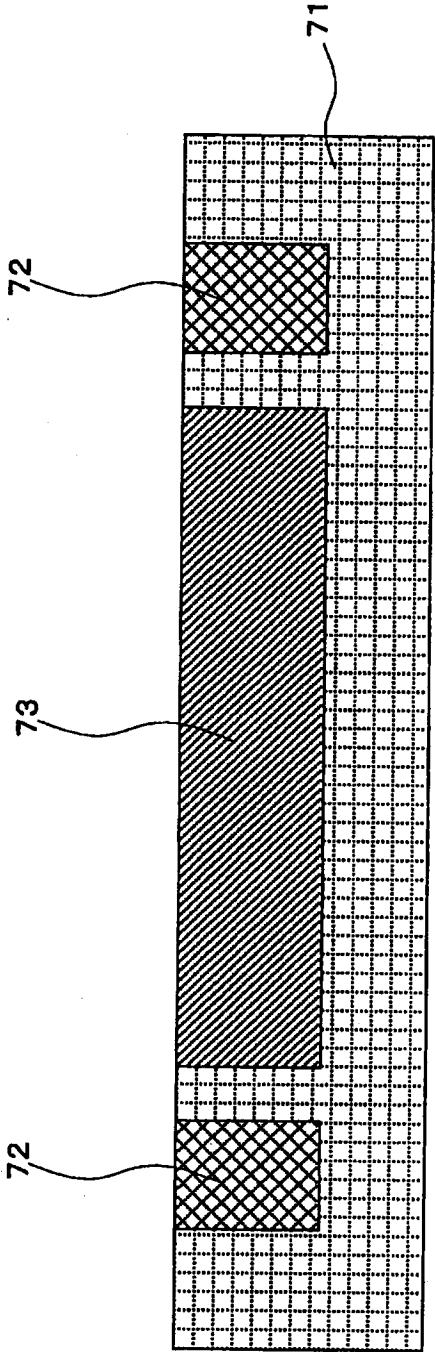


圖20

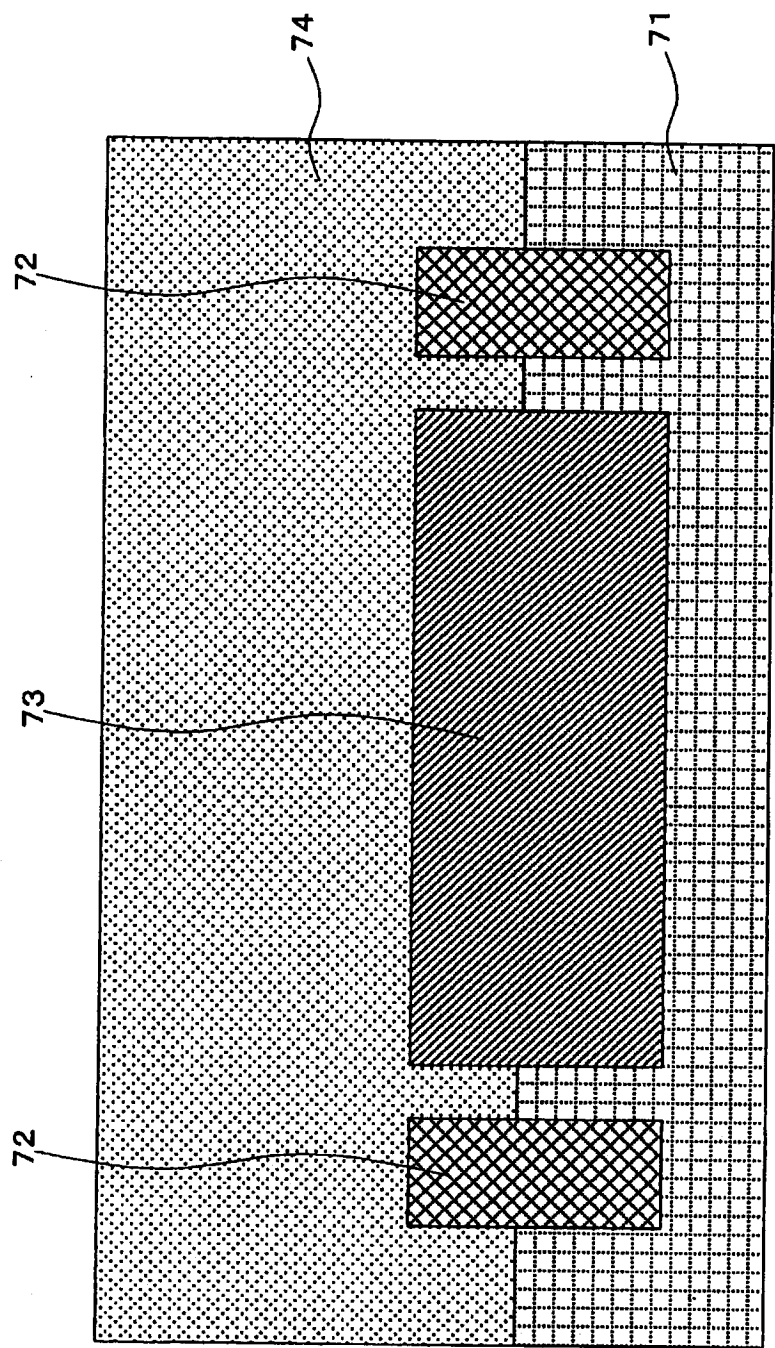
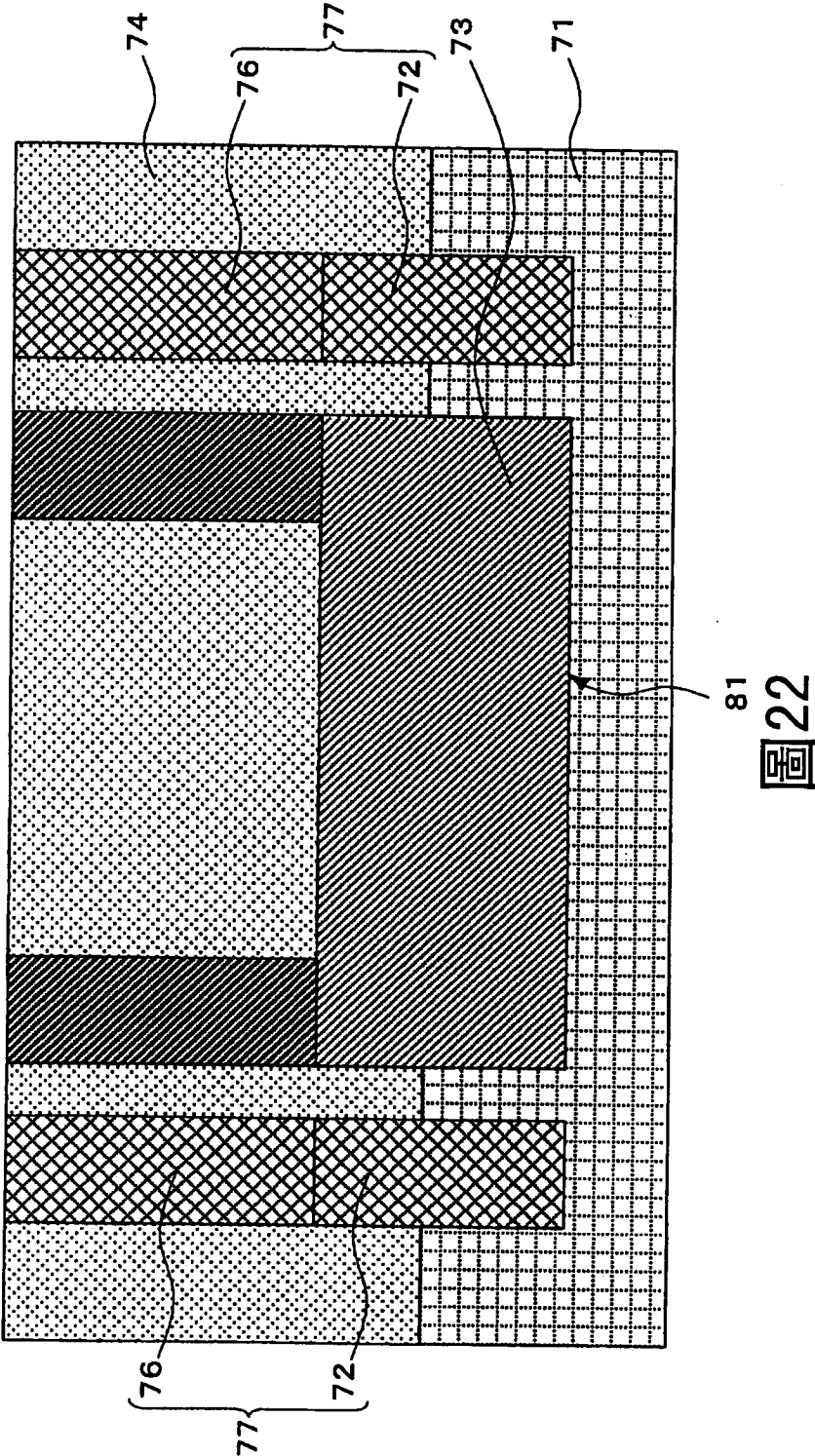


圖21



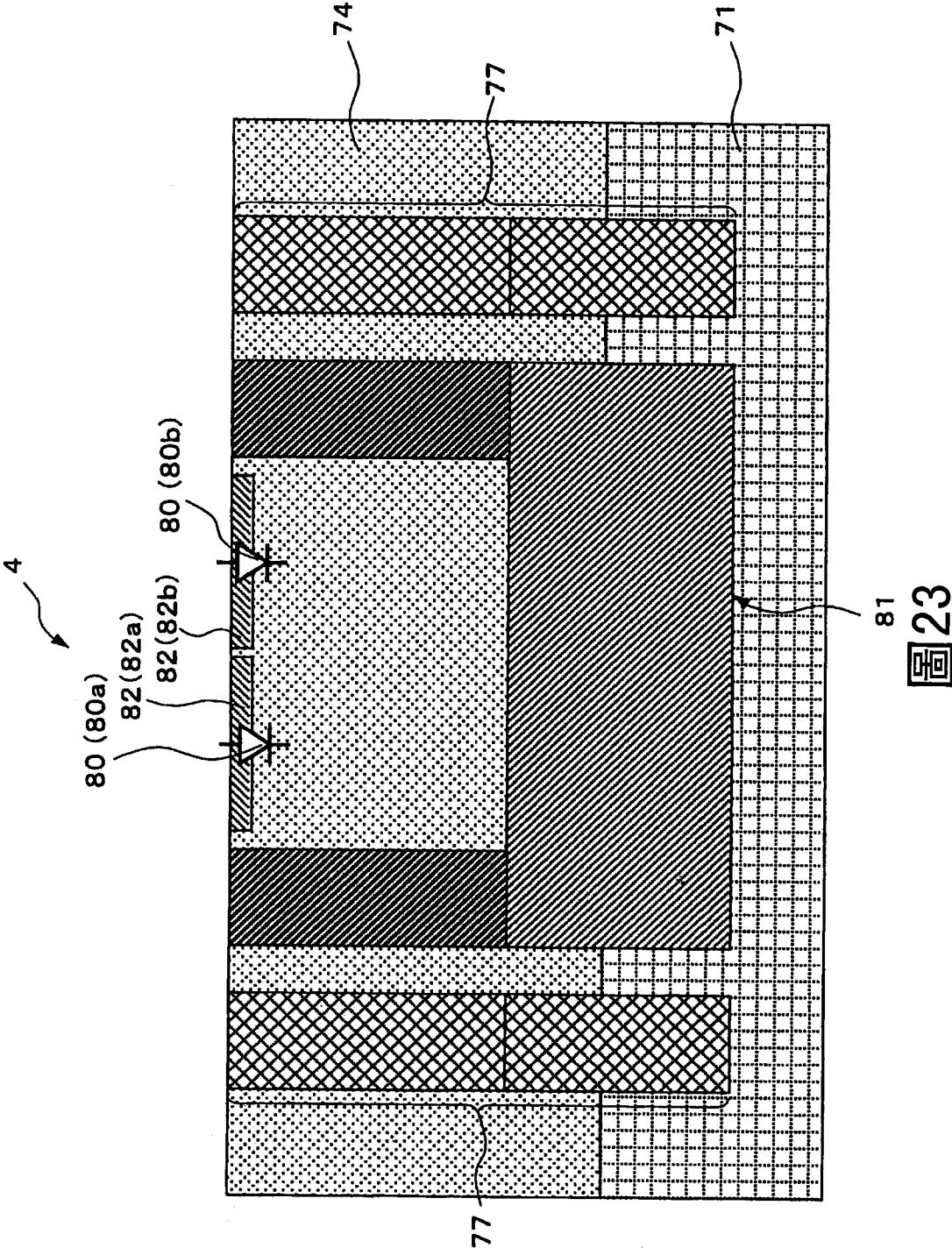


圖 23

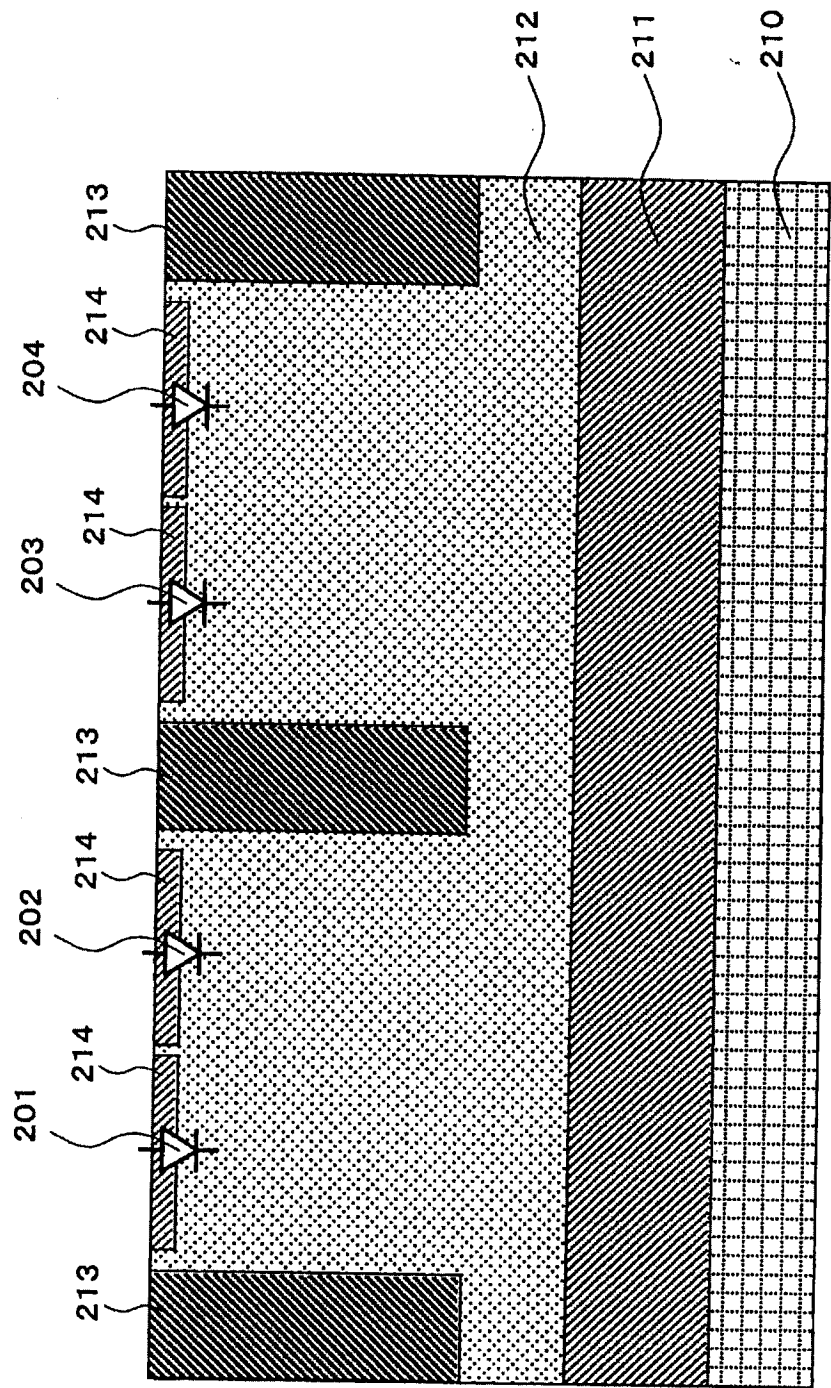


圖24

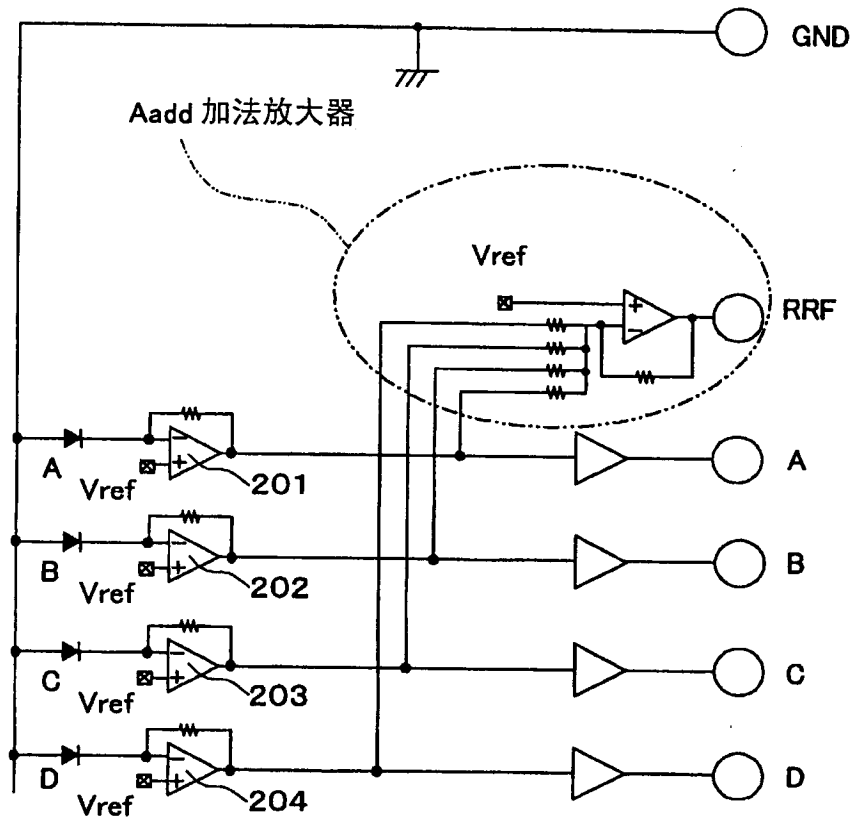


圖25

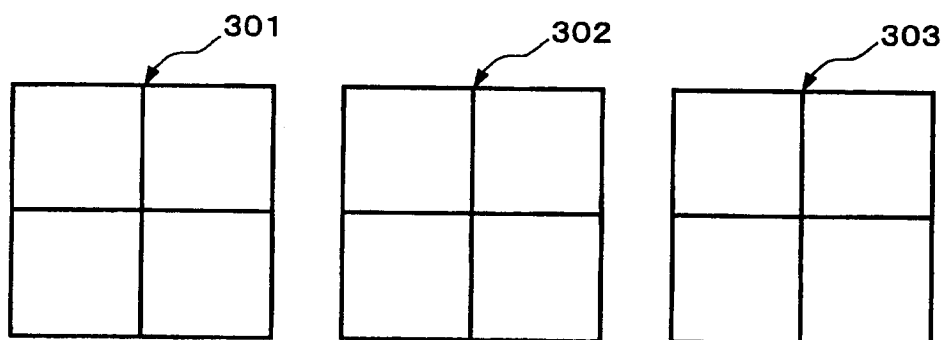


圖26

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	半導體裝置
11	半導體基板
12	絕緣層
13	埋設層
14	低濃度層
15	陽極取出區域
16	元件分離區域
20(20a)、20(20b)	光電二極體
21	共用之陽極
22(22a)、22(22b)	陰極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)