(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0201718
(24) 등록일자 1999년03월16일

(21) 출원번호 10-1996-0022229
(22) 출원일자 1996년06월19일
(65) 공개번호 특1997-0029832
(43) 공개일자 1997년06월26일
(30) 우선권주장 95-301743 1995년11월20일 일본(JP)

(73) 특허권자 후지쓰 가부시키가이샤 아끼구사 나오유끼
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고
(72) 발명자 시노자키 나오하루
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고 후지쓰 가부시키가이샤 나이
(74) 대리인 조태연

심사관 : 오제욱

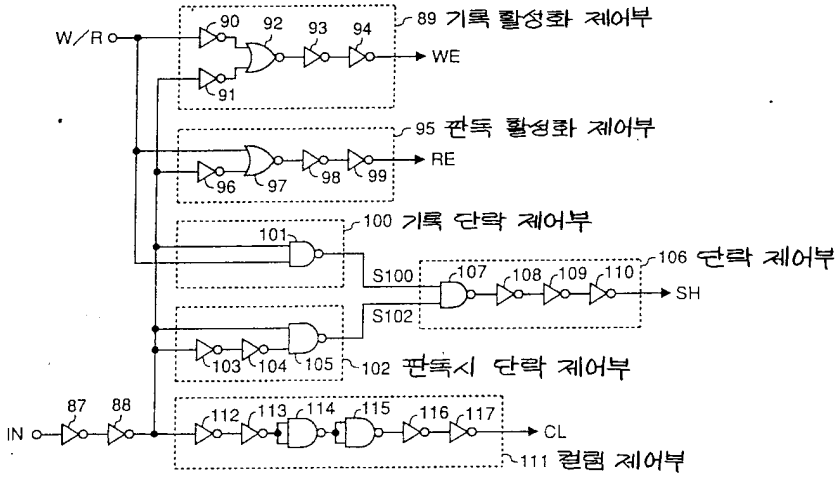
(54) 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법 및 반도체 기억 장치

요약

동일한 데이타 버스를 사용하고, 또한, 데이타를 상보 신호화하여 전송함으로써 데이타의 판독 및 기록를 행하도록 된 반도체 기억 장치, 예컨대, SDRAM에 관하여, 판독 및 기록의 고속화를 도모한다.

기록시에 있어서의 데이타 버스의 단락 해제의 타이밍을 판독시에 있어서의 데이타 버스의 단락 해제의 타이밍보다도 앞서 설정하며, 동작 사이클을 짧게 하는 경우에 있어서, 판독시에는 데이타 버스를 완전히 프리차지 전압으로 프리차지한 후에 센세 앰프가 확보하는 데이타를 데이타 버스에 전송하도록 한 경우에 있어서도 기록시에 선택된 셀에 대한 기록 동작이 종료하기 전에 데이타 버스가 되어 프리차지 동작이 개시되는 것을 방지한다.

대표도



명세서

[발명의 명칭]

반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법 및 반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 실시의 제1형태의 구성을 개략적으로 도시하는 도면.

제2도는 본 발명의 실시의 제1형태가 구비하는 제어 회로의 구성을 도시하는 회로도.

제3도는 본 발명의 실시의 제1형태의 동작을 설명하기 위한 파형도.

제4도는 본 발명의 실시의 제1형태의 동작의 일예의 시뮬레이션 결과를 도시하는 파형도.

제5도는 본 발명의 제2형태가 구비하는 제어 회로의 구성을 도시하는 회로도.

제6도는 본 발명의 실시의 제2형태의 동작을 설명하기 위한 파형도.

제7도는 본 발명의 실시의 제3형태가 구비하는 제어 회로의 구성을 도시하는 회로도.

제8도는 본 발명의 실시의 제3형태의 동작을 설명하기 위한 파형도.

제9도는 종래의 SDRAM의 일예의 구성을 개략적으로 도시하는 도면.

제10도는 제9도에 도시된 종래의 SDRAM이 구비하는 셀의 구성을 도시하는 회로도.

제11도는 제9도에 도시된 종래의 SDRAM이 구비하는 센서 앰프의 구성을 도시하는 회로도.

제12도는 제9도에 도시된 종래의 SDRAM이 구비하는 컬럼 게이트의 구성을 도시하는 회로도.

제13도는 제9도에 도시된 종래의 SDRAM이 구비하는 센서 버퍼의 구성을 도시하는 회로도.

제14도는 제9도에 도시된 종래의 SDRAM이 구비하는 기록 앰프의 구성을 도시하는 회로도.

제15도는 제9도에 도시된 종래의 SDRAM에서의 판독 동작의 일예를 도시하는 파형도.

제16도는 제9도에 도시된 종래의 SDRAM에서의 기록 동작의 일예를 도시하는 파형도.

* 도면의 주요부분에 대한 부호의 설명

80 : 칩 본체 81~84 : 셀 영역

S/A : 센서 앰프 CG : 컬럼 게이트

LDB, /LDB : 로컬·데이타 버스 GDB, /GDB : 글로벌·데이타 버스

S/B : 센서 버퍼 W/A : 기록 앰프

SH : 단락 신호 WE : 기록·인에이블 신호

RE : 판독·인에이블 신호

[발명의 상세한 설명]

본 발명은 동일한 데이타 전송로를 사용하고, 또한, 데이타를 상보 신호화하여 전송함으로써 데이타의 판독 및 기록을 행하도록 구성되는 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법 및 이러한 반도체 기억 장치에 관한 것이다. 동일한 데이타 전송로를 사용하고, 또한, 데이타를 상보 신호화하여 전송함으로써 데이타의 판독 및 기록을 행하는 반도체 기억 장치로서 예컨대, 다이나믹·랜덤·액세스·메모리(이하 DRAM 이라 칭함)가 공지되어 있지만, 특히 동기 DRAM(이하, SDRAM 이라 칭함)이나, 100 MHz 이상의 동작 사이클이 요구되는 비동기형의 고속 DRAM에 있어서, 더욱 고속화를 도모하기 위해서는 데이타 전송로를 구성하는 쌍을 이루는 데이타 버스의 프리차지를 위한 단락의 해제타이밍을 고려할 필요가 있다.

종래, SDRAM 으로서, 예컨대, 제9도에 그 구성된 개략적으로 도시한 것이 공지되어 있다. 제9도중에 1은 칩 본체, 2~5는 메모리 셀(이하 단순히 셀이라 칭함)영역이고, 이점쇄선 X로 둘러싼 부분은 셀 영역(2) 및 그 주변회로의 일부를 확대하여 나타낸 것이다.

셀 영역(2)에 있어서, 6은 셀이 배열된 셀·어레이 7~10은 셀, WL0, WL1은 셀의 선택을 행하는 워드선, BL0, BL0, BL1, /BL1은 데이타 전송로를 이루는 비트선이다.

제10도는 셀(7) 구성을 도시하는 회로도이고, 12는 기억 매체를 이루는 커패시터, 즉, 셀.커패시터, 13은 워드선(WL0)을 통하여 도통(이하, ON 이라 칭함), 비도통(이하, OFF라 칭함)이 젱되는 전하 입출력 제어용의 트랜지스터, 즉, 셀·트랜지스터, VCP는 셀·플레이트 전압이다. 셀(8~10)등, 다른 셀도 동일하게 구성되어 있다.

또한, 제9도에 있어서, 15는 쌍을 이루는 비트선간의 전압차를 증폭하는 센서 앰프(S/A)가 배열된 센서 앰프열이고, 16은 비트선 BL0, /BL0에 대응하여 설치되는 센서 앰프, 17은 비트선 BL1, /BL1에 대응하여 설치되는 센서 앰프이다.

제11도는 센서 앰프(16)의 구성을 도시하는 회로도이고, 19~22는 증폭 동작을 행하는 트랜지스터이며, 19, 20은 풀업용 pMOS 트랜지스터, 21, 22는 풀다운용 nMOS 트랜지스터이다.

또한, 23은 센서 앰프 활성화 신호(/SAE)에 의해 ON, OFF가 제어되는 pMOS 트랜지스터, 24는 센서 앰프 활성화 신호(SAE)에 의해 ON, OFF가 제어되는 nMOS 트랜지스터, VCC는 전원 전압, VSS는 접지 전압이다.

또한, 제9도에 있어서, 26은 컬럼의 선택을 행하는 컬럼 게이트(CC)가 배열된 컬럼 게이트열이고, 27은 비트선 BL0, /BL1에 대응하여 설치되는 컬럼 게이트, 28은 비트선 BL1, /BL1에 대응하여 설치되는 컬럼 게이트이다.

제12도는 컬럼 게이트(27, 28)의 구성을 도시하는 회로도이고, 30, 31은 컬럼 선택 신호 (CL0)에 의해서 ON, OFF가 제어되는 nMOS 트랜지스터, 32, 33은 컬럼 선택 신호(CL1)에 의해서 ON, OFF가 제어되는 nMOS 트랜지스터이다.

또한, 제9도에 있어서, LDB, /LDB 는 복수의 컬럼으로 공용되는 쌍을 이루는 데이타 전송로를 이루는 로컬·데이타 버스, (35)는 데이타 버스·스위치이고, 36, 37은 데이타 버스·스위치 선택 신호(DSL)에 의해 ON, OFF가 제어되는 nMOS 트랜지스터이다. 또한, GDB, /GDB 는 복수의 로컬·데이타 버스쌍으로 공용되는 글로벌·데이타 버스, 39는 단락 신호(SH)에 의해서 ON, OFF가 제어되는 nMOS 트랜지스터(이하, 단락·트랜지스터라 칭함)이다.

또한, 40은 판독(독출)·데이타(DO)의 판독을 행하는 판독 회로를 이루는 센서 버퍼(S/B), 41은 기록·데

이타(D1)의 기록을 행하는 기록 회로를 이루는 기록 앰프(W/A)이다. 또, 단락·트랜지스터(39)는 센서 버퍼(40)의 입력단의 근처, 즉, 기록 앰프(41)의 출력단의 근처에서 글로벌·데이타 버스 GDB, /GDB를 단락하도록 배치되어 있다. 이 경우에 센서 버퍼(40)은 제13도에 도시된 바와 같이 구성되어 있다.

제13도중에 43은 글로벌·데이타 버스 GDB, /GDB를 전원 전압(VCC)보다도 낮은 프리차지 전압(VP)으로 프리차지하기 위한 프리차지 회로이다. 이 프리차지 회로(43)에 있어서, 44, 45는 프리차지 신호(PC)에 의해 ON, OFF가 제어되는 nMOS 트랜지스터이고, 프리차지 신호(PC)는 컬럼계가 동작하는 경우는 전원 전압(VCC)에 고정된다. 또한, 46, 47은 커런트·미러 증폭 회로이고, 커런트·미러 증폭 회로(46)에 있어서, 48, 49는 입력 트랜지스터를 이루는 pMOS 트랜지스터, 50, 51은 커런트·미러회로를 구성하는 nMOS 트랜지스터, 52는 활성, 비활성을 제어하는 pMOS 트랜지스터, 53은 활성, 비활성을 제어하는 nMOS 트랜지스터이다.

또한, 커런트·미러 증폭 회로(47)에 있어서, 54, 55는 입력 트랜지스터를 이루는 pMOS 트랜지스터, 56, 57은 커런트·미러회로를 구성하는 nMOS 트랜지스터, 58은 활성, 비활성을 제어하는 pMOS 트랜지스터이고, 59는 활성, 비활성을 제어하는 nMOS 트랜지스터이다.

또한, 60, 61은 플립플롭 회로를 구성하는 NOR 회로, 62는 NOR 회로(0)의 출력을 반전하여 판독. 데이타(DO)를 출력하는 인버터(반전 회로)이다. 또한, RE는 판독 동작을 설정하는 판독·인에이블 신호, 63은 판독·인에이블 신호(RE)를 반전하는 인버터이고, 판독·인에이블 신호(RE)는 판독 동작을 설정하는 경우에는 H 레벨, 기록 동작을 설정하는 경우에는 L 레벨이 된다. 또한, 64는 NOR 회로(61)의 출력과 인버터(63)의 출력을 NOR 처리하는 NOR 회로, 65는 NOR 회로(64)의 출력을 반전하는 인버터, (66)은 인버터(65)의 출력에 의해 ON, OFF가 제어되는 nMOS 트랜지스터이고, pMOS 트랜지스터(58) 및 nMOS 트랜지스터(59)도 인버터(65)의 출력에 의해 ON, OFF가 제어된다. 또한, 67은 NOR 회로(60)의 출력과 인버터(63)의 출력을 NOR 처리하는 NOR 회로, 68은 NOR 회로(67) 출력을 반전하는 인버터, 69는 인버터(68)의 출력에 의해 ON, OFF가 제어되는 nMOS트랜지스터이고, pMOS 트랜지스터(52) 및 nMOS 트랜지스터(53)도 인버터(68)의 출력에 의해 ON, OFF가 제어된다. 이 센서 버퍼(40)에 있어서는 판독시에 글로벌·데이타 버스(GDB, /GDB)상의 데이타가 반전하면, 커런트·미러 증폭 회로(46, 47) 한쪽이 동작하여 판독.데이타(DO)를 확정하고, 동작한 커런트·미러 증폭 회로가 비활성이 있는 동시에, 비활성으로 되어 있던 다른쪽의 커런트·미러 증폭 회로가 활성 상태로 되며, 다음 글로벌·데이타 버스(GDB, /GDB)상의 데이타의 반전시에 동작하도록 대기된다. 즉, 이 센서 버퍼(40)는 판독.데이타(DO)가 [1]→[0]→[1]→[0]으로 반전을 반복하는 경우, 커런트·미러 증폭 회로(46, 47)는 교대로 동작하여 엑세스에 지연이 생기지 않도록 한 것이다. 또한, 기록 앰프(41)는 제14도에 도시된 바와 같이 구성되어 있다. 제14도중에 71, 72는 기록 데이타(D1)를 반전하는 인버터, 73은 인버터(71)의 출력을 반전하는 인버터이다. 또한, WE는 기록 동작을 설정하는 기록·인에이블 신호이고, 이 기록·인에이블신호(WE)는 기록 동작을 설정하는 경우에는 H 레벨, 판독 동작을 설정하는 경우에는 L 레벨이 된다. 또한, 74는 기록·인에이블 신호(WE)를 반전하는 인버터, 75는 pMOS 트랜지스터(75A) 및 nMOS 트랜지스터(75B)로 이루어지는 전송 게이트, 76은 pMOS 트랜지스터(76A) 및 nMOS 트랜지스터(76B)로 이루어지는 전송 게이트이다. 이 기록 앰프(41)는 기록·인에이블 신호(WE) = H 레벨이 되는 경우에는 전송 게이트(75, 76)가 ON 이 되어 활성 상태가 되고, 기록·인에이블 신호(WE) = L 레벨이 되는 경우에는 전송 게이트(75, 76)가 OFF가 되어 비활성 상태가 된다. 이 SDRAM에서는 판독시에 선택된 셀로부터 비트선에 방전되는 전하 또는 비트선으로부터 선택된 셀에 충전되는 전하에 의한 비트선쌍의 전압차가 센서 앰프에 의해 증폭된다. 그리고, 그후, 선택된 컬럼의 비트선이 로컬·데이타 버스에 접속됨과 동시에, 선택된 로컬·데이타 버스가 글로벌·데이타 버스 GDB, /GDB에 접속되고, 선택된 셀의 데이타가 상보 신호로서 센서 앰프로부터 로컬·데이타 버스 및 글로벌·데이타 버스 GDB, /GDB를 통하여 센서 버퍼(40)에 전송된다.

제15도는 판독 동작의 일예를 도시하는 파형도로서, 센서 앰프(16)으로부터 [0]의 출력과 센서 앰프(17)로부터의[1]의 출력을 반복하여 행하는 경우를 도시하고 있다. 또, 제15(a)도에는 외부로부터 공급되는 외부 클록(CLK)의 전압 파형, 컬럼 선택 신호(CL0, CL1)의 전압 파형 및 단락 신호(SH)의 전압 파형을 도시하고, 제15(b)도에는 외부 클록(CLK)의 전압 파형, 비트선 BL0, /BL0, BL1, /BL1의 전압 변화, 로컬·데이타 버스 LDB, /LDB의 전압 변화 및 글로벌·데이타 버스 GDB, /GDB의 전압 변화를 도시하고 있다. 이와 같이, 연속한 판독 동작을 행하며, 또한, 소진폭에 의한 데이타의 전송을 행하는 것으로, 고속인 판독를 행할 수 있지만, 한 번 판독한 경우에는 다음 사이클의 판독 동작을 지연시키지 않도록, 단락·트랜지스터(39)를 ON 상태로 하고, 글로벌·데이타 버스 GDB, /GDB를 단락함으로써, 글로벌·데이타 버스 GDB, /GDB 및 선택된 로컬·데이타 버스를 프리차지 전압(VP)으로 프리차지할 필요가 있다. 또한, 기록시에는, 기록.데이타(D1)는 기록 앰프(41)에 의해 상보 신호화되고, 글로벌·데이타 버스 GDB, /GDB, 선택된 로컬·데이타 버스를 통해 선택된 컬럼의 센서 앰프에 전송되며, 비트선을 통해 선택된 셀에 기록된다.

제16도는 기록 동작의 일예를 도시하는 파형도로서, 센서 앰프(16)가 [0]을 검출하고, 센서 앰프(17)가 [1]을 검출하고 있는 경우에 있어서, 센서 앰프(16)에 [1]을 전송하고, 다음에, 센서 앰프(17)에 [0]을 전송하며, 다음에, 센서 앰프(16)에 [1]을 전송하고, 다음에, 센서 앰프(17)에 [0]을 전송한 경우를 도시하고 있다. 또, 제16(a)도에는 외부 클록(CLK)의 전압 파형, 컬럼 선택 신호(CL0, CL1)의 전압 파형 및 단락 신호(SH)의 전압 파형을 도시하고, 제16(b)도에는 외부 클록(CLK)의 전압 파형, 글로벌·데이타 패스 GDB, /GDB의 전압 변화, 로컬·데이타 버스 LDB, /LDB의 전압 변화 및 비트선 BL0, /BL0, BL1, /BL1의 전압 변화를 도시하고 있다. 이 경우에 기록 앰프(41)로부터 글로벌·데이타 버스 GDB, /GDB 로 출력하는 상보 신호의 전압차는 큰쪽이 고속인 기록을 행할 수 있지만, 한 번 기록한 경우에는 다음 사이클의 기록 동작을 방해하지 않도록, 판독시의 경우와 같이, 단락·트랜지스터(39)를 ON 상태로 하여 글로벌·데이타 버스 GDB, /GDB를 단락함으로써, 글로벌·데이타 버스 GDB, /GDB 및 선택된 로컬·데이타 버스를 프리차지 전압(VP)으로 프리차지할 필요가 있다. 그런데, 이 SDRAM에 있어서, 동작 사이클을 짧게 하여 고속화를 도모하고자 하는 경우에는 센서 앰프의 구동 능력으로 보아 판독시에는 선택된 로컬·데이타 버스 및 글로벌·데이타 버스 GDB, /GDB를 완전히 프리차지 전압(VP)으로 프리차지한 후에 센서 앰프가 확보하는 데이타를 로컬·데이타 버스에 전송할 필요가 있다. 그리고, 또한, 이 SDRAM에 있어서는 제15도 및 제16도에 도시된 바와 같이, 글로벌·데이타 버스 CDB, /GDB를 단락하여 프리차지하는 타이밍 및 단락 기간을 동일하게 하고 있으므로, 글로벌·데이타 버스 CDB, /GDB를 단락하는 기간은 판독시를 기준으로 할 필요

가 있다. 그러나, 이와 같이 하는 경우에는 기록시에 기록 앰프(41)로부터 글로벌·데이타 버스 GDB, /GDB에 출력되는 상보 신호의 전압차가 충분한 크기가 되기 전에 글로벌·데이타 버스 GDB, /GDB가 단락되고, 이것이 판독 및 기록의 고속화를 방해하게 된다고 하는 문제점이 있었다. 이 경우에, 이 SDRAM에 있어서는, 데이타는, 판독시에는 선택된 센서 앰프→선택된 로컬·데이타 버스→글로벌·데이타 버스 GDB, /GDB→센서 버퍼(40)의 순으로 전송되며, 기록시에는 기록 앰프(41)→글로벌·데이타 버스 GDB, /GDB→선택된 로컬·데이타 버스→선택된 센서 앰프의 순으로 전송된다. 그리고, 또한, 단락·트랜지스터(39)는 센서 버퍼(40)의 입력단의 근처, 즉, 기록 앰프(41)의 출력단의 근처에서 글로벌·데이타 버스 GDB, /GDB를 단락하도록 배치되어 있다. 즉, 단락·트랜지스터(39)는 판독시의 데이타 전송의 드라이버인 센서 앰프에서 보면, 먼 위치에 있고, 기록시의 데이타 전송의 드라이버인 기록 앰프(41)에서 보면, 가까운 위치에 있다. 이 점을 고려한 본 발명자의 실험 연구의 결과 동작 사이클을 짧게 하면, 판독의 경우에는 글로벌·데이타 버스 GDB, /GDB의 단락을 충분히 행하고나서 데이타 전송의 동작으로 들어간 쪽이 고속이 되며, 기록의 경우에는 글로벌·데이타 버스 GDB, /GDB의 단락 동작을 어느 정도로 해제하고, 그 후는 기록 앰프(41) 자신의 구동 능력으로 글로벌·데이타 버스 GDB, /GDB 및 선택된 로컬·데이타 버스상의 데이타를 반전시킨 쪽이 고속이 되는 것이 판명되었다.

본 발명은 이러한 점을 감안하여 동일한 데이타 전송로를 사용하고, 또한, 데이타를 상보 신호화하여 전송함으로써 데이타의 판독 및 기록을 행하도록 구성되는 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법으로서, 판독 및 기록의 고속화를 도모할 수 있도록 한 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법 및 동일한 데이타 버스를 사용하며, 또한 데이타를 상보 신호화하여 전송함으로써 데이타의 판독 및 기록을 행하는 반도체 기억 장치로서, 판독 및 기록의 고속화를 도모할 수 있도록 한 반도체 기억 장치를 제공하는 것을 목적으로 한다. 본 발명의 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법은 메모리 셀이 접속되어 판독시에 그 전압차를 센서 앰프에 의해 증폭되는 쌍을 이루는 제1, 제2데이타 전송로와 컬럼 게이트를 통하여 제1, 제2데이타 전송로가 접속되고, 또한, 판독 회로 및 기록 회로가 동일한 단부측에 접속되며, 데이타를 상보화한 신호가 전송되는 쌍을 이루는 제3, 제4데이타 전송로와, 센서 앰프로부터 제3, 제4데이타 전송로로의 데이타 출력전 및 기록 회로로부터 제3, 제4데이타 전송로로의 데이타 출력전에, 제3, 제4데이타 전송로를 단락하기 위한 단락 회로를 구비하는 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법을 개량하는 것으로, 기록시에 있어서의 제3, 제4데이타 전송로의 단락 기간이 판독시에 있어서의 제3, 제4데이타 전송로의 단락 기간보다도 짧아지도록 단락 회로를 제어하며 제3, 제4데이타 전송로를 단락하는 것이다.

본 발명의 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법에 의하면, 기록시에 있어서의 제3, 제4데이타 전송로의 단락 기간은 판독시에 있어서의 제3, 제4데이타 전송로의 단락 기간보다도 짧아지기 때문에, 동작 사이클을 짧게 하는 경우에 있어서, 판독시에는 제3, 제4데이타 전송로를 완전히 프리차지 전압으로 프리차지한 후에 센서 앰프가 확보하는 데이타를 제3, 제4데이타 전송로에 출력하도록 한 경우에 있어서도 기록시에 기록 회로로부터 제3, 제4데이타 전송로에 출력되는 상보 신호의 전압차가 충분한 크기가 되기 전에 제3, 제4데이타 전송로가 단락되어 버린다고 하는 사태를 방지하여 판독 및 기록의 고속화를 도모할 수 있다.

본 발명의 반도체 기억 장치는 메모리 셀이 접속되어 판독시에 그 전압차를 센서 앰프에 의해 증폭되는 쌍을 이루는 제1, 제2데이타 전송로와 컬럼 게이트를 통하여 제1, 제2데이타 전송로가 접속되고, 또한, 판독 회로 및 기록 회로가 동일한 단부측에 접속되며, 데이타를 상보화한 신호가 전송되는 쌍을 이루는 제3, 제4데이타 전송로와, 센서 앰프로부터 제3, 제4데이타 전송로로의 데이타 출력전 및 기록 회로로부터 상기 제3, 제4데이타 전송로로의 데이타 출력전에, 제3, 제4데이타 전송로를 단락하기 위한 단락 회로를 구비하는 반도체 기억 장치를 개량하는 것으로, 기록시에 있어서의 제3, 제4데이타 전송로의 단락 기간이 판독시에 있어서의 제3, 제4데이타 전송로의 단락 기간보다도 짧아지도록 단락 회로를 제어하는 제어 회로(청구 범위 제2항에 있어서의 제1제어 회로에 해당하는 제어 회로)를 구비하는 것이다.

본 발명의 반도체 기억 장치에 의하면, 기록시에 있어서의 제3, 제4데이타 전송로의 단락 기간은 판독시에 있어서의 제3, 제4데이타 전송로의 단락 기간보다도 짧아지기 때문에, 동작 사이클을 짧게 하는 경우에 있어서, 판독시에 제3, 제4데이타 전송로를 완전히 프리차지 전압으로 프리차지한 후에 센서 앰프가 확보하는 데이타를 제3, 제4데이타 전송로에 출력하도록 한 경우에 있어서도 기록시에 기록 회로로부터 제3, 제4데이타 전송로에 출력되는 상보 신호의 전압차가 충분한 크기가 되기 전에 제3, 제4데이타 전송로가 단락되어 버린다고 하는 사태를 방지하여 판독 및 기록의 고속화를 도모할 수 있다.

이하, 제1도～제8도를 참조하여 본 발명의 반도체 기억 장치의 실시의 제1형태～제3형태에 대해서, 본 발명의 반도체 기억 장치를 SDRAM에 적용한 경우를 예로 하고, 또한, 본 발명의 반도체 기억 장치에 있어서의 데이타 전송로의 단락 방법의 실시의 형태를 포함해서 설명한다. 또, 제1도에 있어서, 제9도에 대응하는 부분에는 동일 부호를 붙이고, 그 중복 설명은 생략한다.

[본 발명의 실시의 제1형태..제1도～제4도]

제1도는 본 발명의 실시의 제1형태의 구성을 개략적으로 도시하는 도면이다. 제1도중에 80은 칩 본체, 81～84는 셀 영역이고, 이점쇄선 Y 로 둘러싼 부분은 셀 영역(81)의 부분 및 그 주변 회로의 일부분을 확대하여 도시한 것이다.

이 경우에 셀 영역(81～84)은 제9도에 도시된 셀 영역(2～5)과 동일한 회로 구성으로 되어 있고, 본 발명의 실시의 제1형태가 특징으로 하는 점은 후술하는 회로 구성을 가지는 제어 회(85)를 구비하고 있는 점이다.

제2도는 제어 회로(85)의 구성을 도시하는 회로도이다. 제2도중에 W/R은 기록시인지 판독시인지를 나타내는 기록·판독 식별 신호(청구범위 제11항에 있어서의 제2신호에 해당하는 신호), IN은 외부로부터 공급되는 외부 클록(CLK)에 동기한 타이밍 신호, 87, 88은 버퍼를 구성하는 인버터이다. 또, 인버터(88)의 출력은 청구범위 제6항에 있어서의 제1신호에 해당한다.

또한, 89는 기록·인에이블 신호(WE)를 출력하여 기록 앰프(41)의 활성화를 제어하는 기록 활성화 제어부(청구범위 제13항에 있어서의 제5제어 회로의 일예에 해당하는 제어 회로)이고, 90은 기록·판독 식별 신

호(W/R)를 반전하는 인버터, 91은 인버터(88)의 출력을 반전하는 인버터, 92는 인버터(90)의 출력과 인버터(91)의 출력을 NOR 처리하는 NOR 회로이다.

또한, 93은 NOR 회로(92)의 출력을 반전하는 인버터, 94는 인버터(93)의 출력을 반전하여, 기록·인에이블 신호(WE)를 출력하는 인버터이다. 또, 인버터(93, 94)로 이루어지는 지연 회로는 청구범위 제15항에 있어서의 제2지연 회로의 일예에 해당한다.

또한, 95는 판독·인에이블 신호(RE)를 출력하여 센서 버퍼(40)의 활성화를 제어하는 판독 활성화 제어부(청구범위 제16항에 있어서의 제6제어 회로의 일예에 해당하는 제어 회로)이고, 96은 인버터(88)의 출력을 반전하는 인버터, 97은 기록·판독 식별 신호(W/R)와 인버터(96)의 출력을 NOR 처리하는 NOR 회로이다.

또한, 98은 NOR 회로(97)을 출력을 반전하는 인버터, 99는 인버터(98)의 출력을 반전하고, 판독·인에이블 신호(RE)를 출력하는 인버터이다. 또, 인버터(98, 99)로 이루어지는 지연 회로는 청구범위 제17항에 있어서의 제3지연 회로의 일예에 해당한다.

또한, 100은 기록시에 있어서의 글로벌·데이타 버스 GDB, /GDB의 단락의 타이밍을 제어하는 기록시 단락 제어부(청구범위 제10항에 있어서의 제2제어 회로의 일예에 해당하는 제어 회로)이고, 101은 기록·판독 식별 신호(W/R)와 인버터(88)의 출력을 NAND 처리하는 NAND회로이다.

또한, 102는 판독시에 있어서의 글로벌·데이타 버스 GDB, /GDB의 단락의 타이밍을 제어하는 판독시 단락 제어부(청구범위 제10항에 있어서의 제3제어 회로의 일예에 해당하는 제어 회로)이고, 103은 인버터(88)의 출력을 반전하는 인버터, 104는 인버터(103)의 출력을 반전하는 인버터, 105는 인버터(88)의 출력과 인버터(104)의 출력을 NAND 처리하는 NAND 회로이다. 또, 인버터(103, 104)로 이루어지는 지연 회로는 청구범위 제11항에 있어서의 제1지연 회로의 일예에 해당한다.

또한, 106은 단락 신호(SH)를 출력하고, 단락·트랜지스터(39)의 ON, OFF를 제어하는 단락 제어부(청구범위 제10항에 있어서의 제4제어 회로의 일예에 해당하는 제어 회로)이고, 107은 기록시 단락 제어부(100)의 출력(S100)과 판독시 단락 제어부(102)을 출력(S102)을 NAND 처리하는 NAND 회로이다.

또한, 108은 NAND 회로(107) 출력을 반전하는 인버터, 109는 인버터(108)의 출력을 반전하는 인버터, 110은 인버터(109)의 출력을 반전하여 단락 신호(SH)를 출력하는 인버터이다.

또, 이들 인버터(108, 109, 110)로 구성되는 반전 지연 회로는 청구범위 제11항에 있어서의 제1반전 지연 회로의 일예에 해당하며, 기록시 단락 제어부(100)와, 판독시 단락 제어부(102)와, 단락 제어부(106)로 구성되는 제어 회로는 청구범위 제2항에 있어서의 제1제어 회로의 일예에 해당한다.

또한, 111은 컬럼 신호(CL)를 출력하여 컬럼의 선택 타이밍을 제어하는 컬럼 제어부(청구범위 제18항에 있어서의 제7제어 회로의 일예에 해당하는 제어 회로)이다. 또, 본 발명의 실시의 제1형태에 있어서의 컬럼 제어 신호(CL)는 청구범위 제18항에 있어서의 제3신호에 해당한다.

컬럼 제어부(111)에 있어서, 112는 인버터(88)의 출력을 반전하는 인버터, 113은 인버터(112) 출력을 반전하는 인버터, 114는 인버터(113) 출력을 반전하는 인버터로서 기능하는 NAND 회로, 115는 NAND 회로(114)의 출력을 반전하는 인버터로서 기능하는 NAND 회로, 116는 NAND 회로(115)의 출력을 반전하는 인버터, 117은 인버터(116)의 출력을 반전하여 컬럼 제어 신호(CL)를 출력하는 인버터이다.

이 경우에 제3도는 본 발명의 실시의 제1형태의 동작을 설명하기 위한 파형도로서, 제3(a)도는 판독시의 경우를 도시하고, 제3(b)도는 기록시의 경우를 도시하고 있다.

판독시에 있어서는 기록·판독 식별 신호(W/R) = L 레벨이 되고, 이 경우에 있어서, 타이밍 신호(IN) = L 레벨인 경우, 기록 활성화 제어부(89)에 있어서는 인버터(90)의 출력 = H 레벨, 인버터(91)의 출력 = H 레벨, NOR 회로(92)의 출력 = L 레벨, 인버터(93)의 출력 = H 레벨, 기록·인에이블 신호(WE) = L 레벨이 되며, 기록 앰프(41)는 비활성 상태가 된다.

또한, 판독 활성화 제어부(95)에 있어서는 인버터(96)의 출력 = H 레벨, NOR 회로(97) 출력 = L 레벨, 인버터(98)의 출력 = H 레벨, 판독·인에이블 신호(RE) = L 레벨이 되며, 센서 버퍼(40)도 비활성 상태가 된다.

또한, 기록시 단락 제어부(100)의 출력(S100) = H 레벨이 되는 동시에, 판독시 단락 제어부(102)에 있어서는 인버터(103)의 출력 = H 레벨, 인버터(104)의 출력= L 레벨이 되고, 판독시 단락 제어부(102)의 출력(S102) = H 레벨이 된다.

이 결과, 단락 제어부(106)에 있어서는 NAND 회로(107) 출력 = L 레벨, 인버터(108)의 출력 = H 레벨, 인버터(109)의 출력 = L 레벨, 단락 신호(SH) = H 레벨이 되고, 단락·트랜지스터(39)는 ON 상태가 되며, 글로벌·데이타 버스 GDB, /GDB는 단락 상태가 된다.

또한, 컬럼 제어부(111)에 있어서는 인버터(112) 출력 = H 레벨, 인버터(113) 출력 = L 레벨, NAND 회로(114)의 출력 = H 레벨, NAND 회로(115)의 출력 = L 레벨, 인버터(116)의 출력 = H 레벨, 컬럼 제어 신호(CL) = L 레벨이 되며, 컬럼은 비선택 상태가 된다.

이 상태에서, 타이밍 신호(IN) = H 레벨이 되면, 기록 활성화 제어부(89)에 있어서는 인버터(91)의 출력 = L 레벨이 되지만, 인버터(90)의 출력 = H 레벨, NOR 회로(92)의 출력 = L 레벨, 인버터(93)의 출력 = H 레벨, 기록·인에이블 신호(WE) = L 레벨의 상태가 유지되며, 기록 앰프(41)의 비활성 상태가 유지된다.

이것에 대하여, 판독 활성화 제어부(95)에 있어서는 인버터(96)의 출력 = L 레벨, NOR 회로(97) 출력 = H 레벨, 인버터(98)의 출력 = L 레벨, 판독·인에이블 신호(RE) = H 레벨이 되며, 센서 버퍼(40)는 활성 상태가 된다.

또한, 기록시 단락 제어부(100)의 출력(S100) = H 레벨이 유지됨과 동시에, 판독시 단락 제어부(102)에

있어서는 인버터(103)의 출력 = L 레벨, 인버터(104)의 출력 = H 레벨이 되고, 판독시 단락 제어부(102)의 출력(S102) = L 레벨이 된다.

이 결과, 단락 제어부(106)에 있어서는 NAND 회로(107) 출력 = H 레벨, 인버터(108)의 출력 = L 레벨, 인버터(109)의 출력 = H 레벨, 단락 신호(SH) = L 레벨이 되고, 단락·트랜지스터(39)는 OFF 상태가 되며, 글로벌·데이타 버스 GDB, /GDB의 단락 상태가 해제된다.

또한, 컬럼 제어부(111)에 있어서는 인버터(112) 출력 = L 레벨, 인버터(113) 출력 = H 레벨, NAND 회로(114)의 출력 = L 레벨, NAND 회로(115)의 출력 = H 레벨, 인버터(116)의 출력 = L 레벨, 컬럼 제어 신호(CL) = H 레벨이 되고, 컬럼의 선택이 행해진다.

이 경우에 단락 신호(SH)의 종료의 타이밍은 판독시 단락 제어부(102)와 단락 제어부(106)의 합계 지연 시간으로 결정되고, 컬럼 제어 신호(CL)의 개시의 타이밍은 컬럼 제어부(111) 지연시에 의해 결정되지만, 판독시 단락 제어부(102)와 단락 제어부(106)와의 합계 지연 시간은 컬럼 제어부(111) 지연 시간과 거의 동일해지므로, 단락 신호(SH)의 종료의 타이밍과 컬럼 제어 신호(CL)의 개시의 타이밍이 거의 동일하게 된다.

또, 본 발명의 실시의 제1형태에 있어서는 글로벌·데이타 버스 GDB, /GDB의 단락 해제가 글로벌·데이타 버스 CDB, /GDB 및 선택된 로컬·데이타 버스가 프리차지 전압(VP)으로 프리차지된 후에 행해지도록, 판독시 단락 제어부(102)와 단락 제어부(106)의 합계 지연 시간이 설정된다.

그 후, 타이밍 신호(IN) = L 레벨이 되면, 기록 활성화 제어부(89)에 있어서는 인버터(91)의 출력 = H 레벨로 반전할 뿐이고, 인버터(90)의 출력 = H 레벨, NOR 회로(32)의 출력 = L 레벨, 인버터(93)의 출력 = H 레벨, 기록·인에이블 신호(WE) = L 레벨이 유지되며, 기록 앰프(41)의 비활성 상태가 유지된다.

이것에 대하여, 판독 활성화 제어부(95)에 있어서는 인버터(96)의 출력 = H 레벨, NOR 회로(97) 출력 = L 레벨, 인버터(98)의 출력 = H 레벨, 판독·인에이블 신호(RE) = L 레벨이 되며, 센서 버퍼(40)는 비활성 상태가 된다.

또한, 기록시 단락 제어부(100)의 출력(S100) = H 레벨이 유지됨과 동시에, 판독시 단락 제어부(102)의 출력(S102) = H 레벨이 된다.

이 결과, 단락 제어부(106)에 있어서는 NAND 회로(107) 출력 = L 레벨, 인버터(108)의 출력 = H 레벨, 인버터(109)의 출력 = L 레벨, 단락 신호(SH) = H 레벨이 되고, 단락·트랜지스터(39)는 ON 상태가 되며, 글로벌·데이타 버스 GDB, /GDB는 단락되어 글로벌·데이타 버스 GDB, /GDB의 프리차지가 행해진다.

또한, 컬럼 제어부(111)에 있어서는 인버터(112) 출력 = H 레벨, 인버터(113) 출력 = L 레벨, NAND 회로(114)의 출력 = H 레벨, NAND 회로(115)의 출력 = L 레벨, 인버터(116)의 출력 = H 레벨, 컬럼 제어 신호(CL) = L 레벨이 되고, 컬럼의 선택이 종료된다.

또, 단락 신호(SH)의 개시의 타이밍과 컬럼 제어 신호(CL)의 종료의 타이밍이 거의 동일하게 된다.

한편, 기록시에 있어서는 기록·판독 식별 신호(W/R) = H 레벨이 되고, 이 경우에 있어서, 타이밍 신호(IN) = L 레벨인 경우, 기록 활성화 제어부(89)에 있어서는 인버터(90)의 출력 = L 레벨, 인버터(91)의 출력 = H 레벨, NOR 회로(92)의 출력 = L 레벨, 인버터(93)의 출력 = H 레벨, 기록·인에이블 신호(WE) = L 레벨이 되며, 기록 앰프(41)는 비활성 상태가 된다.

또한, 판독 활성화 제어부(95)에 있어서는 인버터(96)의 출력 = L 레벨, NOR 회로(97) 출력 = L 레벨, 인버터(98)의 출력 = H 레벨, 판독·인에이블 신호(RE) = L 레벨이 되며, 센서 버퍼(40)도 비활성 상태가 된다.

또한, 기록시 단락 제어부(100)의 출력(S100) = H 레벨이 되는 동시에, 판독시 단락 제어부(102)에 있어서는 인버터(103)의 출력 = H 레벨, 인버터(104)의 출력 = L 레벨이 되며, 판독시 단락 제어부(102)의 출력(S102) = H 레벨이 된다.

이 결과, 단락 제어부(106)에 있어서는 NAND 회로(107) 출력 = L 레벨, 인버터(108)의 출력 = H 레벨, 인버터(109)의 출력 = L 레벨, 단락 신호(SH) = H 레벨이 되고, 단락·트랜지스터(39)는 ON 상태로 되며, 글로벌·데이타 버스 GDB, /GDB는 단락 상태가 된다.

또한, 컬럼 제어부(111)에 있어서는 인버터(112) 출력 = H 레벨, 인버터(113) 출력 = L 레벨, NAND 회로(114)의 출력 = H 레벨, NAND 회로(115)의 출력 = L 레벨, 인버터(116)의 출력 = H 레벨, 컬럼 제어 신호(CL) = L 레벨이 되며, 컬럼은 비선택 상태가 된다.

이 상태에서, 타이밍 신호(IN) = H 레벨이 되면, 기록 활성화 제어부(89)에 있어서는 인버터(91)의 출력 = L 레벨, NOR 회로(92)의 출력 = H 레벨, 인버터(93)의 출력 = L 레벨, 기록·인에이블 신호(WE) = H 레벨이 되며, 기록 앰프(41)는 활성 상태가 된다.

이것에 대하여, 판독 활성화 제어부(95)에 있어서는 인버터(96)의 출력 = L 레벨이 되지만, 기록·판독 식별 신호(W/R) = H 레벨이 되고 있으므로, NOR 회로(97) 출력= L 레벨, 인버터(98)의 출력 = H 레벨, 판독·인에이블 신호(RE) = L 레벨이 유지되며, 센서 버퍼(40)의 비활성 상태가 유지된다.

또한, 기록시 단락 제어부(100)의 출력(S100) = L 레벨이 되고, 이 결과, 단락 제어부(106)에 있어서는 NAND 회로(107) 출력 = H 레벨, 인버터(108)의 출력 = L 레벨, 인버터(109)의 출력 = H 레벨, 단락 신호(SH) = L 레벨이 되며, 단락·트랜지스터(39)는 OFF 상태가 되어, 글로벌·데이타 버스 GDB, /GDB의 단락 상태는 해제된다.

또, 판독시 단락 제어부(102)에 있어서는 인버터(103)의 출력 = L 레벨, 인버터(104)의 출력 = H 레벨이 되고, 판독시 단락 제어부(102)의 출력(S102) =L 레벨이 된다.

또한, 컬럼 제어부(111)에 있어서는 인버터(112) 출력 = L 레벨, 인버터(113)의 출력 = H 레벨, NAND 회

로(114)의 출력 = L 레벨, NAND 회로(115)의 출력 = H 레벨, 인버터(116)의 출력 = L 레벨, 컬럼 제어 신호(CL) = H 레벨이 되며, 컬럼의 선택이 행해진다.

이 경우에 단락 신호(SH)의 종료의 타이밍은 기록시 단락 제어부(100)와 단락 제어부(106)의 합계 지연 시간을 결정되고, 컬럼 제어 신호(CL)의 개시의 타이밍은 컬럼 제어부(111) 지연시에 의해 결정되지만, 기록시 단락 제어부(100)와 단락 제어부(106)의 합계 지연 시간은 컬럼 제어부(111) 지연 시간보다도 짧으므로, 단락 신호(SH)의 종료 타이밍 쪽이 컬럼 제어 신호(CL)의 개시 타이밍보다도 선행하게 된다.

또, 본 발명의 실시의 제1형태에 있어서는 단락 신호(SH)의 종료의 타이밍은

글로벌·데이타 버스 GDB, /GDB 및 선택된 로컬·데이타 버스가 완전히 프리차지(VP)으로 프리차지되는 것보다도 앞서 설정되도록 기록시 단락 제어부(100)와 단락 제어부(106)의 합계 지연 시간이 설정됨과 동시에 단락·트랜지스터(39)가 OFF 상태가 되는 동시에 기록 동작이 행해지도록 기록 활성화 제어부(89)의 지연 시간이 설정된다.

이렇게 해도, 기록 앰프(41)의 구동 능력은 크게 하는 것이 가능하고, 글로벌 데이타 버스 GDB, /GDB 및 선택된 로컬·데이타 버스상의 데이타를 반전시키는 경우 만으로도 기록 앰프(41)에 의해서 충분히 이것을 행할 수 있다.

그 후, 타이밍 신호(IN) = L 레벨이 되면, 기록 활성화 제어부(89)에 있어서는 인버터(91)의 출력 = H 레벨, NOR 회로(92)의 출력 = L 레벨, 인버터(93)의 출력 = H 레벨, 기록·인에이블 신호(WE) = L 레벨이 되며, 기록 앰프(41)는 비활성 상태가 된다.

또한, 판독 활성화 제어부(95)에 있어서는 인버터(96)의 출력 = H 레벨로 반전할 뿐이고, NOR 회로(97) 출력 = L 레벨, 인버터(98)의 출력 = H 레벨, 판독·인에이블 신호(RE) = L 레벨의 상태가 유지되며, 센서 버퍼(40)의 비활성 상태가 유지된다.

또한, 기록시 단락 제어부(100)의 출력(S100) = H 레벨이 되는 동시에, 판독시 단락 제어부(102)의 출력(S102) = H 레벨이 된다.

이 결과, 단락 제어부(106)에 있어서는 NAND 회로(107) 출력 = L 레벨, 인버터(108)의 출력 = H 레벨, 인버터(109)의 출력 = L 레벨, 단락 신호(SH) = H 레벨이 되고, 단락·트랜지스터(39)는 ON 상태가 되며, 글로벌 데이타 버스 GDB, /GDB 는 단락 상태가 되어, 글로벌 데이타 버스 GDB, /GDB의 프리차지가 행해진다.

또한, 컬럼 제어부(111)에 있어서는 인버터(112)의 출력 = H 레벨, 인버터(113) 출력 = L 레벨, NAND 회로(114)의 출력 = H 레벨, NAND 회로(115)의 출력 = L 레벨, 인버터(116)의 출력 = H 레벨, 컬럼 제어 신호(CL) = L 레벨이 되며, 컬럼의 선택이 종료된다.

또, 단락 신호(SH)의 개시의 타이밍과 컬럼 제어 신호(CL)의 종료의 타이밍이 거의 동일하게 된다.

또한, 제4도는 본 발명의 실시의 제1형태의 동작의 일예의 시뮬레이션 결과를 도시하는 파형도로서, 먼저, 기록시의 경우는 센서 앰프(16)로[0]을 검출시키는 동시에, 센서 앰프(17)로[0]을 검출시켜서, 그 후, 센서 앰프(16)로[1]을 기록하며, 계속해서, 센서 앰프(17)로부터의[0]의 판독과 센서 앰프(15)로부터의[1]의 판독을 반복한 경우를 도시하고 있다.

또, 제4(a)도는 외부 클록(CLK)의 전압 파형, 제4(b)도는 기록·판독 식별 신호(W/R)의 전압 파형, 제4(c)도는 외부 클록(CLK)의 전압 파형, 비트선 BL0, /BL0, BL1, /BL1의 전압 변화, 로컬·데이타 버스 LDB, /LDB의 전압 변화, 글로벌 데이타 버스 GDB, /GDB의 전압 변화를 도시하고 있다.

또한, 제4(d)도는 외부 클록(CLK)의 전압 파형, 단락 신호(SH)의 전압 파형, 컬럼 선택 신호(CL0, CL1)의 전압 파형, 판독·인에이블 신호(RE)의 전압 파형을 도시하고 있다.

또한, 제4(e)도는 외부 클록(CLK)의 전압 파형, 단락 신호(SH)의 전압 파형, 컬럼 선택 신호(CL0, CL1)의 전압 파형, 기록·인에이블 신호(WE)의 전압 파형을 도시하고 있다.

제4도로부터, 동작 사이클상, 기록시에 있어서의 글로벌 데이타 버스 GDB, /GDB의 단락 해제는 판독시에 있어서의 글로벌 데이타 버스 GDB, /GDB의 단락 해제보다도 빠른 시기에 행해지고 있는 것을 알 수 있다.

이와 같이, 본 발명의 실시의 제1형태에 따르면, 기록시에 있어서의 글로벌 데이타 버스 GDB, /GDB의 단락 해제의 타이밍을 판독시에 있어서의 글로벌 데이타 버스 GDB, /GDB의 단락 해제의 타이밍보다도 앞서 설정하도록 구성되어 있다.

따라서, 동작 사이클을 짧게 하는 경우에 있어서, 판독시에는 선택된 로컬·데이타 버스 및 글로벌 데이타 버스 GDB, /GDB를 완전히 프리차지 전압(VP)으로 프리차지한 후에, 센서 앰프가 확보하는 데이타를 로컬·데이타 버스로 전송하도록 한 경우에 있어서도 기록시에 기록 앰프(41)로부터 글로벌 데이타 버스 GDB, /GDB에 출력되는 상보 신호의 전압차가 충분한 크기로 되기 전에 글로벌 데이타 패스 GDB, /GDB가 단락되어 버린다고 하는 사태를 방지하여 판독 및 기록의 고속화를 도모할 수 있다.

또, 기록 앰프(41)는 글로벌 데이타 버스 GDB, /GDB의 레벨을 반전시키는 경우, 원래 표적인 프리차지 수단인 단락·트랜지스터(39) 및 프리차지 회로(43)에 의한 보다 빠른 글로벌 데이타 버스 GDB, /GDB를 프리차지 전압(VP)으로 프리차지하는 구동 능력을 구비시키는 경우에는 보다 고속인 기록을 행할 수 있다.

[본 발명의 실시의 제2형태.. 제5도, 제6도]

본 발명의 실시의 제2형태는 제2도에 도시된 제어 회로(85)대신에, 제5도에 도시하는 제어 회로를 구비하고, 그 외에 대해서는 본 발명의 실시의 제1형태와 동일하게 구성한 것이다.

제5도에 도시된 제어 회로는 제2도에 도시하는 컬럼 제어부(111) 대신에, 판독시 컬럼 제어부(12)와, 기록시 컬럼 제어부(121)와, 컬럼 제어부(122)를 설치하고, 그 외에 대해서는 제2도에 도시하는 제어 회로

(85)와 동일하게 구성한 것이다.

또, 판독시 컬럼 제어부(12)와 기록시 컬럼 제어부(121)로 이루어지는 제어 회로는 청구범위 제19항에 있어서의 제8제어 회로의 일예에 해당하며, 컬럼 제어부(122)는 청구범위 제19항에 있어서의 제9제어 회로의 일예에 해당한다.

판독시 컬럼 제어부(120)는 판독시의 컬럼 제어 신호(CL)의 개시 타이밍을 제어하는 것이고, 123은 인버터(88)의 출력을 반전하는 인버터, 124는 인버터(123)의 출력을 반전하는 인버터, 125는 인버터(124)의 출력을 반전하는 인버터로서 기능하는 NAND 회로, 126은 NAND 회로(125)의 출력을 반전하는 인버터로서 기능하는 NAND 회로이다.

또, 인버터(124) 및 NAND 회로(125, 126)로 이루어지는 반전 지연 회로는 청구범위 제20항에 있어서의 제2반전 지연 회로의 일예에 해당하며, 또한, 본 발명의 실시의 제2형태에 있어서는 컬럼 제어 신호(CL)는 청구범위 제19항에 있어서의 제4 신호에 해당한다.

또한, 기록시, 컬럼 제어부(121)는 기록시의 컬럼 제어 신호(CL)의 개시 타이밍을 제어하는 것이고, 127은 기록·판독 식별 신호(W/R)와 인버터(123)의 출력을 NAND 처리하는 NAND 회로(127) 출력을 반전하는 인버터로서 기능하는 NAND 회로, 129는 NAND 회로(128)의 출력을 반전하는 인버터로서 기능하는 NAND 회로, 130은 NAND 회로(129)의 출력을 반전하는 인버터, 131은 인버터(130)의 출력을 반전하는 인버터이다.

또, NAND 회로(128, 129) 및 인버터(130, 131)로 이루어지는 지연 회로는 청구범위 제20항에 있어서의 제4지연 회로의 일예에 해당한다.

또한, 컬럼 제어부(122)는 컬럼 제어 신호(CL)를 출력하여 컬럼의 선택을 제어하는 것이고, 132 는 판독시 컬럼 제어부(120)의 출력(S120)과 기록시 컬럼 제어부(121)의 출력(S121)을 NAND 처리하는 NAND 회로, 133은 NAND 회로(132)의 출력을 반전하여 컬럼 제어 신호(CL)를 출력하는 인버터이다.

제6도는 본 발명의 실시의 제2형태의 동작을 설명하기 위한 파형도로서, 제6(a)도는 판독시의 경우, 제6(b)도는 기록시의 경우를 도시하고 있지만 기록 활성화 제어부(89), 판독 활성화 제어부(95), 기록시 단락 제어부(100), 판독시 단락 제어부(102) 및 단락 제어부(106)는 본 발명의 실시의 제1형태의 경우와 동일하게 동작한다.

이 경우에 판독시에는 기록·판독 식별 신호(W/R) = L 레벨이 되지만, 이 경우에 있어서, 타이밍 신호(IN) = L 레벨인 경우, 판독시 컬럼 제어부(120)에 있어서는 인버터(123)의 출력 = H 레벨, 인버터(124)의 출력 = L 레벨, NAND 회로(125)의 출력 = H 레벨이 되며, 판독시 컬럼 제어부(120)의 출력(S120) = L 레벨이 된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = H 레벨, NAND 회로(128)의 출력 = L 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력 = L 레벨이 되며, 기록시 컬럼 제어부(121)의 출력(S121) = H 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되며, 컬럼 제어 신호(CL) = L 레벨이 된다.

이 상태에서, 타이밍 신호(IN) = H 레벨이 되면, 판독시 컬럼 제어부(120)에 있어서는 인버터(123)의 출력 = L 레벨, 인버터(124)의 출력 = H 레벨, NAND 회로(125)의 출력 = L 레벨, 판독시 컬럼 제어부(120)의 출력(S120) = H 레벨이 된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = H 레벨, NAND 회로(128)의 출력 = L 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력 = L 레벨, 기록시 컬럼 제어부(121)의 출력(S121) = H 레벨이 유지된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = L 레벨이 되며, 컬럼 제어 신호(CL) = H 레벨이 된다.

이 경우에 컬럼 제어 신호(CL)가 개시하는 타이밍은 판독시 컬럼 제어부(120) 및 컬럼 제어부(122)의 합계 지연 시간으로 결정되는 것이 되지만, 판독시 컬럼 제어부(120) 및 컬럼 제어부(122)의 합계 지연 시간은 판독시 단락 제어부(102) 및 단락 제어부(106)의 합계 지연 시간과 거의 동일하므로, 컬럼 제어 신호(CL)가 개시하는 타이밍은 본 발명의 실시의 제1형태의 경우와 거의 동일하게 된다.

그 후, 타이밍 신호(IN) = L 레벨로 하면, 판독시 컬럼 제어부(120)에 있어서는 인버터(123)의 출력 = H 레벨 , 인버터(124)의 출력 = L 레벨, NAND 회로(125)의 출력 = H 레벨, 판독시 컬럼 제어부(120)의 출력(S120) = L 레벨이 된다.

이 결과 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되고, 컬럼 제어 신호(CL) = L 레벨이 되지만, 컬럼 제어 신호(CL)가 종료하는 타이밍도 본 발명의 실시의 제1형태의 경우와 거의 동일하게 된다.

또, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = H 레벨, NAND 회로(128)의 출력 = L 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력 = L 레벨, 기록시 컬럼 제어부(121)의 출력(S121) = H 레벨이 유지된다.

이것에 대하여, 기록시에는 기록·판독 식별 신호(W/R) = H 레벨이 되지만, 이 경우에 있어서, 타이밍 신호(IN) = L 레벨인 경우, 판독시 컬럼 제어부(120)에 있어서는 인버터(123)의 출력 = H 레벨, 인버터(124)의 출력 = L 레벨, NAND 회로(125)의 출력 = H 레벨이 되며, 판독시 컬럼 제어부(120)의 출력(S120) = L 레벨이 된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = L 레벨, NAND 회로(128)의 출력 = H 레벨, NAND 회로(129)의 출력 = L 레벨, 인버터(130)의 출력 = H 레벨이 되며 기록시 컬럼 제어부(121)

의 출력(S121)= L 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되고, 컬럼 제어 신호(CL) = L 레벨이 된다.

이 상태에서, 타이밍 신호(IN) = H 레벨이 되면, 판독시 컬럼 제어부(120)에 있어서는 인버터(123)의 출력 = L 레벨, 인버터(124)의 출력 = H 레벨, NAND 회로(125)의 출력 = L 레벨, 판독시 컬럼 제어부(120)의 출력(S120) = H 레벨이 된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = H 레벨, NAND 회로(128)의 출력 = L 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력 = L 레벨, 기록시 컬럼 제어부(121)의 출력(S121) = H 레벨이 된다.

이 결과 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = L 레벨이 되고, 컬럼 제어 신호(CL) = H 레벨이 된다.

단지, 기록시 컬럼 제어부(121)의 출력(S121)은 판독시 컬럼 제어부(120)의 출력(S120)이 H 레벨이 된 후, NAND 회로 1 개분과 인버터 1 개분의 합계 지연 시간만큼 지연하고, H 레벨이 된다.

따라서, 컬럼 제어 신호(CL)가 H 레벨이 되는 타이밍은 본 발명의 실시의 제1형태의 경우보다도 지연한다. 제6(b)도에 도시된 절선 Z 는 본 발명의 실시의 제1형태의 경우에 있어서의 컬럼 제어 신호(CL)를 나타내고 있다.

그 후, 타이밍 신호(IN) = L 레벨이 되면, 판독시 컬럼 제어부(120)에 있어서는 인버터(123)의 출력 = H 레벨, 인버터(124)의 출력 = L 레벨, NAND 회로(125)의 출력 = H 레벨, 판독시 컬럼 제어부(120)의 출력(S120) = L 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되고, 컬럼 제어 신호(CL) = L 레벨이 된다.

또, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = L 레벨, NAND 회로(128)의 출력 = H 레벨, NAND 회로(129)의 출력 = L 레벨, 인버터(130)의 출력 = H 레벨이 되고, 기록시 컬럼 제어부(121)의 출력(S121) = L 레벨이 되지만, 그 타이밍은 판독시 컬럼 제어부(120)의 출력(S120)이 L 레벨이 되는 타이밍보다도 느리므로, 컬럼 제어 신호(CL)가 종료하는 타이밍은 본 발명의 실시의 제1형태의 경우와 거의 동일하게 된다.

이 경우에 본 발명의 실시의 제1형태에 있어서, 칩·사이즈가 커지고, 데이타 전송로가 길어지면, 기록 앰프(41)로부터 글로벌·데이타 버스 GDB, /GDB에 출력된 상보 신호가 선택된 컬럼 게이트에 도달하기 전에 컬럼 게이트가 선택될 우려가 있지만, 이 경우에 있어서, 선택된 컬럼의 센서 앰프에 확보되어 있는 데이타가 선택된 셀에 기록되어야되는 데이타와 반전 관계에 있는 경우에는 선택된 로컬·데이타 버스상에서, 반전 관계에 있는 상호 신호끼리가 충돌하여, 데이타 전송에 지연이 발생될 우려가 있다.

이 점을 고려하여 본 발명의 실시의 제2형태에 있어서는 컬럼 제어 신호(CL)의 개시의 타이밍을 본 발명의 실시의 제1형태의 경우보다도 지연시키고 있으므로, 선택된 로컬·데이타 패스의 전위가 확정하고 나서, 선택된 컬럼의 센서 앰프에 데이타를 기록할 수 있다.

따라서, 본 발명의 실시의 제2형태에 따르면, 동작 사이클을 짧게 하는 경우에 있어서 판독시에는 선택된 로컬·데이타 버스 및 글로벌·데이타 버스 GDB, /GDB를 완전히 프리차지 전압(VP)으로 프리차지한 후에 센서 엠프가 확보하는 데아타를 로컬·데이타 버스로 전송하도록 한 경우에 있어서도, 기록시에 기록 앰프(41)로부터 글로벌·데이타 버스 GDB, /GDB에 출력되는 상보 신호의 전압차가 충분한 크기가 되기 전에 글로벌·데이타 버스 CDB, /GDB가 단락되어 버린다고 하는 사태를 방지하는 동시에, 기록 앰프(41)로부터 글로벌·데이타 버스 GDB, /GDB에 출력된 상보 신호와 센서 앰프로부터 출력된 상보 신호와가 충돌함으로써 데이타 전송의 지연을 방지하여 판독 및 기록의 고속화를 도모할 수 있다.

본 발명의 실시의 제3형태.. 제7도, 제8도

본 발명의 실시의 제3형태는 제2도에 도시된 제어 회로(85) 대신에, 제7도에 도시하는 제어 회로를 구비하고, 그 외에 대해서는 제1도에 도시하는 본 발명의 실시의 제1형태와 동일하게 구성한 것이다.

제7도에 도시된 제어 회로는 워크·제어부(135)(청구범위 제21항에 있어서 제13 제어 회로의 일예에 해당하는 제어 회로)를 설치하는 동시에, 제5도에 도시하는 판독시 컬럼 제어부(120) 대신에, 회로 구성이 다른 판독시 컬럼 제어부(136)(청구범위 제21항에 있어서의 제10제어 회로의 일예에 해당하는 제어 회로)를 설치하여, 그 외에 대해서는 제5도에 도시하는 제어회로와 동일하게 구성한 것이다.

또, 본 발명의 실시의 제3형태에 있어서는 기록시 컬럼 제어부(121)는 청구범위 제21항에 있어서의 제11 제어 회로의 일예에 해당하고, 컬럼 제어부(122)는 청구범위 제21항에 있어서의 제12제어 회로의 일예에 해당하며, 컬럼 제어 신호(CL)는 청구범위 제21항에 있어서의 제5신호에 해당한다.

이 경우에 기록시에 있어서의 컬럼 제어 신호(CL)의 종료 타이밍도 지연시키고, 기록 시간을 충분히 확보하고자 하는 경우에 있어서, 제5도에 도시된 제어 회로를 사용하는 경우에는 판독시 컬럼 제어부(120)의 출력(S120)의 종료 타이밍을 지연시킬 필요가 있지만, 이와 같이 하면, 판독에서 기록으로 모드를 전환하는 경우 또는 기록에서 판독으로 모드를 전환하는 경우에, 컬럼 제어 신호(CL)가 개시된다고 하는 부적당이 생기지만, 본 발명의 실시의 제3형태는 이 부적당을 해소하는 것이다.

워크·제어부(135)에 있어서, 137은 워드·판독 식별 신호(W/R)를 반전하는 인버터, 138 은 인버터(137) 출력을 반전하는 인버터, 139는 인버터(138)의 출력과 워드·판독 식별 신호(W/R)를 NAND 처리하는 NAND 회로이다. 또, 인버터(137, 138)로 구성되는 지연 회로는 청구범위 제22항에 있어서의 제7 지연 회로의 일예에 해당한다.

이 워크·제어부(135)는 판독에서 기록로 모드를 전환하는 경우에는 워드·판독 식별 신호(W/R)를 인버터(137, 138) 및 NAND 회로(139)의 합계 지연 시간만큼 반전 지연하여 판독시 컬럼 제어부(136)에 공급하고, 기록에서 판독으로 모드를 전환하는 경우에는 워드·판독 식별 신호(W/R)를 NAND 회로(139)의 지연 시간만큼 반전 지연하여 판독시 컬럼 제어부(136)에 공급하는 것이다.

또한, 판독시 컬럼 제어부(136)는 제5도에 도시된 판독시 컬럼 제어부(120)가 설치하는 인버터(124) 대신에, 인버터(123)의 출력과 워크·제어부(135)의 출력을 NAND 처리하고, 그 출력을NAND 회로(125)에 공급하는 NAND 회로(140)를 설치하며, 그 외에 대해서는 제5도에 도시하는 판독시 컬럼 제어부(120)와 동일하게 구성한 것이다.

또, NAND 회로(125, 126)로 구성되는 지연 회로는 청구범위 제22항에 있어서의 제5지연 회로의 일예에 해당하고, NAND 회로(128, 129) 및 인버터(130, 131)로 구성되는 지연 회로는 청구범위 제22항에 있어서의 제6지연 회로의 일예에 해당한다.

제8도는 본 발명의 실시의 제3형태의 동작을 설명하기 위한 파형도로서, 제8(a)도는 판독시의 경우, 제8(b)도는 기록시의 경우를 도시하고 있지만, 기록 활성화 제어부(89), 판독 활성화 제(95), 기록시 단락 제어부(100), 판독시 단락 제어부(102) 및 단락 제어부(106)는 본 발명의 실시의 제1형태의 경우와 동일하게 동작한다.

이 경우에 판독시, 기록·판독 식별 신호(W/R) = L 레벨이 되지만, 이 경우, 워크·제어부(135)에 있어서는 인버터(137) 출력 = H 레벨, 인버터(138)의 출력 = L 레벨, LAND 회로(139)의 출력 = H 레벨이 된다.

이 경우에 있어서, 타이밍 신호(IN) = L 레벨인 경우, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력 = H 레벨, LAND 회로(140)의 출력 = L 레벨, NAND 회로(125)의 출력 = H 레벨, 판독시 컬럼 제어부(136)의 출력(S136) = L 레벨이된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = H 레벨, NAND 회로(128)의 출력 = L 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력 = L 레벨, 기록시 컬럼 제어부(121)의 출력(S121) = H 레벨이 된다.

이 결과 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되며, 컬럼 제어 신호(CL) = L 레벨이 된다.

이 상태에서, 타이밍 신호(IN) = H 레벨이 되면, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력 = L 레벨, NAND 회로(140)의 출력 = H 레벨, NAND 회로(125)의 출력 = L 레벨, 판독시 컬럼 제어부(136)의 출력(S136) = H 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력= L 레벨이 되며, 컬럼 제어 신호(CL) = H 레벨이 된다.

또, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127)의 출력 = H 레벨, NAND 회로(128)의 출력 = L 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력 = L 레벨, 기록시 컬럼 제어부(121)의 출력(S121) = H 레벨이 유지된다.

이 경우에 컬럼 제어 신호(CL)가 레벨이 되는 타이밍은 판독시 컬럼 제어부(136) 및 컬럼 제어부(122)의 합계 지연 시간으로 결정되게 되지만, 판독시 컬럼 제어부(136) 및 컬럼 제어부(122)의 합계 지연 시간은 판독시 단락 제어부(102) 및 단락 제어부(106)의 합계 지연 시간과 거의 동일하므로, 컬럼 제어 신호(CL)가 H 레벨이 되는 타이밍은 본 발명의 실시의 제1형태의 경우와 거의 동일하게 된다.

그 후, 타이밍 신호(IN) = L 레벨로 하면, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력 = H 레벨, NAND 회로(140)의 출력 = L 레벨, NAND 회로(125)의 출력 = H 레벨, 판독시 컬럼 제어부(136)의 출력(S136) = L 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨, 컬럼 제어 신호(CL) = L 레벨이 되지만, 컬럼 제어 신호(CL) = L 레벨이 되는 타이밍도 본 발명의 실시의 제1형태의 경우와 거의 동일하게 된다.

이것에 대하여, 기록시에 기록·판독 식별 신호(W/R) = H 레벨이 되지만, 이 경우, 워크·제어부(135)에 있어서는 인버터(137) 출력 = L 레벨, 인버터(136)의 출력 = H 레벨, NAND 회로(139)의 출력 = L 레벨이 된다.

이 경우에 있어서, 타이밍 신호(IN) = L 레벨인 경우, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력 = H 레벨, NAND 회로(140)의 출력 = H 레벨, NAND 회로(125)의 출력 = L 레벨, 판독시 컬럼 제어부(136)의 출력(S136) = H 레벨이 된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127)의 출력 = L 레벨, NAND 회로(128)의 출력 = H 레벨, NAND 회로(129의 출력 = L 레벨, 인버터(130)의 출력 = H 레벨, 기록시 컬럼 제어부(121)의 출력(S121) = L 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨, 컬럼 제어 신호(CL) = L 레벨이 된다.

이 상태에서, 타이밍 신호(IN) = H 레벨이 되면, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력 = L 레벨이 되지만, NAND 회로(140)의 출력 = H 레벨, NAND 회로(125)의 출력 = L 레벨, 판독시 컬럼 제어부(136)의 출력(S136) = H 레벨이 유지된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = H 레벨, NAND 회로(128)의 출력 = H 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력= L 레벨, 기록시 컬럼 제어부(121)의 출력(S121) = H 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = L 레벨이 되며, 컬럼 제어 신호(CL) = H 레벨이 된다.

컬럼 제어 신호(CL)가 개시하는 타이밍은 기록시 컬럼 제어부(121)와 컬럼 제어부(122)의 합계 지연 시간으로 결정되게 되지만, 기록시 컬럼 제어부(121)와 컬럼 제어부(122)의 합계 지연 시간은 판독시 컬럼 제어부(136)와 컬럼 제어부(122)와의 합계 지연 시간보다도 길므로, 본 발명의 실시의 제1형태의 경우보다도 지연되며, 본 발명의 실시의 제2형태의 경우와 동일하게 된다. 제8(b)도에 도시된 절선 Z는 본 발명의 실시의 제1형태의 경우에 있어서의 컬럼 제어 신호(CL)를 나타내고 있다.

그 후, 타이밍 신호(IN) = L 레벨이 되면, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력= H 레벨이 되지만, NAND 회로(140)의 출력 = H 레벨, NAND 회로(125)의 출력 = L 레벨, 판독시 컬럼 제어부(136)의 출력(S136) = H 레벨이 유지된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = L 레벨, NAND 회로(128)의 출력 = H 레벨, NAND 회로(129)의 출력 = L 레벨, 인버터(130)의 출력 = H 레벨이 되며, 기록시 컬럼 제어부(121)의 출력 = L 레벨이 된다.

이 결과, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되고, 컬럼 제어 신호(CL) = L 레벨이 된다.

이 경우에 컬럼 제어 신호(CL)가 종료하는 타이밍은 개시하는 경우와 동일하게, 기록시 컬럼 제어부(121)와 컬럼 제어부(122)의 합계 지연 시간으로 결정되게 되므로, 본 발명의 실시의 제1, 제2형태의 경우보다도 지연되어 기록시에 있어서의 컬럼 제어 신호(CL)는 판독시의 컬럼 제어 신호(CL)를 지연시킨 파형이 되며, 충분한 기록 시간을 확보할 수 있다.

그리고, 이렇게 해도, 판독에서 기록로 모드를 전환하는 경우 또는 기록에서 판독로 모드를 전환하는 경우에, 컬럼 제어 신호(CL)가 개시되고, 컬럼의 선택이 행해지는 부적당은 발생하지 않는다.

즉, 기록·판독 식별 신호(W/R) = L 레벨이 되고, 판독시 라고 되어 있는 경우에 있어서, 타이밍 신호(IN) = L 레벨의 경우, 기록시 컬럼 제어부(121)에 있어서는, NAND 회로(127) 출력 = H 레벨, NAND 회로(128)의 출력 = L 레벨, NAND 회로(129)의 출력 = H 레벨, 인버터(130)의 출력 = L 레벨, 인버터(131)의 출력 = H 레벨이 된다.

또한, 워크·제어부(135)에 있어서는 인버터(137) 출력 = H 레벨, 인버터(138)의 출력 = L 레벨, NAND 회로(139)의 출력 = H 레벨이 된다.

또한, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력 = H 레벨, NAND 회로(140)의 출력 = L 레벨, NAND 회로(125)의 출력 = H 레벨, NAND 회로(126)의 출력 = L 레벨이 된다.

또한, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되며, 컬럼 제어 신호(CL) = L 레벨이 된다.

이 상태에서, 기록·판독 식별 신호(W/R) = H 레벨이 되고, 기록시가 되는 경우에는 워크·제어부(135)에 있어서는 인버터(137) 출력 = L레벨, 인버터(138)의 출력 = H 레벨,NAND 회로(139)의 출력 = L 레벨이 되며, 이 결과, 판독시 컬럼 제어부(136)에 있어서는 NAND 회로(140)의출력 = H 레벨,NAND 회로(125)의 출력 = L 레벨,NAND 회로(126)의 출력 = H 레벨이 된다.

한편, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = L 레벨,NAND 회로(128)의 출력 = H 레벨,NAND 회로(129)의 출력 = L 레벨,인버터(130)의 출력 = H 레벨,인버터(131)의 출력 = L 레벨이 된다.

이 경우에 판독시 컬럼 제어부(136)의 출력(S136)이 H레벨로 반전하는 타이밍은 인버터(137, 138)와 NAND 회로(139,140,125,126)의 합계 지연 시간으로 결정되며, 기록시 컬럼 제어부(121)의 출력(S121)이 L 레벨로 반전하는 타이밍은 NAND 회로(127～129)와, 인버터(130, 131)의 합계 지연 시간으로 결정된다.

이 결과, 이 경우에는 판독시 컬럼 제어부(136)의 출력(S136)이 H 레벨로 반전하는 타이밍보다도 기록시 컬럼 제어부(121)의 출력(S121)이 L 레벨로 반전하는 타이밍 쪽이 빠르고, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨,컬럼 제어 신호(CL) = L 레벨이 유지된다.

또한, 기록·판독 식별 신호(W/R) = H 레벨이 되고,기록시로 되어 있는 경우에 있어서, 타이밍 신호(IN) = L 레벨인 경우, 워크·제어부(135)에 있어서는 인버터(137) 출력 = L 레벨,인버터(138)의 출력 = H 레벨,NAND 회로(139)의 출력 = L 레벨이 된다.

또한, 판독시 컬럼 제어부(136)에 있어서는 인버터(123)의 출력 = H 레벨,NAND 회로(140)의 출력 = H 레벨이 된다.

또한, 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127) 출력 = L 레벨,NAND 회로(128)의 출력 = H 레벨,NAND 회로(129)의 출력 = L 레벨,인버터(130)의 출력 = H 레벨, 인버터(131)의출력 = L 레벨이 된다.

또한, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨이 되며,컬럼 제어 신호(CL) = L 레벨이 된다.

이 상태에서, 기록·판독 식별 신호(W/R) = L 레벨이 되고 판독시가 되는 경우에는 기록시 컬럼 제어부(121)에 있어서는 NAND 회로(127)출력 = H 레벨,NAND 회로(128)의 출력 = L 레벨,NAND 회로(129)의 출력 = H 레벨,인버터(130)의 출력 = L 레벨,인버터(131)의 출력 = H 레벨이 된다.

한편, 워크·제어부(135)에 있어서는 NAND 회로(139)의 출력 = H 레벨이 되고, 이 결과, 판독시 컬럼 제어부(136)에 있어서는 NAND 회로(140)의출력 = L 레벨,NAND 회로(125)의 출력 = H 레벨,NAND 회로(126)의 출력 = L 레벨이 된다.

이 경우에 기록시 컬럼 제어부(121)의 출력(S121)이 = H 레벨로 반전하는 타이밍은 NAND 회로(127～129)

와 인버터(130,131)의 합계 지연 시간으로 결정되며, 판독시 컬럼 제어부(136)의 출력(S136)이 L 레벨에 반전하는 타이밍은 NAND 회로(139,140,125,126)의 합계 지연 시간으로 결정된다.

이 결과, 이 경우에는 기록시 컬럼 제어부(121)의 출력(S121)이 = H 레벨로 반전하는 타이밍보다도 판독시 컬럼 제어부(136)의 출력(S136)이 L 레벨로 반전하는 타이밍 쪽이 빠르고, 컬럼 제어부(122)에 있어서는 NAND 회로(132)의 출력 = H 레벨,컬럼 제어 신호(CL) = L이 유진된다.

따라서, 본 발명의 실시의 제3형태에 따르면, 동작 사이클을 짧게 하는 경우에 있어서, 판독시에는 선택된 로컬·데이타 버스 및 글로벌·데이타 버스 GDB, /GDB를 완전히 프리차지 전압(VP)으로 프리차지한 후에 센서 앰프가 확보하는 데이타를 로컬·데이타 버스로 전송하도록 하는 경우에 있어서도 기록시에 기록 앰프(41)로부터 글로벌·데이타 버스 GDB, /GDB에 출력되는 상보 신호의 전압차가 충분한 크기가 되기 전에 글로벌·데이타 버스 CDB, /GDB가 단락되어 버린다고 하는 사태를 방지하는 동시에, 기록 앰프(41)로부터 글로벌·데이타 버스 GDB, /GDB에 출력된 상보 신호와 센서 앰프로부터 출력된 상보 신호가 충돌함으로써 지연을 방지하고, 다시, 컬럼 제어 신호(CL)의 H 레벨 기간을 길게 하여 판독 및 기록의 고속화를 도모할 수 있다.

또, 본 발명의 실시의 제1~제3형태에 있어서의 글로벌·데이타 버스 GDB, /GDB 및 선택된 로컬·데이타 버스를 프리차지하는 수단으로서, 단락·트랜지스터(39) 이외에 컬럼계의 회로가 동작하는 경우에 동작하는 프리차지 회로(43)를 설치하도록 한 경우에 관해서 설명하였지만, 이 프리차지 회로(43)는 설치하지 않아도 좋다.

또한, 이 프리차지 회로(43) 대신에 단락 신호(SH)에 동기한 신호에 의해 프리차지 동작을 행하는 프리차지 회로, 즉, 컬럼계의 회로가 동작하는 기간에 있어서, 글로벌·데이타 버스 GDB, /GDB가 단락되는 기간은 글로벌·데이타 버스 GDB, /GDB에 프리차지 전압(VP)을 공급하고, 글로벌·데이타 버스 GDB, /GDB가 단락되어 있지 않은 기간은 글로벌·데이타 버스 GDB, /GDB에 프리차지 전압(VP)을 공급하지 않도록 제어되는 프리차지 회로를 설치하도록 해도 좋다.

또한, 본 발명의 실시의 제1~제3형태에 있어서의 복수의 로컬·데이타 버스와 이들 복수의 로컬·데이타 버스로 공되는 글로벌·데이타 버스 GDB, /GDB를 설치히도록 한 경우에 관해서 설명하였지만, 본 발명은 데이타 버스를 로컬·데이타 버스와 글로벌·데이타 패스 GDB, /GDB로 분할하지 않고, 센서 앰프에 접속되는 데이타 패스에 단락·트랜지스터(39), 센서 버퍼(40) 및 기록 앰프(41)를 접속하도록 한 것에 관해서도 적용할 수 있다.

또한, 본 발명의 실시의 제1~제3형태에 있어서는 본 발명을 SDRAM에 적용한 경우에 관해서 설명하였지만, 본 발명은 기록 동작 및 판독 동작을 연속하여 행할 수 있는 비동기형의 DRAM에도 적용할 수 있다.

이상과 같이, 본 발명에 의하면 기록시에 있어서의 제3, 제4데이타 전송로의 단락 기간이 판독시에 있어서의 제3, 제4데이타 전송로의 단락 기간보다도 짧아지도록 단락 회로가 제어되므로, 동작 사이클을 짧게 하는 경우에 있어서, 판독시에는 제3, 제4데이타 전송로를 완전히 프리차지 전압으로 프리차지한 후에 센서 앰프가 확보하는 데이타를 제3, 제4데이타 전송로에 출력하도록 한 경우에 있어서도 기록시에 기록 회로로부터 제3, 제4데이타 전송로에 출력되는 상보 신호의 전압차가 충분한 크기가 되기 전에, 제3, 제4데이타 전송로가 단락되어 버린다고 하는 사태를 방지하여 판독 및 기록의 고속화를 도모할 수 있다.

(57) 청구의 범위

청구항 1

메모리 셀이 접속되어 판독시에 그 전압차가 센서 앰프에 의해 증폭되는 쌍을 이루는 제1, 제2데이타 전송로와, 컬럼 게이트를 통하여 상기 제1, 제2데이타 전송로가 접속되고, 또한, 판독 회로 및 기록 회로가 동일 단부측에 접속되며, 데이타를 상보화한 신호가 전송되는 쌍을 이루는 제3, 제4데이타 전송로와, 상기 센서 앰프로부터 상기 제3, 제4데이타 전송로의 데이타 출력전 및 상기 기록 회로로부터 상기 제3, 제4데이타 전송로로의 데이타 출력전에, 상기 제3, 제4데이타 전송로를 단락하기 위한 단락 회로를 구비하는 반도체 기억 장치에서의 데이타 전송로의 단락 방법에 있어서, 기록시에 있어서의 상기 제3, 제4데이타 전송로의 단락 기간이 판독시에 있어서의 상기 제3, 제4데이타 전송로의 단락 기간보다도 짧아지도록 상기 단락 회로를 제어하여 상기 제3, 제4데이타 전송로를 단락하는 것을 특징으로 하는 반도체 기억 장치에서의 데이타 전송로 단락 방법.

청구항 2

메모리 셀이 접속되어 판독시에 그 전압차가 센서 앰프에 의해 증폭되는 쌍을 이루는 제1, 제2데이타 전송로와, 컬럼 게이트를 통하여 상기 제1, 제2데이타 전송로가 접속되고, 또한, 판독 회로 및 기록 회로가 동일 단부측에 접속되며, 데이타를 상보화한 신호가 전송되는 쌍을 이루는 제3, 제4데이타 전송로와, 상기 센서 앰프로부터 상기 제3, 제4데이타 전송로의 데이타 출력전 및 상기 기록 회로로부터 상기 제3, 제4데이타 전송로이 데이타 출력전에, 상기 제3, 제4데이타 전송로를 단락하기 위한 단락 회로를 구비하는 반도체 기억 장치에 있어서, 기록시에 있어서의 상기 제3, 제4데이타 전송로의 단락 기간이 판독시에 있어서의 상기 제3, 제4데이타 전송로의 단락 기간보다도 짧아지도록 상기 단락 회로를 제어하는 제1제어 회로를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 3

제2항에 있어서, 상기 제3, 제4데이타 전송로는 상기 제1, 제2데이타 전송로가 접속되어 쌍을 이루는 제5, 제6 데이타 전송로와, 상기 판독 회로 및 상기 기록회로가 동일 단부측에 접속되는 스위치 회로를 통하여 상기 제5, 제6 데이타 전송로가 접속되어 쌍을 이루는 제7, 제8 데이타 전송로로 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 4

제2항 또는 제3항에 있어서, 상기 제3, 제4데이타 전송로에 프리차지 전압을 공급하는 프리차지 회로를 구비하는 것을 특징을 반도체 기억 장치.

청구항 5

제4항에 있어서, 상기 프리차지 회로는 컬럼계가 동작하는 기간에 있어서, 상기 제3, 제4데이타 전송로가 단락되어 있는 기간에는 상기 제3, 제4데이타 전송에 프리차지 전압을 공급하고, 상기 제3, 제4데이타 전송로가 단락되어 있지 않은 기간에는 상기 제3, 제4데이타 전송로에 프리차지 전압을 공급하지 않도록 제어되는 구성으로 되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제2항 내지 제5항중 어느 한항에 있어서, 상기 제1제어 회로는 상기 제3, 제4데이타 전송로를 단락하는 타이밍이 동작 타이밍을 제어하는 제1신호에 대하여 판독시 및 기록시에 동일 내지 거의 동일하게 되며, 상기 제3, 제4데이타 전송로의 단락을 해제하는 타이밍이상기 제1신호에 대하여 판독시의 경우보다 기록시의 경우 쪽이 빨라지도록 상기 단락 회로를 제어하도록 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제2항 내지 제6항중 어느 한 항에 있어서, 상기 제1제어 회로는 판독시에 있어서의 상기 제3, 제4데이타 전송로로의 단락 해제를 상기 제3, 제4데이타 전송로가 프리차지 전압으로 프리차지된 후에 행하도록 상기 단락 회로를 제어하는 구성으로 되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제2항 내지 제7항중 어느 한항에 있어서, 상기 제1제어 회로는 기록시에 있어서의 상기 제3, 제4데이타 전송로의 단락 해제를 상기 제3, 제4데이타 전송로가 프리차지 전압으로 프리차지 되기 전에 행하도록 상기 단락 회로를 제어하는 구성으로 되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제8항에 있어서, 상기 기록 회로는 상기 제3, 제4데이타 전송로의 상보 신호의 레벨을 반전시키는 경우, 상기 제3, 제4데이타 전송로를 프리차지하는 수단보다도 빠르게 상기 제3, 제4데이타 전송로를 프리차지 전압으로 하는 구동 능력을 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

제2항 내지 제9항중 어느 한항에 있어서, 상기 제1제어 회로는 기록시에 있어서의 상기 제3, 제4데이타 전송로의 단락 개시 및 단락 해제의 타이밍을 제어하는 제2제어 회로와, 판독시에 있어서의 상기 제3, 제4데이타 전송로의 단락 개시 및 단락 해제의 타이밍을 제어하는 제3제어 회로와, 상기 제2제어 회로의 출력 및 상기 제3제어 회로의 출력으로 제어되며, 상기 단락 회로의 단락 동작을 제어하는 제4제어 회로를 구비하여 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 11

제10항에 있어서, 상기 제2제어 회로는 상기 제1신호와, 기록시인지, 판독시인지를 나타내는 제2신호를 NAND 처리하는 제1NAND 회로를 구비하여 구성되고, 상기 제3제어 회로는 상기 제1신호를 지연시키는 제1지연 회로와, 상기 제1지연 회로의 출력과 상기 제1신호를 NAND 처리하는 제2NAND 회로를 구비하여 구성되며, 상기 제4제어 회로는 상기 제2제어 회로의 출력과 상기 제3제어 회로의 출력을 NAND 처리하는 제3NAND 회로와, 상기 제3NAND 회로의 출력을 반전 지연시키는데 제1반전 지연 회로를 구비하여 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 12

제6항 내지 제11항중 어느 한항에 있어서, 상기 제1신호는 외부에서 공급되는 외부 클록에 동기한 신호인 것을 특징으로 하는 반도체 기억 장치.

청구항 13

제2항 내지 제12항중 어느 한항에 있어서, 기록시에 상기 제3, 제4데이타 전송로의 단락 해제와 동시 내지 거의 동시에, 데이타를 상기 제3, 제4데이타 전송로에 출력할 수 있도록 상기 기록 회로의 활성화를 제어하는 제5제어 회로를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 14

제13항에 있어서, 상기 제5제어 회로는 상기 제1신호와, 상기 제2신호로 제어되며, 상기 기록 회로를 제어하도록 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 15

제14항에 있어서, 상기 제5제어 회로는 제1신호를 반전하는 제1반전 회로와, 상기 제2신호를 반전하는 제2반전 회로와, 상기 제1반전 회로의 출력과 상기 제2반전 회로의 출력을 NOR 처리하는 제1NOR 회로와, 상기 제1NOR 회로의 출력을 지연시키는 제2지연 회로를 구비하여 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 16

제6항 내지 제15항중 어느 한항에 있어서, 상기 제1신호와, 상기 제2신호로 제어되며, 상기 판독 회로의 활성화를 제어하는 제6제어 회로를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 17

제16항에 있어서, 상기 제6제어 회로는 상기 제1신호를 반전시키는 제3반전 회로와, 상기 제3반전 회로의 출력과 상기 제2신호를 NOR 처리하는 제2NOR 회로와, 상기 제2NOR 회로의 출력을 지연시키는 제3지연 회로를 구비하여 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 18

제6항 내지 제17항중 어느 한항에 있어서, 상기 제1신호를 지연시켜 상기 컬럼 게이트의 선택 및 선택 해제의 타이밍을 제어하는 제3신호를 출력하는 제7제어 회로를 구비하고, 상기 컬럼 게이트를 선택 및 해제하는 타이밍이 판독시 및 기록시에 동일하게 되도록 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 19

제2항 내지 제17항중 어느 한항에 있어서, 판독시에 있어서의 컬럼의 선택 및 선택 해제의 타이밍을 제어하는 동시에, 기록시에 있어서의 컬럼의 선택 및 선택 해제의 타이밍을 제어하는 제8제어 회로와, 상기 제8제어 회로의 출력으로 제어되며, 상기 컬럼 게이트의 선택 및 선택 해제의 타이밍을 제어하는 제4신호를 출력하는 제9제어 회로를 구비하고, 기록시에 있어서의 상기 컬럼 게이트를 선택하는 타이밍이 판독시의 경우보다 느려지며, 상기 컬럼 게이트를 선택 해제하는 타이밍이 판독시와 기록시에 동일 내지 거의 동일하게 되도록 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 20

제19항에 있어서, 상기 제8제어 회로는 상기 제1신호를 반저시키는 제4 반전 회로와, 상기 제4 반전 회로의 출력을 반전 지연하는 제2반전 지연 회로와, 상기 제2신호와 상기 제4 반전 회로의 출력을 NAND 처리하는 제4NAND회로와, 상기 제4 NAND회로의 출력을 지연시키는 제4지연 회로를 구비하여 구성되고, 제9제어 회로는 상기 2 반전 지연 회로의 추력과 상기 제4지연 회로의 출력을 NAND 처리하는 제5NAND회로와, 상기 제5NAND 회로의 출력을 반전하는 제5 반전 회로를 구비하여 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 21

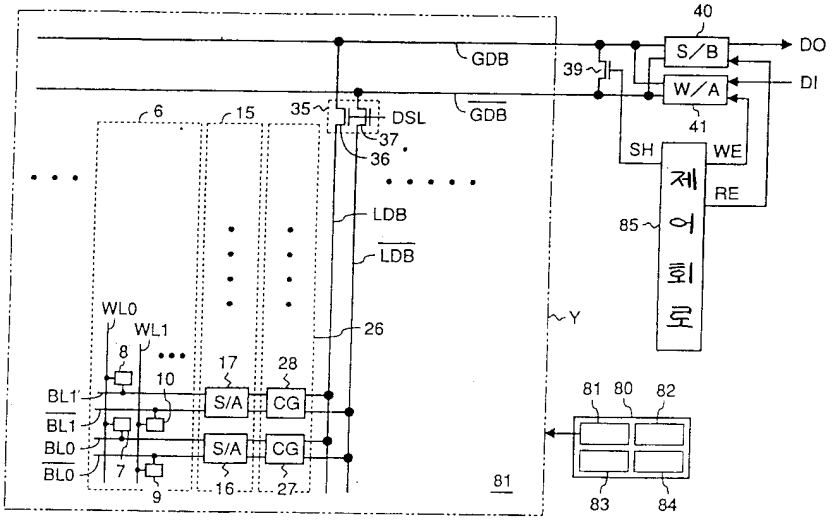
제2항 내지 제17항중 어느 한항에 있어서, 판독시에 있어서의 컬럼의 선택 및 선택 해제의 타이밍을 제어하는 제10제어회로와, 기록시에 있어서의 컬럼의 선택 및 선택 해제의 타이밍을 제어하는 제11제어 회로와, 상기 제10제어 회로의 출력 및 상기 제11제어 회로의 출력으로 제어되며, 상기 컬럼 게이트의 선택 및 해제의 타이밍을 제어하는 제5신호를 출력하는 제12제어 회로와, 상기 제10제어 회로를 제어하는 제13제어 회로를 구비하고, 기록시에 있어서의 상기 컬럼 게이트를 선택 및 선택 해제하는 타이밍이 판독시의 경우보다 느려지도록 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 22

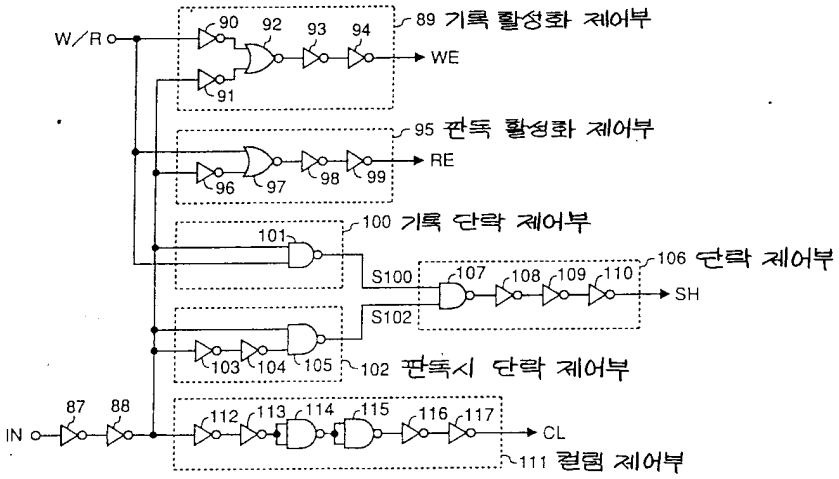
제21항에 있어서, 상기 제10제어 회로는 상기 제1신호를 반전시키는 제6반전 회로와, 상기 제6반전 회로의 출력과 상기 제13제어 회로의 출력을 NAND 처리하는 제6 NAND 회로와, 상기 제6NAND 회로의 출력을 지연시키는 제5지연 회로를 구비하여 구성되고, 상기 제11제어 회로는 상기 제2신호와 상기 제6반전 회로의 출력을 NAND 처리하는 제7 NAND 회로와, 상기 제7NAND 회로의 출력을 지연시키는 제6지연 회로를 구비하여 구성되며, 제12제어 회로는 상기 제10제어 회로의 출력과 상기 제11제어 회로의 출력을 NAND 처리하는 제8NAND 회로와, 상기 제8NAND 회로의 출력을 반전하는 제7반전 회로를 구비하여 구성되고, 상기 제13제어 회로는 상기 제2신호를 지연하는 제7지연 회로와, 상기 제7지연 회로의 출력과 상기 제2신호를 NAND 처리하는 제9NAND 회로를 구비하여 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

도면

도면1

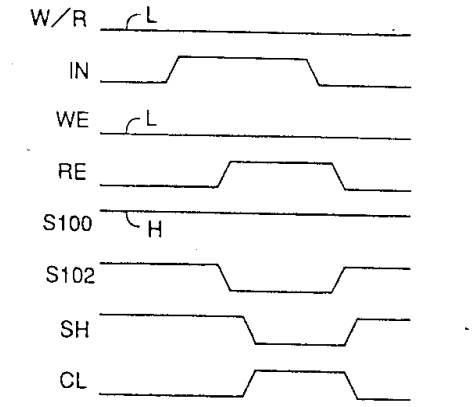

40
S/B
DO
DI
W/A
41
39
GDB
GDB
6
15
35
DSL
37
36
LDB
LDB
26
Y
SH
WE
RE
제
어
회
로
85
WL0
WL1
8
10
17
28
BL1
BL1
BL0
BL0
S/A
CG
S/A
CG
7
9
16
27
81
81
80
82
83
84

도면2

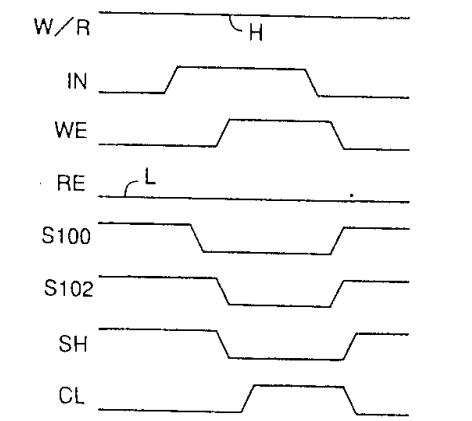

W/R
90
92
93
94
89 기록 활성화 제어부
WE
91
95 판독 활성화 제어부
RE
96
97
98
99
100 기록 단락 제어부
101
S100
107
108
109
110
106 단락 제어부
SH
S102
103
104
105
102 판독시 단락 제어부
IN
87
88
112
113
114
115
116
117
CL
111 컬럼 제어부

도면3

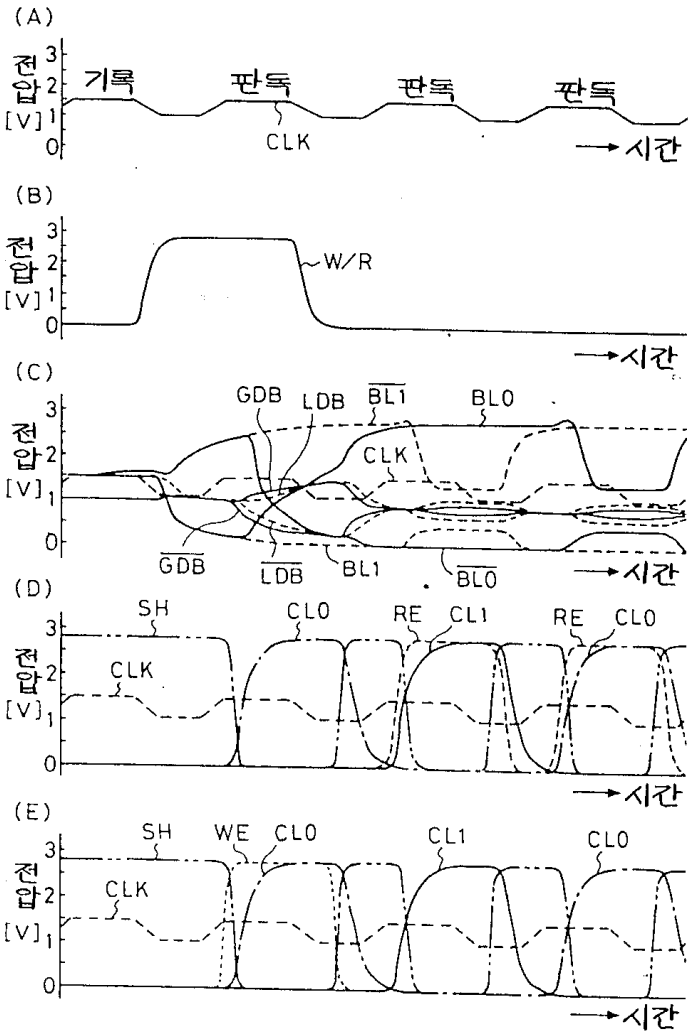
(A) 판독시



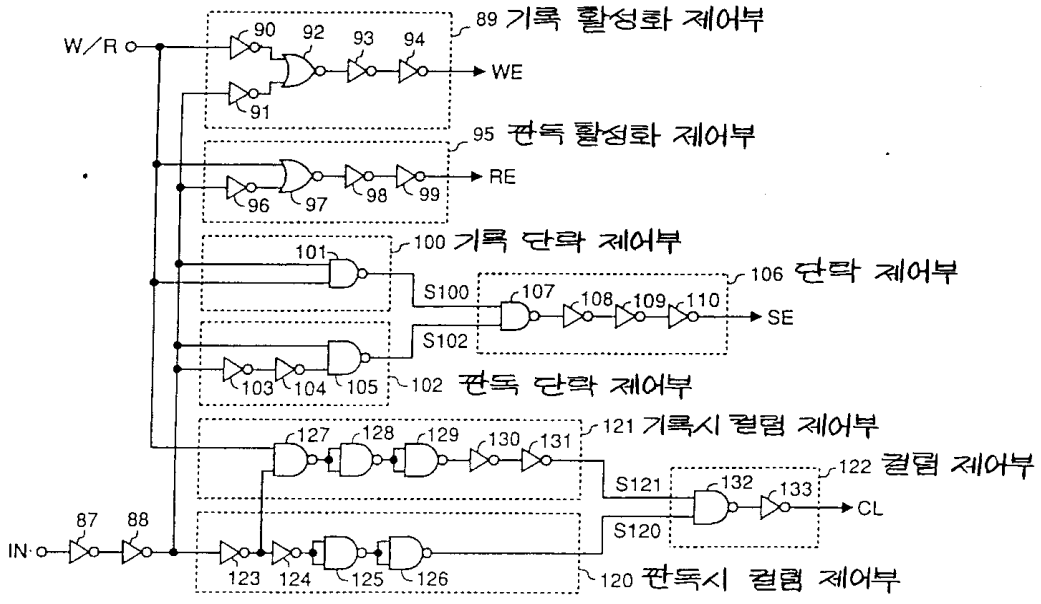
(B) 기록시



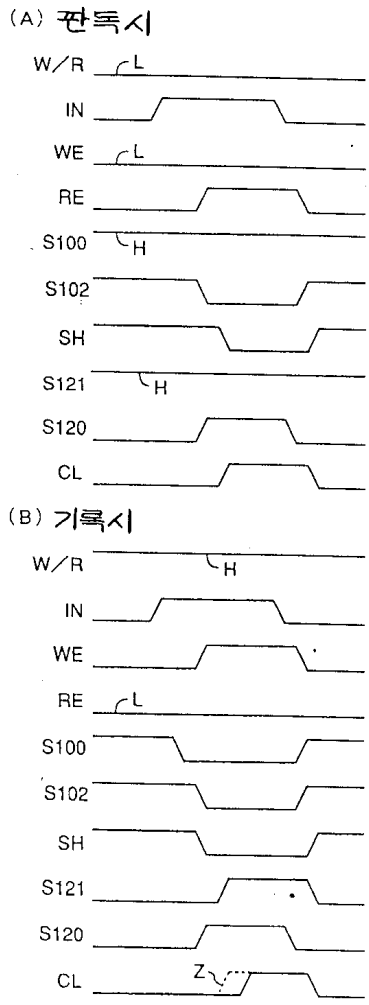
도면4


(A)
전압 [V]
3
2
1
0
기록
판독
판독
판독
CLK
시간
(B)
W/R
(C)
GDB
LDB
BL1
BL0
CLK
(D)
SH
CL0
RE
CL1
(E)
WE

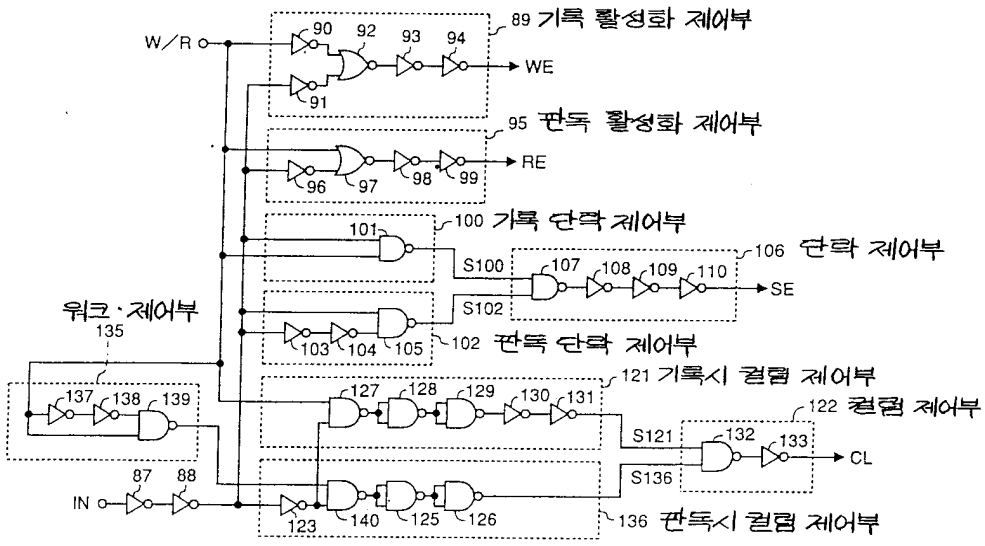
도면5


W/R
IN
89 기록 활성화 제어부
95 판독 활성화 제어부
100 기록 단락 제어부
106 단락 제어부
102 판독 단락 제어부
121 기록시 컬럼 제어부
122 컬럼 제어부
120 판독시 컬럼 제어부
WE
RE
SE
CL
S100
S102
S121
S120

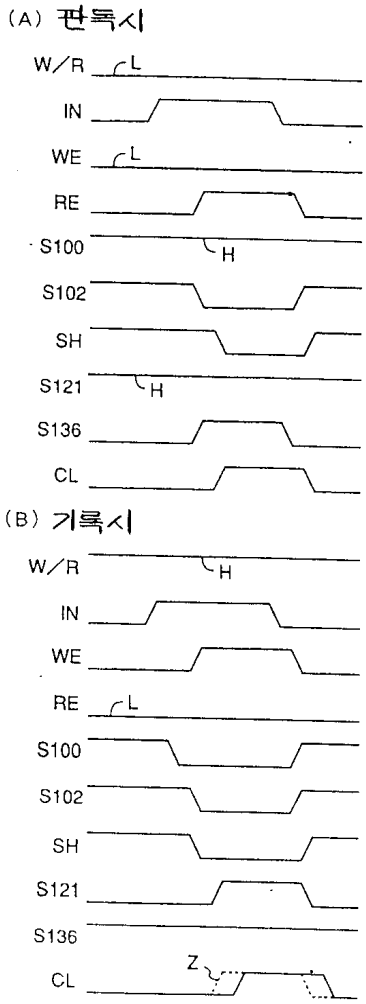
도면6


(A) 판독시
W/R
L
IN
WE
L
RE
S100
H
S102
SH
S121
H
S120
CL
(B) 기록시
W/R
H
IN
WE
RE
L
S100
S102
SH
S121
S120
CL
Z

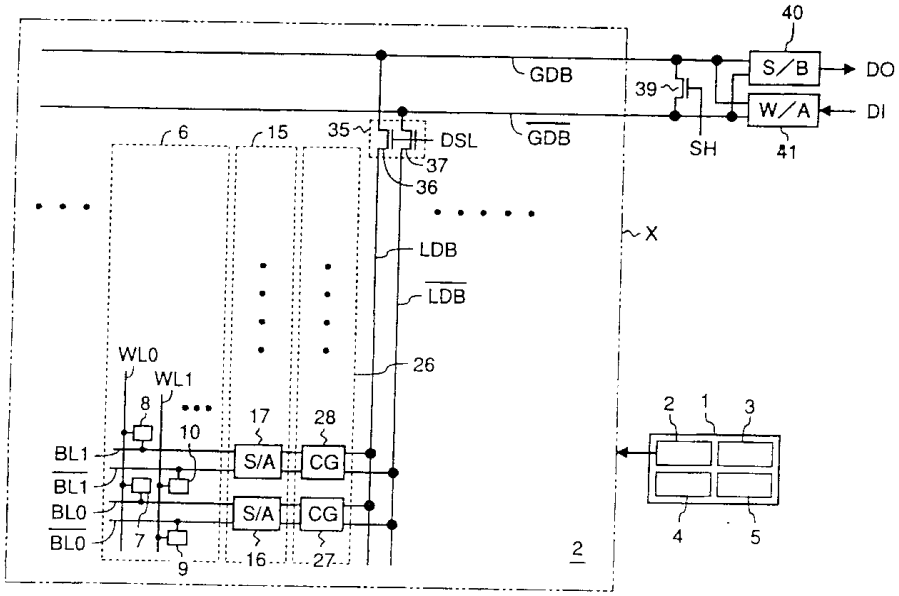
도면7


W/R
90
92
93
94
89 기록 활성화 제어부
WE
91
95 판독 활성화 제어부
RE
96
97
98
99
101
100 기록 단락 제어부
106 단락 제어부
S100
107
108
109
110
SE
S102
워크 제어부
135
103
104
105
102 판독 단락 제어부
121 기록시 컬럼 제어부
122 컬럼 제어부
137
138
139
127
128
129
130
131
S121
132
133
CL
87
88
IN
S136
123
140
125
126
136 판독시 컬럼 제어부

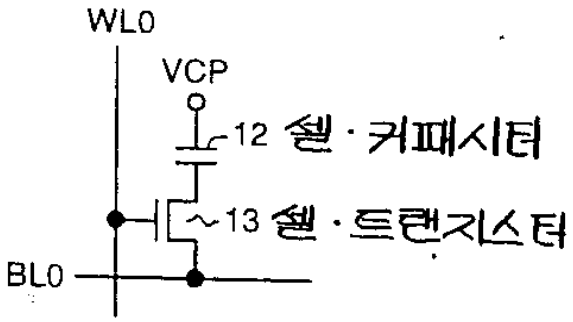
도면8


(A) 판독시
W/R
L
IN
WE
L
RE
S100
H
S102
SH
S121
H
S136
CL
(B) 기록시
W/R
H
IN
WE
RE
L
S100
S102
SH
S121
S136
CL
Z

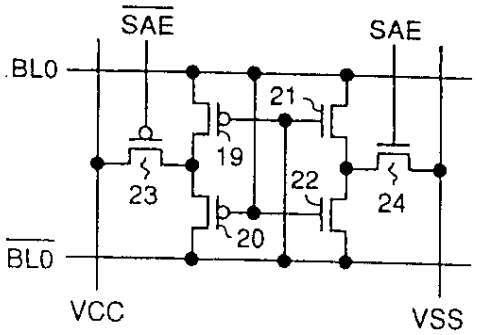
도면9


40
GDB
S/B
DO
39
W/A
DI
6
15
35
DSL
GDB
SH
41
37
36
X
LDB
LDB
26
WL0
WL1
8
10
17
28
BL1
BL1
BL0
BL0
S/A
CG
S/A
CG
7
9
16
27
2
2
1
3
4
5

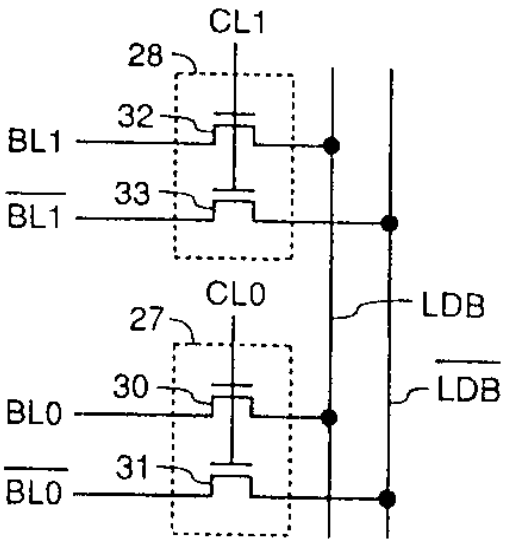
도면10



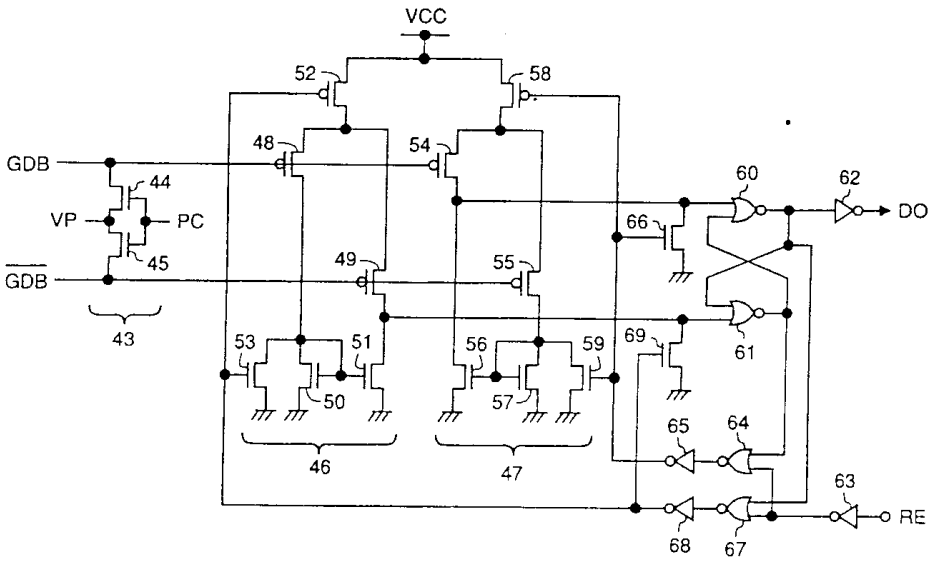
도면11



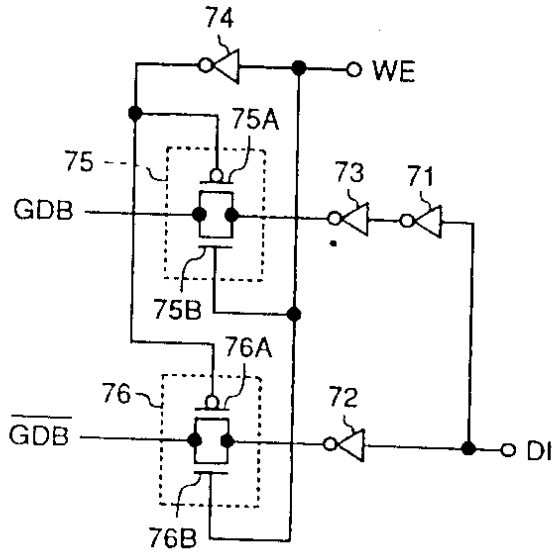
도면12



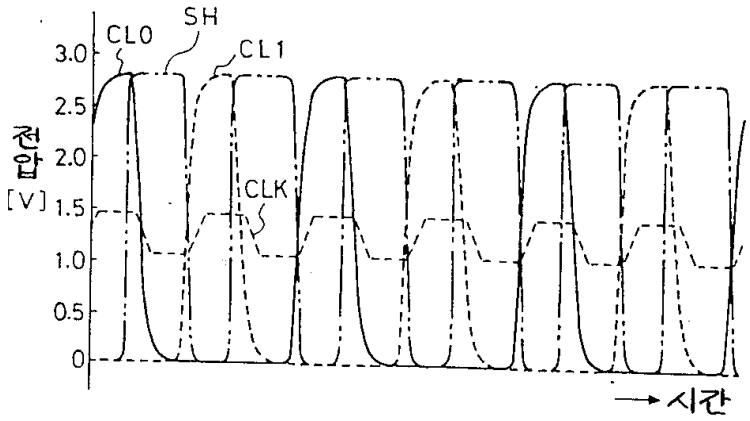
도면13



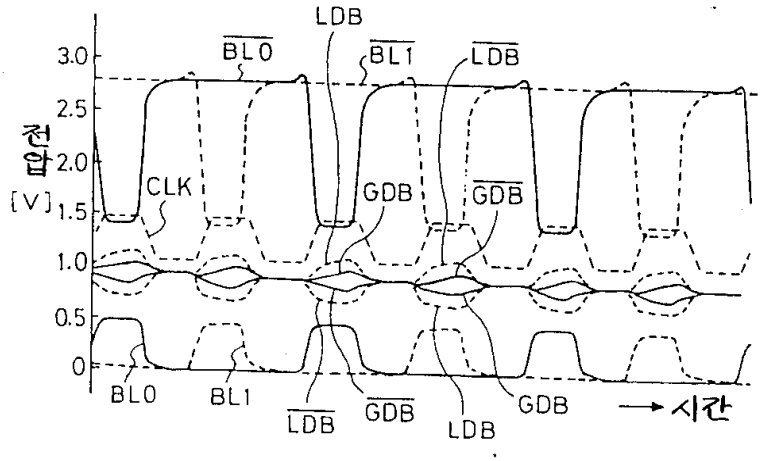
도면14



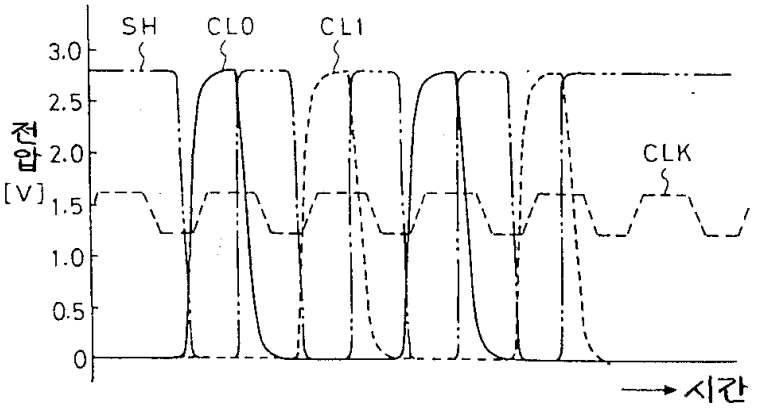
도면15a



도면15b



도면16a



도면16b

