(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4332966号
(P4332966)

(45)発行日　平成21年9月16日(2009.9.16)　(24)登録日　平成21年7月3日(2009.7.3)

(51)Int.Cl.		F I		
H04L 27/22	(2006.01)	H04L	27/22	C
H03J 7/02	(2006.01)	H03J	7/02	
H04B 1/16	(2006.01)	H04B	1/16	R
H04B 1/26	(2006.01)	H04B	1/26	S
H04N 5/44	(2006.01)	H04N	5/44	K

請求項の数 4　(全 12 頁)

(21)出願番号　特願平11-373862
(22)出願日　平成11年12月28日(1999.12.28)
(65)公開番号　特開2001-189766(P2001-189766A)
(43)公開日　平成13年7月10日(2001.7.10)
審査請求日　平成18年12月5日(2006.12.5)

(73)特許権者　000005821
パナソニック株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100097445
弁理士　岩橋　文雄
(74)代理人　100109667
弁理士　内藤　浩樹
(74)代理人　100109151
弁理士　永野　大介
(72)発明者　浜田　勝浩
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　宮嶋　進
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】テレビ放送用ＰＬＬ選局制御方法およびテレビ放送用ＰＬＬ選局制御装置

(57)【特許請求の範囲】

【請求項１】

変調信号を入力するステップと、前記変調信号を選局するため発振器の周波数調整を行うＰＬＬ選局制御ステップと、ＰＬＬ選局制御した周波数を中心に周波数の微調制御を行うＡＦＣ制御ステップと、前記変調信号を入力してシステムのゲインを調整するステップと、前記ゲインの調整ステップ後のシステムの電力量を検出して前記変調信号の信号有無を検出するステップとを有し、前記ＰＬＬ選局制御ステップは、前記信号有無検出ステップの検出結果が信号無のときＰＬＬ選局制御を停止し、ＰＬＬ選局制御の周波数を中央の周波数に停止させることを特徴とするテレビ放送用ＰＬＬ選局制御方法。

【請求項２】

前記ＰＬＬ選局ステップ時に選局制御した選局制御設定値を格納するステップと、前記選局制御設定値をＰＬＬ選局制御初期値として設定するステップとを有することを特徴とする請求項１記載のテレビ放送用ＰＬＬ選局制御方法。

【請求項３】

変調信号を入力する入力部と、前記入力部が入力した前記変調信号を選局するため発振器の周波数調整を行うＰＬＬ選局制御部と、ＰＬＬ選局制御した周波数を中心に周波数の微調制御を行うＡＦＣ制御部と、前記変調信号を入力してシステムのゲインを調整するＡＧＣ部と、前記ＡＧＣ部からシステムの電力量を検出して前記変調信号の信号有無を検出する信号有無検出部とを備え、前記ＰＬＬ選局制御部は、前記信号有無検出部の検出結果が信号無のときＰＬＬ選局制御を停止し、ＰＬＬ選局制御の周波数を中央の周波数に停止

させることを特徴とするテレビ放送用ＰＬＬ選局制御装置。
【請求項４】
前記ＰＬＬ選局制御部が選局制御した選局制御設定値を格納するＰＬＬ選局制御設定値格納部を備え、前記ＰＬＬ選局制御部が前記選局制御設定値をＰＬＬ選局制御初期値として設定することを特徴とする請求項３記載のテレビ放送用ＰＬＬ選局制御装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、デジタル放送用セットトップボックスにおけるフロントエンド部のＱＰＳＫ復調器及び選局用チューナーにおける第１局部発振器のＰＬＬ選局制御方法に関するものである。
【０００２】
【従来の技術】
図６に従来のＰＬＬ選局制御方法を有したＱＰＳＫ復調システムの構造を示す。図６のＱＰＳＫ復調システムは、ＱＰＳＫ変調信号を入力する入力手段１１と、ＱＰＳＫ変調信号を後段のＱＰＳＫ復調器システムに適した電力量に制御するＡＧＣアッテネート手段１２と、希望信号の選局周波数の信号以外を除去するための選局フィルタ手段１３と、希望信号の選局周波数を発振するための第一局部発振器１６と第一局部発振器１６を制御するＰＬＬ制御手段１４と、ＱＰＳＫ変調信号を中間周波数信号にダウンコンバートするミキサ１５と、ダウンコンバートされたＱＰＳＫ変調信号の波形整形をするＳＡＷフィルタ手段１７と、ベースバンド信号であるＩ，Ｑ信号を作り出す検波手段１８と、検波手段１８の第２中間周波数を発振させる第２中間周波数発振器１８１と、アナログ信号をデジタル信号に変換するＡＤ変換手段１９と、受信帯域の制限と符号間干渉を抑制するための波形整形フィルタ手段１１０と、Ｉ，Ｑ信号から搬送波を再生させる搬送波再生手段１１１と、ＱＰＳＫ復調の同期を判定する同期判定手段１１７と、Ｉ，Ｑ信号からクロックを再生させるクロック再生手段１１２と、ＡＧＣアッテネート手段１２に送る情報を作り出しシステム全体のゲインを調整するＡＧＣ手段１１３と、システムに信号が入力されているかどうかを検出する信号有無検出手段１１６と、Ｉ，Ｑ信号の周波数誤差を検出する周波数誤差検出手段１１４１と、周波数誤差検出手段１１４１で検出された周波数誤差信号により周波数補正を行うＡＦＣ手段１１４と、ＡＦＣ制御値を強制的に変動させるＡＦＣ制御値変動手段１１８と、デジタル信号をアナログ信号に変換するＤＡ変換手段１１５と、ＱＰＳＫ復調器のＡＦＣを外部のＣＰＵ等より制御する外部ＡＦＣ制御手段１４０と、ＰＬＬ制御手段１４を外部のＣＰＵ等より制御する外部ＰＬＬ選局制御手段１３０によって構成されている。
【０００３】
以上のように構成されたＱＰＳＫ復調システムについて、図６を用いてその動作を説明する。図６において、入力手段１１から、ＱＰＳＫ変調信号が入力される。入力されたＱＰＳＫ変調信号は、ＡＧＣアッテネート手段１２によって、後段のＱＰＳＫ復調システムに適した電力量に制御され、選局フィルタ手段１３によって、希望信号の選局周波数の信号以外の信号を除去する。ミキサ１５には、選局フィルタ手段１３からの信号と、ＰＬＬ制御手段１４によって制御された第一局部発振器１６からの信号が入力され、希望信号は中間周波数信号にダウンコンバートされる。そのダウンコンバートされた希望信号は、ＳＡＷフィルタ手段１７によって波形整形され、検波手段１８に入力され、第２中間周波数発振器１８１によって、ベースバンド信号であるＩ，Ｑ信号が作り出される。それらのＩ，Ｑ信号は、ＡＤ変換手段１９により、アナログ信号からデジタル信号に変換され、波形整形フィルタ手段１１０により、受信帯域の制限と符号間干渉を抑制される。波形整形フィルタ手段１１０の出力のＩ，Ｑ信号はそれぞれ搬送波再生手段１１１、クロック再生手段１１２、ＡＧＣ手段１１３、周波数誤差検出手段１１４１に入力される。搬送波再生手段１１２では、Ｉ，Ｑ信号から搬送波を再生し、ＱＰＳＫ復調の同期を判定する同期判定手段１１７に入力され、ＱＰＳＫ復調システムの同期を判定する。そして、後段の誤り訂正

部へと信号は入力されていく。

【０００４】

また、クロック再生手段１１２では、Ｉ，Ｑ信号をもとにＩ、Ｑ信号のクロック成分を算出しＱＰＳＫ復調に必要なクロック再生を行う。また、ＡＧＣ手段１１３では、ＤＡ変換手段１１５を介して、前段のＡＧＣアッテネート手段１２とループが組まれ、システム全体のゲイン調整を行なっている。そして、周波数誤差検出手段１１４１では、Ｉ，Ｑ信号を使って位相誤差を検出することにより周波数誤差を求め、その周波数誤差情報をＡＦＣ手段１１４に入力し、ＡＦＣ手段１１４では、周波数誤差の情報を平均化し、搬送波再生手段１１１で周波数誤差がセロになるように自動で周波数誤差制御されるようにＡＦＣ制御されるとともにＡＦＣ制御値変動手段１１８で強制的に変動を与えることも可能である。同期判定手段１１７では、ＱＰＳＫ復調器の同期判定を行なっており、ＱＰＳＫ復調器の同期判定処理および、外部からのＡＦＣ制御は、外部ＡＦＣ制御手段１４０によって制御されている。また、外部からの選局制御・ＰＬＬ制御は、外部ＰＬＬ選局制御手段１３０によって制御されている。

【０００５】

図５に、図６の外部ＡＦＣ制御手段１４０によりＡＦＣ制御値変動手段１１８を介して制御されるＡＦＣ制御方法と、外部ＰＬＬ選局制御手段１３０によりＰＬＬ制御手段を介し第一局部発振器１６を制御する方法を示しており、このＡＦＣ制御は、ＱＰＳＫ復調器が同期状態にある時などでＩ、Ｑ入力信号の周波数成分と搬送波再生を行おうとする周波数との周波数誤差が少ない場合には、ＡＦＣ手段１１４により、周波数誤差がゼロになるようにＡＦＣ制御によって補正されるが、選局切替時等にＱＰＳＫ復調器を同期させようとする場合にはダウンコンバートされたＩ，Ｑ入力信号の周波数成分と搬送波再生を行おうとする周波数との周波数誤差が大きいため、外部ＡＦＣ制御手段１４０によってＡＦＣ制御値を強制的に変動させるＡＦＣ制御値変動手段１１８を介し、図５に示すように、外部より強制的にＡＦＣ制御し周波数誤差をサーチする必要がある。

【０００６】

ＡＦＣ制御が可能な範囲として、ＡＦＣ手段１１４とＡＦＣ制御値変動手段１１８では８ビットの２の補数表現されたデジタル制御値－１２８～＋１２７を扱い、おのおののＡＦＣ制御値が一定周期Ｔで、図５の外部ＡＦＣ制御手段１４０によりＡＦＣ制御値変動手段１１８に強制的に書き込まれる。選局切替時等にＱＰＳＫ復調器を同期させようとする場合には、ダウンコンバートされたＩ、Ｑ入力信号と搬送波再生を行おうとする周波数との周波数誤差が未知のため、ＡＦＣ制御可能な範囲をすべてサーチすることになり、同期させるまでの時間を短縮するためにも、４～５回の制御ですべての範囲をサーチする。

【０００７】

しかし、入力手段１１より入力される信号の周波数と選局しようとする周波数との周波数誤差が非常に大きい場合には、周波数誤差検出手段１１４１によって周波数誤差を検出することが不可能となるため、外部ＰＬＬ選局制御手段１３０によりＰＬＬ制御手段１４を介して第一局部発振器１６を制御し、周波数誤差検出手段１１４１で周波数誤差を検出することが可能になるまで図６に示すように周波数変化量Δｆで、周波数を▲１▼→▲２▼→▲３▼→▲１▼→・・の順で第一局部発振器１６の制御を繰り返す。

【０００８】

以上２つのＡＦＣ制御とＰＬＬ選局制御を組み合わせてサーチすることによりＱＰＳＫ復調器を同期させるまでに膨大な選局時間を要するが、入力手段１１に信号が入力されている場合には、ＱＰＳＫ復調器を同期させるために必要な選局制御である。しかし、入力手段１１の前段に通常接続されるアンテナを設置、調整する際において、アンテナがずれた方向にある時は信号が無入力状態となり、アンテナが目的の方向に近づけることができた場合はＱＰＳＫ復調器に信号が入力させることになるが、アンテナがずれた方向にあり信号が無入力状態の時でもＰＬＬ選局制御を常に制御し続け、周波数のずれた入力信号までをサーチするためのＰＬＬ選局制御をも制御し続けるＰＬＬ選局制御方法であった。

【０００９】

【発明が解決しようとする課題】
このように、入力信号の有無を判断せずにＰＬＬ選局を行うにより、入力信号が無い場合にもＰＬＬ選局制御をし続け、周波数のずれた入力信号までをサーチするためのＰＬＬ選局制御を継続してしまい、信号が入力された直後に必ず目的の周波数をＰＬＬ選局しているとは限らないため、その結果、入力信号捕まえることが難しく、選局時間が長くなる、あるいは、アンテナ調整が容易にできないという問題点があった。
【００１０】
【課題を解決するための手段】
前記課題を解決するために、ＱＰＳＫ復調器に入力される信号の電力量を判断する信号有無検出手段を設けることにより入力信号の有無を判断し、ＰＬＬ選局方法を切り換える。ＱＰＳＫ復調システムに入力信号が無い場合、信号有無検出手段により信号が無いと判断し、外部ＰＬＬ選局制御手段を介して第１局部発振器の制御を停止させ、ＱＰＳＫ復調器のＡＦＣ制御のみを継続する。入力信号がＱＰＳＫ復調システムに入力された場合、信号有無検出手段により信号が有ると判断し、外部ＰＬＬ選局制御手段と外部ＡＦＣ制御手段を介して第１局部発振器の制御とＱＰＳＫ復調器のＡＦＣ制御を連動させることにより、ＰＬＬ選局制御を行う。
【００１１】
このように、ＱＰＳＫ復調器に入力される信号の電力量を判断する信号有無検出手段を設け、その検出結果から入力信号の有無を判断することによってＰＬＬ選局制御方法を切り換えることを特徴としたものである。
【００１２】
本発明によれば、入力信号が無い時に不必要なＰＬＬ選局制御を停止させ、入力信号がＱＰＳＫ復調システムに入力された時のみにＰＬＬ選局制御を行うことで、選局時間を短くし、アンテナ調整を容易させるＰＬＬ選局制御方法を提供できる。
【００１３】
【発明の実施の形態】
本発明の請求項１に記載の発明は、ＱＰＳＫ復調器に入力される信号の電力量を判断する信号有無検出手段を設けることにより、入力信号の有無を判断することによってＰＬＬ選局方法を切り換えるＰＬＬ選局制御方法であり、ＱＰＳＫ復調システムに信号が入力されていない場合、信号有無検出手段により信号が無いと判断し、その検出結果を外部ＰＬＬ選局制御手段に伝達させることで信号が入力されていない時の制御に切替える。その制御として、第１局部発振器の制御を選局しようとする周波数の中央に停止させ、ＱＰＳＫ復調器のＡＦＣ制御のみを継続する。
【００１４】
一方、入力信号がＱＰＳＫ復調システムに入力された場合には信号有無検出手段により信号が有ると判断し、その検出結果を外部ＰＬＬ選局制御手段に伝達させることで信号が入力されている時の制御に切替える。その制御として、第１局部発振器の制御とＱＰＳＫ復調器のＡＦＣ制御を連動させることにより、選局しようとする信号が入力された時のみにＰＬＬ選局制御を行うことで、周波数のずれた信号が入力された場合でも第一局部発振器の制御により選局を可能とするＰＬＬ選局制御として、制御時間を要するＰＬＬ選局制御を信号が入力されていない時に周波数のずれた信号をサーチするためのＰＬＬ選局制御を行わずに選局しようとする周波数の中央に停止しておくことにより信号が入力された時に不必要なＰＬＬ選局制御時間を短縮することを可能とするという作用を有する。
【００１５】
本発明の請求項２に記載の発明は、ＱＰＳＫ復調器に入力される信号の電力量を判断する信号有無検出手段を設け、その検出結果から入力信号の有無を判断することによってＰＬＬ選局方法を切り換えるＰＬＬ選局制御方法であり、ＱＰＳＫ復調システムに信号が入力され、請求項１のＰＬＬ選局制御方法によってＰＬＬ選局制御値を正常なポイントに移行させることができた時、その正常なポイントにおけるＰＬＬ選局制御値を外部ＣＰＵに格納し、次回選局時のＰＬＬ制御初期値として用いることにより、周波数のずれた信号をサ

ーチするためのＰＬＬ選局制御時間を短縮することを可能とするという作用を有する。
【００１６】
以下、本発明の実施の形態について、図１から図４を用いて説明する。
【００１７】
（実施の形態１）
図１および図２に本発明の実施の形態１におけるＰＬＬ選局制御方法を示す。この場合のＰＬＬ選局制御およびＡＦＣ制御は、図３におけるＰＬＬ制御手段１４、ＡＦＣ制御値変動１２６、外部ＰＬＬ選局制御手段１３０、外部ＡＦＣ制御手段１４０を用いた。図３によりＰＬＬ選局制御およびＡＦＣ制御を行うＱＰＳＫ復調システムの構成を説明する。
【００１８】
図３のＱＰＳＫ復調システムは、ＱＰＳＫ変調信号を入力する入力手段１１と、ＱＰＳＫ変調信号を後段のＱＰＳＫ復調器システムに適した電力量に制御するＡＧＣアッテネート手段１２と、希望信号の選局周波数の信号以外を除去するための選局フィルタ手段１３と、希望信号の選局周波数を発振するための第一局部発振器１６と第一局部発振器１６を制御するＰＬＬ制御手段１４と、ＱＰＳＫ変調信号を中間周波数信号にダウンコンバートするミキサ１５と、ダウンコンバートされたＱＰＳＫ変調信号の波形整形をするＳＡＷフィルタ手段１７と、ベースバンド信号であるＩ，Ｑ信号を作り出す検波手段１８と、検波手段１８の第２中間周波数を発振させる第２中間周波数発振器１８１と、アナログ信号をデジタル信号に変換するＡＤ変換手段１９と、受信帯域の制限と符号間干渉を抑制するための波形整形フィルタ手段１１０と、Ｉ，Ｑ信号から搬送波を再生させる搬送波再生手段１１１と、ＱＰＳＫ復調の同期を判定する同期判定手段１１７と、Ｉ，Ｑ信号からクロックを再生させるクロック再生手段１１２と、ＡＧＣアッテネート手段１２に送る情報を作り出しシステム全体のゲインを調整するＡＧＣ手段１１３と、システムに入力されている電力量を検出し信号が入力されているかどうかを検出する信号有無検出手段１１６と、Ｉ，Ｑ信号の周波数誤差を検出する周波数誤差検出手段１１４１と、周波数誤差検出手段１１４１で検出された周波数誤差信号により周波数補正を行うＡＦＣ手段１１４と、ＡＦＣ制御値を強制的に変動させるＡＦＣ制御値変動手段１１８と、デジタル信号をアナログ信号に変換するＤＡ変換手段１１５と、ＱＰＳＫ復調器のＡＦＣを外部のＣＰＵ等より制御する外部ＡＦＣ制御手段１４０と、ＰＬＬ制御手段１４を外部のＣＰＵ等より制御する外部ＰＬＬ選局制御手段１３０によって構成されている。
【００１９】
以上のように構成されたＱＰＳＫ復調システムについて、図３を用いてその動作を説明する。図３において、入力手段１１から、ＱＰＳＫ変調信号が入力される。入力されたＱＰＳＫ変調信号は、ＡＧＣアッテネート手段１２によって、後段のＱＰＳＫ復調システムに適した電力量に制御され、選局フィルタ手段１３によって、希望信号の選局周波数の信号以外の信号を除去する。ミキサ１５には、選局フィルタ手段１３からの信号と、ＰＬＬ制御手段１４によって制御された第一局部発振器１６からの信号が入力され、希望信号は中間周波数信号にダウンコンバートされる。そのダウンコンバートされた希望信号は、ＳＡＷフィルタ手段１７によって波形整形され、検波手段１８に入力され、第２中間周波数発振器１８１によって、ベースバンド信号であるＩ，Ｑ信号が作り出される。それらのＩ，Ｑ信号は、ＡＤ変換手段１９により、アナログ信号からデジタル信号に変換され、波形整形フィルタ手段１１０により、受信帯域の制限と符号間干渉を抑制される。
【００２０】
波形整形フィルタ手段１１０の出力のＩ，Ｑ信号はそれぞれ搬送波再生手段１１１、クロック再生手段１１２、ＡＧＣ手段１１３、周波数誤差検出手段１１４１に入力される。搬送波再生手段１１２では、Ｉ，Ｑ信号から搬送波を再生し、ＱＰＳＫ復調の同期を判定する同期判定手段１１７に入力され、ＱＰＳＫ復調システムの同期を判定する。そして、後段の誤り訂正部へと信号は入力されていく。
【００２１】
また、クロック再生手段１１２では、Ｉ，Ｑ信号をもとにＩ、Ｑ信号のクロック成分を算

出しＱＰＳＫ復調に必要なクロック再生を行う。また、ＡＧＣ手段１１３では、ＤＡ変換手段１１５を介して、前段のＡＧＣアッテネート手段１２とループが組まれ、システム全体のゲイン調整を行なっている。そして、周波数誤差検出手段１１４１では、Ｉ，Ｑ信号を使って位相誤差を検出することにより周波数誤差を求め、その周波数誤差情報をＡＦＣ手段１１４に入力し、ＡＦＣ手段１１４では、周波数誤差の情報を平均化し、搬送波再生手段１１１で周波数誤差がセロになるように自動で周波数誤差制御されるようにＡＦＣ制御されるとともにＡＦＣ制御値変動手段１１８で強制的に変動を与えることも可能である。

【００２２】

同期判定手段１１７では、ＱＰＳＫ復調器の同期判定を行なっており、ＱＰＳＫ復調器の同期判定処理および、外部からのＡＦＣ制御は、外部ＡＦＣ制御手段１４０によって制御されている。また、信号有無検出手段１１６からはシステムに信号が入力されているかどうかの有無情報が出力され、外部ＰＬＬ選局制御手段１３０に入力される。また、外部からの選局制御・ＰＬＬ制御は、外部ＰＬＬ選局制御手段１３０によって制御される。

【００２３】

図１および図２に、図３の外部ＡＦＣ制御手段１４０によりＡＦＣ制御値変動手段１１８を介して制御するＡＦＣ制御方法と、外部ＰＬＬ選局制御手段１３０によりＰＬＬ制御手段１４を介し第一局部発振器１６を制御するＰＬＬ選局制御方法を示しており、このＡＦＣ制御は、ＱＰＳＫ復調器が同期状態にある時などでＩ、Ｑ入力信号の周波数成分と搬送波再生を行おうとする周波数との周波数誤差が少ない場合には、ＡＦＣ手段１１４により、周波数誤差がゼロになるようにＡＦＣ制御によって補正されるが、選局切替時等にＱＰＳＫ復調器を同期させようとする場合にはダウンコンバートされたＩ，Ｑ入力信号と搬送波再生を行おうとする周波数との周波数誤差が多いため、外部ＡＦＣ制御手段１４０によってＡＦＣ制御値を強制的に変動させるＡＦＣ制御値変動手段１１８を介し、図５に示すように、外部より強制的にＡＦＣ制御し周波数誤差をサーチする必要がある。

【００２４】

ＡＦＣ制御が可能な範囲として、ＡＦＣ手段１１４とＡＦＣ制御値変動手段１１８では８ビットの２の補数表現されたデジタル制御値－１２８～＋１２７を扱い、おのおののＡＦＣ制御値が一定周期Ｔで、図３の外部ＡＦＣ制御手段１４０によりＡＦＣ制御値変動手段１１８に強制的に書き込まれる。選局切替時等にＱＰＳＫ復調器を同期させようとする場合には、ダウンコンバートされたＩ、Ｑ入力信号と搬送波再生を行おうとする周波数との周波数誤差が未知のため、ＡＦＣ制御可能な範囲をすべてサーチすることになり、同期させるまでの時間を短縮するためにも、４～５回の制御ですべての範囲をサーチする。

【００２５】

しかし、入力手段１１より入力される信号の周波数と選局しようとする周波数との周波数誤差が非常に大きい場合には、周波数誤差検出手段１１４１によって周波数誤差を検出することが不可能となるため、外部ＰＬＬ選局制御手段１３０によりＰＬＬ制御手段１４を介して第一局部発振器１６を制御し、周波数誤差検出手段１１４１で周波数誤差を検出することが可能になるまで図１に示すように周波数変化量Δｆで、周波数を▲１▼→▲２▼→▲１▼→▲３▼→▲１▼→▲２▼→（以下繰り返し）の順で第一局部発振器１６の制御を繰り返す。

【００２６】

そこで、ＱＰＳＫ復調器に入力される信号の電力量を判断する信号有無検出手段１１６を設け、その判断結果によりＰＬＬ選局制御方法を切り替える。入力手段１１に信号が入力されている場合には、信号有無検出手段１１６により信号が入力されていることを判断し、ＱＰＳＫ復調器を同期させるために、上記の２つのＡＦＣ制御、ＰＬＬ選局制御を組み合わせて制御することにより、周波数がずれた入力信号をもサーチすることができ、ＱＰＳＫ復調器を同期させることが可能である。通常、入力手段１１に入力される信号の周波数がずれて入力されることは、入力手段１１の前段に接続されるアンテナのダウンコンバート周波数がずれることにより頻繁に起こり得るため、図１に示すように第一局部発振器

の周波数を中央の▲１▼に対し、上側もしくは下側の▲２▼もしくは▲３▼の周波数に制御することが必要である。しかし、外部ＰＬＬ選局制御手段１３０によりＰＬＬ制御手段１４を介して第一局部発振器１６の周波数を、図１に示す▲２▼および▲３▼に制御するにはＡＦＣ制御を組み合わせて行うため制御時間を要する。

【００２７】

一方、入力手段１１に信号が入力されていない場合には、信号有無検出手段１１６により信号が無入力であることを判断し、図２に示すように第一局部発振器１６の周波数を中央の周波数▲１▼に停止させ、図３のＡＦＣ手段１１４とＡＦＣ制御値変動手段１１８により、８ビットの２の補数表現されたデジタル制御値－１２８～＋１２７を扱い、おのおののＡＦＣ制御値が一定周期Ｔで、図３の外部ＡＦＣ制御手段１４０によりＡＦＣ制御値変動手段１１８に強制的に書き込むというＡＦＣ制御のみを継続させる。

【００２８】

このように信号が入力されていないことを信号有無検出手段１１６で判断し、第一局部発振器１６を中央の周波数▲１▼に停止させておき、信号が入力されていないために周波数がずれた信号までをサーチする必要がないため、図１に示す周波数▲２▼および▲３▼に制御するためにかかる時間を短縮させる。そして、無入力状態から信号が入力された時には、図１に示すように第一局部発振器の周波数を▲２▼から▲１▼へ制御させる時間、または▲３▼から▲１▼へ制御させる時間を必要とせずに、中央の周波数である▲１▼のポイントからサーチが開始されるように制御を切り替えるように作用する。

【００２９】

また、信号が入力状態から無入力状態に移行した場合には、図１に示すように第一局部発振器の周波数を▲２▼から▲１▼への制御、または周波数を▲３▼から▲１▼へ移動させる制御を行った後に、信号が入力されていない時の制御に遷移させ、図２に示すように第一局部発振器１６を中央の周波数▲１▼に停止させ、ＡＦＣ制御のみを継続させる制御に切り替えるように作用する。

【００３０】

（実施の形態２）

図４に本発明の実施の形態２におけるＰＬＬ選局制御方法を有するＱＰＳＫ復調システムを示す。

【００３１】

図４のＱＰＳＫ復調システムは、ＱＰＳＫ変調信号を入力する入力手段１１と、ＱＰＳＫ変調信号を後段のＱＰＳＫ復調器システムに適した電力量に制御するＡＧＣアッテネート手段１２と、希望信号の選局周波数の信号以外を除去するための選局フィルタ手段１３と、希望信号の選局周波数を発振するための第一局部発振器１６と第一局部発振器１６を制御するＰＬＬ制御手段１４と、ＱＰＳＫ変調信号を中間周波数信号にダウンコンバートするミキサ１５と、ダウンコンバートされたＱＰＳＫ変調信号の波形整形をするＳＡＷフィルタ手段１７と、ベースバンド信号であるＩ，Ｑ信号を作り出す検波手段１８と、検波手段１８の第２中間周波数を発振させる第２中間周波数発振器１８１と、アナログ信号をデジタル信号に変換するＡＤ変換手段１９と、受信帯域の制限と符号間干渉を抑制するための波形整形フィルタ手段１１０と、Ｉ，Ｑ信号から搬送波を再生させる搬送波再生手段１１１と、ＱＰＳＫ復調の同期を判定する同期判定手段１１７と、Ｉ，Ｑ信号からクロックを再生させるクロック再生手段１１２と、ＡＧＣアッテネート手段１２に送る情報を作り出しシステム全体のゲインを調整するＡＧＣ手段１１３と、システムに入力されている電力量を検出し信号が入力されているかどうかを検出する信号有無検出手段１１６と、Ｉ，Ｑ信号の周波数誤差を検出する周波数誤差検出手段１１４１と、周波数誤差検出手段１１４１で検出された周波数誤差信号により周波数補正を行うＡＦＣ手段１１４と、ＡＦＣ制御値を強制的に変動させるＡＦＣ制御値変動手段１１８と、デジタル信号をアナログ信号に変換するＤＡ変換手段１１５と、ＱＰＳＫ復調器のＡＦＣを外部のＣＰＵ等より制御する外部ＡＦＣ制御手段１４０と、ＰＬＬ制御手段１４を外部のＣＰＵ等より制御する外部ＰＬＬ選局制御手段１３０と、外部ＰＬＬ選局制御手段１３０の選局制御設定値を格納し

ておくためのＰＬＬ選局制御値格納手段１５０によって構成されている。

【００３２】

以上のように構成されたＱＰＳＫ復調システムについて、図４を用いてその動作を説明する。図４において、入力手段１１から、ＱＰＳＫ変調信号が入力される。入力されたＱＰＳＫ変調信号は、ＡＧＣアッテネート手段１２によって、後段のＱＰＳＫ復調システムに適した電力量に制御され、選局フィルタ手段１３によって、希望信号の選局周波数の信号以外の信号を除去する。

【００３３】

ミキサ１５には、選局フィルタ手段１３からの信号と、ＰＬＬ制御手段１４によって制御された第一局部発振器１６からの信号が入力され、希望信号は中間周波数信号にダウンコンバートされる。そのダウンコンバートされた希望信号は、ＳＡＷフィルタ手段１７によって波形整形され、検波手段１８に入力され、第２中間周波数発振器１８１によって、ベースバンド信号であるＩ，Ｑ信号が作り出される。それらのＩ，Ｑ信号は、ＡＤ変換手段１９により、アナログ信号からデジタル信号に変換され、波形整形フィルタ手段１１０により、受信帯域の制限と符号間干渉を抑制される。

【００３４】

波形整形フィルタ手段１１０の出力のＩ，Ｑ信号はそれぞれ搬送波再生手段１１１、クロック再生手段１１２、ＡＧＣ手段１１３、周波数誤差検出手段１１４１に入力される。搬送波再生手段１１２では、Ｉ，Ｑ信号から搬送波を再生し、ＱＰＳＫ復調の同期を判定する同期判定手段１１７に入力され、ＱＰＳＫ復調システムの同期を判定する。そして、後段の誤り訂正部へと信号は入力されていく。

【００３５】

また、クロック再生手段１１２では、Ｉ，Ｑ信号をもとにＩ、Ｑ信号のクロック成分を算出しＱＰＳＫ復調に必要なクロック再生を行う。また、ＡＧＣ手段１１３では、ＤＡ変換手段１１５を介して、前段のＡＧＣアッテネート手段１２とループが組まれ、システム全体のゲイン調整を行なっている。そして、周波数誤差検出手段１１４１では、Ｉ，Ｑ信号を使って位相誤差を検出することにより周波数誤差を求め、その周波数誤差情報をＡＦＣ手段１１４に入力し、ＡＦＣ手段１１４では、周波数誤差の情報を平均化し、搬送波再生手段１１１で周波数誤差がセロになるように自動で周波数誤差制御されるようにＡＦＣ制御されるとともにＡＦＣ制御値変動手段１１８で強制的に変動を与えることも可能である。

【００３６】

同期判定手段１１７では、ＱＰＳＫ復調器の同期判定を行なっており、ＱＰＳＫ復調器の同期判定処理および、外部からのＡＦＣ制御は、外部ＡＦＣ制御手段１４０によって制御されている。また、信号有無検出手段１１６からはシステムに信号が入力されているかどうかの有無情報が出力され、外部ＰＬＬ選局制御手段１３０に入力される。また、外部からの選局制御・ＰＬＬ制御は、外部ＰＬＬ選局制御手段１３０によって制御される。

【００３７】

以上のように動作するＱＰＳＫ復調システムにおいて、請求項１記載の信号有無検出手段を設けることにより信号が入力されているかいないかによってＰＬＬ選局制御方法を図１および図２のように切り替える制御方法により第一局部発振器１６を制御し、ＱＰＳＫ復調システムを同期状態にすることができた時に、外部ＰＬＬ選局制御手段１３０によりＰＬＬ制御手段１４を介し第一局部発振器１６を制御した外部ＰＬＬ選局制御手段１３０のＰＬＬ選局制御設定値をＰＬＬ選局制御値格納手段１５０に格納しておく。

【００３８】

このＰＬＬ選局制御設定値は、図１に示す第一局部発振器１６の周波数▲１▼もしくは▲２▼もしくは▲３▼のいずれかである。この値を、選局切替時に外部ＰＬＬ選局制御手段１３０によってＰＬＬ選局制御される際に、ＰＬＬ選局制御初期値として外部ＰＬＬ選局制御手段１３０に入力することにより、一回のＰＬＬ選局制御により選局しようとする周波数へ第一局部発振器１６を設定させ、選局時間を短縮させる。また、ＰＬＬ選局制御値

格納手段１５０によって格納されたＰＬＬ選局制御設定値は、請求項１記載のＰＬＬ選局制御方法によりＱＰＳＫ復調システムを同期状態にすることができた時ごとに更新する。

【００３９】

【発明の効果】

以上のように、本発明のＰＬＬ選局制御方法によれば、ＱＰＳＫ復調器に入力される電力量を判断する信号有無検出手段を設けることにより、入力信号の有無を判断し、ＰＬＬ選局方法を切り換えることで、入力信号が無い時に不必要なＰＬＬ選局制御を停止させ、入力信号がＱＰＳＫ復調システムに入力された時のみにＰＬＬ選局制御を行うことで、選局時間を短くし、アンテナ調整を容易にすることが可能なＰＬＬ選局制御方法を提供できる。

【図面の簡単な説明】

【図１】本発明の一実施の形態によるＰＬＬ選局制御方法の図

【図２】本発明の一実施の形態によるＰＬＬ選局制御方法の図

【図３】本発明の一実施の形態によるＱＰＳＫ復調システムのブロック構成図

【図４】本発明の一実施の形態によるＱＰＳＫ復調システムのブロック構成図

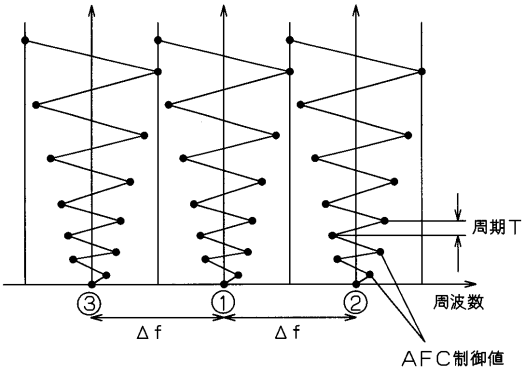
【図５】従来のＰＬＬ選局制御方法の図

【図６】従来のＱＰＳＫ復調システムのブロック構成図

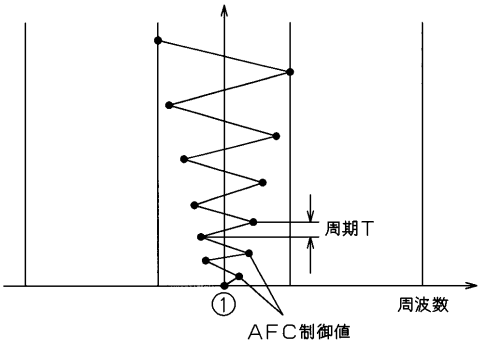
【符号の説明】

１１　入力手段
１２　ＡＧＣアッテネート手段
１３　選局フィルタ手段
１４　ＰＬＬ制御手段
１５　ミキサ
１６　第一局部発振器
１７　ＳＡＷフィルタ
１８　検波手段
１８１　第２中間周波数発振器
１９　ＡＤ変換手段
１１０　波形整形フィルタ手段
１１１　搬送波再生手段
１１２　クロック再生手段
１１３　ＡＧＣ手段
１１４　ＡＦＣ手段
１１４１　周波数誤差検出手段
１１５　ＤＡ変換手段
１１６　信号有無検出手段
１１７　同期判定手段
１１８　ＡＦＣ制御値変動手段
１３０　外部ＰＬＬ選局制御手段
１４０　外部ＡＦＣ制御手段
１５０　ＰＬＬ選局制御値格納手段

【図１】

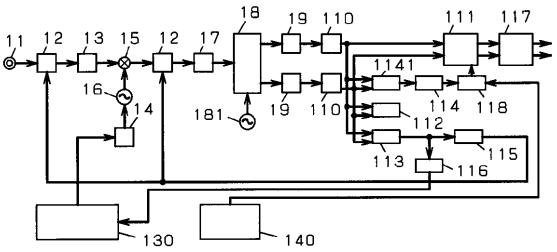


【図２】



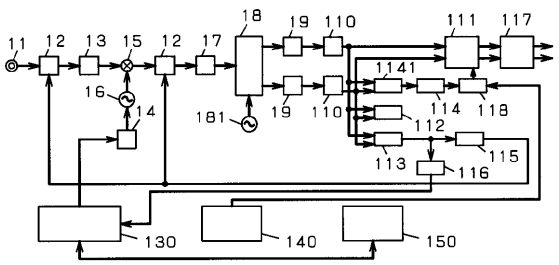
【図３】

11	入力手段	112	クロック再生手段
12	AGCアッテネート手段	113	AGC手段
13	選局フィルタ手段	114	AFC手段
14	PLL制御手段	115	DA変換手段
15	ミキサ	116	信号有無検出手段
16	第１局部発振器	117	同期判定手段
17	SAWフィルタ	118	AFC制御値変動手段
18	検波手段	130	外部PLL選局制御手段
19	AD変換手段	140	外部AFC制御手段
110	波形整形フィルタ手段	181	第２中間周波数発振器
111	搬送波再生手段	1141	周波数誤差検出手段

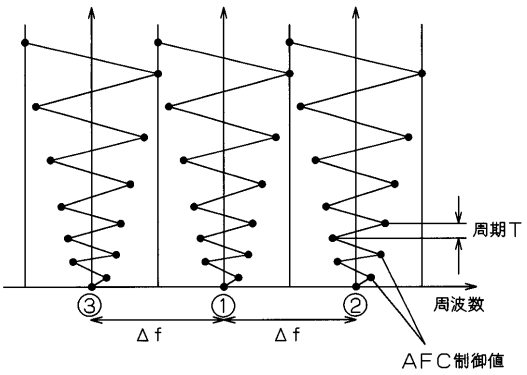


【図４】

11	入力手段	112	クロック再生手段
12	AGCアッテネート手段	113	AGC手段
13	選局フィルタ手段	114	AFC手段
14	PLL制御手段	115	DA変換手段
15	ミキサ	116	信号有無検出手段
16	第１局部発振器	117	同期判定手段
17	SAWフィルタ	118	AFC制御値変動手段
18	検波手段	130	外部PLL選局制御手段
19	AD変換手段	140	外部AFC制御手段
110	波形整形フィルタ手段	150	PLL選局制御値格納手段
111	搬送波再生手段	181	第２中間周波数発振器
		1141	周波数誤差検出手段

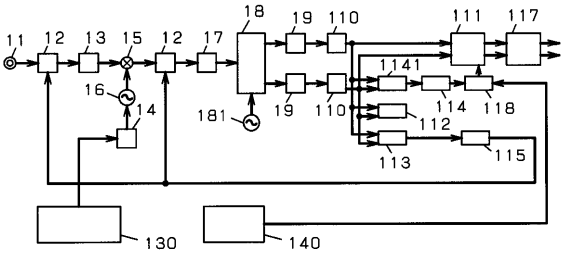


【図５】



【図６】

11	入力手段	112	クロック再生手段
12	AGCアッテネート手段	113	AGC手段
13	選局フィルタ手段	114	AFC手段
14	PLL制御手段	115	DA変換手段
15	ミキサ	117	同期判定手段
16	第１局部発振器	118	AFC制御値変動手段
17	SAWフィルタ	130	外部PLL選局制御手段
18	検波手段	140	外部AFC制御手段
19	AD変換手段	181	第２中間周波数発振器
110	波形整形フィルタ手段	1141	周波数誤差検出手段
111	搬送波再生手段		



フロントページの続き

審査官　彦田　克文

(56)参考文献　特開平０５－３３５８９６（ＪＰ，Ａ）
特開平０７－１２３３３８（ＪＰ，Ａ）
特開昭６３－１８５２１４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L 27/22
H03J 7/02
H04B 1/16
H04B 1/26
H04N 5/44