

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-192497

(P2014-192497A)

(43) 公開日 平成26年10月6日(2014.10.6)

(51) Int.Cl. F I テーマコード (参考)  
 H05K 3/46 (2006.01) H05K 3/46 Z 5E316  
 H05K 3/46 B 5E346

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2013-69306 (P2013-69306)  
 (22) 出願日 平成25年3月28日 (2013.3.28)

(71) 出願人 000004547  
 日本特殊陶業株式会社  
 愛知県名古屋市瑞穂区高辻町14番18号  
 (74) 代理人 110000578  
 名古屋国際特許業務法人  
 (72) 発明者 鈴木 一広  
 愛知県名古屋市瑞穂区高辻町14番18号  
 日本特殊陶業株式会社内  
 Fターム(参考) 5E316 AA26 AA32 AA43 BB02 BB03  
 BB04 BB07 BB11 BB15 CC04  
 CC09 CC32 DD25 DD32 FF07  
 FF15 HH03  
 5E346 AA26 AA32 AA43 BB02 BB03  
 BB04 BB07 BB11 BB15 CC04  
 CC09 CC32 DD25 DD32 FF07  
 FF15 HH03

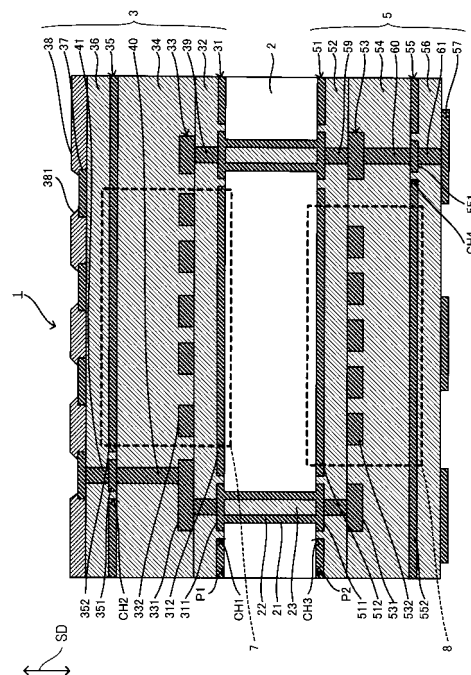
(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】ストリップ伝送線路を構成する絶縁層の厚さのばらつきによる特性インピーダンスの変動を抑制する

【解決手段】多層配線基板1では、ストリップ伝送線路7, 8はそれぞれ、グランドまたは電源に接続される導体層31, 51および導体層35, 55と、導体層31, 51と導体層35, 55との間に配置され、信号を伝送するための配線となる導体層33, 53とを備え、導体層35, 55と導体層33, 53との間に位置する絶縁層34, 54は、導体層31, 51と導体層33, 53との間に位置する絶縁層32, 52より厚い。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の絶縁層と複数の導体層とを交互に積層して構成され、ストリップ伝送線路を有する配線基板であって、

前記ストリップ伝送線路は、

グランドまたは電源に接続される前記導体層である第 1 導体層および第 2 導体層と、

前記第 1 導体層と前記第 2 導体層との間に配置され、信号を伝送するための配線となる前記導体層である信号配線層とを備え、

前記第 2 導体層と前記信号配線層との間に位置する前記絶縁層である第 2 絶縁層は、前記第 1 導体層と前記信号配線層との間に位置する前記絶縁層である第 1 絶縁層より厚いことを特徴とする配線基板。

10

## 【請求項 2】

前記第 2 絶縁層の厚さは、前記第 1 絶縁層の厚さの 2 倍以上であることを特徴とする請求項 1 に記載の配線基板。

## 【請求項 3】

前記信号配線層は、前記第 1 導体層より厚い

ことを特徴とする請求項 1 または請求項 2 に記載の配線基板。

## 【請求項 4】

前記信号配線層および前記第 1 導体層はそれぞれ、前記信号配線層および前記第 1 導体層を貫通する空隙であるクリアランスが少なくとも 1 つ形成されており、

20

前記信号配線層に形成されているクリアランスを上側クリアランスとし、前記第 1 導体層に形成されているクリアランスを下側クリアランスとして、

前記上側クリアランスの少なくとも 1 つは、前記絶縁層と前記導体層の積層方向に沿って前記下側クリアランスと対向するように配置され、

前記積層方向に沿って前記下側クリアランスと対向している前記上側クリアランスの幅は、前記上側クリアランスと対向している前記下側クリアランスの幅よりも大きい

ことを特徴とする請求項 1 ~ 請求項 3 の何れか 1 項に記載の配線基板。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ストリップ伝送線路を有する配線基板に関する。

30

## 【背景技術】

## 【0002】

従来、複数の絶縁層と複数の導体層とを交互に積層して構成される配線基板において、高周波信号を伝送するためにストリップ伝送線路を内蔵したものが知られている（例えば、特許文献 1 を参照）。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特許第 4018999 号公報

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

ストリップ伝送線路は、2 つの導体層の間に挟まれた絶縁層内に信号配線用導体を配置した構造を有する。このため、ストリップ伝送線路の特性インピーダンスが、ストリップ伝送線路を構成する絶縁層の厚さのばらつきに応じて変動するという問題があった。

## 【0005】

複数の絶縁層と複数の導体層とを交互に積層することにより配線基板を製造するビルドアップ製法では、導体層上に絶縁層を積層することにより、導体層に形成されたパターン間の隙間に絶縁層が充填される。このため、特にビルドアップ製法では、パターン設計で

50

ストリップ伝送線路の信号配線のパターンが変更されたり、製造工程で導体層の厚さがばらついたりすると、導体層上の絶縁層を設計通りの厚さで積層することが難しくなる。

【0006】

本発明は、こうした問題に鑑みてなされたものであり、ストリップ伝送線路を構成する絶縁層の厚さのばらつきによる特性インピーダンスの変動を抑制することができる技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明は、複数の絶縁層と複数の導体層とを交互に積層して構成され、ストリップ伝送線路を有する配線基板であって、ストリップ伝送線路は、グランドまたは電源に接続される導体層である第1導体層および第2導体層と、第1導体層と第2導体層との間に配置され、信号を伝送するための配線となる導体層である信号配線層とを備え、第2導体層と信号配線層との間に位置する絶縁層である第2絶縁層は、第1導体層と信号配線層との間に位置する絶縁層である第1絶縁層より厚いことを特徴とする配線基板である。

10

【0008】

図4(a)は、ストリップ伝送線路において特性インピーダンスを50にする場合の信号配線層の幅(以下、50 整合配線幅という)と、第1絶縁層と第2絶縁層との比(以下、上下絶縁層厚比という)との関係を示すグラフである。

【0009】

20

図4(a)に示すように、上下絶縁層厚比が大きくなるにつれてグラフG1の傾き(50 整合配線幅の変化/上下絶縁層厚比の変化)の絶対値が小さくなっている。すなわち、第1絶縁層に対して第2絶縁層を厚くするほど、第2絶縁層の厚さと第1絶縁層の厚さの変化が特性インピーダンスに及ぼす影響を小さくすることができる。

【0010】

したがって、本発明の配線基板は、第2絶縁層が第1絶縁層より厚いため、ストリップ伝送線路を構成する絶縁層の厚さのばらつきによる特性インピーダンスの変動を抑制することができる。

【0011】

図4(b)は、50 整合配線幅を $\pm 2 \mu\text{m}$ 変化させた時における特性インピーダンスの変化量と上下絶縁層厚比との関係を示すグラフである。図4(c)は、第2絶縁層の厚さdを $\pm 2 \mu\text{m}$ 変化させた時における特性インピーダンスの変化量と上下絶縁層厚比との関係を示すグラフである。

30

【0012】

図4(b)に示すように、上下絶縁層厚比が2以上では、50 整合配線幅を $\pm 2 \mu\text{m}$ 変化させた時における特性インピーダンスの変化量がほぼ一定の値となる。また図4(c)に示すように、上下絶縁層厚比が2以上では、第2絶縁層の厚さdを $\pm 2 \mu\text{m}$ 変化させた時における特性インピーダンスの変化量がほぼ一定の値となる。

【0013】

したがって、本発明の配線基板では、絶縁層の厚さのばらつきによる特性インピーダンスの変動を抑制するために、第2絶縁層の厚さが第1絶縁層の厚さの2倍以上であるようにするとよい。

40

【0014】

また本発明の配線基板では、信号配線層が第1導体層より厚いようにするとよい。

このように構成された配線基板では、第1導体層が信号配線層より薄いために、第1導体層に形成されたパターン間の隙間(クリアランス)に充填される第1絶縁層の量が少なくなり、第1導体層上の絶縁層を設計通りの厚さで精度よく積層することができる。これにより、本発明の配線基板は、ストリップ伝送線路を構成する絶縁層の厚さのばらつきによる特性インピーダンスの変動を更に抑制することができる。

【0015】

50

また、本発明の配線基板では、信号配線層および第1導体層はそれぞれ、信号配線層および第1導体層を貫通する空隙であるクリアランスが少なくとも1つ形成されており、信号配線層に形成されているクリアランスを上側クリアランスとし、第1導体層に形成されているクリアランスを下側クリアランスとして、上側クリアランスの少なくとも1つは、絶縁層と導体層の積層方向に沿って下側クリアランスと対向するように配置され、積層方向に沿って下側クリアランスと対向している上側クリアランスの幅は、上側クリアランスと対向している下側クリアランスの幅よりも大きいようにするとよい。

【0016】

このように構成された配線基板では、下側クリアランスの幅が上側クリアランスの幅よりも小さいために、第1導体層に形成された下側クリアランスに充填される第1絶縁層の量が少なくなり、第1導体層上の絶縁層を設計通りの厚さで更に精度よく積層することができる。これにより、本発明の配線基板は、ストリップ伝送線路を構成する絶縁層の厚さのばらつきによる特性インピーダンスの変動を更に抑制することができる。

【図面の簡単な説明】

【0017】

【図1】多層配線基板1の概略構成を示す断面図である。

【図2】ストリップ伝送線路7の構成を示す断面図である。

【図3】ストリップ伝送線路100の構成を示す断面図である。

【図4】シミュレーション結果を示すグラフである。

【発明を実施するための形態】

【0018】

以下に本発明の実施形態を図面とともに説明する。

本発明が適用された実施形態の多層配線基板1は、図1に示すように、支持基板2とビルドアップ層3、5とを備え、支持基板2における一方の面P1と他方の面P2のそれぞれにビルドアップ層3とビルドアップ層5を積層方向SDに沿って積層して構成される。

【0019】

支持基板2は、例えばガラス繊維にエポキシ樹脂を含浸させた板状部材であり、高い剛性を有する。また支持基板2内には、支持基板2を貫通するスルーホール21が形成されている。そしてスルーホール21の内周面にスルーホール導体22が形成される。また、スルーホール21の内周面に形成されたスルーホール導体22の更に内周側に形成される貫通孔内には、無機フィラーを含む樹脂23が埋め込まれる。

【0020】

次にビルドアップ層3は、導体層31、絶縁層32、導体層33、絶縁層34、導体層35、絶縁層36、導体層37およびソルダーレジスト層38が順次積層されて構成されている。そして、絶縁層32、34、36内にはそれぞれ、積層方向SDに延びて形成されるビア導体39、40、41が設けられる。

【0021】

導体層31は、ビア導体39に接続するためのビアパッド311と、グランドまたは電源に接続される面導体312とから構成されている。ビアパッド311は、スルーホール21における面P1側の開口部を覆うように形成される。面導体312は、支持基板2の面P1を被覆するように形成されている。また面導体312には、ビアパッド311が形成されている領域に、ビアパッド311の断面積より大きい開口面積を有するクリアランスホールCH1が形成されている。

【0022】

導体層33は、ビア導体39、40の少なく一方に接続するための複数のビアパッド331と、高周波信号を伝送するための信号配線332とから構成されている。信号配線332の一端および他端にはそれぞれ、互いに異なるビアパッド331が接続されている。

【0023】

導体層35は、ビア導体40、41に接続するための複数のビアパッド351と、グランドまたは電源に接続される面導体352とから構成されている。面導体352は、絶縁

10

20

30

40

50

層 3 4 を被覆するように形成されている。また面導体 3 5 2 には、ビアパッド 3 5 1 が形成されている領域に、ビアパッド 3 5 1 の断面積より大きい開口面積を有するクリアランスホール CH 2 が形成されている。

【 0 0 2 4 】

導体層 3 7 は、ICチップの接続端子（不図示）と bumps（不図示）を介して接続するための複数の端子パッドから構成されている。

ソルダーレジスト層 3 8 には、導体層 3 7 が配置されている領域に開口部 3 8 1 が形成される。

【 0 0 2 5 】

なお信号配線 3 3 2 は、グランドまたは電源に接続される面導体 3 1 2 と面導体 3 5 2 との間に配置されている。このため、面導体 3 1 2、絶縁層 3 2、信号配線 3 3 2、絶縁層 3 4 および面導体 3 5 2 は、ストリップ伝送線路 7 を構成する。本実施形態の多層配線基板 1 では、導体層 3 1、絶縁層 3 2、導体層 3 3、絶縁層 3 4 および導体層 3 5 の厚さはそれぞれ 10  $\mu\text{m}$ 、30  $\mu\text{m}$ 、15  $\mu\text{m}$ 、75  $\mu\text{m}$  および 10  $\mu\text{m}$  である。

10

【 0 0 2 6 】

次にビルドアップ層 5 は、導体層 5 1、絶縁層 5 2、導体層 5 3、絶縁層 5 4、導体層 5 5、絶縁層 5 6 および導体層 5 7 が順次積層されて構成されている。そして、絶縁層 5 2、5 4、5 6 内にはそれぞれ、積層方向 SD に延びて形成されるビア導体 5 9、6 0、6 1 が設けられる。

【 0 0 2 7 】

導体層 5 1 は、ビア導体 5 9 に接続するためのビアパッド 5 1 1 と、グランドまたは電源に接続される面導体 5 1 2 とから構成されている。ビアパッド 5 1 1 は、スルーホール 2 1 における面 P 2 側の開口部を覆うように形成される。面導体 5 1 2 は、支持基板 2 の面 P 2 を被覆するように形成されている。また面導体 5 1 2 には、ビアパッド 5 1 1 が形成されている領域に、ビアパッド 5 1 1 の断面積より大きい開口面積を有するクリアランスホール CH 3 が形成されている。

20

【 0 0 2 8 】

導体層 5 3 は、ビア導体 5 9、6 0 の少なくとも一方に接続するための複数のビアパッド 5 3 1 と、高周波信号を伝送するための複数の信号配線 5 3 2 とから構成されている。信号配線 5 3 2 の一端および他端にはそれぞれ、互いに異なるビアパッド 5 3 1 が接続されている。

30

【 0 0 2 9 】

導体層 5 5 は、ビア導体 6 0、6 1 に接続するための複数のビアパッド 5 5 1 と、グランドまたは電源に接続される面導体 5 5 2 とから構成されている。面導体 5 5 2 は、絶縁層 5 4 を被覆するように形成されている。また面導体 5 5 2 には、ビアパッド 5 5 1 が形成されている領域に、ビアパッド 5 5 1 の断面積より大きい開口面積を有するクリアランスホール CH 4 が形成されている。

【 0 0 3 0 】

導体層 5 7 は、マザーボード等の他の配線基板（不図示）と bumps（不図示）を介して接続するための複数の端子パッドから構成されている。

40

なお信号配線 5 3 2 は、グランドまたは電源に接続される面導体 5 1 2 と面導体 5 5 2 との間に配置されている。このため、面導体 5 1 2、絶縁層 5 2、信号配線 5 3 2、絶縁層 5 4 および面導体 5 5 2 は、ストリップ伝送線路 8 を構成する。本実施形態の多層配線基板 1 では、導体層 5 1、絶縁層 5 2、導体層 5 3、絶縁層 5 4 および導体層 5 5 の厚さはそれぞれ 10  $\mu\text{m}$ 、30  $\mu\text{m}$ 、15  $\mu\text{m}$ 、75  $\mu\text{m}$  および 10  $\mu\text{m}$  である。

【 0 0 3 1 】

また図 2 に示すように、導体層 3 1 にはクリアランス CL 1 が形成されており、導体層 3 3 にはクリアランス CL 2 が形成されている。また、導体層 3 3 のクリアランス CL 2 の一部は、導体層 3 1 のクリアランス CL 1 の上方に配置されている。そして、このように配置されているクリアランス CL 2 の幅 W 2 は、下方のクリアランス CL 1 の幅 W 1 よ

50

りも大きくなるように設定される。

【0032】

次に、本発明が適用された多層配線基板1の製造方法を図1を用いて説明する。

まず、面P1、P2の全面にそれぞれ導体層31、51が形成されている支持基板2を用意する。そして、導体層31の表面上における所定の位置をドリルで打ち抜くことにより、導体層31、51と支持基板2を貫通するスルーホール21を形成する。

【0033】

その後、無電解メッキを行うことにより、導体層31、51上とスルーホール21の内周面上に薄い無電解メッキ層(本実施形態では銅)を形成する。さらに、電気メッキを行うことにより、導体層31、51上とスルーホール21の内周面上にメッキ層(本実施形態では銅)を形成する。そして、スルーホール21の内周面上に形成されたメッキ層の更に内周側に形成される貫通孔内に、無機フィラーを含む樹脂23のペーストを充填し、このペーストを熱硬化させる。これにより、樹脂23がスルーホール21内に埋め込まれる。

10

【0034】

次に、電気メッキを行うことにより、面P1側および面P2側のそれぞれについてメッキ層上にメッキ層(本実施形態では銅)を更に形成する。その後、サブトラクティブ法により、不要なメッキ層と導体層31、51を除去することにより、所定の配線パターンを有するビアパッド311、511と面導体312、512が形成される。

【0035】

20

その後、導体層31、51上にフィルム状の樹脂材料(例えばエポキシ樹脂)を配置し、真空下において加圧加熱することにより樹脂材料を硬化させて、絶縁層32、52を形成する。

【0036】

そして、絶縁層32、52の表面上における所定の位置にレーザを照射することにより、絶縁層32、52内に複数のビアホールを形成する。さらに、ビアホールの形成によりビアホール内に生成されたスミアを除去するための処理(デスミア処理)を行う。その後、無電解メッキを行うことにより、絶縁層32、52上に薄い無電解メッキ層(本実施形態では銅)を形成する。そして、無電解メッキ層上に、導体層33、53の配線パターンに対応する所定のレジストパターンを形成する。さらに、電気メッキを行うことにより、レジストに覆われていない領域にメッキ層(本実施形態では銅)を形成する。その後、不要な無電解メッキ層とレジストをエッチングにより除去する。これにより、ビアホール内にビア導体39、59が形成されるとともに、所定の配線パターンを有する導体層33、53が形成される。

30

【0037】

さらに、絶縁層32、52と導体層33、53とビア導体39、59の形成と同様の工程を用いることで、絶縁層34、54と導体層35、55とビア導体40、60を形成するとともに、絶縁層36、56と導体層37、57とビア導体41、61を形成する。

【0038】

そして、エポキシ樹脂等の有機樹脂材料で構成されたソルダーレジストを絶縁層36と導体層37を覆うように塗布した後に、このソルダーレジストをパターニングする。これにより、導体層37が配置されている領域に開口部381を有するソルダーレジスト層38が絶縁層36上に形成される。

40

【0039】

このように構成された多層配線基板1では、ストリップ伝送線路7、8はそれぞれ、グランドまたは電源に接続される導体層31、51および導体層35、55と、導体層31、51と導体層35、55との間に配置され、信号を伝送するための配線となる導体層33、53とを備え、導体層35、55と導体層33、53との間に位置する絶縁層34、54は、導体層31、51と導体層33、53との間に位置する絶縁層32、52より厚い。

50

## 【0040】

ここで、ストリップ伝送線路において特性インピーダンスを50Ωにする場合の信号配線幅（後述）と上下絶縁層厚比（後述）についてシミュレーションを行った結果を示す。

図3に示すように、シミュレーションでは、下側導体層101、下側絶縁層102、信号配線層103、上側絶縁層104および上側導体層105を順次積層して構成されているストリップ伝送線路100をシミュレーションモデルとしている。

## 【0041】

そしてシミュレーションでは、下側導体層101の厚さaを10μm、下側絶縁層102の厚さbを30μm、信号配線層103の厚さcを15μm、上側絶縁層104の厚さdを15～150μm、上側導体層105の厚さeを10μmとして、信号配線層103の配線幅（以下、50Ω整合配線幅という） $T_w$ と、下側絶縁層102の厚さbと上側絶縁層104の厚さdとの比（以下、上下絶縁層厚比という） $d/b$ を算出した。またシミュレーションでは、導体の電気伝導率を $5 \times 10^7$  [S/m]、誘電体の比誘電率を3.0として計算を行った。

10

## 【0042】

さらにシミュレーションでは、50Ω整合配線幅を $\pm 2$ μm変化させた時における特性インピーダンスの変化量と、上側絶縁層104の厚さdを $\pm 2$ μm変化させた時における特性インピーダンスの変化量を算出した。

## 【0043】

シミュレーションの結果を表1に示す。

20

## 【0044】

## 【表1】

上側絶縁層厚d [μm]	上下絶縁層厚比	50Ω整合配線幅 [μm]	$T_w \pm 2\mu\text{m}$ 変化時のZ0変化量 [Ω]	d $\pm 2\mu\text{m}$ 変化時のZ0変化量 [Ω]
15	0.5	13	4.67	4.35
30	1.0	24	3.03	1.74
45	1.5	31	2.55	0.9
60	2.0	35	2.3	0.46
80	2.7	39	2.12	0.35
150	5.0	44	2.09	0

30

図4(a)は、50Ω整合配線幅と上下絶縁層厚比 $d/b$ との関係を示すグラフである。図4(b)は、50Ω整合配線幅を $\pm 2$ μm変化させた時における特性インピーダンスの変化量と上下絶縁層厚比との関係を示すグラフである。図4(c)は、上側絶縁層104の厚さdを $\pm 2$ μm変化させた時における特性インピーダンスの変化量と上下絶縁層厚比との関係を示すグラフである。なお図4(a)、(b)、(c)は、表1に示すシミュレーション結果をグラフ化したものである。

40

## 【0045】

まず図4(a)に示すように、上下絶縁層厚比 $d/b$ が大きくなるにつれてグラフG1の傾き（50Ω整合配線幅の変化/上下絶縁層厚比の変化）の絶対値が小さくなっている。すなわち、下側絶縁層102に対して上側絶縁層104を厚くするほど、上側絶縁層104の厚さと下側絶縁層102の厚さの変化が特性インピーダンスに及ぼす影響を小さくすることができる。

50

## 【0046】

したがって、多層配線基板1は、絶縁層34, 54が絶縁層32, 52より厚いため、絶縁層32, 34, 52, 54の厚さのばらつきによる特性インピーダンスの変動を抑制することができる。

## 【0047】

また図4(b)に示すように、上下絶縁層厚比 $d/b$ が2以上では、50 整合配線幅を $\pm 2 \mu\text{m}$ 変化させた時における特性インピーダンスの変化量がほぼ一定の値となる。また図4(c)に示すように、上下絶縁層厚比 $d/b$ が2以上では、上側絶縁層104の厚さ $d$ を $\pm 2 \mu\text{m}$ 変化させた時における特性インピーダンスの変化量がほぼ一定の値となる。したがって、上側絶縁層104の厚さと下側絶縁層102の厚さの変化が特性インピーダンスに及ぼす影響を小さくするには、下側絶縁層102に対して上側絶縁層104を2倍以上厚くするとよい。

10

## 【0048】

したがって、多層配線基板1では、絶縁層32, 34, 52, 54の厚さのばらつきによる特性インピーダンスの変動を抑制するために、絶縁層34, 54の厚さが絶縁層32, 52の厚さの2倍以上であるようにするとよい。なお、本実施形態の多層配線基板1では、絶縁層34, 54の厚さが $75 \mu\text{m}$ 、絶縁層32, 52の厚さが $30 \mu\text{m}$ であるため、絶縁層34, 54の厚さが絶縁層32, 52の厚さの2.5倍である。

## 【0049】

また多層配線基板1では、導体層33, 53が導体層31, 51より厚い。このように構成された多層配線基板1では、導体層31, 51が導体層33, 53より薄いために、導体層31, 51に形成されたパターン間の隙間(クリアランス)に充填される絶縁層32, 52の量が少なくなり、導体層31, 51上の絶縁層を設計通りの厚さで精度よく積層することができる。これにより多層配線基板1は、ストリップ伝送線路7, 8を構成する絶縁層の厚さのばらつきによる特性インピーダンスの変動を更に抑制することができる。

20

## 【0050】

なお導体層31, 51は、グランドまたは電源に接続される導体層であるために、パターン設計による残銅率の変化が導体層33, 53よりも小さい。すなわち、パターン設計でストリップ伝送線路7, 8の導体層31, 51のパターンが変更された場合であっても、導体層31, 51上の絶縁層を設計通りの厚さで積層し易い。

30

## 【0051】

また多層配線基板1では、導体層31, 33はそれぞれクリアランス $CL1$ ,  $CL2$ が少なくとも1つ形成されており、クリアランス $CL2$ の少なくとも1つは、積層方向 $SD$ に沿ってクリアランス $CL1$ と対向するように配置され、積層方向 $SD$ に沿ってクリアランス $CL1$ と対向しているクリアランス $CL2$ の幅 $W2$ は、クリアランス $CL2$ と対向しているクリアランス $CL1$ の幅 $W1$ よりも大きい。

## 【0052】

このように構成された多層配線基板1では、クリアランス $CL1$ の幅 $W1$ がクリアランス $CL2$ の幅 $W2$ よりも小さいために、導体層31に形成されたクリアランス $CL1$ に充填される絶縁層32の量が少なくなり、導体層31上の絶縁層を設計通りの厚さで更に精度よく積層することができる。これにより、多層配線基板1は、ストリップ伝送線路7を構成する絶縁層の厚さのばらつきによる特性インピーダンスの変動を更に抑制することができる。

40

## 【0053】

以上説明した実施形態において、多層配線基板1は本発明における配線基板、導体層31, 51は本発明における第1導体層、導体層35, 55は本発明における第2導体層、導体層33, 53は本発明における信号配線層、絶縁層32, 52は本発明における第1絶縁層、絶縁層34, 54は本発明における第2絶縁層、クリアランス $CL2$ は本発明における上側クリアランス、クリアランス $CL1$ は本発明における下側クリアランスである

50

。

【 0 0 5 4 】

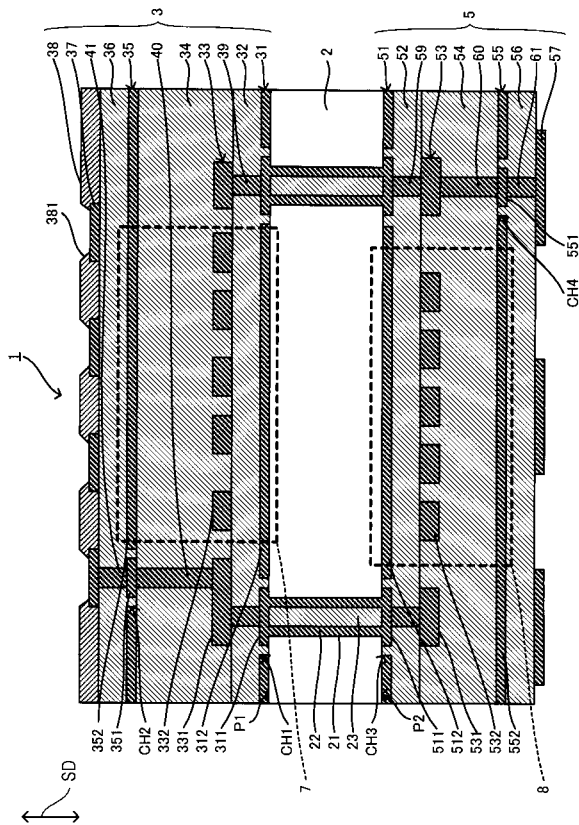
以上、本発明の一実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、本発明の技術的範囲に属する限り種々の形態を採ることができる。

【 符号の説明 】

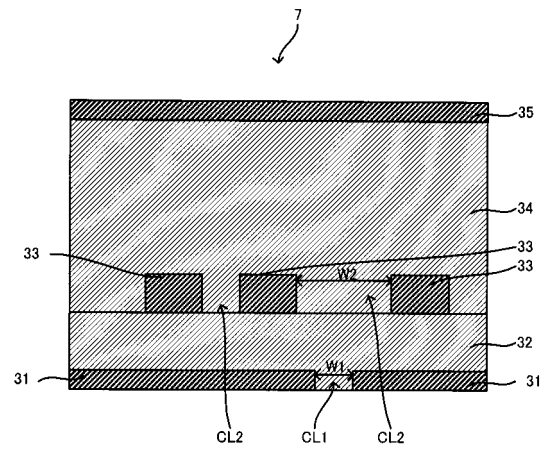
【 0 0 5 5 】

1 ... 多層配線基板、2 ... 支持基板、3, 5 ... ビルドアップ層、7, 8 ... ストリップ伝送線路、3 1, 3 3, 3 5, 5 1, 5 3, 5 5 ... 導体層、3 2, 3 4, 5 2, 5 4 ... 絶縁層、3 1 2, 3 5 2, 5 1 2, 5 5 2 ... 面導体、3 3 2, 5 3 2 ... 信号配線、C L 1, C L 2 ... クリアランス

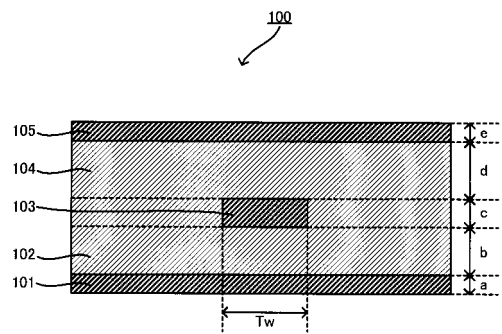
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

